

Titre: Étude et réalisation de codeurs et décodeurs à haute vitesse pour codes convolutionnels
Title:

Auteurs: David Haccoun, & Yvon Savaria
Authors:

Date: 1990

Type: Rapport / Report

Référence: Haccoun, D., & Savaria, Y. (1990). Étude et réalisation de codeurs et décodeurs à haute vitesse pour codes convolutionnels. (Rapport technique n° EPM-RT-90-08).
Citation: <https://publications.polymtl.ca/9881/>

 **Document en libre accès dans PolyPublie**
Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/9881/>
PolyPublie URL:

Version: Version officielle de l'éditeur / Published version

Conditions d'utilisation: Tous droits réservés / All rights reserved
Terms of Use:

 **Document publié chez l'éditeur officiel**
Document issued by the official publisher

Institution: École Polytechnique de Montréal

Numéro de rapport: EPM-RT-90-08
Report number:

URL officiel:
Official URL:

Mention légale:
Legal notice:

27 AOUT 1990

RAPPORT TECHNIQUE
EPM/RT - 90/8

"ÉTUDE ET RÉALISATION DE CODEURS
ET DÉCODEURS À HAUTE VITESSE
POUR CODES CONVOLUTIONNELS"

Dr. David (Haccoun), Ing.
Professeur Titulaire
Dr. Yvon (Savaria), Ing.
Professeur Agrégé

École Polytechnique de Montréal
Département de Génie Électrique

Juin (1990)

général

Tous droits réservés. On ne peut reproduire ni diffuser aucune partie du présent ouvrage, sous quelque forme que ce soit, sans avoir obtenu au préalable l'autorisation écrite des auteurs.

Dépôt légal, 2^e trimestre 1990
Bibliothèque nationale du Québec
Bibliothèque nationale du Canada

Pour se procurer une copie de ce document, s'adresser au:

Éditions de l'École Polytechnique de Montréal
École Polytechnique de Montréal
Case Postale 6079, Succursale A
Montréal (Québec) H3C 3A7
(514) 340-4000

Compter 0,10\$ par page (arrondir au dollar le plus près) et ajouter 3,00\$ (Canada) pour la couverture, les frais de poste et la manutention. Régler en dollars canadiens par chèque ou mandat-poste au nom de l'École Polytechnique de Montréal. Nous n'honorons que les commandes accompagnées d'un paiement, sauf s'il y a eu entente préalable dans le cas d'établissements d'enseignement, de sociétés ou d'organismes canadiens.

SUBVENTION THÉMATIQUE

1986 - 1989

RAPPORT FINAL

**"Étude et réalisation de codeurs et décodeurs
à haute vitesse pour codes convolutionnels"**

par

Dr. David Haccoun, Ing.

Dr. Yvon Savaria, Ing.

École Polytechnique de Montréal

Département de Génie Électrique

C.P. 6079, Succ. A

Montréal, Qué. H3C 3A7

SUBVENTION THÉMATIQUE

RAPPORT FINAL

1.0 RENSEIGNEMENTS PERSONNELS

A. TITRE DU PROJET

"Étude et réalisation de codeurs et décodeurs à haute vitesse pour codes convolutionnels".

B. GROUPE DE RECHERCHE

Bénéficiaire : David Haccoun École Polytechnique

Membres : Yvon Savaria École Polytechnique
Cevdet Akyel École Polytechnique

Étudiants de grades supérieurs associés au projet:

Antoine El Am, (M.Ing.)
Guy Bégin, (Ph.D.)
Normand Bélanger, (M.Sc.A.)
Jean Belzile, (M.Sc.A.)
François Chan, (M.Sc.A.)

Samih El Hage, (M.Sc.A.)
François Gagnon, (M.Sc.A.)
Samir Kallel, (Ph.D.)
Antoine Khoury, (M.Ing.)
Pierre Lavoie, (Ph.D.)

Chantal Paquin, (M.Sc.A.)
Mylène Toulgoat, (M.Sc.A.)
Rudy Vianna, (M.Sc.A.)
Zhi Wei Rong, (M. Sc.A.)

Associé professionnel: Nicolas Arel

C. MONTANTS

<u>Année</u>	<u>Demandés</u>	<u>Accordés</u>
1986-87	\$71,620.	\$71,620.
1987-88	\$72,620.	\$72,620.
1988-89	\$76,620.	\$76,620.

1.1 RÉALISATION DES OBJECTIFS DÉCRITS DANS LA DEMANDE

Ce projet de recherche thématique porte sur le problème du contrôle des erreurs de transmission dans les systèmes de communications numériques de haute fiabilité utilisant le codage convolutionnel. Les objectifs comportent l'analyse théorique des codes convolutionnels, les techniques et algorithmes de décodage, ainsi que l'étude des architectures, l'analyse de la complexité et la réalisation matérielle VLSI (Very Large Scale Integration) de codeurs et décodeurs performants fonctionnant à grandes vitesses.

Les recherches concernant ce projet se sont déroulées de façon très satisfaisante, aussi bien dans les aspects théoriques et analytiques que dans les aspects de réalisations matérielles de codeurs convolutionnels, décodeur à seuil et décodeur séquentiel. Les objectifs décrits dans la demande ont été essentiellement atteints. De plus dans son aspect formation de chercheurs, le projet a permis à un grand nombre d'étudiants de maîtrise (11) et de Ph.D. (3) de poursuivre leurs recherches sous la direction des membres de l'équipe. Un grand nombre de ces étudiants

ont complété (ou sont sur le point de le faire) leurs travaux de thèse et trois d'entre eux poursuivent leur maîtrise en vue du Ph.D.

Tel qu'indiqué à la fin du rapport, les résultats découlant de cette recherche ont fait l'objet de nombreuses publications: 9 articles de revue avec comité de lecture publiés ou acceptés pour publication, 16 conférences avec comité de lecture, 5 rapports techniques. D'autres articles et conférences ont été soumis ou sont en cours de préparation. Un aperçu des principaux résultats est fourni ci-dessous.

A. Analyse Théorique

L'analyse théorique des codes convolutionnels et des techniques et algorithmes de décodage s'est déroulée de façon très satisfaisante et a produit plusieurs résultats nouveaux et développements significatifs tels que décrits ci-dessous.

a) Codes Convolutionnels perforés à taux de codage élevés. (D. Haccoun) Les codes perforés à taux de codage élevé sont une classe de codes de taux élevés $R=b/v$, issus de codes de taux faibles $R=1/v$. Ces codes relativement nouveaux font l'objet d'intenses activités de recherche et revêtent une très grande importance pratique car ils permettent de simplifier considérablement les codeurs et décodeurs de taux élevés, $R=b/v$ (e.g. $2/3, 3/4, \dots, 7/8, \dots$). Nos travaux ont porté sur l'extension des procédures de décodage de ces codes au décodage séquentiel, à la détermination des spectres des distances et performances d'erreur de plusieurs codes perforés, et à la découverte et analyse de nouveaux codes de taux allant de $R=2/3$ à $R=7/8$, et de longueurs de contrainte allant de $K=3$ à $K=23$. Ces travaux d'une très grande importance pratique ont été mis en pratique dans la conception d'architectures de décodeurs séquentiels qui comportent tous l'option de codes perforés. Les travaux dans le domaine font l'objet de deux thèses de maîtrises et d'une thèse de Ph.D. De nombreuses publications (4 articles de revue avec jury, 5 conférences avec jury) ont été le fruit de ces travaux, et d'autres articles et conférences sont en préparation.

b) Combinaison des codes (D. Haccoun). La technique de combinaison des codes est utilisée dans les systèmes à retransmissions ARQ et dans les systèmes hybrides FEC/ARQ. Dans les canaux très bruités les systèmes utilisant la retransmission des paquets erronés conduit souvent à des throughputs très faibles. Des améliorations considérables peuvent être obtenues si un paquet reçu en erreur n'est pas éliminé au récepteur mais combiné avec sa copie retransmise. Appliquant la technique au décodage séquentiel nous avons démontré que le décodage peut demeurer opérationnel même à des taux de codage qui dépassent le taux de coupure du canal R_{comp} . De plus, l'utilisation des codes convolutionnels perforés dits à taux compatibles ("Compatible Rates Punctured Codes") permet d'utiliser des retransmissions partielles, améliorant ainsi encore plus le throughput dans le canal. Ces travaux ont fait l'objet d'une thèse de Ph.D., et de nombreuses publications (3 articles de revue et 3 conférences).

c) Décodage séquentiel à pile systolique (D. Haccoun, Y. Savaria). Une variante de la structure de la pile de l'algorithme de Zigangirov-Jelinek de décodage séquentiel a été développée et analysée. Cette variante utilise le concept de pile systolique pour stocker les noeuds examinés par le décodeur et permet de fournir à vitesse très élevée, toujours le meilleur noeud à prolonger, et ce, quelle que soit la taille de la pile. De plus, son grand avantage est d'être de taille relativement modeste et de se prêter à une réalisation VLSI permettant d'atteindre de grandes vitesses de décodage.

Cette pile systolique a été analysée théoriquement, simulée à l'ordinateur et comparée aux autres variantes des algorithmes à pile. Cette analyse a montré qu'un débordement de la pile ne conduit pas nécessairement à une erreur catastrophique mais plutôt à des effacements contrôlés. Le prototype de décodeur séquentiel en voie de parachèvement utilise une pile systolique; au mieux de nos connaissances il n'existe aucune autre

réalisation matérielle de décodeur séquentiel à pile systolique, conférant ainsi à notre prototype la plus grande primauté. Ce travail fait l'objet d'une thèse de Ph.D. et de deux thèses de M.Sc.A., et a fait l'objet de 4 conférences avec jury. Des articles de revue sont en préparation.

d) Décodeur à seuil à quantification douce (D. Haccoun, Y. Savaria). Les décodeurs à seuil fonctionnent traditionnellement avec un canal à quantification dure, comme le Canal Binaire Symétrique pour les canaux sans mémoire. Une analyse théorique et simulation à l'ordinateur d'un décodage à seuil avec quantification pondérée du canal (3 bits) ont montré qu'un gain de codage supplémentaire de 1.5 dB peut être apporté par rapport à la quantification dure. Le gain de codage intrinsèque d'un décodeur à seuil n'étant que très modeste, ce gain supplémentaire permet de comparer ce type de décodeur à un décodeur de Viterbi de longueur de contrainte $K=5$. L'avantage du décodeur à seuil est cependant sa plus grande simplicité de réalisation, pouvant donner lieu à des vitesses de fonctionnement beaucoup plus élevées que le décodeur de Viterbi (plusieurs centaines de Mbps.). Ces travaux font l'objet d'une thèse de M.Sc.A., de 2 articles de revue avec jury et de 2 conférences.

e) Étude des compromis performance d'erreur-vitesse (D. Haccoun, Y. Savaria). Les travaux ont porté sur l'analyse des algorithmes d'encodage et de décodage et sur les variantes d'implantations possibles. Les recherches ont porté surtout sur les points suivants: Codeur convolutionnel programmable capable de fonctionner à haute vitesse; Décodeur à seuil programmable avec quantification dure fonctionnant à des vitesses comparables à celle du codeur; Décodeur à seuil avec quantification douce; Décodeurs séquentiels et variantes: Pile systolique, multidécodeurs, décodeur à multi-processeurs. Ces analyses ont permis de dégager les lignes de conception de codeurs et décodeurs à grande vitesse et ont été mises à profit dans le développement des architectures menant aux réalisations matérielles.

f) Architectures parallèles de décodeurs (D. Haccoun, Y. Savaria). Trois grandes avenues d'architectures ont été élaborées et analysées pour la réalisation de décodeurs séquentiels rapides et performants. Ces avenues, complémentaires l'une à l'autre, exploitent le parallélisme pour améliorer les performances des réalisations matérielles.

Dans une première approche, l'augmentation de la vitesse est obtenue par l'utilisation d'une approche multi-décodeurs. Dans cette approche plusieurs décodeurs séquentiels à pile systolique sont organisés selon une architecture linéaire bouclée. Les données reçues du canal sont distribuées en séquence à ces décodeurs de sorte qu'un bloc de données difficile à décoder ne retarde pas le décodage des autres blocs ayant un comportement normal. Par conséquent en plus d'atteindre des vitesses élevées, cette technique permet de réduire considérablement la variabilité globale de l'effort de calcul, et ce, de façon remarquable, à un coût en matériel très modeste. Ce travail a fait l'objet d'une thèse de maîtrise.

La seconde méthode considérée pour accélérer la vitesse de décodage utilise une approche multiprocesseurs pour mettre en oeuvre les algorithmes de décodage multichemins développés par les membres de l'équipe. Dans cette approche l'effort de calcul du décodeur est distribué entre un certain nombre de processeurs, permettant ainsi une réduction de la variabilité de l'effort de calcul sans dégradation de la performance d'erreur. De plus, l'architecture multiprocesseurs permet de réduire les coûts de réalisation matérielle, surtout au niveau du tampon d'entrée. Ce travail a fait l'objet d'une thèse de maîtrise.

La troisième technique développée a pour objectif l'élimination totale de toute variabilité de l'effort de décodage. A cet effet des algorithmes de décodage bidirectionnels à effort constant ont été analysés et évalués par simulation à l'ordinateur. Dans ces algorithmes, utilisant le fait que les séquences transmises sont de longueurs finies, l'exploration de l'arbre d'encodage est effectuée à partir du début et de la fin de la séquence reçue. Par un choix judicieux du code, cet algorithme très prometteur permet d'obtenir une performance d'erreur supérieure à celle d'un décodeur de Viterbi pour un même effort de calcul. Ce travail fait l'objet d'une thèse de maîtrise et d'une conférence internationale. Un article de revue est en

voie de soumission.

Mentionnons que les trois projets décrits ci-dessus correspondent à des résultats et développements significatifs au problème du décodage performant des codes convolutionnels, mais n'étaient pas prévus au moment de la soumission de la demande.

Du point de vue développement de prototypes toutes les analyses requises pour la mise en oeuvre des prototypes prévus dans la demande ont été complétées, et même largement prolongées au delà de ce qui était prévu dans la demande originale. Cependant les nouveaux développements décrits ci-dessus constituent des avenues de recherches futures et certains de ces problèmes seront poursuivis au niveau du Ph.D. par nos étudiants.

En ce qui a trait aux réalisations matérielles, le projet nous a permis de mieux savoir comment réaliser des décodeurs séquentiels de haute performance, capables d'atteindre des performances d'erreur et des vitesses de décodage considérées peu réalistes au début du projet.

B. RÉALISATIONS MATÉRIELLES

L'aspect réalisations matérielles du projet de recherche comprend l'étude de codeurs et décodeurs pour codes convolutionnels, la conception de circuits intégrés et la soumission de prototypes de puces VLSI à une fonderie de silicium, les tests sur ces puces et enfin leur intégration aux prototypes fonctionnels. Mentionnons que la conception de circuits VLSI fait appel à une vaste gamme d'outils informatiques sophistiqués afin de minimiser le nombre d'erreurs dans les circuits et donc de réduire au minimum le nombre de soumissions d'un même circuit à la fonderie. En effet, l'intervalle de temps entre une soumission à la fonderie et la réception de la puce étant de 5 mois, chaque itération entraîne un retard considérable dans le déroulement du projet. Ajoutons aussi que cette recherche thématique a permis à nos outils informatiques de conception de circuits de se développer considérablement; les outils que nous utilisons aujourd'hui ont une robustesse et un niveau d'intégration bien supérieurs à ceux dont nous disposions au début du projet. Cependant il est important de mentionner que les puces qui ont été réalisées dans le cadre de ce projet, l'ont été par des étudiants et non pas par des concepteurs professionnels expérimentés. Par conséquent le taux de succès des puces ainsi réalisées fut relativement modeste, entraînant des retards dans la mise en oeuvre des prototypes qui devaient recevoir ces puces dédiées. Cependant, grâce à ce projet un grand nombre d'étudiants ont pu acquérir et parfaire leur formation en conception de circuits intégrés, remplissant ainsi un des mandats importants de cette subvention thématique. Une description des différentes réalisations matérielles effectuées est fournie ci-dessous.

a) RÉALISATIONS DE CIRCUITS INTÉGRÉS SPÉCIFIQUES

Un certain nombre de circuits intégrés spécifiques entrant dans le fonctionnement de codeurs ou de décodeurs ont été conçus, fabriqués, testés, corrigés ressoumis jusqu'à ce qu'ils soient parfaitement fonctionnels. Ces circuits sont:

- 1) Codeur à chargement en parallèle (Y. Savaria, D. Haccoun). Ce circuit est un prototype de pipeline d'encodage convolutionnel qui accepte un chargement parallèle, donc à grande vitesse, de l'état du codeur pour fournir les symboles codés. Une caractéristique de ce codeur est d'être complètement cascadable et programmable.
- 2) Codeur convolutionnel pipeline (Y. Savaria, D. Haccoun). Ce circuit contient 6 pipelines de 50 étages d'un codeur convolutionnel programmable conçu pour permettre la réalisation d'un codeur flexible rapide.
- 3) Décodeur à seuil en quantification dure (Y. Savaria, D. Haccoun). Ce circuit est une entité de base pour construire des décodeurs à seuil programmables en quantification dure. Ce décodeur, qui exploite la même approche conceptuelle que le codeur ci-dessus, contient un

pipeline de décodage de profondeur 40 bits, et ce pipeline peut être facilement cascadable pour atteindre toute profondeur désirable. Les circuits et techniques des points 1), 2) et 3) ont fait l'objet d'un article de revue et de 2 conférences.

- 4) Décodeur à seuil en quantification douce (Y. Savaria, D. Haccoun). Ce circuit utilise l'algorithme de décodage à seuil en quantification douce développé par notre équipe. Cet algorithme représente un compromis intéressant entre les complexités d'un décodeur séquentiel et d'un décodeur à seuil en quantification dure. Il est donc plus complexe et plus difficile à réaliser, mais néanmoins demeure programmable et cascadable. Aussi la puce réalisée utilise un code optimal de longueur modeste ($K=7$), et est cablée dans le silicium. Ce travail a fait l'objet d'un article de revue et de deux conférences.
- 5) Circuit extenseur pour décodeur séquentiel (Y. Savaria, D. Haccoun). Le circuit extenseur est l'une des 5 entités du prototype de décodeur séquentiel étudié dans le projet. C'est un circuit spécialisé capable d'effectuer en un seul cycle l'extension généralisée d'un noeud en ses deux branches dans l'arbre d'encodage d'un décodeur séquentiel. Cette extension généralisée comprend le calcul des symboles codés des deux branches issues du noeud, le calcul de chacun des deux états extrémités de ces deux branches, le calcul des accroissements de métriques ainsi que le calcul des métriques totales. Une provision pour la perforation est également incluse. Ce circuit original est intrinsèquement complexe par son manque de régularité. Néanmoins il a pu être intégré suivant une approche dédiée ("full custom") sur une puce de 20 mm². Cet extenseur est un élément clé dans la réalisation d'un décodeur séquentiel performant et économique.
- 6) Pile systolique (Y. Savaria, D. Haccoun). La pile systolique est la nouvelle approche à la structure de la pile d'un décodeur séquentiel développée dans le cadre de ce projet. Un circuit dédié permettant d'assembler une pile systolique de grande taille de haute performance a été réalisé. Ce circuit représente une pile systolique de 21 noeuds comportant chacun 17 bits de mémoire et 12 bits de données. A chaque cycle le circuit accepte deux entrées (les noeuds prolongés) et délivre le meilleur noeud disponible en mémoire. Encore là, ce circuit est cascadable en largeur (nombre de bits) et en profondeur (nombre de noeuds) permettant ainsi de réaliser une pile systolique de la taille désirée. Avec ses 18,000 transistors sur une surface de 20 mm², ce circuit est le plus dense réalisé à ce jour à l'École Polytechnique.

Il est important de souligner que chacune des puces décrites ci-dessus se trouve à un stade où elle peut être immédiatement utilisée dans un prototype, et représente une somme de travail considérable. Ces circuits intégrés couvrent largement les objectifs décrits dans la demande.

Les circuits intégrés ayant été présentés, la suite de nos réalisations matérielles décrites ci-dessous concerne les systèmes entiers.

b) RÉALISATIONS DE PROTOTYPES DE SYSTÈMES

- 7) Prototype de codec programmable à haute vitesse (Y. Savaria, D. Haccoun). Cette partie du projet comprend la réalisation de deux prototypes distincts, c'est-à-dire un codeur et un décodeur à seuil. Les deux prototypes sont programmables et ils sont conçus pour fonctionner ensemble comme un système capable de traiter des données à 120 Mbit/s. Le système qui est prévu pour fonctionner avec un taux de codage maximum de 3/4 pour une longueur de contrainte de 40 est prévu pour transmettre des symboles codés à des taux aussi élevés que 160 Msymboles/s. La partie encodeur sera plus flexible car elle permettra des taux variables - 1/2, 2/3 et 3/4 - correspondants à des longueurs de contrainte variable de 80, 120 et 240 respectivement.

La demande originale envisageait des réalisations encore plus rapides basées sur des circuits

en technologie GaAs. En accord avec les recommandations du comité d'évaluation de la demande, nous n'avons pas travaillé avec la technologie GaAs. (En conséquence de cette recommandation, la contribution de C. Akyel au projet a été considérablement réduite étant donné que son apport devait porter essentiellement sur les réalisations utilisant la technologie GaAs.) Cependant on peut démontrer la faisabilité des concepts en remplaçant le GaAs par du ECL. En effet, les vitesses de fonctionnement prévues au goulot d'étranglement du système dépassent largement les capacités de la technologie CMOS à 3 μm présentement à notre disposition par le biais de la Société Canadienne de Microélectronique. (SCM)

La conception logique basée sur les puces décrites en 2) et 3) ci-dessus est complétée. De nombreuses simulations au niveau système ont été effectuées à l'aide du logiciel Quicksim de Mentor Graphics en utilisant sa capacité d'accepter des modèles fonctionnels détaillés. La conception des circuits imprimés qui supporteront les deux prototypes parfaitement compatibles et échangeant des données via un canal à haute vitesse se poursuit. Utilisant un code de taux $R=3/4$ les vitesses de 120 Mbits/s (160 Msymbols/s. sur le canal) sont prévues grâce à l'utilisation de logique ECL dans le noyau critique du système, et grâce à l'utilisation de composants reçus de la SCM fonctionnant tous à plus de 20 MHz. Par conséquent, la mise en service du codec n'est pas entièrement complétée, mais les travaux sur ce codec se poursuivent, et un prototype fonctionnel devrait normalement être parachevé à la fin de l'été 1990.

- 8) Décodeur Séquentiel (Y. Savaria, D. Haccoun). Tel que mentionné plus haut, le décodeur séquentiel utilisera les puces de la pile systolique et de l'extenseur décrits en 5) et 6). Le dernier groupe de puces a été récemment reçu de la Société Canadienne de Microélectronique. Étant donné les simulations et vérifications extensives effectuées sur ces puces, elles devraient normalement être toutes parfaitement fonctionnelles. Nous avons procédé à la conception du système et disposons d'un modèle mixte (fonctionnel et portes logiques) du système complet qui permet d'en simuler le fonctionnement. Nous procéderons sous peu à la conception des circuits imprimés de sorte que normalement l'assemblage devrait avoir lieu au cours de l'été 1990, dans le cadre d'une thèse de maîtrise. Du point de vue vitesse de décodage, d'après les tests effectués, les deux circuits intégrés fonctionnent à 5 MHz, et par conséquent, le prototype du décodeur devrait délivrer une vitesse de décodage supérieure à 1 Mbit/s. Étant donné la primauté de ce prototype, tant du point de vue de l'architecture que de la pile systolique, une vitesse de 1 Mbit/s avec une haute performance d'erreur correspond à une première dans le domaine. On peut mentionner cependant que le parachèvement du prototype est prévu pour l'automne 1990. Ce retard par rapport à l'échéancier original s'explique par la grande complexité de la tâche qui était difficile à prévoir au moment de la demande, et aussi par un plus grand nombre de ressoumissions de circuits que prévu. De plus il est bon de souligner que nos travaux de recherche ont été principalement effectués dans le cadre de travaux de thèses, contribuant davantage à des retards et délais impossibles à prévoir. Cependant devant les résultats accomplis sur les plans de nouveaux développements, publications, formation d'étudiants, etc., les objectifs du projet ont été largement atteints.

1.2 ACCESSIBILITÉ DES RÉSULTATS AUX UTILISATEURS PRÉVUS.

La diffusion des résultats de nos recherches au secteur des utilisateurs et l'éventuel transfert technologiques ont été amorcés. Comme en fait foi la liste des publications (fournie ci-dessous) découlant directement du projet, les résultats de nos travaux ont fait l'objet d'articles dans des revues scientifiques de premier ordre, de conférences nationales et internationales spécialisées et de rapports techniques répertoriés. Ce type de diffusion à un vaste auditoire international

sera poursuivi activement. De plus un certain nombre de contacts avec des industries canadiennes et américaines a été initié, en particulier:

- Canadian Marconi, Montréal, au plan des codes convolutionnels perforés et de leur utilisation en décodage de Viterbi.
- Intelsat (Washington) et Stanford Telecom (Washington) sur nos développements de puces pour les codeurs/décodeurs à seuil rapides et sur les nouvelles approches de décodeur séquentiel à pile systolique.
- Présentations de nos résultats en réalisation de circuits intégrés à plusieurs conférences "Canadian Conference on Very Large Scale Integration" (CCVLSI) destinée surtout à un auditoire spécialisé canadien.

Il est bien entendu que la gamme des utilisateurs potentiels décrits dans la demande recevra une copie du présent rapport final. Des contacts plus serrés avec certains utilisateurs sur quelques aspects particuliers de nos travaux sont également envisagés.

PUBLICATIONS RÉSULTANT DU PROJET DE RECHERCHE

Articles de revue avec comité de lecture

1. WU, W., HACCOUN, D., PEILE, R. et HIRATA, Y., "Coding for Satellite Communication" IEEE Journal on Selected Areas in Communications, Vol-SAC-5, No 4, mai 1987, p. 724-748.
2. HACCOUN, D., LAVOIE, P. et SAVARIA, Y., "New Architectures for Fast Convolutional Encoding and Threshold Decoding", IEEE Journal of Selected Areas in Communications, special issue on VLSI in communications, Vol. 6, No 3, avril 1988, p. 547-557.
3. KALLEL, S. et HACCOUN, D., "Séquentiel Decoding with ARQ and Code Combining: A Robust Hybrid FEC/ARQ System", IEEE Trans. on Comm., Vol. 36, No 7, juillet 1988, pp. 773-780.
4. HACCOUN, D. et BEGIN, G., "High Rate Punctured Convolutional Codes for Viterbi and Sequential Decoding", IEEE Trans. on Communications, Vol. 37, No 11, Nov. 1989, pp. 1113-1125.
5. BÉGIN, G. et HACCOUN, D., "High Rate Punctured Convolutional Codes: Structure Properties and Construction Technique", IEEE Trans. on Comm., Vol. 37, No 12, Déc. 1989, pp. 1381-1385.
6. KALLEL, S. et HACCOUN, D., "Sequential Decoding with an Efficient Partial Retransmission ARQ Strategy", accepté pour publication dans IEEE Trans. on Communications, 1990.
7. LAVOIE, P., HACCOUN, D. et SAVARIA, Y., "New VLSI Architectures for Fast-Soft-Decision Threshold Decoders", accepté pour publication dans IEEE Trans. on Comm., 1990.
8. KALLEL, S., HACCOUN, D., "Generalized Hybrid Type II ARQ Scheme Using Punctured Convolutional Codes", accepté pour publication dans IEEE Trans. on Communications, 1990.
9. BÉGIN, G., HACCOUN, D., PAQUIN, C., "Further Results on High-Rate Punctured Convolutional Codes for Viterbi and Sequential Decoding", accepté pour publication dans IEEE Trans. on Communication, 1990.

Conférences avec comité de lecture

1. HACCOUN, D. et BELZILE, J., "Bidirectional Algorithms for the Decoding of Convolutional Codes", IEEE International Symposium on Information Theory, San Diego, CA, Jan. 1990, p. 177.

2. LAVOIE, P., HACCOUN, D., SAVARIA, Y., "A Truncated-Stack Sequential Decoding Algorithm: Analysis and Implementation", IEEE International Symposium on Information Theory, San Diego, CA, Jan. 1990, p. 127.
3. BEGIN, G., et HACCOUN, D., "Upper and Lower Bounds on the Error Performance of Punctured Convolutional Codes", IEEE International Symposium on Information Theory, San Diego, CA, Jan. 1990, p. 154.
4. HACCOUN, D., "Contrôle des Erreurs par Codage Convolutionnel: Performance et Versabilité", *Conférence invitée, 12^e Colloque GRETSI, Nice, France, Juin 1989.*
5. LAVOIE, P., BELZILE, J., TOULGOAT, M., HACCOUN, D. and SAVARIA, Y., "VLSI Design of a Systolic Priority Queue Chip for Stack Sequential Decoders", accepted for presentation at the 1988 Canadian Conf. on VLSI, Halifax, Nova Scotia, Canada, 23-25 oct. 1988.
6. HACCOUN, D., MONTREUIL, P., "Algorithms for the Spectrum Determination of Convolutional Codes", Book of Abstracts, IEEE International Symposium on Information Theory, Kobe, Japon, juin 1988, pp. 49-50.
7. HACCOUN, D., BEGIN, G., "New High Rate Punctured Convolutional Codes for Viterbi and Sequential Decoding", IEEE International Symposium on Information Theory, Kobe, Japon, juin 1988, p. 50.
8. LAVOIE, P., HACCOUN, D. and SAVARIA, Y., "A Systolic Architecture for Fast Stack Sequential Decoders", Proc. 14th Biennial Symposium on Communications, Queen's University, Kingston, Ontario, Canada, 29 mai-1er juin 1988, pp. D.5.5-D.5.8.
9. KALLEL, S., HACCOUN, D., "Efficient Hybrid FEC/ARQ Systems", Proc. 14th Biennial Symposium on Communications, Queen's University, Kingston, Ontario, Canada, 29 mai-1er juin 1988, pp. A.3.5-A.3.7.
10. BEGIN, G., HACCOUN, D., "High Rate Punctured Convolutional Codes", 14th Biennial Symposium on Communications, Queen's University, Kingston, Ontario, Canada, 29 mai-1er juin 1988, pp. A.3.8-A.3.11.
11. VIANNA, R. HACCOUN, D. et SAVARIA, Y., "A High Speed Parallel Convolutional Encoder and Threshold Decoder", 14th Biennial Symposium on Communications, Queen's University, Kingston, Ontario, Canada, 29 mai-1er juin 1988, pp. D.5.1-D.5.4.
12. KALLEL, S. et HACCOUN, D., "Sequential Decoding with ARQ and Code Combining, Proc. 1987 IEEE Military Communications Conference, oct. 1987, Washington D.C., U.S.A., pp. 23.1.1-23.1.4
13. KALLEL, S. et HACCOUN, D., "ARQ and Code Combining with Sequential Decoding", Proc., 1987 IEEE Pacific Rim Conference on Comm. Comp. and Signal Proc., Victoria, B.C. June 1987, p. 101-104.
14. HACCOUN, D. et BEGIN, G., "Codage et décodage séquentiel des codes convolutionnels perforés", Actes du Colloque GRETSI, Nice, France, juin 1987, p. 221-224.
15. LAVOIE, P., SAVARIA, Y. et HACCOUN, D., "Encoders and Decoders for Convolutional Codes", VLSI Research Review, Concordia University, Montréal, Québec, Canada, 19-20 mai 1987.
16. LAVOIE, P., VIANNA, R., BOUARAB, D., GUAY, R., LEFEBVRE, H., SIEDLACZED, M., SAVARIA, Y., "A Soft-Decision Convolutional Threshold Decoder", CCVLSI 87, Winnipeg, octobre 1987, p. 275-280.

Rapports techniques

1. KALLEL, S. et HACCOUN, D., "Sequential Decoding with Partial Retransmission", Rapport technique EPM/RT-88/6, mars 1988 (21 pages).
2. HACCOUN, D., et BEGIN, G., "High Rate Punctured Convolutional Codes", Rapport technique EPM/RT-88/1, janv. 1988 (63 pages).

3. BEGIN, G. et HACCOUN, D., "High Rate Punctured Convolutional Codes: Structure Properties and Construction Technique", Rapport technique EPM/RT-87/45, nov. 1987 (42 pages).
4. LAVOIE, P., HACCOUN, D., SAVARIA, Y., "Spécification d'un décodeur séquentiel rapide utilisant une queue prioritaire systolique", Rapport technique EPM/RT-88/11, mars 1988 (30 pages).
5. HACCOUN, D., LAVOIE, P. et SAVARIA, Y., "New Architectures for Fast Convolutional Encoders and Threshold Decoders", Rapport technique EPM/RT-87/46, nov. 1987 (47 pages).

Thèses

- 1) EL AM, A., "Sur l'analyse de la performance d'erreur des codes convolutionnels", Mémoire M.Ing., Département de Génie Électrique, École Polytechnique, Nov. 1988 (Directeur de recherche: D. Haccoun).
- 2) BÉGIN, G., "Contribution à l'étude des codes convolutionnels perforés", Thèse de Ph.D., Département de Génie Électrique, École Polytechnique, date prévue: Mai 1990 (Directeur de recherche: D. Haccoun).
- 3) BÉLANGER, N., "Architectures multiprocesseurs de décodeurs séquentiels à pile", Mémoire M.Sc.A., Département de Génie Électrique, École Polytechnique, Juillet 1989 (Directeurs de recherche: D. Haccoun et Y. Savaria).
- 4) BELZILE, J., "Algorithmes bidirectionnels pour le décodage des codes convolutionnels", Mémoire M.Sc.A., Département de Génie Électrique, École Polytechnique, date prévue: Mai 1990 (Directeur de recherche: David Haccoun).
- 5) CHAN, F., "Nouvel algorithme de décodage adaptatif de codes convolutionnels", Mémoire M.Sc.A., Département de Génie Électrique, École Polytechnique, Date prévue: Février 1990 (Directeur de recherche: David Haccoun).
- 6) EL HAGE, S., "Décodage séquentiel pour les canaux à mémoire", Mémoire M.Sc.A., Département de Génie Électrique, École Polytechnique, Mai 1988 (Directeur de recherche: David Haccoun).
- 7) GAGNON, F., "Codage convolutionnel sur les canaux mobiles", Mémoire M.Sc.A., Département de Génie Électrique, École Polytechnique, Août 1988 (Directeur de recherche: David Haccoun).
- 8) KALLEL, S., "Stratégies efficaces de retransmissions pour systèmes de communications numériques avec codage convolutionnel", thèse de Ph.D., Département de Génie Électrique, École Polytechnique, Juin 1988 (Directeur de recherche: David Haccoun).
- 9) KHOURY, A., "Décodage séquentiel des codes perforés par l'algorithme de Fano", Mémoire M.Ing., Département Génie Électrique, École Polytechnique, Date prévue: Juillet 1990 (Directeur de recherche: David Haccoun).
- 10) LAVOIE, P., "Algorithme de décodage séquentiel à pile systolique", Thèse de Ph.D., Département de Génie Électrique, École Polytechnique, Date prévue: Juin 1990 (Directeurs de recherche: David Haccoun et Yvon Savaria).
- 11) PAQUIN, C., "Étude des spectres des codes convolutionnels perforés", Mémoire M.Sc.A., Département de Génie Électrique, École Polytechnique, Date prévue: Juin 1990 (Directeur de recherche: David Haccoun).
- 12) TOULGOAT, M., "Analyse des performances de multidécodeurs pour le décodage séquentiel", Mémoire M.Sc.A., Département de Génie Électrique, École Polytechnique, Février 1990 (Directeurs de recherche: David Haccoun et Yvon Savaria).
- 13) VIANNA, R., "Étude de la réalisation de décodeur à seuil a grande vitesse", Mémoire M.Sc.A., Département de Génie Électrique, École Polytechnique, Date prévue: Nov. 1990 (Directeurs de recherche: David Haccoun et Yvon Savaria).
- 14) ZHI WEI, R., "Réalisation d'un décodeur séquentiel rapide", Mémoire M.Sc.A., Département

de Génie Électrique, École Polytechnique, Date prévue: Déc. 1990 (Directeurs de recherche: David Haccoun et Yvon Savaria).

1.3 FORMATION DE PERSONNEL DE RECHERCHE

En plus d'avoir contribué au maintien et au développement d'un noyau d'expertise dans le domaine du contrôle des erreurs et de ses applications à l'École Polytechnique, le projet a permis à un grand nombre d'étudiants (3 Ph.D., 11 maîtrises) de parfaire leur formation dans ces domaines de pointe. Le projet a aussi incité plusieurs étudiants de 2^e cycle à poursuivre leurs études au niveau du Ph.D. (Trois à Polytechnique, un à l'Université de Lausanne - Suisse).

L'association des étudiants de 2^e et 3^e cycles au projet dans divers aspects (théoriques et pratiques) des communications numériques modernes utilisant le codage correcteur d'erreurs contribue à la formation de spécialistes hautement qualifiés et très en demande dans ces domaines de pointe.

Enfin, on peut souligner la coopération étroite et la synergie qui ont toujours existé entre les membres de l'équipe, en particulier entre David Haccoun et Yvon Savaria, où la mise en commun de leurs intérêts complémentaires a donné des résultats qui n'auraient pu être obtenus si l'un ou l'autre avait travaillé seul.

1.4 RETOMBÉES SOCIO-ÉCONOMIQUES POSSIBLES

Les agences gouvernementales et les industries des télécommunications canadiennes jouissent d'une réputation hors pair pour leurs réalisations et développements de systèmes de communications numériques avancés, en particulier dans les systèmes de communications par satellite. Dans ces systèmes limités en puissance de transmission les avantages et gains potentiels offerts par le codage correcteur d'erreur sont de plus en plus reconnus, et le codage devient donc une entité essentielle dans la conception de ces systèmes. Par conséquent, avec l'usage croissant des transmissions de données et de développement de systèmes de communications numériques sophistiqués et fonctionnant efficacement à des débits de plus en plus élevés (centaines de Mbps), le problème de concevoir des systèmes correcteur d'erreur pratiques et performants prend toute son importance. Il est clair que le problème consiste à développer et à réaliser matériellement des codeurs/décodeurs efficaces et de complexité acceptable, délivrant à faible coût les performances d'erreur adéquates, et pouvant fonctionner aux hautes vitesses requises.

Notre projet de recherche s'inscrit particulièrement bien dans le domaine des communications numériques avancées. En plus d'avoir accru de façon substantielle les connaissances fondamentales dans les techniques de contrôle des erreurs par codage convolutionnel, ce projet a contribué à faire le lien entre l'analyse théorique et les réalisations intégrées (VLSI) d'algorithmes complexes. Nos architectures ouvrent la voie à des réalisations de codeurs/décodeurs performants et fonctionnant à des vitesses jugées auparavant peu réalistes.

Les résultats obtenus dans ce projet devraient être d'un très grand intérêt pour les utilisateurs potentiels identifiés dans la demande, en particulier pour ceux oeuvrant dans les communications par satellite, bien que les applications ne se limitent pas aux liens satellites seulement (e.g. communications mobiles). En plus du développement d'une expertise reconnue dans ces domaines, il est à souhaiter que les résultats obtenus dans ce projet contribuent au maintien et à la création d'entreprises oeuvrant dans les communications numériques de pointe.

Name/Nom: DAVID HACCOUN

Department/Département: Génie Electrique

University/Université: Ecole Polytechnique de Montréal

Phone number(Optional)/N° de téléphone (facultatif): (514) 340-4548

Title of Project/Titre du projet: "Etude et réalisation de codeurs et décodeurs à haute vitesse pour codes convolutionnels"

RÉSUMÉ

L'usage de plus en plus répandu de techniques de transmission numériques dans les télécommunications terrestres et par satellite conduit à l'utilisation grandissante de procédures de correction automatique des erreurs de transmission par codage de canal ("Forward Error Control" - FEC), qui sont puissantes, pratiques et fiables. Aussi un problème important consiste à développer et à réaliser matériellement des techniques de codage et de décodage délivrant des performances d'erreur adéquates avec des décodeurs de complexité acceptable, et pouvant fonctionner efficacement à des vitesses élevées. Ces tendances technologiques conduisent à étudier pour ces systèmes de codage/décodage des architectures efficaces se prêtant bien à des réalisations intégrées à très grande échelle (VLSI) tendant à minimiser le rapport coût/performance.

Ce projet de recherche thématique porte sur le problème du contrôle des erreurs de transmission dans les systèmes de communications numériques de haute fiabilité utilisant le codage convolutionnel. Les objectifs comportent l'analyse théorique des codes convolutionnels, les techniques et algorithmes de décodage, ainsi que l'étude des architectures, l'analyse de la complexité et la réalisation matérielle VLSI (Very Large Scale Integration) de codeurs et décodeurs performants fonctionnant à grandes vitesses.

L'analyse théorique des codes convolutionnels, des techniques et algorithmes de décodage a porté sur les aspects suivants: Analyse et performances de codes convolutionnels perforés à taux de codage élevés, techniques de combinaisons des codes dans les systèmes à retransmission; une nouvelle technique de décodage à seuil en quantification douce a été élaborée et une nouvelle structure de décodage séquentiel utilisant une pile systolique a été développée, analysée et évaluée par simulation à l'ordinateur. Une étude des compromis performance-vitesse a permis de dégager les lignes de conception de codeurs et décodeurs à grande vitesse. Des architectures parallèles de décodeurs séquentiels ont été développées dans le but de réduire la variabilité de l'effort de calcul tout en améliorant les performances des réalisations matérielles de ces décodeurs. En particulier des nouveaux algorithmes de décodage bidirectionnels à effort de calcul constant ont été développés et analysés. Par un choix judicieux du code, ces algorithmes permettent d'obtenir une performance d'erreur supérieure à celle d'un décodeur de Viterbi pour le même effort de calcul.

Des réalisations matérielles de plusieurs circuits intégrés et prototypes ont été effectuées, en particulier: codeur à chargement parallèle, codeur convolutionnel pipeline, décodeur à seuil à quantifications dure et douce, circuits extenseur et pile systolique pour décodeur séquentiel. Ces circuits ont tous été développés pour s'insérer dans des prototypes fonctionnels conçus sous forme de circuits imprimés: codec à seuil programmable pouvant atteindre une vitesse de 120 Mbits/s avec taux de codage $R=3/4$, et décodeur séquentiel à pile systolique de taux de codage $R=1/2$ et longueur de contrainte $K \leq 24$ pouvant délivrer un débit de 1 Mbit/s avec une très faible probabilité d'erreur.

ÉCOLE POLYTECHNIQUE DE MONTRÉAL



3 9334 00289650 2