POLYPUBLIE

Test de courant de repos (IDDQ) basé sur l'analyse de testabilité et sur l'insertion des points de test pour les circuits séquentiels

Ahmad Kochnari

Document en libre accès dans PolyPublie
Open Access document in PolyPublie

Date	1996
Type	Mémoire ou thèse / Dissertation or Thesis Mémoire de maîtrise/Master's thesis
URL de PolyPublie PolyPublie URL	https://publications.polymtl.ca/8997/
Conditions d'utilisation Terms of use	© Tous droits réservés / All rights reserved
Référence Citation	Kochnari, A. (1996). Test de courant de repos (IDDQ) basé sur l'analyse de testabilité et sur l'insertion des points de test pour les circuits séquentiels [Mémoire de maîtrise, École Polytechnique de Montréal]. PolyPublie. https://publications.polymtl.ca/8997/

Détails de la thèse
Thesis details

Directeurs de recherche Advisors	Bozena Kaminska
Programme Program	Non spécifié

Ce fichier a été téléchargé à partir de PolyPublie, le dépôt institutionnel de Polytechnique Montréal
This file has been downloaded from PolyPublie, the institutional repository of Polytechnique Montréal
https://publications.polymtl.ca

UNIVERSITÉ DE MONTRÉAL

TEST DE COURANT DE REPOS (I_{DDQ}) BASÉ SUR L'ANALYSE DE TESTABILITÉ ET SUR L'INSERTION DES POINTS DE TEST POUR LES CIRCUITS SÉQUENTIELS

AHMAD KOCHNARI

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE

ET DE GÉNIE INFORMATIQUE

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION DU

DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES

(GÉNIE ÉLECTRIQUE)

NOVEMBRE 1996

© Ahmad Kochnari, 1996.

National Library of Canada
Acquisitions and Bibliographic Services
395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque nationale du Canada
Acquisitions et services bibliographiques
395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

Our file Notre référence

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

0-612-26485-8

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

ce mémoire intitulé:

TEST DE COURANT DE REPOS (I_{DDQ}) BASÉ SUR L'ANALYSE DE TESTABILITÉ ET SUR L'INSERTION DES POINTS DE TEST POUR LES CIRCUITS SÉQUENTIELS

présenté par: KOCHNARI Ahmad

en vue de l'obtention du diplôme de: Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de:

M. SAVARIA Yvon, Ph.D., président

Mme. KAMINSKA Bozena, Ph.D., membre et directrice de recherche

M. SLAMANI Mustapha, Ph.D., membre

Dédicace

À l'Âme de mon oncle Saîd

REMERCIEMENTS

Une grande part de la réussite d'un projet de maîtrise provient de l'aide de plusieurs personnes qui vous soutiennent et vous dirigent dans la bonne voie. Je tiens à remercier personnellement toutes ces personnes.

Tout d'abord, je remercie ma directrice de recherche Dr. Bozena Kaminska qui a été la directrice de ce projet. Elle a su m'ouvrir les yeux sur un grand nombre de problèmes rencontrés, son aide a fait toute la différence.

Je remercie les étudiants du laboratoire de GRM qui m'ont été d'une aide précieuse, particulièrement M. Naim Ben Hamida et M. Mohammed Soufi.

Je voudrais remercier Dr. Yvon Savaria d'avoir accepté de présider la commission de jury. J'aimerais également remercier Dr. Mustapha Slamani d'avoir accepté de faire partie de cette commission.

Sommaire

Une nouvelle approche au test I_{DDQ} sera présentée. Le test I_{DDQ} fournit une excellente couverture de défauts avec une réduction des nombres de vecteurs. En utilisant l'observabilité automatique et en mettant tous les noeuds à 0 et à 1 avec une couverture élevée, I_{DDQ} peut accomplir une bonne couverture pour différents types de défectuosité. Afin d'estimer la testabilité des circuits séquentiels dans le contexte de I_{DDQ}, les mesures probabilistes de testabilité séquentiel sont calculées.

Les circuits d'essai ISCAS89 sont exploités comme applications pour notre expérience. Étant donné que l'observabilité n'est pas requise, la couverture de panne est augmentée en comparant avec le test traditionnel pour ces circuits séquentiels. Dans certains cas, les points de contrôle sont insérés afin d'accomplir une couverture élevée avec une surface réduite. L'insertion des points de test consiste à trouver un bon compromis entre le nombre de points de contrôle et la surface additionnelle donnant ainsi un excellent résultat. Nos résultats expérimentaux sont très

encourageants avec le test I_{DDQ}, juste quelques points de test suffisent pour réaliser une couverture de 100% des pannes.

Abstract

A new approach to I_{DDQ} is presented. I_{DDQ} testing provides an excellent fault coverage with reduced number of vectors. Using Automatic observability based on nodes toggling with a high fault coverage, I_{DDQ} can achieve a high coverage for different defects. In order to estimate testability of sequential circuits in I_{DDQ} testing context, probabilistic-sequential-testability measures are calculated. The ISCAS89 benchmarks circuits are exploited as applications for our target. Since the observability is not required, the fault coverage is enhanced comparing to the voltage testing for these sequential circuits. In some cases, the control points are inserted in order to accomplish higher coverage with reduced overhead. The test point insertion problem consists of finding good compromise between the number of control points and area overhead which yield an excellent result.

Our experimental results are encouraging and with I_{DDQ} very impressive fault coverage is obtained, only few test points are necessary to

achieve 100% fault coverage.

TABLE DES MATIÈRES

DÉDICACE. IV

REMERCIEMENTS. V

SOMMAIRE. VI

ABSTRACT. VIII

TABLE DES MATIÈRES. X

LISTE DES TABLEAUX. XV

LISTE DES FIGURES. XVI

Chapitre I -Introduction

I.1 Introduction. 1

I.2 Test I_{DDQ} et les défectuosités des circuits CMOS. 3

I.3 Analyse de testabilité. 5

I.4 Insertion des points de test pour le I_{DDQ} 7

I.5 Objectifs. 9

I.6 Plan. 10

Chapitre II -TEST I_{DDQ}

II.1 Introduction..... 11

II.2 Notions.....16

II.2.1 Notion 1..... 16

II.2.2 Notion 2..... 16

II.3 Modèle collé simple..... 17

II.4 Défectuosités et le modèle collé simple..... 18

II.5 Détection des pannes avec le test I_{DDQ}.....20

II.5.1 Court-circuit de l'oxyde de grille..... 22

II.5.2 Défectuosités en pont (bridging defects)..... 24

II.5.3 Pénétration..... 27

II.5.4 Fuite dans un transistor parasite..... 28

II.5.5 Défectuosité en jonction pn..... 29

II.5.6 Transistor avec un seuil incorrect. 30

II.5.7 Défectuosité en circuit ouvert. 31

II.5.7.1 Défectuosité en grille ouverte. 32

II.5.7.2 Drain ouvert/ source ouverte (collé ouvert). 33

II.5.8 Défectuosité en porte de transmission. 34

II.6 Instrumentation pour le I_{DDQ} 35

II.7 Caractérisation et la limite de I_{DDQ} 37

II.8 Conclusion. 40

Chapitre III -I_{DDQ} et l'analyse de testabilité

III.1 Introduction. 41

III.2 Estimation de couverture de pannes pour le I_{DDQ}. 43

III.2.1 Modèle pour les circuits séquentiels. 45

III.2.2.1 Contrôlabilité combinatoire. 48

III.2.2.2 Contrôlabilité séquentielle. 52

III.3 Résultats expérimentaux. 56

III.4 Conclusion. 61

Chapitre IV -I_{DDQ} et l'insertion de points de test

IV.1 Introduction. 62

IV.2 I_{DDQ}, les mesures de testabilité et

l'insertion de points de test. 66

IV.3 Techniques traditionnelles. 73

IV.4 Performances de la technique traditionnelle. 75

IV.4.1 Dégradations temporelles. 75

IV.4.2 Surface additionnelle. 76

IV.5 Technique de balayage. 77

IV.6 Résultats. 80

IV.7 Conclusion. 84

Chapitre V -Description de l'outil

V.1 Généralité.....86

Chapitre VI -Conclusion.....90

Bibliographie.....92

LISTE DES TABLEAUX

TABLEAU 1 Couvertures des pannes du test I_{DDQ} pour les circuits ISCAS89. . . . . **59**

TABLEAU 2 Comparaison des couvertures de pannes pour différentes méthodes. **60**

TABLEAU 3 Couvertures des pannes du test I_{DDQ} avec l'insertion des points de test. **82**

TABLEAU 4 Comparaison des couvertures de pannes avec la chaîne de balayage pour différentes méthodes. **83**

LISTE DES FIGURES

FIGURE 1 Une porte NOR avec sa sortie collée à 1 (a) et une porte NOR avec sa sortie collée à 0 (b). 13

FIGURE 2 Un circuit avec sa sortie collée à 0 et profondément enterrée dans un C.I 15

FIGURE 3 Exemple du court-circuit de l'oxyde de grille. 24

FIGURE 4 Sans rétroaction (a) et le modèle logique correspondant (b). 25

FIGURE 5 Défectuosité en porte de transmission pilotant un inverseur. 34

FIGURE 6 Le circuit Keating et Meyer pour mesurer le I_{DDQ}. 36

FIGURE 7 La forme d'onde de défaut du circuit de Keating et Meyer. 37

FIGURE 8 Le circuit séquentiel S. 45

FIGURE 9 Le circuit itératif S^p avec les pseudo-bascules. 46

FIGURE 10 Le modèle itératif du circuit séquentie. 47

FIGURE 11 Un circuit séquentiel M. 55

FIGURE 12 Un circuit itératif. **55**

FIGURE 13 Signal S de faible testabilité. **73**

FIGURE 14 Insertion d'une porte ET (a) et insertion d'une porte OU (b). **75**

FIGURE 15 Chaîne de balayage. **79**

FIGURE 16 Tosta pour I_{DDQ} **89**

Chapitre I

Introduction

I.1 Introduction

Les circuits intégrés (C.I.) CMOS ont commencé à gagner le marché international au fil des années 70, due à une augmentation de demande pour les microprocesseurs et les mémoires pour les calculatrices et d'autres types d'applications. Ces circuits utilisaient le concept des circuits logiques statiques complémentaires pour préserver l'avantage d'une puissance de dissipation de l'ordre de nanowatt. Un facteur qui a aidé l'épanouissement des C.I. CMOS durant ces années était la fiabilité. Les fabricants et les utilisateurs ont commencé à expérimenter les mécanismes de pannes qui causés par une température élevée.

Pour assurer une puissance de consommation basse, les vendeurs des circuits CMOS ont inclu un nouveau test nommé le test de *courant de repos* ou *quiescent* (I_{DDQ}) avec d'autres tests paramétriques traditionnels. Normalement, le I_{DDQ} pour les circuits sans défectuosités est typ-

une forte corrélation entre le I_{DDQ} élevé et les pannes fonctionnelles [1]. Étant donné que la complexité des circuits CMOS augmente, les nombres de vecteurs de test augmentent aussi, mais il devient pratiquement impossible d'avoir une couverture de 100% des pannes, alors le test I_{DDQ} se présente comme une alternative. On utilise aussi le I_{DDQ} avec un sous ensemble des vecteurs fonctionnels, le sous ensemble choisi est souvent basé sur le jugement de l'ingénieur de test.

La recherche sur les effets des défectuosités des circuits CMOS a été commencée vers le milieu des années 80. On a étudié des pannes tels que les courts-circuits de l'oxyde de grille, nous avons démontré que le I_{DDQ} peut détecter ces pannes [2,3] avec une couverture de 100%. On a montré également la façon d'utiliser le I_{DDQ} pour les circuits ouverts [3,5]. Bien que le modèle collé (Stuck-at) soit un modèle imparfait, une couverture de 100% peut être atteinte pour des C.I. en utilisant le I_{DDQ} avec un petit ensemble des vecteurs de test [5,6]. Les méthodes pour sélectionner un sous ensemble de vecteurs pour le I_{DDQ} ont été développées récemment. Un outil a été développé et il a démontré la sélection et l'identification

d'un petit sous ensemble des vecteurs dans un groupe de vecteurs de test fonctionnel. Ce petit sous ensemble fournit la même couverture que l'ensemble des vecteurs de test fonctionnel [7].

I.2 Test I_{DDQ} et les défectuosités des circuits CMOS

L'objectif d'un produit de qualité dans les années 90 a été déplacé d'un niveau bas de pannes au zéro degré de pannes. Cet objectif requiert le progrès constant du processus de test. Pour analyser le rôle du test I_{DDQ} dans les circuits, de prime abord, il faut étudier les causes de pannes au niveau des transistors. On distingue principalement huit catégories des pannes dans les circuits CMOS [10]:

1- Court-circuit de l'oxyde de grille (Gate oxide short).

2- Pont (bridge faults).

3- Pénétration (Punchthrough).

4- Transistors parasites (Parasitic transistor leakage).

5- Jonction p-n.

6- Circuit ouvert.

7- Grille ouverte.

8- Porte de transmission ouverte.

Au prochain chapitre, on va étudier ces défectuosités, on s'aperçoit que le test I_{DDQ} est un outil par excellence pour les détecter. Ces défectuosités peuvent être détectées par un test I_{DDQ} en assurant que tous les noeuds sont placés dans l'état zéro et dans l'état un. En ce qui concerne les défectuosités en pont qui requiert une condition additionnelle qui devra tenir compte du fait que les noeuds impliqués devront être dans des états logiques opposés.

Une classe secondaire de défectuosités est détectée (drain ouvert / source interconnexion) dans les situations particulières. Ces défectuosités sont également détectées par les réponses logiques. La troisième classe de défectuosités peut ne pas élever le courant de repos, mais peut causer une panne logique. Ceci inclut les défectuosités telles que les vias hauts, la résistance d'interconnexion de métal et la capacité de ligne élevée qui cause un délai de propagation.

Les défectuosités causant les pannes de délai sans élever le I_{DDQ} présentent un défi pour les concepteurs de test des CMOS. Il faut noter que la majorité des défectuosités des C.I. CMOS élevant le I_{DDQ} causent aussi un délai. Alors le I_{DDQ} détecte une grande partie de cette catégorie de pannes.

I.3 Analyse de testabilité

L'analyse de testabilité requiert les mesures de testabilité avec lesquelles la testabilité d'un circuit peut être quantifiée précisément. Les mesures de testabilité doivent indiquer la difficulté ou la simplicité de génération de test dans un circuit de telle manière qu'elles peuvent être interprétées par un concepteur. La complexité des mesures de testabilité doit être inférieure à la génération des vecteurs de test. En plus, puisque les informations produites par les mesures de testabilité sont utilisées pour modifier ou réviser la conception des circuits, elles doivent être suffisamment précises afin d'améliorer leur testabilité. Si les calculs de testa-

bilité sont rapides et si les mesures de testabilité prédisent précisément la difficulté de génération de test, alors les mesures de testabilité sont utiles pour réduire le coût de test.

Les méthodes pour les mesures de testabilité des circuits logiques sont variées. En général, elles introduisent deux mesures [8]: la contrôlabilité et l'observabilité. Afin d'estimer la testabilité, dans notre recherche, on n'utilise que la contrôlabilité. Cette dernière définit la façon dont la logique intérieure peut contrôler ses sorties primaires. Le test I_{DDQ} résoud le problème d'observabilité; en fait, il permet d'atteindre 100% d'observabilité.

Dans un contexte pseudo-aléatoire, la contrôlabilité est un facteur important pour améliorer la testabilité. Bien que la contrôlabilité soit importante, il faut toujours garder à l'esprit l'aspect probabiliste de la détection car il y a toujours une dependance entre les valeurs de contrôlabilité. Un circuit est testable d'une manière aléatoire si toutes ses pannes ont une probabilité de détection supérieure à un seuil donné.

I.4 Insertion des points de test pour le I_{DDQ}

Dans le cas du I_{DDQ}, un point de test est essentiellement une entrée primaire servant à améliorer la contrôlabilité. Par conséquent, l'insertion de point de test pour les circuits avec de faibles contrôlabilités est un problème NP-complet si on cherche une solution optimale [27].

En connaissant la structure des circuits et en utilisant différentes heuristiques, on peut sélectionner les endroits où il faut insérer les points de test. Bien sûr, des compromis doivent être pris en considération en ce qui concerne la surface additionnelle, le nombre de vecteurs de test et la couverture des pannes.

Deux problèmes fondamentaux doivent être distingués pour l'insertion des points de test: les lieux où il y a de faibles testabilités et la condensation de ces points de test. Le but de la condensation est de minimiser l'insertion des points de test et par conséquent de limiter ou même d'éviter les broches additionnelles. Une technique pour éliminer les bro-

ches additionnelles est l'utilisation de multiplexage. Une fois le problème de points de test réglé, il faut considérer les points négatifs de la technique, c'est-à-dire la dégradation de performance, ce dont on va discuter au chapitre IV.

I.5 Objectifs

Notre objectif principal est de combiner le test I_{DDQ} avec les mesures de testabilité, et de cette façon là pouvoir quantifier la testabilité des circuits séquentiels. La méthode conventionnelle pour mesurer la testabilité est basée sur la réponse logique. Mais celle-ci ne permet pas de déceler efficacement la présence de certaines défectuosités telles que les courts-circuits de l'oxydes de grille et les pannes multiples. En utilisant la propriété inhérente du test I_{DDQ}, on réduit l'erreur reliée à cause des mesures probabilistes, et ainsi on contribue à l'amélioration de l'outil informatique (Tosta pour I_{DDQ}) [28].

En combinant le test I_{DDQ} et les mesures de testabilité, nous pouvons estimer la testabilité des circuits avec une couverture élevée, mais si cet objectif n'est pas atteint pour certains circuits, on utilisera les méthodes traditionelles de conception pour la testatabilité comme l'insertion des points de test et la chaîne de balayage pour les circuits séquentiels dans le but de montrer l'efficacité du test I_{DDQ}. Ce dernier objectif termine notre mémoire.

I.6 Plan

Après avoir expliqué nos objectifs et une brève mise en contexte du test I_{DDQ}, on présente dans le second chapitre une étude du test I_{DDQ} sur différentes défectuosités et leurs caractéristiques.

Le chapitre III est consacré aux mesures de testabilité, spécialement la contrôlabilité. Quelques notions utiles, quelques méthodes, et une analyse de la testabilité des circuits séquentiels suivront.

Le chapitre IV est principalement consacré à l'insertion des points de test et en particulier le point de contrôle. On analysera les performances de cette technique en utilisant le test I_{DDQ}.

L'outil informatique amélioré est présenté au chapitre V. Finalement, on aborde les travaux futurs au chapitre VI et on fait la conclusion du mémoire.

Chapitre II

TEST I_{DDQ}

II.1 Introduction

La majorité des algorithmes des générateurs automatiques de test est basé sur l'algorithme D et sur le modèle collé simple [9]. Comme nous le verrons plus tard ces algorithmes sont insuffisants quand ils sont appliqués aux circuits CMOS, sauf, s'ils sont utilisés conjointement avec une mesure du I_{DDQ} pour chaque vecteur. Il est peu probable qu'une défectuosité en pont ou un court-circuit de l'oxyde de grille soit détecté avec les méthodes conventionnelles [2].

Pour détecter de telles défectuosités, il faut que tous les noeuds soient mis à 1 et à 0 et accompagnés par une mesure du I_{DDQ}. Une détection de 100% des pannes pseudo-collés simples assure que tous les noeuds sont mis à 1 et à 0 [25]. Par la suite les systèmes de génération automatique de test peuvent être alors utiles pour ces défectuosités quand ils sont accom-

Même les circuits autovérifiables (BIST) ne peuvent détecter avec certitude les défectuosités des circuits CMOS. Mais, s'ils sont combinés avec une mesure du I_{DDQ}, ces circuits seront efficaces pour détecter ces défectuosités, car cette approche n'assure pas que tous les noeuds sont mis à 0 et à 1.

Les courts-circuits de l'oxyde de grille sont très critiques pour les systèmes opérant avec des piles et les applications de haute fiabilité comme les satellites et les armes nucléaires. Une augmentation du I_{DDQ} peut largement diminuer la durée de vie des piles. Un court-circuit de l'oxyde de grille, affectant initialement le I_{DDQ}, peut évoluer avec le temps par pour causer une panne intermittente ou permanente. Le test I_{DDQ} est un excellent outil pour garantir la détection des défectuosités telles que les courts-circuits de l'oxyde de grille, la pénétration, les fuites des transistors parasites, les défectuosités en pont et les courts-circuits des portes de transmission [10]. Les défectuosités énumérées sont une partie importante des pannes des circuits CMOS. Ces défectuosités peuvent être détectées si on s'assure que tous les noeuds sont mis à 0 et à 1, et que

pour chaque vecteur une mesure du I_{DDQ} l'accompagne.

La longueur de test avec l'approche I_{DDQ} peut être diminuée par rapport aux méthodes classiques, par exemple la Figure 1 (a,b) montre deux portes NOR dans lesquelles la sortie C est collée:

a) soit à 1 (SA1)

b) soit à 0 (SA0)

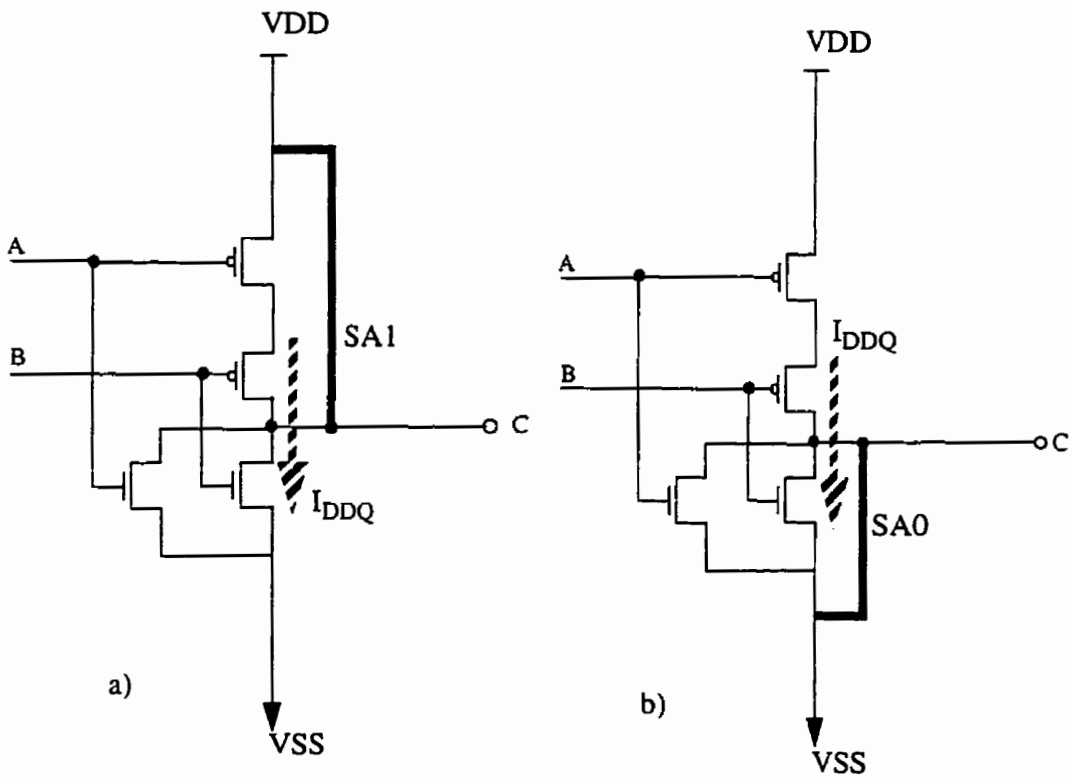


Figure 1. a) Une porte NOR avec sa sortie collée à 1.

b) Une porte NOR avec sa sortie collée à 0.

La sortie C-SA1 sur la Figure (1.a) peut être détecté par l'approche I_{DDQ} quand la porte NOR tente de piloter sa sortie à l'état 0 pour AB=01,11 et 10.

Comme le transistor N tente de produire un état 0 et le panne SA1 garde l'état 1; ceci va produire un chemin avec une impédance basse entre VDD et VSS. Par conséquent, il y aura une augmentation significative du I_{DDQ} mesuré en VDD (VSS). Une augmentation similaire est observée pour le noeud C-SA0 quand AB=00 (Figure 1.b). Ainsi, les six pannes collés simples pour une porte NOR peuvent être détectés juste avec deux vecteurs (AB=00,11), si le test I_{DDQ} est utilisé en le comparant avec l'approche conventionnelle qui exige trois vecteurs minimum. La propriété *observabilité automatique* permet de détecter les 6 SAFs, plus efficacement avec l'approche I_{DDQ} qu'avec la réponse logique.

La Figure 2 montre une porte NOR, dont la sortie est collée à 0 et implantée profondément dans un circuit intégré. La détection de panne SA0, par I_{DDQ}, sur la sortie de la porte NOR ne requiert que les vecteurs de test appliqués aux entrées primaires tentent de contrôler le noeud C à

l'état 1. Telle que montré sur la Figure 2, il est inutile d'appliquer le test dans le chemin d'observation de C.I., car le I_{DDQ} peut garantir une observabilité de 100%.

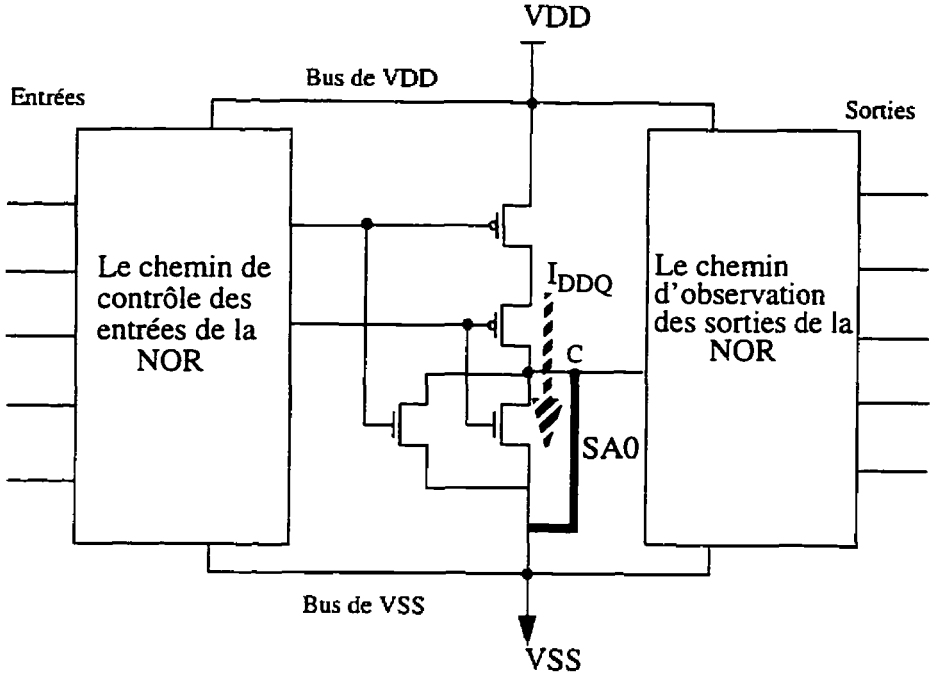


Figure 2. Un circuit avec sa sortie collée à 0 et profondément enterrée dans un C.I.

Dans le cas du I_{DDQ}, c'est la contrôlabilité qui nous intéresse et dans la section suivante on va expliquer pour quelles raisons, mais avant tout, on va donner deux notions qui seront importantes pour le reste du mémoire.

II.2 Notions

II.2.1 Notion 1: *Modèle Pseudo-collé simple*

Le *modèle Pseudo-collé simple* est un modèle collé conventionnel sauf que dans son cas, le collé n'est pas propagé à la sortie primaire.

En effet, pour le I_{DDQ} il suffit de sensibiliser la panne et de la propager à la sortie de la porte, et la propagation à la sortie primaire n'est pas requise.

II.2.2 Notion 2: *Observabilité automatique (OA)*

La méthode I_{DDQ} observe la présence du modèle Pseudo-collé simple par l'élévation du courant, autrement dit l'observation ne se fait pas à partir de la réponse logique. Cette propriété est appelée l'observabilité automatique.

En appliquant la notion 2, on aura 100% observabilité pour un circuit. Si un circuit peut être contrôlable à 100% en utilisant la méthode du I_{DDQ}, toutes les pannes seront détectées[3]. En conséquence, il suffit d'étudier la contrôlabilité.

II.3 Modèle collé simple

Au début des années 60, le modèle collé simple a été présenté et l'algèbre de Boole a été alors utilisée pour analyser les effets de ce modèle sur les circuits logiques combinatoires. Poage [23] a discuté le modèle collé en 63, en soutenant que n'importe quelle ligne d'un circuit peut être collée. Par la suite, celle-ci va apparaître comme un exemple simplifié d'un transistor ayant toujours une sortie logique collée à 0 ou à 1. En 1966, Armstrong a restreint ses inspections aux pannes causant des lignes collées soit à 0 soit à 1[24]. Il a aussi défini toutes les portes combinatoires ayant les lignes ouvertes comme logiquement équivalentes à une entrée collée à 0 ou à 1.

L'idée du modèle de panne logique vient originellement d'une observation du comportement électrique d'une défectuosité physique connue. Elle a fourni une abstraction logique convenable pour être modélisée avec l'ordinateur. Un bagage important de théorie a été développé autour des modèles collés simples. Le développement a été accéléré durant les années 1970, à la fin des années 70. Au début des années 80, les cher-

cheurs ont commencé à discuter de l'adéquation du modèle collé pour les C.I. CMOS [2-7].

Nous avons commencé à chercher les pannes des C.I. CMOS qui ne sont pas détectées efficassement avec le modèle collé. Certaines de ces défectoités englobent les circuits ouverts, les grilles flottantes de transistor et les courts-circuits.

II.4 Défectuosités et le modèle collé simple

Certaines recherches montrent que peu des pannes des C.I. CMOS sont causées par les défectuosités dont les effets électriques sont représentés par le modèle collé [11]. Seules quelques pannes ont efficassement conduit à des entrées ou des sorties logiques collées en permanence à 0 ou à 1. La majorité des pannes ont des caractéristiques non-linéaires que même le simulateur SPICE ne peut souvent pas modéliser directement avec les modèles disponibles.

Ce manque apparent de corrélation entre le comportement des C.I. CMOS et le modèle collé simple met en question clairement l'avantage de ce dernier comme une mesure de qualité de test. De plus, les circuits ouverts dans les interconnexions du drain ou de la source d'un canal p ou n produisent un comportement électrique inconsistant avec le modèle collé simple [12]. Ces expériences nous guident vers les défectuosités dont les effets électriques sont permanents avec une impédance basse et avec un chemin conduisant d'un noeud à Vss (Vdd). Seules ces défectuosités peuvent être modélisées précisément comme un modèle collé.

Le modèle collé simple peut être utilisé indépendamment des technologies pour fournir une bonne détection des défectuosités. Mais celui-ci a été montré clairement sans relation avec les circuits CMOS [11]. Même s'il y a un sentiment qu'il faut remplacer ce modèle avec un nouveau modèle de panne, on a empêché jusqu'ici de favoriser une telle démarche car les compagnies ont investi des millions de dollars sur le développement du modèle collé simple. De toute façon, l'investissement sur le modèle collé n'est pas perdu.

II.5 Détection des pannes avec le test I_{DDQ}

L'identification et le contrôle des pannes sont essentiels pour les fabricants des C.I. Les premiers circuits CMOS avaient comme problème une tension du seuil instable tels que les circuits MOS. Un processus parfait qui produit un C.I. complètement sans panne et idéal au niveau du dé pour chaque gaufre n'est pas encore atteint. Par conséquent, le test est nécessaire pour déterminer quel C.I. est capable de combler les besoins des clients et satisfaire ainsi les exigences de plus en plus avancées au niveau de performance pour les technologies de pointe. Normalement, une information spécifique est requise sur la nature et l'entendue des pannes ou les mécanismes responsables des pannes. Le test I_{DDQ} est une méthode très éfficace pour l'identification des pannes et des mécanismes de pannes [3,11]. En générale, les pannes et leurs conséquences rencontrés dans les circuits CMOS sont relativement bien étudiées.

Elles comprennent celles qui sont responsables des courts-circuits de l' oxyde de grille: les courts-circuits des interconnexion et les circuits

ouverts (dans certains circuits, les défectuosités en circuit ouvert peuvent être détectées par le test I_{DDQ}, mais la détection n'est pas garantie pour chaque cas). Bien que théoriquement ces pannes soient simples, les méthodes requises pour les détecter sont normalement sophistiquées et complexes. Les courts-circuits et leurs modèles de panne donnent à l'esprit l'image d'un circuit avec deux noeuds connectés ayant une résistance idéale. En réalité, les courts-circuits ont souvent une résistance plus grande que 1KOhm, ils ont des caractéristiques non linéaires et réagissent généralement comme une diode à cause du silicium polycritallin et du dopage de substrat de silicium [2,12]. Les pannes causent souvent une élévation du I_{DDQ} sans changer les valeurs logiques. Il pourrait apparaître coûteux de rejeter les C.I. qui ont un I_{DDQ} élevé mais pour lesquels les performances logiques restent intactes. Cependant, l'utilisation de ces C.I. peut être plus coûteuse pour différentes raisons. Il y a deux problèmes concernant la fiabilité. Premièrement, cette élévation du I_{DDQ} est responsable de la décharge électrique [12,13], ces pannes peuvent être détectés par le test I_{DDQ}. Deuxièmement, un I_{DDQ} élevé peut causer une

panne prématurée aux systèmes servant de pile. Un I_{DDQ} élevé peut être un symptôme d'un processus qui n'est pas contrôlé. De plus, les pannes peuvent évoluer au fur et à mesure et peuvent se manifester comme un problème majeur au niveau de la performance. Si ces pannes sont ignorées, on peut avoir un faut sentiment de sécurité à cause de manque d'un système de test ou à cause de l'existence d'un système de test imparfait et qui, par la suite, contribue à des conclusions aberrantes.

II.5.1 Court-circuit de l'oxyde de grille

Le court-circuit (cc) de l'oxyde de grille (Gate oxide short) peut être causé par des défectuosités particulière dans les masques d'oxyde et par des imperfections dans le SiO2. Le cc peut apparaître durant la fabrication des gaufres ou peut être développé plus tard, cet effet est souvent appelé le claquage diélectrique en fonction du temps (time dependent dielectric breakdown). L'effet principal du cc de l'oxyde de grille dans les circuits combinatoires est d'affaiblir la tension du noeud pilotant ce tran-

sistor, la conséquence immédiate est une diminution du courant dans le transistor fautif [2].

En plus, il cause un affaiblissement de tension au niveau du noeud affecté, avec une augmentation dans le délai de propagation et une élévation du I_{DDQ}. La figure 3 montre trois inverseurs dans lesquels un cc de l' oxyde de grille est présenté dans le canal n du transistor I2. Souvent, le cc de l'oxyde de grille échappe aux tests fonctionnels et aux modèles collés, mais il peut être détecté par un test I_{DDQ} en s'assurant que tous les noeuds du circuit sont mis à 0 et 1. Les pannes fonctionnelles causées par le cc de l'oxyde de grille sont généralement le résultat d'une augmentation de délai de propagation. Ces propriétés montrent que cette défectuosité est typiquement une dégradation et non une panne collée. Le cc de l'oxyde de grille est très critique pour les systèmes utilisant des piles (par exemple, les satellites et les armes nucléaires).

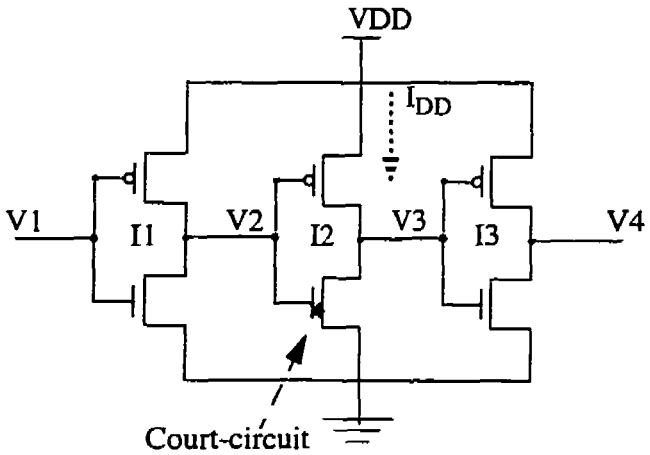


Figure 3. Exemple du court-circuit de l'oxyde de grille

II.5.2 Défectuosités en pont (bridging defects)

Les défectuosités en pont forment une connextion entre les noeuds logiques avec une résistance relativement faible. Ces défectuosités pourraient apparaître durant la fabrication d'une gaufre ou peuvent se développer plus tard à cause des mécanismes incluant la surface de conduction d'oxyde, des charges distribuées en réseau et de l'électromigration. Les défectuosités en pont ont des propriétés distinctes, donc la définition exclut les ponts entre les noeuds logiques et les sources des courants, il

exclut aussi les cc de l'oxyde de grille.

Les ponts entre les noeuds logiques peuvent introduire une configuration de rétroaction ou non. Les ponts causant les rétroactions peuvent créer des bascules ou peuvent former un anneau oscillatoire si la rétroaction correspond à un nombre impair d'inversion.

Les configurations qui n'introduisent pas une rétroaction, (voir la Figure 4) entre les noeuds logiques peuvent être détectées si les vecteurs de test activent les défectuosités, en pilotant chaque élément en contamination aux différentes valeurs logiques. Quand cela arrive, il y a contamination entre le transistor de charge d'un pont logique et le transistor pilotant un autre pont [14].

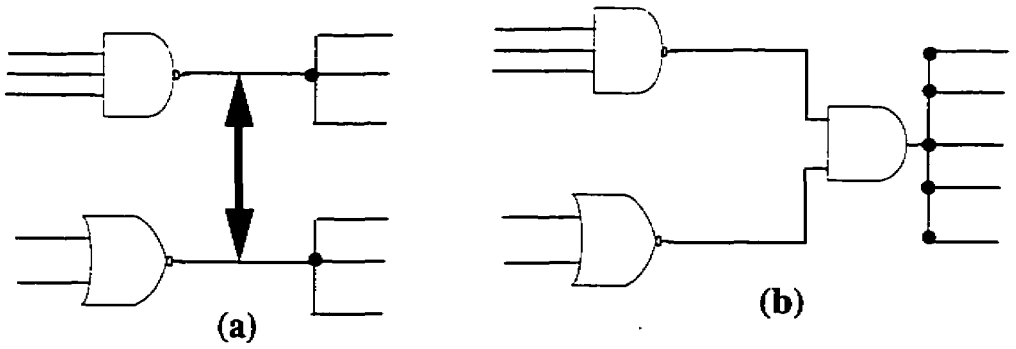


Figure 4 a) Sans rétroaction. b) Le modèle logique correspondant.

Les ponts en TTL produisent un ET câblé, mais les circuits CMOS ne

répondent pas uniformément, car la combinaison en série et en parallèle des transistors p et n des différentes portes ajoute des incertitudes en ce qui concerne la façon dont un noeud va réagir aux défectuosités en pont. Les logiques câblés ne sont pas prédictibles en CMOS, mais la prédiction n'est pas nécessaire pour déterminer une stratégie de détection. Les ponts sont détectés de deux manières: par une tension logique qui est en erreur et qui peut être détectée comme une panne fonctionnelle et par une élévation du I_{DDQ}.

La mesure de I_{DDQ} est une méthode la plus sûre, car elle requiert que les transistors soient en contamination et qu'ils ne dépendent pas de l'observabilité des pannes sur un noeud de sortie. Il est important de noter que la défectuosité en pont avec rétroaction a une grande probabilité de détection si les noeuds sont mis à 0 et à 1 aléatoirement et qu'une mesure du I_{DDQ} est faite [15].

II.5.3 Pénétration

La région de dépletion de drain-substrat d'un transistor s'élargit quand la tension en inverse augmente. Cette épaisseur est typiquement limitée à la tension maximale pour ne pas être en contact avec la jonction source-substrat. Cependant, le masque et le processus de défectuosité peuvent effectivement réduire la longueur du canal ou augmenter la région de déplétion. ceci cause la jonction substrat-drain en inverse touchant la région de déplétion associée à la jonction source-substrat. Ce phénomène s'appelle la pénétration [16].

La pénétration crée un courant limité de charge d'espace entre la source et le drain dont les effets principaux sur les performances des circuits sont:

1) L'affaiblissement de tension et, par la suite, la dégradation de synchronisation.

2) La réduction de la marge de bruit au noeud affecté.

3) L'élévation de I_{DDQ} quand la défectuosité est activée.

II.5.4 Fuite dans un transistor parasite

La structure indésirable apparaît généralement dans les C.I. CMOS à cause des processus et des contraintes géométriques et prend la forme d'une jonction p-n indésirable, ou d'un transistor bipolaire ou d'un MOS indésirable. Dans certains cas, les caractéristiques de ces parasites peuvent être bénéfiques.

En général, on s'assure que ces parasites aient des effets négligeable au niveau de performances paramétriques et fonctionnelles des C.I. Le mécanisme des charges instables sensibles à la température est souvent responsables du comportement parasite [17]. Le pouvoir des structures parasites affectant l'opération de C.I. peut être influencé par les règles des conceptions et pour le dessin de masque d'une part, et par les facteurs de fabrication et les conditions environnementales d'une application d'autre part. Les pannes fonctionnelles, l'élévation du I_{DDQ} et le courant de fuite de I/O diminuent la capacité de fournir du courant; un changement de synchronisation peut être causé par les structures parasites des C.I.

CMOS.

II.5.5 Défectuosité en jonction pn

La jonction pn polarisée en inverse est typiquement dominée par les imperfections qui limitent la tension de claquage à une valeur plus basse que celle du substrat [18]. Les imprfections viennent originellement des défectuosités tels que des trous ou des pannes de réseaux moléculaires.

Elles peuvent aussi affecter la distribution des impuretés non uniformes, électriquement activée par un métal précipitable, la radiation et le dommage mécanique. Le claquage non uniforme de jonction pn est typiquement causé par deux symptômes: la discontinuité de la pente de la relation courant-tension et les caractéristiques douces du courant-tension.

La région de claquage diminue la tension logique et augmente le délai de propagation et le I_{DDQ}, quelquefois elle crée une panne fonctionnelle. La défectuosité en jonction pn peut être un problème pour les systèmes utilisant les piles. La défectuosité en jonction peut causer des effets sec-

ondaires comme le phénomène des électrons non thermalisés (hot electron) et la dégradation de la couche d'oxyde mince causant ainsi une perte de fiabilité. L'élévation du I_{DDQ} causée par ces pannes peut être petite, mais mesurable.

II.5.6 Transistor avec un seuil incorrect

Le seuil des transistors peut être décalé après la fabrication à cause de mécanismes tels que les charges instables et les effets des radiations [18]. Par conséquent, on pourra avoir des tensions logiques atténués, une augmentation de délai de propagation et une élévation du I_{DDQ}. Un changement sévère du seuil peut être détecté par une panne fonctionnelle ou par le test I_{DDQ}.

II.5.7 Défectuosité en circuit ouvert

L'électromigration et les défectuosités en configuration (pattern defects) dans les masques sont les deux pannes connues qui causent les circuits ouverts [19]. Presque toutes les défectuosités en circuits ouverts dans les C.I. CMOS élèvent le I_{DDQ}. Cette classe de défectuosités a donné lieu aux discussions et aux objections diverses sur la lien entre le I_{DDQ} et le modèle collé simple. Certaines objections sont basées sur un circuit ouvert en série avec le canal d'un transistor. En effet, il est équivalent à un transistor collé ouvert, si la grille d'un transistor est isolée par le circuit ouvert, les courants de fuite amènent ces noeuds à l'un des potentiels d'alimentation qui laisse les transistors dans un mode collé ouvert ou fermé. Cependant, ce modèle pose un problème, un transistor collé fermé peut entraîner un conflit qui génère une tension de sortie voisine du seuil logique d'une porte. Ce type de défectuosités ne peut être détectable que de façon paramétrique [20].

Le métal du circuit ouvert n'est pas souvent large, mais une grille

ouverte a une propriété différente qui la distingue d'un drain ou d'une source ouverte. Les défectuosités en drain et en source ouverte ont généralement des influences similaires sur le circuit en panne et leurs effets majeurs sont la prévention d'un courant de drain. La défectuosité en grille ouverte est fortement dépendante de la topologie et elle est très sensible aux couplages capacitifs du signal.

II.5.7.1 Défectuosité en grille ouverte

Une grille ouverte dans un transistor cause une haute impédance sur le noeud. Cette grille flottante est sensible aux couplages capacitifs AC et aux courants de fuite. Les C.I. avec une grille ouverte est souvent sensible sur une bande de fréquence à cause des couplages capacitifs AC en série avec la rupture. Nous avons aussi reporté un délai de propagation pour les circuits de test dans lesquels nous avons intentionnellement mis des défectuosités en circuit ouvert aux différents sites. Le courant de fuite est important, car le noeud flottant acquiert une tension stationnaire et peut

activer des transistors n et p. Si la constante de temps est petite [22], cette augmentation du I_{DDQ} est une méthode de détection pour les noeuds flottants.

II.5.7.2 Drain ouvert/ source ouverte (collé ouvert)

Cette défectuosité cause un noeud flottant ou un noeud avec une haute-impédance pour un état logique particulier et l'effet électronique est le même que pour une grille flottante discutée ci-dessous. Avec le taux normal d'horloge, un noeud flottant retient la tension d'un état logique antérieur, cette panne est alors référée comme le modèle collé ouvert ou comme une panne de mémoire. Le test I_{DDQ} peut détecter certaines pannes collés ouverts dont l'effet de mémoire cause une panne dans le circuit, mais l'élévation du I_{DDQ} due à une haute impédance du noeud pourrait apparaître très lente à détecter aux taux de test normal [22]. En général, aucune approche ne garantit la détection de ces défectuosités, mais collectivement des diverses techniques réduisent l'échappement des

pannes collés ouverts.

II.5.8 Défectuosité en porte de transmission

Sur la Figure 5, une rupture est illustrée, cette rupture a comme effet d'affaiblir les tensions logiques sans pour autant changer ses valeurs.

L'effet du substrat (body effect) sur le transistor composant la port de transmission diminue la tension V_2 à une valeur de telle façon que les deux transistors de charge conduisent simultanément. La défectuosité peut être détectée avec certitude si le I_{DDQ} est mesuré par un ensemble de vecteurs de test en appliquant un 0 et un 1 logique à l'entrée de la porte de transmission.

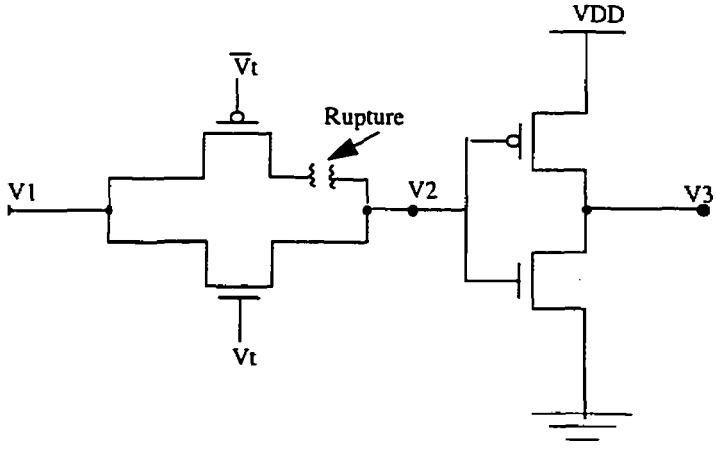


Figure 5. Défectuosité en porte de transmission pilotant un inverseur.

II.6 Instrumentation pour le I_{DDQ}

Un circuit analogue est utilisé pour le test I_{DDQ}. Il peut mesurer, dans le meilleur cas, au-dessous de 1 μA et peut tester au-dessus de 10KHz. Or, ces buts ne sont pas atteints facilement et souvent des compromis doivent être pris en considération. La mesure du I_{DDQ} dans la production utilise une instrumentation externe à la puce avec un capteur et sa circuiterie placée dans l'équipement de test ou sur la carte. Initialement, la mesure du I_{DDQ} se limite à peu près de 10 à 20 μA. Les nouvelles données montrent que les limites du I_{DDQ} sont bien au-dessus e seuil de détection des défectuosité dans le C.I. CMOS. Pour avoir une sensibilité adéquate, on utilise la technique de broche flottant de Keating et Mayer [21].

Le circuit proposé par Keating et Mayer a été utilisé par plusieurs groupes de chercheurs, car il a une bonne sensibilité et une vitesse de 10KHz pour mesurer à 1 μA. La Figure 6 illustre l'approche fonctionnant d'une instrumentation externe á la puce.

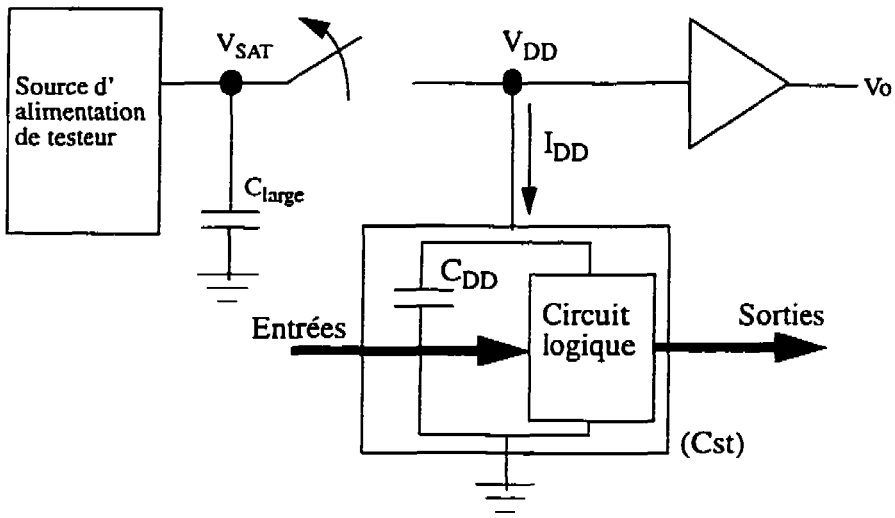


Figure 6 . Le circuit Keating et Meyer pour mesurer le I_{DDQ}.

Durant l'opération normale, l'interrupteur est fermé et le circuit sous le test (Cst) conduit le courant de la source d'alimentation de testeur V_{SAT}. Pour mesurer le I_{DDQ}, l'interrupteur est ouvert et le Cst force la conduction du courant de C_{DD}. Si le C_{DD} du circuit logique est connu en mesurant V, après le temps t, alors nous avons;

$$I_{DDQ} = C_{DD}\frac{\Delta V}{\Delta t}$$

La source d'alimentation et la capacité de charge (C_{large}) sont isolées du noeud flottant V_{DD}. Un courant élevé décharge le noeud flottant V_{DD} plus rapidement qu'un courant moins élevé. Le C_{DD} doit être mesuré ou

être connu avec une tolérance acceptable afin d'obtenir une mesure précise du I_{DDQ}. La Figure 7 montre un courant typique, ainsi qu'une forme d'onde avec une défectuosité ou sans défectuosité.

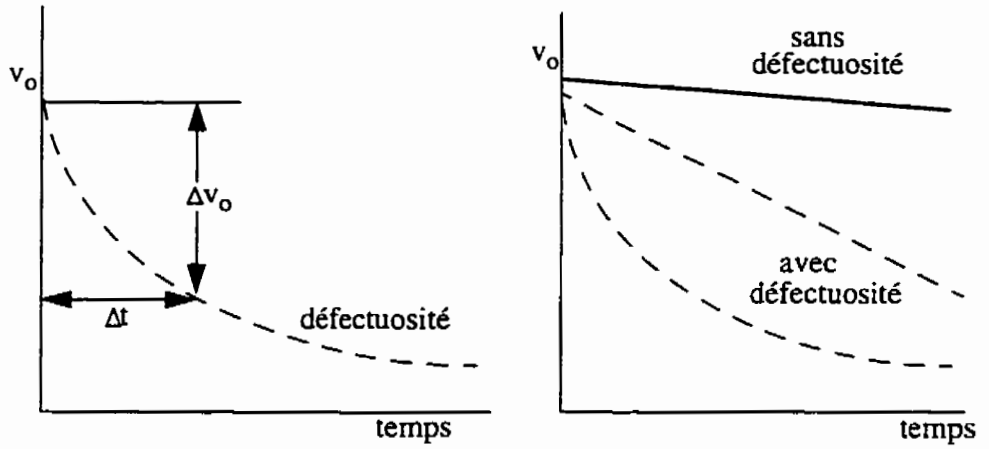


Figure 7. La forme d'onde de panne du circuit de Keating et Meyer.

II.7 Caractérisation et la limite de I_{DDQ}

La production de test pour le I_{DDQ} requiert une sélection d'une limite acceptable (acceptation/rejet). En général, cette limite doit être sélectionnée cas par cas parce qu'il n'y a pas de valeur singulière correspondant à toutes les situations. La sélection de cette limite dépend des spécifications des manufacturiers, de la conception, de la situation de test et des besoins des clients.

Une limite acceptable requiert l'évaluation des données de test des C.I. représentatifs. Certains fabricants pratiquent un test du I_{DDQ} limité, comme une mesure du I_{DDQ} par un C.I. Ces données peuvent être utilisées pour aider à fixer une limite initiale. Même quand les données précédentes sont disponibles, il serait approprié de pratiquer une manipulation d'échantillon d'un C.I. à partir de nouveaux lots de gaufres. Pour ces petites quantités des C.I., on pratique une manipulation de magnitudes du I_{DDQ} en utilisant chaque vecteur de test fonctionnel et en mesurant le I_{DDQ} avec une unité précise et lente [3].

Le test I_{DDQ} fournit un outil pratique à une amélioration continue de qualité en vue d'arriver à une défectuosité nulle. La limite du test I_{DDQ} influence directement le choix d'une instrumentation de production de test. La production typique de test des circuits a un taux de vecteur de test acceptable pour une limite du test I_{DDQ} avec la variation de 1 à 20 μA.

Le mot "acceptable" est souligné car on suppose souvent que le test I_{DDQ} est un test additionnel. Il est souvent considéré inacceptable d'augmenter la durée du test, sauf si l'on veut obtenir une qualité supérieure.

L'expérience montre que, si un temps additionel est requise par le test I_{DDQ}, il est justifiable pour la production des C.I. de haute qualité. Les tests simples avec quelques vecteurs et une limite relativement haute de 0.5 -1.0mA se sont montrés très efficaces pour détecter des défectuosités. Celles-ci ne sont pas couvertes par la chaîne de balayage conventionnel, même avec 99.6% de couverture de pannes pour le modèle collé simple [26]. Le test I_{DDQ} peut aussi réduire le temps de "burn-in".

Les capacités du I_{DDQ} ne sont pas limitées par une augmentation de complexité logique ou par une technologie sophistiquée. Par exemple, le test I_{DDQ} avec une limite de 1 μA s'est montré efficace pour les C.I. d'une complixté état de l'art, avec 3 couches de métal et une longueur de canal 0.5 μm.

Pour atteindre une haute fiabilité, le test I_{DDQ} peut être appliqué aussi bien pour les défectuosités spécifiques, être combiné avec le test fonctionnel, le modèle collé ou pour le test de panne de délai [11].

II.8 Conclusion

Dans ce chapitre, nous avons étudié le test I_{DDQ} et ses caractéristiques et nous avons observé les défectuosités possibles détectables par le I_{DDQ}. Une grande partie de ces défectuosités est détectable en mettant à 0 et à 1 les noeuds du circuit utilisé.

Nous avons constaté qu'en utilisant la méthode mentionnée, la couverture de pannes doit être satisfaisante, ce que nous vérifions dans les prochains chapitres après l'introduction de nouvelles notions.

Chapitre III

I_{DDQ} et l'analyse de testabilité

III.1 Introduction

Dans ce chapitre une nouvelle approche au test I_{DDQ} sera présentée, nous présentons aussi l'analyse de testabilité. Les deux propriétés déterminantes la testabilité d'un noeud sont [29]:

1) La contrôlabilité

2) L'observabilité.

Un noeud est testable s'il est facilement contrôlable et observable. Il y a des algorithmes qui assignent des valeurs aux noeuds résistants à la testabilité. Plus les valeurs sont grandes, plus il est difficile de tester le noeud en question. Théoriquement, l'analyse de testabilité guide les concepteurs pour modifier le circuit afin d'améliorer la testabilité pour les noeuds difficiles à tester. L'analyse de testabilité est utile pour les algorithmes de génération automatique de vecteurs de test (ATPG). Les problèmes reliés

à l'ATPG sont la contrôlabilité et l'observablilté du noeud. Ensuite nous utilisons un modèle pour convertir les circuits séquentielles. On va présenter les contrôlabilités combinatoires, et on définit aussi les contrôlabilités séquentiels. L'introduction des contrôlabilités combinatoires est utile en vue d'une comparaison avec les contrôlabilités séquentiels.

III.2 Estimation de couverture de pannes pour le I_{DDQ}

Pour estimer la couverture de panne, on se base sur le fait qu'en mettant tous les noeuds à 0 et à 1, on va pouvoir détecter tous les modèles pseudo-collés simples dans le circuit.

Ce dont nous avons besoin pour l'estimation de la couverture de panne pour le I_{DDQ} est de considérer toutes les sorties des portes comme des sorties primaires. Par conséquent, un modèle pseudo-collé 0 (1) sur la sortie d'une porte peut être détecté en forçant la sortie de porte en question à 1 (0). La panne n'a pas besoin d'être propagée, mais il faut uniquement la sensibiliser.

Avec la méthode I_{DDQ}, les effets des pannes sont propagés dans les lignes d'alimentation. Comme nous avons mentionné dans l'introduction, la contrôlabilité est très utile pour estimer la testabilité des circuits, en effet, cette mesure quantifie la propagation de la panne. Cependant, les circuits séquentiels exigent l'initialisation des bascules.

Les concepteurs doivent faire la conception des circuits séquentiels avec des modules initialisables, mais certaines règles de testabilité peuvent être relaxées quand on utilise le test I_{DDQ} [35].

Pour calculer les couvertures de pannes pour le test I_{DDQ}, on utilise les étapes suivants:

1- Transformer les circuits séquentiels en appliquant le modèle présenté dans la section III.3.1.

2- Appliquer les formules pour le calcul des contrôlabilités.

III.2.1 Modèle pour les circuits séquentiels

Afin d'utiliser les outils applicables aux réseaux combinatoires, il faut trouver un modèle qui transforme le modèle séquentiel. Un circuit séquentiel S est présenté sur la Figure 8. En coupant la ligne de rétroaction des bascule, on peut former une production itérative du circuit S^p de la Figure 9. Les circuits combinatoires C(i) avec i=1,.....,p sont tous identiques à la partie combinatoire C du circuit original. Dans cette transformation, la bascule du circuit S est modélisés comme un élément combinatoire F(i) avec i=1,...,p. On les appelle les pseudo-bascules [34]. Sur la figure 9, C(i) et F(i) correspondent au terme temps i.

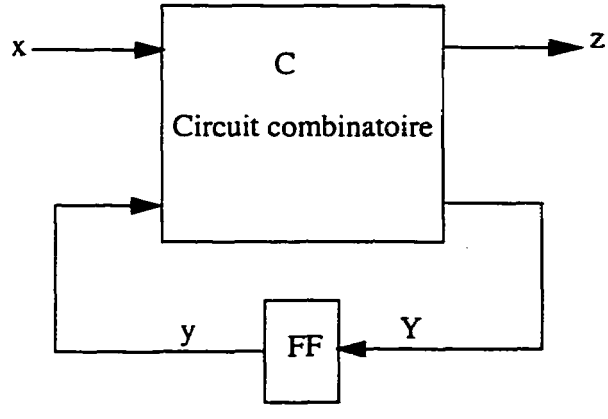


Figure 8. Le circuit séquentiel S

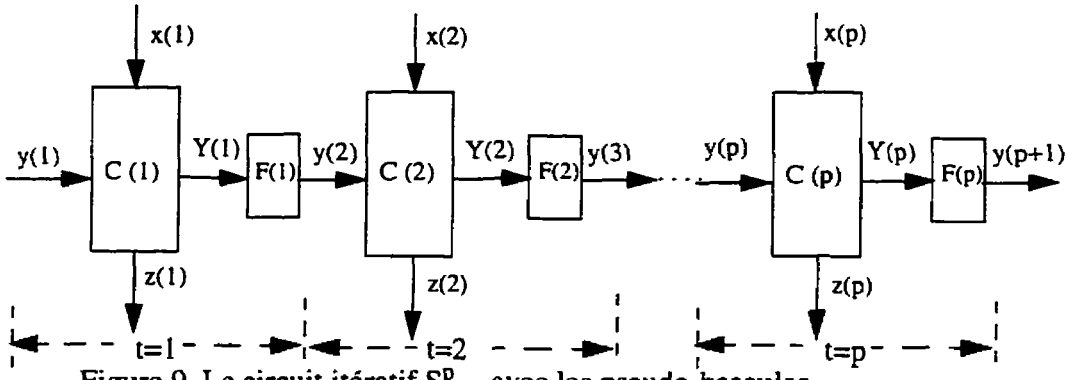


Figure 9. Le circuit itératif S^p avec les pseudo-bascules

Supposons qu'une séquence d'entrée x(1),x(i).....,x(p) est appliquée au circuit séquentiel de la figure 9 avec l'état initial y(1), et que S génére la séquence de sortie z(1), z(2),.....,z(p) avec les séquences y(i), y(2),.....,y(p+1). Alors, le circuit itératif S^p ainsi obtenu du circuit séquentiel S va avoir une réponse telle qu'indiquée sur la figure 9. La réponse dans le domaine temporel du circuit séquentiel est présenté dans le domaine de l'espace du circuit itératif. Dans ce sens, le circuit combinatoire S^p est logiquement équivalent au circuit séquentiel S dont l'entrée/ sortie est de longueur p, si l'on veut trouver une longueur de test p pour une panne dans le circuit séquentiel M.

À cette fin, on construit ainsi le circuit itératif avec p circuits combina-

toires identiques. Une séquence de test de longueur p sera une transposition dans l'espace de la génération des vecteurs de test tel qu'illustré sur la Figure 10. Sur cette figure, chaque cellule S(i) est formée d'une partie combinatoire C et des pseudo-bascules du circuit séquentiel original S. Les états y(i) et y(i+1) sont appelés respectivement les pseudo-entrées et les pseudo-sorties de la cellule S(i). Le circuit itératif S^p est combinatoire. Donc, la majorité des algorithmes de génération de vecteurs de test pour les circuits combinatoires peuvent être appliqué à ce modèle.

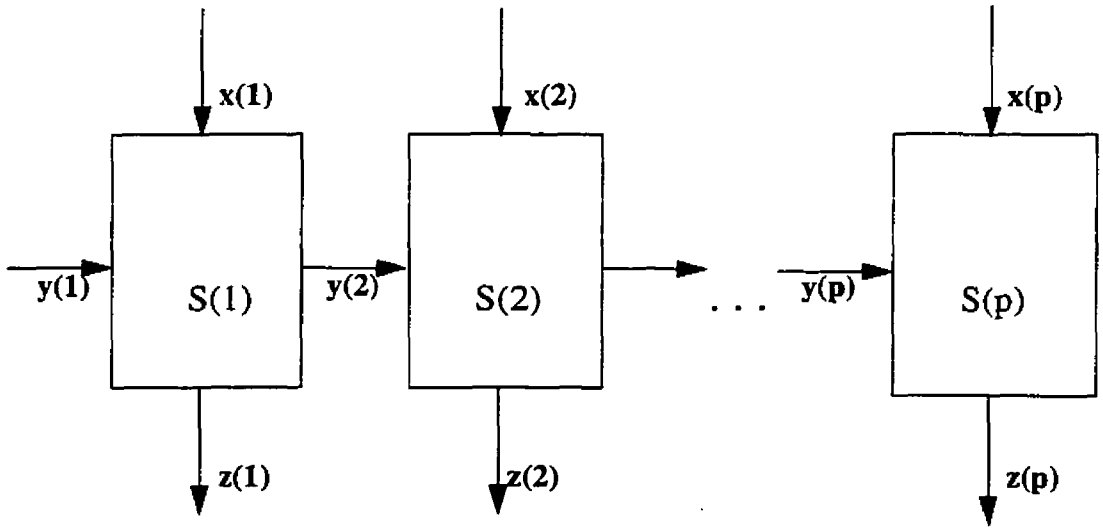


Figure 10 . Le modèle itératif du circuit séquentiel

III.2.2.1 Contrôlabilité combinatoire

Le calcul de la contrôlabilité combinatoire est basé sur les probabilités traversés par différents chemins dans le diagramme de décision binaire (BDD) [30]. Il est similaire à l'approche présenté en [31] pour la génération des tests.

La probabilité de traverser chaque arc dans le BDD est équivalent à la contrôlabilité combinatoire de la variable présentée par le noeud d'où provient l'arc. En sachant que les variables d'entrées d'un module sont indépendantes, la probabilité $P(p_i)$ de traverser chaque chemin p_i dans le BDD est donnée par le produit des probabilités de traverser des tous les arcs dans ce chemin.

La probabilité de produire une valeur de sortie b, $b \in \{0, 1\}$ est donc égale à la somme de la probabilité de traverser tous les chemins avec les valeurs terminales b. L'algorithme [32] suivant pour calculer la contrôlabilité combinatoire d'une sortie d'un module combinatoire est basé sur ces idées:

1- Assigner à chaque arc sa probabilité.

2- Calculer la probabilité associée avec chaque chemin.

3- Calculer $CC_b(f)= \sum P(p_i)$, pour tous les chemins p_i avec la valeur terminale b.

Nous utilisons la représentation BDD des portes logiques pour calculer leurs contrôlabilités. En utilisant l'algorithme présenté ci-haut, nous pouvons calculer les contrôlabilités à 1 (C1) et à 0 (C0) de tous les types de portes logiques ayant n entrées.

Dans la représentation des BDD, E_i est la ième entrée de la porte logique et S est la sortie de cette porte. Rappelons que les probabilités des entrées primaires sont supposeés égales á 1.

Porte Non-ET:

Les contrôlabilités $C_1(S)$ et $C_0(S)$ de la porte Non-ET ayant n entrées sont calculés comme suit:

$$C_0(S) = \prod_{i=1}^{n} C_1(E_i)$$

$$C_1(S) = C_0(E_i) + \sum_{i=2}^{n} C_0(E_i) \prod_{j=1}^{i-1} C_1(E_j)$$

Porte ET:

Pour la porte ET, les contrôlabilités $C_1(S)$ et $C_0(S)$ se déduisent directement des formules précédentes pour la porte Non-ET.

En effet, $C_1(S)$ pour la porte ET est égale à $C_0(S)$ de la porte Non-ET, et vice-versa.

$$C_1(S) = \prod_{i=1}^{n} C_1(E_i)$$

$$C_0(S) = C_0(E_i) + \sum_{i=2}^{n} C_0(E_i) \prod_{j=1}^{i-1} C_1(E_j)$$

Porte Non-OU;

Alors, les contrôlabilités $C_1(S)$ et $C_0(S)$ de la porte Non-OU ayant n entrées sont calculé comme suit:

$$C_1(S) = \prod_{i=1}^{n} C_0(E_i)$$

$$C_0(S) = C_1(E_i) + \sum_{i=2}^{n} C_1(E_i) \prod_{j=1}^{i-1} C_0(E_j)$$

Porte OU:

Pour la porte OU, les contrôlabilités $C_1(S)$ et $C_0(S)$ se déduisent directement des formules précédentes pour la porte Non-OU.

En effet, $C_1(S)$ pour la porte OU est égale à $C_0(S)$ de la porte Non-OU, et vice-versa

$$C_0(S) = \prod_{i=1}^{n} C_0(E_i)$$

$$C_1(S) = C_1(E_i) + \sum_{i=2}^{n} C_1(E_i) \prod_{j=1}^{i-1} C_0(E_j)$$

Ainsi les contrôlabilités des portes Non-OU Exclusif et OU Exclusif ayant n entrées sont calculées à partir de leurs BDD respectifs:

Non-OU Exclusif: $C_1(S_i) = C_0(S_{i-1})C_0(E_i) + C_1(S_{i-1})C_1(E_i)$

$C_0(S_i) = C_0(S_{i-1})C_1(E_i) + C_1(S_{i-1})C_0(E_i)$

OU Exclusif: $C_0(S_i) = C_0(S_{i-1})C_0(E_i) + C_1(S_{i-1})C_1(E_i)$

$C_1(S_i) = C_0(S_{i-1})C_1(E_i) + C_1(S_{i-1})C_0(E_i)$

III.2.2.2 Contrôlabilité séquentielle

La contrôlabilité séquentielle est semblable au calcul de contrôlabilité combinatoire. Pour calculer la contrôlabilité séquentielle, on suppose que:

1- L'état initial pour le circuit est l'état x (inconnu).

2- Les entrées primaires sont assignées de manière déterministe et équiprobable.

On distingue trois contrôlabilités C_0, C_1 et C_x [33]. La somme de ces termes est toujours égal à 1, on calcule uniquement C_0 et C_1. La contrôlabilité C_x déduit à partir de C_0 et C_1. Au temps t=0, C_0 et C_1 pour toutes les bascules sont égales à 0. Pour une bascule B à tous moment (t # 0):

$C_0 (B,t) = C_0 (B,t-1)$

$C_1 (B,t) = C_1 (B,t-1)$

Donc, avec ces heuristiques, on peut calculer pour toutes les portes les contrôlabilités séquentielles:

contrôlabilités séquentielles:

Pour porte OU avec les entrées x_1, x_2 et la sortie x_3:

$$C_0(x_3) = C_0(x_1)\, C_0(x_2) \qquad (1)$$

$$C_1(x_3) = 1 - (1 - C_1(x_1))\,(1 - C_1(x_2)) \Longrightarrow$$

$$C_1(x3) = C_1(x1) + C_1(x2) - C_1(x1)\, C_1(x2) \qquad (2)$$

Étant donnée qu'on ait $C_0 + C_1 + C_x = 1$ (3)

i.e $C_x = 1 - C_0 - C_1$ (4)

en remplaçant l'équation (4) par sa valeur en (1) et (2) on obtient;

$$\mathbf{C_x(x_3) = 1 - C_1(x_1) - C_1(x_2) - C_0(x_1)C_0(x_2) + C_1(x_1)\, C_1(x_2)}$$

Pour porte Non-OU avec les entrées x_1, x_2 et la sortie x_3:

$$C_1(x_3) = C_0(x_1)\, C_0(x_2) \qquad (5)$$

$$C_0(x3) = 1 - (1 - C_1(x1))\,(1 - C_1(x2)) \Longrightarrow$$

$$C_0(x3) = C_1(x1) + C_1(x2) - C_1(x1)\, C_1(x2) \qquad (6)$$

Étant donnée qu'on ait $C_0 + C_1 + C_x = 1$ (7)

i.e $C_x = 1 - C_0 - C_1$ (8)

en remplaçant l'équation (8) par sa valeur en (5) et (6) on obtient;

Pour porte ET avec les entrées x_1, x_2 et la sortie x_3:

$$C_1(x_3) = C_1(x_1)\, C_1(x_2) \qquad (9)$$

$$C_0(x3) = 1 - (1 - C_0(x1))\,(1 - C_0(x2)) \Longrightarrow$$

$$C_0(x3) = C_0(x1) + C_0(x2) - C_0(x1)\, C_0(x2) \qquad (10)$$

Étant donnée qu'on ait $C_0 + C_1 + C_x = 1$ (11)

i.e $C_x = 1 - C_0 - C_1$ (12)

en remplaçant l'équation (12) par sa valeur en (9) et (10) on obtient;

$$\mathbf{C_x(x_3) = 1 - C_0(x_1) - C_0(x_2) + C_0(x_1)C_0(x_2) - C_1(x_1)\, C_1(x_2)}$$

Pour porte OU-Exclusif avec les entrées x_1, x_2 et la sortie x_3:

$$C_0(x_3) = C_0(x_1)\, C_0(x_2) + C_1(x_1)\, C_1(x_2) \qquad (13)$$

$$C_1(x_3) = C_0(x_1)\, C_1(x_2) + C_1(x_1)\, C_0(x_2) \qquad (14)$$

Étant donnée qu'on ait: $C_0 + C_1 + C_x = 1$ (15)

i.e $C_x = 1 - C_0 - C_1$ (16)

en remplaçant l'équation (16) par sa valeur en (13) et (14) on obtient;

$C_x(x_3)=1-C_0(x_1)C_0(x_2)-C_1(x_1)C_1(x_2)-C_1(x_1)C_0(x_2)-C_0(x_1)C_1(x_2)$

L'exemple suivant nous montre comment le modèle itératif est utilisé avec les contrôlabilités séquentielles, la Figure 11 illustre un circuit séquentiel M.

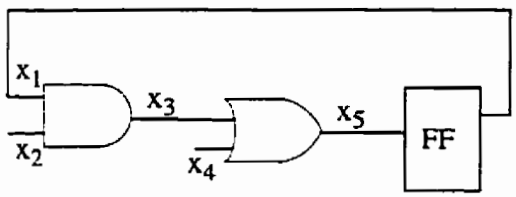


Figure 11. Un circuit séquentiel M

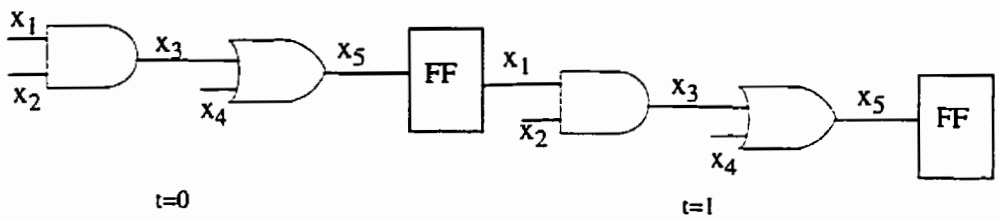


Figure 12. Circuit itératif

et la Figure 12 illustre le modèle itératif au temps t=0 et t=1.

En utilisant les algorithmes précedentes on peut calculer les contrôlabilités des portes ET et OU.

III.3 Résultats expérimentaux

En simulant le programme implanté sur le circuit des benchmark ISCAS89, les résultats obtenus sont présentés sur le Tableau 1 et sur le Tableau 2. Les circuits utilisés ont de différentes propriétés et grandeurs. Toutes les couvertures ont été obtenues après 20 itérations ou moins. Une augmentation de cette valeur n'augmente en rien la couverture des pannes. La raison pour laquelle les couvertures n'augmentent pas au délai de 20 itérations est due aux problèmes combinatoires et à l'état inconnu des entrées des circuits. Pour les circuits s510,s953,s1196 et s1238, une seule itération suffisait à accomplir la simulation, bien que pour s510, la couverture n'augmentait pas plus loin que 56.76, s510 est un contrôleur présentant originalement une couverture de 0.0% avec la méthode conventionnelle [36]. Pour les circuits s27,s298,s344,s349,s820,s832,s1196 et s1238 une couverture de presque 100% est atteinte. En général, pour 50% des circuits, une couverture de pannes d'au moins 95% est obtenue après une itération ou plus dépendant

du type de circuits.

Comme Wiscomb [37] a mentionné qu'avec une couverture de 95% des modèles pseudo-collés, l'approche I_{DDQ} réduit la défectuosité non détectée avec une probabilité P (DEFECT LEVEL) par un facteur de 4. Bien que la propriété de l'OA résolve le problème d'observabilité, certains circuits n'ont pas des couvertures optimales. Ces circuits présentent un problème de contrôlabilité. Les circuits s510,s953,s13207 et s9234 avaient des couvertures médiocres avec la méthode conventionnelle, un nombre considérable des pannes est devenu testable à cause de l'OA, mais encore ils n'ont pas atteint des valeurs satisfaisantes. Pour ces circuits, il faut utiliser des techniques DFT comme l'insertion des points de contrôle ou la technique de chaîne de balayage pour remédier à la situation.

Bien que la génération des vecteurs de test n'est pas dans le cadre de ce projet, nous croyons qu'il est intéressant de comparer nos résultats avec ceux qui ont généré des vecteurs de test en utilisant l'approche I_{DDQ}. À notre connaissance jusqu'ici, il n'y a pas d'outils de génération des vecteurs de test dans le contexte pseudo-aléatoire pour l'approche

I_{DDQ}, mais les compagnies AT&T et Sandia National Laboratories ont des outils qui permettent de générer les vecteurs de test dans le contexte déterministe pour le I_{DDQ}. Le Tableau 2 présente une comparaison entre nos résultats avec ceux de AT&T et Sandia. Il y a une légère divergence des couvertures (3% ou moins) pour les circuits s298,s344,s349,s641,s820,s832,s1196, s1238,s1423 et s35932. En moyenne, la divergence est 9.3% avec GenTest. Cette divergence est même moins avec l'outil de Sandia, où elle n'est que 5.4%. En général, cette divergence est due essentiellement au fait que GenTest et l'outil de Sandia sont des outils de génération des vecteurs de test dans le contexte déterministe. Il faut considérer aussi que la manière de calculer les détectabilités est celle des nombres COP, c'est à dire, la supposition d'indépendance entre les entrées d'une porte et la nature probabiliste de ces nombres. Comme nous allons voir dans le prochain chapitre pour les circuits avec des problèmes de contrôlabilité, il faut utiliser des méthodes traditionnelles comme l'insertion de points de test, afin d'améliorer les résultats obtenus dans cette section.

Tableau 1. Couvertures des pannes du test I_{DDQ} pour les circuits ISCAS89

Circuit	DFF	NTNS	CPO	ND	CPI_{DD}
s27	3	2	100	3	100
s208	8	10	63.72	10	78.26
s298	14	15	85.71	13	99.92
s344	15	18	96.20	20	99.98
s349	15	16	95.71	20	99.76
s382	21	20	91.23	6	84.44
s386	6	12	81.77	8	98.32
s420	16	20	41.63	12	68.97
s444	21	18	89.45	6	84.21
s510	6	13	0.00	1	56.76
s526n	21	23	81.01	8	86.74
s526	21	23	80.18	8	87.22
s641	19	14	86.51	8	96.32
s713	19	13	81.41	9	96.42
s820	5	7	95.18	20	99.69
s832	5	8	93.56	20	99.7
s838	32	40	29.64	11	64.15
s953	29	17	8.16	1	72.4
s1196	18	0	99.76	1	99.82
s1238	18	0	94.69	1	99.46
s1423	74	86	31.42	12	94.11
s1488	6	10	92.93	15	95
s1494	6	10	93.16	14	95
s5378	179	65	74.02	17	89.24
s9234	228	231	0.26	20	61.19
s13207	669	369	6.10	20	61.4
s15850	597	497	16.85	20	63.86
s35932	1728	1431	89.77	6	97.62
s38417	1636	1368	25.14	20	87.78
s38584	1452	1452	31.38	20	89.11

DFF: Nombre total des bascules.

NTNS: Nombre total des noeuds séquentiels.

CPO: Couverture de panne des circuits originaux ISCAS89.

ND: Nombre de duplication.

CPI_{DD}: Couverture de panne avec le test I_{DDQ}

Tableau 2. Comparaison des couvertures de pannes pour différentes méthodes.

Circuit	CPO	CPI_{DD}	CPGenT	CPS
s27	100	100	100	100.00
s208	63.72	78.26	86.51	86.51
s298	85.71	99.92	99.03	99.03
s344	96.20	99.98	99.12	98.83
s349	95.71	99.76	98.86	98.57
s382	91.23	84.44	100	100.00
s386	81.77	98.32	99.22	99.22
s420	41.63	68.97	75.81	75.81
s444	89.45	84.21	97.90	97.89
s510	0.00	56.76	10.11	74.47 *
s526n	81.01	86.74	99.10	99.10
s526	80.18	87.22	99.10	96.94
s641	86.51	96.32	94.22	94.22
s713	81.41	96.42	91.91	91.91
s820	95.18	99.69	100	100.00
s832	93.56	99.7	100	100.00
s838	29.64	64.15	69.66	69.66
s953	8.16	72.4	42.72	62.84 *
s1196	99.76	99.82	100	97.75
s1238	94.69	99.46	100	97.93
s1423	31.42	94.11	91.02	91.02
s1488	92.93	95	100	100.00
s1494	93.16	95	100	100.00

CPO: Couvertures de pannes des circuits originels ISCAS89.

CPI_{DD}: Couvertures de pannes après le test I_{DDQ}.

CPGenT: Couvertures de pannes des circuits de GenTest (AT&T).

CPS: Couvertures de pannes des circuits de Sandia (* Initialisation au début du processus).

III.4 Conclusion

Dans ce chapitre nous avons présenté une nouvelle approche au modèle de panne en utilisant le test I_{DDQ}. En combinant le test I_{DDQ} et les mesures de testabilité, nous avons estimé les couvertures de pannes des circuits ISCAS89.

Ces mesures au niveau des portes logiques étaient basées uniquement sur la contrôlabilité. Les résultats montrent que le test I_{DDQ} est très efficace surtout pour les circuits avec une faible observabilité

Le calcul des algorithmes présentés dans ce chapitre est relativement rapide à cause de différents facteurs (à titre d'exemple on peut parler de l'OA du test I_{DDQ}) et le temps d'exécution est proportionnel à la taille des circuits.

Chapitre IV

I_{DDQ} et l'insertion de points de test

IV.1 Introduction

Dans le chapitre précédant, nous avons observé que pour la majorité des circuits même si nous avons généralement obtenu des couvertures élevées pour certains circuits, ce n'était pas toujours le cas. Ces circuits présentent des problèmes de contrôlabilité, (car I_{DDQ} ne résoud pas le problème de contrôlabilité) [35], pour différentes raisons comme les problème d'initialisation et les pannes résistantes au test pseudo-aléatoire.

Nous verrons que les méthodes de conception pour la testabilité comme la méthode Ad hoc qui consiste à "diviser pour régner" sont utiles pour résoudre ces genres des problèmes.

Les méthodes Ad hoc sont des méthodes non algorithmiques car elles ne sont pas appliquées pour la conception complète afin d'assurer la génération de test, mais plutôt elles sont utilisées comme un choix par le concepteur chaque fois que cela s'avère nécessaire. Leurs rôles sont

sées dans la cadre de ce mémoire est l'insertion de points de contrôle. J. Hayes [38] a utilisé les point de contrôle afin de réduire la longeur de test requis par le logique pour simplifier la génération de test. La propriété de la porte OU-Exclusife comme un élément de contrôle a été examinée. Un algorithme systématique a été présenté pour modifier tous les circuits combinatoires ou séquentiels de telle façon que les circuits modifiés ne requièrent que 5 tests.

Les tests peuvent facilement être générés en utilisant un groupe de test du longueur 5. La conception d'un circuit testable en utilisant un nombre limité du contrôle logique est aussi explorée. En général, pour tester la logique fonctionnelle et la logique de contrôle, il faut supporter le coût matériel. En pratique, la quantité de la logique de contrôle peut être limitée par différents facteurs dont les plus importants sont:

-1 Le nombre de portes pouvant ajoutée au circuit original, ce qui peut être limité par restriction de la taille du circuit ou par la fiabilité.

-2 Le nombre de broche d'entrée/sortie. Dans les technologies intégrées, le nombre de broche d'entrée/sortie est strictement limité.

-3 Le délai additionnel introduit par la logique de contrôle

-4 La longueur du test pour le circuit modifié. Chaque point de contrôle ajoute un bit à chaque vecteur.

En 1986, Briers et al [40] abordent à nouveau l'insertion de points de test dans l'approche pseudo-aléatoire. Basés sur une simulation de pannes, leurs recherches consistent en l'insertion de points d'observation et de contrôle afin d'améliorer la testabilité du circuit en se basant sur le fait que les pannes résistantes au test proviennent essentiellement:

a) De portes ayant un grand nombre d'entrées avec de faibles contrôlabilités.

b) De la présence de reconvergences qui dégradent la contrôlabilité des noeuds du circuit.

c) De la présence de pannes redondantes.

d) De la qualité des vecteurs pseudo-aléatoires générés.

La méthode présentée tente d'approcher des solutions aux deux premiers problèmes. Les points de contrôle insérés ont ainsi pour rôle non plus d'améliorer directement la contrôlabilité des noeuds en les forçant à

la valeur désirée, mais plutôt de s'attaquer à la cause de cette faible contrôlabilité en brisant les reconvergences ou plus généralement en permettant d'éliminer les dépendances entre les valeurs sur les noeuds d'une même porte.

L'outil fournit un ensemble de noeuds candidats à l'insertion de points de contrôle ou d'observation. Un algorithme de couverture d'ensembles inspiré par la théorie des graphes est alors appliqué pour déterminer l'emplacement des différents points à insérer. Dans leurs travaux, aucun schéma de points de test n'est présenté pour prouver la possibilité d'une application pratique de cette approche qui pourrait alors voir le nombre de points insérés et le temps d'exécution augmenter considérablement ou encore la couverture de pannes diminuer.

Le but de ce chapitre n'est pas le développement des outils d'insertion de points de contrôle, mais plutôt montrer son application pour le test I_{DDQ}. Dans la dernière section on utilise aussi la technique de la chaîne de balayage.

IV.2 I_{DDQ}, les mesures de testabilité et l'insertion de points de test

Étant donné que les points de test sont insérés pour améliorer la testabilité des pannes résistantes au test pseudo-aléatoire. Il est alors primordial de pouvoir localiser ces pannes dans le circuit.

Il est aussi très important au sein d'une approche de test pseudo-aléatoire de pouvoir déterminer la couverture de pannes atteinte en appliquant un certain nombre de vecteurs. Pour réaliser ces objectifs, la méthode la plus efficace consiste à utiliser un simulateur de pannes. Cependant, cette méthode devient très coûteuse lorsqu'un nombre élevé de vecteurs doit être simulé (ce qui est le cas pour cette approche.) L'alternative la plus répandue consiste à utiliser les mesures de testabilité afin d'estimer la détectabilité de chaque noeud, ainsi que la couverture de panne atteinte. Ces mesures reposent, comme nous avons mentionné précédemment, sur les notions de contrôlabilité et d'observabilité.

Plusieurs algorithmes ont été proposés dans la littérature pour le cal-

cul ou l'estimation de la testabilité des pannes du modèle collé-simple. La majorité de ces algorithmes appartiennent à l'une des classes suivantes:

Algorithmes exacts: Des valeurs de testabilité exactes sont calculées.

Algorithmes basés sur des bornes: Des bornes sont générées pour la testabilité de chaque panne[43].

Algorithmes approximatifs: Des valeurs approximatives sont calculées[44]

Les algorithmes exacts peuvent devenir très coûteux en terme de temps de calcul, et ils ne peuvent donc pas en général être utilisés pour une estimation rapide de la couverture de pannes. Les algorithmes appartenants aux deux autres classes réduisent l'effort de calcul en utilisant des heuristiques. Ils conduisent alors à des approximations plus ou moins bonnes. Ils peuvent en effet qualifier de difficile à tester des pannes qui ne le sont pas, ou le contraire.

Étant donné qu'on utilise l'algorithme COP [44]. Le but de cette section est d'étudier l'impact de ces algorithmes approximatifs utilisés dans nos travaux sur l'insertion des points de test. Les contrôlabilités sont calcu-

lées en assignant des probabilités aux entrées primaires pour ensuite les propager vers les sorties primaires selon l'algèbre probabiliste énoncée dans le chapitre III. Cette procédure ne tient pas compte des dépendances logiques entre les entrées d'une même porte lorsqu'elles proviennent des sortances multiples qui reconvergent plus loin dans le circuit. D'un autre coté, les observabilités sont calculées en assignant une probabilité de 1 d'observer les sorties primaires. Ces probabilités sont ensuite propagées vers les entrées primaires utilisant les valeurs de contrôlabilités déjà calculées. Lorsqu'une branche à plusieurs sortances est rencontrée, l'observabilité de la branche est calculée comme une fonction (OU) des observabilités des sortances. Cette hypothèse n'est exacte que lorsque la branche n'est pas reconvergente. La testabilité d'une panne est enfin calculée en multipliant les valeurs de contrôlabilité et d'observabilité, ce qui n'est exact que lorsque ces probabilités sont indépendantes. Mais avec le $\mathbf{I_{DDQ}}$, la testabilité n'est que la contrôlabilité, et ainsi on réduit l'erreur induite par utilisation de ces nombres.

Il est évident que l'algorithme COP entraîne des imprécisions de calcul

causées par les dépendances introduites par les noeuds reconvergents. Il peut de ce fait s'avérer trop optimiste, en qualifiant de facile à tester des pannes qui ne le sont pas. Bien qu'il présente tous ces inconvénients, cet algorithme est très rapide.

Ici nous allons donner quelques définitions utiles qui nous serviront pour présenter l'algorithme d'insertion de points du test [39].

La région d'influence d'un point de test est définie comme étant la région contenant tous les signaux dont la testabilité est affectée par ce point de test. Un point d'obsersvabilité n'affecte que les observabilités des signaux appartenant à son cône d'entrée, tandis qui un point de contrôle affecte la contrôlabilité et l'observabilité d'une certaine région du circuit. On constate qu'un noeud difficile à tester, et appartenant à la région d'influence d'un autre noeud, peut trouver sa testabilité améliorée suite à l'insertion d'un point de test à son cône de sortie. Par conséquence, il existe deux types de secteurs selon le problème commun dont souffrent les points qui les appartiennet. Les secteurs observables (ayant la forme d'un cône orienté des sorties vers les entrées: >) et les secteurs

contrôlables (sous la forme <) englobent les noeuds dont le problème de contrôlabilité a été résolu suite à l'insertion d'un point de test.

La technique utilisée pour construire des secteurs contrôlables consiste dans une première étape à déterminer tous les noeuds ayant une mauvaise contrôlabilité et à les ranger dans une même liste. Afin de déterminer ces noeuds, il a fallu définir une valeur de mauvaise contrôlabilité. Cette valeur a été définie d'une manière empirique en se basant sur de multiples expériences telle que les auteurs en [39] avait décrit en détail. La deuxième étape consiste à trier la liste obtenue par ordre croissant de niveau logique à partir des niveaux logiques les plus proches des entrées primaires vers ceux voisins des sorties primaires. La troisième étape consiste à considérer chaque noeud dans la liste triée comme candidat à l'insertion d'un point de contrôle. Ensuite, partant de cette liste, une procédure récursive prend le premier candidat, insère un point de contrôle et propage son effet dans la région d'influence de ce dernier. En bref, on peut ainsi utiliser l'algorithme suivant:

Algorithme d'insertion de points de test:

```
Entrée: Une liste L de noeuds difficiles à contrôler

Sortie: Liste de secteurs contrôlables

Const_Cont_Sect

{

 Tirer L par ordre croissant de profondeur logique

 pour chaque élément Ei de la liste   /* Ei est une tête de secteur */

 {si Ei est collée à 0

        Insérer un point de contrôle à 1 en Ei

  sinon insérer un point de contrôle à 0 en Ei

  Appeler Sect_Avant (Ei)

  }

}

Sect_Avant (Ei)

 {

  Recalculer la contrôlabilité de Ei

  Recalculer la detectabilité de Ei

  Si la contrôlabilité de Ei > seuil de mauvaise contrôlabilité
```

```
        {
         Si Ei se trouve dans la liste L
           Retirer Ei de la liste    /* Ei est couvert par la tête du secteur */
           pour chaque sortie Ei de la porte conduite par Ei
          Appeler Sect_Avant (Ej)
/* Propager l'effet de la tête du secteur dans son cône de sortance */
        }
    Sinon {
             Si Ei est la tête du secteur
/* Le noeud est incapable de résoudre même son propre cas */
             Retirer le point de contrôle en Ei
             Ranger Ei dans la liste des noeuds inefficaces
             /* Son cas est traité plus tard */
            }
    }
```

En utilisant la propriété de l'AO du I_{DDQ}, on n'a pas besoin des secteurs observables et ainsi on réduit le temps du calcul et aussi on aug-

mente la précision de l'algorithme.

IV.3 Techniques traditionnelles

Il existe deux types de points de test: Les points de contrôle et les points d'observation. Un point de contrôle est une entrée primaire additionnelle servant à améliorer la contrôlabilité d'un noeud du circuit, alors qu'un point d'observation est une sortie primaire additionnelle utilisée pour améliorer l'observabilité. Dans notre cas, on n'utilise que la première technique. Cette technique s'appliquant aux circuits ITGE consiste à utiliser des OUEX comme élément de contrôle [41]. Plusieurs autres techniques ont été proposées comme structure de point de test [34]. Cependant, la technique qui a trouvé le plus de succès consiste à utiliser les portes logiques (ET,OU) comme points de contrôle.

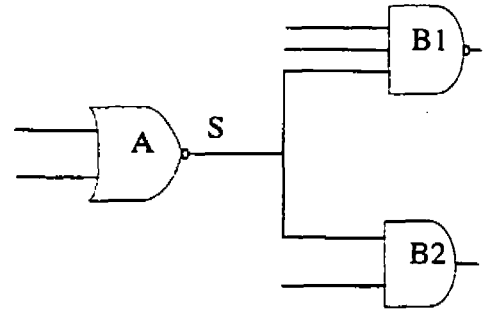


Figure 13. Signal S de faible testabilité

La Figure 13 illustre la réalisation matérielle des points de contrôle. Supposons qu'on veut améliorer la testabilité du signal S (Figure 13) en insérant un point de test.

Dans ce cas, on insère une porte Et (Figure 14a) ou une porte OU (Figure 14b) selon qu'on veut contrôler à 0 ou à 1 le noeud S. Cette porte additionnelle possède deux entrées: la première est connectée au signal S, alors que la deuxième est commandée par une entrée primaire additionnelle. Il y a deux modes de fonctionnement: normal et test. Durant le mode de fonctionnement normal, l'entrée primaire additionnelle est inactive, c'est à dire forcée à 1 s'il s'agit d'une porte ET, et à 0 s'il s'agit d'une porte OU. Durant le mode test, cette même entrée est activée pour injecter la valeur 0 dans le cas ET, et 1 dans le cas OU. Finalement, la sortie t de la porte P doit être connectée à toutes les portes que le signal S commandait c'est à dire aux portes B1 et B2.

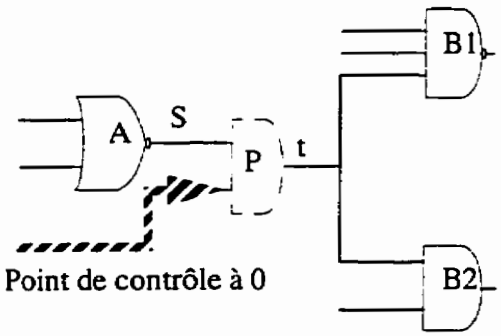


Figure 14a. Insertion d'une porte ET

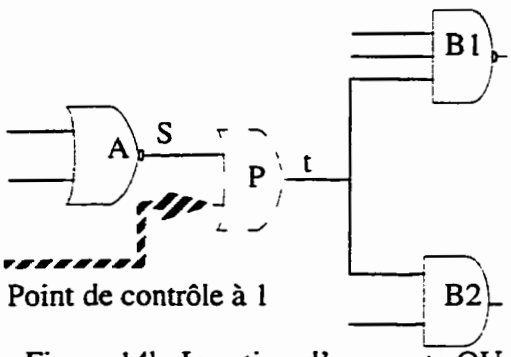


Figure 14b. Insertion d'une porte OU

IV.4 Performances de la technique traditionnelle

L'insertion des points de test contribue à améliorer la testabilité du circuit, cependant, il est important de caractériser le coût associé à cette amélioration: Les dégradations de performance en terme de délai et de surface additionnelle. L'objectif de cette section est d'évaluer ces dégradations lorsque la technique classique est utilisée pour implanter les points de contrôle.

IV.4.1 Dégradations temporelles

L'évaluation des dégradations temporelles dues à l'insertion des points de test est d'une importance qui justifie les efforts investis [42]. En effet,

un circuit fonctionnant à 20MHZ peut voir sa performance réduite à 16MHZ après l'insertion des points de test.

IV.4.2 Surface additionnelle

Le deuxième aspect important d'une structure de point de test est la surface additionnelle introduite qu'elle requiert. Il existe trois sources pouvant influencer la surface additionnelle:

1) la surface introduite par les portes de contrôle.

2) l'aire occupée par les lignes qui distribuent les signaux de contrôle.

3) la circuiterie périphérique pour commander les signaux de contrôle.

Cependant, on peut supposer que les deux derniers facteurs sont approximativement constants pour la plupart des structures de points de test. Seule la surface introduite par les portes de contrôle est utilisée pour comparer les différentes techniques.

IV.5 Technique de balayage

La technique de balayage change les circuits séquentiels en connectant les éléments des registres, afin que dans le mode de test, elles réagissent comme une chaîne sérielle de balayage en appliquant une séquence de test à la partie combinatoire de circuit [34]. La méthode est illustrée sur la Figure 15. Afin de créer une chaîne de balayage à travers les éléments du mémoire, chaque bascule est remplacée par son équivalent dans le mode de test. En utilisant cet élément substitué, l'état de chaque registre peut être contrôlé par les donnés qui se déplacent sériellement à l'entrée primaire de la chaîne. Similairement, l'état de chaque registre peut être observé par les données se déplaçant sur la sortie de chaîne. Le test d'un circuit séquentiel possédant une chaîne de balayage devient un problème de génération des vecteurs pour la logique combinatoire dans un circuit. Ensuit, les outils de conceptions assistée par ordinateur (CAD) se chargent de la génération automatique des vecteurs de test (ATPG). C'est une condition très désirable, étant donné que le test des circuits séquentiels

impliquent la conduction du circuit à travers beaucoup d'état des registres reliés ensembles. Un circuit séquentiel avec n bit registres sur ses lignes de rétroaction a 2^n états. Par exemple, si n=20, sn=1048576 états. Afin d'assurer qu'une transition d'état correcte apparait dans le circuit, tous les états doivent être exercées par un ensemble de test, mais ceci présente un problème si les éléments de mémoire ne sont pas facilement accessibles. Cependant, l'accessibilité est assurée par l'inclusion d'une chaîne de balayage qui facilite le test des circuits.

Contrairement, des pénalités se rapportant à telle inclusion ne sont pas négligeables. La taille de circuit peut être augmentée entre 10% - 20% et ceci ajout une délai causante ainsi une dégradation de performance des C.I.

Le test des circuits en utilisant la chaîne de balayage peut être très lent. Chaque vecteur de test pour une portion combinatoire d'une application logique doit se déplacer sériellement dans la chaîne. Le processus peut être amélioré en organisant la chaîne de balayage dans un segment parallèle. S'il existe n chaînes parallèles, le temps du test peut ainsi être réduit

par un facteur de n. De nos jours, on préfère avoir recours à la chaîne de balayage partielle.

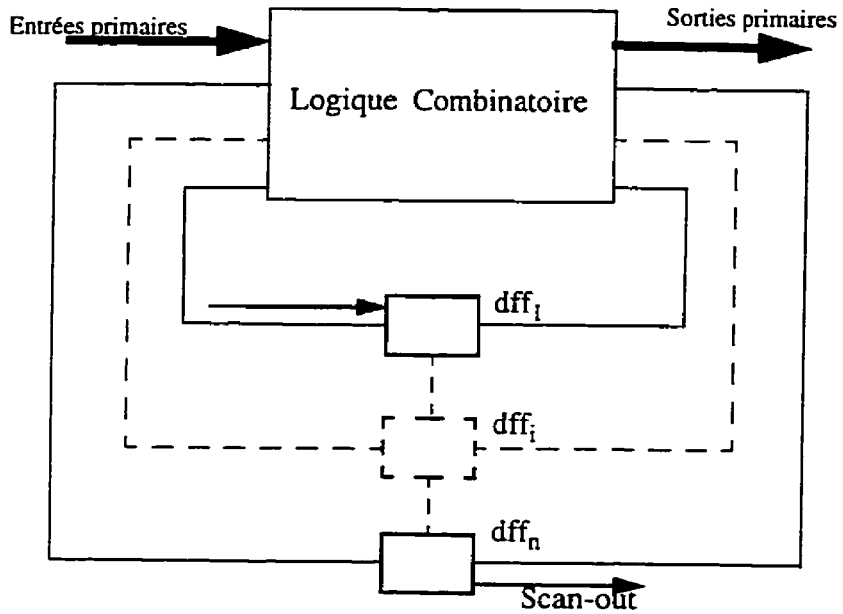


Figure 15. Chaîne de balayage

IV.6 Résultats

Étant donné que I_{DDQ} n'augmente pas la contrôlabilité d'un circuit, il faut trouver des moyens pour les circuits avec des problèmes de contrôlabilité. Parmi les techniques Ad hoc, nous avons adopté l'insertion des points de contrôle comme nous avons discuté le long de ce chapitre. Nous avons resimulé les circuits et les résultats obtenus sont encourageants. Sauf pour 5 circuits, les couvertures de pannes sont supérieures à 95%. Pour 17 circuits, nous avons obtenu une couverture mieux que 99% avec une petite surface additionnelle (Tableau 3). En moyenne, la surface additionnelle n'est que de 0.74%.

Comme il est illustré sur le Tableau 4, nous avons aussi les résultats de la simulation avec la chaîne de balayage. Tous ces résultats sont comparables à ceux de la génération de vecteurs de test obtenue par Berglez et al[36] et reprouduite ici. Ce qui est intéressant, c'est que les résultats de [36] sont produits dans le contexte pseudo-aléatoire. Nos résultats sont très proches des leurs . L'écart moyen n'est que de 1.42%.

L'introduction de ces résultats permet une comparaison avec un outil basé sur l'approche pseudo-aléatoire montrant ainsi que pour la même approche, la différence est minime. Bien sûr, il faut noter que la technique de chaîne de balayage est désavantagé en ce qui concerne la surface additionnelle, le routage et le délai.

Tableau 3. Couvertures des pannes du test I_{DDQ} avec l'insertion des points de test.

Circuit	NTNS	CPI_{DD}	ND	SA (%)	NPT	CPPIT
s27	3	100	-	0	0	100
s208	10	78.26	10	2.40	5	99.14
s298	15	99.92	8	0.34	1	100
s344	18	99.98	13	0.58	2	100
s349	16	99.76	19	0.29	1	100
s382	20	84.44	13	1.31	5	99.83
s386	12	98.32	6	0.52	2	100
s420	20	68.97	13	2.62	11	91.50
s444	18	84.21	6	1.13	5	96.99
s510	13	56.76	12	0.78	4	100
s526n	23	86.74	8	1.14	6	99.99
s526	23	87.22	12	1.14	6	99.97
s641	14	96.32	8	0.16	1	99.93
s713	13	96.42	9	0.14	1	99.93
s820	7	99.69	20	0	0	99.69
s832	8	99.70	20	0	0	99.70
s838	40	64.15	14	3.58	30	92.59
s953	17	72.401	16	0.42	4	100
s1196	0	99.82	-	0	0	-
s1238	0	99.46	-	0	0	-
s1423	86	94.11	13	1.05	15	97.59
s1488	10	95	20	0.14	2	99.88
s1494	10	95	16	0.14	2	99.66
s5378	65	89.24	25	0.24	13	93.56
s9234	231	61.19	20	0.92	85	95.21
s13207	369	61.40	20	1.52	201	94.39
s15850	497	63.86	20	1.27	202	93.81
s35932	1431	97.62	6	0.019	7	97.78
s38417	1368	87.78	20	0.13	51	95.21
s38584	1452	89.11	20	0.13	51	96.17

NTNS: Nombre total des noeuds séquentiels.

CPI_{DD}: Couverture de pannes après le test I_{DDQ}.

ND: Nombre de duplication.

SA: Surface additionnelle introduite par l'insertion des points de test.

NPT: Nombre des points de test.

CPPIT: Couverture de pannes en combinant le I_{DDQ} et l'insertion des points de test.

Tableau 4. Comparaison des couvertures de pannes avec la chaîne de balayage pour différentes méthodes.

Circuit	CPréf	CPCB	CPPIT
s27	100	100	100
s208	100	100	99.14
s298	100	100	100
s344	100	100	100
s349	99.43	100	100
s382	100	100	99.83
s386	100	100	100
s420	97.91	99.5	91.50
s444	97.05	100	96.99
s510	100	100	100
s526n	100	100	99.99
s526	99.82	100	99.97
s641	99.41	100	99.93
s713	92.77	100	99.93
s820	100	100	99.69
s832	98.39	100	99.70
s838	88.53	93.77	92.59
s953	100	99.97	100
s1423	99.08	99.95	97.59
s1488	100	100	99.88
s1494	99.20	100	99.66
s5378	99.11	99.78	93.56
s9234	89.65	99.2	95.21
s13207	98.40	98.4	94.39
s15850	94.06	99.4	93.81
s35932	89.81	97.83	97.78
s38417	96.74	99.4	95.21
s38584	95.66	98.7	96.17

CPPIT: Couverture de pannes en combinant le I_{DDQ} et l'insertion des points de test.

CPCB: Couverture de pannes en utilisant le I_{DDQ} et la chaîne de balayage.

CPréf: Couverture de pannes selon la référence [36]

IV.7 Conclusion

Dans ce chapitre nous avons abordé l'insertion de points de test et nous avons analysé les avantages et les désavantages de cette technique. Bien que l'insertion des points de test soit une technique utile, le concepteur des circuits électronique doivent penser à la contrôlabilité et à l'observabilité des noeuds des circuits en même temps que la conception de circuits. Ainsi il évitera de recourir aux méthodes permettant d'améliorer la contrôlabilité, l'observabilité et par conséquent de dégrader le fonctionnement des circuits. Cependant, dans le cas extrême, cette technique peut être profitable si on ne l'utilise pas systématiquement. Notre approche au test I_{DDQ} avec l'insertion des points de test a donné des résultats presque parfaits.

En ce qui concerne la complexité des algorithmes utilisé ici, comme nous avons mentionné au premier chapitre, nous savons que ces algorithmes sont NP-complet si on cherche une solution optimale. La complexité

du calcul augmente au fur et au mesure que le circuit grandit ou/et les points de test augmentent, mais en général, cette complexité reste linéaire pour les circuits manipulés.

Chapitre V

Description de l'outil

V.1 Généralité

L'outil utilisé et amélioré dans le cadre de ce mémoire est Tosta [28] pour I_{DDQ}. Cet outil utilise différentes partie d'un outil initialement développé et appelé FO^{+} [42]. Ce dernier est un outil d'insertion des points de test pour les circuits combinatoires. L'outil mentionné (la figure 16) a comme buts: - Le traitement de circuits décrits dans une langage hiérarchique de haut niveau.

- L'analyse de la description aplatie du circuit pour dégager des suggestions portant sur les modifications à y apporter pour en améliorer la testabilité.

- L'insertion des modifications suggèrees dans la description hiérarchique initiale du circuit. On se sert d'un module d'interface entre description du circuit telle que fournit par le concepteur des outils. Il est principalement composé de deux sous module ayant pour rôle la reconnaissance du for-

mat d'entrée, la transformation de la description du circuit et finalement la création des structures de données.

MKNETWRK est le premier sous module qui sert d'abord à lire la description du circuit et à vérifier le format d'entrée. Les différents formats comme Tegas, VHDL sont acceptés. La plupart de ces formats d'entrées sont aplatis, cependant, pour les langages de haut niveau tel que vhdl, l'outil utilise une interface crée par les auteurs en [42].

GetGateType() est une fonction qui retourne le code associé a un type de porte, selon la chaîne de caractère reçue.

ListNet() est une fonction qui construit la liste des inputs (ou des outputs) d'une porte, et retourne l'adresse de la tête de cette nouvelle liste.

BuildNetwork() est une fonction qui construit la structure du réseau contenu dans inputFileName, celle-ci est par la suite accessible via la variable Network. Le module MKnetlst permet de construire la structure de donnée NetList, qui est une liste circulaire double chaînée des nets contenus dans le réseau de logique combinatoire et qui est triée dans l'ordre croissant de la profondeur logique des noeuds.

CreateNets() est une fonction qui crée une structure NET et l'insère dans la liste de Nets pour chaque net du réseau logique, et ajuste les différents champs et retourne la tête de cette liste. Ce module est composé de différentes fonctions.

CreateNetDescArray(); est une fonction qui crée dynamiquement un tableau de taille égale un nombre de nets contenu dans le réseau, et dont chaque élément est composé d'une chaîne de caractères et d'un pointeur. Chacun de ces éléments est ensuite ajusté pour le nom d'un net et l' adresse de la structure NET de celui-ci. Ce tableau est destiné à être trié par le trie rapide (Quicksort), et servira d'index pour un accès rapide aux éléments désirés de la liste de nets.

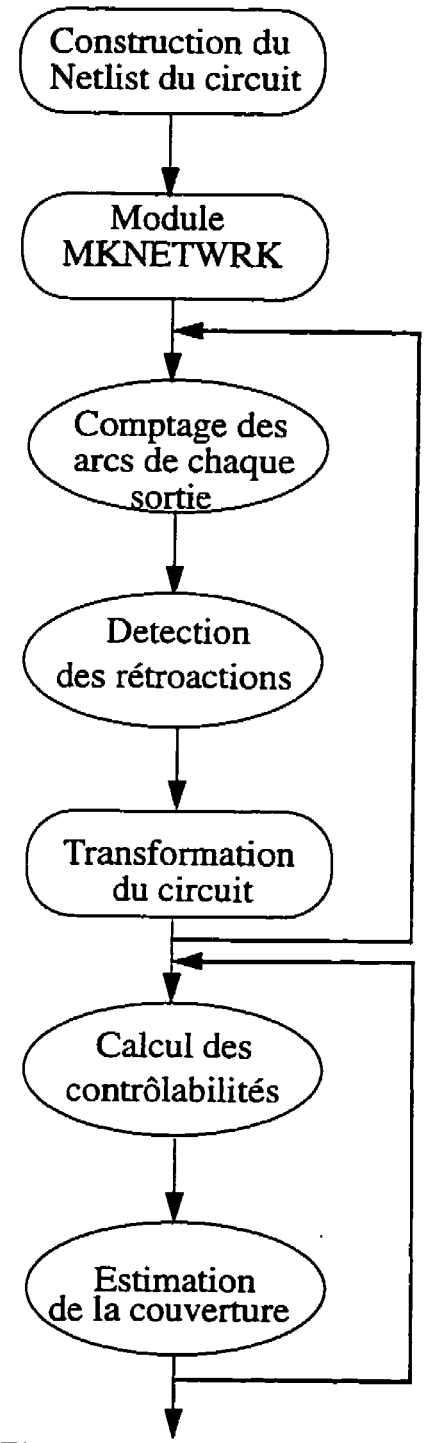


Figure 16.Tosta pour I_{DDQ}

Chapitre VI

Conclusion

Ce travail nous a permis d'améliorer certains aspects de l'outil Tosta pour I_{DDQ}, et ainsi réduire l'erreur induite par le calcul des nombres probabilistes.

En général, pour qu'un circuit soit sans défectuosité physique, le seul moyen est d'avoir une liste exhaustive de défectuosités et ensuite il faut appliquer des tests spécifiques pour chaque type de défectuosités, cette approche permet d'identifier toutes les défectuosité.

Le test I_{DDQ} donne le meilleur résultat quand il est combiné avec d'autres méthodes de conception pour la testabilité. Afin d'avoir une idée précise des résultats obtenus pour le travail futur, on peut utiliser un outil automatique de génération des vecteurs de test dans le contexte pseudo-aléatoire. Parmi les méthodes de conception pour la testabilité, la concep-

alliance avec le test I_{DDQ}.

Il est peut-être très tôt de juger le test I_{DDQ} comme un test parfait pour n'importe quel circuit, mais d'autre part, il ne faut surtout pas sous estimer son application.

De nos jours, dans l'industrie, la technique la plus répandue pour l'utilisation du test I_{DDQ} est une combinaison de ce dernier avec le test fonctionnel, on applique le test fonctionnel, et ensuite en utilisant le test I_{DDQ}, on cherche une couverture additionnelle. Cette couverture additionnelle peut varier selon le type de circuits et le nombre de vecteurs à mesurer.

Bibliographie

[1] DANIEL, R. G. (1990). The changing demands of microprocessor testing, keynote address. Proc. Int. Test Conf.

[2] HAWKINS, C.F. and SODEN, J.M. (1985). Electrical characteristics and testing considerations for gate oxide shorts in CMOS ICs. Proc. Int. Test Conf., 544-555.

[3] HAWKINS, C.F. SODEN, J. M. et Al. (1989). Quiescent power supply current measurement for CMOS IC defect detection, IEEE Trans. on Indus. Electron., vol. 36, no.2, 211-218.

[4] LEVIS, M. (1981). CMOS is most testable. ITC., 217-220.

[5] FRITZEMEIER, R.R. et Al. (1991). CMOS IC Fault Models, Physical Defect Coverage, and IDDQ Testing. CICC, 13.1.1-13.1.8.

[6] FRITZEMEIER, R.R. et Al. (1990). Increased CMOS IC stuck-At fault coverage with reduced IDDQ test sets. Proc. Int. Test Conf., 427-435.

[7] MAO, W. , GULATI, R. et Al. (1990). QUIETEST: A quiescent current testing methodology for detecting leakage faults. Proc. ICCAD.

[8] FRITZEMEIER, R.R., NAGLE, T. (1989). Fundamentals of testability, IEEE Trans. On Industriel Electronics.,vol 36,no,2.

[9] FERGUSON, F. J. et Al. (1988). A CMOS fault extractor for inductive fault analysis. IEEE Trans. CAD., vol. 7, no.11, 1181-1194.

[10] SODEN. J. et Al. (1990). Zero Defect or zero Stuck At Faults, ITC.

[11] SODEN, J. et Al. (1989). Elecrical properties and detection methods for CMOS IC defects, Proc. 1st European Test conf.

[12] HAWKIN, C.F. (1986). Relability and electrical properties of Gate Oxide Shorts in CMOS ICs, Proc. Int. Test Conf., 443-451.

[13] MCEUEN. (1991). IDDQ Benefits , Proc. IEEE VTS, pp. 285-290.

[14] ACKEN, J.M. (1983). Testing for bridging faults in CMOS circuits, DAC., 717-718.

[15] MILMAN, S. and McCLUSHKY, E.J. (1988). Detecting bridging faults with stuck at test sets, Proc. ITC, 773-783.

[16] RICHMAN, P. (1973). MOS Field-effect transistors and integrated circuits, John Wiley & Sons, New York.

[17] LYCOUDES, N.E. et AL. (1980). Semiconductor instability failure mechanisms review, IEEE Trans. of Rel., vol. R-29, no 3.

[18] KRESSEL, A. (1967). A Review of the Effect of imperfections on the electrical breakdown of pn junctions. RCA Rev., 175-207.

[19] FERGUSON, F. et Al. (1988). A CMOS Fault extractor for inductive fault analysis, IEEE Tran. Comp. Aid. DES., 1181-11194,vol.7.

[20] SAVARIA, Y. (1988). Conception et vérification des circuits VLSI. Édition de l'École Polytcnique de Montréal, Canada.

[21] KEATING, M. and MEYER, D. (1987). A New Approch to Dynamic IDD Testing. ITC, 316-321.

[22] SODEN, J. M. and TREECE, R. K. (1989). Physical measuremnet on CMOS stuck-Open faults. ITC.

[23] POAGE, J. (1963). Derivation of optimum tests to defect faults in combinational circuits, Proc. Symp. on Math. Brooklyn, N. Y. Polytech-

nic Press, 483-526.

[24] ARMSTRONG, D. (1966). On finding a nearly minimal set of fault detection tests for combinational logic nets, IEEE Trans. on Electron. Computers, vol. no.1, 66-73.

[25] MAO, W. et Al. (1990). QUIETEST: A Quiecent Current Testing Methodology for Detecting Leakage Fauls, Proc. ICCAD.

[26] PERRY, R. (1992). IDDQ testing in CMOS digital ASIC's. ITC., paper 6.1.

[27] KRISHNAMURTHTY, B. A dynamic programming approach to the test point insertion problem, 24th ACM/IEEE D.A.C, 695.

[28] HAMIDA, N.B., KAMINSKA, B. and SAVARIA, Y. (1993). Intiability: A Measure of Sequential Testability. ISCAS, 1619-1622.

[29] AGRAWAL, V.D. and MERCER, M. R. (1982). Testability measures -- What do they tell us?, Proc. ITC., 391-396.

[30] BRAYANT, R. (1986). Graph based algorithms for boolean function manipulation, IEEE Trans. on computers, vol. c-35, n. 8, 677-691.

[31] AKERS, S.B. (1979). Probabilistic techniques for test generation from functional description, Proc. Int Symp. on fault tolerant computing, 113-116.

[32] CHEN, C.H. et Al. (1989). An Approach to Functional Level Testability Analysis, .Proc. ITC., paper 18.1.

[33] SOUFI, M., SAVARIA, Y. , DARLAY, F. and KAMINSKA. (1995). Producing reliable initialization and test of sequential circuits with pseudo random vectors, IEEE transaction on computer vol c.44, 1251-1256 .

[34] BREUER, A. et Al. (1990). Digital systems testing and testabiliy design, Computer Science Press.

[35] BENCIVENGA, R. , CHAKRABORTY, T. (1991). The Architecture of the GenTest Sequential Test Generator. IEEE CICC, 17.1.-17.1.4.

[36] BRGLEZ, F. et Al. (1989). Combinational profiles of sequential benchmark circuits. ISCAS, 1929-1934.

[37] WISCOMBE, P. (1993). A comparison of stuck-at fault coverage and IDDQ testing on defect levels, Proc. Int. Test Conf., paper 14.3.

[38] HAYES, J.P. et Al. (1974). Test point placement to simplify fault detection, IEEE Trans. Computers, Vol. C23, 727-735.

[39] KOUDIL, M. (1990). FO: Un outil d'insertion automatique de points de test dans description vhdl. Thèse de maîtrise, École Polytechique de

Montréal, Canada.

[40] BRIERS, A.J. et Al. (1986). Random pattern testability by fast fault similuation, ITC, 274-281.

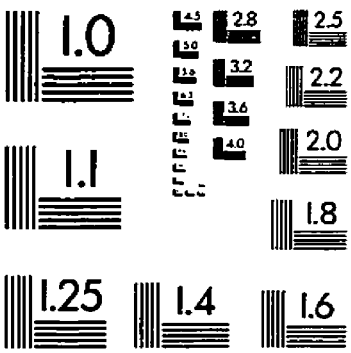
[41] HAYES, J.P. (1974). On modifing logic network to improve their diagnosability, IEEE Trans. Computers, Vol. C23, No1.

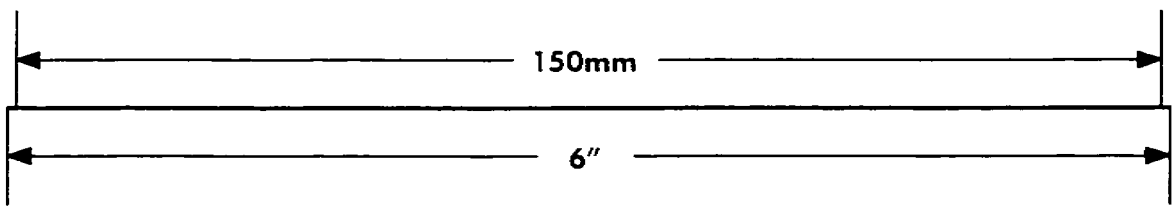
[42] SAVARIA, Y. and KAMINSK, B. (1988). Force-Observe, a new desing for testability approach, Int, Sym. on Circuits and Systems, 193-197.

[43] DITLOW, G. S. , SAVIR, J. et Al. (1984). Random pattern testability, IEEE Trans. on Computers, vol, c-33, n.1, 79-90.

[44] POWNALL P. et Al. (1984). Application of testability analsis, Int. Test Conf., 705-712.

TEST TARGET (QA-3)





APPLIED IMAGE, Inc
1653 East Main Street
Rochester, NY 14609 USA
Phone: 716/482-0300
Fax: 716/288-5989

© 1993, Applied Image, Inc., All Rights Reserved