

Titre:	Capteur d'images intégré en mode courant et à résolution variable
Title:	
Auteur:	Jonathan Coulombe
Author:	
Date:	2000
Type:	Mémoire ou thèse / Dissertation or Thesis
Référence:	Coulombe, J. (2000). Capteur d'images intégré en mode courant et à résolution variable [Mémoire de maîtrise, École Polytechnique de Montréal]. PolyPublie.
Citation:	https://publications.polymtl.ca/8878/

Document en libre accès dans PolyPublie

Open Access document in PolyPublie

URL de PolyPublie:	https://publications.polymtl.ca/8878/
PolyPublie URL:	

Directeurs de recherche:	Mohamad Sawan
Advisors:	

Programme:	Non spécifié
Program:	

UNIVERSITÉ DE MONTRÉAL

CAPTEUR D'IMAGES INTÉGRÉ EN MODE COURANT

ET À RÉSOLUTION VARIABLE

JONATHAN COULOMBE

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE ET DE GÉNIE INFORMATIQUE

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION

DU DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES

(GÉNIE ÉLECTRIQUE)

NOVEMBRE 2000

©Jonathan Coulombe, 2000.



National Library
of Canada

Acquisitions and
Bibliographic Services

395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque nationale
du Canada

Acquisitions et
services bibliographiques

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Notre référence

Our file Notre référence

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

0-612-60892-1

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé :

CAPTEUR D'IMAGES INTÉGRÉ EN MODE COURANT

ET À RÉSOLUTION VARIABLE

présenté par : JONATHAN COULOMBE

en vue de l'obtention du diplôme de : Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de :

M. SAVARIA Yvon, Ph.D., président

M. SAWAN Mohamad, Ph.D., membre et directeur de recherche

Mme. WANG Chunyan, Ph.D., membre et codirectrice de recherche

M. BRAULT Jean-Jules, Ph.D., membre

REMERCIEMENTS

Je souhaiterais en premier lieu adresser mes sincères remerciements au professeur Mohamad Sawan qui m'a accueilli dans son équipe de recherche et m'a permis d'effectuer mes travaux dans d'excellentes conditions. Ces mots de remerciements s'adressent également à Chunyan Wang, pour ses recommandations qui ont significativement contribué à l'avancement de mes travaux, ainsi qu'aux professeurs Yvon Savaria et Jean-Jules Brault, qui ont accepté de participer au jury d'examen de ce mémoire.

Le fait de côtoyer les membres de l'équipe de recherche PolySTIM a aussi été pour moi un atout important. Les nombreuses discussions techniques qu'ils m'ont permis d'avoir, ainsi que leur franche camaraderie, ont rendu l'ensemble des mes travaux des plus agréables.

Je ne saurais oublier mes parents et mon frère pour leur soutien moral inconditionnel et pour leur encouragement tout au long de mes études. Merci aussi à ceux qui m'ont côtoyé quotidiennement pour une longue période pendant mes travaux, Martin et Sophie.

Je tiens à exprimer toute ma gratitude envers ceux qui n'ont pas hésité à me fournir un généreux coup de main aux moments les plus opportuns : Steve, Éric, Karine, Jasmin, Caro, Guru et, tout particulièrement, Marie-Jo, qui m'a offert, tous les jours de la rédaction, un support d'une importance et d'une qualité inestimables.

Finalement, je souhaite remercier le Fonds pour la Formation de Chercheurs et pour l'Aide à la Recherche ainsi que le Groupe de Recherche Inter-universitaire en Architecture des Ordinateurs et VLSI pour leur soutien financier.

RÉSUMÉ

Que ce soit pour le divertissement, la recherche scientifique, la robotique ou nombre d'autres applications, les capteurs d'images sont des éléments déterminants pour les performances des systèmes auxquels ils se rattachent. En effet, ils constituent le premier élément dans la chaîne d'acquisition et de traitement de l'information. Aussi, les nouvelles applications de haute technologie rendent les spécifications auxquelles doivent se soumettre les capteurs de plus en plus contraignantes. C'est pourquoi le domaine de l'acquisition d'images est en constante évolution et qu'il est intéressant de s'y attarder.

L'objectif du travail présenté est de concevoir un circuit d'acquisition d'images intégré présentant une interface entièrement numérique, une souplesse d'utilisation et qui soit applicable dans des situations variées sans compensation par pièces mécaniques ou optiques. Il doit être possible d'utiliser le capteur pour une large variété d'applications; toutefois, les principales contraintes prises en considération au cours de sa conception sont celles soumises par un système de stimulation intracorticale destiné aux victimes de cécité profonde.

La première de ces contraintes est la nécessité de limiter l'énergie consommée par le système. Ensuite, pour pallier la faiblesse de la résolution de l'image qui peut être transmise au cerveau, un zoom est une fonctionnalité recherchée afin de pourvoir l'utilisateur du maximum d'information visuelle selon les conditions d'utilisation. En combinaison avec une matrice de cellules photosensibles comportant plus de pixels que l'image que l'on désire acquérir, une résolution variable permet de réaliser un véritable zoom électronique. Le fait d'effectuer cette opération au niveau même de la capture d'image plutôt que par un traitement numérique subséquent minimise le transfert et le traitement des données. Par conséquent, la consommation s'en voit diminuée. L'évaluation de la moyenne de la sortie de pixels adjacents permet de réduire la perte

d'information associée à la réduction de la résolution par rapport à une approche de sous-échantillonnage de la matrice.

Une première proposition de circuit répondant aux principales spécifications mentionnées plus haut est détaillée et les choix sont justifiés. La première caractéristique fondamentale du circuit est que le signal analogique est véhiculé en tout point en mode courant. Ceci permet au système de fonctionner à faible tension d'alimentation, minimisant ainsi la puissance dissipée. L'utilisation du mode courant est cependant peu répandue dans la littérature, puisque plusieurs éléments liés à la fabrication rendent la réponse significativement différente d'un pixel à l'autre, détériorant ainsi la qualité de l'image. Cette erreur, désignée « Fixed Pattern Noise (FPN) », est croissante avec la luminosité incidente. Une nouvelle technique de réduction de l'erreur, basée sur la méthode usuelle de double échantillonnage corrélé, mais où la sortie de chaque pixel est normalisée sur une échelle qui lui est propre à même la conversion analogique à numérique, élimine l'erreur linéaire de gain interpixel. Ceci permet de réduire le niveau d'erreur total sur toute la plage d'intensité lumineuse. Aussi, une méthode simple permettant l'évaluation instantanée de la valeur moyenne de groupes de 1×1 , 2×2 ou 4×4 pixels, n'affectant pas le rapport signal sur bruit, est proposée et utilisée. Ceci procure trois niveaux de zoom au niveau de la capture d'image.

Un circuit a été fabriqué afin de vérifier la fonctionnalité des modules proposés. Le circuit comporte différentes caractéristiques rendant possible la vérification des différents modules analogiques de façon indépendante. On présente aussi un système de tests dédié au capteur comprenant un circuit de mesures analogiques, un contrôleur externe implanté sur un circuit programmable, ainsi qu'un logiciel d'interface permettant de commander les tests facilement à partir d'un ordinateur personnel.

Le système a démontré la fonctionnalité de tous les blocs du capteur intégré. Il a permis, notamment, d'évaluer certaines caractéristiques du procédé utilisé en tant que capteur

d'images. La technique de réduction du FPN proposée a été comparée avec la technique de double échantillonnage corrélé et confirme la validité de la méthode utilisée.

Les observations expérimentales font aussi ressortir certaines limitations de l'approche proposée. En effet, la réduction du bruit n'est pas complète et il persiste des erreurs dues aux contributions non linéaires des différents éléments actifs des photocellules. L'approche en mode courant avec la méthode proposée de réduction du FPN se limite donc à des applications où une excellente qualité d'images n'est pas une nécessité. Aussi, on remarque que la présence d'un obturateur électronique réduit les plages dynamiques intrascène et interscène du capteur. Cette constatation est plus préoccupante dans le cas du stimulateur visuel considérant que ceci diminue les conditions de luminosité dans lesquelles peut être utilisé le capteur à un taux de lecture d'images donné.

Une autre approche est alors proposée afin d'améliorer principalement la plage dynamique interscène de la caméra. Les modifications proposées améliorent aussi la souplesse d'utilisation du capteur en permettant des niveaux arbitraires de zoom. Ceci implique cependant l'utilisation d'une nouvelle architecture et d'un nouveau convertisseur. Des simulations sur ce dernier indiquent que le capteur proposé est en mesure d'atteindre un taux de lecture d'images de 30 Hz à résolution maximale, soit 128×128 pixels, tout en offrant une faible consommation. Des considérations pratiques importantes à appliquer lors de la réalisation d'un circuit mixte de taille importante sont aussi présentées.

Ce travail constitue une première itération concluante dans le processus de conception et de réalisation d'un système d'acquisition d'image versatile et peu énergivore. Des efforts visant à améliorer la plage intrascène du capteur devraient permettre à court terme de réaliser une caméra intégrée particulièrement adaptée pour un système de stimulation du cortex visuel pour aveugles.

ABSTRACT

Image sensors are the first link in the chain of image acquisition and processing systems. They tend to determine the performance of any system to which they belong, be they used in entertainment, scientific research, robotics, or for other purposes. They are governed by ever more stringent specifications, arising from new high technology applications. The field of image retrieval is thus constantly evolving, which makes it worthy of further study.

The aim of this project is to design an integrated image acquisition circuit with a fully digital interface, flexible and able to adapt to a variety of situations, without requiring additional mechanical and optical parts. Although the sensor must be suitable for use in a broad range of applications, the main requirements considered during its design were those of an intracortical stimulation system intended for the profoundly blind.

The first of these requirements is the need to limit the system's power consumption. The second is to offset the poor resolution of the image sent to the brain by incorporating a zoom, which gives the user the maximum amount of visual information available for each given circumstance. Together with a matrix of light sensitive cells containing more pixels than the image one wants to retrieve, a variable resolution function makes it possible to achieve a true electronic zoom. Because this operation is completed at the image acquisition phase rather than by means of subsequent digital processing, transfer and processing of data are minimized, which in turn keeps down power consumption. An evaluation of the average output of adjacent pixels allows for a greater reduction in the loss of information associated with the reduction in resolution than would be the case with a matrix sub-sampling approach.

The project describes and sets out justifications for an initial circuit that complies with the principal specifications listed above. The first fundamental characteristic of the circuit is that the analog signal is transmitted throughout in current mode. This enables the system to operate at low voltage, thus reducing power consumption. However, the use of current mode is not widespread in the literature, since a number of factors cause the response to vary significantly from pixel to pixel, which leads to a loss of image quality. This error, called, Fixed Pattern Noise (FPN), expands with any increase in incident luminosity. The linear error of interpixel gain is eliminated by a method that combines correlated double sampling with analog to digital conversion scaling for each pixel. This makes it possible to reduce the error level throughout a wide range of light intensity. A simple method is proposed to instantaneously average groups of 1x1, 2x2, or 4x4 pixels without influencing the signal/noise ratio. This creates three levels of zoom in the image acquisition process.

A circuit was manufactured to verify the practicality of the proposed modules. This circuit features various characteristics which make it possible to evaluate the various analog modules independently. A test system for the sensor is also presented, comprising an analog measurement circuit, an external controller implemented on a programmable circuit, as well as an interface software that allows for easy test control from a PC.

The system demonstrated the functionality of all the modules of the integrated sensor. The validity of the proposed FPN reduction scheme was assessed and confirmed by a comparison with the correlated double sampling method.

Experimental observations also highlighted a number of limitations of the proposed approach. It was determined that noise reduction is not complete, and that errors persist owing to non linear contributions of transistors in the photocells. The current mode approach with the proposed FPN reduction method is thus limited to applications that do not require excellent image quality. It was also noted that the presence of an electronic

shutter reduces the intrascene and interscene dynamic ranges of the sensor. This fact is of concern with respect to the visual stimulator, since it limits the light conditions under which the sensor can be used at a given image frame rate.

Another approach is thus proposed, mainly with a view to improving the camera's interscene dynamic range. The proposed modifications also enhance the sensor's flexibility by allowing for arbitrary zoom levels. However, this implies the use of a new architecture and a new converter. Simulations on the latter indicate that the proposed sensor enable image acquisition at a frame rate of 30 Hz at maximum resolution (128×128 pixels), while consuming little power.

This project is a first conclusive iteration in the process of designing and creating a versatile image acquisition system requiring little power. Efforts to improve the intrascene dynamic range of the sensor should make it possible in the near future to create an integrated camera that is tailored to the needs of a system to stimulate the visual cortex of the blind.

TABLE DES MATIÈRES

REMERCIEMENTS.....	iv
RÉSUMÉ.....	v
ABSTRACT	viii
TABLE DES MATIÈRES	xi
LISTE DES TABLEAUX.....	xiv
LISTE DES FIGURES	xv
LISTE DES ANNEXES	xxi
LISTE DES ABBRÉVIATIONS ET SYMBOLES	xxii
INTRODUCTION.....	1
CHAPITRE 1 : GÉNÉRALITÉS SUR LES CAPTEURS D'IMAGES.....	5
1.1 Introduction	5
1.2 Captation lumineuse à l'aide de semi-conducteurs	6
1.3 Capteurs d'images numériques	9
1.3.1 Critères de performance	10
1.3.2 Capteurs d'images à « Charge Coupled Devices (CCD) »	12
1.3.3 Capteurs d'images CMOS.....	14
1.4 Types de capteurs CMOS.....	15
1.4.1 Capteur Passif.....	15
1.4.2 Capteurs actifs	16
1.5 Techniques de réduction du FPN	22
1.6 Exemples de fonctions spécialisées de capteurs CMOS	25

1.6.1	Capteurs à résolution variable	27
1.7	Conclusion	30
CHAPITRE 2 : DESCRIPTION DU CAPTEUR		31
2.1	Introduction	31
2.2	Vue d'ensemble du système	32
2.2.1	Fonctions programmables du capteur	32
2.3	Description détaillée du système	34
2.3.1	Schéma bloc	34
2.3.2	Matrice APS	35
2.3.3	Cellule unitaire	37
2.3.4	Circuit de multiplexage et d'évaluation de la VMPA	38
2.3.5	Circuit de réduction du FPN	40
2.3.6	Convertisseur Analogique à Numérique	45
2.3.7	Mémoire tampon	50
2.4	Conclusion	52
CHAPITRE 3 : SYSTÈME DE CARACTÉRISATION		54
3.1	Introduction	54
3.2	Capteur d'images de tests	54
3.2.1	Matrice de Cellules Photosensibles	55
3.2.2	Évaluation de la VMPA	55
3.2.3	Réduction du FPN	56
3.2.4	Contrôle numérique	56
3.2.5	Polarisation des modules constituant le capteur	60
3.2.6	Testabilité	61
3.2.7	Dessin des masques	63
3.3	Description du système de tests	67
3.3.1	Installation matérielle	68
3.3.2	Logiciel du système de tests	70

3.3.3	Contrôleur du Capteur de Tests.....	71
3.4	Conclusion.....	77
CHAPITRE 4 : EXPÉRIMENTATION ET ANALYSE.....		78
4.1	Introduction	78
4.2	Résultats expérimentaux	78
4.2.1	Réponse à la lumière du capteur	78
4.2.2	Plage dynamique optique	81
4.2.3	Uniformité de la réponse.....	84
4.2.4	Réduction du FPN	85
4.2.5	Évaluation de la VMPA	87
4.2.6	Performances du CAN	88
4.2.7	Principales sources du bruit de lecture.....	92
4.3	Principales modifications à apporter.....	95
4.3.1	Vue d'ensemble du système proposé	98
4.3.2	Convertisseur Analogique à Numérique	100
4.3.3	Évaluation de la valeur moyenne de colonnes	104
4.4	Conclusion.....	105
CONCLUSION.....		107
BIBLIOGRAPHIE		111
ANNEXES.....		120

LISTE DES TABLEAUX

Tableau 3.1	Signaux de communication entre le PC et le contrôleur de tests	71
Tableau 3.2	Description des champs des mots d'instructions.....	72
Tableau 3.3	Modules du séquenceur du contrôleur du système de tests.....	74
Tableau 3.4	Définition des registres de paramètres	75
Tableau 4.1	Mesure de la plage dynamique intrascène des photocellules avec 8 bits de résolution en sortie.....	82
Tableau 4.2	Erreur maximale du rapport I_{mes}/I_{ref} après réduction du FPN	86
Tableau 4.3	Performances simulées du CAN algorithmique	89
Tableau 4.4	Performances simulées du convertisseur en cascade	103
Tableau E.1	Liste et définition des broches du capteur d'images de tests	153

LISTE DES FIGURES

Figure 1.1	Absorption d'un photon dans une jonction PN	7
Figure 1.2	Architecture d'un capteur CCD.....	12
Figure 1.3	Mécanisme de transfert de charges dans un capteur CCD (tiré de [5])....	13
Figure 1.4	Cellule photosensible CMOS passive	16
Figure 1.5	Pixel à photodiode en mode tension.....	17
Figure 1.6	Pixel à photodiode en mode courant	18
Figure 1.7	Pixel à modulation de durée d'impulsions (tiré de [14]).....	20
Figure 1.8	Pixel à modulation de fréquence d'impulsions (tiré de [57]).....	20
Figure 1.9	Pixel à transistor à photogrille.....	22
Figure 1.10	Circuit de réduction du FPN par CDS.....	23
Figure 1.11	Réduction du FPN par CDS en mode courant.....	24
Figure 1.12	Cellules à réponse (a) logarithmique et (b) pseudo-logarithmique ainsi que (c) l'évolution des charges accumulées dans la cellule pseudo-logarithmique.....	26
Figure 1.13	Étapes d'acquisition d'image pour le calcul de la VMPA à résolution réduite (3x3)	29
Figure 2.1	Illustration d'une configuration d'acquisition d'image.....	33
Figure 2.2	Schéma bloc de la caméra intégrée	34
Figure 2.3	Configuration de la matrice APS	36
Figure 2.4	Pixel avec obturateur électronique	38

Figure 2.5	Circuit de multiplexage et d'évaluation de la Valeur Moyenne de Pixels Adjacents	39
Figure 2.6	Sorties de deux pixels aux gains différents	41
Figure 2.7	Conversions du signal Lumineux à Analogique à Numérique	42
Figure 2.8	Circuit de réduction du FPN	43
Figure 2.9	Utilisation du circuit de réduction du FPN	44
Figure 2.10	Convertisseur Algorithmique-Cyclique	45
Figure 2.11	Organigramme de conversion	46
Figure 2.12	Convertisseur Algorithmique-Cyclique en mode courant.....	47
Figure 2.13	Comparateur de courants de base.....	48
Figure 2.14	Comparateur de courants Échantillonneur-Bloqueur.....	49
Figure 2.15	Convertisseur Analogique-Numérique.....	50
Figure 2.16	Transfert des données dans la mémoire tampon	51
Figure 2.17	Registre d'un bit de la mémoire tampon	51
Figure 2.18	Structure de la mémoire tampon	52
Figure 3.1	Circuit de contrôle de 4 rangées	58
Figure 3.2	Étapes d'acquisition d'une image	59
Figure 3.3	Circuit de polarisation	61
Figure 3.4	Implémentation des sources a) N et b) P à partir d'une tension Vsrc	61
Figure 3.5	Disposition des éléments et principaux signaux du capteur de tests.....	63
Figure 3.6	Masques d'une cellule photosensible	64
Figure 3.7	Masques et photo du circuit intégré	66

Figure 3.8	Schéma bloc du système de tests.....	68
Figure 3.9	Photographie du système de tests.....	69
Figure 3.10	Interface du logiciel de tests.....	70
Figure 3.11	Contenu des mots d'instructions du contrôleur.....	72
Figure 3.12	Schéma bloc du contrôleur.....	73
Figure 3.13	Contenu des registres de paramètres	75
Figure 3.14	Registres de paramètres.....	76
Figure 3.15	Unité de balayage de la matrice et de chronométrage.....	77
Figure 4.1	Réponse temporelle à la lumière d'une photocellule	79
Figure 4.2	Caractéristiques de sortie des photocellules.....	80
Figure 4.3	a) Configuration et b) Signaux de stimulation et de sortie d'une cellule photosensible pour fins de simulation	81
Figure 4.4	Corruption du courant de sortie en mode maintient.....	84
Figure 4.5	Sortie directe de 56 pixels d'une colonne	84
Figure 4.6	Sorties du circuit réducteur de FPN	85
Figure 4.7	Gradient d'intensité lumineuse aux résolutions a) 1×1 ; b) 2×2 ; c) 4×4	88
Figure 4.8	Caractéristique de sortie numérique de 4 colonnes.....	91
Figure 4.9	Degrade d'intensité de 4 colonnes	91
Figure 4.10	Effet inductif des plots sur l'alimentation du circuit.....	93
Figure 4.11	Corruption de la charge maintenue à un nœud capacitif relié à VDD par bruit d'alimentation numérique	93

Figure 4.12 Corruption de la charge maintenue à un nœud capacitif relié à VSS par effet résistif de la masse	94
Figure 4.13 Chronogramme de synchronisation des signaux de contrôle pour une matrice de cellules sans obturateur électronique	96
Figure 4.14 Décomposition des étapes de lecture d'une ligne	97
Figure 4.15 Schéma bloc de l'architecture proposée d'un capteur à CAN unique.....	98
Figure 4.16 Configurations de cellules de conversion d'un bit pour convertisseur a) en cascade et b) pipeline	100
Figure 4.17 Cellule de conversion d'un bit	102
Figure 4.18 Configuration en cascade du CAN	102
Figure 4.19 Séparations physiques des miroirs de courant en fonction des cellules de conversion d'un bit ; a) fautive, b) correcte	104
Figure 4.20 Division du courant de somme des colonnes	105
Figure A.1 Cellule photosensible	121
Figure A.2 Circuit de division du courant de sortie	121
Figure A.3 Circuit de réduction du FPN	122
Figure A.4 CAN algorithmique cyclique	123
Figure A.5 Cellule de conversion du CAN en cascade	124
Figure A.6 Circuit de génération des tensions de polarisation des transistors cascode	125
Figure A.7 : Circuit de génération de la tension de polarisation des sources de courant I_{min}	125

Figure C.1	Caractéristique de sortie directe de photocellules non appareillées	135
Figure C.2	Caractéristique de sortie de photocellules non appareillées avec CDS à référence fixe	135
Figure C.3	Caractéristique de sortie de photocellules non appareillées avec ajustement de la plage de conversion	136
Figure C.4	Circuit de simulation du CAN algorithmique cyclique.....	137
Figure C.5	Caractéristique de sortie du CAN algorithmique cyclique (idéale et simulée)	138
Figure C.6	Non-linéarités différentielle et intégrale du CAN algorithmique cyclique	138
Figure C.7	Circuit de simulation du CAN en cascade	139
Figure C.8	Caractéristique de sortie du CAN en cascade (idéale et simulée).....	140
Figure C.9	Non-linéarités différentielle et intégrale du CAN en cascade.....	140
Figure D.1	Cellules photosensibles	142
Figure D.2	Circuit de multiplexage et d'évaluation de la moyenne des colonnes.....	143
Figure D.3	Circuit de réduction du FPN	144
Figure D.4	CAN algorithmique cyclique	145
Figure D.5	Circuit de génération des tensions de polarisation des transistors cascode	146
Figure D.6	Circuit de génération de la tension de polarisation des sources de courant I_{min}	147

Figure D.7	Circuit de contrôle de groupes de quatre lignes	148
Figure D.8	Circuits numériques générés par synthèse	149
Figure D.9	Capteur d'images de tests.....	150
Figure E.1	Broches du capteur d'images de tests	152

LISTE DES ANNEXES

Annexe A	Schémas des modules analogiques.....	120
Annexe B	Fichier de simulation des modules analogiques.....	126
Annexe C	Simulations des modules analogiques.....	134
Annexe D	Masques de fabrication.....	141
Annexe E	Définition des broches du capteur d'images de tests	151

LISTE DES ABBRÉVIATIONS ET SYMBOLES

ABBRÉVIATIONS

APS	Active Pixel Sensor
CAN	Convertisseur Analogique à Numérique
CCD	Charge Coupled Device
CDS	Correlated Double Sampling
CMOS	Complementary Metal Oxyde Semiconductor
FPGA	Field Programmable Gate Array
FPN	Fixed Pattern Noise
FR	Frame Rate
HDL	Hardware Description Language
LSB	Least Significant Bit
MOS	Metal Oxyde Semiconductor
NLD	Non-Linéarité Différentielle
NLI	Non-Linéarité Intégrale
SPP	Standard Parallel Port
UBMC	Unité de Balayage de la Matrice et de Chronométrage
VLSI	Very Large Scale Integration
VMPA	Valeur Moyenne de Pixels Adjacents

PRINCIPAUX SYMBOLES

<i>Icas</i>	Courant d'entrée du circuit de polarisation des transistors cascode
<i>Idiff</i>	Courant différentiel avant et après intégration lumineuse (<i>Irst</i> – <i>Isig</i>)
<i>Ifsr</i>	Courant de pleine plage de conversion du CAN
<i>Imes</i>	Courant à convertir par le CAN
<i>Imin</i>	Courant de polarisation des miroirs de courant
<i>Iphoto</i>	Photocourant dû à l'exposition à la lumière de l'élément photosensible
<i>Ipxl</i>	Courant de sortie d'une ou d'un groupe de cellules photosensibles
<i>Irst</i>	Sortie d'une ou d'un groupe de pixels suite à une réinitialisation
<i>Isig</i>	Sortie d'une ou d'un groupe de pixels suite à l'intégration lumineuse
<i>Isrc</i>	Courant d'entrée du circuit de polarisation des sources de courant <i>Imin</i>
<i>L</i>	Longueur de la grille d'un transistor MOS
<i>R</i>	Résolution de l'image acquise
<i>Rx</i>	Résolution horizontale de l'image acquise
<i>Ry</i>	Résolution verticale de l'image acquise
<i>T_{CAN}</i>	Temps de conversion analogique à numérique
<i>T_{ECH}</i>	Temps de stabilisation des entrées du CAN
<i>T_{FPN}</i>	Temps requis pour la réduction du FPN
<i>T_{int}</i>	Période d'intégration lumineuse
<i>TI</i>	Temps de lecture et de transfert des données d'une image
<i>TL</i>	Temps de lecture et de transfert des données d'une ligne
<i>Vcascn</i>	Tension de polarisation des transistors cascode à canal 'N'
<i>Vcascp</i>	Tension de polarisation des transistors cascode à canal 'P'
<i>Vint</i>	Tension aux bornes de l'élément photosensible
<i>Vrst</i>	Tension de réinitialisation des photocellules
<i>Vsrc</i>	Tension de référence pour les sources de courant <i>Imin</i>
<i>W</i>	Largeur de la grille d'un transistor MOS

INTRODUCTION

Depuis la commercialisation du premier appareil photographique du Français Daguerre il y a de cela déjà près de deux siècles, les systèmes d'acquisition d'images sont devenus, au fil du temps, aussi indispensables qu'omniprésents. Non seulement profitons-nous aujourd'hui des capteurs d'images sur une base quotidienne, par exemple pour des applications liées au divertissement, mais ceux-ci trouvent aussi leur place dans une panoplie d'applications avec lesquelles nous sommes moins familiers. Ils sont utilisés, notamment, en contrôle de qualité des procédés industriels, en aéronautique, pour des systèmes de haute sécurité et bien plus. De nouvelles approches rendent d'ailleurs les systèmes d'acquisition d'images de plus en plus performants et l'évolution des technologies de pointe repousse constamment les limites des domaines d'applications de l'imagerie numérique.

L'équipe de recherche PolySTIM, de l'École Polytechnique de Montréal œuvre actuellement au développement d'un implant visuel destiné à restituer aux gens atteints de cécité profonde une vision limitée mais fonctionnelle par stimulation du cortex visuel à l'aide d'un système électronique. Un des éléments clés d'un tel système est son capteur d'image, premier élément de la chaîne de traitement de l'information transmise au cerveau. Plusieurs contraintes sont fixées par cette application et n'importe quel capteur ne peut prétendre s'y prêter convenablement. Étant donné qu'il s'agit d'un système de vision destiné à être utilisé en permanence, ou presque, par les patients, sa durée d'utilisation est évidemment bien supérieure à celle de n'importe quelle caméra vidéo portative. Son autonomie doit donc être maximale. Aussi, pour la même raison, son encombrement doit être minimal.

Malheureusement, les populaires capteurs d'image commerciaux à « Charge Coupled Devices (CCD) » présentent certaines caractéristiques qui les rendent peu attrayants pour

des applications semblables. En effet, bien qu'ils permettent l'acquisition d'images dont la qualité est à ce jour inégalée, ces capteurs nécessitent plusieurs alimentations et sont plutôt énergivores. De plus, étant donné qu'ils nécessitent un procédé de fabrication particulier, un système externe complet pour l'implant visuel incluant un capteur d'images et une unité de traitement ne pourraient être implanté sur un seul circuit intégré à faible coût. Pour ces raisons, la technologie des capteurs fabriqués sur procédés dits « Complementary Metal Oxyde Semiconductor (CMOS) », étant définitivement avantageuse sur chacun de ces points, se présente comme une solution incontournable.

Cette dernière technologie a d'ailleurs fait l'objet de recherches intenses au cours des dernières années. Les récents procédés de fabrication permettent de réaliser de capteurs aux dimensions adéquates afin de traiter la lumière du spectre visible. Aussi, des techniques efficaces d'acquisition et de conversion d'images ont significativement amélioré les performances des capteurs CMOS, faisant apparaître un engouement certain pour ce domaine.

Le capteur développé et présenté ici vise à répondre aux exigences spécifiées par le système de stimulation visuelle et s'inscrit dans cet effort récent de miniaturisation et d'amélioration de la qualité des capteurs CMOS. Toutefois, il n'est pas conçu de manière totalement dédiée, mais plutôt de façon à être d'usage général.

Ledit système est basé sur une matrice de pixels photosensibles actifs, communément appelé « Active Pixel Sensor (APS) ». Il possède tous les éléments nécessaires à son utilisation de façon entièrement numérique. De plus, il présente certaines caractéristiques qui le distinguent de la majorité des caméras intégrées disponibles sur le marché ou dans la littérature. En effet, ladite caméra fonctionne en mode courant, ce qui lui confère la capacité de fonctionner à faible tension d'alimentation afin de minimiser sa consommation de puissance. Cette approche reste minoritaire dans les applications courantes, principalement en raison de son fort patron de bruit fixe, ou « Fixed Pattern

Noise (FPN) », difficile à éliminer. Ce dernier est principalement causé par le gain de transconductance des cellules photosensibles fortement dépendant des paramètres du transistor d'amplification, par opposition au mode tension où le gain unitaire est pratiquement indépendant du transistor d'amplification. Nous proposons une technique de réduction du FPN par le biais d'un nouveau capteur pour réduire significativement ce bruit et par le fait même augmenter la précision de l'APS.

De plus, sa résolution peut être modifiée instantanément. L'attrait principal de cette fonctionnalité est concevable, particulièrement pour l'application de l'implant visuel à un non voyant, étant donné la faible taille de l'image implantée [4,36]. En effet, en conservant le nombre de pixels de l'image constant, la variation de résolution a pour conséquence de modifier la superficie de l'image captée par la caméra. Ainsi, l'utilisateur a accès à un zoom électronique, ne nécessitant aucun déplacement de pièces mécaniques ou optiques. Ceci devrait permettre au patient de jouir d'une autonomie maximale dans les situations variées de la vie courante. Au choix, un large champ de vision peut être utilisé pour des déplacements, alors qu'une plus haute résolution dans une zone restreinte peut être préférable afin de discerner les détails d'un point d'intérêt ou pour la lecture. Le fait de réaliser la modification de la résolution directement au niveau de la capture d'image contribue significativement à réduire la consommation du système, par opposition à une approche où le traitement serait effectué dans une étape ultérieure.

Ce mémoire présente les différentes décisions de conception et évolutions menant à la conception d'une caméra intégrée d'utilisation générique, mais particulièrement adaptée pour l'implant visuel. Avant de présenter un système satisfaisant, deux architectures ont été élaborées, la seconde étant une évolution de la première en termes de souplesse d'utilisation et de performances, notamment au niveau des conditions de luminosité dans lesquelles il peut être utilisé. Une stratégie différente au niveau de l'architecture et du mode de lecture des données permet de réaliser ces améliorations.

Le premier chapitre constitue une introduction aux capteurs d'images. Les différentes technologies permettant de réaliser des capteurs d'images à partir de semi-conducteurs y sont présentées et comparées. Quelques exemples de capteurs CMOS ayant fait l'objet de publications récentes sont ensuite présentés.

Le second chapitre présente le concept d'une caméra intégrée présentant les caractéristiques mentionnées. Les différents composants du système et leurs principes de fonctionnement sont présentés. Les nombreux choix de conception sont alors présentés et justifiés.

Avant de réaliser un système de l'ampleur de ce qui est décrit dans ce deuxième chapitre, il convient de réaliser un premier circuit, plus modeste, comportant les éléments innovateurs ou potentiellement problématiques. Ce circuit est donc présenté au chapitre trois. Dans ce même chapitre, le système développé permettant de caractériser le circuit intégré est aussi présenté et explicité.

Finalement, le quatrième et dernier chapitre présente les résultats de caractérisation du système introduit dans les chapitres précédents. Suite à certaines observations, des modifications sont proposées afin de réaliser un système plus performant à partir des modules conçus et testés.

CHAPITRE 1

GÉNÉRALITÉS SUR LES CAPTEURS D'IMAGES

1.1 Introduction

Les capteurs d'images font partie d'une sphère particulière de la microélectronique puisqu'ils font appel à des notions peu utilisées dans les autres applications d'intégration à très grande échelle (« Very Large Scale Integration », VLSI). C'est pourquoi il convient de s'attarder ici sur la présentation des concepts de base de la transduction photonique à électronique et sur les caractéristiques propres aux performances des caméras numériques avant de plonger le lecteur dans des discussions relatives à la conception d'une caméra intégrée. Le présent chapitre se veut donc une introduction au domaine de l'acquisition d'images numériques à l'aide de semi-conducteurs.

L'emphase est portée particulièrement sur les capteurs CMOS, bien que d'autres types soient répandus dans le domaine. Aussi, le présent ouvrage ne traite que de capteurs monochromes. Toutefois, la seule différence fondamentale entre ces capteurs et les capteurs couleurs est une mince couche de micro-filtres chromatiques qui recouvre la matrice de photosenseurs. Par conséquent, à l'exception de modules numériques de correction de couleurs présents afin de compenser l'effet non idéal des filtres, le contenu des blocs fonctionnels des deux types de capteurs est identiques au niveau VLSI.

Le chapitre est entamé avec une explication sommaire des phénomènes physiques qui sous-tendent le fonctionnement des capteurs d'images numériques modernes. Les capteurs sont ensuite présentés d'un point de vue général, en portant une attention particulière sur les principaux critères de performances qui les définissent, de manière à permettre au lecteur de mieux comprendre les discussions suivantes. Les capteurs à « Charge Coupled Devices (CCD) » sont brièvement présentés, et laissent place aux

capteurs de technologie CMOS standard. Les configurations de cellules photosensibles de base des différents types capteurs CMOS sont présentés. Ensuite, la méthode de réduction du bruit qui est la référence, ainsi que ses principaux circuits, sont brièvement exposés. Finalement, une présentation de quelques travaux représentatifs du domaine de recherche complète cette introduction sur le sujet, avec une attention particulière sur les capteurs dont la résolution est variable en temps réel, directement au moment de l'acquisition d'image.

1.2 Captation lumineuse à l'aide de semi-conducteurs

Lorsqu'un photon pénètre la surface d'un semi-conducteur, il existe une forte probabilité que son énergie soit absorbée par un électron si elle est supérieure à l'énergie qui sépare les bandes de valence et de conduction du matériau [2,46,48]. L'électron ainsi excité peut alors quitter la bande énergétique de valence qu'il occupe pour se retrouver dans la bande de conduction, créant ainsi une paire électron-trou. Ces charges, désignés porteurs en excès, sont alors libres de circuler dans le matériau.

Il existe plusieurs dispositifs permettant de tirer profit de ce phénomène de manière à mesurer une intensité lumineuse. Deux de ces éléments, la photodiode et le photocondensateur, constituent la base des capteurs optiques modernes et se doivent d'être présentés ici.

Le principe de la photodiode consiste à permettre à des photons de pénétrer dans un semi-conducteur afin qu'ils génèrent des paires électrons-trous à l'intérieur de la zone de déplétion d'une jonction P-N polarisée en inverse. Le champ électrique présent dans la zone de déplétion sépare alors rapidement les deux porteurs en excès. Ceci crée un courant de dérive à travers la jonction P-N qui est directement proportionnel au nombre de photons dont l'énergie est appropriée pénétrant dans le semi-conducteur. Le mécanisme d'interaction entre le photon et l'électron dans la zone de déplétion est illustré à la Figure 1.1. Le phénomène d'absorption du photon (1) et de séparation des charges

par le champ électrique (2) sont représentés sur le diagramme de bandes d'énergie en a), alors que b) représente l'accumulation de charges en excès dans le semi-conducteurs.

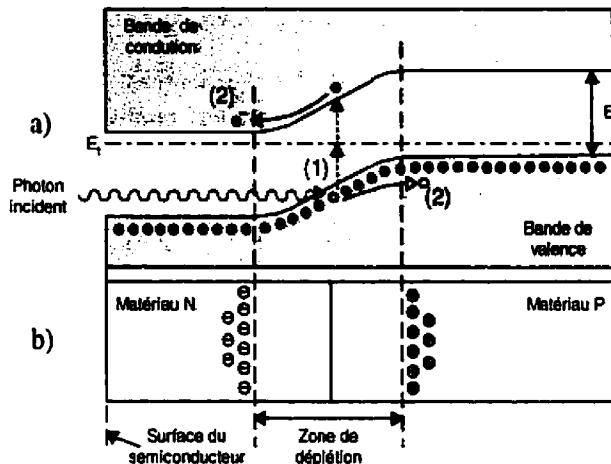


Figure 1.1 : Absorption d'un photon dans une jonction PN

Il est alors possible de déduire l'intensité du signal lumineux au moyen de senseurs électriques en mesurant l'une des deux variables suivantes : le courant de dérive généré par le signal lumineux (photocourant), ou la charge accumulée d'un côté de la jonction P-N au cours d'une période déterminée [50]. Il est à noter que les charges accumulées sont de type opposé à celles forcées par la tension inverse aux bornes de la diode. L'accumulation de charges se traduit donc par une diminution de la tension aux bornes de l'élément photosensible.

Le photocondensateur est l'autre élément de détection lumineuse fréquemment utilisé pour les capteurs d'images modernes. Le condensateur en question est constitué d'une plaque de conducteur transparent séparée d'un substrat semi-conducteur par une mince couche d'oxyde isolant. Par analogie avec le transistor dit à « Metal Oxyde Semiconductor (MOS) » qui partage la même structure, on y fait régulièrement référence à l'aide des appellations photoMOS, phototransistor ou transistor à photogrille.

En appliquant une tension à la grille du phototransistor, une zone de déplétion se forme dans le semi-conducteur, à l'image de ce qui se produit lors de la formation d'un canal sous la grille d'un transistor MOS. La grille conductrice et l'isolant étant transparent, ou presque, les photons sont libres de pénétrer la surface du substrat semi-conducteur. Les charges libérées par les interactions entre photons et électrons dans le substrat peuvent alors être accumulées dans la région, située sous la grille, que l'on nomme puits de potentiel.

Le principal avantage du photoMOS est que, grâce au fait que ses bornes soient électriquement isolées, aucun courant ne circule lorsque la tension est appliquée pour générer la zone de déplétion, comme il se produit dans le cas de la photodiode (courant de polarisation inverse). Ceci lui procure donc une meilleure sensibilité à de très faibles niveaux d'éclairage, puisque le signal ne se confond avec aucun courant présent par défaut (courant de noirceur).

Dans le cas du photoMOS, comme dans celui de la photodiode, les paramètres qui définissent les performances du dispositif (sensibilité, nombre de charges générées par photon incident, intensité du courant, réponse spectrale, courant de noirceur) dépendent principalement du substrat et du dopage du semi-conducteur. Le concepteur d'un capteur optique utilisant ces photosenseurs dans une technologie donnée n'a donc que très peu de contrôle sur ces performances.

En réalité, la sensibilité d'un semi-conducteur à une longueur d'onde est maximale lorsque l'énergie photonique est légèrement supérieure à l'énergie qui sépare ses bandes énergétiques de valence et de conduction. En effet, si l'énergie du photon est trop largement ou trop faiblement supérieure à celle qui sépare les bandes énergétiques du matériau, l'absorption du photon a de très fortes probabilités de se produire respectivement trop en surface ou trop en profondeur dans le semi-conducteur pour que les charges générées soient accumulées par l'élément photosensible [3]. Le premier cas

est d'autant plus vrai lorsqu'un photoMOS est utilisé, car le photon risque de se faire absorber directement par la photogrille.

Heureusement, le silicium présente de bonnes caractéristiques dans la plage des fréquences associées à la lumière visible. L'énergie qui sépare les bandes énergétiques du silicium, soit 1.11 eV, permet de capter des photons dont la longueur d'onde est inférieure à environ 1.1 μm . Ceci couvre généralement adéquatement tout le spectre de lumière visible, qui s'étend d'environ 390 à 770 nm, du bleu au rouge, respectivement.

1.3 Capteurs d'images numériques

Un capteur d'images numérique se compose normalement d'une matrice bidimensionnelle de cellules photosensibles (pixels) et d'un circuit d'appoint chargé de lire l'information analogique emmagasinée dans les cellules et de synchroniser les différentes étapes requises lors de l'acquisition d'une image.

Une large variété de capteurs optiques existe, mais un moyen domine largement quant au traitement du signal de sortie des photodéTECTeurs. La méthode d'accumulation des charges générées par l'interaction avec la lumière pendant un temps déterminé (nommé temps d'intégration) est largement plus utilisée que la lecture directe du courant de dérive à travers la jonction P-N dans le cas où des photodiodes sont utilisées.

Une lecture s'effectue généralement de la manière suivante. Dans un premier temps, les éléments photosensibles de la matrice sont initialisés en les vidant de toute charge préalablement accumulée et en fixant un potentiel prédéterminé à leurs bornes. Ensuite, l'intégration a lieu, produisant ainsi un voltage qui est fonction de la quantité de charge générée par la lumière et de la valeur capacitive au nœud où la tension est lue. Le condensateur d'accumulation des charges est souvent formé simplement des capacités parasites se retrouvant au nœud en question. Généralement, il s'agit du photodéTECTeur lui-même et, dans plusieurs cas, de la grille d'un transistor. Une fois l'intégration terminée,

les cellules sont lues séquentiellement, rangée par rangée. Les pixels d'une même rangée peuvent par contre être lus parallèlement.

1.3.1 Critères de performance

Avant de comparer les principales technologies utilisées pour la réalisation de capteurs d'images, il convient de définir les principaux critères permettant d'évaluer les forces et faiblesses des différents systèmes. Les critères de performance des capteurs sur lesquels le concepteur de circuits VLSI a une influence sont donc brièvement présentés dans les paragraphes suivants.

En premier lieu, deux caractéristiques de base déterminent à quel point l'image acquise pourra être une représentation fidèle de l'image réelle, même en faisant fi de toute caractéristique dynamique du système. Celles-ci sont la **Résolution** et le **facteur de remplissage de la matrice**. La première représente la densité des pixels en nombre par unité de surface. La seconde est exprimée comme la fraction de la superficie du pixel utilisé pour la détection lumineuse.

Le **couplage parasite**, communément nommé « cross-talk » est une mesure plutôt qualitative qui fait référence au degré d'influence d'un pixel sur ses voisins. Il peut se présenter de différentes manières et origine de plusieurs sources. Celles-ci peuvent être d'origine optique (diffraction de la lumière sur les matériaux translucides au dessus du pixel ou aux frontières des éléments avoisinants), ou électrique (débordement d'un pixel sursaturé en intensité lumineuse, migration des charges générées en profondeur).

Le **taux de lecture d'une image** est la fréquence à laquelle l'information d'une image peut être recueillie à la sortie du capteur.

La **plage dynamique intrascène** est le rapport de l'intensité lumineuse saturant le signal de sortie sur la plus petite intensité détectable dans une même image. La plage

dynamique intrascène est fortement affectée par le rapport signal sur bruit du signal de sortie. La plage dynamique interscène, quant à elle, fait référence à la plus forte et la plus faible des intensités lumineuses qui peuvent être mesurées sur différentes acquisitions. Cette caractéristique détermine donc les conditions extrêmes de luminosité dans lesquelles le capteur peut être utilisé. Elle est dépendante du plus court et du plus long temps d'intégration que peut supporter le capteur. La vitesse de lecture des données ainsi que le taux de lecture des images sont donc des facteurs déterminants pour la plage dynamique interscène.

Le bruit de lecture est le niveau de bruit associé à la conversion de l'information lumineuse en signal électrique et au transfert de ce dernier. Ce bruit est aléatoire et il n'existe aucune corrélation de ce bruit d'une lecture à l'autre. Certaines contributions sont non négligeables et incontournables au niveau design (« shot noise » de la diode, « flicker noise » du transistor [21]), mais le bruit de lecture global peut être réduit par une conception méticuleuse des circuits de lecture et de conversion analogique à numérique ou par une réduction du taux de lecture.

Le bruit spatial fixe est le niveau de bruit invariant dans le temps associé aux disparités entre les réponses de différents pixels au travers de la matrice. Ce type de bruit, particulier aux capteurs d'images numériques, mérite ici une attention particulière. Les différences entre les caractéristiques des différents éléments au travers de la matrice, qui apparaissent au moment de la fabrication, procurent des réponses différentes d'un pixel à l'autre. En conséquence, une variance dans la réponse des cellules photosensibles est présente et se traduit par une image irrégulière en sortie, même sous une illumination homogène au dessus de la matrice. Ces irrégularités sont cependant fonction de l'espace, et non du temps, et se répètent d'une image à l'autre. Pour cette raison, ce bruit est désigné sous l'appellation de patron de bruit fixe, traduit de l'anglais « Fixed Pattern Noise (FPN) ».

1.3.2 Capteurs d'images à « Charge Coupled Devices (CCD) »

La présente section explique brièvement le fonctionnement et les caractéristiques des capteurs communément référencés sous l'acronyme CCD, de l'anglais « Charge Coupled Devices ». Bien que le sujet du présent mémoire soit d'un type différent, on ne peut passer sous silence les dispositifs CCD. En effet, vu leur grande popularité dans le monde de l'acquisition d'images numériques, ils demeurent la référence.

La Figure 1.2 schématisé l'architecture globale d'un capteur de type CCD. L'élément photosensible utilisé est le photocondensateur. Une matrice de photogrilles, situées à proximité les unes des autres, permet d'intégrer et de déplacer les charges créées par la lumière. Afin de balayer toute la matrice, les charges sont transférées, comme dans des registres à décalage, vers un amplificateur situé à la sortie. En décalant les charges lentement à la verticale et rapidement à l'horizontale, l'image est présentée à l'extérieur du circuit intégré sous forme d'un signal vidéo analogique.

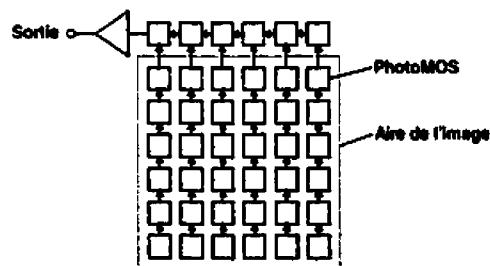


Figure 1.2 : Architecture d'un capteur CCD

La Figure 1.3 présente le mécanisme permettant d'arriver à cette fin. Sur ce schéma, les charges sont initialement intégrées sous les grilles formées par le signal *Phase 1*. Par la suite, l'activation appropriée des différents signaux *Phase x* permet, en quelques étapes (t_0 à t_4 sur la figure), de former et de détruire des puits de potentiel afin de contraindre le déplacement des charges (Q_x) dans la direction voulue.

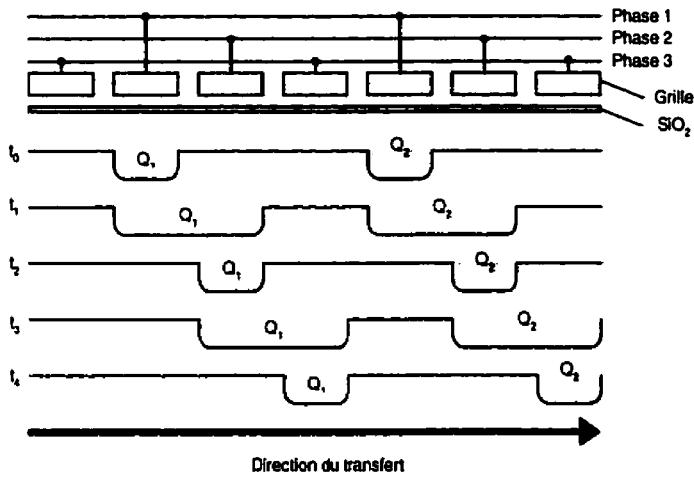


Figure 1.3 : Mécanisme de transfert de charges dans un capteur CCD (tiré de [5])

La technologie CCD offre des performances très intéressantes en détectant et transférant les signaux avec un niveau de bruit relativement faible et uniforme. Il s'agit aussi d'une technologie mature en termes de rendement et de performances. Celles-ci ont en général atteint des niveaux près de leurs limites théoriques ou qui n'a pas subi d'améliorations significatives depuis des années [18].

Cependant, quelques points rendent cette technologie non désirable dans certaines applications. Premièrement, un sous échantillonnage de la matrice est impossible. En effet, on ne peut avoir accès à la valeur de chaque pixel qu'en accédant à tous les pixels des lignes et colonnes qui le précédent dans la matrice. Ensuite, pour une bonne efficacité de transfert des charges de chaque site vers la sortie, plusieurs niveaux de tensions sont nécessaires. De plus, les dispositifs CCD représentent des charges capacitives très importantes, qui rendent leur consommation plutôt grande [22,25]. Finalement, les circuits de ce type ont besoin d'un procédé de fabrication spécial, ce qui rend leur intégration à des systèmes plus complexes sur une seule puce impossible, ou tout au moins inefficace [11].

1.3.3 Capteurs d'images CMOS

Il est aussi possible de réaliser des capteurs au moyen de procédés CMOS standards. Cette option a été introduite initialement pour l'avantage qu'elle présente au niveau des coûts, puisque les procédés et usines de fabrication CMOS sont abondants et facilement disponibles. Cependant, de nos jours, on s'accorde plutôt pour dire que les principaux avantages de cette technologie se situent aux niveaux de sa faible consommation de puissance et des fonctionnalités qu'elle permet d'intégrer au capteur [22,28,53].

Au niveau de la qualité d'image, les capteurs CMOS se comparent aux capteurs CCD de milieu de gamme, mais ils demeurent inférieurs aux capteurs de haut de gamme [3]. Ceci est une conséquence de leur plus faible sensibilité à la lumière et de leur plus grand courant de noirceur. En effet, contrairement aux capteurs CCD, les procédés CMOS standards n'ont pas été optimisés pour les caractéristiques optiques de leurs éléments, mais plutôt pour la réalisation des circuits numériques ou mixtes.

Cependant, toujours au niveau de la qualité d'image, l'attrait des capteurs CMOS actifs augmente avec le nombre de pixels et cette technologie deviendra sûrement bientôt la référence pour les capteurs de quelques millions de pixels [18]. Ceci est principalement dû à leur plus faible bruit de lecture à des fréquences au dessus de 10 MHz, grâce à l'amplification possible à l'intérieur même du pixel, comme il sera présenté à la prochaine section. Aussi, le fait d'effectuer la conversion directement sur la puce améliore la qualité du signal, en éliminant le bruit qui s'introduit dans les interconnexions entre composants. Le transfert de l'information à l'extérieur du chip de façon numérique est bien sûr mieux immunisé au bruit que le transfert analogique. La vitesse de lecture est aussi améliorée, puisque la distance qui sépare les photodétecteurs et les circuits de lecture est réduite, et que la charge capacitive des plots est ainsi éliminée.

Toutefois, les dispositifs CMOS étant particulièrement sujets à de fortes disparités de leurs caractéristiques dans une technologie donnée, le FPN constitue une sévère limite

aux performances d'un capteur s'il n'est pas traité adéquatement. Dans la plupart des cas, des efforts pour réduire ce type de bruit sont essentiels pour procurer une image de qualité acceptable. Heureusement, le bruit se répétant d'une image à l'autre, des moyens efficaces d'amélioration d'image existent et seront présentés plus loin dans ce chapitre.

1.4 Types de capteurs CMOS

Les capteurs CMOS peuvent être divisés en deux grandes catégories selon les éléments qui composent leurs cellules photosensibles. Il s'agit des capteurs passifs et des capteurs actifs.

Les premiers sont les plus simples et ils permettent la plus grande résolution et le meilleur facteur de remplissage. Les capteurs actifs, quant à eux, possèdent des transistors d'amplification et/ou de conversion directement au niveau de leurs cellules photosensibles. De cette manière, il est habituellement possible d'améliorer de façon significative le rapport signal sur bruit et la vitesse de lecture du senseur. Nous faisons communément référence à ces capteurs au moyen de l'acronyme APS, signifiant « Active Pixel Sensor ».

Nous présentons dans les sections suivantes les configurations de base pour chacun des types de photodétecteurs les plus populaires, soient la photodiode et le transistor à photogrille. Cependant, le lecteur doit noter que plusieurs modifications peuvent être apportées aux circuits présentés ici, de manière à intégrer différentes fonctionnalités directement au niveau des pixels. Certaines de ces fonctionnalités seront cependant présentées plus loin, à la section 1.6.

1.4.1 Capteur Passif

Un capteur qui utilise l'approche du pixel passif consiste en une matrice de pixels qui contiennent tous une photodiode et un transistor de sélection [30], tel que schématisé à la Figure 1.4. Les charges de la photodiode sont transférées à un amplificateur situé au bas

du bus de colonne une fois la période d'intégration terminée. C'est une impulsion sur la grille des transistors des pixels qui permet le transfert de ces charges. La lecture d'une image complète se fait généralement rangée par rangée. L'amplificateur de chaque colonne convertit la charge reçue en une tension proportionnelle à cette charge. Notons toutefois que deux transistors de sélection sont parfois utilisés afin de permettre un adressage x-y de manière à activer les pixels un à la fois.

Les capteurs à cellules passives offrent le plus grand facteur de remplissage et la plus grande densité. Néanmoins, ils souffrent de faibles rapport signal à bruit et vitesse de lecture, dus à la grande distance qui sépare les pixels de leur amplificateur.

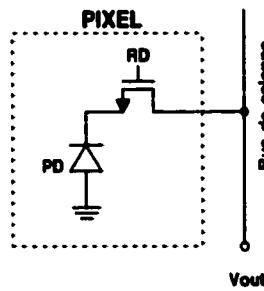


Figure 1.4 : Cellule photosensible CMOS passive

1.4.2 Capteurs actifs

1.4.2.1 Capteurs actifs à photodiodes

Contrairement au pixel passif, où le signal véhiculé est constitué de la charge accumulée à une borne de la diode, le pixel actif peut transmettre à sa sortie n'importe quel type de signal, selon le choix du concepteur. Plusieurs types de cellules, significativement différentes, sont donc présentées ici et sont identifiées selon le mode de propagation de leur signal de sortie. Il s'agit des modes tension, courant et impulsions.

a) Mode Tension

Une cellule typique de capteur actif à photodiode possède trois transistors, tel que schématisé à la Figure 1.5. Pour la décrire, expliquons sa procédure d'utilisation. Afin d'initialiser la cellule, avant chaque cycle de lecture, une impulsion sur l'entrée **RST** ramène le potentiel de la diode à la tension de référence, dans ce cas **VDD**. La période d'intégration suit. Pendant cette période, le photocourant fait baisser la tension présente aux bornes de la diode. Lorsque vient le temps de la lecture, une impulsion **RD** est envoyée à la grille de **M3**, activant ainsi la cellule. La tension **Vout**, dépendant de la tension aux bornes de la diode peut donc être lue par l'amplificateur de colonne (connecté à **Vout**) via le suiveur **M2** alors polarisé par la source de courant.

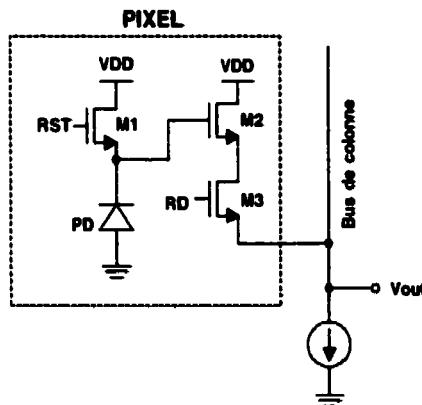


Figure 1.5 : Pixel à photodiode en mode tension

Il est à noter que le type de composants peut être changé selon la nature du substrat ou du puits dans lequel les éléments sont fabriqués. Ainsi, une diode connectée à **VDD** et trois transistors à canal 'P' peuvent aussi bien être utilisés pour arriver aux mêmes fins. Ce commentaire est d'ailleurs valide pour tous les types de cellules présentés dans ce mémoire.

b) Mode courant

Au lieu de lire directement le voltage aux bornes de la diode à l'aide d'un suiveur de tension, il est possible de convertir ce signal en courant. Le fonctionnement est très similaire à celui décrit à la section a), cependant le courant sur le bus de colonne n'est pas fixé par une source de courant de polarisation, mais est plutôt variable et dépend de la tension aux bornes de la photodiode et de l'amplificateur de transconductance $M2$.

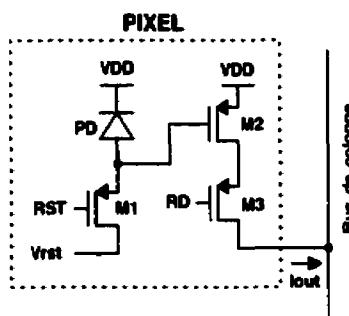


Figure 1.6 : Pixel à photodiode en mode courant

Cette approche présente certains avantages comparativement au mode tension présenté plus haut, dont les principaux sont :

- la possibilité de choisir un gain au gré du concepteur, via l'amplificateur $M2$, permettant de lire le signal de sortie avec plus d'aisance, sur une plage choisie, et ainsi d'améliorer le rapport signal sur bruit en lecture ;
- la possibilité de réduire la consommation globale du circuit en abaissant la tension d'alimentation de façon significative, sans pour autant affecter la plage dynamique du signal d'intérêt ;
- la diminution des variations de la tension au nœud de sortie, réduisant ainsi les charges et décharges des importants condensateurs parasites au niveau des bus de colonnes, améliorant ainsi la vitesse de lecture.

Cependant, le gain de transconductance apporté par le transistor ne procure pas que des avantages. En effet, il accentue de façon significative le FPN dont la correction a toujours été problématique.

Le lecteur notera qu'une tension supplémentaire d'initialisation est nécessaire pour le bon fonctionnement de la cellule en mode courant (V_{rst}). Ceci vient du fait qu'au delà d'une certaine tension V_{gs} à la grille de $M2$, le courant I_{out} atteint sa limite et toute variation de tension ne procurera aucun effet détectable à la sortie. Il convient donc de fixer la tension V_{rst} à cette tension limite de manière à ce que l'intégration soit efficace dès les premiers instants. Ce signal de référence supplémentaire n'affecte cependant pas la taille de la cellule puisque, dans ce cas-ci, une seule alimentation est suffisante (VSS en moins). Le nombre de ligne de contrôle et d'alimentation au travers de la matrice reste donc le même que pour le mode tension.

c) Mode impulsions

D'autres approches ont aussi été présentées dans quelques publications, bien qu'elles aient fait l'objet de beaucoup moins de recherches. Il convient cependant, dans le cadre de ce chapitre d'introduction au domaine, de mentionner leur existence.

Il s'agit de coder l'intensité lumineuse dans le domaine du temps au lieu d'utiliser des tensions ou courants analogiques. Avec cette approche, le signal électrique est codé selon la fréquence ou la durée d'impulsions binaires qui peuvent se répéter au cours d'une période d'intégration. Ceci confère une immunité au bruit de transmission du signal significativement supérieure aux tensions ou courants analogiques.

À titre d'exemple, une approche consiste à moduler la largeur d'impulsions en comparant la tension aux bornes de la photodiode à une rampe [14]. Le pixel simplifié présenté à la Figure 1.7 a) est composé d'une photodiode, d'un échantillonneur bloqueur et d'un comparateur. Suite à la période d'intégration lumineuse, la tension à la diode est maintenue constante au noeud int, une impulsion est générée et une rampe est appliquée à

la tension de référence V_{ref} . L'impulsion se termine lorsque V_{ref} atteint la tension du nœud *int*. La quantité de charges générées par l'interaction lumineuse se traduit donc par une impulsion plus ou moins longue au nœud *out*. Le chronogramme des signaux de contrôle et de sortie est présenté en b)

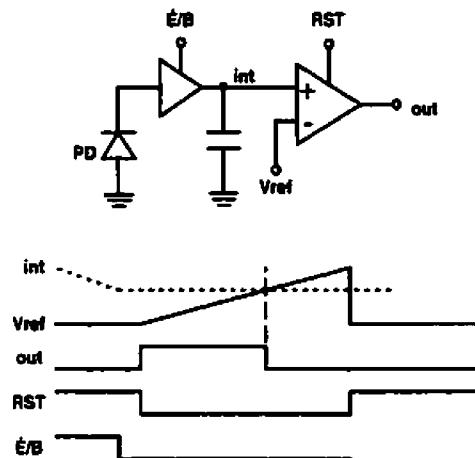


Figure 1.7 : Pixel à modulation de durée d'impulsions (tiré de [14])

Bien que le signal de sortie soit plutôt insensible au bruit, un fort FPN associé au comparateur présent dans chaque pixel est difficile à compenser. Aussi, la résolution et le facteur de remplissage souffrent significativement de la présence du comparateur.

La Figure 1.8 présente un circuit simple où l'intensité lumineuse est représentée par la fréquence d'impulsions apparaissant au nœud *out*.

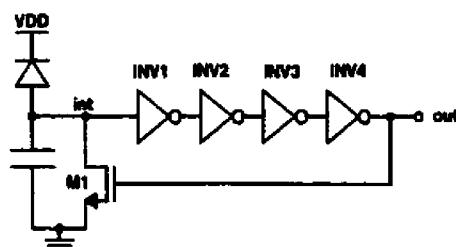


Figure 1.8 : Pixel à modulation de fréquence d'impulsions (tiré de [57])

Pendant l'intégration, le transistor *M1* ne conduit pas et le photocourant au travers de la diode fait augmenter la tension au nœud *int*. Lorsque celle-ci franchit la tension de seuil

de l'inverseur *inv1*, une transition se propage par les inverseurs et décharge le condensateur en activant le transistor *M1*. Le seuil de l'inverseur est donc retraversé en sens inverse, créant une nouvelle transition qui se propage de nouveau jusqu'à la grille de *M1*. Tout ce processus se traduit par une brève impulsion à la sortie *out*, suite à laquelle l'accumulation de charge dans le condensateur peut recommencer. Plus l'intensité lumineuse est importante, plus la charge du condensateur se fait rapidement et, en conséquence, plus la fréquence des impulsions est élevée.

Cette technique possède l'avantage de ne consommer que très peu d'énergie, puisqu'aucun courant ne circule de façon continue, à l'exception du très faible photocourant. Cependant, l'intégration est à recommencer pour chaque ligne et limite de façon significative le taux de lecture d'images. De plus, la sortie étant directement codée de façon numérique, la réduction de FPN doit être faite par post-traitement des données.

1.4.2.2 Capteurs actifs à phototransistors

Il est aussi possible en procédé CMOS standard d'avoir recours au photocondensateur pour acquérir une image. Le capteur à phototransistor reproduit, à très petite échelle, le principe de fonctionnement d'une caméra CCD.

Au cours de l'intégration, les charges sont accumulées dans le puits de potentiel situé sous la photogrille *PG* (Figure 1.9). Lorsque vient le temps de la lecture, la grille de transfert *TX* est activée et permet aux charges de se déplacer vers la diffusion flottante *DF*. La tension à la grille *PG* est alors réduite à zéro, chassant ainsi les charges générées par l'interaction lumineuse et complétant leur transfert vers le nœud *DF*. La tension est alors lue via le suiveur de tension *M2*. Il est à noter que, préalablement à la lecture telle que décrite, la diffusion *DF* est vidée des charges de la lecture précédente en activant le transistor de reset *M1*.

Idéalement, lorsque le procédé de fabrication le permet (double poly), la grille de transfert *TX* se juxtapose partiellement au dessus de la photogrille *PG*.

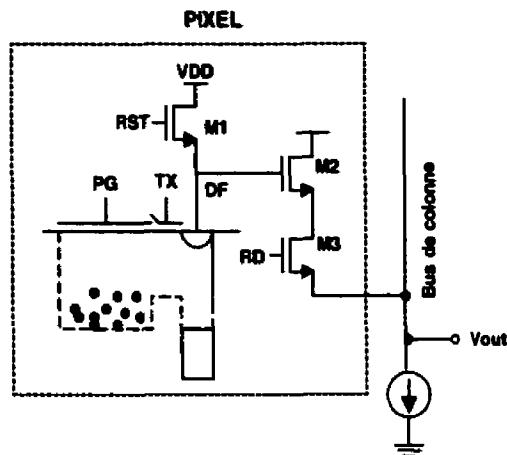


Figure 1.9 : Pixel à transistor à photogrille

Les capteurs à photogrilles ont été principalement développés pour des fins scientifiques de haute performance. La force de ce type de capteur réside dans son niveau de bruit très bas. En plus de présenter un courant de noirceur plus faible puisque le courant de polarisation inverse est inexistant, il permet de mieux éliminer le FPN que les circuits avec photodiode, comme il le sera expliqué dans la prochaine section. Toutefois, ce type de capteur présente un facteur de remplissage généralement moins élevé que les capteurs à photodiodes et sa réponse dans la partie la plus énergétique du spectre est relativement faible [3, 11, 22].

1.5 Techniques de réduction du FPN

Les dispositifs CMOS étant particulièrement sujets à de fortes disparités de leurs caractéristiques dans une technologie donnée, le FPN peut constituer une sévère limite aux performances d'un capteur s'il n'est pas traité adéquatement. Heureusement, le bruit se répétant d'une image à l'autre, des moyens efficaces d'amélioration d'image existent.

Une méthode simple pour réduire le FPN consiste à enregistrer la sortie de chaque pixel lorsque la matrice entière est dans la noirceur [25]. Les disparités retrouvées entre chaque pixel de cette image peuvent être éventuellement soustraites des sorties au cours de

l'acquisition normale d'images. Cette technique procure des résultats intéressants en éliminant le décalage entre les pixels, mais nécessite une mémoire supplémentaire, de la taille de l'image entière, uniquement pour mémoriser les données de correction.

Une méthode très courante permettant de réduire le bruit fixe consiste à comparer, avant la conversion analogique à numérique, le signal de sortie dépendant de l'intensité lumineuse, à un signal de référence propre à chaque pixel. Le signal de sortie disponible immédiatement suite à l'initialisation du pixel lui constitue cette référence.

La lecture requiert donc deux échantillonnages, d'où son nom de méthode de corrélation de double échantillonnage, ou CDS, de « Correlated Double Sampling ». Un circuit fréquemment utilisé pour réaliser cette tâche est présenté à la Figure 1.10. Le signal est mémorisé aux bornes du condensateur *Csig*, alors que le signal de référence est mémorisé dans *Crst*. La tension différentielle entre les nœuds *Vsig* et *Vrst* constitue la véritable sortie représentant l'intensité lumineuse au dessus du pixel.

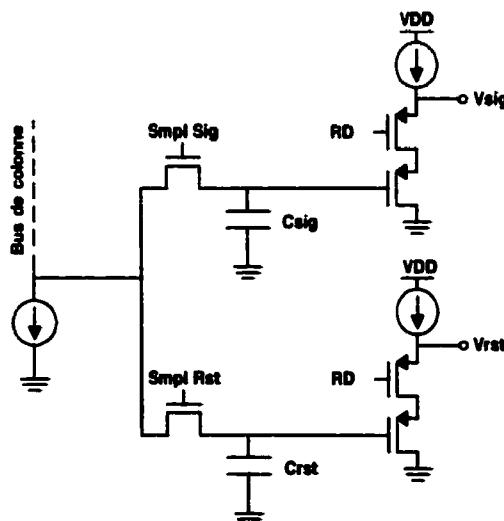


Figure 1.10 : Circuit de réduction du FPN par CDS

Il est à noter que le CDS ne peut être parfaitement efficace qu'avec des éléments de lecture à photoMOS. Avec ces éléments, il est possible de réinitialiser le nœud de lecture

avant d'y transférer les charges générées au cours de l'intégration. La différence entre V_{sig} et V_{rst} mesurée n'est alors attribuée qu'aux charges générées par l'interaction lumineuse, peu importe le niveau de réinitialisation. Le bruit peut ainsi être réduit, dans les meilleurs cas rapportés, à un seul électron d'accumulation.

Avec un circuit à photodiode, le signal de reset étant destructif pour les charges accumulées, il ne peut être mesuré dans le même cycle de lecture que le signal d'intérêt V_{sig} . Si le nombre de charges avant l'intégration n'est pas parfaitement constant d'une réinitialisation à l'autre, il est impossible de détecter ces variations, qui constituent une source de bruit supplémentaire. Néanmoins, le CDS est régulièrement utilisé et procure des résultats tout de même fort intéressants avec des circuits à photodiodes [22,27].

Aussi, le CDS a été utilisé dans le cas de circuits où la sortie est en mode courant. Le circuit présenté à la Figure 1.11 permet d'évaluer très simplement la différence entre le signal de sortie des pixels suite à l'intégration ($I_{pxl} = I_{sig}$) et après une réinitialisation ($I_{pxl}=I_{rst}$) en mémorisant successivement les courants dans deux mémoires de courant. La mémoire de courant faite d'un transistor à canal 'N' et la mémoire de type 'P' font circuler des courants en sens opposés. Sachant que la somme des courants au nœud out doit être nulle, la différence des deux courants ($I_{out} = I_{rst} - I_{sig}$) est donc directement disponible au nœud de sortie.

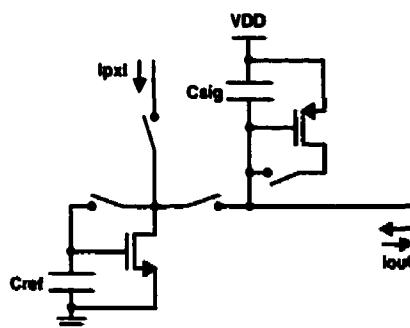


Figure 1.11 : Réduction du FPN par CDS en mode courant

Malheureusement, le CDS ne présente pas des performances aussi intéressantes en mode courant qu'en mode tension, principalement à cause du gain de transconductance qui varie significativement d'un pixel à l'autre. Ceci rend le signal de sortie dépendant d'une caractéristique supplémentaire du transistor de sortie de la photocellule, contrairement au cas du suiveur de tension utilisé en mode tension, où le gain est pratiquement unitaire. On retrouve une discussion plus approfondie sur le sujet à la section 2.3.5.

1.6 Exemples de fonctions spécialisées de capteurs CMOS

Le fait de pouvoir intégrer une grande variété de circuits sur le capteur lui même en technologie CMOS a fait jaillir de l'imagination des chercheurs une foule d'idées permettant d'améliorer les capteurs en fonction d'applications spécifiques. Le but de la présente section n'est pas de répertorier tous les circuits spécifiques présents dans la littérature, mais de mentionner certaines des approches les plus fréquentes.

Quelques équipes de recherche ont présenté des capteurs dont la disposition des cellules photosensibles de la matrice est non-orthogonale [31,47]. Au lieu de disposer les pixels en rangées et en colonnes, les cellules sont disposées de manière radiale/concentrique. La résolution du capteur est alors réduite de son centre vers sa périphérie, un peu à l'image des récepteurs situés sur la rétine de l'œil chez l'humain [31,52].

Aussi, en incluant des liens entre les pixels leur permettant de communiquer entre eux, plusieurs équipes ont intégré des fonctions de différentiation spatiale utiles pour la détection instantanée de contrastes et de formes. De façon semblable, des éléments de mémoire analogique au sein de chaque pixel permettent la différentiation temporelle entre les images afin de détecter le mouvement [9,20,45,49].

Cependant, les efforts ont été plus récemment tournés vers l'augmentation de la plage dynamique optique intrascène des capteurs. Les capteurs CCD conventionnels et les capteurs CMOS présentés jusqu'ici offrent une plage dynamique optique maximale

d'environ 50 à 70 dB. Ceci reste encore très loin de celle du système visuel humain, qui est de l'ordre d'environ 200 dB. Le secret d'une telle performance provient principalement du fait que l'œil possède une réponse logarithmique du signal de sortie par rapport à la lumière incidente. Dans les faits, la sensibilité de la rétine est très importante dans la noirceur et diminue avec l'augmentation de l'intensité lumineuse incidente.

Plusieurs approches visant à imiter un tel comportement à l'aide d'un capteur à semi-conducteurs ont été publiées. La cellule de la Figure 1.12 a) exhibe une tension de sortie logarithmiquement dépendante du photocourant polarisant le transistor $M1$ en région de

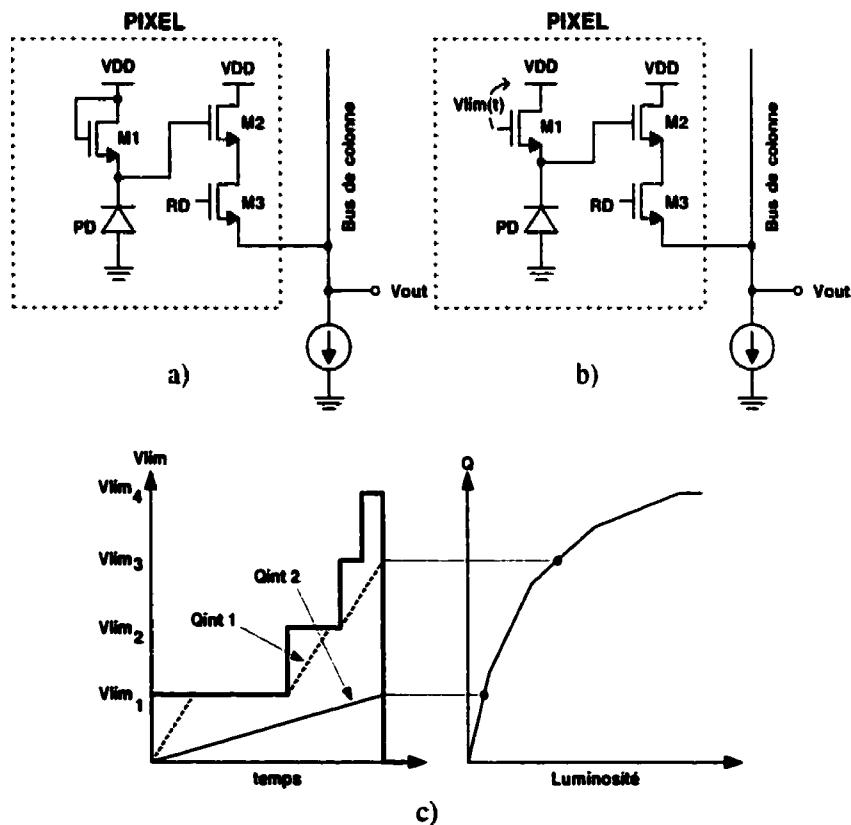


Figure 1.12 : Cellules à réponse (a) logarithmique et (b) pseudo-logarithmique ainsi que (c) l'évolution des charges accumulées dans la cellule pseudo-logarithmique

faible inversion [31,35,40]. La cellule présentée en b) exécute plutôt une approximation de réponse logarithmique par segments linéaires [8]. La tension $Vlim(t)$ limite la plage de variation possible que le signal de sortie d'un pixel peut avoir et ce plafond est modifié par paliers au cours de la période d'intégration. L'évolution de la charge accumulée aux bornes de la diode pour une intensité lumineuse forte ($Qint1$) et une faible ($Qint2$) dans une cellule utilisée avec quatre paliers de $Vlim$ est présentée en c), ainsi que la réponse pseudo-logarithmique de sortie qui y est associée. Malheureusement, ces capteurs logarithmiques, ou pseudo-logarithmiques, présentent généralement une très grande sensibilité aux changements de température et un fort FPN [13]. Les résultats les plus probants en réponse aux efforts visant à améliorer la plage dynamique des capteurs ont été obtenus avec des cellules dont le temps d'intégration est choisi automatiquement et indépendamment d'un pixel à l'autre, par opposition à un contrôle global d'intégration [54,55,56,58,].

Cette approche permet de conserver une réponse linéaire de bonne qualité, à faible bruit et d'une bonne stabilité en température, dont la plage dynamique est d'environ 50-70 dB, tout en ajoutant quelques décibels supplémentaires dans l'information contenue dans le temps d'intégration qui est propre à chaque pixel. Parfois, la cellule présente aussi un gain variable choisi automatiquement selon l'intensité lumineuse. La combinaison de l'information provenant du signal analogique, de son gain et du temps d'intégration, permet d'atteindre une plage dynamique optique de 120 dB sur 20 bits [38].

1.6.1 Capteurs à résolution variable

Une attention particulière est portée ici sur les systèmes à résolution variable, puisque le capteur faisant l'objet de ce mémoire de maîtrise s'inscrit dans cette catégorie.

L'image multi-résolution est habituellement générée par traitement numérique dans une étape subséquente à l'acquisition d'image [11,17]. Toutefois, ceci demande la lecture et le transfert d'un nombre de pixels supérieur à celui requis pour l'image de sortie, ainsi

qu'une quantité de calculs non négligeable à exécuter en temps réel. Pour des applications où la consommation de puissance est une priorité, ceci peut constituer un handicap important. De là l'utilité d'utiliser des capteurs qui réalisent l'opération de réduction de résolution à même la capture d'image.

Plusieurs capteurs se targuent d'offrir une résolution variable au niveau de la capture d'image. Toutefois, ceux-ci ne font en général qu'offrir un adressage x-y qui permet d'échantillonner un sous-ensemble de la matrice de photocellules [62]. Malheureusement, le sous-échantillonnage entraîne une perte d'information qui dégrade l'image résultante de façon importante.

À faible résolution, le calcul de la Valeur Moyenne de Pixels Adjacents (VMPA) permet de réduire cet effet puisque, bien que le nombre de données en sortie soit réduit, l'image est en fait lue à haute résolution ; la contribution de chaque pixel d'une résolution supérieure affecte la sortie.

Un capteur à résolution variable capable d'évaluer la moyenne en temps réel de façon analogique a été présenté par le « Jet Propulsion Laboratory », groupe qui a joué un rôle majeur dans le développement des capteurs CMOS [11,17,23, 55,60,61]. Ce capteur comporte deux banques de condensateurs permettant d'évaluer la moyenne des rangées et des colonnes [16]. La Figure 1.13 illustre le principe de fonctionnement du système lorsque ce dernier est utilisé pour calculer la moyenne du signal de sortie de blocs de 3x3 pixels.

Le signal de sortie des cellules photosensibles est une tension qui est, en premier lieu, mémorisée dans un condensateur au bas de chaque colonne (a). Ensuite, les condensateurs de colonnes dont les signaux doivent être moyennés sont liés et les charges se distribuent équitablement, procurant sur chaque condensateur de la première banque la tension moyenne des signaux d'une ligne du bloc de pixels (b). Cette tension est ensuite

transférée à un des condensateurs de la banque de condensateurs suivante (c). Le processus est répété jusqu'à ce que la moyenne de chaque ligne ait été transférée dans les condensateurs de la seconde banque (d). La moyenne de tous les pixels du bloc est alors évaluée en liant ces trois condensateurs avant d'en lire la tension résultante.

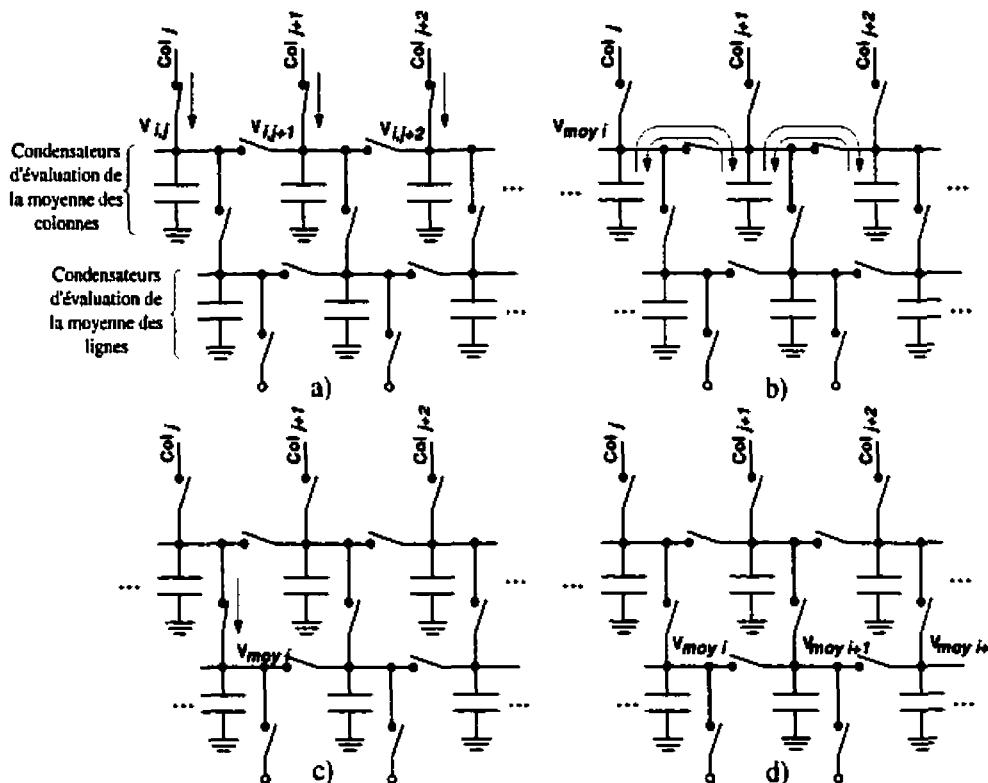


Figure 1.13 : Étapes d'acquisition d'image pour le calcul de la VMPA à résolution réduite (3x3)

Les résultats obtenus avec ce capteur sont probants, mais l'évaluation de la moyenne s'effectue en plusieurs étapes, affectant ainsi le temps de lecture et, par conséquent, le taux de lecture de l'image, ou contraignant le CAN à fonctionner à un taux de conversion élevé.

1.7 Conclusion

Ce chapitre a fait un bref survol du large domaine de l'acquisition d'images numériques au moyen de semi-conducteurs. Pour ce faire, les notions de base sur les mécanismes de captation lumineuse et les principaux éléments photosensibles utilisés ont été présentés. La pertinence de l'utilisation d'un procédé CMOS, par opposition aux populaires capteurs CCD, a aussi été mise en évidence. Cette technologie permet notamment de réduire la consommation d'un système et d'intégrer des fonctions de traitement d'images à même la puce d'acquisition.

Les principales approches présentes dans la littérature ont été recensées, avec leurs avantages et inconvénients, en fonction de leur élément photosensible et du type de signal qu'ils véhiculent. Ensuite, des méthodes de réduction des imperfections d'images causées par les paramètres variables des éléments CMOS ont été présentées pour différents types de signaux. Finalement, quelques exemples représentatifs des capteurs présents dans la littérature récente sur le sujet ont été recensés, avec un accent particulier sur les capteurs à résolution variable.

Le prochain chapitre présente la conception d'une caméra intégrée fonctionnant entièrement en mode courant et dont la résolution peut être variée en minimisant la perte d'information associée à la diminution de résolution par l'évaluation de la moyenne de pixels adjacents.

CHAPITRE 2

DESCRIPTION DU CAPTEUR

2.1 Introduction

Nous avons survolé dans le chapitre précédent les principales techniques de captation lumineuse et les différents circuits permettant d'acquérir des images à l'aide de composants à semi-conducteurs, en insistant particulièrement sur l'utilisation d'un procédé de fabrication CMOS standard. Maintenant que les notions fondamentales concernant le sujet sont acquises, il est possible de discuter de façon détaillée des considérations de conception d'un capteur spécifique. Ceci constitue précisément le but du présent chapitre.

Le capteur dont il est question ici constitue une première itération dans le processus de développement d'un système intégré applicable à un implant visuel. Il s'agit d'une proposition de design qui permet de réaliser toutes les étapes allant de la réception photonique à la présentation des données en sortie sous format numérique, en incluant la réduction de FPN.

Les éléments présentés sont les blocs de base permettant de réaliser une telle caméra intégrée. Les choix de conception faits en fonction du système visé sont explicités et justifiés. Toutefois la discussion se limite au niveau conceptuel. Les détails spécifiques à la réalisation des différentes versions du développement, notamment les considérations concernant le dessin des masques et le contrôle numérique, sont laissés aux chapitres subséquents.

Dans ce chapitre, après un survol des différentes fonctionnalités du capteur, les principaux modules du système sont présentés. Il s'agit, dans l'ordre, de (1) la

configuration de la matrice et de sa cellule photosensible de base, (2) du circuit de multiplexage et d'évaluation de la Valeur Moyenne de Pixels Adjacents (VMPA) permettant de varier la résolution, (3) du circuit de réduction du FPN, (4) du convertisseur analogique-numérique (5) et de la mémoire tampon numérique.

2.2 Vue d'ensemble du système

La définition de l'image requise pour le système auquel est destiné principalement le capteur élaboré ici est très faible. Le stimulateur visuel de l'équipe de recherche PolySTIM n'est supposé à court et moyen termes traiter qu'une image carrée de 25 pixels de côté. Toutefois, comme il l'a été mentionné en introduction, il est possible de conférer au capteur une fonction de zoom électronique en variant sa résolution. Pour cette raison, la taille de la matrice de pixels dépasse significativement celle de la matrice d'électrodes corticales. La matrice présentée ici comporte 128×128 pixels.

Avant de décrire les blocs en détail, il convient de présenter d'un haut niveau, le comportement global du système.

2.2.1 Fonctions programmables du capteur

Le capteur possède certaines fonctions qui le rendent très versatile. La Figure 2.1 illustre schématiquement une utilisation possible du capteur intégrant presque toutes ses fonctionnalités, décrites dans la présente section.

Taille variable : L'utilisateur peut choisir la taille de l'image qui lui convient, jusqu'à une taille maximale de 128×128 pixels. Il indique la hauteur et la largeur de l'image, en nombre de pixels, qu'il désire acquérir. Il n'existe aucun lien prédéterminé entre la hauteur et la largeur de l'image. Ainsi, l'utilisateur est parfaitement libre de choisir le rapport de forme d'image qui lui convient.

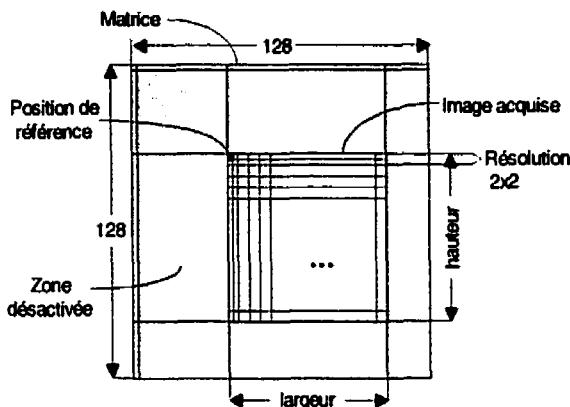


Figure 2.1 : Illustration d'une configuration d'acquisition d'image

Il est important de noter que les colonnes et rangées inutilisées peuvent être désactivées en presque totalité au cours des lectures. Ainsi, la consommation en puissance du système sera d'autant plus faible que la taille d'image acquise sera réduite par rapport à la taille maximale.

Position variable : La position de l'image captée, par rapport à la matrice entière de 128×128 pixels, est à la discréption de l'utilisateur. Celle-ci est indiquée par la position du premier pixel qui sera transmis, soit celui situé en haut à gauche de l'image d'intérêt. Évidemment, ce paramètre ne peut être modifié que si la taille de l'image captée n'est pas maximale.

Résolution variable : La résolution est variable selon des rapports de un, deux ou quatre. Il est possible de traiter chaque pixel du capteur individuellement, ou en regroupement de 2×2 ou de 4×4 pixels. Par conséquent, selon la résolution choisie, la taille maximale de l'image captée sera respectivement de 128×128 , 64×64 ou 32×32 pixels.

Temps d'exposition variable : Le temps pendant lequel les charges générées par l'interaction lumineuse pour chaque image captée est variable. Ceci permet de s'adapter

à divers niveaux d'intensité lumineuse globale en allongeant ou raccourcissant la période d'exposition.

2.3 Description détaillée du système

2.3.1 Schéma bloc

Comme le montre la Figure 2.2, une approche parallèle est utilisée pour le traitement du signal à la base des colonnes de la matrice. Ce choix a été fait parce qu'il s'agit de la configuration qui impose les moins grandes contraintes sur la conception du Convertisseur Analogique à Numérique (CAN). En effet, une approche où un seul CAN est utilisé impose de sérieuses contraintes sur son taux de conversion, alors qu'une approche où un CAN est utilisé par pixel permet de fonctionner à un faible taux de conversion, mais pose de sérieuses contraintes sur sa taille [59,60].

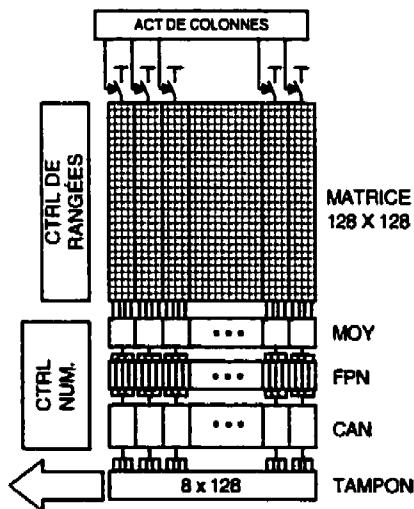


Figure 2.2 : Schéma bloc de la caméra intégrée

Le circuit consiste principalement en une matrice de 128×128 pixels, chacun constitué d'une photodiode, de commutateurs de contrôle et d'un amplificateur de courant de sortie. L'activation des cellules pour la lecture est contrôlée par des registres à décalage, ainsi que des circuits logiques situés dans le bloc de contrôle de rangées. Les colonnes

sont traitées en parallèle par groupes de quatre. Ainsi, 32 circuits de multiplexage et d'évaluation de la VMPA sélectionnent quelles colonnes doivent être évaluées à un moment donné et, si la résolution n'est pas maximale, évalue la VMPA des courants de sortie. Des circuits de réduction du FPN éliminent la majorité du bruit spatial introduit par les transistors d'amplification inclus dans les photocellules et par le processus d'évaluation de la VMPA. Des CAN parallèles évaluent jusqu'à 32 colonnes simultanément et emmagasinent les valeurs de sortie dans une mémoire tampon aussi large que la matrice. Chaque donnée est dirigée vers un espace dans le tampon correspondant à la colonne mesurée.

Lorsque la résolution est maximale, quatre conversions sont nécessaires pour évaluer la ligne complète et pour remplir la mémoire tampon. Les données sont alors décalées vers la sortie et la ligne suivante peut être évaluée. Lorsque la moyenne est faite sur des groupes de pixels joints (4×4 ou 2×2), chaque CAN n'a à effectuer qu'une ou deux conversion par ligne, respectivement. La mémoire tampon n'est alors remplie qu'à la moitié ou au quart avant d'être vidée.

Il est à noter que les colonnes peuvent être désactivées par groupes de quatre pour réduire la consommation lorsque la largeur de l'image acquise est inférieure à la largeur de la matrice.

2.3.2 Matrice APS

En vertu des avantages concernant la consommation et la plage d'opération qu'il présente, le mode courant a été choisi pour véhiculer le signal électrique de conversion lumineuse. Son principal désavantage est la difficulté de réduire le FPN associé au gain de transconductance de la cellule. Cependant une nouvelle technique est proposée à la section 2.3.5 pour minimiser cet effet néfaste.

Aussi, les circuits conçus pour fonctionner en mode courant offrent habituellement les avantages de nécessiter moins de composants et consomment moins de puissance [15]. Ces caractéristiques seront particulièrement bénéfiques lors de la conception des circuits subséquents sur le chemin de données, principalement les convertisseurs analogique/numérique.

Mais, plus important encore dans notre cas, ce mode nous permet de calculer facilement et instantanément la moyenne des intensités lumineuses de pixels avoisinants afin de modifier la résolution de l'image. En effet, nous pouvons sommer directement les signaux venant de plusieurs pixels en un même nœud. Ceci nous permet de faire la sommation des intensités lumineuses de pixels voisins au cours d'une lecture. Nous n'avons qu'à activer plus d'une ligne et recueillir le signal de plus d'une colonne en un même point pour obtenir un signal en sortie représentatif de la somme des signaux de pixels individuels.

La Figure 2.3 illustre le principe à l'aide d'une section de la matrice, composée de quatre pixels dont le premier, au coin supérieur gauche, est situé sur la $i^{\text{ème}}$ ligne et la $j^{\text{ème}}$ colonne. Lorsque la résolution est maximale (1×1), les lignes sont activées une à la fois,

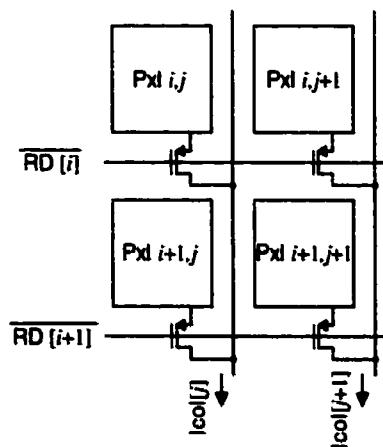


Figure 2.3 : Configuration de la matrice APS

procurant au bas des colonnes les courants $I_{col}(j) = I_{pxl}(i,j)$ et $I_{col}(j+1) = I_{pxl}(i,j+1)$ en un premier temps, et $I_{col}(j) = I_{pxl}(i+1,j)$ et $I_{col}(j+1) = I_{pxl}(i+1,j+1)$ ensuite. Toutefois, lorsque la résolution est plus grossière (2×2), les deux lignes sont activées, procurant la somme des signaux des lignes activées sur chaque colonne ($I_{col}(j) = I_{pxl}(i,j) + I_{pxl}(i+1,j)$, et $I_{col}(j+1) = I_{pxl}(i,j+1) + I_{pxl}(i+1,j+1)$). Ces deux colonnes peuvent être jointes à un nœud commun pour procurer la somme des quatre pixels de façon instantanée.

Cependant, comme la valeur réelle désirée est la moyenne des signaux individuels et non leur somme, il faudra diviser le courant ou le temps d'intégration par le nombre de pixels regroupés.

2.3.3 Cellule unitaire

Le type de photodétecteur utilisé est la photodiode. Cet élément a été choisi pour sa simplicité en comparaison avec le phototransistor et parce qu'il permet d'acquérir des images de qualité amplement bonne pour l'application à laquelle est destiné le capteur.

Maintenant, avec un procédé de fabrication donné, les photodiodes peuvent être conçues de plus d'une manière. Dans le cas qui nous concerne (procédé à puits 'N'), il est possible de les fabriquer avec des diffusions 'N' dans le substrat 'P' ou avec des diffusions 'P' dans des puits 'N'. Cette dernière option permet d'isoler chaque pixel dans son propre puits, minimisant ainsi considérablement le couplage parasite. En effet, les charges excédentaires des pixels voisins ou créées en profondeur dans le substrat sont repoussées ou recueillies par l'alimentation grâce au puits, avant qu'elles ne viennent contaminer la diffusion formant la photodiode [49]. Le prix à payer est que la sensibilité s'en voit quelque peu réduite [22].

La Figure 2.4 représente la configuration retenue pour la cellule photosensible. Cette cellule, présentée à l'origine dans [1,27], est en fait une cellule de base en mode courant, à laquelle un obturateur électronique (**M4**) a été ajouté.

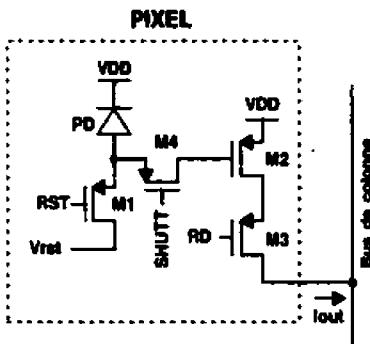


Figure 2.4 : Pixel avec obturateur électronique

L'obturateur permet de contrôler avec précision le temps d'intégration de façon globale [19]. Une fois celui-ci terminé, la tension à l'anode de la diode est emmagasinée à la grille de **M2** en ouvrant l'interrupteur **M4**. Cette tension reste constante jusqu'à ce que la lecture soit terminée. La valeur mesurée n'est donc pas affectée par le temps de lecture des données.

2.3.4 Circuit de multiplexage et d'évaluation de la VMPA

Le circuit schématisé de façon simplifiée à la Figure 2.5 et décrit dans la présente section remplit deux rôles distincts. Premièrement, il sélectionne quelle colonne ou quel groupe de colonnes est traité à un moment donné. Ensuite, il somme les sorties des colonnes et divise celles-ci en fonction de la résolution de l'image choisie. Cette dernière opération permet de maintenir le signal transmis au circuit de réduction du FPN à l'intérieur d'une plage raisonnable, afin d'éviter que les transistors ne soient saturés en courant, même lorsque les sorties sont sommées. Sans cette opération, la plage dynamique du signal de sortie de chaque cellule photosensible devrait être réduite selon la résolution, affectant ainsi à la baisse leur rapport signal à bruit.

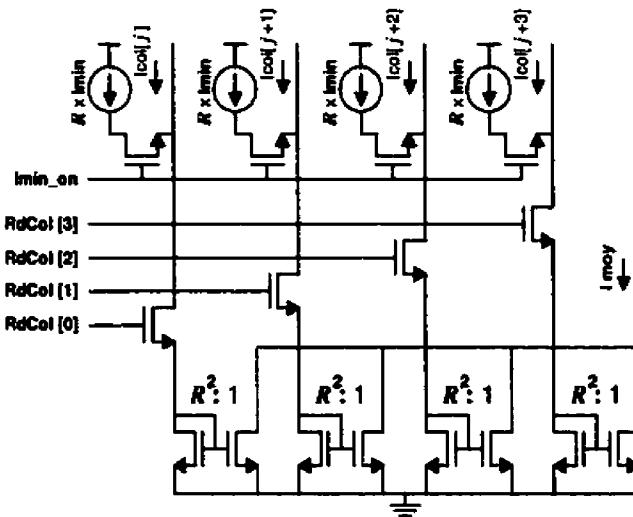


Figure 2.5 : Circuit de multiplexage et d'évaluation de la Valeur Moyenne de Pixels Adjacents

Quatre signaux de contrôle, $\text{RdCol}0$ à $\text{RdCol}3$, permettent ou non au courant de circuler de la cellule photosensible vers le reste du circuit. Une, deux ou quatre colonnes sont actives à la fois. De manière à évaluer une ligne complète, le mot $\text{RdCol}[3..0]$ passe par quatre états (0001, 0010, 0100 et 1000) lorsque la résolution est maximale, deux états (0011, 1100) lorsque les regroupements de pixels est de 2×2 et tous les bits sont actifs lorsque la résolution est de 4×4 .

Chaque colonne possède un miroir de courant au ratio variable dont le gain est $1/R^2$, où R représente la résolution de l'image (les regroupements de pixels sont de taille $R \times R$, avec $R \in \{1,2,4\}$). Une source de courant de polarisation est ajoutée avant chaque miroir de manière à assurer que ces derniers n'opèrent jamais en région de faible inversion, ce qui introduirait une erreur significative lorsque le courant de sortie des photocellules est faible [10,24,32]. Un signal de contrôle, Imin_on , permet d'éteindre cette source sur demande afin de permettre le bon fonctionnement du circuit de réduction du FPN, comme il sera mentionné à la section 2.3.5.

Donc, d'après la Figure 2.5, on constate que le courant de sortie, I_{moy} , est

$$I_{moy} = \frac{1}{R^2} \sum_{n=0}^{R-1} I_{Col}[j+n] + I_{min_on} \times (I_{min}) \quad (1.1)$$

où

$$I_{Col} = \sum_{n=0}^{R-1} I_{pxl}[i+n] \quad (1.2)$$

ce qui représente précisément la moyenne des courants de chaque pixel, additionné d'un décalage pouvant être nul ou la somme des courants de polarisation, selon le signal de contrôle I_{min_on} .

Il est à noter que chaque miroir est de type cascode à large course, de manière à minimiser l'effet de l'impédance finie des transistors, tout en permettant une tension d'alimentation faible.

2.3.5 Circuit de réduction du FPN

Tel que présenté à la section 1.5, un circuit de réduction du FPN régulièrement utilisé comprend deux mémoires analogiques permettant d'effectuer un double échantillonnage corrélé (CDS) où l'on compare, pour chaque pixel, les signaux de sortie après l'intégration et après une réinitialisation. En mode courant, la différence entre les deux signaux ($I_{diff} = I_{rst} - I_{sig}$) représente la mesure de l'intensité lumineuse qui expose la cellule photosensible.

Cette méthode réduit l'erreur de décalage et permet d'éliminer pratiquement le FPN pour des images de faible intensité lumineuse. Cependant, le CDS entraîne d'importantes erreurs à forte intensité dues aux disparités de gain entre les pixels. Cette constatation est représentée à la Figure 2.6 à l'aide de simulations où sont présentés les signaux de sortie de deux pixels dans lesquels le rapport de forme de l'amplificateur de transconductance (W/L de $M2$, Figure 2.4) est sensiblement différent. Il est à noter que ces erreurs de gain

peuvent être issues de disparités au niveau de la transconductance de l'amplificateur de la cellule photosensible elle-même, mais peuvent aussi être causées par des différences de gains au niveau du circuit et de l'évaluation de la VMPA. Les conséquences des disparités des deux gains linéaires sont identiques et indissociables, alors l'analyse qui suit est valable pour réduire le FPN provenant des deux sources potentielles.

Il est aussi à noter que d'autres facteurs sont également sources de FPN. Mentionnons notamment les disparités entre l'aire des photodiodes et l'injection de charge causée par les commutateurs de réinitialisation et d'obturation (*M1* et *M4*). Néanmoins, considérant que pour un bon facteur de remplissage, l'amplificateur de transconductance doit être petit face à la diode, le bruit introduit par les différences de gain de transconductance constitue une part importante du bruit total. Ainsi, même si certains effets ne sont pas spécifiquement considérés, la compensation linéaire qui fait l'objet de la présente section devrait permettre d'améliorer substantiellement les performances du capteur.

La Figure 2.6 montre que, même si les performances du CDS sont bonnes pour des images sombres, tel qu'indiqué par une bonne similarité des lectures différentielles pour les deux pixels lorsque le photocourant est faible ($I_{diff11} \approx I_{diff21}$), les différences de gain mènent à d'importantes erreurs pour des images claires ($I_{diff12} > I_{diff22}$).

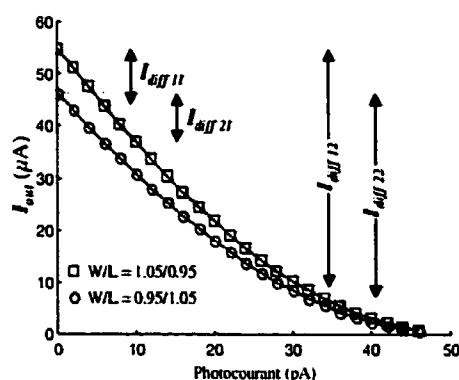


Figure 2.6 : Sorties de deux pixels aux gains différents

Il est cependant possible d'évaluer l'intensité lumineuse d'une autre façon, beaucoup moins dépendante du gain de la cellule photosensible. Il s'agit de mesurer le ratio existant entre le courant de différence et le courant de référence pour chaque pixel ($(I_{rst} - I_{sig}) / I_{rst}$). Ce calcul peut être exécuté aisément si l'on considère qu'une conversion effectuée par un CAN est en fait l'évaluation du rapport entre la valeur à convertir (I_{mes}) et une référence connue définissant la plage des valeurs possibles (Full Scale Range Current, I_{fsr}). Pour tout convertisseur, la sortie numérique est

$$OUT_{num} = (2^N - 1) \frac{I_{mes}}{I_{fsr}} \quad (1.3)$$

où N est la résolution de la conversion, en nombre de bits [41].

On peut donc utiliser le courant de réinitialisation de chaque pixel comme référence pour la conversion analogique à numérique ($I_{fsr}=I_{rst}$) du courant de différence ($I_{diff}=I_{rst}-I_{sig}$) et ainsi, par l'adaptation du gain de conversion pour chaque pixel, la sortie numérique nous procurera un signal débarrassé de son erreur de gain.

La Figure 2.7 illustre graphiquement les conversions des signaux lumineux à analogiques, puis analogiques à numériques, telles qu'appliquées aux deux pixels de la

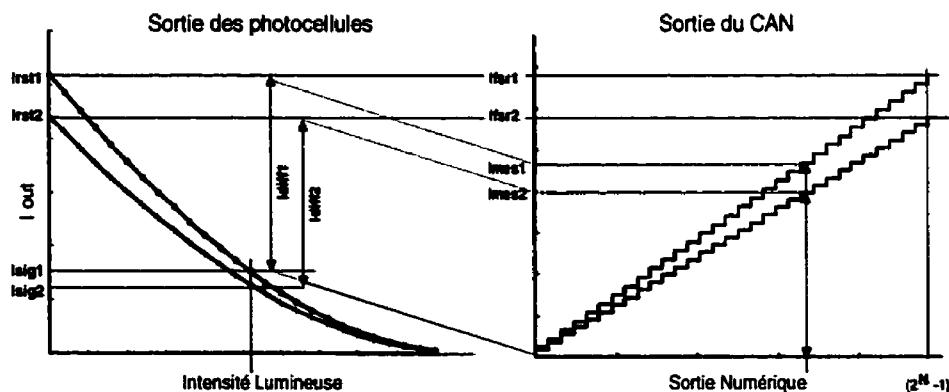


Figure 2.7 : Conversions du signal Lumineux à Analogique à Numérique

Figure 2.6. Bien que le courant de différence I_{diff} soit différent pour les deux pixels, leur sortie du système est la même sous la même luminosité incidente. En aucun cas la valeur absolue du courant à la sortie du pixel n'est évaluée quantitativement, mais les sorties numériques de chacun des pixels correspondent entre elles pour une intensité lumineuse donnée.

Le circuit suivant permet de mesurer le courant de sortie de chaque pixel sur une échelle qui lui est propre, tout en conservant une complexité minimale, comparable au plus simple des circuits de CDS en mode courant [27]. Le circuit comprend deux mémoires de courant (**MC1** et **MC2**) et quatre commutateurs. Chaque mémoire est de type cascode, de manière à minimiser l'effet de l'impédance de sortie finie des transistors, et possède des commutateurs bidons (« dummy switches ») [15] pour réduire l'effet d'injection de charge dans les condensateurs de mémorisation. Une tension de polarisation V_{cascp} permet d'utiliser une configuration à large bande dynamique et une tension d'alimentation très faible. Le miroir de courant

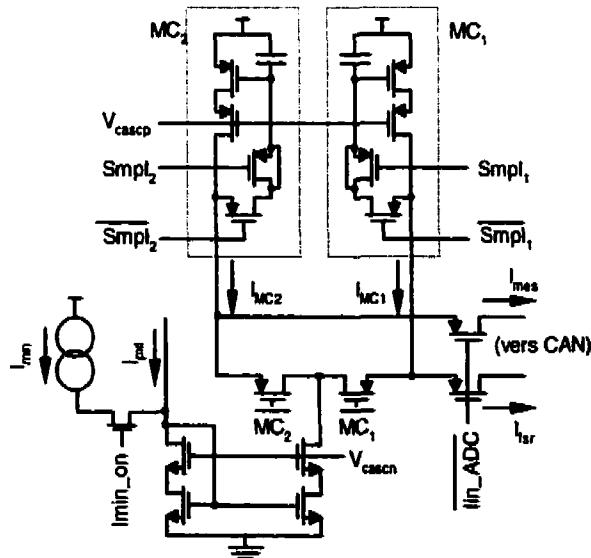


Figure 2.8 : Circuit de réduction du FPN

ainsi que la source de courant additionnels représentent le circuit de multiplexage et d'évaluation de la VMPA décrit à la section 2.3.4.

Les étapes permettant la réduction du FPN associé au gain de transconductance sont illustrées à l'aide de schémas simplifiés à la Figure 2.9. Dans un premier temps (a), suite à l'intégration lumineuse, le courant de sortie du pixel ou du groupe de pixels I_{sig} , auquel s'ajoute le courant de biais I_{min} , est mémorisé dans une première mémoire de courant. La cellule est ensuite réinitialisée en activant le transistor $M1$ de la cellule (c.f : Figure 2.4) (b) et le nouveau courant de sortie, I_{rst} , est mémorisé dans la seconde mémoire de courant. Il s'agit ici du courant maximal que peut fournir la cellule photosensible. Par conséquent, le courant I_{min} n'est pas nécessaire pour garder les transistors du miroir en inversion forte. Elle est donc inactivée et seulement le courant I_{rst} est mémorisé. Finalement, les commutateurs sont configurés tel que schématisé en (c) et le courant de polarisation est réactivé alors que le courant de reset continue de circuler dans le miroir.

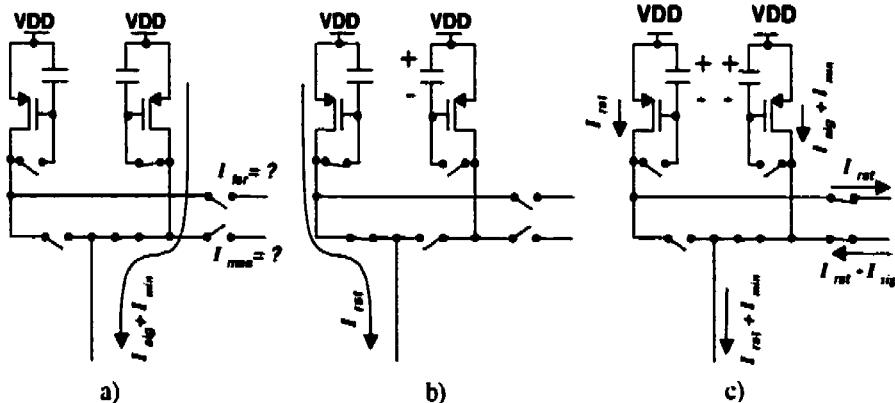


Figure 2.9 : Utilisation du circuit de réduction du FPN

Les courants de sorties transmis au CAN sont alors

$$I_{fsr} = I_{rst} \quad (1.4)$$

et

$$I_{mes} = (I_{rst} + I_{min}) - (I_{sig} + I_{min}) = I_{rst} - I_{sig}, \quad (1.5)$$

ce qui représente exactement les courants de référence et de différence qui nous intéressent. Il est à noter que le premier est dirigé vers le convertisseur, alors que le second est drainé par le circuit réducteur de FPN. Il est aussi important de souligner qu'il s'agit du même courant I_{min} , provenant de la même source, qui est ajouté et soustrait. Par conséquent, aucun FPN de colonne n'est induit par ce processus, tant que l'impédance de sortie de la source est élevée.

2.3.6 Convertisseur Analogique à Numérique

La décision concernant le type de convertisseur à utiliser est de première importance. L'architecture parallèle du système fait en sorte que la contrainte relative au taux de conversion que doit présenter le CAN n'est pas une considération majeure. Néanmoins, sa consommation et sa taille doivent être minimisées puisqu'en utilisation normale, un bon nombre d'entre eux fonctionnent simultanément. Par ailleurs, la qualité d'image requise par l'application pour laquelle le capteur est principalement conçu fait en sorte que sa précision peut être quelque peu négligée.

Le type de convertisseur répondant le plus adéquatement aux caractéristiques désirées est le convertisseur algorithmique cyclique schématisé à la Figure 2.10 [26]. Le principe est similaire à un convertisseur pipeline, mais dans le CAN algorithmique, une seule cellule de conversion est utilisée à répétition pour atteindre la précision désirée [15]. Après

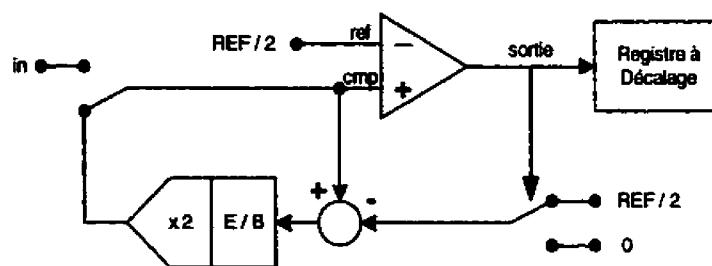


Figure 2.10 : Convertisseur Algorithmique-Cyclique

l'évaluation de chaque bit, qui consiste en sa comparaison avec une référence fixe, le résidu est temporairement mémorisé, doublé et renvoyé à l'entrée du même comparateur.

L'organigramme de la Figure 2.11 résume le processus de conversion utilisé par le CAN algorithmique .

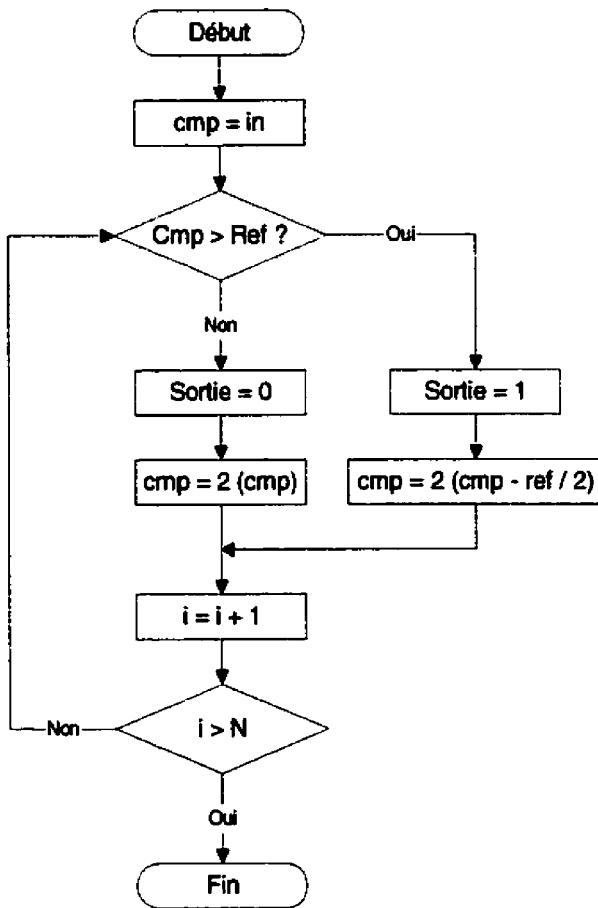


Figure 2.11 : Organigramme de conversion

Un circuit très compact permettant de réaliser ce type de conversion en n'utilisant que des signaux en mode courant est proposé et schématisé de façon conceptuelle à la Figure 2.12. Il est à noter que le sens de chacun des courants d'entrées a été choisi adéquatement en fonction du circuit de réduction du FPN. Du point de vue du convertisseur, le courant mesuré (I_{mes}) est sortant et celui de la référence (I_{fcr}) est entrant.

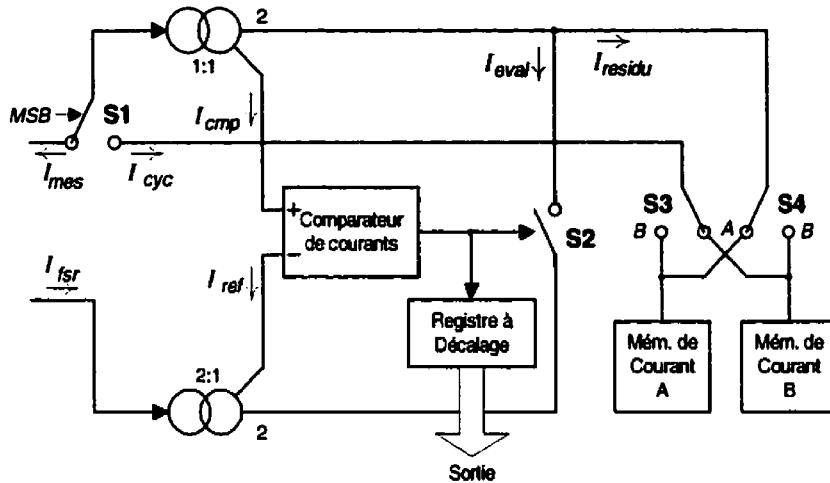


Figure 2.12 : Convertisseur Algorithmique-Cyclique en mode courant

Lors de l'évaluation du bit le plus significatif, les commutateurs $S1$, $S3$ et $S4$ sont configurés tel que schématisé. Le courant I_{mes} est alors comparé à la moitié de la plage maximale de courant en entrée ($I_{fsr}/2$) via les copies de courant I_{cmp} et I_{ref} . Si le courant I_{cmp} est inférieur à I_{ref} , la sortie numérique est '0' et l'interrupteur $S2$ est ouvert, alors $I_{eval}=0$. Par conséquent, le courant de résidu, I_{residu} , est simplement le double du courant I_{mes} . Ce courant est alors mémorisé dans la mémoire de courant A . Si le résultat de la comparaison est '1', $S2$ se ferme, alors I_{residu} est le double de I_{mes} , auquel I_{eval} est soustrait, soit le courant I_{fsr} .

Pour l'évaluation du bit suivant, les commutateurs $S1$, $S3$ et $S4$ changent d'état. Le signal comparé à la référence I_{ref} est alors égal à I_{cyc} , soit le courant mémorisé précédemment dans la mémoire analogique A qui agit à ce moment en tant que source. La valeur numérique est évaluée de façon identique à ce qui a été décrit précédemment. Il en est de même pour l'évaluation et la mémorisation du reste, à l'exception que ce dernier est stocké dans la mémoire B .

Le processus continue ensuite pour tous les autres bits, où les mémoires de courant **A** et **B** s'échangent à tour de rôle les tâches de source et de mémoire de courant. Uniquement les commutateurs **S3** et **S4** sont changés de position entre l'évaluation de chaque bit.

2.3.6.1 Comparateur de courants

La précision et la stabilité de la sortie sont des caractéristiques très importantes du comparateur pour obtenir une conversion adéquate. Un comparateur de base constitué de deux miroirs de courant et de deux inverseurs peut procurer une précision de conversion de plus de 8 bits si les miroirs sont de type cascode [10,27,43].

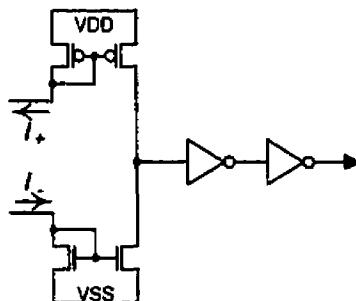


Figure 2.13 : Comparateur de courants de base

En mode courant, ce comparateur possède un relativement bon taux de rejet de l'alimentation grâce à la nature d'intégrateur du premier inverseur [26]. Malheureusement, lorsque la différence entre les courants d'entrées est très faible, la transition peut survenir après un temps relativement long, pendant ou tout juste avant que ne soit échantillonnée sa valeur en sortie. Bien que peu fréquente en temps normal, cette situation est inacceptable dans notre cas puisqu'elle peut provoquer un effet catastrophique sur la conversion lorsqu'elle se produit lors de l'évaluation d'un bit de poids fort.

En effet, une transition numérique à la sortie du comparateur entraîne des changements dans les courants **Ieval** et **Iresidu** du convertisseur. Un délai de stabilisation est alors nécessaire avant qu'ils n'atteignent une précision suffisante afin d'éviter que le reste de la

conversion ne soit corrompu. Il est donc nécessaire de stabiliser la sortie du comparateur avant et pendant la mémorisation du courant de résidu.

Chaque comparaison est donc divisée en deux phases : échantillonnage et blocage. Le résultat de la comparaison est directement propagé à la sortie pendant la phase d'échantillonnage. Toutefois, un « latch » (encadré pointillé à la Figure 2.14) est utilisé pour maintenir la sortie à un niveau stable après la période d'échantillonnage afin de mémoriser le courant de résidu avec précision. De manière à réduire la consommation, le courant à la sortie des miroirs est réduit à zéro pendant la période de blocage.

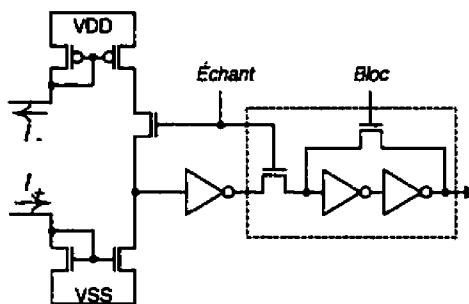


Figure 2.14 : Comparateur de courants Échantillonneur-Bloqueur

2.3.6.2 Convertisseur complet

La Figure 2.15 présente le schéma du convertisseur dans son ensemble. Le lecteur notera que certains éléments ont été ajoutés comparativement aux schémas des discussions précédentes. En effet, pour des transitions plus abruptes, deux inverseurs ont été ajoutés au comparateur (encadré pointillé) avant le « latch ». Aussi, à l'image de ce qui a été fait dans le cas du circuit et d'évaluation de la VMPA, de faibles sources de courant ont été ajoutées pour s'assurer que les miroirs n'opèrent pas dans la région de faible inversion, même lorsque le courant d'entrée est pratiquement nul. Afin de s'assurer que les courants injectés ne modifient en rien le résultat de la conversion, la source I_3 injecte un courant égal au total des courants des sources I_1 et I_2 qui, elles, sont égales.

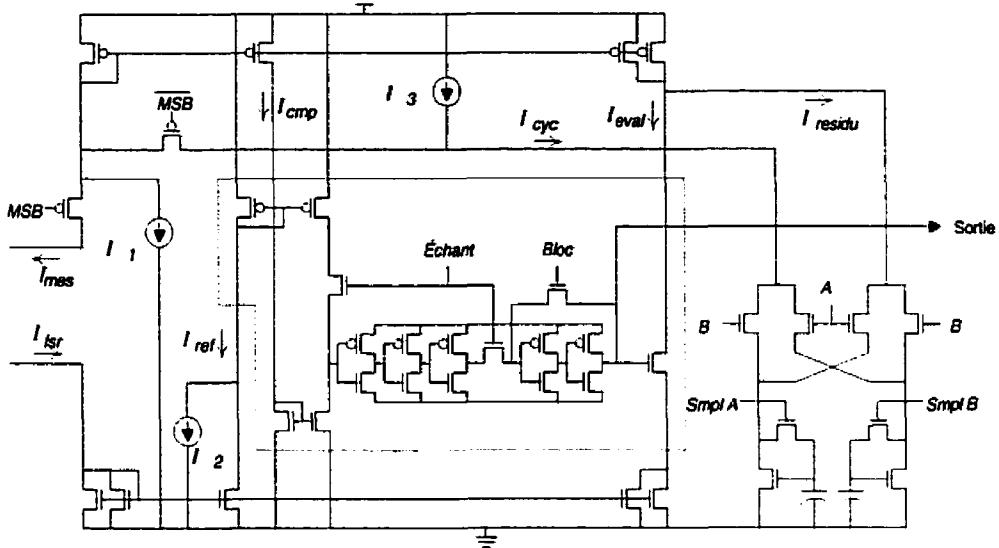


Figure 2.15 : Convertisseur Analogique-Numérique

Mentionnons que dans les faits, contrairement au schéma simplifié, tous les miroirs de courant sont en fait de type cascode à large course. Il en est de même pour les cellules de mémoires de courant, auxquelles des commutateurs bidimensionnels ont aussi été ajoutés pour réduire l'injection de charge.

2.3.7 Mémoire tampon

La mémoire tampon sert à emmagasiner provisoirement les valeurs de sortie des convertisseurs analogique/numérique jusqu'à ce qu'elles soient transférées vers l'extérieur. Chaque colonne de la matrice APS possède un octet qui lui est associé dans la mémoire tampon. Un total de 128 octets est donc accessible.

Le mode de transfert des données en entrée et en sortie est présenté à la Figure 2.16. Les bits de chaque mot sont entrés de manière serielle par les convertisseurs analogique/numérique, verticalement, jusqu'à 32 colonnes à la fois, soit un mot par groupe de quatre colonnes. Ensuite, toutes les valeurs emmagasinées ainsi dans le

tampon doivent être transférées vers le bus externe de données. Les octets sont transférés en série, mais leurs bits sont transférés en parallèle.

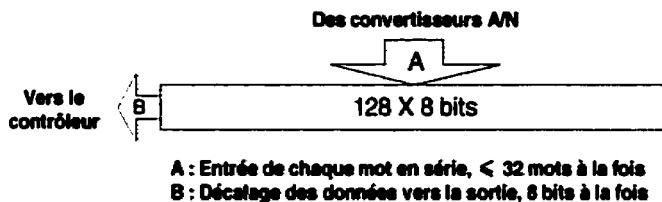


Figure 2.16 : Transfert des données dans la mémoire tampon

Les éléments de mémoire sont des registres à décalage dont l'entrée peut provenir de plus d'un endroit. La Figure 2.17 présente la structure d'un registre dont la donnée en entrée peut provenir d'une cellule adjacente située à sa droite ou au-dessus.

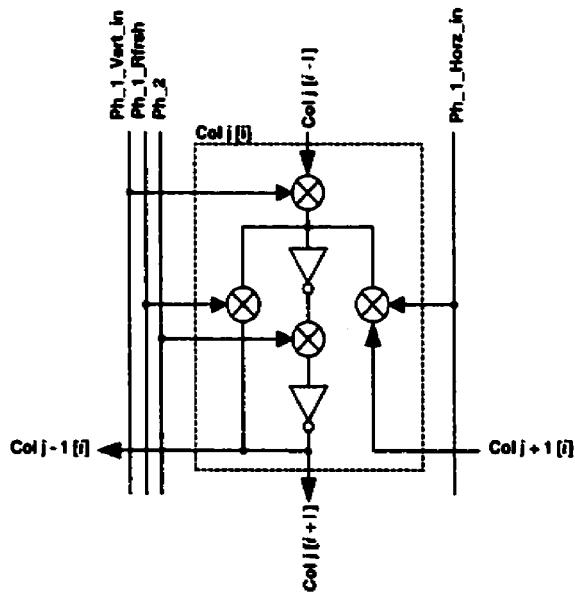


Figure 2.17 : Registre d'un bit de la mémoire tampon

La Figure 2.18 présente l'agencement de ces cellules et leurs signaux de contrôle formant la mémoire tampon. La sortie du CAN est présentée à l'entrée des quatre espaces mémoire à la fois. Néanmoins, le démultiplexage est exécuté simplement en actionnant les signaux appropriés ($Ph_1_vert_in_x$) lors du chargement de la mémoire tampon.

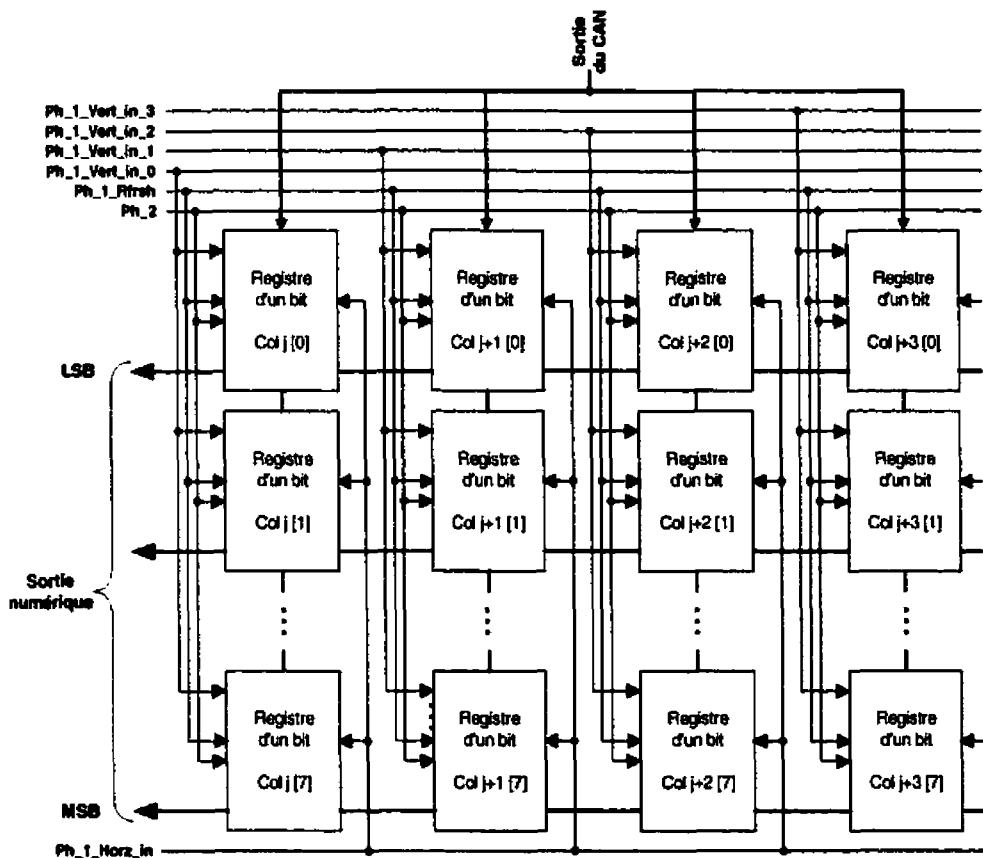


Figure 2.18 : Structure de la mémoire tampon

2.4 Conclusion

Ce chapitre a présenté les principaux éléments constituant une caméra intégrée dont la résolution, la taille et la position de l'image acquise peuvent être modifiées, ainsi que le temps utile d'exposition à la lumière de ses éléments photosensibles.

Le système proposé possède une architecture parallèle où les colonnes sont traitées par groupes de quatre. Le signal de sortie des photocellules est un courant dont l'amplitude est inversement proportionnelle à l'intensité de la lumière incidente. La moyenne des

sorties de pixels adjacents peut être évaluée instantanément lorsque la résolution est réduite, sans que le rapport signal à bruit en sortie n'en souffre.

Une technique simple de réduction du FPN permet d'améliorer la qualité de l'image acquise en compensant les disparités des circuits actifs dans les différentes cellules photosensibles. La modification de la plage de conversion en fonction de chaque pixel permet, contrairement à la technique conventionnelle de réduction FPN par double échantillonnage corrélé, d'éliminer les erreurs causées par le gain de transconductance et élimine le fait que l'erreur soit croissante avec l'intensité de la lumière incidente.

Un convertisseur compact et peu énergivore fonctionnant entièrement en mode courant termine la procédure d'acquisition de l'image et permet de transférer les sorties sous forme numérique. Un comparateur de courant à échantillonnage et blocage permet d'éviter que les conversions ne soient significativement corrompues et assure une erreur de conversion limitée.

CHAPITRE 3

SYSTÈME DE CARACTÉRISATION

3.1 Introduction

La conception des principaux blocs d'une caméra intégrée fonctionnant en mode courant et à résolution variable a été présentée au chapitre précédent. Cependant, certains détails relatifs à sa réalisation ont été omis.

Le présent chapitre traite, en premier lieu, de la réalisation d'un circuit fabriqué dans le but de vérifier et de valider les concepts et la fonctionnalité des modules présentés dans le chapitre précédent. Ce circuit diffère de ce qui a été présenté de par l'ajout de quelques caractéristiques rendant le test des modules analogiques possible, ainsi qu'une complexité un peu moindre. Ceci entraîne une réduction de certaines performances, néanmoins, aucune de ces modifications n'enlève totalement la fonctionnalité du capteur ou la possibilité d'évaluer, du moins qualitativement, la performance de chacun des modules.

Les différences par rapport au système du chapitre précédent, ainsi que les considérations pratiques omises jusqu'à maintenant, sont présentées module par module. Les principales considérations concernant le dessin des masques de fabrication sont ensuite présentées. Finalement, le système conçu afin d'opérer le capteur pour effectuer les différents tests est décrit, autant au niveau matériel qu'au niveau logiciel. Une attention particulière est posée sur le contrôleur programmable du système.

3.2 Capteur d'images de tests

Le capteur a été réalisé à partir des modules qui ont fait l'objet du chapitre précédent, en utilisant le procédé de fabrication CMOS 0.35 μm de la compagnie Taïwanaise TSMC. Le capteur de test est de dimensions réduites par rapport au système visé, sa matrice étant

composée de 64 lignes de 40 colonnes. Toutefois, des colonnes supplémentaires sont présentes afin de permettre de visualiser certains signaux intermédiaires sur le chemin du signal analogique. Ces éléments de tests seront détaillés dans la section 3.2.6.

Le circuit intégré testé est présenté en premier lieu. Seulement les différences et considérations supplémentaires par rapport au système du chapitre précédent sont présentées ici. Certains éléments supplémentaires aussi sont présentés, comme les éléments de contrôle numérique, de polarisation et ceux assurant la testabilité du système analogique. Les contraintes et considérations physiques relatives à la conception des masques de fabrication sont ensuite présentées pour chaque module.

3.2.1 Matrice de Cellules Photosensibles

Une certaine variété de cellules a été fabriquée et répartie à travers la matrice, présentant des gains de transconductance différents. Aussi, certaines cellules sont réduites à des cellules de base, en n'incluant pas d'obturateur électronique, de manière à assurer que des résultats puissent être tirés du circuit, advenant un effet gravement néfaste de l'obturateur sur les performances des photosenseurs.

Finalement, les transistors d'amplification de transconductance fournissent un signal de sortie d'une amplitude importante, afin que les courants puissent être lus facilement à l'aide de composants externes. Les plages des signaux de sortie des différentes cellules sont de l'ordre de plusieurs dizaines de micro-ampères.

3.2.2 Évaluation de la VMPA

Le circuit présenté à la section 2.3.4, permettant d'évaluer la VMPA des sorties de pixels avoisinants dans les cas où la résolution est réduite, n'a pas été réalisé tel quel. La forte amplitude des courants des photocellules de tests impose l'utilisation de transistors de taille plutôt importante tout au long du chemin du signal analogique. Un rapport de miroirs de courants de $1/R^2$, nécessitant jusqu'à 17 transistors par circuit d'évaluation de

la VMPA, aurait conduit à une surface considérable. Un rapport de I/R a plutôt été choisi, limitant le nombre de transistors à cinq.

Par conséquent, la plage du signal doit être réduite lorsque la résolution est diminuée. Ceci est fait en augmentant la tension de réinitialisation des cellules photosensibles, réduisant ainsi leur courant maximal. Ceci possède l'inconvénient de réduire le rapport signal/bruit du courant de sortie, mais ne compromet pas pour autant la vérification, tout au moins qualitative, de la fonctionnalité des circuits présentés au chapitre précédent.

Finalement, dans cette version de tests, les interrupteurs servant à permettre ou non au courant I_{min} de circuler n'ont pas été intégrées. Plutôt, le courant de référence des sources (section 3.2.5) est actionné ou interrompu, au besoin, de l'extérieur.

3.2.3 Réduction du FPN

Un seul circuit de réduction du FPN a été réalisé par groupe de quatre colonnes. Il est ainsi impossible de faire la réduction du FPN pour tous les 4 pixels lorsque la résolution est 1×1 ou 2×2 . En effet, lors de la lecture du premier pixel, celui-ci doit être réinitialisé pour le processus d'évaluation du courant I_{diff} . Tous les pixels d'une rangée étant activés par le même signal de réinitialisation, cette action détruit le signal d'intégration des autres pixels sur la même ligne avant qu'ils n'aient été lus. Il s'agit d'une erreur de conception de la première version du capteur.

3.2.4 Contrôle numérique

La génération des signaux de contrôle numérique par le contrôleur intégré est réduite au minimum. En laissant le contrôle à l'externe, on se réserve une certaine flexibilité pour effectuer des tests variés sur la matrice et ses composants. Les tâches qu'effectuent les circuits numériques inclus dans cette version se limitent à la synchronisation des entrées avec l'horloge externe, la génération des signaux d'horloges sans recouvrement requis

par les registres à décalage et la génération des signaux de contrôle de rangées. Ces derniers sont décrits avec plus de détail à la section 3.2.4.1.

3.2.4.1 Signaux de contrôle des rangées

Le rôle de ces circuits est de générer les signaux nécessaires à chaque ligne de la matrice afin de contrôler l'intégration lumineuse et leur balayage au cours de la lecture. Certaines de ces tâches doivent être faites en parallèle sur toutes les lignes de la fenêtre d'intérêt, alors que d'autres se déroulent en séquence. Aussi, le nombre de lignes actives simultanément au cours du balayage de la matrice pour la lecture est variable selon la résolution choisie.

Chacun des signaux de contrôle [**RST**, **SHUTT** et **RD**] est unique du point de vue de l'utilisateur, mais des signaux d'activation indiquent à quelle ligne de la matrice, ou à quel ensemble de lignes, les signaux de contrôle s'appliquent. L'activation des lignes consiste à contrôler la transparence d'un latch pour chaque signal de contrôle. Les signaux de contrôle des lignes qui ne sont pas activées conservent leur état à l'instant de la plus récente désactivation de leur ligne.

Une approche hybride entre le chargement série et le contrôle parallèle est adoptée pour les signaux d'activation de lignes. Un registre à décalage de 16 bits permet l'activation de groupes de quatre lignes (**GRP_EN**). À ceci s'ajoutent quatre signaux d'activation servant à discerner laquelle ou lesquelles de ces quatre lignes sont actives (**ROW_EN {3..0}**).

La Figure 3.1 présente le circuit de génération des signaux **RST** de contrôle pour un ensemble de quatre lignes de matrice. Il est à noter que chacun des signaux **ROW_EN** contrôle la transparence de 3 bascules sensibles aux niveaux (encadrées) par ligne, une pour chacun des signaux.

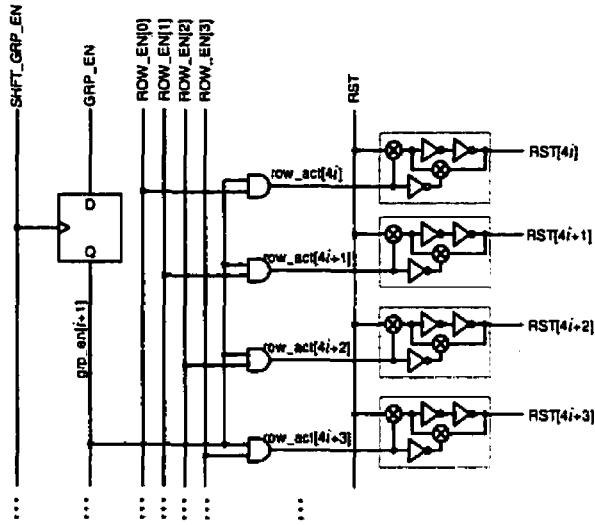


Figure 3.1 : Circuit de contrôle de 4 rangées

Afin d'exécuter les différentes étapes d'acquisition d'une image, on procède tel que schématisé à la Figure 3.2. Le chronogramme des signaux de contrôle globaux en entrée (**RST**, **SHUTT** et **RD**), ainsi que des signaux résultants (**RST[i]**, **SHUTT[i]** et **RD[i]**) associés aux premières lignes de la fenêtre active, accompagne les schémas blocs simplifiés du système. Les instants où sont échantillonnés le courant du signal résultant de l'intégration (**Isig**) et le courant de réinitialisation (**Irst**) pour la réduction du FPN sont aussi indiqués.

Dans cet exemple, les quatre premières et quatre dernières lignes de la matrice ne font pas partie de la fenêtre d'intérêt, qui est donc constituée de la cinquième à la soixantième ligne. Aussi, la résolution est de 2x2.

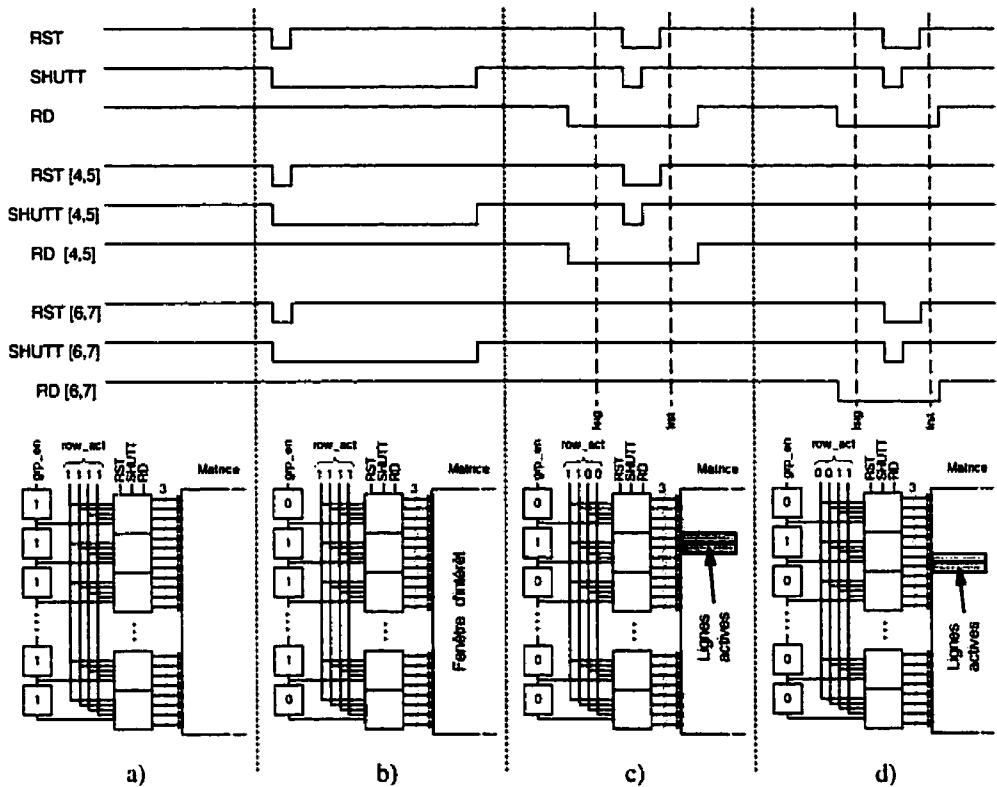


Figure 3.2 : Étapes d'acquisition d'une image

- a) Initialisation ; b) Intégration ;
- c) Lecture de la première ligne ; d) Lecture des lignes suivantes

Initialisation : à la mise sous tension et entre chaque acquisition d'image, toutes les lignes sont activées. Les signaux **RST**, **SHUTT** et **RD** sont maintenus à un niveau haut, de manière à ce que la matrice demeure au repos.

Intégration : pour une acquisition d'image, on désactive en un premier temps, au moyen du registre à décalage **GRP_EN**, les groupes de lignes de la matrice qui ne font pas partie de l'image d'intérêt. Les quatre signaux **ROW_ACT** étant actifs, l'intégration peut se faire en activant brièvement le signal d'initialisation (**RST**), puis en ouvrant l'obturateur (**SHUTT**) à la fin de la période. Ces événements sont appliqués simultanément sur toutes les lignes de l'image d'intérêt.

Lecture de la première ligne : on doit désactiver toutes les lignes de l'image, à l'exception de la première, en configurant de façon appropriée le registre à décalage ***GRP_EN***. Selon la résolution, un, deux ou quatre des signaux ***ROW_ACT*** sont alors actifs. Les signaux de lecture de rangée n'activent donc que la première ligne de l'image activée, comme en fait foi le chronogramme.

Lecture des lignes suivantes : si la résolution n'est pas minimale, les signaux ***ROW_EN*** sont modifiés pour activer la ligne suivante de l'image. Une fois les quatre lignes du groupe actif lues, l'horloge du registre à décalage (***SHFT_GRP_EN***) est actionnée afin d'activer le groupe de lignes suivant. Le cycle des signaux ***ROW_EN[3..0]*** recommence, jusqu'à ce que la lecture de la fenêtre complète soit terminée.

3.2.5 Polarisation des modules constituant le capteur

Tous les miroirs et toutes les mémoires de courants sont de type cascode à large débattement. Des tensions de polarisation, désignées ***Vcascp*** et ***Vcascn*** dans les figures du chapitre précédent, appliquées aux grilles des transistors cascodes sont alors nécessaires. Le circuit est polarisé à l'aide d'un courant généré à l'extérieur de la puce.

Une polarisation supplémentaire est aussi requise par les sources de courant minimal (***Imin***) insérées à différents endroits du circuit afin d'éviter que les miroirs ne fonctionnent en région de faible inversion. Il aurait été possible de générer ces signaux de polarisation à partir du même courant que celui utilisé pour la polarisation des transistors cascode ; toutefois, le fait d'utiliser une seconde source de polarisation, indépendante de la première, permet de varier en tout temps l'intensité du courant minimal sans que la polarisation des transistors cascode n'en soit affectée. Le circuit de polarisation est présenté à la Figure 3.3.

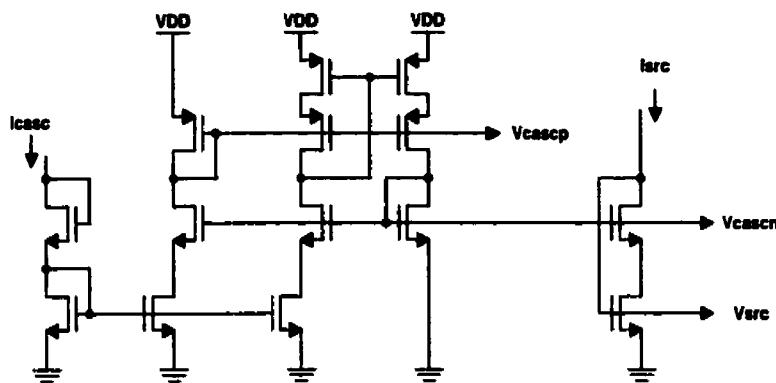


Figure 3.3 : Circuit de polarisation

Il est à noter qu'une seule tension de polarisation est générée, même si des sources N et P sont toutes deux nécessaires dans les circuits de traitement de colonnes. La tension V_{src} , appliquée à la grille de transistors N, permet de drainer un courant vers la masse (Figure 3.4). Les sources P présentes dans les différents modules sont en fait des copies locales du courant des sources N. Ceci permet d'assurer un meilleur appariement des sources de courant I_{min} N et P.

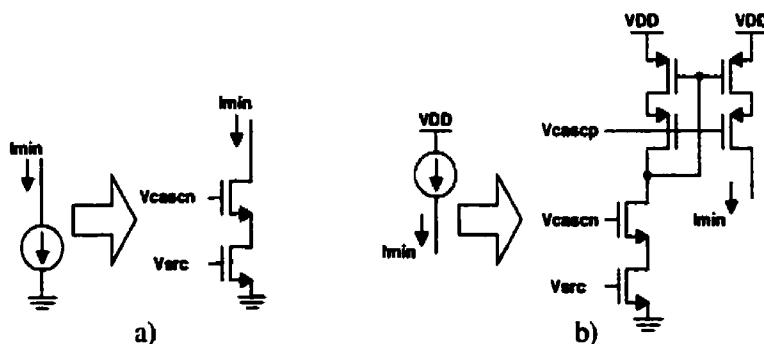


Figure 3.4 : Implémentation des sources a) N et b) P à partir d'une tension V_{src}

3.2.6 Testabilité

Le test d'un système analogique intégré comportant plusieurs blocs entre lesquels les interactions sont nombreuses est une tâche délicate. Afin d'éviter qu'un problème à un bloc fondamental n'empêche toute caractérisation de quelque élément que ce soit à un

niveau subséquent sur le chemin du signal, privant le capteur de tests de toute son utilité, quelques éléments indépendants sont ajoutés au circuit intégré. La Figure 3.5 présente la configuration du circuit de tests, avec ses principaux signaux d'entrées et de sorties. Les principaux éléments de tests ajoutés au système sont :

1 – Un pixel de chaque type est ajouté à l'extérieur de la matrice. Le courant de sortie de chacun est directement dirigée vers l'extérieur de la puce. Les signaux d'activation de ces pixels proviennent aussi directement de plots externes. Ceci a été ajouté afin de permettre d'évaluer tout au moins la réponse des pixels en fonction de la lumière incidente advenant un mauvais fonctionnement du système interne de contrôle de rangées. Aussi, pour la même raison, la sortie de quelques uns de ces pixels est présentée en entrée des circuits subséquents de traitement du signal de colonnes.

2 – Un CAN est fabriqué en retrait du circuit principal et ses entrées analogiques proviennent directement de plots externes. De cette manière, la caractérisation du CAN reste possible advenant un problème à n'importe quel endroit du chemin du signal analogique.

Ensuite, quatre groupes de colonnes supplémentaires sont ajoutés, chacun connecté à des sections plus ou moins complètes des circuits de traitement des colonnes dont les sorties sont présentées à l'extérieur de la puce. Ceci permet de visualiser les principaux courants intermédiaires sur le chemin du signal d'intérêt. Finalement, par souci de simplicité, la mémoire numérique tampon de ligne n'a pas été intégrée à ce premier système.

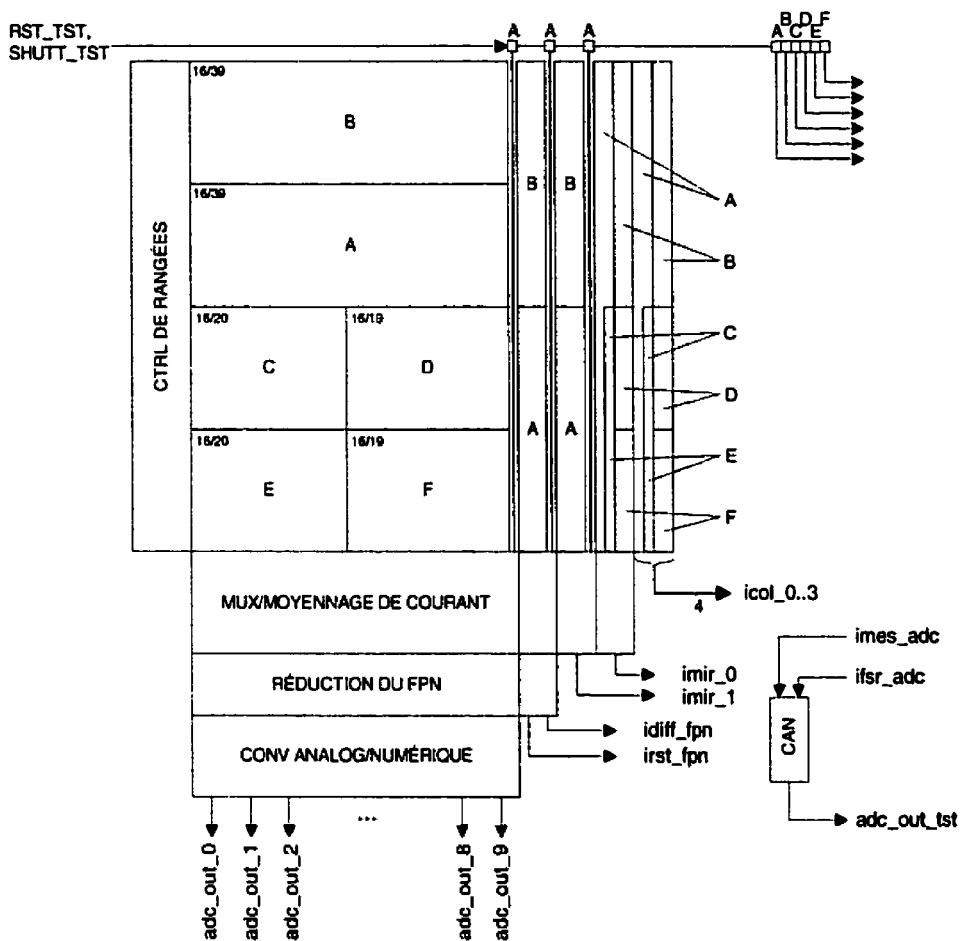


Figure 3.5 : Disposition des éléments et principaux signaux du capteur de tests

(A : W/L=1/1, avec obturateur ; B : W/L=1/1, sans obturateur ;
 C : W/L=2/1, avec obturateur ; D : W/L=2/1, sans obturateur ;
 E : W/L=.4/.8, avec obturateur ; F : W/L=.4/.8, sans obturateur)

3.2.7 Dessin des masques

3.2.7.1 Cellules photosensibles

La taille de chacun des pixels composant la matrice est de $12 \times 12 \mu\text{m}^2$. Le facteur de remplissage diffère quelque peu pour chaque type de cellule, mais se situe entre dans tous les cas autour de 35%. Notez que des fentes sont insérées au centre des zones les plus

grandes de la photodiode afin d'améliorer sa sensibilité à la lumière incidente. En effet, ceci a pour conséquence d'augmenter, pour une même aire à la surface du semiconducteur, le périmètre total de la zone de diffusion [51]. La surface de la jonction P-N ainsi que la zone de déplétion sont donc augmentées. Finalement, les zones actives qui ne doivent pas contribuer à l'accumulation de charges générées par l'interaction photonique sont protégées par une couche de métal du niveau supérieur. Ce même métal transmet d'ailleurs le signal de l'obturateur électronique **SHUTT**.

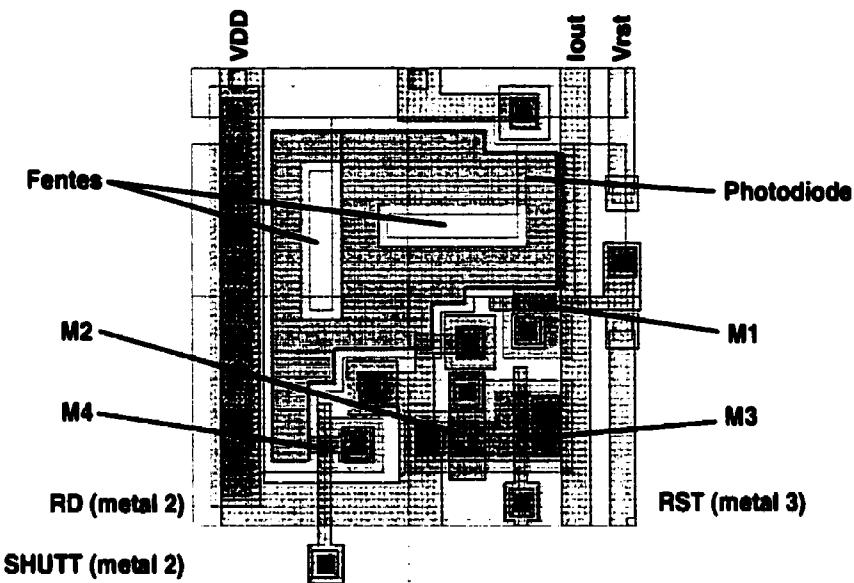


Figure 3.6 : Masques d'une cellule photosensible

3.2.7.2 Blocs de traitement du signal analogique de colonnes

L'aspect physique des circuits en périphérie de la matrice est contraint par la dimension des cellules photosensibles. Le parallélisme impose que les circuits de traitement du signal analogique ne se limitent en largeur qu'aux seules colonnes de la matrice qu'elles ont en entrée. Chaque bloc est donc limité à $48 \mu\text{m}$ en largeur. Dans cet espace doivent coexister le métal des signaux véhiculés, les transistors et condensateurs formant les circuits de traitement du signal, ainsi que les nombreux contacts au substrat entre chaque

section servant à immuniser les circuits au cross-talk entre colonnes par circulation de courant dans le substrat.

Pour assurer un bon appariement entre les transistors faisant partie de miroirs de courants, ceux-ci sont faits à partir de transistors élémentaires dont la largeur de la grille est de 10 μm et sa longueur est de 1.4 μm , soit 4 fois la taille minimale de la technologie. Les transistors de miroirs devant être appariés sont disposés selon une configuration où leur centroïde est commun, minimisant les effets de gradients de température et d'inégalités de concentration d'ions dans le semi-conducteur.

3.2.7.3 Contrôle de lignes

Les sections qui ont dû être dessinées à la main ne se limitent pas à celles qui véhiculent un signal analogique. Ceci est une conséquence du fait que le dessin des masques des blocs logiques doit aussi être étroitement relié à celui des cellules de la matrice. Les circuits relatifs à l'activation d'une ligne ne peuvent donc être plus larges que la hauteur d'une cellule, soit 12 μm . Cependant, la largeur des cellules standard disponibles pour ce circuit est d'environ 17 μm . Par conséquent, de nouvelles cellules, plus étroites, avec un facteur de forme différent, doivent être conçues.

Aussi, les signaux doivent activer un grand nombre de transistors. De larges tampons en série, dont le rapport de forme W/L est croissant au carré, sont insérés afin de maximiser la vitesse de transition des signaux de contrôle de lignes [37].

3.2.7.4 Alimentations

Deux alimentations distinctes sont utilisées, l'une pour les fonctions numériques, l'autre pour les circuits analogiques. Cette duplication des alimentations permet notamment de réduire la consommation en diminuant la tension d'alimentation des sections analogiques fonctionnant en mode courant, tout en maintenant la tension nominale de fonctionnement des circuits numériques de la librairie de cellules utilisée.

La duplication des alimentations a aussi pour but de minimiser le bruit de cross-talk des circuits numériques vers les sensibles sections analogiques. Cette tâche de séparation est toujours une tâche délicate pour les circuits mixtes, surtout lorsque des CAN sont utilisés, là où la frontière entre les deux domaines est difficile à définir.

Cependant, compte tenu du nombre déjà important de plots du circuit, quelques économies ont été faites à ce niveau. Premièrement, la masse est partagée par les deux alimentations et ensuite, du côté numérique, le même plot alimente le circuit interne et les plots eux-mêmes. Malheureusement, ces économies se sont avérées fort coûteuses en termes de fonctionnement. Il en sera question plus approfondie au chapitre suivant.

3.2.7.5 Aspect physique du circuit intégré complet

La Figure 3.7 présente en a) les principaux masques dessinés à la main du circuit intégré. Ses différentes sections sont identifiées en lien avec la Figure 3.5. Une photo du circuit

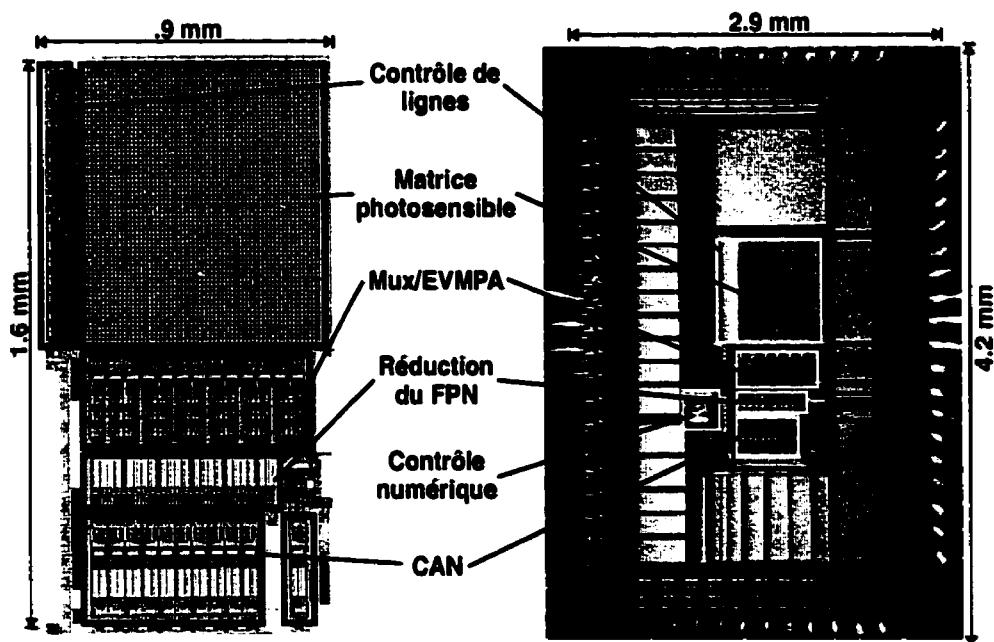


Figure 3.7 : Masques et photo du circuit intégré

intégré complet, incluant les circuits numériques placés automatiquement ainsi que les plots d'entrées et de sorties, est présentée en b).

3.3 Description du système de tests

En conséquence directe du fait que la complexité du système sous test ait été réduite au minimum pour une flexibilité de caractérisation maximale, le système de contrôle numérique externe doit être relativement élaboré. Il doit offrir une souplesse d'utilisation pour fonctionner dans différents modes de tests. Aussi, une interface analogique est nécessaire pour visualiser les signaux intermédiaires et de sorties.

Selon l'équipement disponible dans les laboratoires, quelques approches s'offrent à nous. Il est possible d'utiliser :

- un système de test numérique programmable, auquel une interface analogique d'acquisition peut être ajoutée;
- un système de test mixte programmable;
- un système dédié basé sur un ordinateur et un FPGA, auquel une interface analogique peut être ajoutée.

Les options sont présentées en ordre de complexité de conception. Cependant, même si l'on s'agit de l'approche la plus complexe, le système dédié a été retenu parce qu'en plus de permettre les tests, il joue un rôle important dans le développement du système final.

En effet, le système a été conçu de manière à ce que la majorité du code HDL interprété par le composant programmable puisse être synthétisé afin d'être éventuellement intégré dans la version finale de la caméra. Les éléments principaux de sa structure et les routines de communication avec l'ordinateur peuvent alors être parfaitement testées à l'aide de ce circuit reconfigurable, avant d'en faire une version intégrée. Il a donc été considéré que l'effort dépensé pour le développement du système de test dédié serait ainsi bien investi.

3.3.1 Installation matérielle

La Figure 3.8 présente le système de tests réalisé afin de caractériser le capteur d'images.

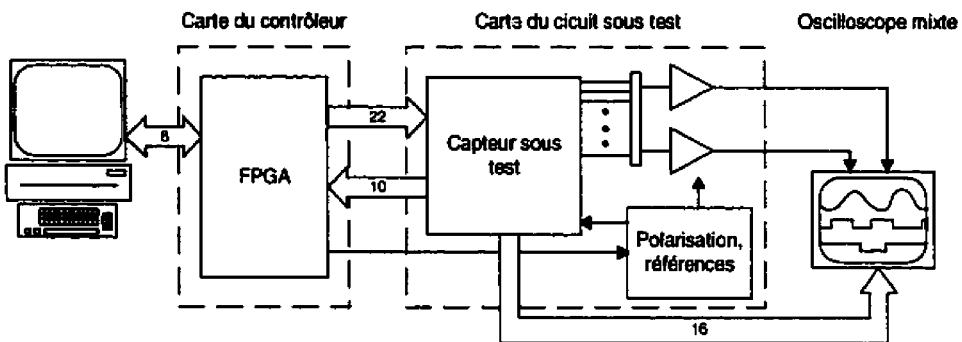


Figure 3.8 : Schéma bloc du système de tests

La pièce centrale du système est le contrôleur numérique réalisé sur un FPGA de type FLEX de la compagnie Altera. Le support matériel permettant d'interfacer le FPGA à ses périphériques est un circuit imprimé appartenant à notre équipe, PolySTIM.

Le contrôleur a pour rôle de permettre au circuit sous test d'exécuter les commandes dictées par l'opérateur. L'interface permettant d'entrer ces commandes et de constater des résultats numériques de tests est un logiciel conçu pour l'occasion et se retrouve sur ordinateur. Les instructions et données sont communiquées par l'ordinateur via le port parallèle. Un bus de données de 8 bits est donc disponible, auquel s'ajoutent quelques signaux de contrôle.

Le circuit sous test, quant à lui, se retrouve sur une autre carte sur laquelle s'ajoutent les circuits complémentaires nécessaires au bon déroulement des tests, notamment, des circuits de polarisation. Aussi, deux canaux analogiques munis d'amplificateurs de transrésistance permettant d'observer une tension à l'oscilloscope proportionnelle aux différents courants de sortie du capteur. Les courants de sortie peuvent être mesurés à une tension qui peut être fixée à n'importe quel niveau entre la masse et l'alimentation analogique. Ceci permet de minimiser l'effet sur le courant de sortie de l'impédance de

sortie finie des transistors d'amplification de transconductance des cellules photosensibles. Des cavaliers permettent de configurer la carte de tests rapidement selon les tests que l'utilisateur désire effectuer.

Finalement, les signaux de sortie sont observés au moyen d'un oscilloscope mixte à 2 canaux analogiques et 16 canaux numériques.

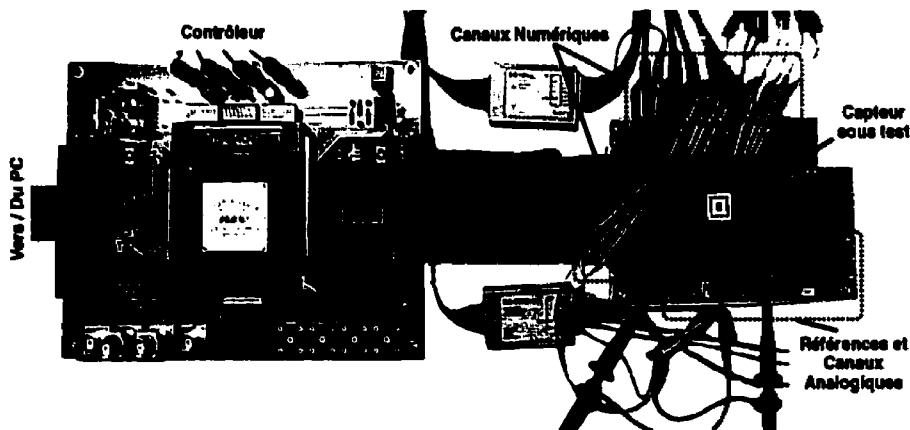


Figure 3.9 : Photographie du système de tests

Le lecteur notera qu'au moment d'écrire le présent mémoire, aucun élément optique permettant de focaliser une image réelle sur le plan du capteur n'est installé. Par conséquent, les stimuli lumineux se limitent à des patrons simples. Un éclairage uniforme ou dégradé a été principalement utilisé pour les premiers tests.

3.3.2 Logiciel du système de tests

Un logiciel permet la communication bidirectionnelle entre l'ordinateur et le contrôleur de tests en offrant une interface simple d'utilisation. La liste des instructions et des données à transmettre au contrôleur est fournie sous forme d'un fichier texte, alors que les données reçues peuvent être examinées sous deux formes, soient :

- un fichier texte présentant la liste des octets reçus sur le bus de données ;
- une image monochrome dont la résolution, en nombre de colonnes et de lignes, peut être spécifiée.

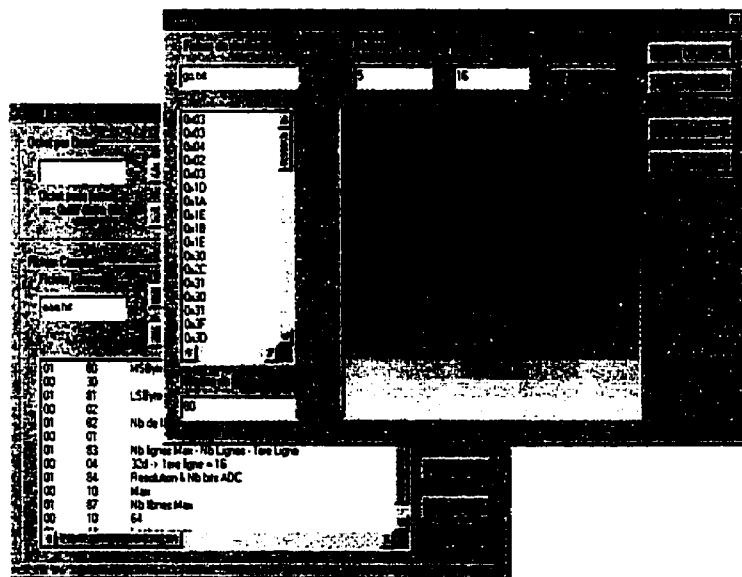


Figure 3.10 : Interface du logiciel de tests

3.3.3 Contrôleur du Capteur de Tests

Une description sommaire du contrôleur intégré dans le circuit programmable suit.

3.3.3.1 Protocole de communication

Les instructions et données sont communiquées de l'ordinateur via le port parallèle en mode Standard Parallel Port (SPP) bidirectionnel. Un bus de données de 8 bits est donc disponible, auquel s'ajoutent quelques signaux de contrôle. Le tableau suivant présente la définition des signaux impliqués dans le protocole de communication.

Tableau 3.1 : Signaux de communication entre le PC et le contrôleur de tests

Signal	Bits	Sens	Fonction
<i>Data</i>	8	PC↔FPGA	Bus de données
<i>Strobe</i>	1	PC→FPGA	Synchronise les opérations d'écriture et de lecture sur le bus de données
<i>Rd/Wr</i>	1	PC→FPGA	Indique si le transfert se fait du PC au contrôleur (Wr) ou en sens inverse (Rd)
<i>Cmd/Data</i>	1	PC→FPGA	Indique, dans le cas d'une écriture, si le bus de données contient une instruction ou des données
<i>Busy</i>	1	FPGA→PC	Indique que le contrôleur est en cours d'exécution d'une tâche et ne peut recevoir de donnée ou d'instruction.
<i>Valid</i>	1	FPGA→PC	Indique que la donnée sur le port peut être lue par le PC

3.3.3.2 Instructions du contrôleur

Deux types d'instructions existent : celles qui sont relatives aux paramètres de configuration de la matrice et celles qui ont un lien avec les instructions proprement dites du capteur. Les instructions permettent d'effectuer une capture d'image, mais certaines options peuvent être spécifiées de manière à pouvoir tester les différents modules de façon indépendante. La Figure 3.11 présente le contenu des mots d'instructions, alors que le Tableau 3.2 définit leurs champs.

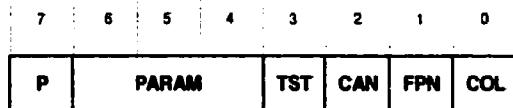


Figure 3.11 : Contenu des mots d'instructions du contrôleur

Tableau 3.2 : Description des champs des mots d'instructions

Champ	Description
P	Indique si l'instruction concerne la modification/ lecture d'un paramètre
PARAM	Adresse du paramètre à modifier/lire
TST	Indique si l'instruction s'applique aux éléments de tests indépendants ou à la matrice photosensible
CAN	Active la conversion analogique à numérique des données †‡
FPN	Active les opérations de réduction de FPN †
COL	Indique que les opérations se limitent à une seule colonne

† Si l'opération est désactivée lors d'une acquisition d'image, un délai est inséré de manière à permettre de visualiser les valeurs analogiques à l'aide de l'oscilloscope.

‡ Commande une conversion sans acquisition d'images lorsque **TST** = '1' afin de tester le convertisseur en retrait de la matrice.

3.3.3.3 Schéma bloc du contrôleur

La Figure 3.12 présente le schéma bloc du contrôleur. Les tâches du contrôleur consistent à gérer la communication avec l'utilisateur, à générer les signaux de contrôle pour le capteur et à transmettre les données reçues de ce dernier. L'unité centrale du contrôleur est un séquenceur qui coordonne les opérations avec l'utilisateur, le capteur et les unités internes. Une banque de registres (registres de paramètres) conserve les paramètres relatifs à l'acquisition d'image. Une unité incluant des compteurs et comparateurs (Unité de Balayage de la Matrice et de Chronométrage, UBMC) permet au séquenceur d'effectuer les différentes tâches de chronométrage et de balayage de la matrice en

fonction des paramètres courants. La mémoire tampon (Tampon) décrite à la section 2.3.7 est, dans le cas présent, implémentée dans le contrôleur. Un bus interne de données lie les unités entre elles ainsi que le port de communication avec l'utilisateur.

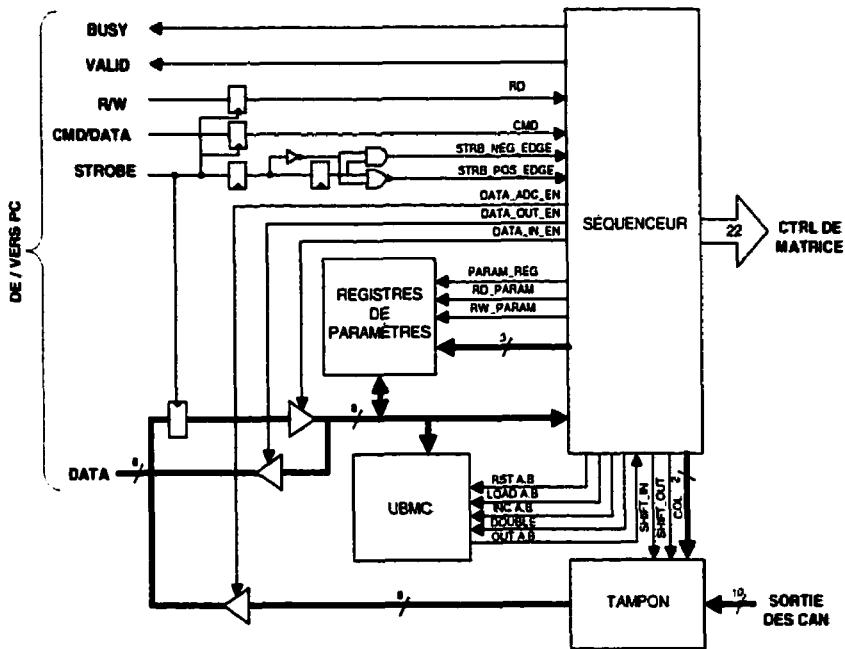


Figure 3.12 : Schéma bloc du contrôleur

3.3.3.4 Séquenceur

Le séquenceur est divisé en modules en fonction des tâches qu'il doit exécuter. Une brève description de ces modules se retrouve dans le Tableau 3.3.

Tableau 3.3 : Modules du séquenceur du contrôleur du système de tests

Module	Fonction
<i>Décodage</i>	Décode les instructions reçues du PC et transmet les commandes aux autres modules du séquenceur en fonction des options choisies par l'utilisateur
<i>Matrice</i>	Gère les opérations relatives à l'acquisition d'image en faisant appel aux autres modules
<i>Param</i>	Gère l'écriture des paramètres du bus de données vers la banque de registres ou en sens inverse
<i>Rangées</i>	Gère le remplissage des bits d'activation de lignes et la lecture séquentielle des lignes
<i>FPN</i>	Gère la procédure de réduction du bruit fixe
<i>CAN</i>	Gère la conversion analogique/numérique
<i>Tampon</i>	Gère le transfert des données des CAN parallèles à l'utilisateur externe

3.3.3.5 Registres de paramètres

Sept registres conservent les différents paramètres relatifs à l'acquisition d'image (Figure 3.13). La valeur de ces paramètres est déterminée par l'utilisateur dans un processus de configuration préalable à l'acquisition de l'image. Les données stockées peuvent être consultées par l'utilisateur afin de modifier les paramètres d'une acquisition subséquente en fonction des paramètres courants. La définition des registres est présentée dans le Tableau 3.4.

ADDR	7	6	5	4	3	2	1	0
0	0							NLI
1	0							NLBI
2	0							NCI
3	0							NCGI
4	0				RES CAN			RES MTX
5					T INT EG MSByte			
6					T INT EG LSByte			

Figure 3.13 : Contenu des registres de paramètres

Tableau 3.4 : Définition des registres de paramètres

Champ	Paramètre	# bits
NLI	Nombre de lignes / 4	5
NLBI	Nombre de lignes au bas de l'image / 4	5
NCI	Nombre de colonnes / 4	5
NCGI	Nombre de colonnes à gauche de l'image / 4	5
RES MTX	Résolution (0 = 1x1, 1 = 2x2, 3 = 4x4)	2
RES ADC	Résolution du CAN (0= 1 bit, 7 = 8bits)	3
TINT MSByte	Octet de poids fort du temps d'intégration	8
TINT LSByte	Octet de poids faible du temps d'intégration	8

La définition des paramètres, à défaut d'être intuitive, a été faite de telle sorte que les opérations du séquenceur soient simplifiées.

L'accès aux paramètres en écriture ou en lecture sur le bus de données (*data[7..0]*) peut être fait par un bus d'adresse (*ADDR_PARAM*), tel que fourni par l'utilisateur, ou par l'activation d'un signal propre à chaque registre (*PARAM_0* à *PARAM_7*) dans le cas où

le paramètre est requis par l'une des autres unités du contrôleur (Figure 3.12). Finalement, une constante relative au nombre de bits du registre à décalage d'activation de groupes de lignes (*GRP_EN*, section 3.2.4.1) est accessible.

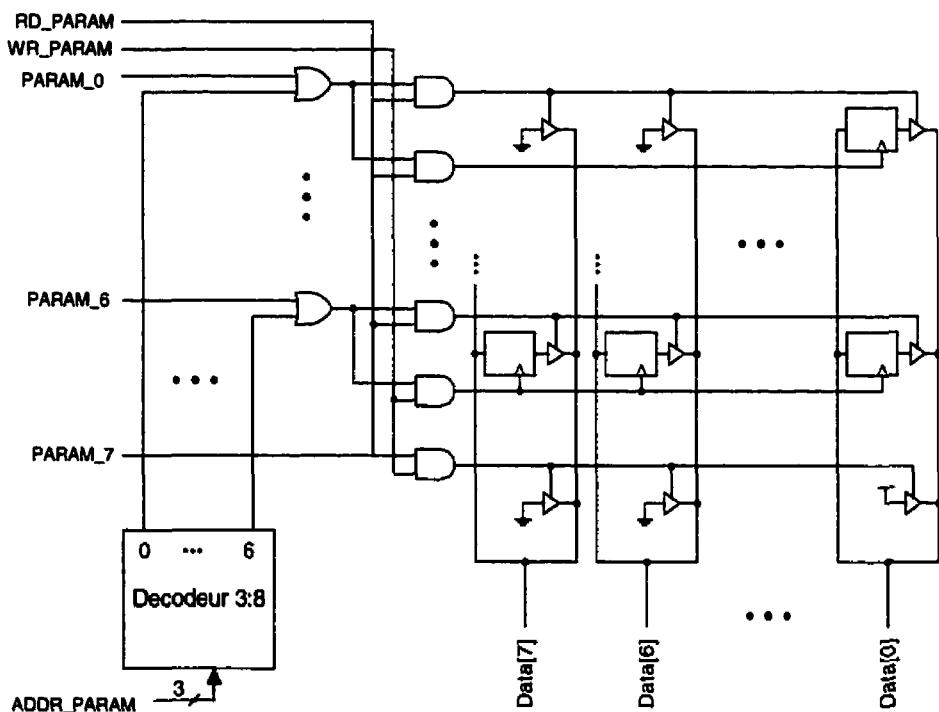


Figure 3.14 : Registres de paramètres

3.3.3.6 Unité de Balayage de la Matrice et de Chronométrage

La Figure 3.15 présente l'UBMC. Deux ensembles, comprenant un registre, un compteur et un comparateur, permettent d'effectuer les tâches de contrôle en fonction des paramètres spécifiés par l'utilisateur. Les ensembles, identifiés A et B, peuvent être utilisés indépendamment pour gérer deux paramètres simultanément lors d'une tâche donnée, par exemple la colonne et la ligne courantes au cours du balayage de la matrice pour la lecture des cellules. Aussi, ils peuvent être jumelés et ne former qu'un seul ensemble de 16 bits pour le chronométrage de longue durée nécessaire afin de contrôler le temps d'intégration.

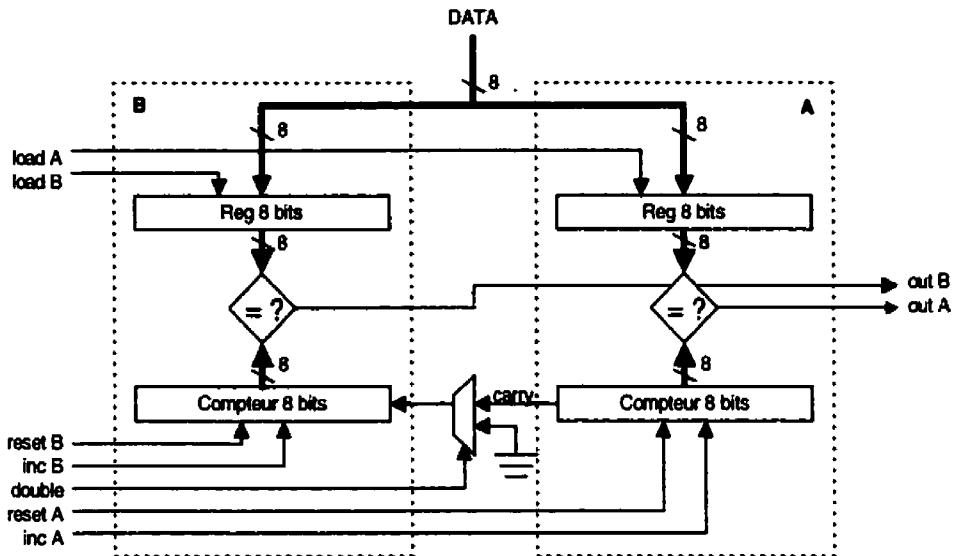


Figure 3.15 : Unité de balayage de la matrice et de chronométrage

3.4 Conclusion

Les considérations pratiques relatives à la réalisation du capteur d'images en technologie CMOS décrit dans le chapitre précédent ont été présentées dans celui-ci. Le capteur possède certaines particularités permettant d'effectuer divers tests afin d'évaluer la fonctionnalité des différents modules qui le composent. Notamment, différentes cellules composent la matrice, des éléments supplémentaires ainsi que plusieurs sorties analogiques intermédiaires ont été ajoutés afin de caractériser chacun des modules indépendamment.

Le contrôleur numérique permettant le bon fonctionnement du capteur d'images, implanté dans un circuit programmable FPGA, a été brièvement décrit. Il en est de même pour le système de mesures analogiques, ainsi que pour le logiciel permettant de commander les tests et de visualiser les résultats à partir d'un ordinateur.

CHAPITRE 4

EXPÉRIMENTATION ET ANALYSE

4.1 Introduction

La conception d'un système complexe est un processus nécessitant plusieurs itérations, où les raffinements successifs doivent se baser sur les conclusions tirées des observations des performances des versions précédentes. Plusieurs tests ont donc été conduits sur la puce présentée au chapitre précédent afin de prélever les points forts et faibles du design, de manière à déterminer les contraintes réelles sur les circuits d'acquisition.

Les principaux résultats sont présentés dans les sections suivantes. Les tests expérimentaux sont effectués à l'aide du système présenté au chapitre précédent, et toutes les simulations présentées sont conduites avec hspice sur des composants extraits du dessin des masques du circuit intégré.

Suite aux observations expérimentales, des modifications simples à apporter permettant d'améliorer sensiblement les performances du capteur sont proposées. Les contraintes à respecter dans la conception des nouveaux éléments du circuit sont présentées et des simulations montrent que les conditions peuvent être remplies avec les modifications proposées.

4.2 Résultats expérimentaux

4.2.1 Réponse à la lumière du capteur

La Figure 4.1 présente la réponse en sortie à une intensité lumineuse de deux photocellules, afin d'illustrer leur comportement dans le temps. Le signal de lecture **RD**

(c.f : Figure 2.4) est gardé activé en tout temps et la lecture s'effectue en continu au lieu de ne s'effectuer qu'après le temps d'intégration, comme lors de l'utilisation normale des photocellules. Les deux cellules ne diffèrent que par la présence ou non d'un obturateur électronique. C'est pourquoi leurs sorties se superposent pendant la période d'intégration (environ 4 ms), suite à laquelle une trace est maintenue à un niveau constant. Le courant de sortie de la deuxième trace continue alors à diminuer, témoignant du fait que la cellule continue à accumuler les charges générées par la lumière incidente. Il est à noter que la transrésistance des canaux de mesure a été fixée à $25\text{k}\Omega$. Ainsi, il est possible d'évaluer quantitativement le courant de sortie à partir de l'image générée par l'oscilloscope.

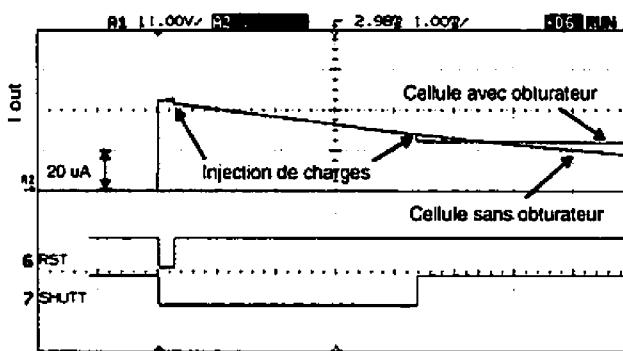


Figure 4.1 : Réponse temporelle à la lumière d'une photocellule

On constate des chutes abruptes des courants de sorties au début de l'intégration pour les deux cellules et à la fin de la période dans le cas du pixel avec obturateur. Ces phénomènes sont le résultat de l'injection de charges, résultat de la désactivation des transistors activés par les signaux **RST** et **SHUTT**, tel que mis en évidence sur la Figure 4.1.

La Figure 4.2 présente la caractéristique de sortie mesurée et simulée des différentes photocellules, ce qui permettra de définir leur plage dynamique intrascène. Mais avant, il convient de faire ressortir quelques points importants concernant les simulations de cellules photosensibles.

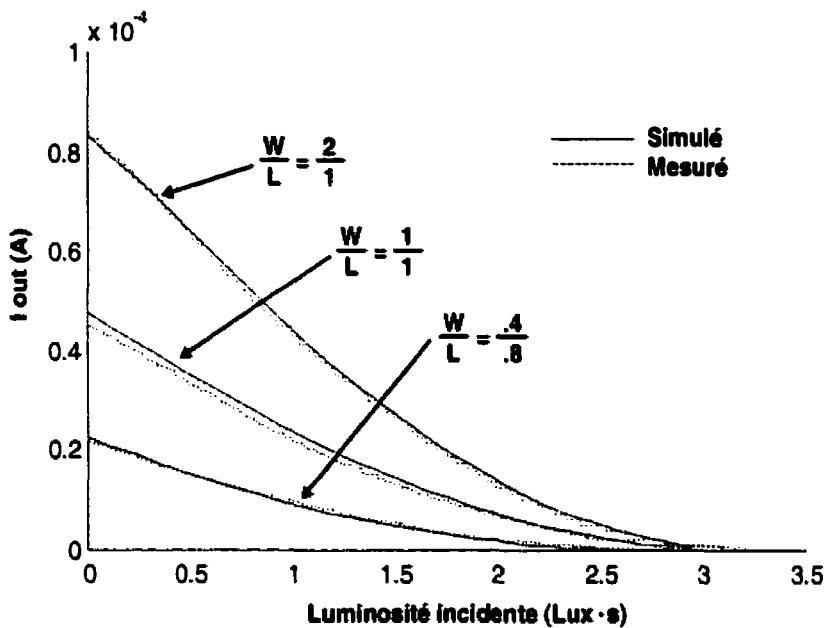


Figure 4.2 : Caractéristiques de sortie des photocellules

En simulation, il n'est pas possible de stimuler les cellules directement avec l'équivalent d'une source lumineuse. L'effet de l'interaction des photons avec les atomes du semi-conducteur est en fait modélisé à l'aide d'une source de courant idéale, tel que présenté à la Figure 4.2. La réponse du pixel à différentes intensités lumineuses est simulée en modifiant l'amplitude du courant I_{photo} . Bien qu'elle ne soit d'aucune façon utilisée pour ses caractéristiques photosensibles, la présence de la diode est nécessaire pour modéliser adéquatement la valeur capacitive d'intégration, qui est fortement dépendante de l'aspect physique de la diode, soit son aire et son périmètre. Le dessin des masques doit donc être fait avant-même d'effectuer les simulations à l'aide du schéma électrique, ce qui est contraire à la procédure de conception habituelle.

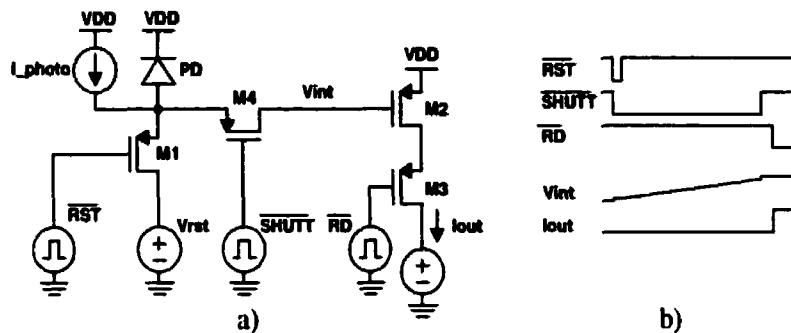


Figure 4.3 : a) Configuration et b) Signaux de stimulation et de sortie d'une cellule photosensible pour fins de simulation

Il faut noter également qu'une attention particulière doit être portée aux paramètres de simulation afin d'obtenir des résultats concordants avec le comportement réel des photocellules. En effet, les paramètres utilisés par défaut par les algorithmes de calcul de hspice ne sont pas adéquats pour traiter un circuit où le signal d'importance est un courant de l'amplitude du picoampère. En particulier, la valeur GSHUNT (défaut = 1×10^{-12}), soit la conductance placée entre la masse et chacun des nœuds du circuit pour faciliter la convergence des calculs, crée un courant de fuite à la grille du transistor d'amplification de transconductance de l'ordre du photocourant à faible luminosité incidente, ce qui corrompt les simulations. Aussi, la précision du courant minimal absolu indiquant que les calculs ont convergé vers une précision suffisamment grande doit aussi être diminuée. Les valeurs des paramètres utilisées pour les simulations sont présentées à l'Annexe B.

4.2.2 Plage dynamique optique

Les valeurs mesurées et présentées dans le Tableau 4.1 déterminent la plage dynamique optique intrascène de chaque pixel en supposant un système de lecture quasi linéaire d'une précision de 8 bits. Les seuils de détection et de saturation sont présentés autant en termes de lumière incidente qu'en termes du courant de sortie qui lui est associé. Cette dernière donnée permet de déterminer le seuil de bruit maximal admissible en vue

d'atteindre, pour un pixel dont l'amplificateur de transconductance a un rapport de forme W/L donné, la plage dynamique intrascène spécifiée dans le Tableau 4.1.

Tableau 4.1 : Mesure de la plage dynamique intrascène des photocellules avec 8 bits de résolution en sortie

W/L	@ Sortie = 255 LSB		@ Sortie = 1 LSB		Plage dynamique
	Lux · s	µA	Lux · s	µA	
.4/.75	0.0126	21.5 uA	3.069	0.084	49 dB
1/1	0.0114	44.7	3.215	0.173	46 dB
2/1	0.0177	81.8	3.312	0.321	45 dB

On constate que le rapport de forme de l'amplificateur de transconductance n'affecte pas significativement la plage dynamique optique. Toutefois, plus W/L diminue, plus le plancher de bruit doit être faible pour atteindre la résolution désirée.

Ces données fournissent la plage dynamique maximale des cellules dépourvues de l'obturateur électronique. Elles constituent donc la plage dynamique maximale qui peut être atteinte à la résolution spécifiée. En effet, à un niveau de bruit donné, l'injection de charge causée par l'obturateur affecte à la baisse la plage dynamique en diminuant le courant de sortie pour une même luminosité.

D'importantes conclusions peuvent être tirées quant à la plage dynamique optique interscène en explorant le comportement des photocellules dans différentes conditions d'éclairage. La plage dynamique interscène ne dépend pas de la résolution du circuit de lecture, mais de sa rapidité. En effet, la scène la plus sombre pouvant être acquise par le capteur à un taux de lecture d'image donné est directement déterminé par le temps maximal d'intégration qui, lui, est déterminé par le délai de lecture des données selon la

relation suivante

$$T_{int_max} = \frac{1}{FR} - TI \quad (4.1)$$

où FR (Frame Rate) est le taux de lecture d'une image et TI est le temps nécessaire pour la lecture des pixels, la réduction du FPN, la conversion analogique à numérique, ainsi que le transfert des données en sortie.

Pour une autre raison, on constate que la luminosité maximale d'une image acquise est aussi limitée par le temps de lecture et de traitement des données lorsqu'un obturateur électronique est utilisé. En effet, on constate que le temps de maintien de la tension à la grille de l'amplificateur de transconductance est limité et la valeur de sortie de la photocellule est complètement corrompue après quelques millisecondes dans des conditions de luminosité importante. Plusieurs phénomènes peuvent être à la source de cette constatation. La diode étant toujours exposée à la lumière, une tension se bâtit entre le drain et la source de l'obturateur après l'intégration. Son impédance finie peut permettre une fuite de la charge maintenue à la grille de l'amplificateur de transconductance, diminuant ainsi sa tension VGS et réduisant ainsi le courant de sortie. Aussi, la génération de porteurs en excès en profondeur dans le puits ou en bordure des éléments actifs de la photocellule dans les quelques zones non protégées par le métal de la couche supérieure peut avoir un effet semblable.

La Figure 4.4 présente la sortie d'une photocellule avec obturateur sous forte illumination afin d'illustrer ce phénomène. Dans cet exemple, si le temps requis pour réduire le FPN, convertir et transférer toutes les données en sortie est supérieur à 9 msec, la lecture de ce pixel sera totalement corrompue. Ce délai est d'autant plus court que l'intensité lumineuse est grande. Par conséquent, plusieurs pixels seraient corrompus en bien moins de 9 msec dans le cas de l'image à laquelle appartient la photocellule donnée en exemple. Afin d'assurer qu'aucun pixel de l'image ne soit corrompu, toutes les photocellules

doivent donc être lues immédiatement après la période d'intégration à laquelle elles sont soumises.

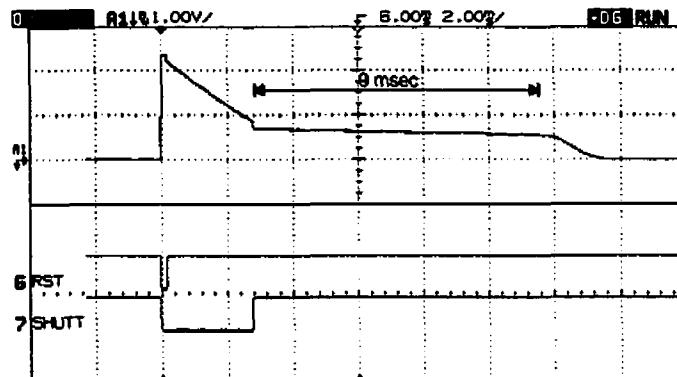


Figure 4.4 : Corruption du courant de sortie en mode maintient

4.2.3 Uniformité de la réponse

La Figure 4.5 présente les lectures successives de 56 pixels d'une même colonne soumis à une illumination uniforme. Afin de réduire le bruit de lecture, la moyenne de plusieurs acquisitions successives a été utilisée. Par conséquent, l'écart entre la sortie des différents pixels visibles sur l'image correspond au FPN sans compensation. La sortie a été mesurée à plusieurs intensités lumineuses et l'écart maximal mesuré entre toutes les combinaisons de paires de pixels à chaque luminosité incidente est de 5%

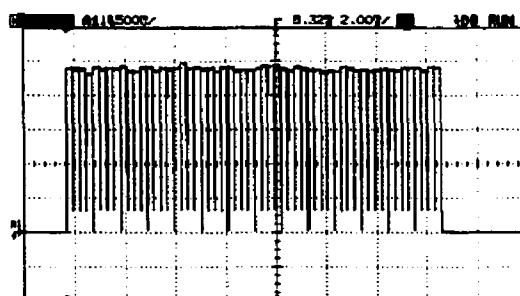


Figure 4.5 : Sortie directe de 56 pixels d'une colonne

4.2.4 Réduction du FPN

Pour fins d'illustration, la Figure 4.6 présente les sorties du circuit de réduction de FPN pour 12 pixels d'une colonne soumise à un éclairage uniforme. Il s'agit, en valeur absolue, des signaux I_{diff} et I_{rst} , fournis au CAN comme courant à mesurer et courant de référence (I_{mes} et I_{fsr}). On remarque une corrélation entre la non uniformité du signal de différence et celle du signal de réinitialisation, tel que déduit de la discussion de la section 2.3.5.

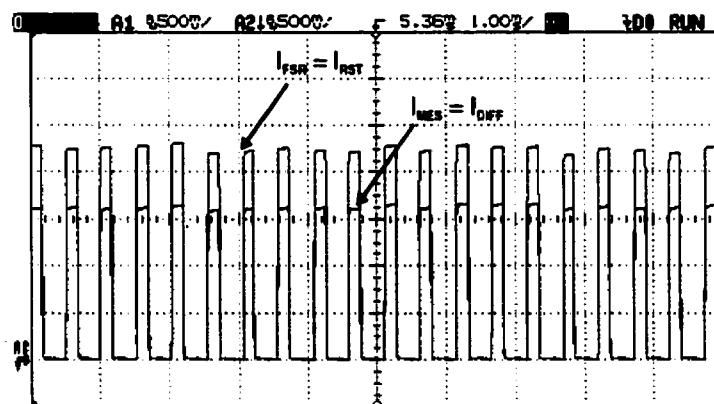


Figure 4.6 : Sorties du circuit réducteur de FPN

La méthode de réduction du FPN proposée est comparée au CDS conventionnel de la manière suivante. Le ratio I_{diff}/I_{fsr} est calculé pour chaque pixel à différents niveaux de lumière incidente. Ce rapport représente le code numérique à la sortie du capteur, mais exempt de tout bruit associé à la conversion analogique à numérique. Toutefois, dans un premier cas, le courant de référence I_{fsr} est connu et fixe, fournissant une mesure absolue de I_{diff} , correspondant au CDS conventionnel. Dans l'autre cas, le rapport est corrigé pour chaque pixel avec le courant de réinitialisation comme dénominateur. De façon à comparer des sorties semblables, le courant de référence fixe utilisé dans le cas du CDS conventionnel est la moyenne des courants de réinitialisation de tous les pixels.

Le Tableau 4.2 présente, pour chaque technique de réduction du FPN (I_{fsr} fixe et $I_{fsr} = I_{rst}$) et à quelques niveaux de lumière incidente :

- l'écart maximal entre le rapport I_{mes}/I_{fsr} de toutes les combinaisons de paires de pixels, en pourcentage de la plage de mesure ;
- l'amélioration relative qu'apporte l'ajustement de plage de conversion par rapport à l'utilisation d'une plage fixe, en pourcentage de l'erreur ou de la variance mesurée.

Tableau 4.2 : Erreur maximale du rapport I_{mes}/I_{ref} après réduction du FPN

I_{mes}/I_{fsr}	Erreur (% de I_{fsr} moyen) †		Amélioration
	I_{fsr} fixe	$I_{fsr} = I_{rst}$	
0.105	1.774	1.892	- 6.3 %
0.400	4.138	2.750	33.6 %
0.566	4.588	2.617	43.0 %
0.781	4.872	2.212	54.6 %
0.887	3.689	1.040	71.8 %

$$\dagger \text{Erreur : } \text{MAX} \left\{ \left| \frac{I_{mes,i}}{I_{fsr,i}} - \frac{I_{mes,j}}{I_{fsr,j}} \right| \right\}, \forall (i,j)$$

La comparaison de la méthode proposée avec la technique de CDS conventionnelle, dans les mêmes conditions puisque le même circuit et le même système de lecture sont utilisés, permet de tirer quelques conclusions pertinentes. On décèle trois comportements différents, dépendamment de l'intensité lumineuse incidente.

En premier lieu, le CDS à référence fixe présente de meilleurs résultats que la méthode proposée d'ajustement de référence à faible luminosité ($I_{mes}/I_{ref}=0.105$). En effet, tel que mentionné à la section 2.3.5, le CDS réduit efficacement l'erreur sur I_{mes} dans ces conditions. Par conséquent, les variations sur I_{fsr} qu'apporte la technique d'ajustement de la plage de conversion entraînent des variations plutôt qu'une correction sur le ratio I_{mes}/I_{fsr} . Toutefois, ceci n'est que très peu perceptible. En effet, puisque I_{mes} est faible, la différence entre les deux est inférieure à 0.12 % de l'échelle maximale, ce qui représente moins de 0.5 LSB à 8 bits.

Ensuite, une tendance importante est clairement visible : plus la luminosité augmente, plus l'erreur sur $Idiff$ est importante. On constate que l'ajustement de courant de référence procure une réduction substantielle des disparités entre pixels, prouvant l'efficacité de la méthode proposée par rapport au CDS conventionnel.

La tendance sur $Idiff$ n'est toutefois plus observée à très forte luminosité ; l'erreur tombe à un niveau plus faible. Le courant de signal, très faible dans ces conditions, se confond avec le bruit du circuit. Il ne s'agit donc pas d'une bonne performance des circuits de réduction de bruit, mais plutôt d'une perte de sensibilité sur le signal de sortie des pixels. L'ajout du courant de polarisation $Imin$, permettant de garder les miroirs en forte inversion, peut améliorer cette situation. Cependant, ceci n'a pas été appliqué lors de ces mesures afin de minimiser les effets décrits à la section 4.2.7.

En résumé, bien qu'elle ne permette pas d'éliminer le FPN complètement, la méthode de réduction du FPN par l'ajustement de la plage de conversion est clairement avantageuse par rapport au CDS conventionnel. On conserve un niveau d'erreur comparable ou significativement plus faible que ce que procure le CDS conventionnel sur toute la plage d'intensité lumineuse incidente et, tel qu'anticipé lors de la discussion de la section 2.3.5, l'avantage de l'ajustement de la plage de conversion augmente avec l'intensité lumineuse.

4.2.5 Évaluation de la VMPA

La Figure 4.7 illustre le fonctionnement adéquat du principe d'évaluation de la VMPA des sorties. Un gradient d'intensité lumineuse a été présenté à la surface de la colonne évaluée. Les trois parties de la Figure 4.7 présentent la sortie d'une colonne à différentes résolutions. Il est à noter, par le changement d'échelle temporelle, que la lecture de l'image s'effectue plus rapidement à résolution réduite, témoignant de l'évaluation de la

moyenne instantanée réalisée par le circuit.

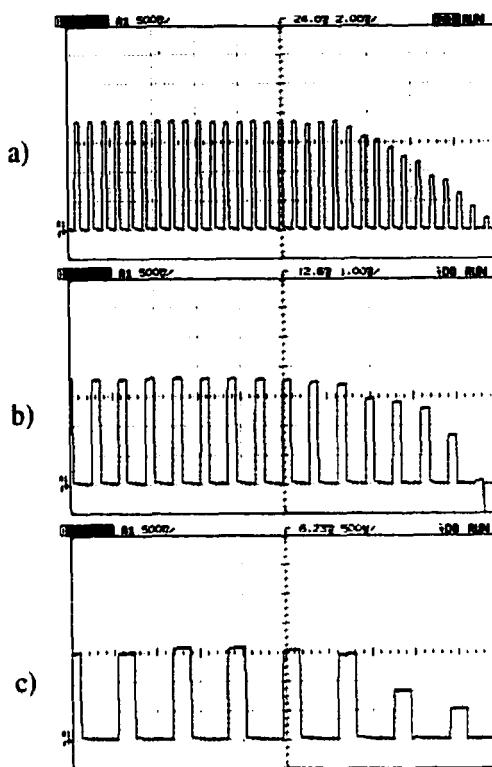


Figure 4.7 : Gradient d'intensité lumineuse aux résolutions a) 1×1 ; b) 2×2 ; c) 4×4

4.2.6 Performances du CAN

Dans le cas des CAN, les résultats expérimentaux diffèrent sensiblement de ceux de simulations. Les performances dans les deux cas sont alors présentées séparément.

4.2.6.1 Simulations du CAN

Le Tableau 4.3 présente la caractéristique de sortie du CAN à partir du dessin des masques utilisés pour la fabrication.

Tableau 4.3 : Performances simulées du CAN algorithmique

Caractéristique		Valeur
Tension d'alimentation	VDD	2.5 V
Plage d'entrée	I _{fsr}	60 μ A
Courant minimal de biais	I _{min}	15 μ A
Taux de conversion	F _{conv}	> 250 kÉch/s
Non-linéarité différentielle	NLD	< 0.7 LSB @ 7 bits
		< 1.4 LSB @ 8 bits
Non-linéarité intégrale	NLI	< 0.9 LSB @ 7 bits
		< 1.8 LSB @ 8 bits
Consommation	P _{max}	< 1 mW

Il est à noter que la consommation est fonction du signal d'entrée. Dans les conditions normales d'utilisation, il est improbable que chaque conversion mène à une consommation maximale. Pour la même raison, la consommation varie significativement en fonction de la photocellule choisie pour le circuit final.

Aussi, la consommation maximale présentée est celle consommée dans le cas où le CAN effectue des conversions de façon continue. Avec l'architecture parallèle dont il est question ici, les CAN ne sont utilisés que pour un maximum de quatre conversions par ligne de l'image et sont désactivés pendant le temps d'intégration. Par conséquent, la consommation réelle du circuit reliée aux convertisseurs est nettement inférieure au produit de la consommation d'un CAN indiquée au Tableau 4.3 et du nombre de convertisseurs.

Finalement, le lecteur notera que le taux de conversion utilisé pour les simulations ne constitue pas la limite supérieure que peut atteindre le convertisseur. Les délais entre les

différents signaux de contrôle ne sont pas optimaux, mais plutôt conformes à ceux générés par le contrôleur en pratique.

4.2.6.2 Résultats expérimentaux du CAN

La Figure 4.8 présente la caractéristique de sortie numérique de pixels dont le rapport de forme est $W/L=0.4/0.75$, telle que recueillie simultanément à la sortie de 4 convertisseurs différents. L'erreur maximale mesurée entre les sorties de 2 convertisseurs différents à même produit (intensité lumineuse) \times (temps d'intégration) se résume comme suit :

- Erreur $\leq \pm 6.25\%$ dans tous les cas (± 1 LSB @ 4 bits)
- Erreur $\leq \pm 3.13\%$ dans plus de 90 % des cas (± 1 LSB @ 5 bits)
- Erreur $\leq \pm 1.57\%$ dans près de 60 % des cas (± 1 LSB @ 6 bits)

On constate donc que l'imprécision de la conversion analogique à numérique provoque en sortie du système des variations entre les différents pixels soumis à une même intensité lumineuse plus significatives que celles associées à la sortie des photocellules, tel que mesuré à la section 4.2.4. La cause première de ceci provient des fortes oscillations que l'on retrouve sur les alimentations et la masse, dont les causes et conséquences sont discutées à la section 4.2.7. Ces oscillations expliquent les principales irrégularités, dont la plus significative est le palier observé à la valeur numérique de sortie 80_{10} .

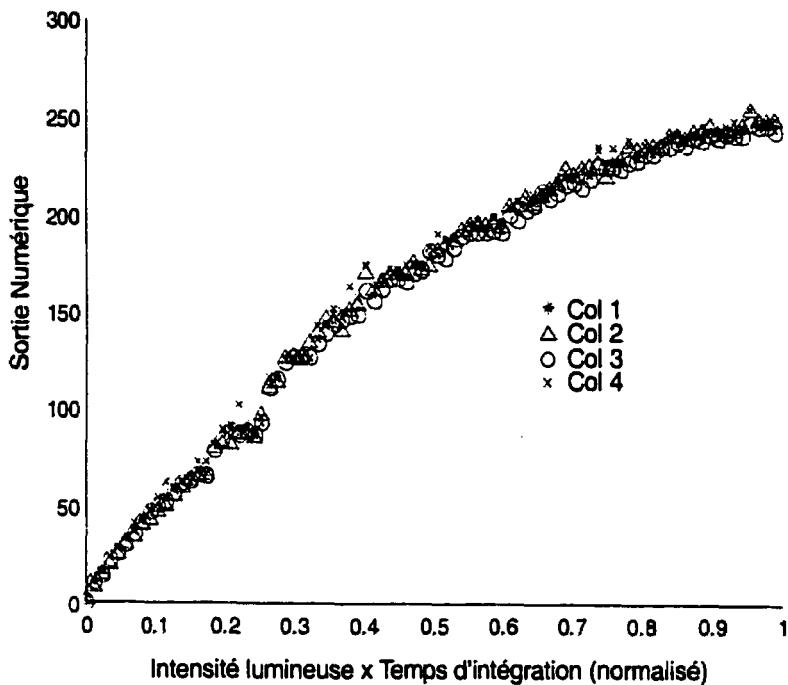


Figure 4.8 : Caractéristique de sortie numérique de 4 colonnes

La Figure 4.9 présente l'image, en tons de gris, correspondant aux sorties présentées à la Figure 4.8. Les 4 sorties de colonnes sont cependant présentées en lignes par souci de commodité.

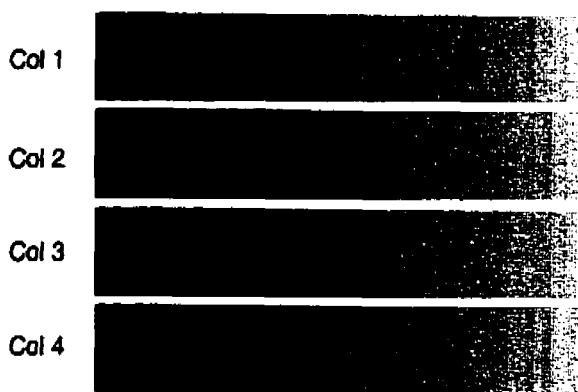


Figure 4.9 : Dégradé d'intensité de 4 colonnes

On constate que la relation de sortie du système n'est pas une fonction linéaire de l'intensité lumineuse en entrée. La variation de la sortie étant plus importante à faible qu'à forte luminosité incidente, on retrouve une concentration des tons intermédiaires de gris à gauche de la figure Figure 4.9, soit à relativement faible intensité lumineuse. Néanmoins, il ne s'agit pas d'un handicap important dans notre cas. En effet, l'utilisateur peut fixer le temps d'intégration de manière à ce que l'intensité lumineuse prédominante de l'image acquise soit inférieure à la moitié de l'intensité maximale. Le système sera alors capable d'un maximum de discernement des intensités de lumière semblables ou inférieures à l'intensité dominante de la scène, avec en revanche une plus faible distinction des intensités fortes. Ceci confère à la sortie du capteur un comportement qui se rapproche de celui de l'œil humain.

4.2.7 Principales sources du bruit de lecture

Une considération importante a été négligée lors de la fabrication et a pour effet de diminuer les performances du circuit de façon significative dans certaines conditions d'utilisation. Dans les faits, le nombre de plots par signal et par tension d'alimentation a été choisi en fonction de leur densité de courant maximale prévue et de celle recommandée selon les données relatives aux caractéristiques techniques de la technologie utilisée. Dans tous les cas, selon cette seule considération, un seul plot est suffisant par alimentation et par signal. Malheureusement, l'effet inductif des plots a été négligé.

Lorsque d'importantes transitions de courant surviennent, par exemple sur les alimentations, l'effet inductif des plots introduit du bruit dans le circuit, et ce, même avec un découplage des alimentations idéal à proximité du circuit. Si le courant n'est pas balancé entre les deux alimentations, la tension $VDD - VSS$ à l'intérieur est affectée. Dans le présent cas, c'est exactement ce qui se produit.

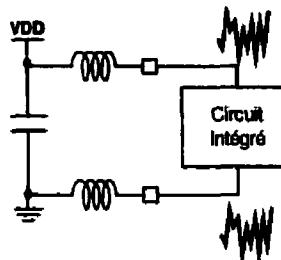


Figure 4.10 : Effet inductif des plots sur l'alimentation du circuit

En effet, bien que les alimentations analogique et numérique soient séparées, leur masse ne l'est pas. Elle est commune. Le courant que draine cette dernière n'est donc ni balancé avec celui fourni par l'alimentation analogique, ni avec celui de l'alimentation numérique.

Ce bruit n'a pas qu'un effet transitoire sur la précision du système et ne peut être éliminé simplement en laissant aux signaux un long temps de stabilisation avant leur échantillonnage. En effet, les différences entre les alimentations analogique et numérique peuvent fausser les valeurs maintenues dans les mémoires de courant et dans les pixels. Comme l'illustre la Figure 4.11, les variations entre V_{DD_N} et V_{DD_A} font varier la tension entre la grille et le substrat du transistor échantilleur-bloqueur permettant de garder V_1 indépendant de V_2 en mode maintient. Lorsque l'amplitude des variations causées par les transitions de courant est suffisante, l'impédance entre le drain et la source du

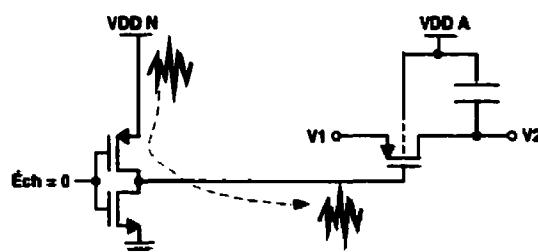


Figure 4.11 : Corruption de la charge maintenue à un nœud capacitif relié à V_{DD} par bruit d'alimentation numérique

transistor peut être diminuée momentanément, faisant en sorte que la tension $V1$ puisse corrompre la tension $V2$ maintenue aux bornes du condensateur.

De façon similaire, mais pour une raison quelque peu différente, les mémoires de courant de transistors de type 'N' peuvent aussi être significativement corrompues par le bruit d'alimentation. En effet, bien que la masse soit commune pour les sections analogique et numérique, sa tension n'est pas uniforme à tous les points du circuit. Le chemin conducteur du plot de masse à chacun des transistors possède une résistance finie qui dépend de sa largeur et de sa longueur. Ainsi, les transistors des circuits numériques et analogiques étant séparés et le courant circulant dans leur masse respective étant différent, la tension qu'ils utilisent chacun comme référence peut être significativement différente. La Figure 4.12 illustre le phénomène de corruption de la charge maintenue à un condensateur de mémoire de courant de type 'N', semblable à ce qui a été décrit en lien avec la Figure 4.11.

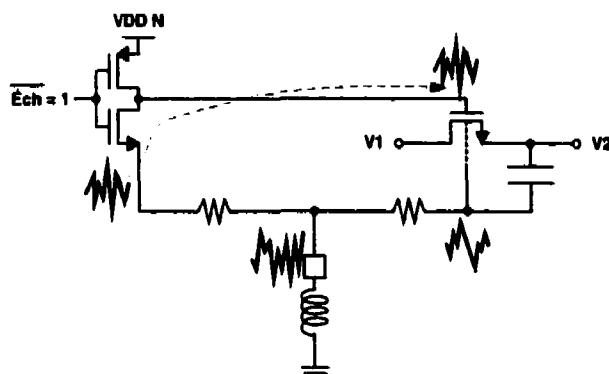


Figure 4.12 : Corruption de la charge maintenue à un nœud capacitif relié à VSS par effet résistif de la masse

L'importance de ces phénomènes dans le circuit est identifiable sur la Figure 4.8, par le biais d'un plateau à la valeur de sortie numérique 80_{10} . Cette valeur est celle où les transitions sont les plus fréquentes à des bits de poids forts, puisque la sortie des CAN est naturellement maintenue à '1' entre les conversions et que $80_{10} = 01010000_2$. Sachant que chaque transition de la valeur de sortie d'un CAN entraîne la transition d'un plot

numérique de sortie, créant d'importantes variations de courant dans les alimentations et que, dans l'expérience de la section 4.2.6.2, celles-ci sont simultanées pour tous les CAN, on comprend que leur effet combiné puisse être suffisant pour affecter sensiblement les valeurs maintenues dans les mémoires de courant. Elles modifient donc le courant de résidu au cours de la conversion et les bits de poids faible perdent toute leur signification. Le même phénomène s'applique aux conversions des autres valeurs numériques, toutefois la corruption se produisant lors de l'évaluation de bits de poids plus faible, l'erreur est moins apparente en sortie.

4.3 Principales modifications à apporter

La présente section souligne quelques considérations et propose des modifications simples permettant d'améliorer sensiblement les performances du capteur à partir des éléments déjà développés et testés.

La constatation la plus importante faite suite aux observations expérimentales est que la qualité d'image et les conditions d'utilisation du capteur sont limitées par la présence de l'obturateur électronique. Les plages dynamiques intrascène et interscène sont toutes deux réduites par sa présence. Par conséquent, l'utilisation des cellules de base sans commutateur présentées à la section 1.4.2.1b) s'impose.

De ce fait, la plage dynamique interscène s'en voit significativement améliorée puisque l'intensité maximale discernable est augmentée. En effet, la lecture se faisant directement à la fin de l'intégration, il n'est plus question de temps de maintien limitant la luminosité incidente maximale, comme c'est le cas avec l'obturateur (c.f : section 4.2.2).

L'utilisation de la cellule sans obturateur implique des changements considérables au niveau de la génération des signaux de contrôle. La lecture de l'image ne se fait plus suite à une intégration simultanée sur tous les pixels, mais les deux opérations se chevauchent

continuellement sur les différentes lignes. La Figure 4.13 illustre la synchronisation des signaux de réinitialisation et de lecture pour quelques lignes d'une matrice de m lignes.

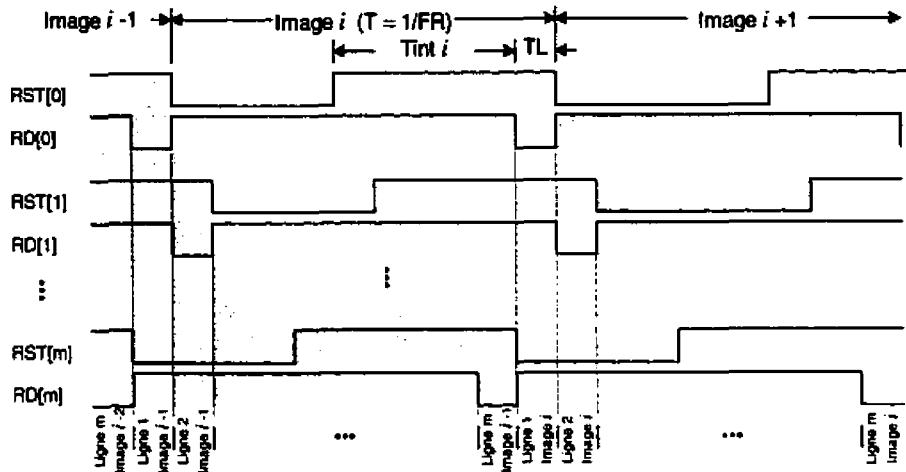


Figure 4.13 : Chronogramme de synchronisation des signaux de contrôle pour une matrice de cellules sans obturateur électronique

En permettant que l'intégration d'une ligne se produise pendant la lecture d'une autre, le temps d'intégration maximal est limité par le temps de lecture d'une seule ligne ($T_{int,max} = 1/FR - TL$), au lieu du temps de lecture de la matrice complète (équation 4.2).

Cet avantage peut être mis à profit de deux façons. On peut améliorer la plage dynamique d'avantage en augmentant le temps maximal d'intégration ou relaxer les spécifications sur la conversion et le transfert des données. La deuxième option permet d'utiliser plus facilement une architecture à un seul CAN, qui présente notamment les avantages suivants par rapport à l'approche parallèle présentée antérieurement :

- La consommation est plus régulière, puisque les pointes de courant consommé associées à l'activation simultanée des CAN parallèles sont éliminées. Ainsi, la régulation de l'alimentation peut être facilitée afin de permettre une meilleure précision ;

- On dispose de plus de flexibilité pour la résolution, qui devient complètement arbitraire au lieu d'être restreinte à des facteurs de 4 ;

Les contraintes associées au CAN dans le cas d'une architecture à convertisseur unique sont spécifiées par le temps maximal qui peut être alloué à la lecture d'une ligne. En effet, il peut être déduit à partir de la Figure 4.13 que

$$T_{L_{\max}} = \frac{FR}{Nb_{LIGNES}} . \quad (4.2)$$

La Figure 4.14 illustre les étapes requises pour la lecture d'une ligne de $NbCOL$ colonnes.

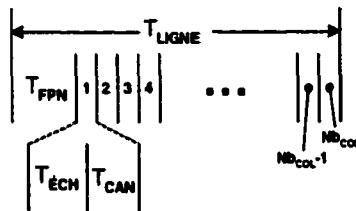


Figure 4.14 : Décomposition des étapes de lecture d'une ligne

Ainsi, le temps de lecture d'une ligne est défini comme

$$TL = T_{FPN} + Nb_{COL}(T_{ECH} + T_{CAN}) \quad (4.3)$$

où

- FR est le taux de lecture d'une image ;
- NbLIGNES est le nombre de lignes de l'image en sortie ;
- T_{FPN} est le temps requis pour échantillonner les courants de sortie des colonnes (*Idiff* et *Irst*) afin d'effectuer une lecture à FPN réduit ;
- T_{ECH} est le temps alloué aux entrées du CAN pour se stabiliser avant leur la conversion analogique à numérique ;
- T_{CAN} est le temps de conversion analogique à numérique.

En utilisant des valeurs conservatrices tirées de simulations incluant les charges capacitatives des colonnes pour une matrice de 128×128 pixels, ($T_{FPN}=2\mu\text{sec}$ et $T_{ECH}=1\mu\text{s}$), à résolution maximale ($\text{NbLIGNES} = \text{NbCOL} = 128$), les équations 4.2 et 4.3 nous indiquent qu'un taux de conversion de 980 kéch/sec est suffisant pour atteindre un taux de lecture d'images de 30 Hz.

En utilisant la cellule de conversion d'un bit présentée au chapitre 2 de manière parallèle plutôt que cyclique, on peut vraisemblablement atteindre ce taux de conversion. Ceci rend l'approche à CAN unique envisageable en n'apportant que des modifications mineures aux modules déjà conçus. Plus de détails concernant un CAN applicable sont présentés à la section 4.3.2.

4.3.1 Vue d'ensemble du système proposé

La Figure 4.15 présente un schéma simplifié de l'architecture de la nouvelle version proposée de la caméra intégrée.

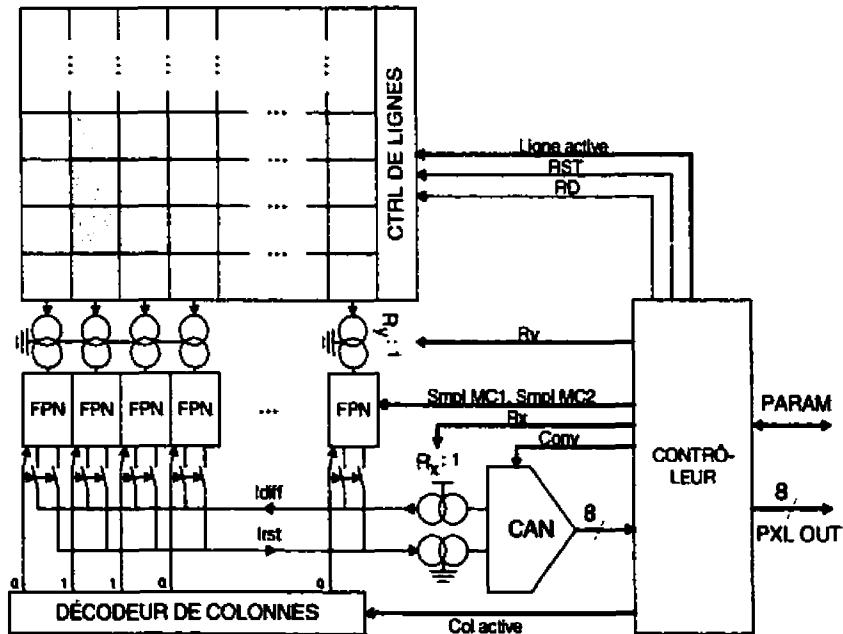


Figure 4.15 : Schéma bloc de l'architecture proposée d'un capteur à CAN unique

La différence principale par rapport au système précédent est la présence d'un seul CAN. Une autre différence notable est la présence d'un décodeur de colonnes qui active la ou les colonnes qui doivent être évaluées à un temps donné. Leurs signaux de sortie sont alors sommés sur les bus analogiques de sortie (*Idiff* et *Irst*) avant d'être présentés au CAN.

Ensuite, les évaluations des moyennes de colonnes et de lignes s'effectuent à deux endroits distincts. Premièrement, la moyenne des lignes s'évalue colonne par colonne en activant *Ry* lignes simultanément, où *Ry* représente la résolution verticale en nombre de lignes de la matrice par pixels de l'image à acquérir, puis en divisant le courant résultant à l'aide d'un miroir au gain $1/Ry$ au bas de chaque colonne. Le calcul de la moyenne des colonnes se fait, quant à lui, en activant *Rx* colonnes à l'entrée du CAN, où se retrouvent les miroirs au ratio $1/Rx$.

Aucune restriction n'existe sur la résolution, ni sur le facteur de forme des pixels. Le nombre de colonnes et de lignes par pixel de l'image de sortie est arbitraire. Sur la Figure 4.15 est d'ailleurs présenté en exemple l'acquisition d'un pixel où *Rx*=2 et *Ry*=3 (zone ombragée sur la matrice). Seulement, le facteur maximal de division du courant est cinq. Ceci n'empêche toutefois pas d'acquérir des images où la taille des pixels est plus grossière que 5×5 photocellules. Cependant, dans un tel cas, le rapport signal à bruit s'en voit diminué. Le choix du facteur maximal de cinq a été fait considérant que l'application principale pour laquelle est destiné le capteur a une résolution de 25×25 , alors que la matrice est d'à peine plus de 125×125 photocellules.

Les changements à apporter au système n'affectent pas tous les éléments du circuit déjà réalisé. Les circuits d'acquisition lumineuse et de traitement du signal analogique restent pratiquement conformes à ce qui a déjà été présenté. Seuls le ratio maximal *R* des miroirs et les tailles des transistors sont modifiées. Les principales modifications se situent en fait aux niveaux du CAN, des miroirs moyenneurs de colonnes et des éléments de contrôle

numérique. Les modules d'évaluation de la valeur moyenne de colonnes et le CAN sont en fait combinés en un seul, présenté à la section suivante. En ce qui concerne le contrôleur, nous considérons que sa conception ne constitue pas une étape critique. Nous limiterons donc la discussion suivante aux autres éléments du capteur.

4.3.2 Convertisseur Analogique à Numérique

4.3.2.1 Choix de l'architecture du CAN

Il est possible d'améliorer considérablement le temps de conversion du CAN (T_{CAN}) tout en effectuant des modifications minimales sur la cellule de conversion présentée plus tôt. Deux approches se présentent à nous. Il est possible de cascader directement les cellules

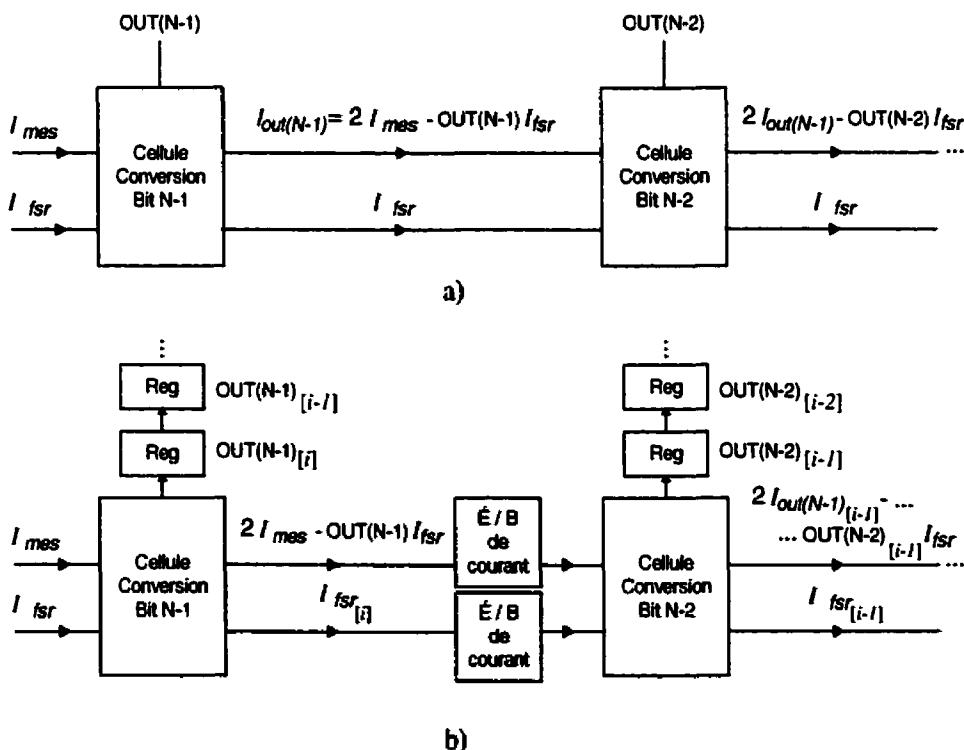


Figure 4.16 : Configurations de cellules de conversion d'un bit pour convertisseur
a) en cascade et b) pipeline

ou d'utiliser une architecture pipeline. Les deux configurations sont schématisées de façon simplifiée à la Figure 4.16.

Le convertisseur pipeline présente le plus haut taux de conversion en fournissant, après un temps de latence de N cycles, un échantillon à chaque cycle de conversion de 1 bit. Toutefois, cette architecture augmente la complexité du circuit et diminue sa précision. En effet, dans notre cas, contrairement au convertisseur pipeline typique où seulement le résidu est mémorisé entre chaque étage, la référence de conversion (*lfsr*) doit aussi être mémorisée à la sortie de l'évaluation de chaque bit, puisque celle-ci est propre à chaque conversion. Pour cette raison, le nombre de mémoires de courant par bit est doublé, affectant la précision de la conversion par l'injection de charge qui leur est associée.

À l'inverse, la configuration en cascade présente les avantages d'améliorer la précision et de simplifier sensiblement la cellule et son contrôle puisqu'aucune opération de mémorisation de courant n'est nécessaire. Cependant, le taux de conversion en souffre un peu puisque l'évaluation d'un bit ne peut se faire avant l'évaluation du bit précédent. Néanmoins, la mémorisation du résidu n'étant pas nécessaire, le temps d'évaluation d'un bit est significativement réduit.

Par ailleurs, la Figure 4.2 montre qu'une grande partie de la plage dynamique intrascène se concentre à faible courant de sortie. Par conséquent, une réduction de la précision du convertisseur entraîne une réduction importante de la plage dynamique, déjà plutôt faible. Il est donc justifié de primer la précision au lieu de la rapidité de conversion : un convertisseur en cascade sera donc utilisé.

4.3.2.2 Implémentation du CAN

La Figure 4.17 présente la cellule unitaire du convertisseur, ainsi que l'agencement de celles-ci permettant de réaliser un convertisseur en cascade. Les éléments de contrôle sont aussi présentés. Ceux-ci se résument à un registre à décalage propageant d'un bit à l'autre la commande de maintient de la sortie (*Smpf*) sous l'activation du signal

HOLD_clk, après avoir activé l'échantillonnage de chacune des cellules au moyen du signal **\CONV_start**.

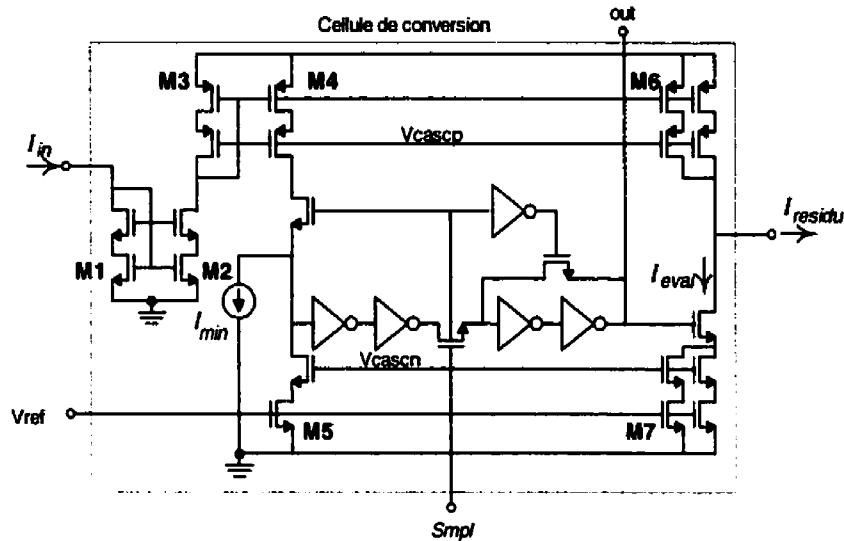


Figure 4.17 : Cellule de conversion d'un bit

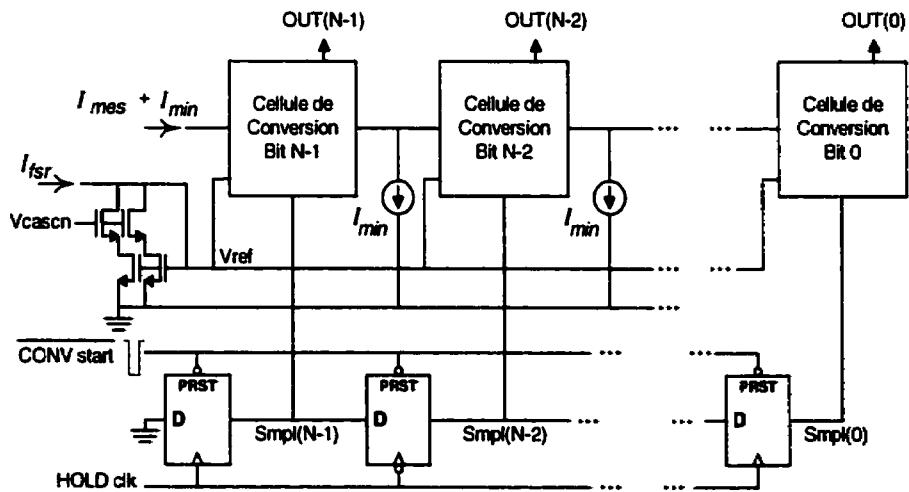


Figure 4.18 : Configuration en cascade du CAN

La précision du CAN dépend principalement de la précision de ses miroirs de courant, raison pour laquelle un courant de biais est ajouté ici aussi. Étant donné que le courant

d'entrée est doublé au travers de la cellule, on doit retrancher, à la sortie de chaque bit, la valeur ajoutée en entrée afin que ce courant n'affecte pas la conversion.

Le CAN est l'élément du système fonctionnant à la plus haute fréquence. Pour cette raison, c'est lui qui détermine la fréquence d'horloge nécessaire permettant d'atteindre un taux de lecture d'images donné. Afin de minimiser cette contrainte, des bascules activées sur front montant sont alternées à des bascules activées sur front descendant. Ainsi, une horloge de 4 MHz permet, pour le CAN à 8 bits de résolution, un taux de conversion de 1 MHz, ce qui est suffisant pour un taux de lecture de 30 Hz à résolution maximale.

Le Tableau 4.4 présente les performances simulées du convertisseur en cascade à ce taux de conversion. On constate que la précision est meilleure que celle du convertisseur cyclique grâce au fait qu'aucune erreur ne soit introduite par la mémorisation analogique du courant de résidu.

Tableau 4.4 : Performances simulées du convertisseur en cascade

Caractéristique		Valeur	
Tension d'alimentation	VDD	2.5 V	
Plage d'entrée	I _{fsr}	25 uA	
Courant minimal de biais	I _{min}	5 uA	
Taux de conversion	F _{conv}	1 MÉch/s	
Non-linéarité différentielle	NLD	< 1 LSB @ 8 bits	
Non-linéarité intégrale	NLI	< 1.2 LSB @ 8 bits	
Consommation	I _{mes} = I _{FSR}	P _{max}	2.7 mW
	I _{mes} = 0	P _{min}	690 uW

4.3.2.3 Disposition physique des miroirs de courant

Il est à noter que la séparation des cellules de conversion, telle que présentée dans Figure 4.16 et simplifié dans la Figure 4.19 a), ne s'applique pas au niveau du dessin des

masques. Pour une meilleure correspondance des courants I_{min} et I_{fsr} d'une cellule à l'autre, leurs miroirs doivent être situés à proximité les uns des autres. C'est ce que montre la Figure 4.19 b) pour le cas du courant I_{fsr} . En plus de permettre un meilleur appariement des caractéristiques physiques des composants de par leur proximité, la disposition présentée en b) est insensible à la résistance non nulle des conducteurs, ce qui n'est pas le cas de la configuration a).

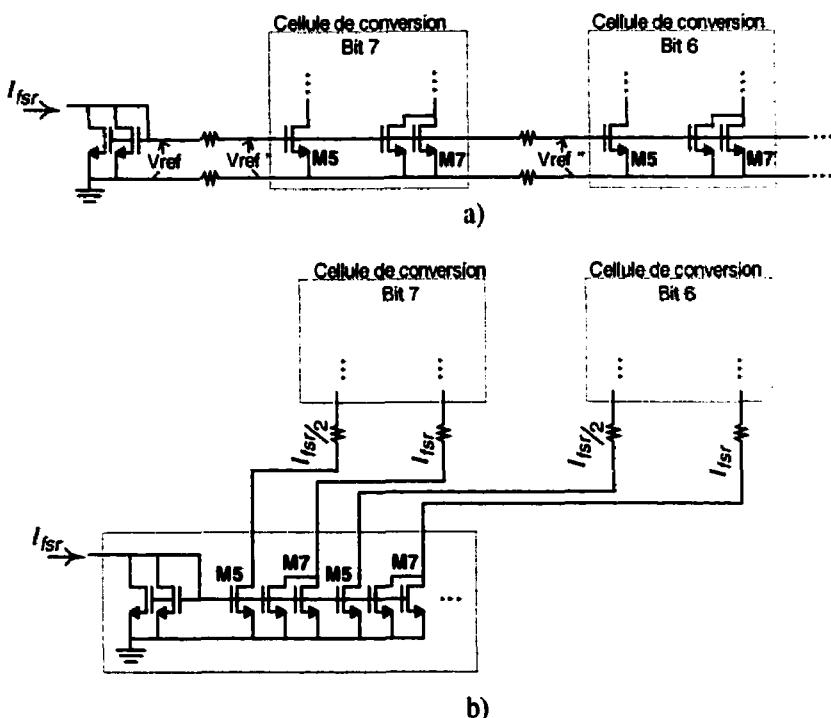


Figure 4.19 : Séparations physiques des miroirs de courant en fonction des cellules de conversion d'un bit ; a) fautive, b) correcte

4.3.3 Évaluation de la valeur moyenne de colonnes

Afin que les courants d'entrées du CAN se situent dans une plage convenable de courant, les sorties de colonnes sommées sont divisées par des miroirs au ratio variable $1/R_x$. L'opération est en fait intégrée à l'évaluation du bit de poids le plus fort, ainsi qu'à la génération de la tension de référence V_{ref} .

La Figure 4.20 illustre l'étage d'entrée du convertisseur, en lien avec la Figure 4.17. La cellule de conversion n'est pas représentée au complet afin de simplifier le schéma. Il est à noter que, le courant I_{mes} étant sortant, le miroir formé des transistors $M1$ et $M2$ (Figure 4.16) est supprimé dans la cellule du premier bit. Le sens du courant comparé à $I_{fsr}/2$ est ainsi adéquat.

Toujours afin d'éviter que le miroir ne fonctionne en faible inversion, un courant $R_x I_{min}$ est ajouté en entrée. La multiplication par R_x est nécessaire afin d'assurer que la densité de courant minimale soit respectée pour la précision désirée, même lorsque le nombre de transistors en parallèles est multiplié.

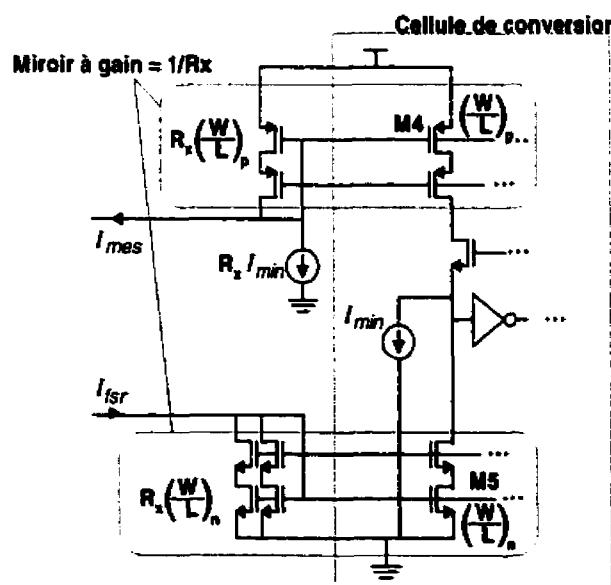


Figure 4.20 : Division du courant de somme des colonnes

4.4 Conclusion

L'expérimentation a permis de confirmer la fonctionnalité globale du système. Il a été démontré que la puce fabriquée permet d'exécuter l'acquisition d'images de façon

entièrement numérique, bien qu'un système optique de focalisation manque au moment de l'écriture du présent mémoire afin d'acquérir des images représentant des scènes réelles.

Des mesures quantitatives ont été effectuées sur différentes sections du circuit. Entre autres, la réponse à la lumière des photocellules et leur plage dynamique ont été évaluées. De plus, la méthode de réduction du FPN proposée a été comparée à la méthode classique de double échantillonnage corrélé. Les résultats confirment que la méthode proposée est avantageuse, particulièrement à forte luminosité. Il a toutefois été noté que la réduction du bruit n'est pas totale, limitant ainsi son utilisation à des applications où un compromis sur la qualité d'image peu être fait, en comparaison aux capteurs à la fine pointe en mode tension.

Des irrégularités dans la réponse du système ont aussi été observées. Celles-ci proviennent des phénomènes transitoires causés par les transitions de courants sur les plots externes et dans les circuits numériques. La relation entre ces phénomènes et les irrégularités observées a été mise en évidence.

L'expérimentation a aussi permis de réaliser les limitations de performances entraînées par la présence d'un obturateur électronique dans la cellule photosensible. Afin de remédier à cette situation, une architecture différente de caméra intégrée, basée sur les modules déjà conçus et testés, a été présentée. En plus d'améliorer la plage dynamique interscène du capteur, cette deuxième approche permet de varier la résolution de façon complètement arbitraire. Les contraintes appliquées au CAN apportées par la nouvelle architecture sont évaluées et des simulations indiquent qu'un taux de conversion de 30 Hz peut être atteint à résolution maximale avec le système proposé.

CONCLUSION

Dans le cadre des travaux de recherche de l'équipe PolySTIM de l'École Polytechnique, un stimulateur visuel intra-cortical visant à restituer aux aveugles profonds une vision fonctionnelle est en cours de développement. Un des éléments clés d'un tel système est son capteur d'image, premier élément de la chaîne de traitement de l'information transmise au cerveau. Nous avons donc décidé de nous attaquer aux défis que représentent la conception et la réalisation d'un capteur d'images intégré applicable à un micro-stimulateur visuel implantable.

Nous avons en premier lieu étudié les principes de fonctionnement et architectures des principaux circuits d'acquisition d'images basés sur des dispositifs à semi-conducteurs. Cette étude a notamment fait ressortir la pertinence d'utiliser un procédé CMOS pour réaliser un système intégré répondant aux spécifications de l'application visée. Dans cette technologie, les principaux types de cellules photosensibles ont été classés selon leur photodétecteur et le type de signal qu'ils véhiculent. La particularité première de cette technologie pour les capteurs d'images est de permettre la réalisation d'une grande variété de circuits complémentaires à même le capteur. Certaines approches particulières aux capteurs CMOS ont été présentées, avec sensiblement plus de détail concernant celles qui permettent de varier la résolution de l'image acquise.

Ceci a permis de concevoir un nouveau capteur intégré possédant les particularités suivantes :

- L'interface d'acquisition d'image est entièrement numérique;
- Le circuit fonctionne en mode courant en tout point où le signal est analogique;

- Une méthode de réduction du FPN associé au gain de transconductance permet de garder les imperfections d'images faibles sur toute la plage d'intensité lumineuse en entrée;
- Une méthode d'évaluation de la moyenne de pixels adjacents permet de réduire la résolution en minimisant la perte d'information et conserve un bon rapport signal à bruit. Les résolutions possibles correspondent à des groupes de 1×1 , 2×2 et 4×4 pixels.

Il a été choisi de procéder en mode courant afin de minimiser la consommation. En effet, il est ainsi possible de fonctionner à faible tension d'alimentation. Toutefois, ceci introduit un important FPN qui ne peut être éliminé avec la technique courante de double échantillonnage corrélé. Une méthode simple permettant d'éliminer l'erreur due au gain de transconductance a été proposée.

Le capteur intégré réalisé possède des éléments particuliers qui permettent d'effectuer un bon nombre de tests sur les différents modules qui le composent. Un système de mesure analogique, un contrôleur externe implémenté dans un circuit programmable FPGA, ainsi qu'un logiciel d'interface complètent le système d'expérimentation. Le système a confirmé la fonctionnalité de chacun des modules de la caméra intégrée. Entre autres, la comparaison entre la méthode de réduction du FPN par double échantillonnage corrélé et la méthode à gain compensé proposée démontre l'avantage de cette dernière lorsque l'intensité lumineuse incidente augmente.

Les tests expérimentaux ont aussi permis de constater certaines limitations du circuit. En particulier, la réduction du bruit n'est pas complète et des erreurs dues à la contribution non linéaire de la tension de seuil du transistor d'amplification et à l'injection de charge des obturateurs persistent. L'approche utilisant le mode courant, de pair avec la méthode proposée de réduction du FPN, se limite donc à des applications où une qualité d'images de très haute fidélité n'est pas une nécessité. Aussi, on remarque que l'obturateur

électronique réduit les plages dynamiques intrascène et interscène. Cette constatation est plus préoccupante dans le cas du stimulateur visuel considérant que ceci diminue les conditions de luminosité dans lesquelles peut être utilisé le capteur à un taux de lecture d'images donné.

Une architecture différente, permettant d'améliorer la plage dynamique du capteur ainsi que sa flexibilité d'utilisation, a été proposée. Ainsi, la résolution de ce nouveau système ne se limite pas à trois niveaux, mais est totalement arbitraire. Cette nouvelle version du capteur pose cependant de nouvelles contraintes sur le taux de conversion analogique à numérique des données. Un nouveau convertisseur est alors proposé et des simulations indiquent que le système est en mesure d'atteindre, à résolution maximale de 128×128 pixels, un taux de lecture d'images de 30 Hz, avec une faible consommation de puissance.

Parmi les améliorations qui devraient être apportées à court terme, notons l'augmentation de la plage dynamique intrascène du capteur. Celle du système actuel est encore inférieure de plusieurs ordres de grandeur à celle du système visuel humain et limite l'information visuelle qui peut être recueillie dans des situations de grands contrastes lumineux.

On peut envisager l'utilisation d'une cellule photosensible plus complexe permettant de recueillir de l'information supplémentaire pendant la période d'intégration et non seulement à la fin de celle-ci. Ceci se fera évidemment au détriment du facteur de remplissage et de la taille du circuit. Néanmoins, la faible résolution requise pour l'application de l'implant visuel nous permet un tel sacrifice. Cette considération, combinée à l'utilisation d'une technologie plus récente, permettra d'intégrer une quantité intéressante de circuits actifs à même les cellules photosensibles. Une approche hybride, combinant le mode impulsions pendant la période d'intégration et la lecture du signal résultant en mode courant, devrait permettre d'atteindre une plage dynamique intrascène

significativement plus large que ce qui peut être atteint avec l'architecture de pixel utilisée ici, tout en conservant de bonnes performances au niveau de la consommation. Un circuit intégré avec de telles caractéristiques s'avérera de toute évidence particulièrement bien adapté à un système de stimulation visuelle intra-cortical.

BIBLIOGRAPHIE

- [1] AW, C.H. et WOOLEY, B. A. (1996). A 128 x 128-Pixel Standard-CMOS Image Sensor with Electronic Shutter. IEEE Journal of Solid-State Circuits, 31, no.12, 1922-1930.
- [2] BHATTACHARYA, P. (1994), Semiconductor Optoelectronic Devices, Prentice-Hall, New-Jersey, 613 pages.
- [3] BLANSKY, A.J. et LOINAZ, M.J. (2000). Performance Analysis of a Color CMOS Photogate Image Sensor. IEEE Transactions on Electron Devices, 47, no.1, 55-63.
- [4] BOYER, A. (1995). Développement d'un stimulateur miniaturisé dédié à un implant visuel. Mémoire de maîtrise, École Polytechnique de Montréal, Canada.
- [5] BURKE, M.W. (1996). Image Acquisition, Chapman & Hall, Londres, 917 pages.
- [6] CLINE, D.W. et GRAY, P.R. (1996). A Power Optimized 13-b 5 Msamples/s Pipeline Analog-to-Digital Converter in 1.2 um CMOS. IEEE Journal of Solid-State Circuits, 31, no.3, 1146-1152.
- [7] COULOMBE, J., SAWAN, M., WANG, C. (2000). Variable Resolution Current Mode Active Pixel Sensor. IEEE International Symposium on Circuits and Systems, 2, 293-296.

- [8] DECKER, S., MCGRATH, R.D., BREHMER, K. et SODINI, C.G. (1998). A 256 x 256 Imaging Array with Wide Dynamic Range Pixels and Column-Parallel Digital Output. IEEE Journal of Solid-State Circuits, 33, no.12, 2081-2091.
- [9] DICKINSON, A., ACKLAND, B., EID, E.-S., INGLIS, D. et FOSUM, E.R. (1995). A 256 x 256 CMOS Active Pixel Image Sensor with Motion Detection. IEEE International Solid-State Circuits Conference, 226-227.
- [10] FORTI, F., et WRIGHT, M.E. (1994). Measurement of MOS Current Mismatch in the Weak Inversion Region. IEEE Journal of Solid-State Circuits, 29, no.2, 138-142.
- [11] FOSSUM, E.R (1997). CMOS Image Sensors: Electronic Camera-On-A-Chip. IEEE Transactions on Electron Devices, 44, no.10, 1689-1698
- [12] GRAY, P. et MEYER, R.G. (1993). Analysis and Design of Analog Integrated Circuits, John Wiley & Son, Toronto, 792 pages.
- [13] SCHNEIDER, B. FISHER, H. BENTHIEN, S. KELLER, H. LULÉ, T. RIEVE, P. SOMMER, M. SCHULTE, J. BÖHM, M. (1997). TFA Image Sensors : From the One Transistor Cell to a Locally Adaptive High Dynamic Range Sensor. IEEE Electron Devices Meeting, 209-212
- [14] IWATA, A., NAGATA, M., TAKEDA, N., HOMMA, M. et MORIE, T. (2000). Pulse Modulation Circuit Architecture and its Application to Functional Image Sensors. IEEE International Symposium on Circuits and Systems, 301-304.
- [15] JOHNS, D.A. et MARTIN, K. (1997). Analog Integrated Circuit Design, John Wiley & Sons, Toronto, 706 pages.

- [16] KEMENY, S.E., PANICACCI, R., PAIN, B., MATTHIES, L. et FOSSUM E.R. (1997). Multiresolution Image Sensor. IEEE Transactions on Circuits and Systems for Video Technology, 7, no.4, 575-581.
- [17] KEMENY, S.E., TORBEY, H.H., MEADOWS, H.E., BREDTHAUER, R.A., LA SHELL, M.A. et FOSSUM, E.R. (1992). CCD Focal-Plane Image Reorganization Processors for Lossless Image Compression. IEEE Journal of Solid-State Circuits, 27, no.3, 398-405.
- [18] KOZLOWSKI, L.J., LUO, J. et TOMASINI, A. (1999). Performance Limits in Visible and Infrared Imager Sensors. International Electronic Devices Meeting, 867-870.
- [19] LAUXTERMANN, S., SCHWIDER, P., SEITZ, P., BLOSS, H., ERNST, J. et FIRLA, H. (1999). A High Speed CMOS Imager Acquiring 5000 frames/sec. IEEE International Electronic Devices Meeting, 875-878.
- [20] MA, S.-Y. et CHEN L.-G. (1999). A Single-Chip CMOS APS Camera with Direct Frame Difference Output. IEEE Journal of Solid-State Circuits, 34, no.10, 1415-1418.
- [21] MCILRATH, L.G., CLARK, V.S., DUANE, P.K., MCGRATH, R.D. et WASKURAK, W.D. (1997). Design and Analysis of a 512 x 768 Current-Mediated Active Pixel Array Image Sensor. IEEE Transactions on Electron Devices, 44, no.10, 1706-1715.
- [22] MENDIS, S.K., KEMENY, S.E., GEE, R.C., PAIN, B., STALLER, C.O., KIM, Q. et FOSSUM, E.R. (1997). CMOS Active Pixel Image Sensors for Highly

- Integrated Imaging Systems. IEEE Journal of Solid-State Circuits, 32, no.2, 187-197.
- [23] MENDIS, S., KEMENY, S.E. et FOSSUM, E.R. (1994). CMOS Active Pixel Image Sensor. IEEE Transactions on Electron Devices, 41, no.3, 452-453.
- [24] MICHAEL, C. et ISMAIL, M. (1992). Statistical Modeling of Device Mismatch for Analog MOS Integrated Circuits. IEEE Journal of Solid-State Circuits, 27, no.2, 154-165.
- [25] MOINI, A. (1999). Vision Chips, Kluwer Academic Publishers, Boston, 300 pages.
- [26] NAIRN, D.G. et SALAMA, A.T. (1990). Current-Mode Algorithmic Analog-to-Digital Converters. IEEE Journal of Solid-State Circuits, 25, no.4, 997-1004.
- [27] NAKAMURA, J., PAIN, B., NOMOTO, T., NAKAMURA, T. et FOSSUM, E.R. (1997). On-Focal-Plane Signal Processing for Current-Mode Active Pixel Sensors. IEEE Transactions on Electron Devices, 44, no.10, 1747-1757.
- [28] NIXON, R.H., KEMENY, S.E., PAIN, B., STALLER, C.O. et FOSSUM, E.R. (1996). 256 x 256 CMOS Active Pixel Sensor Camera-on-a-Chip. IEEE Journal of Solid-State Circuits, 31, no.12, 2046-2050.
- [29] OBA, E., MABUCHI, K., LIDA, Y., NAKAMURA, N. et MIURA, H. (1997). A 1/4 Inch 330k Square Pixel Progressive Scan CMOS Active Pixel Image Sensor. 1997 IEEE International Solid-State Circuits Conference, 180-187.

- [30] OZAKI, T., KINUGASA, H. et NISHIDA, T. (1991). A Low-Noise Line-Amplified MOS Imaging Devices. IEEE Transactions on Electron Devices, 38, no.5, 969-975.
- [31] PARDO, F., DIERICKX, B. et SCHEFFER, D. (1998). Space-Variant Nonorthogonal Structure CMOS Image Sensor Design. IEEE Journal of Solid-State Circuits, 33, no.6, 842-849.
- [32] PELGROM, M.J.M., DUINMAIJER, A.C.J. et WELBERS,A.P.G. (1989). Matching Properties of MOS Transistors. IEEE Journal of Solid-State Circuits, 24, no.5, 1433-1439.
- [33] RAZAVI, B. (2000). Design of Analog CMOS Integrated Circuits, McGraw Hill, Los Angeles, 574 pages.
- [34] RENSHAW, D., DENYER, P.B., WANG, G. et LU. M. (1990). Asic Vision. IEEE 1990 Custom Integrated Circuits Conference, 7.3.1-7.3.4.
- [35] RICQUIER, N. et DIERICKX, B. (1994). Random Addressable CMOS Image Sensor for Industrial Applications. Sensors and Actuators A, 44, 29-35.
- [36] ROY, M. (1999). Conception et réalisation d'un prototype de la partie implantable d'un stimulateur visuel cortical. Mémoire de maîtrise, École Polytechnique de Montréal, Canada.
- [37] SAVARIA, Y. (1988). Conception et Vérification des Circuits VLSI, Éditions École Polytechnique de Montréal, Montréal, 398 pages.

- [38] SCHANZ, M., NITTA, C., BUßMANN, A., HOSTICKA B.J. et WERTHEIMER, R.K. (2000). A High-Dynamic-Range CMOS Image Sensor for Automotive Applications. *IEEE Journal of Solid-State Circuits*, **35**, no.7, 932-937.
- [39] SCHANZ, M., BROCKHERDE, W., HAUSCHILD, R., HOSTICKA, B.J. et SCHWARZ, M. (1997). Smart CMOS Image Sensor Arrays. *IEEE Transactions on Electron Devices*, **44**, no.10, 1699-1703.
- [40] SCHEFFER, D., DIERICKX, B. et MEYNANTS, G. (1997). Random Addressable 2048 x 2048 Active Pixel Image Sensor. *IEEE Transactions Electron Devices*, **44**, no.10, 1716-1720.
- [41] SHEINGOLD, D.H. (1976). *Analog-Digital Conversion Handbook*, Analog Devices, Inc., Norwood. 375 pages.
- [42] SHUR, M. (1996). *Introduction to Electronic Devices*, John Wiley & Sons, New-York, 577 pages.
- [43] SHYU, J.-B., TEMES, G.C. et KRUMMENACHER, F. (1984). Random Error Effects in Matched MOS Capacitors and Current Sources. *IEEE Journal of Solid-State Circuits*, **19**, no.6, 948-955.
- [44] SIMONI A., SARTORI, A., GOTTARDI, M. et ZORAT, A. (1995). A Digital Vision Sensor. *Sensors and Actuators A*, **46-47**, 439-443.
- [45] SIMONI, A., TORELLI, G., MALOBERTI, F., SARTORI, A., PLEVRIDIS, S.E. et BIRBAS, A.N. (1995). A Single-Chip Optical Sensor with Analog Memory for Motion Detection. *IEEE Journal of Solid-State Circuits*, **30**, no.7, 800-805.

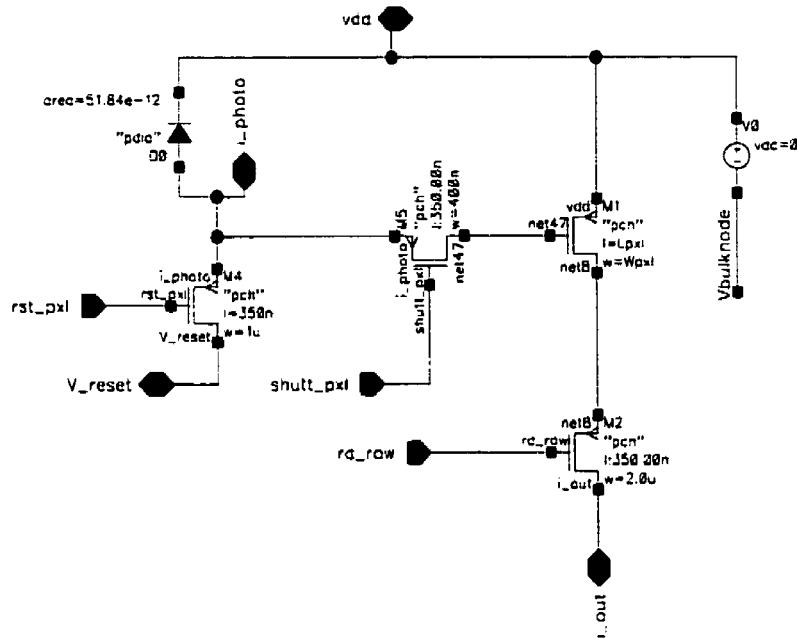
- [46] STREETMAN, B.G. (1995). Solid State Electronic Devices, Prentice Hall, Englewood Cliffs, 462 pages.
- [47] VENIER, P., LANDOLT, O., DEBERGH, P. et ARREGUIT, X. (1996). Analog CMOS Photosensitive Array for Solar Illumination Monitoring. IEEE International Solid-State Circuits Conference, 95-185.
- [48] WILSON, J. et HAWKES, J.F.B. (1983). Optoelectronics: An Introduction, Prentice-Hall, London, 559 pages.
- [49] WANG, C., NI, Y. et DEVOS F. (1997). A spatio-temporal differentiation light sensor. Sensors and Actuators A, 492-495.
- [50] WECKLER, G.P. (1967) Operation of *p-n* Junction Photodetectors in a Photon Flux Integrating Mode. IEEE Journal of Solid-State Circuits, Sc-2, no.3, 65-73.
- [51] WONG, H.-S.P., CHANG, R.T., CRABBE, E. et AGNELLO, P.D. (1998). CMOS Active Pixel Image Sensors Fabricated Using a 1.8-V, 0.25- μ m CMOS Technology. IEEE Transactions on Electron Devices, 45, no.4, 889-893.
- [52] WODNICKI, R., ROBERTS., G.W. et LEVINE, M.D. (1995). A Foveated Image Sensor in Standard CMOS Technology. IEEE Custom Integrated Circuits Conference, 357-360.
- [53] WONG, H.S.P. (1997). CMOS Image Sensors – Recent Advances and Device Scaling Considerations. IEEE International Electronic Devices Meeting, 201-204.

- [54] YADID-PECHT, O., GINOSAR, R. et DIAMOND, Y.S. (1991). A Random Access Photodiode Array for Intelligent Image Capture. IEEE Transactions on Electrons Devices, 38, no.8, 1772-1780.
- [55] YADID-PECHT, O. et FOSSUM, E.R. (1997). Wide Intrascene Dynamic Range CMOS APS Using Dual Sampling. IEEE Transactions on Electron Devices, 44, no.10, 1721-1723.
- [56] YADID-PECHT, O., PAIN, B., STALLER, C., CLARK, C. et FOSSUM, E.R. (1997). CMOS Active Pixel Sensor Star Tracker with Regional Electronic Shutter. IEEE Journal of Solid-State Circuits, 32, no.2, 285-288.
- [57] YANG, W. (1994). A Wide-Dynamic-Range, Low-Power Photosensor Array. IEEE International Solid-State Circuits Conference, 230-231.
- [58] YANG, D.X.D., GAMAL, A.E., FOWLER, B. et TIAN, H. (1999). A 640 x 512 CMOS Image Sensor with Ultrawide Dynamic Range Floating-Point Pixel-Level ADC. IEEE Journal of Solid-State Circuits, 34, no.12, 1821-1834.
- [59] YANG, D.X.D., FOWLER, B. et GAMAL, A.E. (1996). A 128 x 128 Pixel CMOS Area Image Sensor with Multiplexed Pixel Level A/D Conversion. IEEE 1996 Custom Integrated Circuits Conference, 302-306.
- [60] ZHOU, Z., PAIN B. et FOSSUM, E. (1998). CMOS Active Pixel Sensor with On-Chip Successive Approximation Analog-To-Digital Converter. IEEE Transactions on Electron Devices, 44, no.10, 1759-1763.

- [61] ZHOU, Z., PAIN, B. et FOSSUM, E. (1998). A CMOS Imager with On-Chip Variable Resolution for Light-Adaptive Imaging. IEEE International Solid-State Circuits Conference, 174-175.
- [62] ZHOU, Z., PAIN, B. et FOSSUM, E.R. (1997). Frame-Transfer CMOS Active Pixel Sensor with Pixel Binning. IEEE Transactions on Electron Devices, 44, no.10, 1764-1768.

ANNEXE A

SCHÉMAS DES MODULES ANALOGIQUES



FigureA.1 : Cellule photosensible

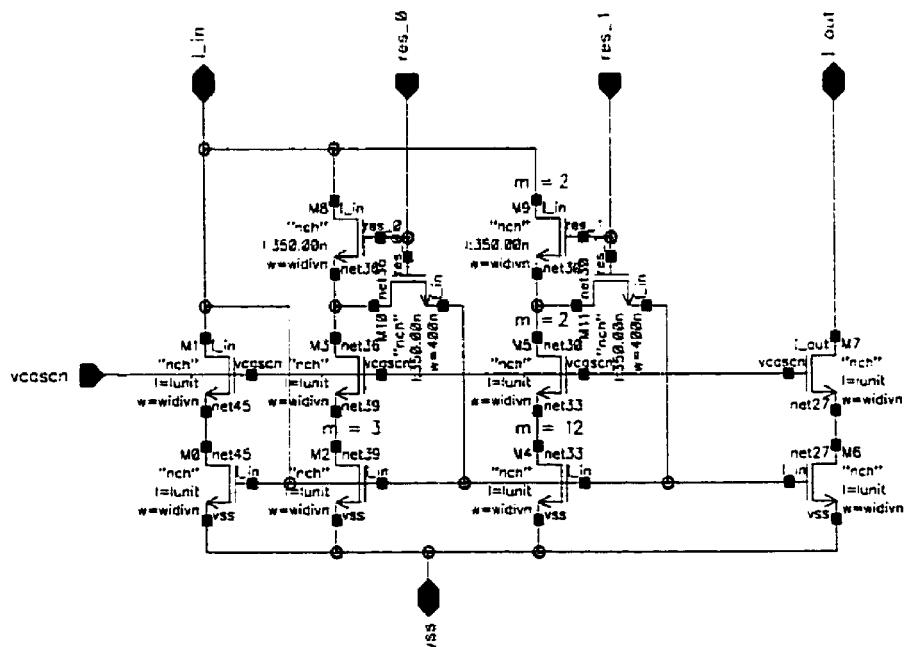


Figure A.2 : Circuit de division du courant de sortie

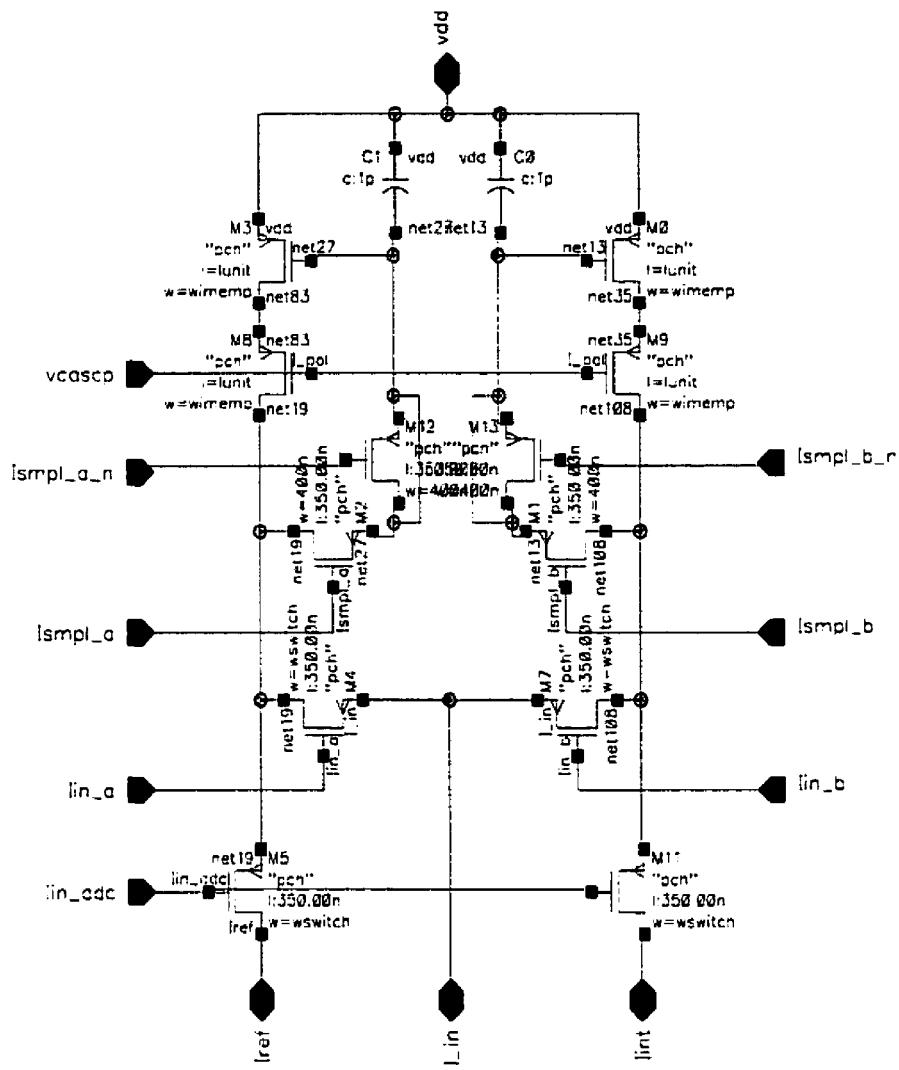


Figure A.3 : Circuit de réduction du FPN

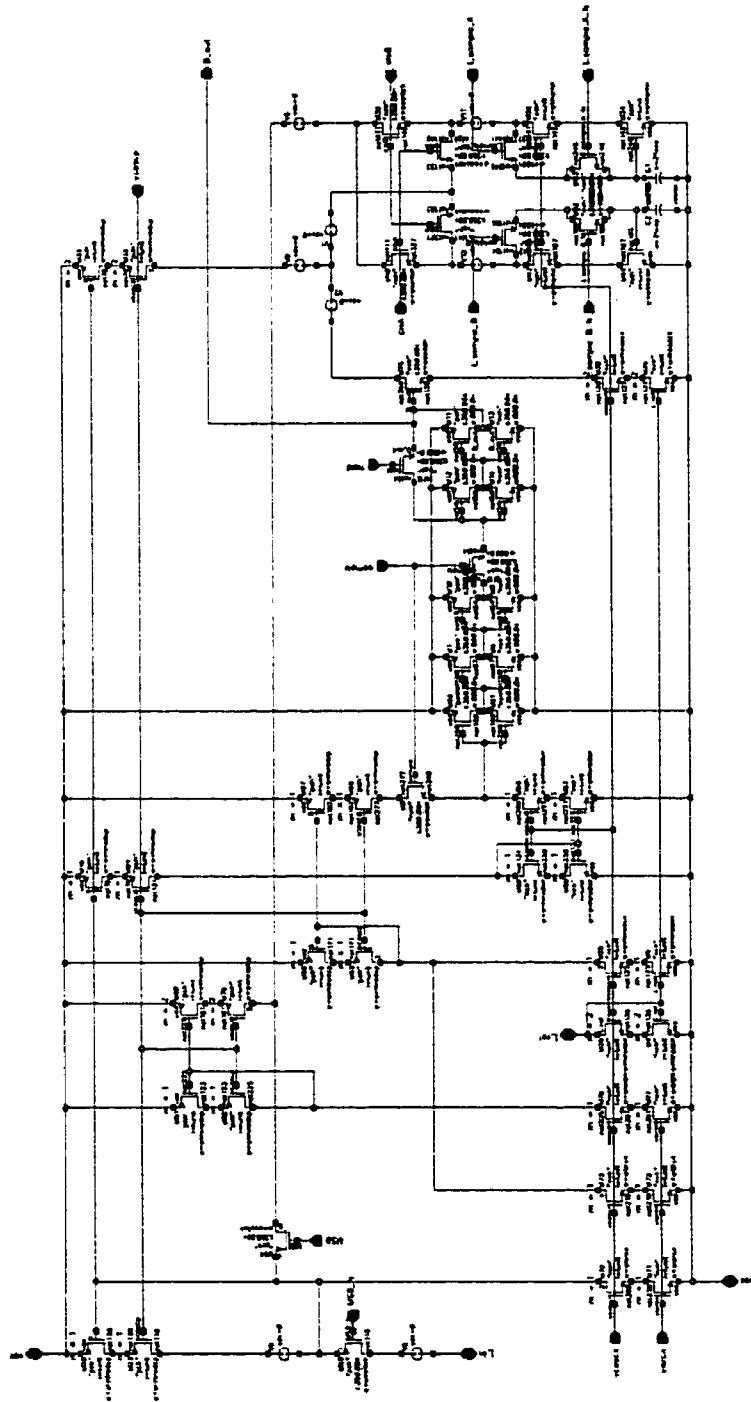
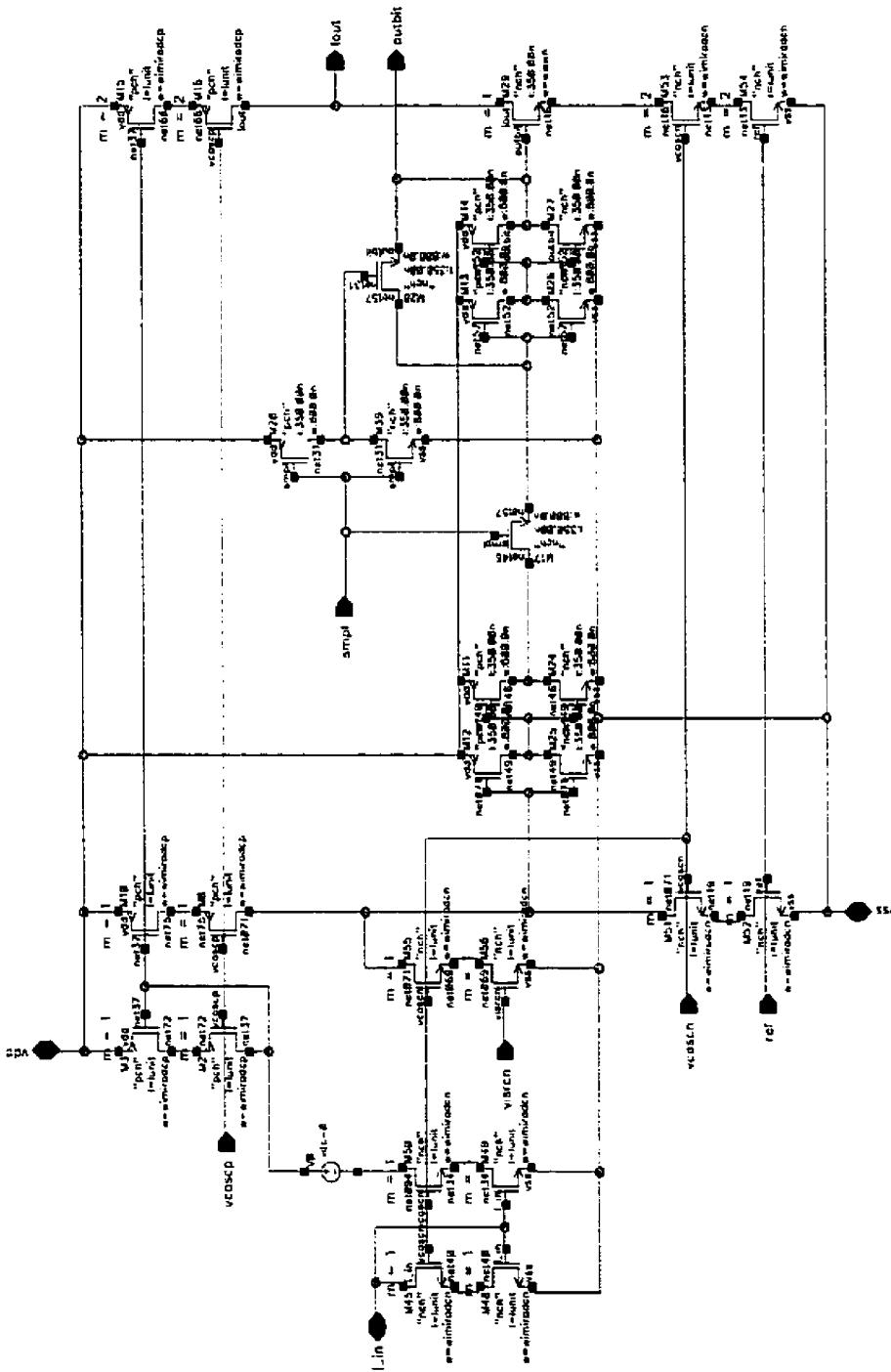


Figure A.4 : CAN algorithmique cyclique



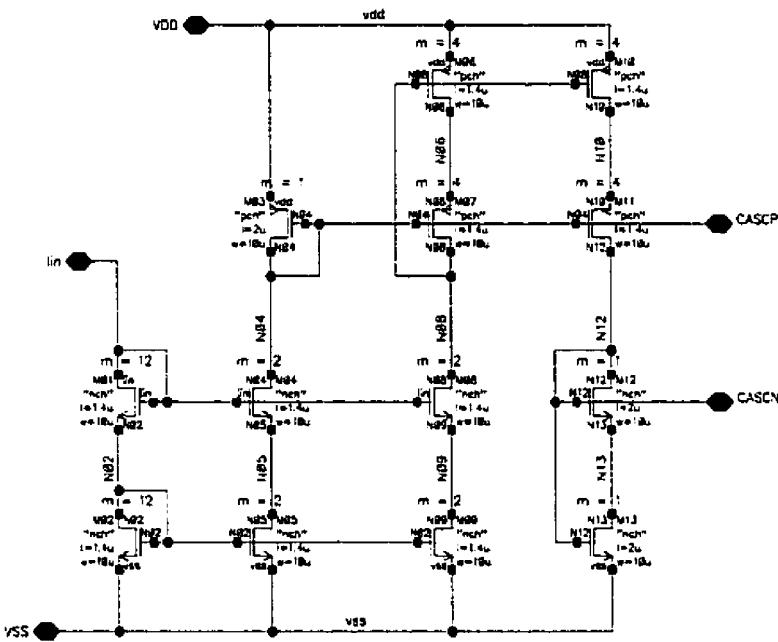


Figure A.6 : Circuit de génération des tensions de polarisation des transistors cascode

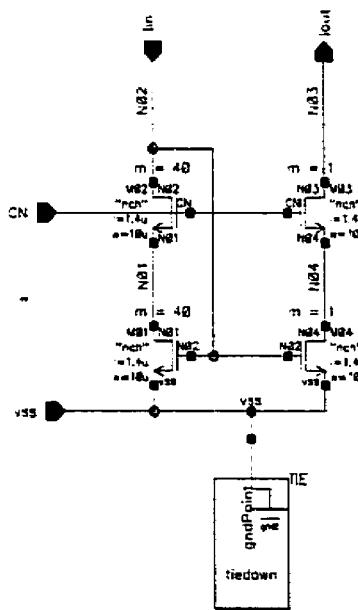


Figure A.7 : Circuit de génération de la tension de polarisation des sources de courant Imin

ANNEXE B

FICHIER DE SIMULATION DES MODULES ANALOGIQUES

```
*****
* Fichier de simulation des modules analogiques du capteur d'images
* intégré en mode courant
*
* Inclut :
* - Une photocellule dont le gain dépend de Wpxl et Lpxl (.PARAM)
* - Un circuit d'évaluation de la valeur moyenne de colonnes
* - Un circuit de réduction du FPN
* - Un circuit de polarisation de transistors cascodes
* - Une source de courant contrôlable
* - Les cellules de la librairie w_cells permettant d'effectuer
*   les opérations de réduction du FPN
*
* Effectue N simulations .TRANS de 2.2 msec, avec N incrément de
* PHOTO_I tel que définis par .DATA
*
* Les courants de sortie de la photocellule (avg_pxl) et du circuit
* réducteur de FPN (Imes = avg_dif & IFSR = avg_ref) sont évalués
* sur une période de 20 us
*
* Ce fichier a été généré automatiquement par Analog Artist à partir
* de schémas et de modules extraits du dessin des masques le 5 mai
* 2000, puis modifié manuellement
*
* Auteur : Jonathan Coulombe
*
*****
```

.GLOBAL VDD! VSS! VBULK_node!

```
*****
* INSTANCIATIONS DES SOUS-CIRCUITS
*
* Instance of Lib: aps, Cell: pixel, View: schematic
XII1 V_RESET NET42 NET43 RD_ROW RST_PXL SHUTT_PXL VDD! PIXEL_G1
* Instance of Lib: aps, Cell: Iref_div_n, View: extracted
XII16 NET71 NET5 VSS! VSS! VCASCN VSS! IREF_DIV_N_G2
* Instance of Lib: aps, Cell: IMEM_p, View: extracted
XII0 NET35 NET81 NET9 INB NET3 NET44 NET60 NET30 NET83 NET33 VCASCP IMEM_P_G8
* Instance of Lib: aps, Cell: pol, View: schematic
XII17 NET95 VCASCP VCASCN VDD! VISRCN VSS! POL_G6
* Instance of Lib: wcells, Cell: wbuf_1, View: extracted
XII21 VDD! VSS! NET90 SHUTT_PXL WBUF_1_G3
* Instance of Lib: wcells, Cell: wbuf_1, View: extracted
XII20 VDD! VSS! NET92 RST_PXL WBUF_1_G3
* Instance of Lib: wcells, Cell: wbuf_1, View: extracted
XII19 VDD! VSS! NET80 RD_ROW WBUF_1_G3
* Instance of Lib: wcells, Cell: wand2_1, View: extracted
XII13 VDD! VSS! NET35 NET11 INB WAND2_1_G4
* Instance of Lib: wcells, Cell: winv_1, View: extracted
XII25 VDD! VSS! INB NET69 WINV_1_G5
* Instance of Lib: wcells, Cell: winv_1, View: extracted
XII23 VDD! VSS! NET60 NET30 WINV_1_G5
* Instance of Lib: wcells, Cell: winv_1, View: extracted
XII22 VDD! VSS! NET83 NET33 WINV_1_G5
XII18 VSS! TIEDOWN_G7
```

```
*****
* SOURCES DE TENSIONS
*
* ALIMENTATION
V14 VDD! VSS! 3.3
* Tension de reinitialisation de la photocellule
V15 V_RESET VSS! 900E-3
*
* Signal de contrôle SHUTT
V16 NET90 VSS! PULSE 0.0 3.3 1.9E-3 100F 100F 105U 2.0
```

* Signal de controle RST
 V17 NET92 VSS! PULSE 0.0 3.3 SU 100F 100F 2E-3 2.0
 * Signal de controle RD
 V18 NET80 VSS! PULSE 3.3 0.0 1.915E-3 100F 100F 1.0 2.0

 * Signal de controle Imin_on
 V8 NET35 VSS! PULSE 3.3 0.0 2.013E-3 500P 500P 1.0 2.0

 * Signaux de controle de commutateurs du circuit de réduction du FPN
 V6 NET83 VSS! PULSE 3.3 0.0 2.001E-3 500P 500P 1U 2.0
 V3 NET60 VSS! PULSE 3.3 0.0 2.01E-3 500P 500P 1U 2.0
 V2 NET9 VSS! PULSE 3.3 0.0 2.01E-3 500P 500P 2U 2.0
 V1 NET11 VSS! PULSE 3.3 0.0 2.001E-3 500P 500P 2U 2.0

 * Source permettant de varier la tension de seuil (VTH) du
 * transistor de transconductance (PIXEL_G1, M1)
 V99 VBULK_node! VDD! VBULK

 * Courant de polarisation
 I6 VDD! NET95 DC=180U

 * Photocourant
 I5 VDD! NET43 DC=PHOTO_I

 * Pour mesures de courant
 V21 NET108 NET113 0.0
 V22 NET113 NET71 0.0
 V20 NET81 NET5 0.0
 V12 NET42 NET113 0.0
 V5 NET3 VSS! 1.65
 V4 NET44 VSS! 1.65

 * DÉFINITION DES SOUS-CIRCUITS

```

.SUBCKT PIXEL_G1 V_RESET I_OUT I_PHOTO RD_ROW RST_PXL SHUTT_PXL VDD
DO I_PHOTO VDD PDIO AREA=51.84F PJ=30U
M1 NET8 NET47 VDD VBULK_node! PCH L=Lpxl W=Wpxl AD=+9.5E-13 +AS=+9.5E-13
PD=+3.9U PS=+3.9U NRD=+1.05 NRS=+1.05 M=1.0
M5 NET47 SHUTT_PXL I_PHOTO VDD PCH L=350N W=400N AD=+4E-13
+AS=+4E-13 PD=+2.8U PS=+2.8U NRD=+2.5 +NRS=+2.5 M=1.0
M4 V_RESET RST_PXL I_PHOTO VDD PCH L=350N W=1U AD=+1.00000000P
+AS=+1P PD=+4U PS=+4U NRD=+1 +NRS=+1 M=1.0
M2 I_OUT RD_ROW NET8 VDD PCH L=350N W=2U AD=+2.00000000P
+AS=+2P PD=+6U PS=+6U NRD=+5E-01 +NRS=+5E-01 M=1.0
.ENDS PIXEL_G1

.SUBCKT IREF_DIV_N_G2 IIN IOUT RES0 RES1 VCASCN VSS
M39 IIN RES0 2 VSS NCH L=350N W=700N AD=595F AS=595F PD=2.4U
+PS=2.4U NRD=+1.42857146 NRS=+1.42857146 M=1.0
M41 IIN RES1 1 VSS NCH L=350N W=700N AD=595F AS=595F PD=2.4U
+PS=2.4U NRD=+1.42857146 NRS=+1.42857146 M=1.0
M41 IIN RES1 1 VSS NCH L=350N W=700N AD=595F AS=595F PD=2.4U
+PS=2.4U NRD=+1.42857146 NRS=+1.42857146 M=1.0
M43 2 RES0 IIN VSS NCH L=350N W=30U AD=15P AS=25.5P PD=1u
+PS=31.7U NRD=+3.3E-02 NRS=+3.3E-02 M=1.0
M45 IIN RES0 2 VSS NCH L=350N W=30U AD=25.5P AS=15P PD=31.7U
+PS=1u NRD=+3.3E-02 NRS=+3.3E-02 M=1.0
M47 1 RES1 IIN VSS NCH L=350N W=30U AD=15P AS=25.5P PD=1u
+PS=31.7U NRD=+3.3E-02 NRS=+3.3E-02 M=1.0
M49 IIN RES1 1 VSS NCH L=350N W=30U AD=25.5P AS=15P PD=31.7U
+PS=1u NRD=+3.3E-02 NRS=+3.3E-02 M=1.0
M51 1 RES1 IIN VSS NCH L=350N W=30U AD=15P AS=25.5P PD=1u
+PS=31.7U NRD=+3.3E-02 NRS=+3.3E-02 M=1.0
M53 IIN RES1 1 VSS NCH L=350N W=30U AD=25.5P AS=15P PD=31.7U
+PS=1u NRD=+3.3E-02 NRS=+3.3E-02 M=1.0
M55 1 VCASCN 33 VSS NCH L=1.4U W=10U AD=8.5P AS=2.25P PD=11.7U
+PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0

```

M57 VSS VCASCN 34 VSS NCH L=1.4U W=10U AD=8.5P AS=2.25P PD=11.7U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M59 33 IIN VSS VSS NCH L=1.4U W=10U AD=2.25P AS=9.5P PD=450N
 +PS=11.9U NRD=+1E-01 NRS=+1E-01 M=1.0
 M61 34 IIN VSS VSS NCH L=1.4U W=10U AD=2.25P AS=9.5P PD=450N
 +PS=11.9U NRD=+1E-01 NRS=+1E-01 M=1.0
 M63 VSS IIN 17 VSS NCH L=1.4U W=10U AD=9.5P AS=2.25P PD=11.9U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M65 VSS IIN 18 VSS NCH L=1.4U W=10U AD=9.5P AS=2.25P PD=11.9U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M67 18 VCASCN 1 VSS NCH L=1.4U W=10U AD=2.25P AS=8.5P PD=450N
 +PS=11.7U NRD=+1E-01 NRS=+1E-01 M=1.0
 M69 17 VCASCN 2 VSS NCH L=1.4U W=10U AD=2.25P AS=8.5P PD=450N
 +PS=11.7U NRD=+1E-01 NRS=+1E-01 M=1.0
 M71 IOUT VCASCN 15 VSS NCH L=1.4U W=10U AD=8.5P AS=2.25P PD=11.7U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M73 IIN VCASCN 16 VSS NCH L=1.4U W=10U AD=8.5P AS=2.25P PD=11.7U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M75 15 IIN VSS VSS NCH L=1.4U W=10U AD=2.25P AS=9.5P PD=450N
 +PS=11.9U NRD=+1E-01 NRS=+1E-01 M=1.0
 M77 16 IIN VSS VSS NCH L=1.4U W=10U AD=2.25P AS=9.5P PD=450N
 +PS=11.9U NRD=+1E-01 NRS=+1E-01 M=1.0
 M79 VSS IIN 13 VSS NCH L=1.4U W=10U AD=9.5P AS=2.25P PD=11.9U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M81 VSS IIN 14 VSS NCH L=1.4U W=10U AD=9.5P AS=2.25P PD=11.9U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M83 13 VCASCN IIN VSS NCH L=1.4U W=10U AD=2.25P AS=8.5P PD=450N
 +PS=11.7U NRD=+1E-01 NRS=+1E-01 M=1.0
 M85 14 VCASCN IOUT VSS NCH L=1.4U W=10U AD=2.25P AS=8.5P PD=450N
 +PS=11.7U NRD=+1E-01 NRS=+1E-01 M=1.0
 M87 1 VCASCN 5 VSS NCH L=1.4U W=10U AD=8.5P AS=2.25P PD=11.7U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M89 2 VCASCN 6 VSS NCH L=1.4U W=10U AD=8.5P AS=2.25P PD=11.7U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M91 5 IIN VSS VSS NCH L=1.4U W=10U AD=2.25P AS=9.5P PD=450N
 +PS=11.9U NRD=+1E-01 NRS=+1E-01 M=1.0
 M93 6 IIN VSS VSS NCH L=1.4U W=10U AD=2.25P AS=9.5P PD=450N
 +PS=11.9U NRD=+1E-01 NRS=+1E-01 M=1.0
 M95 VSS IIN 4 VSS NCH L=1.4U W=10U AD=9.5P AS=2.25P PD=11.9U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M97 VSS IIN 3 VSS NCH L=1.4U W=10U AD=9.5P AS=2.25P PD=11.9U
 +PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
 M99 3 VCASCN VSS VSS NCH L=1.4U W=10U AD=2.25P AS=8.5P PD=450N
 +PS=11.7U NRD=+1E-01 NRS=+1E-01 M=1.0
 M101 4 VCASCN 1 VSS NCH L=1.4U W=10U AD=2.25P AS=8.5P PD=450N
 +PS=11.7U NRD=+1E-01 NRS=+1E-01 M=1.0
 .ENDS IREF_DIV_N_G2

.SUBCKT IMEM_P G8 IADC IN INA INB OUTA OUTB SMPLA SMPLA_N SMPLB SMPLB_N VCASCP
 M44 1 IADC OUTB VDD! PCH L=350N W=20U AD=10P AS=17P PD=1u
 +PS=21.7U NRD=+5E-02 NRS=+5E-02 M=1.0
 M46 7 INA 6 VDD! PCH L=350N W=20U AD=10P AS=10P PD=1u
 +PS=1u NRD=+5E-02 NRS=+5E-02 M=1.0
 M48 2 IADC 1 VDD! PCH L=350N W=20U AD=10P AS=10P PD=1u
 +PS=1u NRD=+5E-02 NRS=+5E-02 M=1.0
 M50 8 INA 7 VDD! PCH L=350N W=20U AD=17P AS=10P PD=21.7U
 +PS=1u NRD=+5E-02 NRS=+5E-02 M=1.0
 M52 3 IADC 2 VDD! PCH L=350N W=20U AD=17P AS=10P PD=21.7U
 +PS=1u NRD=+5E-02 NRS=+5E-02 M=1.0
 M54 9 IADC 8 VDD! PCH L=350N W=20U AD=10P AS=17P PD=1u
 +PS=21.7U NRD=+5E-02 NRS=+5E-02 M=1.0
 M56 4 INB 3 VDD! PCH L=350N W=20U AD=10P AS=17P PD=1u
 +PS=21.7U NRD=+5E-02 NRS=+5E-02 M=1.0
 M58 10 IADC 9 VDD! PCH L=350N W=20U AD=10P AS=10P PD=1u
 +PS=1u NRD=+5E-02 NRS=+5E-02 M=1.0
 M60 5 INB 4 VDD! PCH L=350N W=20U AD=10P AS=10P PD=1u
 +PS=1u NRD=+5E-02 NRS=+5E-02 M=1.0
 M62 OUTA IADC 10 VDD! PCH L=350N W=20U AD=17P AS=10P PD=21.7U

```

+PS=lu NRD=+5E-02 NRS=+5E-02 M=1.0
M64 IN INB 5 VDD! PCH L=350N W=20U AD=17P AS=10P PD=21.7U
+PS=lu NRD=+5E-02 NRS=+5E-02 M=1.0
M66 6 INA IN VDD! PCH L=350N W=20U AD=10P AS=17P PD=lu
+PS=21.7U NRD=+5E-02 NRS=+5E-02 M=1.0
M68 29 11 VDD! VDD! PCH L=1.4U W=10U AD=2.25P AS=9.5P PD=450N
+PS=11.9U NRD=+1E-01 NRS=+1E-01 M=1.0
M70 3 VCASCP 29 VDD! PCH L=1.4U W=10U AD=8.5P AS=2.25P PD=11.7U
+PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
M72 28 VCASCP 3 VDD! PCH L=1.4U W=10U AD=2.25P AS=8.5P PD=450N
+PS=11.7U NRD=+1E-01 NRS=+1E-01 M=1.0
M74 VDD! 11 28 VDD! PCH L=1.4U W=10U AD=9.5P AS=2.25P PD=11.9U
+PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
M76 3 VCASCP 27 VDD! PCH L=1.4U W=10U AD=8.5P AS=2.25P PD=11.7U
+PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
M78 26 VCASCP 3 VDD! PCH L=1.4U W=10U AD=2.25P AS=8.5P PD=450N
+PS=11.7U NRD=+1E-01 NRS=+1E-01 M=1.0
M80 27 11 VDD! VDD! PCH L=1.4U W=10U AD=2.25P AS=9.5P PD=450N
+PS=11.9U NRD=+1E-01 NRS=+1E-01 M=1.0
M82 VDD! 11 26 VDD! PCH L=1.4U W=10U AD=9.5P AS=2.25P PD=11.9U
+PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
M84 11 SMPLB_N 11 VDD! PCH L=350N W=400N AD=820F AS=820F PD=3.7U
+PS=3.6U NRD=+2.5 NRS=+2.5 M=1.0
M86 3 SMPLB 11 VDD! PCH L=350N W=400N AD=820F AS=780F PD=3.7U
+PS=3.5U NRD=+2.5 NRS=+2.5 M=1.0
M88 12 SMPLA_N 12 VDD! PCH L=350N W=400N AD=820F AS=780F PD=3.7U
+PS=3.5U NRD=+2.5 NRS=+2.5 M=1.0
M90 12 SMPLA 8 VDD! PCH L=350N W=400N AD=820F AS=820F PD=3.7U
+PS=3.6U NRD=+2.5 NRS=+2.5 M=1.0
M92 8 VCASCP 32 VDD! PCH L=1.4U W=10U AD=8.5P AS=2.25P PD=11.7U
+PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
M94 8 VCASCP 33 VDD! PCH L=1.4U W=10U AD=8.5P AS=2.25P PD=11.7U
+PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
M96 32 12 VDD! VDD! PCH L=1.4U W=10U AD=2.25P AS=9.5P PD=450N
+PS=11.9U NRD=+1E-01 NRS=+1E-01 M=1.0
M98 33 12 VDD! VDD! PCH L=1.4U W=10U AD=2.25P AS=9.5P PD=450N
+PS=11.9U NRD=+1E-01 NRS=+1E-01 M=1.0
M100 VDD! 12 30 VDD! PCH L=1.4U W=10U AD=9.5P AS=2.25P PD=11.9U
+PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
M102 VDD! 12 31 VDD! PCH L=1.4U W=10U AD=9.5P AS=2.25P PD=11.9U
+PS=450N NRD=+1E-01 NRS=+1E-01 M=1.0
M104 30 VCASCP 8 VDD! PCH L=1.4U W=10U AD=2.25P AS=8.5P PD=450N
+PS=11.7U NRD=+1E-01 NRS=+1E-01 M=1.0
M106 31 VCASCP 8 VDD! PCH L=1.4U W=10U AD=2.25P AS=8.5P PD=450N
+PS=11.7U NRD=+1E-01 NRS=+1E-01 M=1.0
C108 12 VDD! 999.796816517073F M=1.0
C110 11 VDD! 999.796816517073F M=1.0
.ENDS IMEM_P_G8

```

```

.SUBCKT POL_G6 IPOL VCASCP VCASN VDD VISRCN VSS
M27 NET50 NET50 VDD VDD PCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=1.0
M32 NET164 VCASCP NET124 VDD VDD PCH L=+1.4U W=+4.0E-5 AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-5 PS=+8.2E-5 +NRD=+2.5E-2 NRS=+2.5E-2 M=1.0
M25 NET157 VCASCP VDD VDD PCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=1.0
M33 NET124 NET71 VDD VDD PCH L=+1.4U W=+4.0E-5 AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-5 PS=+8.2E-5 +NRD=+2.5E-2 NRS=+2.5E-2 M=1.0
M23 NET117 VCASCP NET19 VDD PCH L=+1.4U W=+4.0E-5 AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-5 PS=+8.2E-5 +NRD=+2.5E-2 NRS=+2.5E-2 M=+8.0
M22 NET19 NET117 VDD VDD PCH L=+1.4U W=+4.0E-5 AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-5 PS=+8.2E-5 +NRD=+2.5E-2 NRS=+2.5E-2 M=+8.0
M21 NET13 NET117 VDD VDD PCH L=+1.4U W=+4.0E-5 AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-5 PS=+8.2E-5 +NRD=+2.5E-2 NRS=+2.5E-2 M=1.0
M20 VISRCN VCASCP NET13 VDD PCH L=+1.4U W=+4.0E-5 AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-5 PS=+8.2E-5 +NRD=+2.5E-2 NRS=+2.5E-2 M=1.0
M19 VCASCP VCASCP NET157 VDD PCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=1.0

```

```

M18 VCASN VCASCP NET25 VDD PCH L=+1.4U W=+4.0E-5 AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-5 PS=+8.2E-5 +NRD=+2.5E-2 NRS=+2.5E-2 M=1.0
M17 NET25 NET71 VDD VDD PCH L=+1.4U W=+4.0E-5 AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-5 PS=+8.2E-5 +NRD=+2.5E-2 NRS=+2.5E-2 M=1.0
M11 NET34 NET71 VDD VDD PCH L=+1.4U W=+4.0E-5 AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-5 PS=+8.2E-5 +NRD=+2.5E-2 NRS=+2.5E-2 M=1.0
M10 NET71 VCASCP NET34 VDD PCH L=+1.4U W=+4.0E-5 AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-5 PS=+8.2E-5 +NRD=+2.5E-2 NRS=+2.5E-2 M=1.0
M26 VCASN VCASN NET176 VSS NCH L=+1.4U W=+1.0E-5 AD=+1.0E-11
+AS=+1.0E-11 PD=+2.2E-5 PS=+2.2E-5 +NRD=+1.0E-01 NRS=+1.0E-01 M=1.0
M28 NET164 VCASN NET161 VSS NCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=1.0
M29 NET161 NET164 VSS VSS NCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=1.0
M16 NET56 VISRCN VSS VSS NCH L=+1.4U W=+1.0E-5 AD=+1.0E-11
+AS=+1.0E-11 PD=+2.2E-5 PS=+2.2E-5 +NRD=+1.0E-01 NRS=+1.0E-01 M=1.0
M15 NET50 VCASN NET56 VSS NCH L=+1.4U W=+1.0E-5 AD=+1.0E-11
+AS=+1.0E-11 PD=+2.2E-5 PS=+2.2E-5 +NRD=+1.0E-01 NRS=+1.0E-01 M=1.0
M14 VISRCN VCASN NET59 VSS NCH L=+1.4U W=+1.0E-5 AD=+1.0E-11
+AS=+1.0E-11 PD=+2.2E-5 PS=+2.2E-5 +NRD=+1.0E-01 NRS=+1.0E-01 M=1.0
M12 NET117 VCASN NET47 VSS NCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=1.0
M13 NET59 VISRCN VSS VSS NCH L=+1.4U W=+1.0E-5 AD=+1.0E-11
+AS=+1.0E-11 PD=+2.2E-5 PS=+2.2E-5 +NRD=+1.0E-01 NRS=+1.0E-01 M=1.0
M7 NET47 NET164 VSS VSS NCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 M=1.0
M6 NET38 NET164 VSS VSS NCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=1.0
M5 VCASCP VCASN NET38 VSS NCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=1.0
M4 NET64 IPOL VSS VSS NCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=+2.0
M3 IPOL VCASN NET64 VSS NCH L=+1.4U W=+2.0E-5 AD=+2.0E-11 +AS=+2.0E-11
PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=+2.0
M2 NET176 VCASN VSS VSS NCH L=+1.4U W=+1.0E-5 AD=+1.0E-11 +AS=+1.0E-11
PD=+2.2E-5 PS=+2.2E-5 +NRD=+1.0E-01 NRS=+1.0E-01 M=1.0
M1 NET71 VCASN NET70 VSS NCH L=+1.4U W=+2.0E-5 AD=+2.0E-11 +AS=+2.0E-11
PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=+1.0
M0 NET70 IPOL VSS VSS NCH L=+1.4U W=+2.0E-5 AD=+2.0E-11
+AS=+2.0E-11 PD=+4.2E-5 PS=+4.2E-5 +NRD=+5.0E-2 NRS=+5.0E-2 M=+1.0
.ENDS POL_G6
*****  

* SOUS-CIRCUITS DE LA LIBRAIRIE W CELLS CMOS 0.35  

* La description de chacun des circuits des librairies standards  

* doit etre inserree ici, mais a ete retiree pour cette annexe

```

```

.SUBCKT WBUF_1_G3 VDD! VSS! IP OP
```
.ENDS WBUF_1_G3
.SUBCKT WAND2_1_G4 VDD! VSS! IP1 IP2 OP
```
.ENDS WAND2_1_G4
.SUBCKT WINV_1_G5 VDD! VSS! IP OP
```
.ENDS WINV_1_G5

```

```

.SUBCKT TIEDOWN G7 GNDPOINT
R3 0 GNDPOINT 1.0 M=1.0
.ENDS TIEDOWN_G7

```

```

* TRANSISTORS "TOP-LEVEL" POUR LA GENERATION DE Imin

```

```

M6 NET108 VCASCP NET52 VDD! PCH L=1.4U W=40U AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-05 PS=+8.2E-05 NRD=+2.5E-02 +NRS=+2.5E-02 M=1.0
M2 NET55 NET65 VDD! VDD! PCH L=1.4U W=40U AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-05 PS=+8.2E-05 NRD=+2.5E-02 +NRS=+2.5E-02 M=1.0

```

```

M5 NET65 VCASCP NET55 VDD! PCH L=1.4U W=40U AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-05 PS=+8.2E-05 NRD=+2.5E-02 +NRS=+2.5E-02 M=1.0
M1 NET52 NET65 VDD! VDD! PCH L=1.4U W=40U AD=+4.0E-11
+AS=+4.0E-11 PD=+8.2E-05 PS=+8.2E-05 NRD=+2.5E-02 +NRS=+2.5E-02 M=1.0
M0 NET65 NET70 VSS! VSS! NCH L=1.4U W=10U AD=+1.0E-11
+AS=+1.0E-11 PD=+2.2E-05 PS=+2.2E-05 NRD=+1.0E-01 +NRS=+1.0E-01 M=1.0
M3 NET70 INB VSS! VSS! NCH L=350N W=30U AD=+3.0E-11
+AS=+3.0E-11 PD=+6.2E-05 PS=+6.2E-05 NRD=+3.3E-02 +NRS=+3.3E-02 M=1.0
M4 VISRCN NET69 NET70 VSS! NCH L=350N W=30U AD=+3.0E-11
+AS=+3.0E-11 PD=+6.2E-05 PS=+6.2E-05 NRD=+3.3E-02 +NRS=+3.3E-02 M=1.0

* DÉFINITION DES PARAMÈTRES DE SIMULATION DE LA PHOTOCELLULES

.PARAM Lpxl=lum Wpxl=lum VBULK=0V PHOTO_I=20pA

* SIMULATIONS

.TRAN 100ns 2.04ms START=0 UIC SWEEP DATA=photocourant

.PROBE TRAN
+ I(V20)
+ I(V4)
+ I(V5)
+ I(V12)

* MESURE DES COURANTS DE SORTIE SUR LONGUE PERIODE

.MEAS TRAN avg_dif AVG I(V4) FROM=2.02ms TO=2.04ms
.MEAS TRAN avg_ref AVG I(V5) FROM=2.02ms TO=2.04ms
.MEAS TRAN avg_pxi AVG I(V12) FROM=1.96ms TO=2ms

.TEMP 27.0000
.OP
.save

* VALEURS DU PHOTOCOURANT POUR SWEEP PARAMETRIQUE

.DATA photocourant
 num PHOTO_I
 0 0A
 1 2pA
 2 4pA
 3 6pA
 4 8pA
 5 10pA
 6 12pA
 7 14pA
 8 16pA
 9 18pA
 10 20pA
 11 22pA
 12 24pA
 13 26pA
 14 28pA
 15 30pA
 16 32pA
 17 34pA
 18 36pA
 19 38pA
 20 40pA
 21 42pA
 22 44pA
 23 46pA

```

24        48pA  
25        50pA

\*\*\*\*\*  
\* OPTIONS DE SIMULATION

```
.OPTION INGOLD = 1
.OPTION NUMDGT = 10
.OPTION METHOD = GEAR
.OPTION DVDT = 1
.OPTION LVLTIM = 3
.OPTION ABSV = 1.000E-8
.OPTION ABSTOL = 1.000E-8
.OPTION RELTOL = 1.000E-4
.OPTION ABSH = 1.000E-8
.OPTION RELH = 1.000E-3
.OPTION ABSMOS = 1.000E-8
.OPTION RELMOS = 1.000E-4
.OPTION IMIN = 5
.OPTION IMAX = 10
.OPTION RMIN = 1.000F
.OPTION RELV = 1.00000E-04
.OPTION RELI = 1.00000E-09
.OPTION ABSI = 1.00000F
.OPTION POST
.OPTION BYTOL = 0
.OPTION BYPASS = 0
.OPTION UNWRAP
.OPTION GMIN = 1.00000E-24
.OPTION GMINDC = 1.00000E-24
.OPTION GSHUNT = 1.000F
.OPTION CSHUNT = 1.000E-24
```

\*\*\*\*\*  
\* REFERENCES AUX MODELES UTILISES

\* Select only one model set at a time.

.PROTECT

```
.LIB '/CMC/kits/cmosp35/models/hspice/logp3v5v.1' TT
*.LIB '/CMC/kits/cmosp35/models/hspice/logp3v5v.1' SS
*.LIB '/CMC/kits/cmosp35/models/hspice/logp3v5v.1' FF
*.LIB '/CMC/kits/cmosp35/models/hspice/logp3v5v.1' SF
*.LIB '/CMC/kits/cmosp35/models/hspice/logp3v5v.1' FS
.LIB '/CMC/kits/cmosp35/models/hspice/logp3v5v.1' BIP
.LIB '/CMC/kits/cmosp35/models/hspice/logp3v5v.1' DIO
```

.UNPROTECT

.END

## **ANNEXE C**

### **SIMULATIONS DES MODULES ANALOGIQUES**

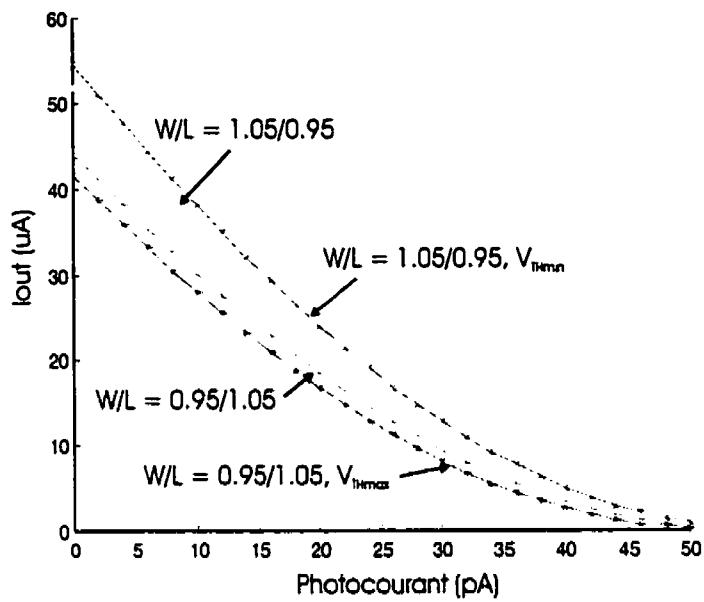


Figure C.1 : Caractéristique de sortie directe de photocellules non appareillées

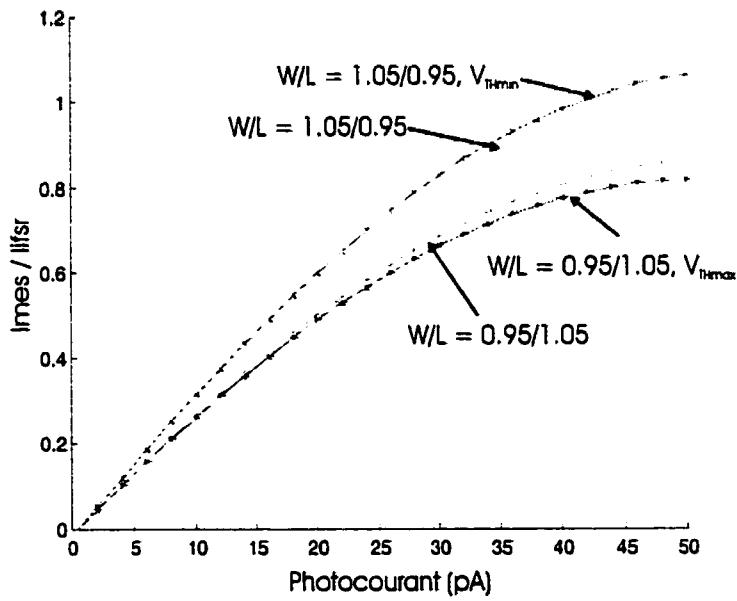
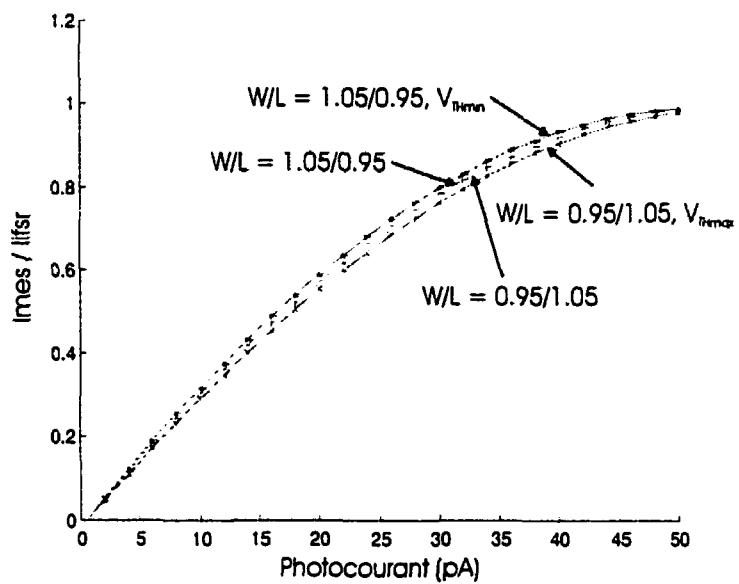
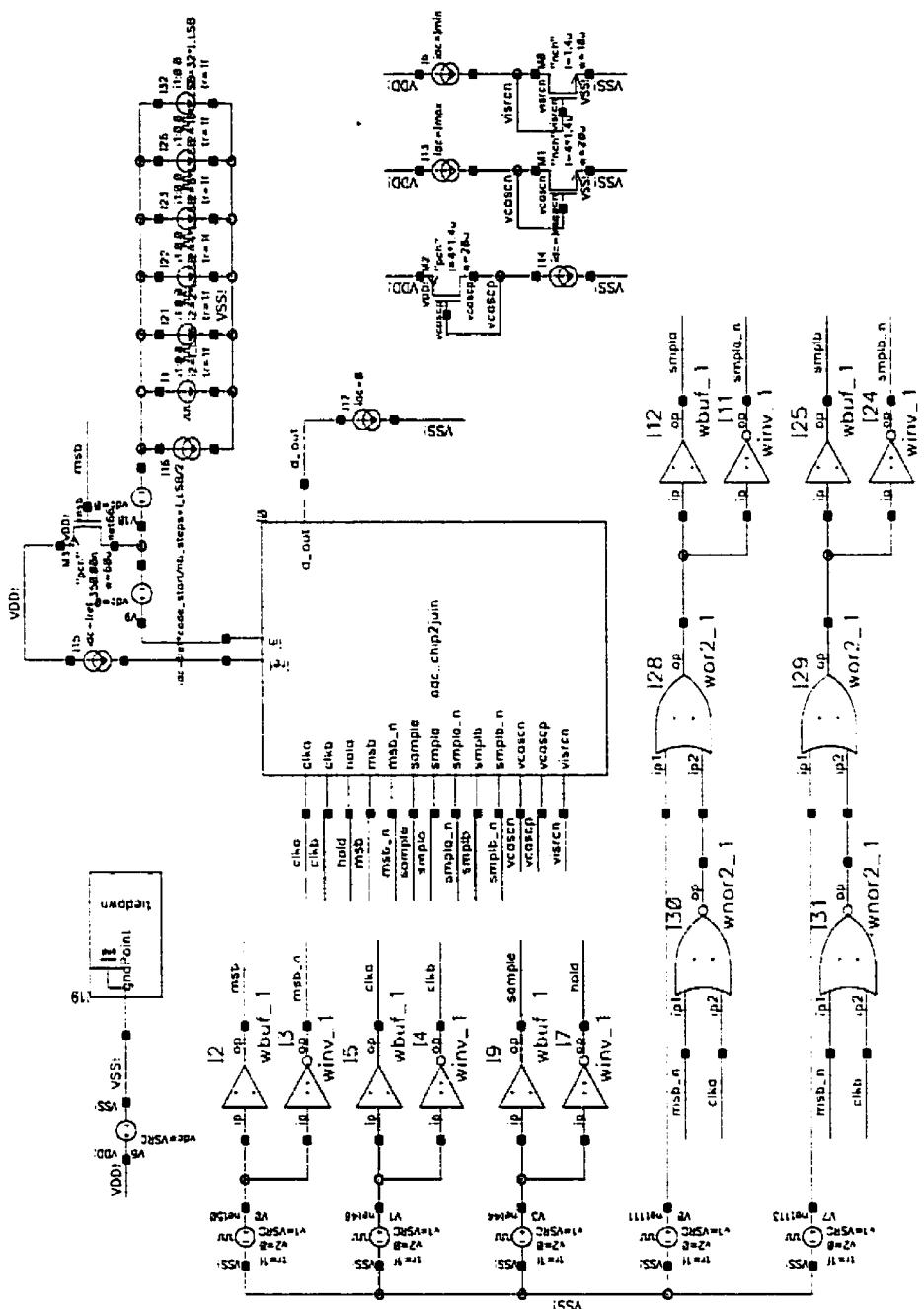


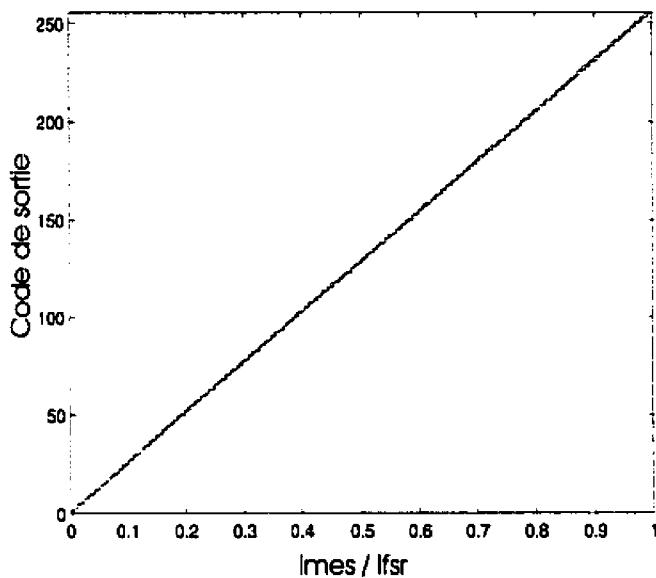
Figure C.2 : Caractéristique de sortie de photocellules non appareillées avec CDS à référence fixe



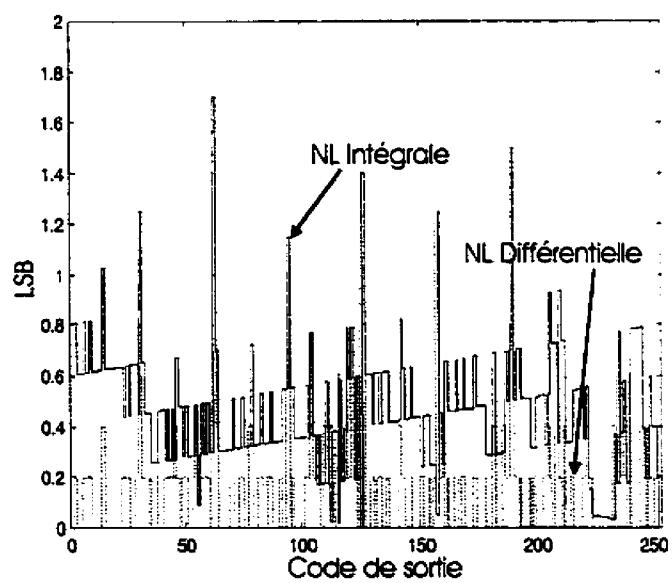
**Figure C.3 : Caractéristique de sortie de photocellules non appareillées avec ajustement de la plage de conversion**



**Figure C.4 : Circuit de simulation du CAN algorithmique cyclique**



**Figure C.5 : Caractéristique de sortie du CAN algorithmique cyclique (idéale et simulée)**



**Figure C.6 : Non-linéarités différentielle et intégrale du CAN algorithmique cyclique**

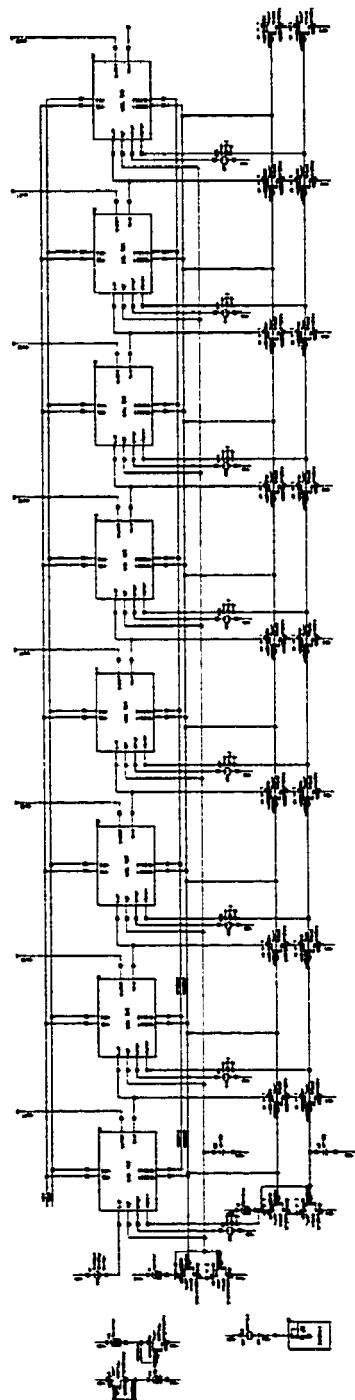


Figure C.7 : Circuit de simulation du CAN en cascade

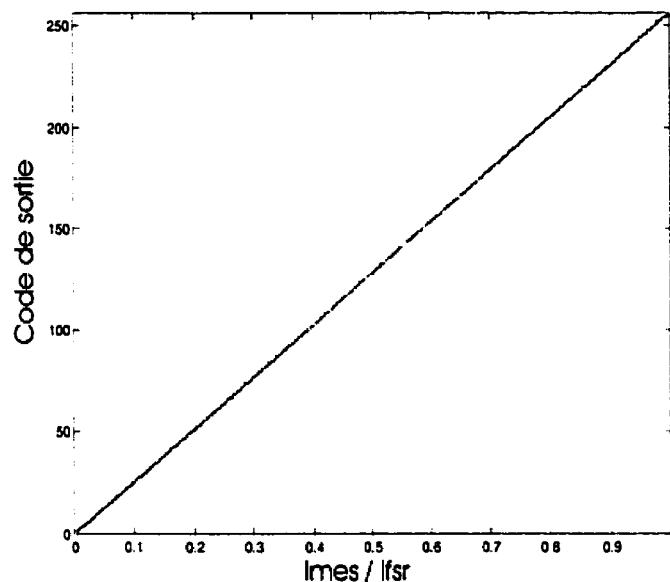


Figure C.8 : Caractéristique de sortie du CAN en cascade (Idéale et simulée)

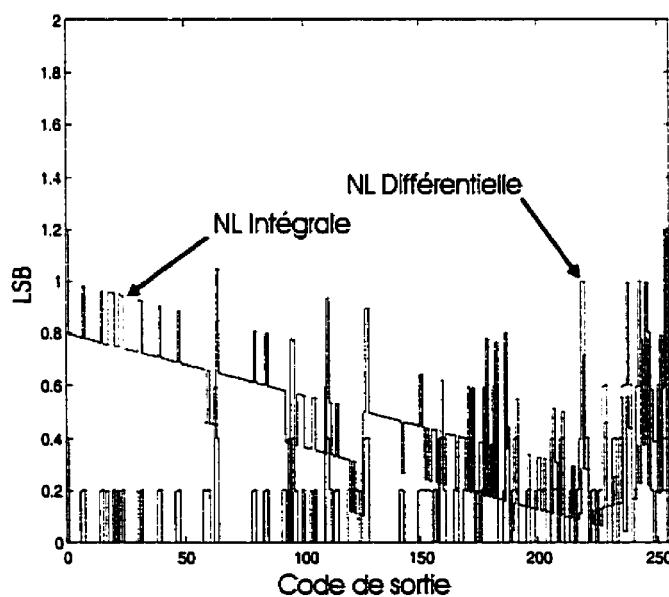
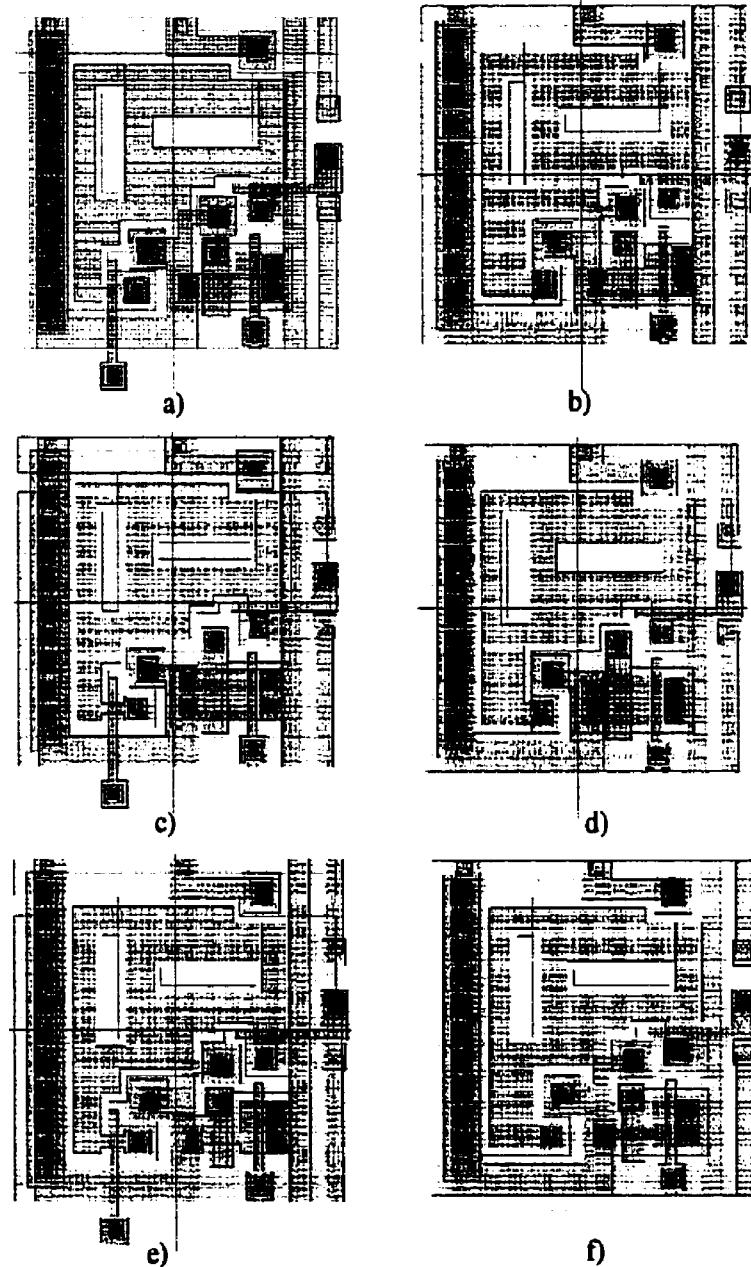


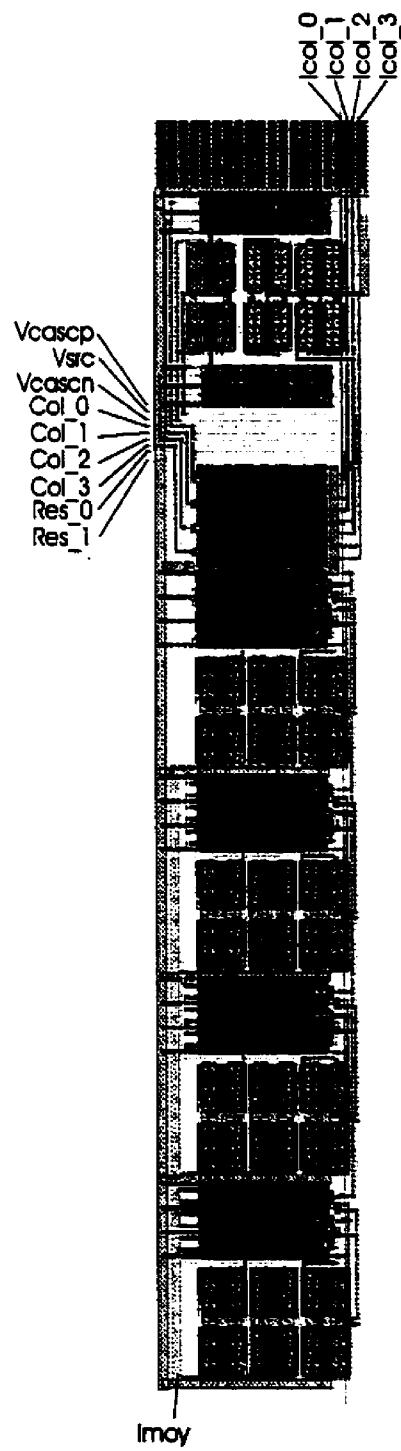
Figure C.9 : Non-linéarités différentielle et intégrale du CAN en cascade

## **ANNEXE D**

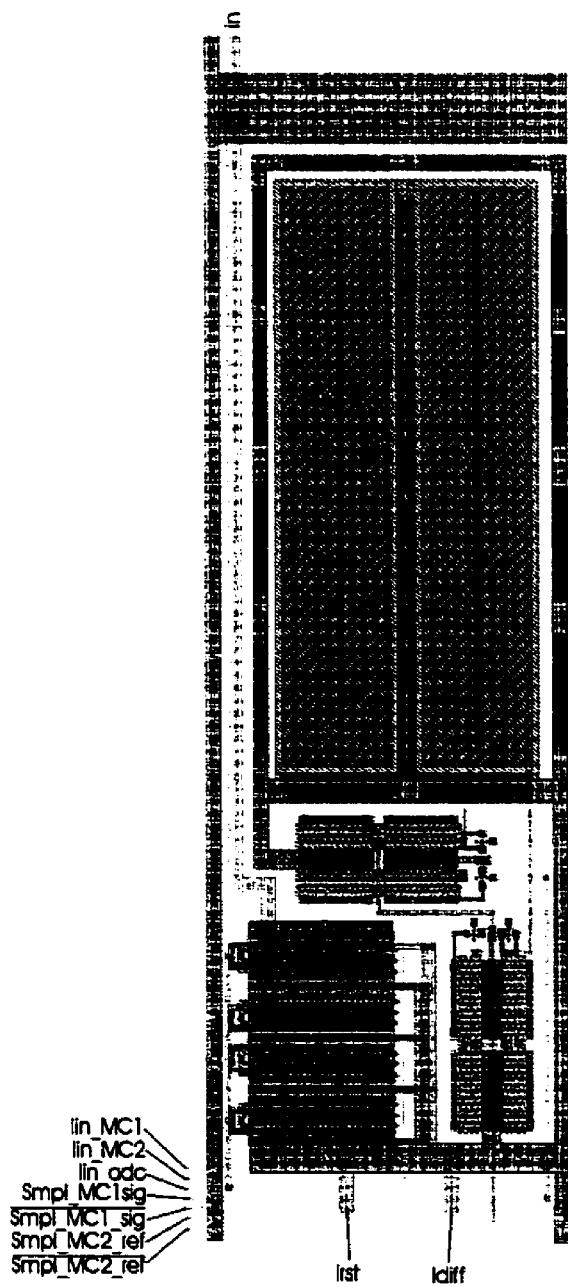
### **MASQUES DE FABRICATION**



**Figure D. 1: Cellules photosensibles**  
(a :  $W/L=1/1$ , avec obturateur ; b :  $W/L=1/1$ , sans obturateur ;  
c :  $W/L=2/1$ , avec obturateur ; d :  $W/L=2/1$ , sans obturateur ;  
e :  $W/L=.4/.8$ , avec obturateur ; f :  $W/L=.4/.8$ , sans obturateur)



**Figure D.2 : Circuit de multiplexage et d'évaluation de la moyenne des colonnes**



**Figure D.3 : Circuit de réduction du FPN**

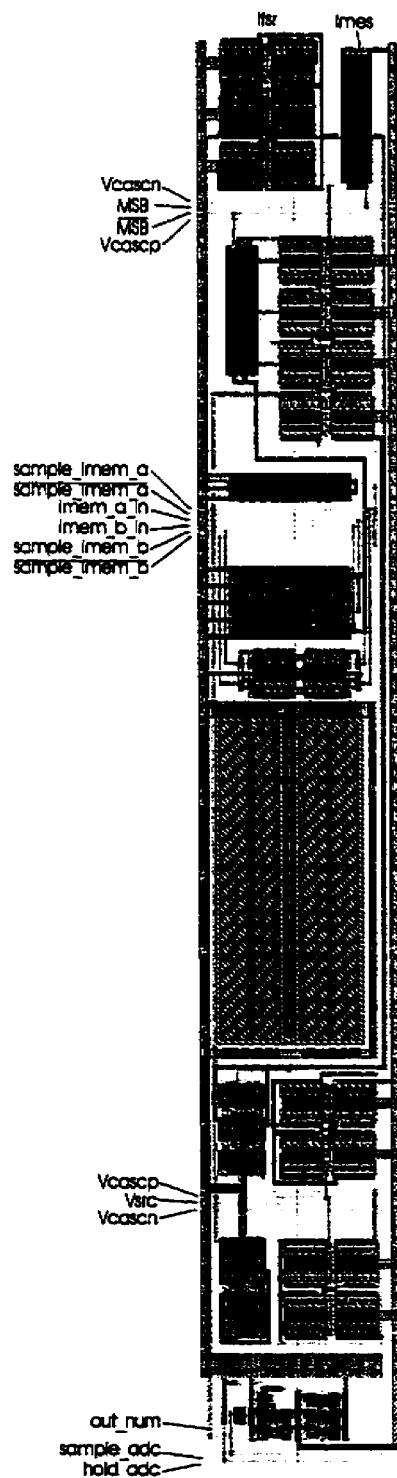
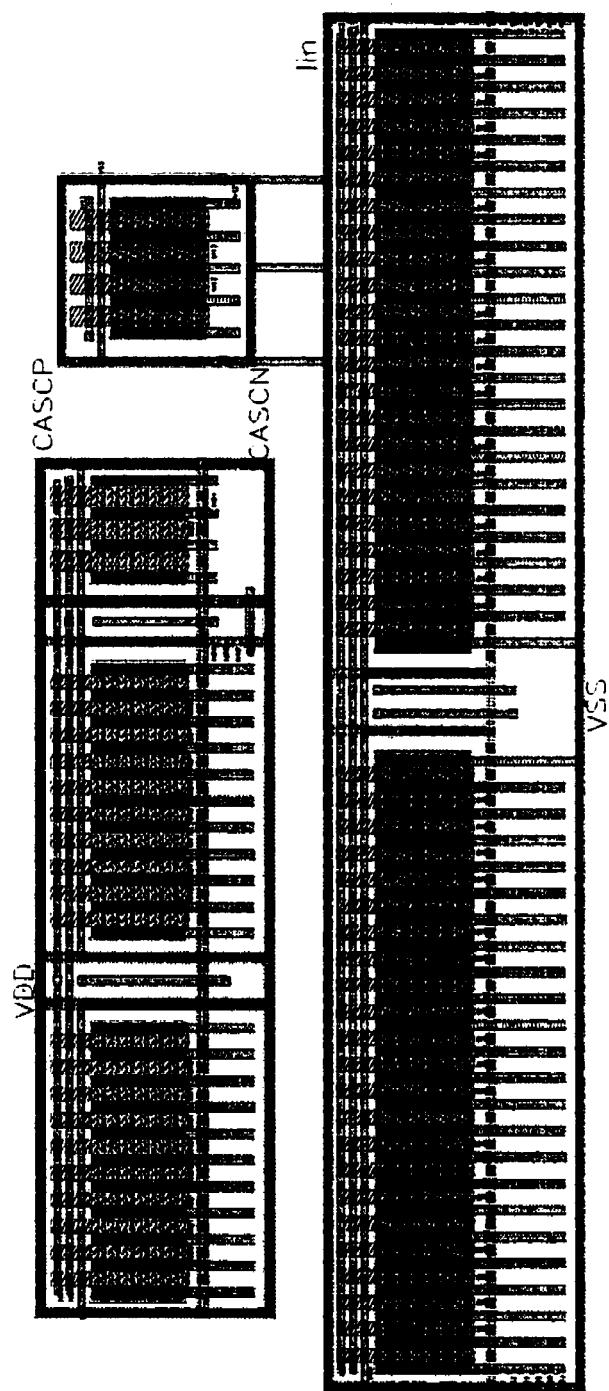


Figure D.4 : CAN Algorithmique Cyclique



**Figure D.5 : Circuit de génération des tensions de polarisation des transistors cascode**

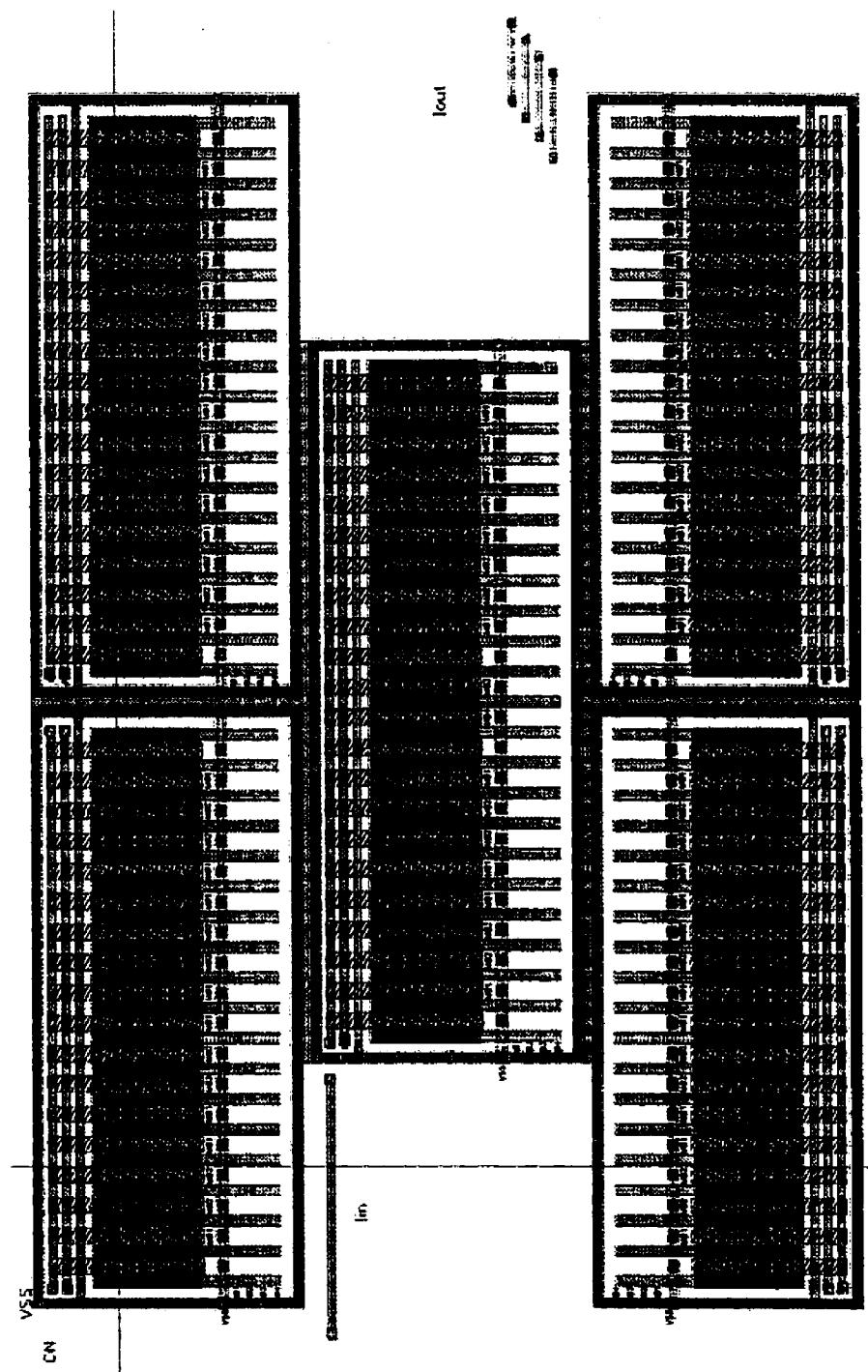


Figure D.6 : Circuit de génération de la tension de polarisation des sources de courant  $I_{min}$

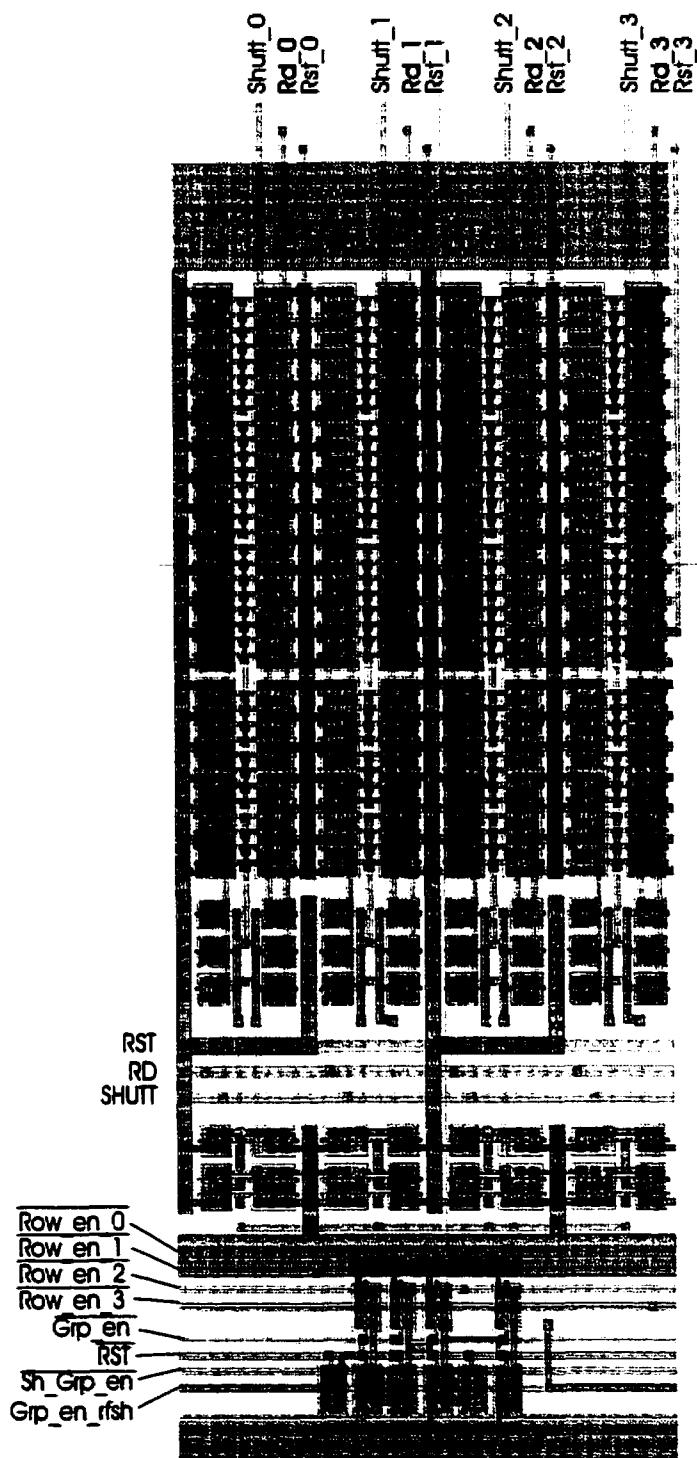


Figure D.7 : Circuit de contrôle de groupe de quatre lignes

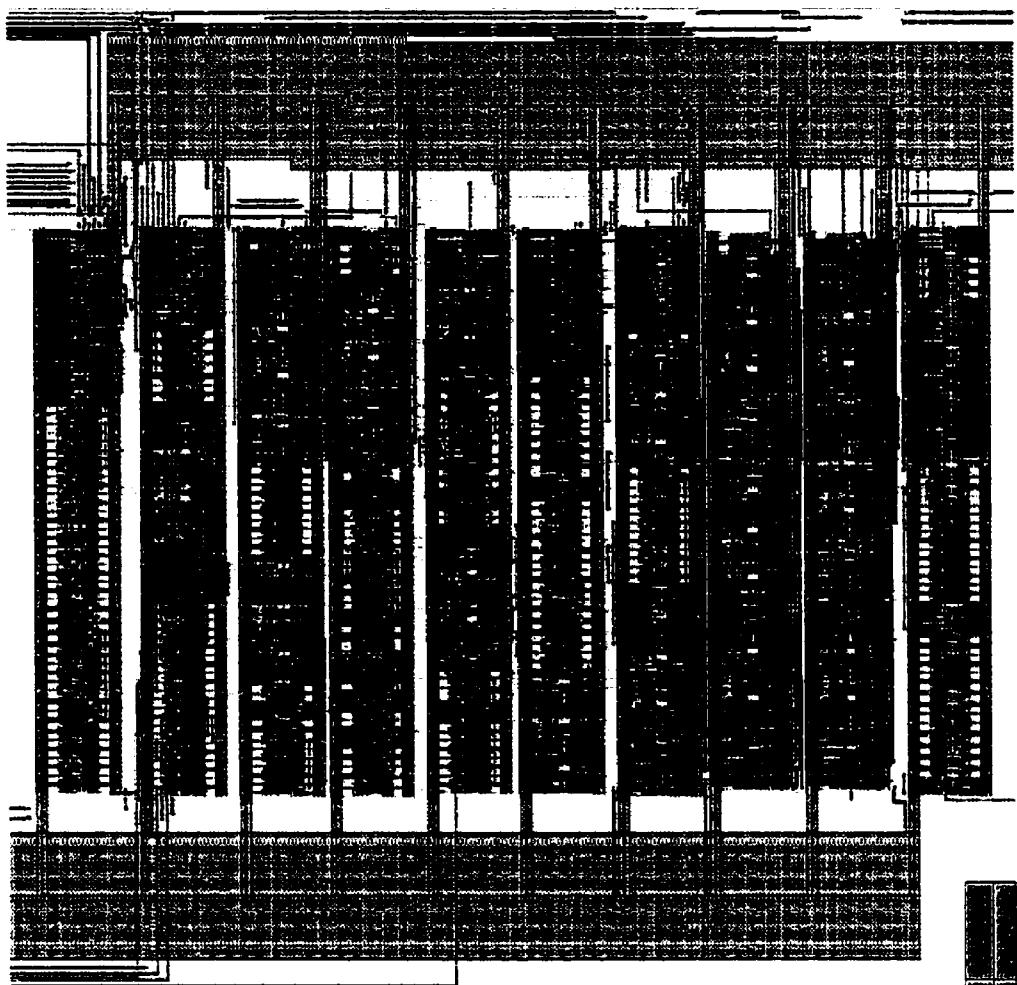


Figure D.8 : Circuits numériques générés par synthèse

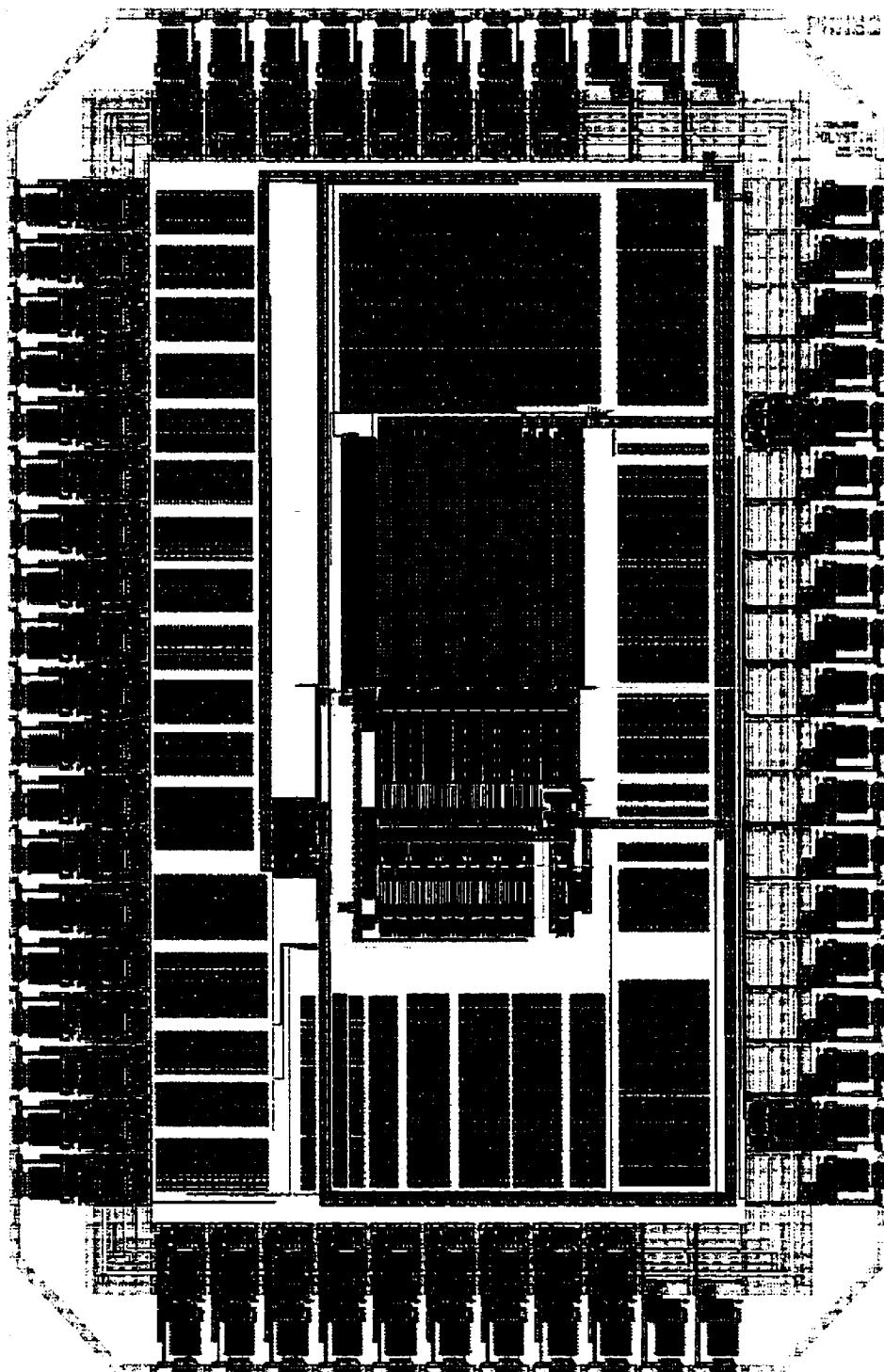


Figure D.9 : Capteur d'images de tests

## **ANNEXE E**

### **DÉFINITION DES BROCHES DU CAPTEUR D'IMAGES DE TESTS**

|                   | sample<br>a        |       | conv<br>col 1 | rescl 0 | iin adc | shutt<br>pxd | pxd tst 0   | VSS |                          |
|-------------------|--------------------|-------|---------------|---------|---------|--------------|-------------|-----|--------------------------|
| sample<br>fpn     | sample<br>b        |       | reset         | rescl 1 | rst pxd | rd pxd       | pxd tst 1   |     | VDD_N VDD A              |
| clk               | iin fpn            |       |               |         |         |              |             |     | Vrst pxd tst 2           |
| shutt<br>pxd tst  | sh row             |       |               |         |         |              |             |     | pxd tst 3 rd 0 tst       |
| row act<br>1      | rst pxd<br>tst     |       |               |         |         |              |             |     | icol 0 icol 1            |
| conv<br>col 0     | row act<br>2       |       |               |         |         |              |             |     | icol 3 icol 2            |
| row act<br>0      | row in/<br>sig_ref |       |               |         |         |              |             |     | imir 1 imir 0            |
| adc<br>imem<br>ab | row act<br>3       |       |               |         |         |              |             |     | imes<br>fpn isrc         |
| adc_1             | adc_0              |       |               |         |         |              |             |     | icasc ifsr adc           |
| clk2<br>ack       | sample<br>adc      |       | msb           | adc_4   | adc_6   | adc_8        | ifsr fpn    |     | adc out<br>tst pxd tst 4 |
|                   |                    | adc_2 | adc_3         | adc_5   | adc_7   | adc_9        | imes<br>adc |     | pxd tst 5                |

Vue du dessus

Figure E.1 : Broches du capteur d'images de tests

**Tableau E.1 : Liste et définition des broches du capteur d'images de tests**

| <b>Broche</b>  | <b>E/S</b> | <b>A/N</b> | <b>+/-</b> | <b>Fonction</b>                                                                                                               |
|----------------|------------|------------|------------|-------------------------------------------------------------------------------------------------------------------------------|
| adc[9..0]      | S          | N          | +          | Sortie des CAN                                                                                                                |
| adc_mem_ab     | E          | N          |            | Indique, pour le CAN, quelle mémoire de courant est en mode échantillonnage                                                   |
| adc_out_tst    | S          | N          | +          | Sortie du CAN de tests externe à la matrice                                                                                   |
| clk            | E          | N          |            | Horloge globale                                                                                                               |
| conv_col[1..0] | E          | N          | +          | Indique, pour chaque groupe de 4 colonnes, laquelle est traitée                                                               |
| Icasc          | E          | A          | +          | Courant de polarisation des transistors cascodes                                                                              |
| Icol[3..0]     | S          | A          | -          | Courant de sortie des colonnes de test                                                                                        |
| lin_adc        | E          | N          | -          | Rend les courant Imes et Ifsr disponibles pour la conversion analogique à numérique                                           |
| lin_fpn        | E          | N          | -          | Rend le courant à la sortie du circuit d'évaluation de la moyenne des colonnes disponible pour le circuit de réduction du FPN |
| Imir[1..0]     | S          | A          | +          | Courant de sortie du circuit de multiplexage et d'évaluation de la moyenne de colonnes                                        |
| Ifsr_adc       | E          | A          | +          | Courant de référence du CAN de tests                                                                                          |
| Ifsr_fpn       | S          | A          | -          | Courant Ifsr de sortie du circuit de réduction du FPN                                                                         |
| Imes_adc       | E          | A          | -          | Courant à mesurer du CAN de tests                                                                                             |
| Imes_fpn       | S          | A          | +          | Courant Imes de sortie du circuit de réduction du FPN                                                                         |
| Isrc           | E          | A          | +          | Courant de polarisation des sources Imin                                                                                      |
| msb            | E          | N          | +          | Indique que le bit évalué par les CAN est le MSB                                                                              |
| pxl_tst[5..0]  | S          | A          | -          | Courant de sortie des photocellules de tests externes à la matrice                                                            |
| rd_pxl         | E          | N          | -          | Activation du courant de sortie des photocellules                                                                             |
| reset          | E          | N          | -          | Signal de réinitialisation général                                                                                            |

|                       |   |   |   |                                                                                                                                |
|-----------------------|---|---|---|--------------------------------------------------------------------------------------------------------------------------------|
| <b>resol[1..0]</b>    | E | N |   | Résolution de l'image (0=1x1, 1=2x2, 3=4x4)                                                                                    |
| <b>row_act[3..0]</b>  | E | N | - | Signal d'activation des rangées                                                                                                |
| <b>row_in/sig_ref</b> | E | N | + | Entrée du registre à décalage d'activation de groupes de lignes / choix de mémoire de courant dans circuit de réduction du FPN |
| <b>rst_pxl</b>        | E | N | - | Initialisation des cellules photosensibles                                                                                     |
| <b>rst_pxl_tst</b>    | E | N | - | Initialisation des photocellules de tests externes à la matrice                                                                |
| <b>sample_adc</b>     | E | N | + | Échantillonnage des comparateurs des CAN                                                                                       |
| <b>sample_a</b>       | E | N | + | Échantillonnage du courant de résidu à l'aide de la mémoire de courant A dans CAN                                              |
| <b>sample_b</b>       | E | N | + | Échantillonnage du courant de résidu à l'aide de la mémoire de courant B dans CAN                                              |
| <b>sample_fpn</b>     | E | N | + | Échantillonnage des mémoires de courant du circuit de réduction du FPN                                                         |
| <b>sh_row</b>         | E | N | + | Horloge du registre à décalage d'activation de groupes de lignes                                                               |
| <b>shutt_pxl</b>      | E | N | - | Obturateur des photocellules de la matrice                                                                                     |
| <b>shutt_pxl_tst</b>  | E | N | - | Obturateur des photocellules de tests externes à la matrice                                                                    |
| <b>VDD_A</b>          |   |   |   | Alimentation analogique                                                                                                        |
| <b>VDD_N</b>          |   |   |   | Alimentation numérique                                                                                                         |
| <b>VRST</b>           |   |   |   | Tension de réinitialisation des photocellules                                                                                  |
| <b>VSS</b>            |   |   |   | Masse analogique/numérique                                                                                                     |

Notes : E = Entrée

S = Sortie

N = Numérique

A = Analogique

+ = Logique Positive / Courant entrant

- = Logique négative / Courant sortant