POLYPUBLIE

Étude de la défaillance des circuits bipolaires en mode courant et leur testabilité

Bernard Antaki

Document en libre accès dans PolyPublie
Open Access document in PolyPublie

Date	1999
Type	Mémoire ou thèse / Dissertation or Thesis Mémoire de maîtrise/Master's thesis
URL de PolyPublie PolyPublie URL	https://publications.polymtl.ca/8540/
Conditions d'utilisation Terms of use	© Tous droits réservés / All rights reserved
Référence Citation	Antaki, B. (1999). Étude de la défaillance des circuits bipolaires en mode courant et leur testabilité [Mémoire de maîtrise, École Polytechnique de Montréal]. PolyPublie. https://publications.polymtl.ca/8540/

Détails de la thèse
Thesis details

Directeurs de recherche Advisors	Yvon Savaria
Programme Program	Non spécifié

Ce fichier a été téléchargé à partir de PolyPublie, le dépôt institutionnel de Polytechnique Montréal
This file has been downloaded from PolyPublie, the institutional repository of Polytechnique Montréal
https://publications.polymtl.ca

UNIVERSITÉ DE MONTRÉAL

ÉTUDE DE LA DÉFAILLANCE DES CIRCUITS BIPOLAIRES EN MODE COURANT ET LEUR TESTABILITÉ

BERNARD ANTAKI
DÉPARTEMENT DE GÉNIE ÉLECTRIQUE ET DE GÉNIE INFORMATIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION
DU DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES
(GÉNIE ÉLECTRIQUE)
JUILLET 1999

© Bernard Antaki, 1999.

National Library of Canada
Acquisitions and Bibliographic Services
395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque nationale du Canada
Acquisitions et services bibliographiques
395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

Our file Notre référence

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

0-612-46643-4

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé:

ÉTUDE DE LA DÉFAILLANCE DES CIRCUITS BIPOLAIRES EN MODE COURANT ET LEUR TESTABILITÉ

présenté par: ANTAKI Bernard

en vue de l'obtention du diplôme de: Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de:

M. SAWAN Mohamad, Ph.D., président

M. SAVARIA Yvon, Ph.D., membre et directeur de recherche

M. MEUNIER Michel, Ph.D., membre

REMERCIEMENTS

Tout au long de ma maîtrise, j'ai eu l'assistance, le support moral et le support matériel de bien des amis, de collègues de travail, de mon directeur de projet ainsi que de Nortel Networks et de divers organismes.

En premier lieu, dois-je remercier Serge Patenaude pour sa présence tout au long du projet avec Nortel, en personne ou bien par téléphone, par courrier électronique ou par «talk». En faisant équipe à deux, nous avons eu la chance de nous motiver, alors que notre moral n'était pas toujours bien haut. Pendant plus de seize mois, nous avons dû communiquer de divers problèmes par l'entremise d'ordinateurs, alors que de telles discussions auraient été bien plus efficaces en personne. Dans un même élan de gratitude envers amis et collègues, j'aimerais soulever le grand apport technique que m'ont donné Sylvain Bourret et Mathieu Gagnon vis-à-vis les outils du laboratoire. Sans eux, non seulement les outils auraient été moins intéressants, mais aussi le temps écoulé durant ma maîtrise.

J'aimerais aussi remercier M. Yvon Savaria pour m'avoir permis de travailler avec lui sur divers projets, dont évidemment celui de maîtrise, et pour tous les conseils et suggestions pratiques qu'il ait pu me donner durant nos nombreuses réunions.

De plus, je me dois de remercier la Société canadienne de microélectronique (CMC) pour son support matériel et technique hors pairs à l'échelle nationale.

La bourse que m'a offerte le Conseil de recherches en sciences naturelles et génie du Canada (CRSNG) a été grandement appréciée et a su m'éviter bien des tracas financiers. Il faut aussi mentionner l'apport financier et tout le bagage d'expérience que m'a offerts Nortel Networks pour laquelle j'ai eu la chance d'y faire deux stages et de passer une semaine en Angleterre pour affaires. Grâce à l'effort soutenu de M. Saman Adham travaillant pour cette entreprise, il m'a été possible d'orienter ma maîtrise sur un projet lié aux besoins présents de l'industrie.

RÉSUMÉ

La forte diminution des tailles des transistors bipolaires par rapport aux années 80' permet maintenant aux circuits logiques en mode courant (CML) de reprendre le terrain perdu aux circuits CMOS lorsqu'il s'agit de performance. Néanmoins, le développement des méthodes de test pour ces circuits n'a pas eu une grande attention au sein de la communauté scientifique. De plus, les auteurs qui se sont penchés sur la question ont observé que les méthodes développées pour les circuits CMOS numériques, fortement orientées sur les pannes de collage, n'ont pas une couverture suffisante des défectuosités possibles dans une famille logique CML. Par conséquent, ce mémoire présente une analyse détaillée des portes CML en présence de défectuosités et classe les pannes observées selon leur prépondérance. Ce travail est effectué par un outil automatique hautement flexible, développé dans le cadre du projet, qui permet d'analyser des portes CML de tout genre. L'analyse démontre que les pannes les plus courantes et dont les fréquences d'apparition dépassent les collages sont les marges de bruit réduites, les tables de vérité corrompues, les délais et les amplitudes excessives. Dans le but d'améliorer la couverture de pannes, une nouvelle technique de test est proposée et analysée. Cette technique permet de détecter les amplitudes excessives. Elle demande une faible augmentation de surface et la méthodologie de test est relativement simple. Enfin, une puce d'évaluation des méthodes de test développées est présentée. Cette puce permet d'évaluer le

fonctionnement et l'efficacité de deux méthodes de détection de marges de bruit réduites ainsi que la méthode de détection d'amplitudes excessives. Pour évaluer ces méthodes, la puce contient un ensemble de circuits simples, exploitant toutes les ressources d'une bibliothèque de portes CML, sur lesquels sont connectés les circuits de test. L'architecture de cette puce permet donc d'analyser tous les circuits indépendamment par toutes les méthodes implémentées. Bien que la puce n'est pas encore fabriquée et testée, nous avons une confiance élevée en ces méthodes. D'ailleurs, la méthode de détection d'amplitudes excessives est présentement en instance de brevet pour la compagnie Nortel Networks.

ABSTRACT

During the last decade, bipolar transistors have reduced in size considerably, giving Current-Mode Logic (CML) circuits a chance to reclaim from CMOS the domain of high performance circuits. However, the development of test methods for CML was barely touched by the scientific community. Moreover, authors that did work in this field have shown that methods developed to detect faults in digital CMOS circuits, specifically stuck-at faults, are not able to cover a sufficient percentage of all possible defects in bipolar processes. Therefore, this thesis presents a detailed analysis of defective CML gates and classifies observed faults according to defect coverage. This job is perfomed by an automatic tool, developed for this project, which can analyse CML gates of any sort with highly flexible configuration options. The analysis performed with this tool allowed to characterize the frequency of occurence of various fault types. It was observed, for instance, that the faults with the highest frequency of occurence higher than stuck-ats, are reduced noise margins, truth table faults, delays and excessive amplitudes. Furthermore, to improve fault coverage, a new test technique to detect excessive amplitudes was developed and analysed. This technique requires a small area overhead and uses a simple test methodology. Finally, a test method evaluation chip that was developed is also presented. This chip will help evaluate the functionality and the efficiency of two reduced noise margin detection methods, as well as the excessive amplitude testing technique. To evaluate them, the

chip contains a number of simple circuits, making use of several CML library cells, surrounded by the testing apparatuses. The chip's architecture will help analyse independently all circuits according to all implemented methods. While the test chip has not yet been manufactured and tested, we have a high confidence that these methods will perform well. In fact, the excessive amplitude testing technique is currently being submitted as a patent for Nortel Networks.

TABLE DES MATIÈRES

REMERCIEMENTS iv

RÉSUMÉ vi

ABSTRACT viii

LISTE DES TABLEAUX xiii

LISTE DES FIGURES xiv

LISTE DES SIGLES ET ABRÉVIATIONS xvii

INTRODUCTION 1

CHAPITRE I : NOTIONS DE BASE ET REVUE DE LITTÉRATURE 5

1.1 Introduction 5

1.2 Principes de base de la conception de circuits CML 6

1.3 Conception des portes à niveaux multiples 11

1.4 Défauts rencontrés dans les technologies bipolaires 16

1.5 Pannes retrouvées dans les circuits CML 19

1.5.1 Pannes à caractère logique 21

1.5.2 Pannes de type analogique 23

1.6 Méthodes de test marquantes sur la détection des pannes 26

1.6.1 Détection de pannes logiques 27

1.6.2 Détection des pannes de complémentarité corrompue 29

1.6.3 Détection des pannes de délai 29

1.6.4 Détection de marges de bruit réduites 31

1.7 Conclusion 34

CHAPITRE II : OUTIL DE CARACTÉRISATION AUTOMATIQUE DE PANNES 36

2.1 Introduction 36

2.2 Engin de l'outil et principes de base 38

2.2.1 Configuration des cellules 38

2.2.2 Défectuosités couvertes et méthode d'injection 40

2.2.3 Banc de test 45

2.2.4 Fonctions d'analyse des résultats de simulation 45

2.2.5 Fonctionnement de l'outil 48

2.3 Résultats d'analyse 49

2.4 Conclusion 56

CHAPITRE III : MÉTHODES DE TEST ADAPTÉES AUX CIRCUITS CML 59

3.1 Introduction 59

3.2 Injection de défectuosités et impact sur le comportement des circuits 60

3.3 Test d'amplitude 66

3.3.1 Variante 1 - détecteur unipolaire 67

3.3.2 Variante 2 - détecteur bipolaire 72

3.3.3 Conversion du signal de sortie du détecteur en valeur logique 76

3.3.4 Partage du circuit de charge 80

3.3.5 Optimisation de surface 86

3.3.6 Approche pour le test 87

3.4 Conclusion 88

CHAPITRE IV : PUCE D'ÉVALUATION DES MÉTHODES DE TEST 90

4.1 Introduction 90

4.2 Méthodes de test évaluées par la puce 91

4.3 Architecture de la puce 92

4.3.1 Circuits testés 96

4.3.2 Circuits pour la commande des tests 102

4.4 Procédure de test 107

4.4.1 Étapes pour appliquer les tests 108

4.5 Conclusion 110

CONCLUSION 112

RÉFÉRENCES 117

BIBLIOGRAPHIE 121

ANNEXE I : RÉSULTATS D'ANALYSE DE PORTES CML 123

LISTE DES TABLEAUX

Tableau 1.1 Équations des portes illustrées 14

Tableau 1.2 Pannes observées dans les portes ECL/CML 20

Tableau 2.1 Description des critères pour identifier les pannes 47

Tableau 3.1 Temps de transistion des signaux des chaînes avec et sans défectuosité 63

Tableau 3.2 Temps de transition des sorties des chaînes avec et sans défectuosité 64

Tableau 4.1 Méthodes de test retenues pour la puce d'évaluation 91

Tableau 4.2 Modes de la machine à états reconfigurable 101

Tableau 4.3 Adressage des PBG 105

Tableau 4.4 Étapes d'application des tests pour une rangée 109

Tableau I.1 Résistances utilisées pour modéliser les défectuosités 123

LISTE DES FIGURES

Figure 1.1 Porte tampon pour les circuits CML de Nortel 6

Figure 1.2 Portes CML à deux étages 8

Figure 1.3 Différentes portes logiques à deux niveaux 15

Figure 1.4 Une panne collé-à typique 22

Figure 1.5 Panne de marge de bruit typique 24

Figure 1.6 Panne extrême de marge de bruit pour un circuit CML 25

Figure 1.7 Bascule sensible à l'état du signal d'horloge avec mode de transparence (tirée de Patenaude, 1998) 28

Figure 1.8 Porte OU modifiée pour le test de débalancement (tirée de Anderson, 1988) 32

Figure 1.9 Détecteur de marge de bruit réduite (tirée de Patenaude, 1998) 34

Figure 2.1 Exemples de traitement de ponts 43

Figure 2.2 Couvertures moyennes des défectuosités des trois portes analysées 50

Figure 2.3 Couvertures moyennes des plus fortes défectuosités des portes analysées 53

Figure 2.4 Couvertures de défectuosités selon les meilleures combinaisons 55

Figure 3.1 Circuit test (chaîne de 8 portes tampon) 61

Figure 3.2 Signaux de sortie de CSE (op et $\overline{op}$) et de X66 (op6 et $\overline{op6}$) avec et sans perçage de 4 KΩ 62

Figure 3.3 V_{bas} et V_{haut} vs des valeurs de perçage et de fréquence de stimulation 66

Figure 3.4 Détecteur intégré proposé (variante 1) 67

Figure 3.5 Réponse du détecteur (perçage de 1 KΩ et charge de 10 pF à 100 MHz) 69

Figure 3.6 $t_{stabilité}$ et V_{max} vs fréquence, perçage et charge (variante 1, diode) 70

Figure 3.7 $t_{stabilité}$ et V_{max} vs fréquence, perçage et charge (variante 1, 160KΩ) 71

Figure 3.8 détecteur intégré proposé (variante 2) 73

Figure 3.9 $t_{stabilité}$ et V_{max} vs fréquence, perçage et charge (variante 2) 75

Figure 3.10 Détecteur d'amplitude amélioré (variante 3) 77

Figure 3.11 Caractéristique d'hystérésis du comparateur 79

Figure 3.12 Partage du circuit de charge pour la variante 3 80

Figure 3.13 Réponse du comparateur pour une chaîne sans défectuosité 81

Figure 3.14 Réponse du comparateur avec une chaîne où une des portes tampon a un perçage de 5 KΩ 84

Figure 3.15 Optimisation de surface avec un transistor à émetteurs multiples 86

Figure 4.1 Diagramme bloc de la puce d'évaluation 93

Figure 4.2 Mise en cascade des portes ET (rangées 4 à 7) 97

Figure 4.3 Registre à décalage (rangées 8 et 9) 99

Figure 4.4 Arbre binaire convergeant de portes OU-exclusif (rangées 10 et 11) 100

Figure 4.5 Machine à états reconfigurable (rangées 12 et 13) 102

Figure I.1 Couvertures de défectuosités pour les portes tampon 124

Figure I.2 Couvertures de défectuosités pour les portes ET 125

Figure I.3 Couvertures de défectuosités pour les portes OU 126

LISTE DES SIGLES ET ABRÉVIATIONS

ATPG	Automatic Test Pattern Generation (génération de patrons de test automatique)
BIST	Built-in Self Test (auto-évaluation intégré)
CSE	Cellule sous évaluation
CML	Current Mode Logic (logique en mode courant)
CMOS	Complementary Metal-Oxyde Semiconductor (semiconducteur à oxyde de métal)
DFT	Design For Testability (conception adaptée au test)
ECL	Emitter Coupled Logic (logique à émetteurs couplés)
IFA	Inductive Fault Analysis (analyse de défauts par induction)
LFSR	Linear Feedback Shift Register (registres à décalage à rétroaction linéaire)
NPN	Transistor bipolaire de type N
OCAP	Outil de caractérisation automatique de pannes
PBG	Programmable Bias Generator (générateur de tensions de polarisation programmable)
RAM	Random Access Memory (mémoire vive d'un ordinateur)

INTRODUCTION

Au fil des années, l'évolution de la technologie a permis à des méthodes de conception autrefois mises de côté, telles que les CML et ECL, de revenir à la mode. Auparavant, dues à la grande consommation de puissance des transistors bipolaires, les circuits utilisant ces architectures devaient être limités en taille. Toutefois, avec le développement des technologies, la taille des dispositifs microélectroniques a diminué rapidement et a entraîné une chute dans la dissipation de puissance de circuits qui en font l'usage. Par exemple, les circuits à transistors bipolaires rapportés par Rein et al. ([15], 1996) présentent des portes logiques ayant des délais bien en-dessous de 1 ns et des taux de transfert de données aux alentours de 50 Gbits/s, où la puissance dissipée, quoique importante, n'est plus un aspect critique. En effet, à ces vitesses d'opération, les circuits CMOS peuvent dissiper autant, sinon plus. De plus, les circuits numériques bipolaires ECL/CML ont montré un avantage certain vis-à-vis les CMOS lorsqu'il s'agit de vitesse. Citons Gu et al. ([6], 1996) qui exposent des architectures de dispositifs d'émission et de réception radio fonctionnant dans les Gbits/s conçus à l'aide de circuits CML et ECL.

Avec la popularité croissante des circuits CML, il devient important d'étudier en détail leur testabilité. Toutefois, un regard rapide sur la littérature montre une étude clairsemée sur cet aspect. Évidemment, lorsque l'on considère la grande emprise des

circuits CMOS dans le marché, il n'est guère surprenant que l'attention de l'industrie et de la communauté scientifique y soit rivée. Or, comme le sera montré au chapitre I, certaines études ont prouvé que les méthodes de test développées pour les circuits numériques CMOS ne sont pas à la hauteur pour les circuits CML. En effet, elles ne peuvent détecter un suffisamment grand nombre de défectuosités. Par conséquent, la fonctionnalité et même la fiabilité à long terme de ces circuits ne sont plus assurées.

Ainsi, le projet entrepris par notre équipe de travail, comprenant aussi Serge Patenaude ([14], 1998), se veut un pas vers l'avant dans le domaine sur plusieurs aspects. N'ayant pas *a priori* de connaissances sur les portes CML, le premier objectif de notre recherche consiste à comprendre les notions de base et la structure de leurs portes logiques complexes. Puis, compte tenu de la pauvreté de la littérature spécifique au test des circuits CML, notre recherche doit se pencher sur une synthèse de ce qui s'est fait dans un horizon plus large pour avoir une vue d'ensemble du travail à accomplir. Pour la même raison, l'étendue de la recherche doit aussi s'étendre aux types de circuits dont l'architecture ou les dispositifs utilisés s'apparentent à ceux des CML. Par la suite, il faut analyser les circuits CML en présence de défectuosités pour identifier tous les comportements anormaux exhibés. Puis, ayant pris connaissance de ces comportements, il devient possible de développer des techniques de détection adaptées particulièrement aux pannes les plus courantes. Ceci nous amène alors à chercher des combinaisons de ces techniques pour maximiser la détection des défectuosités. Puis, il

reste à valider les méthodes développées pour assurer leur efficacité dans de vrais circuits.

Ainsi, le premier chapitre de ce mémoire présente les notions de base de l'architecture de circuits CML ainsi qu'une technique pour concevoir des portes logiques complexes. De plus, il fait un tour d'horizon sur les différents aspects du test de ces circuits. Il couvre donc les différentes défectuosités qui peuvent apparaître dans un procédé à transistors bipolaires, les pannes qui découlent de ces défectuosités dans des portes CML et les méthodes développées jusqu'à présent pour détecter certaines de ces pannes.

Le deuxième chapitre présente un outil de caractérisation automatique de pannes. Cet outil permet d'analyser les comportements de portes logiques en présence de défectuosités. Par ces analyses, il devient alors possible d'identifier les pannes les plus fréquentes et ainsi, orienter les développements de méthodes de test sur ces pannes. Les résultats d'analyse de quelques portes sont aussi présentés.

Au troisième chapitre, une nouvelle technique de conception pour la testabilité est présentée. Cette technique a été développée suite à des recherches préliminaires cherchant à identifier les pannes les plus courantes. Le chapitre montre ainsi la force de cette technique vis-à-vis l'art antérieur dans le domaine de la détection de pannes pour

des circuits CML. De plus, cette technique évite les problèmes liés aux approches nécessitant un test à la pleine vitesse de fonctionnement.

Finalement, le quatrième chapitre présente la structure de la puce conçue pour évaluer les méthodes de test développées par l'équipe de travail. Il décrit les circuits à tester ainsi que les circuits nécessaires pour faire ces tests. De plus, il fait rapport de la méthodologie d'application des tests.

CHAPITRE I

NOTIONS DE BASE ET REVUE DE LITTÉRATURE

1.1 Introduction

L'objectif principal de ce projet est de développer des méthodes de test appliquées à des circuits logiques en mode courant (CML). Toutefois, pour mieux cerner la testabilité de ces circuits, il nous fallait en comprendre l'architecture. Ainsi, nos recherches initiales ont couvert autant le test que la conception des circuits CML. D'autre part, la littérature étant pauvre dans ces domaines, il a fallu étendre nos recherches aux circuits ECL (une architecture soeur des CML) pour la conception et le test ainsi qu'aux CMOS et BiCMOS pour le test. Ce mémoire se veut concis et dans cette optique, les discussions présentées se résument aux points importants retenus ou qui risquent d'être nécessaires dans la poursuite du projet.

Ainsi, cette revue de littérature couvre la conception des circuits CML, la modélisation des défectuosités pour les technologies bipolaires, les pannes qui découlent de ces défectuosités dans les circuits CML bipolaires et les méthodes de test pour les détecter.

1.2 Principes de base de la conception de circuits CML

L'architecture CML est un style de conception bien adapté pour développer des bibliothèques de portes numériques rapides dans une technologie à transistors bipolaires. Elle est basée sur un simple amplificateur différentiel comme le montre la figure 1.1. Cette figure illustre une porte logique tampon d'où découle toutes les autres portes CML. Cette porte provient de la bibliothèque VersArray25 de Nortel.

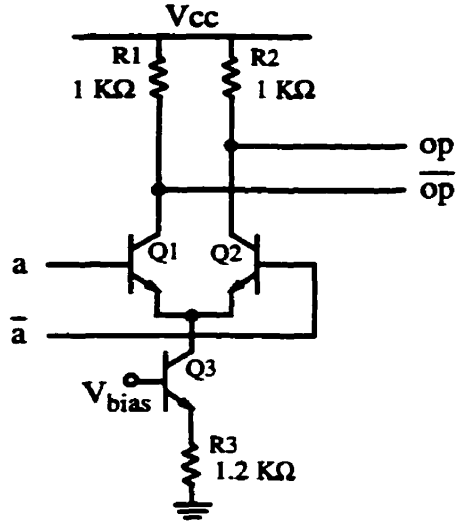


Figure 1.1 Porte tampon pour les circuits CML de Nortel [1]

L'amplificateur est pourvu d'une source de courant stable réalisée par le transistor Q3. La stabilité de cette source est obtenue par une source de tension fixe, indépendante de l'environnement, appliquée à la base du transistor Q3 pour ainsi le polariser. La puissance de cette approche réside dans sa simplicité. Les transistors Q1 et Q2

1. Pour la librairie de Nortel, *Vcc* = 3.3 V ou 5 V.

aiguillent ce courant stable à travers une seule des deux branches formées par ces transistors, lorsque l'un ou l'autre est activé par la combinaison des signaux d'entrée *a* et $\overline{a}$. Pour activer un transistor, il suffit que la tension du signal appliqué à sa base soit plus élevée que celle du signal appliqué à celle du transistor homologue. Le courant de la branche sélectionnée crée une chute de potentiel aux bornes de sa résistance, alors que dans la seconde branche où un très faible courant circule, la tension aux bornes de sa résistance est tenue à *Vcc*. Les collecteurs des transistors Q1 et Q2 constituent une paire indissociable et forment les sorties de la porte logique (voir signaux *op* et $\overline{op}$). En conception CML, chaque signal numérique est ainsi représenté par la différence de tension entre deux noeuds. Puisque les sorties sont toujours complémentaires, la marge de bruit d'une porte est accrue. De plus, cette tension différentielle est suffisante pour qu'une fois appliquée aux entrées d'une porte de même nature, elle puisse aiguiller tout le courant de cette autre porte dans l'une ou l'autre de ses deux branches.

Pour implémenter des portes logiques plus complexes que la porte tampon, des étages différentiels sont ajoutés en série de manière verticale, comme le montre la figure 1.2. Pour créer la fonction logique désirée, les étages différentiels de niveaux supérieurs se servent aussi de la méthode d'aiguillage du courant de polarisation. Bien entendu, chaque étage différentiel ne compare que des signaux complémentaires et le courant de polarisation doit toujours être aiguillé pour passer à travers l'une ou l'autre des résistances de sortie.

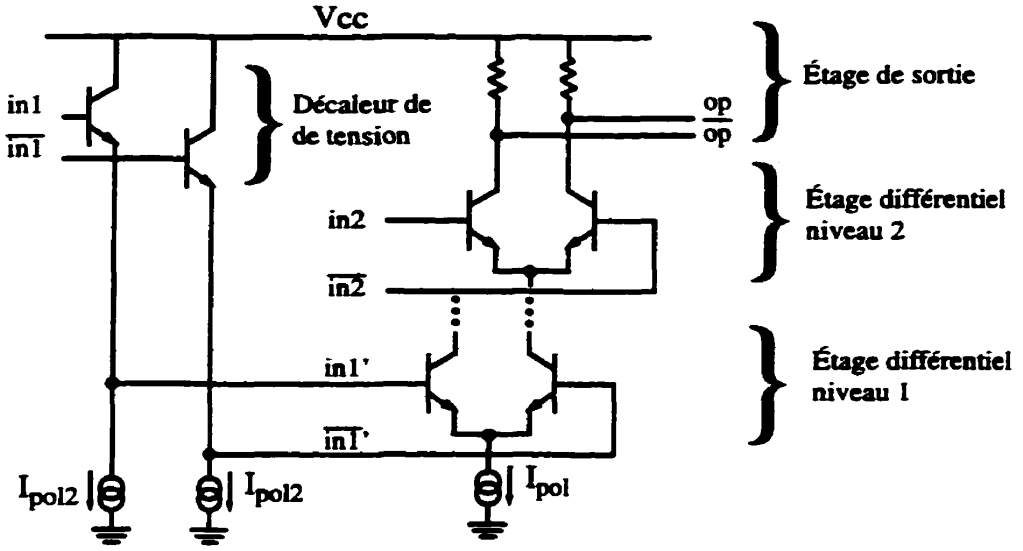


Figure 1.2 Portes CML à deux étages

Notons qu'il ne peut y avoir qu'un seul courant de polarisation qui soit aiguillé vers ces résistances. Aussi, compte tenu de la valeur fixe de la source d'alimentation *Vcc*, le nombre d'étages qu'on peut mettre en série est limité. En effet, il faut tenir compte de la tension nécessaire pour empêcher la saturation du transistor de la source de courant en plus d'allouer au moins un V_{BE} [2] à chaque niveau pour assurer que les transistors ne limitent pas le courant qui les traversent. Ainsi, pour deux niveaux d'étages différentiels, une tension de 3.3 V est suffisante, alors qu'avec 5 V, le nombre d'étages maximum se limite à 3 pour une technologie à 0.7 V d'après Embabi et al. ([4], 1993) et Jalali et al. ([8], 1995)[3]. Pour éviter d'obtenir une polarisation directe de la jonction

2. La technologie bipolaire de Nortel offre des transistors dont la tension d'activation se situe près de 0.85 V.
3. D'après leurs équations, même avec la technologie NT25 de Nortel où V_{BE} = 0.85 V, il devrait être possible d'avoir 4 niveaux d'étage différentiel avec une alimentation de 5 V, tout en allouant une tension satisfaisante de 1.6 V au collecteur de la source de courant.

base-collecteur des transistors des étages différentiels inférieurs, les tensions des niveaux standards doivent être abaissées par un décaleur d'un V_{BE} avant de les commander. La section 1.3 présente plus de détails sur une méthode pour concevoir des portes logiques CML.

Les performances des familles logiques CML sont liées à leur architecture originale ainsi qu'à une conception minutieuse. Au point de vue de l'architecture, plusieurs avantages se démarquent. Grâce au principe d'aiguillage de courant qui limite le *dI/dt* dans les rails d'alimentation, la puissance de consommation statique est conservée à une valeur fixe, indépendante de l'activité du circuit. Aussi, la nature différentielle des CML permet aux champs magnétiques indépendants des signaux pairés de s'annuler et ainsi de réduire l'interférence entre les signaux. De plus, en utilisant une source de courant fixe, les transistors de l'étage différentiel ne peuvent entrer en saturation, ce qui permet des commutations à hautes vitesses. Il faut aussi mentionner que les portes CML offrent toujours un signal et son complément, simplifiant ainsi les circuits et réduisant la profondeur logique quand l'inverse des signaux est régulièrement nécessaire.

Au point de vue de conception, les circuits CML fonctionnent correctement avec des amplitudes de signaux différentiels très petites, de l'ordre de 250 mV. En effet, un des grands avantages de la nature différentielle des CML est leur grand rapport signal à

bruit, puisqu'il n'y a plus de tension intermédiaire de référence pour établir l'état d'un signal. De plus, cette petite amplitude permet une réduction considérable de la consommation de la puissance dynamique, car elle dépend du carré de l'amplitude. D'autre part, elle contribue aussi à obtenir des fonctionnements à hautes vitesses. En effet, le taux de montée maximum ne variant pas avec l'amplitude, plus celle-ci est petite, moins long seront les temps de commutations.

Bien entendu, une amplitude fixe ne limite qu'en partie les valeurs des résistances de sortie et du courant de la source. La marge de manoeuvre qui reste permet des combinaisons assez avantageuses pour un concepteur. Avec des courants de source plus élevés et donc des résistances de sortie plus faibles, il est possible d'augmenter la vitesse de commutation des portes ainsi que la puissance de sortie[4]. En effet, un plus grand courant et de plus faibles résistances de sortie permettent de charger plus rapidement les condensateurs parasites. À l'inverse, un faible courant de source diminue la puissance nécessaire pour entretenir une cellule plus lente ou qui ne fournit pas de signaux à un grand nombre de cellules. Par exemple, Nortel offre une famille de portes comportant 7 différents grades de vitesse/puissance pour être utilisées selon les besoins. Bien entendu, une cellule de faible puissance doit passer par une série d'amplificateurs pour transmettre un signal à une cellule de haute puissance, mais les

4. Une plus grande puissance de sortie d'une porte permet un plus gros «fanout».

mélanges de grade sont peu fréquents. Ils permettent néanmoins d'améliorer de manière significative les performances dans bien des cas.

1.3 Conception des portes à niveaux multiples

À force de travailler avec l'architecture CML, nous avons développé une certaine expertise dans la conception de portes logiques CML [5]. Voici donc une technique pour obtenir le circuit associé à une fonction logique. En premier lieu, il est de mise d'établir la plus simple équation en algèbre de Boole de la fonction logique à implémenter sous la forme d'une somme de produits. Sachant qu'une porte CML génère deux sorties (le signal en logique positive et son complément), il faut aussi établir l'équation booléenne simplifiée de l'inverse de cette fonction.

Deuxièmement, il faut établir le niveau que prendra l'étage différentiel de chaque paire de signaux dont dépend la fonction. Évidemment, les choix faits ne sont qu'à titre de repères et pourront changer aux étapes subséquentes. Pour faciliter la décision, il est préférable de tenir compte de certaines propriétés de l'architecture CML. Une transition aux entrées d'un étage différentiel se propage vers ses sorties avec un délai non-négligeable. Donc, plus l'étage différentiel est à un niveau bas, plus une transition à ses entrées prendra du temps à se propager vers les sorties de la cellule. Ainsi, il est

---

5. Jalali et al. ([8], 1995) est une bonne référence montrant plusieurs portes logiques CML.

préférable de placer les variables les moins susceptibles de changer aux niveaux inférieurs. Aussi, sachant que l'architecture CML est à l'image d'un arbre dichotomique dont le tronc part de la source de courant, les niveaux inférieurs sont limités en étages différentiels. Ainsi, il est préférable de placer les variables les plus présentes dans les produits des équations booléennes aux niveaux inférieurs. La règle va jusqu'à devoir modifier les deux équations booléennes lorsque celles-ci ne comportent pas dans tous leurs produits l'un ou l'autre des signaux complémentaires de niveau 1. Cette règle sera justifiée à la troisième étape.

Une fois les niveaux choisis pour chaque variable, la troisième étape consiste à établir les connexions entre les étages différentiels. Pour construire un produit partiel d'une équation, il suffit de mettre en série les transistors (de différents niveaux) dont les bases sont connectées aux signaux qui le forment. Pour construire la somme d'une équation, il suffit de créer un OU-câblé avec les sorties qui réalisent ses produits partiels. Notons que chaque transistor d'une série fait parti d'un étage différentiel où le transistor homologue reçoit le signal complémentaire à sa base. Notons encore que tout transistor d'étage différentiel doit être utilisé dans une série. Autrement, le courant ne pourrait que passer dans le transistor homologue et fausser la fonction à implémenter. D'autre part, il est très possible que certains produits soient indépendants de certains signaux. Dans ces cas, il ne suffit que de sauter les niveaux qui y sont associés. L'exception à cette règle revient à la paire de signaux de niveau 1, où il est impossible de faire le saut.

En effet, l'étage différentiel de niveau 1 est directement relié à la source de courant et sauter ce signal serait avoir un produit fonctionnant sans courant. Pour pallier au problème, il faut modifier les équations, comme mentionné ci-haut, pour que tous les produits dépendent de l'un ou l'autre signal de la paire.

En CMOS, toutes les portes statiques simples inversent car la conduction d'un réseau N activé par des variables logiques d'entrée produit un 0 en sortie. En CML, c'est le même principe. Par contre, la logique CML comporte toujours le complément d'un signal. Ainsi, il n'est guère difficile d'inverser les connexions des OU-câblés aux sorties pour retourner en logique positive.

En dernière étape, il ne reste qu'à faire les connexions à la source de courant et à l'étage de sortie ainsi que les branchements aux décaleurs de tensions qui abaissent les niveaux logiques de un ou plusieurs V_{BE}. La source de courant doit se brancher aux émetteurs des transistors de l'étage différentiel de niveau 1, comme le montre la figure 1.2. Quant à l'étage de sortie, chacune des deux résistances se branche au complément du OU-câblé associé à son équation. Pour les décaleurs de tension[6], ils sont placés aux entrées pour amener les signaux de tension standards à des tensions adaptées aux niveaux inférieurs. Lorsque le nombre de niveaux dépasse deux, il faut ajouter des diodes pour accroître la chute de potentiel.

---

6. Voir la figure 1.2 pour un circuit de décalage de tension. Mentionnons aussi que l'entrée et la sortie d'un décaleur de tension sont des variables logiques équivalentes.

La figure 1.3 montre quelques configurations de portes logiques à deux niveaux, et le tableau 1.1 présente les équations booléennes des fonctions implémentées.

Tableau 1.1 Équations des portes illustrées

Porte	Sortie	Équation normale	Équation ajustée
ET	op	$in1 \bullet in2$	$in1 \bullet in2$
	$\overline{op}$	$\overline{in1} + \overline{in2}$	$\overline{in1} + in1 \bullet \overline{in2}$
OU	op	$in1 + in2$	$in1 + in1 \bullet in2$
	$\overline{op}$	$\overline{in1} \bullet \overline{in2}$	$\overline{in1} \bullet \overline{in2}$
OU-exclusif	op	$in1 \bullet \overline{in2} + \overline{in1} \bullet in2$	$in1 \bullet \overline{in2} + \overline{in1} \bullet in2$
	$\overline{op}$	$in1 \bullet in2 + \overline{in1} \bullet \overline{in2}$	$in1 \bullet in2 + \overline{in1} \bullet \overline{in2}$
Multiplexeur à deux entrées[a]	op	$s \bullet in1 + \bar{s} \bullet in0$	$s \bullet in1 + \bar{s} \bullet in0$
	$\overline{op}$	$s \bullet \overline{in1} + \bar{s} \bullet \overline{in0}$	$s \bullet \overline{in1} + \bar{s} \bullet \overline{in0}$

a. Lorsque $s = 0$, $in0$ est transmis vers op et pour $s = 1$, $in1$ est transmis.

Un point important à remarquer est la ressemblance des portes ET et OU. En effet, l'algèbre de Boole montre qu'il est possible d'inverser entrées et sorties pour passer d'une porte OU à une porte ET, et vice-versa. Un autre fait à remarquer pour ces deux portes est le saut du niveau 2 pour passer directement à la sortie. Le produit ne tenant compte que du signal de niveau 1, le contact peut se faire directement à la résistance de sortie puisque c'est le courant qui fixe la tension de sortie.

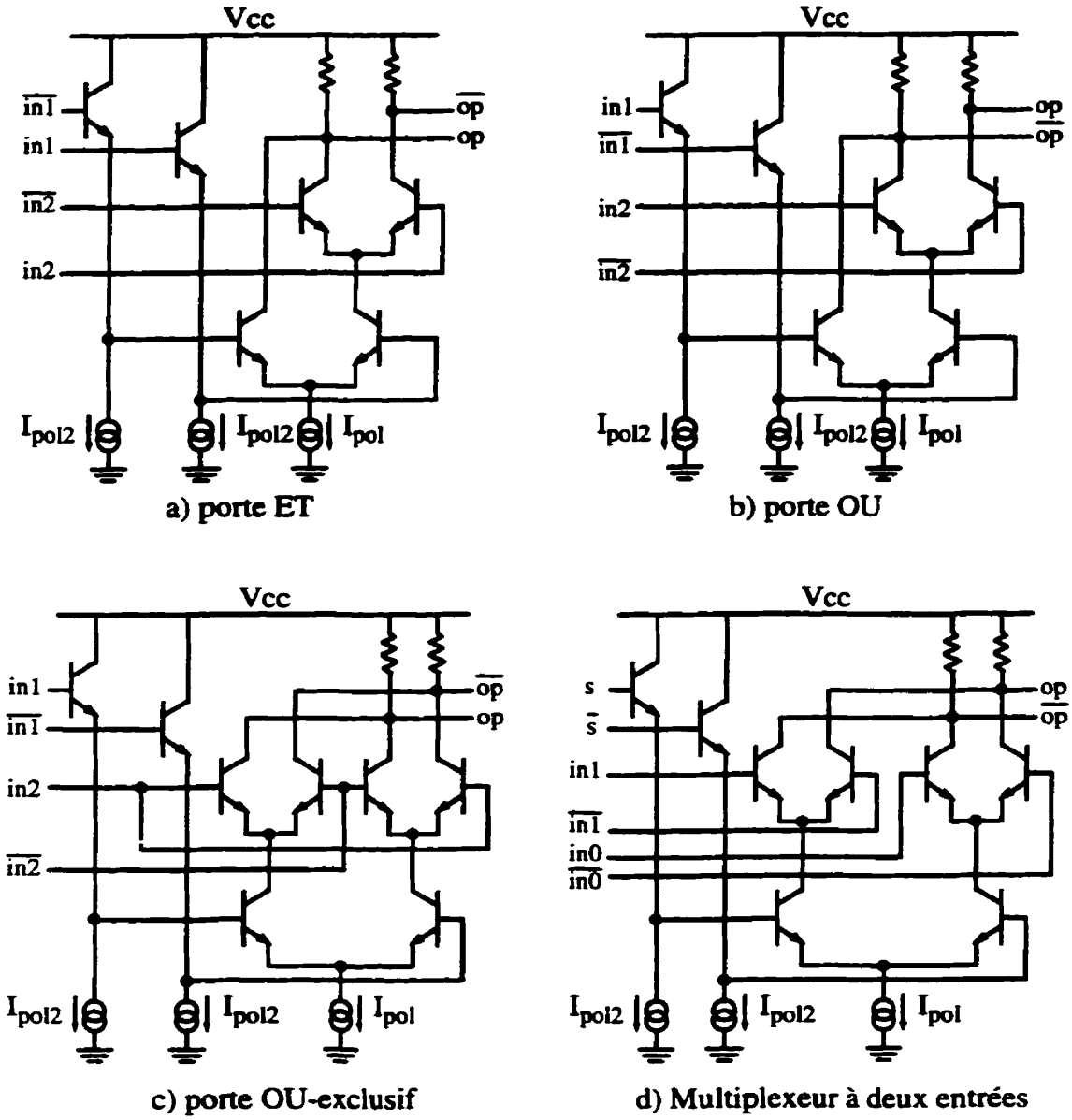


Figure 1.3 Différentes portes logiques à deux niveaux

Quant aux portes OU-exclusif et multiplexeur à deux entrées, elles partagent aussi des caractéristiques semblables. En effet, une façon différente de percervoir une porte OU-exclusif est de considérer qu'elle transmet le signal *in2* lorsque *in1 = 1* et elle transmet

un autre signal (il s'agit ici du complément de *in2*), lorsque *in1* = *0*. Ainsi, avec le multiplexeur, le signal *in1* change pour devenir *s* et les signaux à transmettre sont *in0* et *in1*. Une autre porte qui partage la même construction est la bascule sensible à l'état du signal d'horloge[7]. Le signal *s* est remplacé par l'horloge, le signal *in1* par l'entrée *d* et le signal *in0* est remplacé par la sortie[8].

1.4 Défauts rencontrés dans les technologies bipolaires

À travers la littérature, différents types de défectuosités ont été exposés pour les procédés bipolaires. Cette section révise rapidement les types de défectuosités les plus communs et la façon dont ils sont modélisés.

Les procédés de fabrication de circuits semiconducteurs sont sujets à diverses imperfections et variations paramétriques. Celles-ci peuvent engendrer des connexions entre segments d'une même couche, des discontinuités dans des segments ou même des modifications dans l'épaisseur de certaines couches ou oxydes (Esonu et al. [5], 1994; Jorczyk et al. [9], 1995; Menon et al. [12], 1996). Par exemple, si une couche métallique est bien plus mince que la normale dans une région localisée, cette région pourrait fondre par électromigration. Avec le temps, il est possible que le segment devienne interrompu sur toute sa largeur et donc que le courant ne passe plus. Un

7. Contrairement aux bascules sensibles à la transition du signal d'horloge, communément appelées «flip-flop».
8. Lorsque l'horloge est à l'état 0, la porte devient une boucle fermée où la sortie se conserve.

auteur (Cecchi [2], 1988) mentionne même que la couche «contact» est souvent vulnérable aux défectuosités, au point où les contacts ne font plus leur travail de joindre ensemble des couches de différents niveaux.

Une classe toute particulière de défectuosités s'associe directement aux dispositifs bipolaires. Les transistors bipolaires sont caractérisés par un gain de courant déterminé par l'épaisseur de leur base. Cette épaisseur peut être modulée par divers phénomènes. Par exemple, la dislocation de la couche active du semiconducteur est une imperfection physique qui joue sur l'épaisseur effective de la base lorsqu'elle se manifeste à l'intérieur de celle-ci. Ceci crée généralement un point à très grand gain et à courant de fuite excessif (Stewart et al. [17], 1991). Ce comportement est communément connu sous le nom de transistor percé. Les transistors verticaux (NPN, généralement) sont plus vulnérables au perçage.

Les segments interrompus, ou plus communément circuits ouverts, sont couramment observés aux alentours des bornes de transistors, aux métallisations et dans les éléments résistifs. Quant aux connexions indésirables, la littérature les divise en deux parties: celles liées aux dispositifs et celles liées aux couches de métallisation. Celles liées aux dispositifs sont tout simplement appelées courts-circuits et elles sont retrouvés entre les bornes des transistors et les bornes des résistances. D'autre part, les connexions indésirables liées aux métallisations sont appelées ponts et elles sont

définies comme des connexions entre deux segments d'une même couche de métallisation, formant des «ponts» entre les signaux.

Les classes de défectuosités vues ci-haut peuvent être modélisés avec une bonne précision au niveau des dispositifs (e.g. transistors et résistances). De tels modèles incluent des courts-circuits, des ponts, des circuits ouverts ou des transistors percées (Stewart et al. [17], 1991). Ainsi, dans un simulateur de type Spice, une résistance de faible valeur (~1 Ω) peut être utilisée pour modéliser un court-circuit ou un pont. Pour simuler un circuit ouvert, les éléments normalement connectés peuvent être isolés à l'aide d'une résistance de plus de 100 MΩ en parallèle avec un condensateur parasite de 1 fF. Un transistor percé est normalement modélisé par un transistor avec une résistance de quelques KΩ entre son collecteur et son émetteur.

Si l'objectif est d'obtenir une évaluation exacte de la proportion des défectuosités qui sont détectées[9], il faut tenir compte de la distribution de la taille de ces défectuosités, soit la probabilité d'apparition de chaque type de défectuosités. Une telle information est habituellement inaccessible vue le côté confidentiel de son contenu et il est donc commun de traiter toutes les défectuosités comme si elles étaient équiprobables.

---

9. Cette proportion correspond à la définition de la couverture de défectuosités.

1.5 Pannes retrouvées dans les circuits CML

Une modélisation au niveau des dispositifs est le moyen le plus précis pour simuler les effets d'une défectuosité. Toutefois, il devient trop complexe d'étudier un circuit complet à l'aide de ce type de modèle et d'ailleurs, ces modèles sont rarement complets ou accessibles. De même, la tâche d'analyser toutes les pannes d'un circuit et de trouver les défectuosités qui les causeraient est d'une grande complexité et elle n'est réalisée que de façon exceptionnelle sur de petits nombres d'échantillons défectueux. Une voie plus adéquate pour étudier le problème consiste à analyser les conséquences de chaque défectuosité sur le comportement électrique des portes de base d'une bibliothèque, pour ensuite les traduire comme une panne dont les conséquences peuvent être propagées à l'intérieur du circuit jusqu'aux broches. Il est donc de mise de passer à un modèle de pannes. Bien sûr, pour valider une liste de pannes probables, celles-ci doivent être observées dans des circuits défectueux.

Des travaux récents sur la testabilité des ECL/CML ont démontré que ces circuits ont de nombreuses pannes à caractère unique et que les méthodes de détection de pannes collées ne donnent pas une couverture satisfaisante de ces pannes (Anderson [1], 1988; Esonu et al. [5], 1994; Jorczyk et al. [9], 1995; Menon et al. [12], 1996). De plus, il a été prouvé que les circuits combinatoires ECL ont une tendance à masquer des pannes

qui se manifestent dans les premiers étages de circuits ayant une certaine profondeur logique (Anderson [1], 1988).

Le tableau 1.2 présente les pannes les plus fréquemment considérées, accompagnées d'une liste de références qui en traitent. Chaque panne sera définie par après.

Tableau 1.2 Pannes observées dans les portes ECL/CML

Pannes	Références
Ligne collée	Esonu et al. [5], 1994; Morandi et al. [13], 1988
Table de vérité corrompue	Esonu et al. [5], 1994
Comportement séquentiel	Menon et al. [11], 1993
OU-câblé	Menon et al. [11], 1993
Complémentarité corrompue	Menon et al. [12], 1996
Panne byzantine	Anderson [1], 1988
Marge de bruit réduite	Anderson [1], 1988; Esonu et al. [5], 1994
Niveau logique indéfini	Jorczyk et al. [9], 1995; Menon et al. [11], 1993
Panne de délai	Esonu et al. [5], 1994; Jorczyk et al. [9], 1995
Oscillation par rétroaction	Menon et al. [11], 1993
Courant de fuite excessif I_{ddq}	Esonu et al. [5], 1994

La section 1.5.1 présente les pannes de type logique et la section 1.5.2, les pannes de type analogique. Il est à mentionner que ces pannes ne sont pas mutuellement exclusives et peuvent très bien apparaître en même temps peu importe le groupe.

1.5.1 Pannes à caractère logique

Dans ce document, une panne est considérée de type logique lorsque son comportement affecte la logique de la cellule. Dans ce cas, les signaux continuent à être interprétés comme des valeurs logiques plus ou moins conformes aux signaux logiques normaux pour la technologie considérée. De plus, bien que cela ne soit pas toujours aisé, il est possible de détecter ce type de pannes par des méthodes de test numériques. De la liste des pannes énumérées ci-haut, les collé-à, table de vérité corrompue, comportement séquentiel et OU-câblé font partie des pannes à caractère logique.

Tout comme les circuits CMOS, certaines défectuosités engendrent des pannes de type collé (aussi connue comme des collages). Une cellule ayant une panne de collage s'observe par un comportement où une de ses entrées ou de ses sorties reste collée au même état logique. Un signal numérique peut donc être collé à l'état 1 ou 0. La figure 1.4 montre les effets d'un court-circuit entre l'émetteur et le collecteur du transistor Q2 d'une porte tampon (voir figure 1.1) générant un collage à 0 à la sortie. La paire de signaux d'entrée est définie par *af* et $\overline{af}$ et la paire de signaux de sortie est définie par *opf* et $\overline{opf}$.

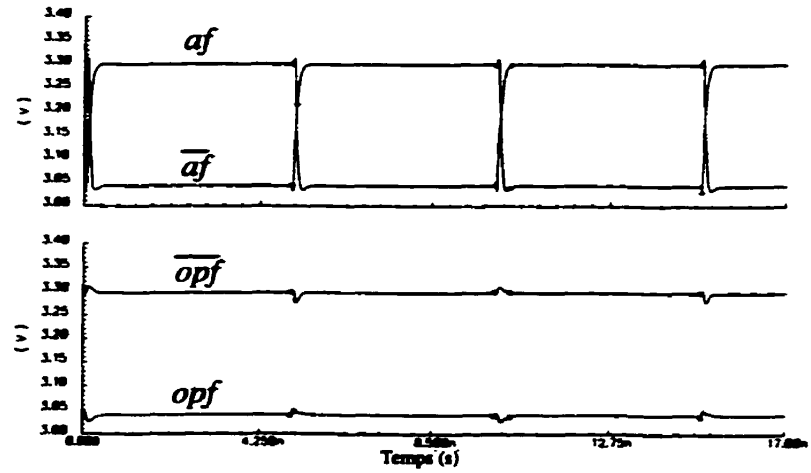


Figure 1.4 Une panne collé-à typique

De plus, il a été observé que pour plusieurs défectuosités possibles, un seul signal de la paire est collé, alors que son complément continu à fonctionner normalement. Ceci amène un sous-modèle de pannes: les lignes collées.

Un autre modèle de panne observé auprès des circuits ECL se manifeste pour une ou plusieurs combinaisons déterminées des valeurs logiques aux entrées. Dans ce cas, on obtient une réponse anormale du signal de sortie et il est alors question de table de vérité corrompue. Certaines pannes de table de vérité corrompue peuvent être interprétées par des pannes de collage, toutefois, d'autres ne peuvent être représentées que par ce modèle. De surcroît, la littérature mentionne que certaines portes combinatoires défectueuses ont un comportement séquentiel, donnant ainsi un effet de mémoire à la porte, sans pour autant la rendre collée à une valeur logique.

Aussi, il est connu que certaines défectuosités dans les circuits ECL peuvent donner des OU-câblés de sorties court-circuitées. Ces pannes sont reliées au fait qu'en ECL les signaux d'entrée ne sont pas différentiels et que l'étage de sortie des portes ECL est fréquemment réalisé sous la forme d'un émetteur-suiveur, étage que l'on ne retrouve pas dans les portes CML. Ainsi, ce type de pannes ne semble pas possible dans les circuits CML.

1.5.2 Pannes de type analogique

Une panne de type analogique est définie ici par un comportement anormal d'une cellule observable par une réponse hors de ses spécifications paramétriques. Il faut encore mentionner qu'une défectuosité engendrant une panne de ce groupe peut aussi bien engendrer des pannes d'ordre logique. Dans ce groupe de pannes, on retrouve les pannes de délai, de complémentarité corrompue, byzantine, à marge de bruit réduite, de niveau logique indéfini, d'oscillation par rétroaction et de courant de fuite excessif I_{ddq}.

Une panne de délai est obtenue lorsqu'une différence significative est observée dans le délai de propagation d'un signal. Cette différence peut soit être un accroissement, soit une diminution du délai accepté comme normal. Il peut sembler étonnant et sans conséquence qu'une défectuosité améliore le temps de réponse d'une cellule, toutefois,

il est fort probable qu'une telle défectuosité engendre d'autres pannes en même temps ou qu'elle puisse nuire sur d'autres plans de la performance de cette cellule (dissipation, fiabilité).

Notre étude qui visait à identifier les comportements possibles nous a permis d'observer de nombreux cas où une défectuosité se manifeste par une amplitude différentielle réduite qui diminue la marge de bruit. En effet, moins grande est la différence entre les signaux complémentaires, plus le signal est susceptible d'être compromis par des bruits dans la puce. Toutefois, la fonctionnalité de la porte reste souvent intègre et si le bruit reste en deçà du point critique, la panne ne se propagera pas et le circuit pourrait sembler parfaitement correct. Un exemple typique de panne de marge de bruit est présenté à la figure 1.5, où un pont faible a été simulé entre les signaux de sortie *opf* et $\overline{opf}$. Le résultat donne une amplitude de sortie de 10 mV qui est inacceptable pour des puces mises sur le marché.

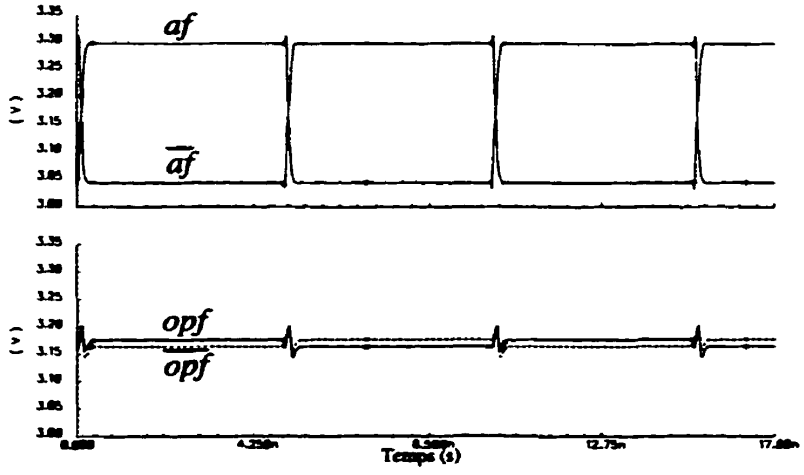


Figure 1.5 Panne de marge de bruit typique

À l'extrême, comme le démontre la figure 1.6 où le transistor fournissant la source de courant comporte un circuit ouvert à son collecteur, la marge de bruit est réduite dramatiquement et seule de faibles excursions sont visibles aux transitions d'états aux signaux d'entrée.

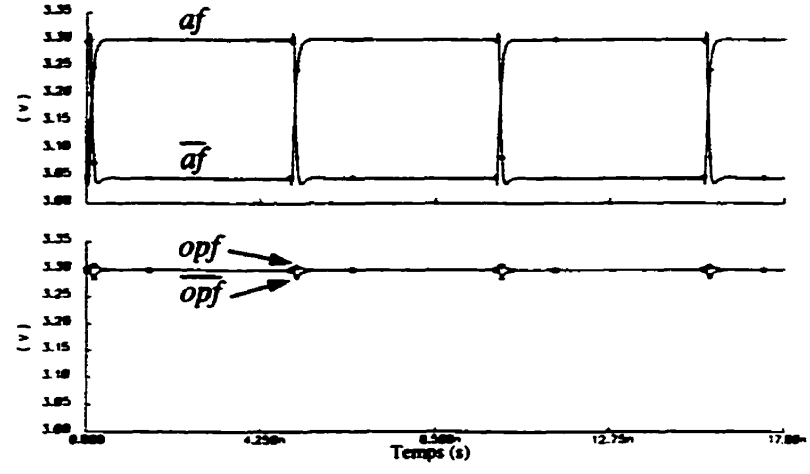


Figure 1.6 Panne extrême de marge de bruit pour un circuit CML

De cette défectuosité découle une panne de niveau logique indéfini ou pire, une différente interprétation du niveau logique des signaux de sortie (panne byzantine) par les portes recevant cette paire de signaux.

Aussi, des cas de perte de complémentarité entre deux signaux pairés ont déjà été rapportés pour des circuits ECL, connu sous le nom de panne à complémentarité corrompue. Puisque ces pannes sont liées à l'étage typique émetteur-suiveur des portes ECL, ces pannes ne sont pas possibles en CML.

De plus, il a été observé des cas où une défectuosité ajoute une rétroaction interne dans une cellule, générant de manière aléatoire une oscillation indésirable du signal de sortie.

Enfin, certains circuits ECL présentent un accroissement dans le courant de repos (I_{ddq}) où les sources de courant des cellules demandent un courant d'alimentation supérieur à la normale. L'idée d'en faire un modèle de panne provient d'études poussées pour les circuits CMOS où un courant de repos anormal est bien plus critique.

1.6 Méthodes de test marquantes sur la détection des pannes

Pour la plupart des cas de défectuosités qui engendrent des pannes de type logique, la fonctionnalité des circuits est corrompue. Toutefois, pour un bon nombre de défectuosités qui n'engendrent que des pannes de type analogique, seules les caractéristiques des cellules sont compromises. Dans plusieurs cas, il n'y a pas d'effet sur la fonctionnalité d'une puce. Or, souvent, les défectuosités peuvent se dégrader avec le temps. Dans ce cas, la défectuosité ne deviendrait une panne que chez le client où l'environnement n'est pas nécessairement aussi stable que sur les bancs de test. Pour simplifier le problème du test face à la grande variété des pannes possibles, différentes méthodes de tests ont été proposées dans la littérature.

1.6.1 Détection de pannes logiques

Un circuit d'auto-évaluation intégré (BIST) fonctionnant à la vitesse d'opération normale du circuit a été proposé par Jorczyk et al. ([10], 1996) pour tester des circuits intégrés ECL. Cette méthode permet de couvrir des pannes qui échappent aux tests à vitesse réduite. Le BIST proposé se compose d'une série de registres à décalage à rétroaction linéaire (LFSR) et la méthode de vérification prônée est d'observer le diagramme en oeil des sorties de la puce. Néanmoins, cette technique demande un effort important de conception et de test, et peut devenir gourmand au niveau surface.

Une méthode simple de propagation des pannes logiques à travers des portes séquentielles ou des multiplexeurs a été développée par Patenaude ([14], 1998). Cette technique de la transparence permet en mode test de rendre ces portes transparentes au signal de commande (qu'il soit le signal d'horloge ou de sélection). Somme toute, la technique transforme ces portes en simples tampons. L'intérêt de cette méthode découle du besoin d'insérer des chaînes de balayage dans un circuit séquentiel pour appliquer des patrons de test ATPG. Le circuit de test, comme le montre la figure 1.7, ajoute deux transistors et un signal de commande (*trans*) à chaque porte nécessitant un mode test de transparence. L'idée principale est de forcer le courant de polarisation à passer aux deux étages différentiels du niveau supérieur en appliquant à *trans* une tension de l'ordre de *Vcc*. Ainsi, le courant sera divisé dans les deux étages

différentiels de deuxième niveau. L'étage de gauche reçoit l'entrée alors que l'étage de droite donne une rétroaction positive (à faible gain) de la sortie. Le signal d'entrée ayant une impédance plus faible que la rétroaction, le signal de sortie le suit et la rétroaction accélère le gain. Cette méthode conduit à une faible baisse en performance et une variation dans l'amplitude différentielle négligeable. Toutefois, l'auteur mentionne que la méthode possède un désavantage qui peut être contourné, mais qui demande un effort de plus pour y remédier. Il mentionne qu'un circuit similaire à une machine à état qui comporte des rétroactions pourrait entrer en oscillation si toutes les bascules devenaient transparentes en mode test. Pour une bonne couverture de pannes où tous les sous-circuits sont testés, il faudrait plusieurs signaux de commande de transparence. Chaque signal serait donc relié à différentes portes séquentielles sélectionnées pour éviter toute oscillation involontaire.

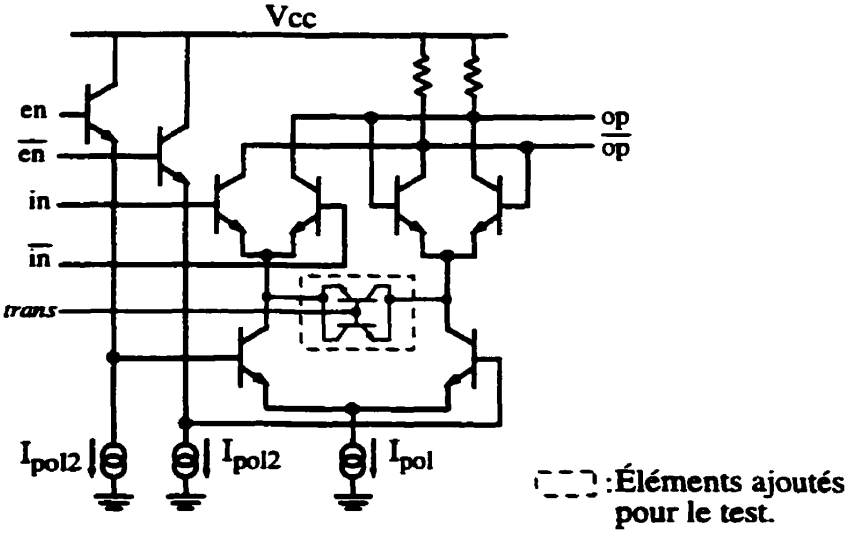


Figure 1.7 Bascule sensible à l'état du signal d'horloge avec mode de transparence (tirée de Patenaude, 1998)

1.6.2 Détection des pannes de complémentarité corrompue

Pour tester la corruption des signaux complémentaires (aux sorties de chaque porte) des circuits ECL, Menon et al. ([12], 1996) ont proposé une technique simple. La technique utilise une porte OU-exclusif à polarité simple pour vérifier que tous les signaux complémentaires soient de niveaux logiques opposés. Toutefois, cette technique demande une grande surface pour la portion de test (une porte de test pour chaque porte du circuit) et ceci n'améliore que la couverture d'un seul type de panne qui n'est pas observé dans les circuits CML.

1.6.3 Détection des pannes de délai

Higeta et al. ([7], 1995) ont développé des techniques pour vérifier les délais des chemins de données de modules de mémoire RAM ECL-CMOS. En utilisant des bascules ECL aux entrées et sorties de ces modules et en stimulant le circuit à l'aide d'un générateur de patrons, ils ont établi le délai des chemins de données en nombre de cycle de l'horloge de test. Bien que cette technique puisse être utilisée pour des circuits CML, elle a en général un défaut qui fait que même certaines pannes évidentes ne peuvent pas être détectées. En considérant qu'un circuit puisse avoir une variation modeste de 10% vis-à-vis les paramètres nominaux du procédé, le délai d'une porte défectueuse deux fois plus lente que la normale ne pourra pas être détecté si la donnée

se propage dans un circuit de profondeur logique de plus de 10 portes de même nature, si les neuf autres portes possèdent un comportement nominal. En effet, la variation permise de 10% dans le délai total du chemin de donnée dans l'exemple est équivalente à une porte en plus. Or, la panne non-négligeable sus-mentionnée apporte exactement un délai de cette envergure. Ainsi, dans ce contexte, ce type de panne ne peut pas être détectée.

Cecchi ([2], 1988) a breveté une technique originale pour palier à certaines pannes de délai difficilement observables dans une bibliothèque de cellules. La cause de ces pannes provenait d'une défectuosité possible dans leur technologie, soit un circuit ouvert dans la couche «contact»[10]. Après modification du dessin des masques des cellules standards de la bibliothèque, Cecchi a pu veiller à ce qu'un défaut dans la couche «contact» au noeud sensible considéré ne puisse se manifester que sous la forme d'un collage. Au point de vue performance des cellules, rien n'a changé et la surface totale des cellules n'a pas été compromise. Ainsi, il évite le temps de développement et la surface nécessaire pour des dispositifs de test pour détecter des pannes difficiles à détecter. Cette technique peut très bien s'appliquer à d'autres types de panne; la seule différence réside dans une compréhension parfaite des conséquences de chaque défectuosité dans la conception au niveau des masques.

---

10. Couche métallique donnant accès à la première couche de métallisation aux dispositifs.

Une autre technique développée dans l'optique de détecter des pannes de délai qui peut très bien servir à d'autres fins de détection a été proposée par Chang et McCluskey ([3], 1996) pour des circuits CMOS. Leur méthode consiste à abaisser la tension d'alimentation d'une puce aux alentours de 2 à 2.5 fois la tension de seuil V_t des transistors. Dans cette région, le délai des portes défectueuses augmente de manière significative par rapport à la normale. Ceci implique que les pannes de délai s'amplifient au point d'être plus facilement détectées. Les auteurs mentionnent que la technique a aussi prouvé son efficacité pour détecter des pannes logiques de fonctionnalité, de synchronisation et de courant de fuite I_{ddq}. Il est vrai que la méthode visait les technologies CMOS, mais le principe pourrait bien s'appliquer aux CML en considérant le stress qu'elle apporte sur la marge de bruit.

1.6.4 Détection de marges de bruit réduites

Pour détecter les pannes à marge de bruit réduite qui sont souvent difficiles à détecter, Anderson ([1], 1988) a présenté une technique brevetée par IBM qui empêche un circuit de récupérer des effets d'une panne, la forçant à se manifester sous forme d'un collage. La figure 1.8 présente une porte OU modifiée pour intégrer cette technique de test. La technique utilise deux sources d'alimentation additionnelles (*V1* et *V2*) en mode test pour déséquilibrer dans les deux sens l'étage différentiel de toutes les portes d'un circuit. En effet, en appliquant une tension suffisamment inférieure à *Vcc* sur

l'une ou l'autre des alimentations additionnelles, il est possible de jouer sur la plage de tension d'une des branches de l'étage différentiel. Puisque l'autre branche conserve la plage de tension non-modifiée, il est possible de générer un collage en empêchant les signaux de se croiser. Avec des tensions de test bien calculées, un collage pourrait n'être induit que pour les cas où la marge de bruit est réduite. Si en mode normal un signal ne comporte pas de panne de marge de bruit, l'amplitude différentielle du signal serait diminuée, mais pourrait quand même se propager. De plus, pour isoler en mode normal le circuit de toute perturbation provenant des alimentations additionnelles, de petits dispositifs sont ajoutés à chacune des deux sorties des portes, soit une diode Schottky[11] et une résistance (voir encadrés de la figure 1.8). Dans ce cas, les tensions *V1* et *V2* seraient amenées à prendre la même tension que *Vcc*.

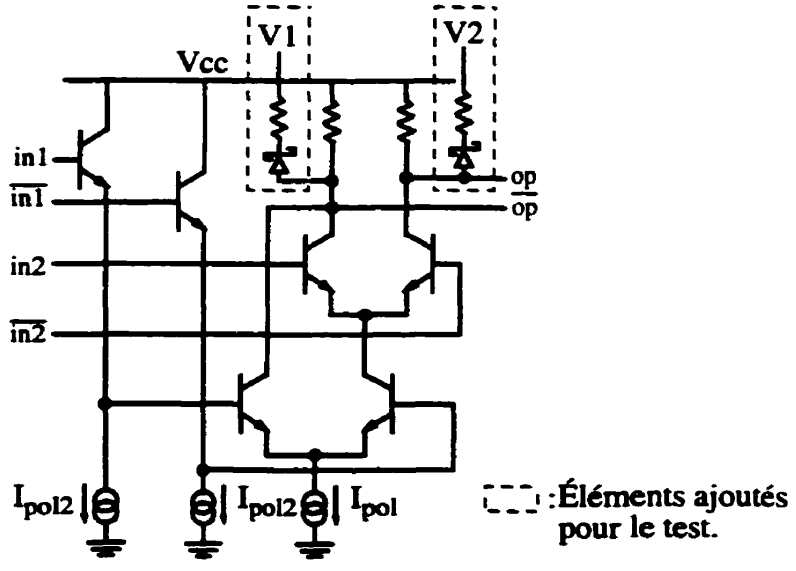


Figure 1.8 Porte OU modifiée pour le test de débalancement (tirée de Anderson, 1988)

11. La diode Schottky possède une capacité parasite plus faible qu'une jonction PN normale. Ceci permet ainsi de diminuer les pertes de performance qu'apporte l'inclusion du circuit de test.

Patenaude ([14], 1998) a développé une combinaison de techniques pour la détection de pannes de marges de bruit réduites. Sachant que les portes CML ont un gain supérieur à l'unité, une panne de marge de bruit réduite peut être cachée par les portes recevant le signal en panne. La première technique part du principe que le courant de polarisation d'une porte CML influence son gain. En abaissant ce courant, il devient possible de réduire le gain de la porte. La technique consiste donc à utiliser en mode test un courant de polarisation qui donne un gain très près de l'unité. Ainsi, les portes sans pannes peuvent très bien propager des signaux sans perte de fonctionnalité, mais le signal anormalement petit d'une porte ayant une panne de marge de bruit réduite sera propagé vers les sorties en conservant une amplitude réduite. Ceci permet alors d'observer la panne. Néanmoins, l'auteur rencontre une difficulté à ajuster le gain avec grande précision, puisqu'il doit passer par la tension de polarisation du transistor qui agit comme source de courant. De plus, il a dû composer avec une grande variété de portes dont les gains changent sensiblement de l'une à l'autre. Ainsi, avec une tension de test fixe, il n'a pas pu obtenir un gain unitaire pour toutes les portes. Pour palier au problème, il s'agit de trouver une tension moyenne pour que toutes les portes aient approximativement un gain unitaire pour ensuite compenser la perte en ajoutant des détecteurs de marge de bruit réduite à intervalles réguliers à travers le circuit. Ce deuxième élément de test permet de détecter toute amplitude différentielle de moins de 70 mV aux sorties d'une porte, peu importe l'état logique et hors des périodes de transition. La figure 1.9 présente ce détecteur. Le condensateur du détecteur permet

d'ignorer l'amplitude différentielle pendant les transitions puisqu'elles sont trop courtes. Sa fréquence de coupure a été choisie pour assurer une bonne discrimination, et donc, les meilleurs résultats sont obtenus à des fréquences d'application de vecteurs de test aux alentours de quelques MHz.

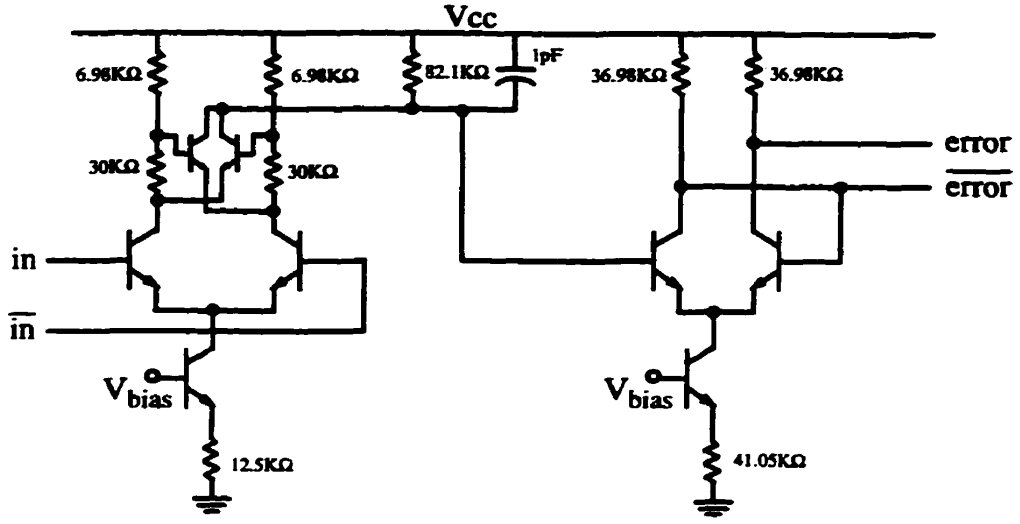


Figure 1.9 Détecteur de marge de bruit réduite (tirée de Patenaude, 1998)

1.7 Conclusion

Nous avons présenté dans ce chapitre une base pour comprendre les concepts de l'architecture CML. De plus, nous avons couvert les défectuosités possibles qui peuvent se glisser dans un procédé bipolaire, ainsi que les pannes qui peuvent en découler dans les circuits CML. Aussi, nous avons présenté quelques méthodes de test existantes permettant de détecter ces pannes.

Au prochain chapitre, il sera question d'un outil permettant de quantifier la distribution des pannes lorsqu'on considère une liste exhaustive de défectuosités probables. De plus, quelques résultats prometteurs pour orienter le développement de méthodes de test sont présentés.

CHAPITRE II

OUTIL DE CARACTÉRISATION AUTOMATIQUE DE PANNES

2.1 Introduction

L'outil de caractérisation automatique de pannes (OCAP) a été développé pour caractériser le comportement des cellules de la bibliothèque VersArray25 lorsqu'elles sont défectueuses. Combiné à l'outil Inductive Fault Analysis (IFA) développé par Patenaude ([14], 1998), l'OCAP donne à l'utilisateur la possibilité de configurer plusieurs aspects de l'analyse d'une cellule. Par souci de flexibilité, la majorité des fonctions de l'outil sont reconfigurables, donnant à l'utilisateur la possibilité d'ajuster les paramètres de caractérisation. De plus, pour simplifier le travail de l'utilisateur, toute configuration se fait par de simples fichiers textes.

Ainsi, pour configurer l'environnement de test, il est possible de définir pour chaque cellule, ses terminaux, ses connexions aux alimentations à de quelconques valeurs, les stimuli de test, le circuit de source de polarisation ainsi que le type de portes tampons à utiliser pour simuler l'environnement. De plus, un circuit personnel peut être attaché à la cellule sous évaluation (CSE) pour augmenter sa fonctionnalité (par exemple, un circuit intégré au CSE qui permet d'améliorer sa testabilité).

Avec l'environnement de test défini, l'outil peut caractériser les cellules en présence de différentes défectuosités et analyser les résultats après simulations. Tout comme l'environnement, l'analyse des simulations est aussi configurable. Si de nouveaux outils d'analyse sont nécessaires, un brin de programmation est requis, mais l'engin de l'OCAP reste indemne. Cette combine est possible grâce à l'édition de liens dynamique. Pendant l'exécution de l'engin de l'outil, celui-ci peut éditer les liens d'une bibliothèque et exécuter des fonctions d'analyse de cette bibliothèque en suivant un protocole bien défini. À travers la configuration des analyses, l'utilisateur peut choisir les bibliothèques d'analyse à utiliser et les tests à appliquer pour identifier les pannes. Grâce à cette flexibilité, l'utilisateur peut intégrer un circuit de test à sa cellule, créer une bibliothèque de fonctions pour analyser les sorties du circuit de test et en évaluer l'efficacité.

De plus, après la caractérisation complète d'une cellule, l'OCAP présente une analyse statistique sous forme de tableau des couvertures de défectuosités d'après les types de pannes. En utilisant une version améliorée de l'analyseur statistique, l'utilisateur peut obtenir des couvertures plus précises qui considèrent les fréquences de chaque défectuosité. De plus, comme les types de pannes ne sont pas orthogonaux, la version améliorée permet de les combiner pour créer des super-types et ensuite évaluer leur couverture de défectuosités.

2.2 Engin de l'outil et principes de base

Comme mentionné précédemment, cet outil a été conçu pour automatiser la caractérisation par simulation de cellules soumises à des défectuosités. Pour simuler un environnement normal, chaque cellule est insérée dans un banc de test stimulé par des vecteurs définis par l'utilisateur. Après chaque simulation, un ensemble de mesures est effectué pour évaluer le comportement de la cellule défectueuse. Notons que pour chaque cellule, une version sans défectuosité du banc de test est simulée et son comportement est enregistré. Ces données sont conservées pour ensuite servir de référence lors de l'analyse de la cellule lorsqu'en présence d'une défectuosité.

2.2.1 Configuration des cellules

Pour faciliter l'analyse des différents types de cellules à étudier, l'OCAP permet à l'utilisateur de décrire ses caractéristiques, son environnement de simulation ainsi que les types d'analyse à lui appliquer.

Les caractéristiques possibles sont les noms des terminaux de la cellule ainsi que les tensions d'alimentation et la source de tension de polarisation qu'il faut lui appliquer. Les terminaux sont séparés par catégories, qu'ils soient d'entrée, de sortie, d'alimentation, de test ou de tout autre type qui puisse être d'intérêt. Quant aux

tensions d'alimentation, il s'agit d'associer aux terminaux qui ont besoin d'alimentations stables, les valeurs de tension[1] à appliquer. Pour la source de tension de polarisation, contrairement aux alimentations stables idéales, il a été préféré d'incorporer dans le banc de test le circuit choisi par l'utilisateur qui va produire cette tension. En effet, la tension étant appliquée à la base du transistor de source, une petite variation de tension due à une charge supplémentaire aura un effet significatif sur le courant et donc sur le comportement de la cellule. Par conséquent, c'est un phénomène qui doit être intégré dans le banc de test pour reproduire correctement un vrai circuit. D'ailleurs, ayant un circuit de génération de tension adapté aux cellules, il serait inapproprié de ne pas l'utiliser. Il faut mentionner que le circuit de la source de tension de polarisation possède aussi des caractéristiques à configurer et pour cela, il faut le définir comme une cellule indépendante.

Pour définir l'environnement d'analyse de la cellule, il existe 3 éléments configurables. Il y a la définition de la cellule tampon à utiliser pour reproduire les caractéristiques électriques normales des signaux, les stimuli à appliquer au banc de test pour évaluer le comportement de la cellule et le circuit à attacher à la cellule. Le choix de la cellule tampon à utiliser pour reproduire l'environnement de test repose dans les mains de l'utilisateur. Ceci permet de tenir compte des différents grades de vitesse de la bibliothèque de cellules VersArray25 de Nortel ainsi que des ajouts d'éléments

1. Les tensions sont obtenues par des sources de tension idéales.

spéciaux pour toutes les cellules de certains bancs de test. De plus, l'OCAP permet de choisir le nombre de portes tampons à utiliser avant et après la CSE [2]. Quant aux stimuli, l'utilisateur doit premièrement créer des circuits de génération de vecteurs de test à l'aide de sources de tensions génériques. Puis, dans la configuration de chaque cellule, il fait référence au circuit de stimuli approprié. Le côté générique permet de réutiliser un même circuit de stimuli par des cellules de différents grades de vitesse. En effet, l'outil permet de changer l'échelle de temps des signaux selon les demandes de l'utilisateur pour les adapter aux différentes cellules. Enfin, pour le circuit attaché, il s'agit simplement d'indiquer où se trouve son fichier et quels sont les signaux auxquels il doit s'attacher.

Pour définir les types d'analyse des résultats de simulation, il suffit de mentionner les noms des bibliothèques de fonctions d'analyse à utiliser, ainsi que les noms des tests d'évaluation de pannes de chacune de ces bibliothèques à appliquer. La section 2.2.4 décrit en plus de détails le fonctionnement de ces fonctions d'analyse.

2.2.2 Défectuosités couvertes et méthode d'injection

L'engin de l'outil traite 4 genres de défectuosités qui peuvent être injectées à l'intérieur d'une cellule. Il traite des courts-circuits, des perçages de transistors, des ponts et des

---

2. Voir section 2.2.3 pour l'utilisation de ses portes tampons.

circuits ouverts. Il est à mentionner que pour chaque genre de défectuosités, une approche différente est prise pour l'injecter.

Pour l'injection d'un court-circuit, d'un perçage ou d'un pont, des résistances de valeurs modifiables sont insérées aux noeuds impliqués dans le listage de type SPICE de la cellule. Pour une même défectuosité des trois genres sus-mentionnés, l'OCAP permet d'appliquer différentes valeurs de résistances, suivant une liste de valeurs définies par l'utilisateur. Ainsi, il devient possible de couvrir différentes intensités d'un même genre de défectuosité.

Pour l'injection de circuits ouverts, la démarche est légèrement plus complexe. En effet, dans une description SPICE, les lignes métallisées sont normalement représentés par un simple noeud partagé par les dispositifs en contact. Donc, pour sectionner une ligne, il faut isoler ces dispositifs. Pour simplifier le travail des outils, l'extraction de la représentation SPICE est faite en incluant les résistances parasites de toutes les lignes métallisées qui normalement sont de faible valeur[3]. Ainsi, lorsqu'un circuit ouvert dans une ligne métallisée doit être injecté, il suffit de remplacer la résistance parasite qui la modélise par une résistance de 100 MΩ. De plus, pour représenter les effets parasites de la proximité des métallisations disjointes, un condensateur de 1 fF est mis en parallèle avec cette résistance.

---

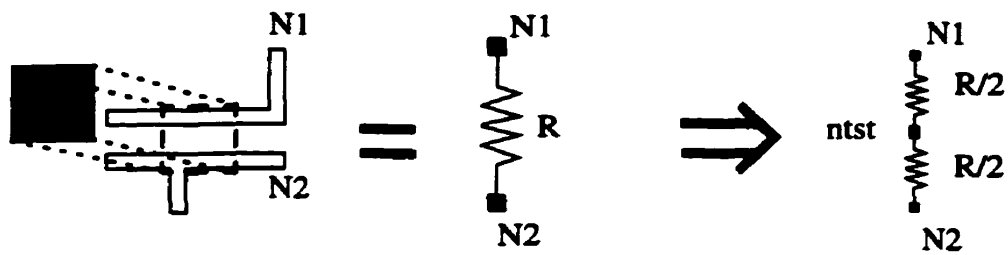
3. Du point de vue de l'IFA, l'inclusion des résistances parasites était obligatoire, compte tenu de la façon dont Cadence gère les dessins de masques d'un circuit.

Au niveau des études faites pour étudier les effets des défectuosités dans un circuit, la communauté scientifique s'entend pour n'étudier qu'une défectuosité à la fois. Deux facteurs motivent cette façon de faire. Premièrement, si toutes les combinaisons de défectuosités doivent être évaluées, on se retrouve en face d'un problème de complexité exponentielle. De plus, moins il y a de défectuosités dans un même circuit, plus elles deviennent difficiles à détecter. Ainsi, en peu de temps, il est possible de concentrer l'attention que sur les cas les plus difficiles. Dans l'outil, bien que des combinaisons de courts-circuits, de perçages et de circuits ouverts ne sont pas considérées, il est permis qu'un pont lie plus de deux noeuds ensemble puisqu'il ne s'agit que d'une seule défectuosité physique injectée. Les détails présentant une telle injection sont expliqués ci-après dans cette même section.

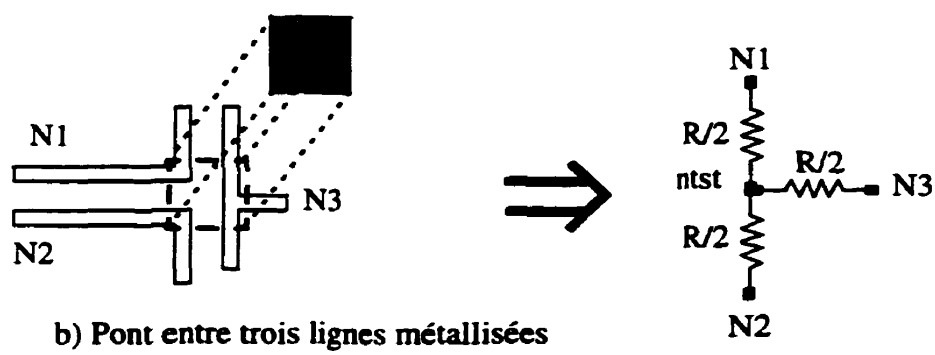
Pour obtenir la liste des défectuosités de perçage, l'outil lit le listage de type SPICE et identifie tous les transistors et leurs noeuds associés. Pour chaque transistor trouvé, un perçage pourrait s'y nicher. Il suffit donc d'ajouter, tour à tour, une résistance de valeur multiple entre l'émetteur et le collecteur de chaque transistor.

Pour les courts-circuits et les ponts, l'outil utilise un fichier contenant une liste complète de défectuosités plausibles accompagnées des noeuds impliqués, de la fréquence d'occurrence et des couches en conflit. Le fichier en question provient en fait des analyses de l'IFA. Chaque ligne du fichier décrivant une défectuosité est lue et

interprétée. S'il s'agit d'un court-circuit, alors une résistance de valeur variable est ajoutée entre les noeuds impliqués. S'il s'agit d'un pont, alors pour chaque noeud impliqué, une résistance dont la valeur est la demie de celle requise pour produire un pont entre deux noeuds est branchée à ce noeud et à un noeud commun (**ntst**). Un exemple explicatif est illustré à la figure 2.1. Ainsi, le pont peut être interprété comme une connexion en étoile.



a) Pont entre deux lignes métallisées



b) Pont entre trois lignes métallisées

Figure 2.1 Exemples de traitement de ponts

Pour les défectuosités de genre circuit ouvert, un fichier similaire à celui des défectuosités de genre court-circuit et pont a aussi été généré par l'IFA et est lié aux éléments du listage pour les circuits ouverts (qui inclut les résistances parasites). À

chaque ligne décrivant une défectuosité de circuit ouvert, un ou deux noeuds sont impliqués. S'il n'y en a qu'un seul, il s'agit d'un carreau manquant dans la couche «contact» pour lequel il n'y a pas de résistance parasite. L'outil doit donc identifier le dispositif connecté à la métallisation représentée par ce noeud et l'isole en changeant le nom du noeud défaillant à la ligne décrivant ce dispositif. Puis, il ajoute une résistance de 100 MΩ en parallèle avec un condensateur de 1 fF, insérés entre l'ancien noeud et le nouveau. Dans le cas à deux noeuds, il existe une résistance parasite entre ceux-ci et l'outil n'a qu'à changer sa valeur à 100 MΩ et ajouter un condensateur de 1 fF en parallèle.

Normalement, il est possible d'extraire à partir du dessin des masques les capacités parasites d'un circuit pour mieux simuler son environnement. Toutefois, un problème dans la base de données des bibliothèques de cellules de Nortel nous empêche de les utiliser avec succès. S'il n'en était pas ainsi, il aurait été nécessaire, lors des circuits ouverts à un seul noeud, de couper les capacités parasites en deux et de les redistribuer aux bornes de la résistance de 100 MΩ. N'étant pas bien traité dans la base de données, leur gestion n'a pas été développée.

2.2.3 Banc de test

Pour reproduire l'environnement de simulation du banc de test, le programme crée un fichier séparé en format SPICE. Bien sûr, ce fichier contient une commande pour inclure le fichier de listage du CSE, simplifiant ainsi les modifications fréquentes de son circuit. Aussi, faut-il mentionner que chaque type de cellule (e.g. ET, OU, Bascule-D) doit avoir un banc de test différent, adapté à ses caractéristiques. Pour ce faire, l'outil utilise le fichier de configuration qui détaille les caractéristiques de toutes les cellules. La reproduction des conditions réalistes de l'environnement de la CSE est établie à l'aide de deux portes tampons insérées en série à l'entrée de celle-ci et trois autres en sortie[4]. Les portes tampons d'entrée permettent de modérer les signaux des sources idéales appliquées en entrée, alors que celles en sortie reproduisent les conditions de charge ainsi que les effets de récupération en profondeur.

2.2.4 Fonctions d'analyse des résultats de simulation

Comme mentionné précédemment, l'analyse des résultats de simulation offerte par l'outil est très flexible. Grâce à l'édition dynamique de liens, des bibliothèques de ces fonctions peuvent être développées sans toucher au code même de l'OCAP. Une bibliothèque contient des codes compilés accompagnés d'une table d'association entre

---

4. Les nombres mentionnés corespondent aux valeurs par défaut de l'outil et l'utilisateur a la possibilité de les changer.

le nom des symboles qui y sont définis et leur indice de position dans la bibliothèque. Ainsi, un code exécutable peut accéder à tous les symboles d'une bibliothèque (soit ses fonctions, soit ses variables) après l'avoir chargé en mémoire et édité ses liens. Dans le cas de l'OCAP, pour savoir quelles bibliothèques utiliser pour faire les analyses, l'OCAP consulte le fichier de configuration où chaque définition de cellule comporte une liste de ces bibliothèques. Par après, l'outil édite leurs liens pour les exécuter après chaque simulation. Bien entendu, les prototypes des fonctions principales sont standardisées pour que l'outil et les bibliothèques puissent se comprendre.

Il est à mentionner que l'analyse des simulations consiste à étudier le comportement des cellules et identifier si certaines pannes y sont présentes. Pour réduire le nombre de bibliothèques à développer et pour couvrir la détection de toutes les pannes d'intérêt, celles-ci peuvent contenir autant de fonctions de détection de pannes que nécessaire. Ensuite, pour choisir les fonctions de détection de pannes d'intérêt, il suffit d'énumérer dans le fichier de configuration la liste de ces fonctions auprès du nom de leur bibliothèque.

Une version complète d'une bibliothèque d'analyse a déjà été développée et celle-ci couvre les pannes qui nous ont semblé les plus critiques. Les critères de détection de

chacune de ces pannes sont décrits en détail par Patenaude ([14], 1998). Le tableau 2.1 présente ces pannes et résume les critères d'identification.

Tableau 2.1 Description des critères pour identifier les pannes

Pannes	Critères d'identification des pannes
Collage	Un signal différentiel n'a aucune transition durant tout le temps de simulation.
Table de vérité	La valeur logique d'un signal différentiel est différent de celle obtenue par le circuit sans défectuosité pour une même fenêtre logique.
Délai (avance)	Une transition sur un signal différentiel a eu lieu avant son homologue du circuit sans défectuosité au-delà d'une plage acceptable.
Délai (retard)	Une transition sur un signal différentiel a eu lieu après son homologue du circuit sans défectuosité au-delà d'une plage acceptable.
Marge de bruit réduite	La différence de tension des paires de signaux complémentaires est inférieure à 70 mV dans une fenêtre logique.
Marge de bruit très réduite	La différence de tension des paires de signaux complémentaires est inférieure à 20 mV dans une fenêtre logique.
Perte de complémentarité	Il s'agit en fait de marge de bruit extrêmement réduite, où la limite se situe à 10 mV.
Moyenne	La tension moyenne entre un signal et son complément sort des limites acceptables.
Amplitude excessive[a]	La tension d'un signal passe au-dessous de 2.9 V.

a. Le chapitre III présente en détail ce comportement ainsi qu'une méthode permettant de le détecter.

2.2.5 Fonctionnement de l'outil

Le fonctionnement de l'outil est relativement simple. En première étape, il demande à l'utilisateur le nom de trois fichiers: celui qui énumère les cellules à étudier en série, celui qui contient l'ensemble des définitions de stimuli et celui où devra être mis le banc de test. Par la suite, il lit le fichier de configuration et mémorise ses données en RAM, car l'accès à ces données est assez fréquent. Puis, il entreprend une boucle pour caractériser toutes les cellules à étudier d'après le contenu du premier fichier demandé.

Le coeur de la boucle commence par la création du banc de test pour la cellule courante en suivant les directives données dans le fichier de configuration. Puis, il fait une lecture du fichier de listage de la CSE pour en identifier tous les dispositifs et leurs connexions (ceci réduit les consultations fréquentes au contenu du fichier). Ensuite, l'outil entreprend la caractérisation de la version sans panne de la CSE pour ainsi établir un standard de référence. L'outil poursuit par la caractérisation de la cellule avec les défectuosités de genre perçage, court-circuit et pont. Pour chaque défectuosité injectée, une nouvelle paire de simulations du banc de test est effectuée. Cette paire de simulation correspond à deux types de simulations bien nécessaires. En premier lieu, il faut évaluer ses caractéristiques de fonction de transfert à travers une analyse en courant continue. Cette analyse permet de balayer la plage de valeurs de tensions CML standards aux entrées de la cellule. La deuxième simulation est d'ordre temporelle. Les

vecteurs de patrons sont appliqués aux entrées du banc de test en évaluant toutes les combinaisons d'entrées possibles. Après cette paire de simulations, les fonctions d'analyse des résultats de simulation sont exécutées. Chacune de ces fonctions retourne un vecteur d'indicateurs où chaque indicateur exprime la présence d'une panne spécifique dans le comportement de la cellule. Ces vecteurs sont emmagasinés dans un fichier dit de caractérisation et ils serviront pour la phase finale de statistiques. Puisque la caractérisation de défectuosités de genre circuit ouvert utilise un fichier différent de listage de la CSE, une seconde étape de caractérisation sans défectuosité est effectuée. Puis, l'outil caractérise la cellule et analyse son comportement pour toutes les défectuosités de genre circuit ouvert.

En fin de caractérisation complète de chaque cellule, l'outil fait l'analyse statistique des couvertures de défectuosités selon chaque panne. De plus, le contenu des caractérisations de chaque cellule est conservé dans des fichiers indépendants, permettant ainsi à l'utilisateur de faire par après une analyse statistique plus en profondeur avec l'outil développé à cette fin.

2.3 Résultats d'analyse

L'ensemble des portes tampon, des portes ET et des portes OU de la bibliothèque de cellules VersArray25 de Nortel Networks ont été analysées. La figure 2.2 présente les

couvertures pondérées moyennes des résultats de ces trois types de porte (tous les grades confondus)[5], séparées par genre de défectuosité. Ils confirment que les pannes de collage ne sont pas dominantes et par conséquent, la détection de ces pannes n'est pas suffisante. En fait, on obtient plus de pannes de marges de bruit réduites, de tables de vérité corrompues, de délais (les deux types confondus) et d'amplitudes excessives.

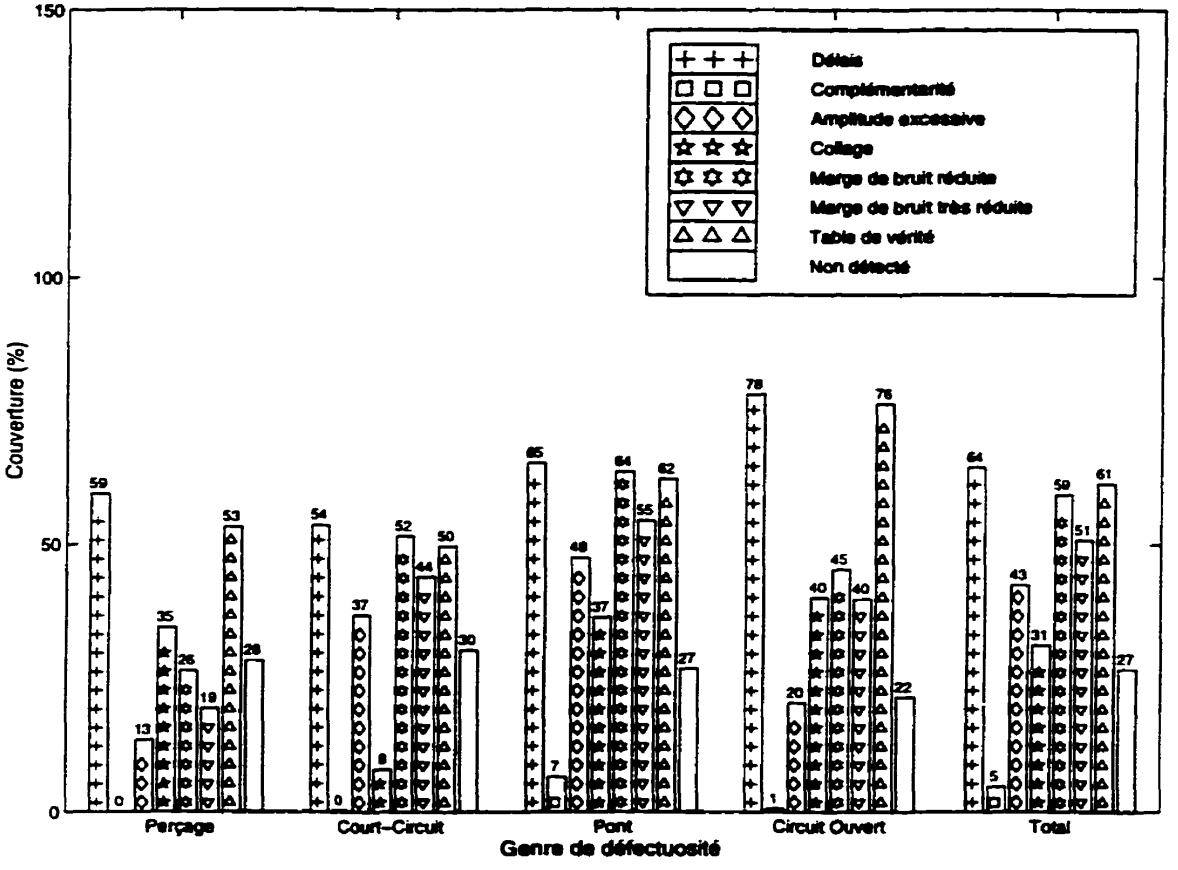


Figure 2.2 Couvertures moyennes des défectuosités des trois portes analysées

5. Le lecteur intéressé aux résultats indépendants de chacun des types de porte peut se référer à l'annexe I.

Il est à mentionner que d'après les analyses, les pannes de moyenne montraient aussi une grande couverture des défectuosités. Toutefois, compte tenu de la sensibilité de la détection de ces pannes par l'outil et du comportement d'une porte complexe CML, trop de pannes de ce type sont déclarées. À simple titre d'exemple, des cas sans défectuosité des portes ET et OU sont parfois déclarés comme des pannes de moyenne par l'OCAP. Évidemment, une telle déclaration ne peut être accepté. Ainsi, aucune statistique provenant de ce type de panne n'est illustrée.

Des résultats montrés à la figure 2.2, il peut paraître qu'un bon nombre des défectuosités ne sont pas couvertes par les types de pannes énumérés (plus de 25%). Toutefois, il faut mentionner que l'OCAP est limité par la manière par laquelle lui sont présentées les données. En effet, avant d'utiliser cet outil pour analyser une porte de la bibliothèque VersArray25 de Nortel Networks, il faut balayer son dessin des masques pour identifier toutes les défectuosités possibles (à l'aide de l'IFA). Or, dans certaines portes, un bon nombre de dispositifs ne servent pas à la fonctionnalité. Ainsi, l'IFA identifie et rapporte des défectuosités qui, de toute évidence, n'influenceront pas le comportement d'une porte. Par conséquent, l'OCAP décalare indétectables plusieurs défectuosités sans intérêt. De plus, l'outil est aussi limité par la forme des listages SPICE des portes générées à partir des dessins des masques. Le problème s'observe particulièrement lors de l'insertion d'un transistor dans le listage de la porte. Invariablement, la borne du substrat du transistor est relié à la masse du simulateur,

ainsi que les filages qui sont sensés fournir la tension de polarisation. Peu importe la tension appliquée, le substrat autour du transistor sera toujours la masse. Ainsi, toute défectuosité reliée à la polarisation de substrat n'aura aucune conséquence sur le comportement de la porte. Lorsqu'on regroupe ces deux limites, on obtient près de 10% à 15% des défectuosités analysées (une fois pondérées selon la fréquence d'occurence). Donc, il est possible que l'ensemble réel des défectuosités non détectées se situe plutôt aux alentours de 10% à 15%. Cette plage peut encore sembler élevée et une des raisons est la grande plage des forces de défectuosités injectées qui peut parfois dépasser les valeurs possibles dans un procédé bipolaire[6]. Lorsqu'on retire les défectuosités de faibles forces, on observe une augmentation dans la couverture de défectuosités de près de 6%, comme le montre la figure 2.3.

D'autre part, il est intéressant d'observer que les portes ET et OU donnent des résultats très similaires quant à leur distribution de pannes. Cette condition est certainement imputable à la grande similitude du dessin des masques de ces portes. En effet, la conversion d'une fonction logique à l'autre est presque immédiate dû à l'architecture différentielle des CML et par conséquent, seule l'inversion de tous les signaux complémentaires est nécessaire. Ceci confirme donc les résultats obtenus.

---

6. Les plages de forces des défectuosités insérées sont présentées, à titre de référence, à l'annexe I.

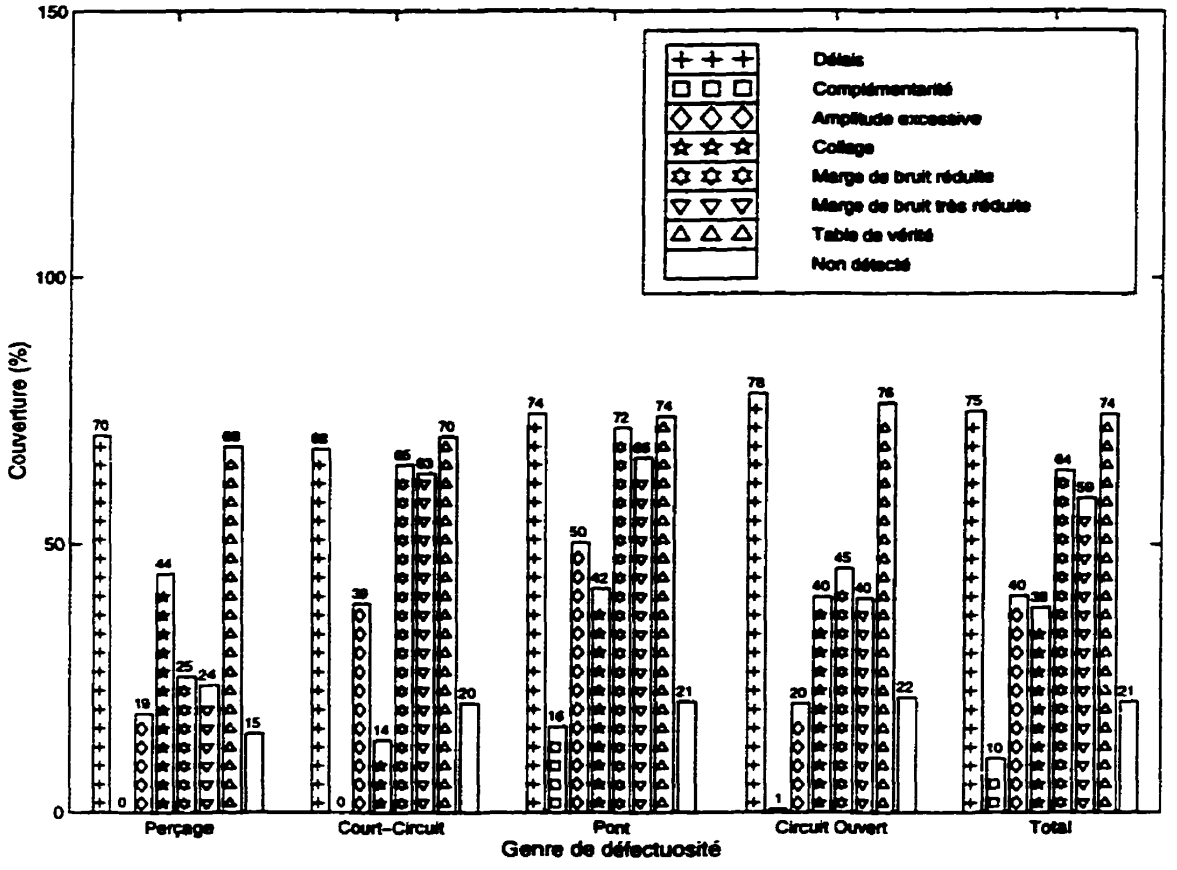


Figure 2.3 Couvertures moyennes des plus fortes défectuosités des portes analysées

De plus, après avoir analysé les portes ET et OU par induction au niveau du dessin des masques, Patenaude (1998, [14]) mentionne que le nombre de défectuosités possibles avec les portes OU de la bibliothèque de Nortel est moindre que pour les portes ET et donc qu'elles seraient moins sujettes aux défectuosités. À prime abord, il aurait été tentant de vérifier si tel est le cas avec les études présentées dans ce mémoire. Toutefois, une telle conclusion ne peut être tirée. Il nous apparaît que la seule

conclusion que l'on puisse tirer est que les défectuosités les plus courantes ne changent pas et par conséquent la distribution des pannes est conservée.

Parmi les pannes plus fréquentes que les collages, on retrouve les pannes de délai. D'après les figures présentées ci-haut, elles seraient de peu, les pannes les plus fréquentes. Par conséquent, il est tentant de se concentrer sur la détection de ces pannes. Toutefois, ces pannes sont souvent déclarées lorsque le temps de transition d'un signal excède (ou devance) la référence sans défectuosité par une petite fraction de la dimension de la fenêtre de transition[7]. Souvent, cette déviation se situe en-dessous du délai de propagation de la plus rapide des portes de la bibliothèque. Or, lorsque des cellules d'une bibliothèque sont conçues, leurs performances doivent être maximisées pour le procédé utilisé. S'il faut par après reprendre la même technologie pour venir évaluer une des caractéristiques de performance par échantillonnement, on voit rapidement que ce n'est pas pratique, surtout quand il est question de comportements à peine différents de la normale. Par conséquent, nous déconseillons un développement dans cette direction.

Puisqu'on observe qu'aucun type de panne ne couvre à lui seul toutes les défectuosités possibles, la phase suivante consiste à établir les combinaisons qui maximisent la couverture de défectuosités. Comme tel, les types de pannes à considérer sont les

---

7. Une fenêtre de transition consiste en l'intervalle délimité par le commencement (~10%) et la fin (~90%) de la transition d'un signal.

collages, les amplitudes excessives, les marges de bruit réduites (elles sont déclarées pour des amplitudes inférieures à 70mV) et les tables de vérité corrompues. La figure 2.4 présente les couvertures de défectuosités pour toutes les combinaisons possibles de ces quatre types de pannes. Chaque colonne de la figure est montée en étages, présentant à chaque nouvel étage la couverture cumulée de défectuosités lorsqu'un nouveau type de panne est ajouté à la combinaison. Lorsqu'un ajout n'apporte pas plus de 2% de couverture, un aggrandissement de l'étage est illustré à côté. Ainsi, on observe à la colonne 5, que c'est l'ajout des pannes de collage aux tables de vérité corrompues qui n'apporte aucune couverture additionnelle.

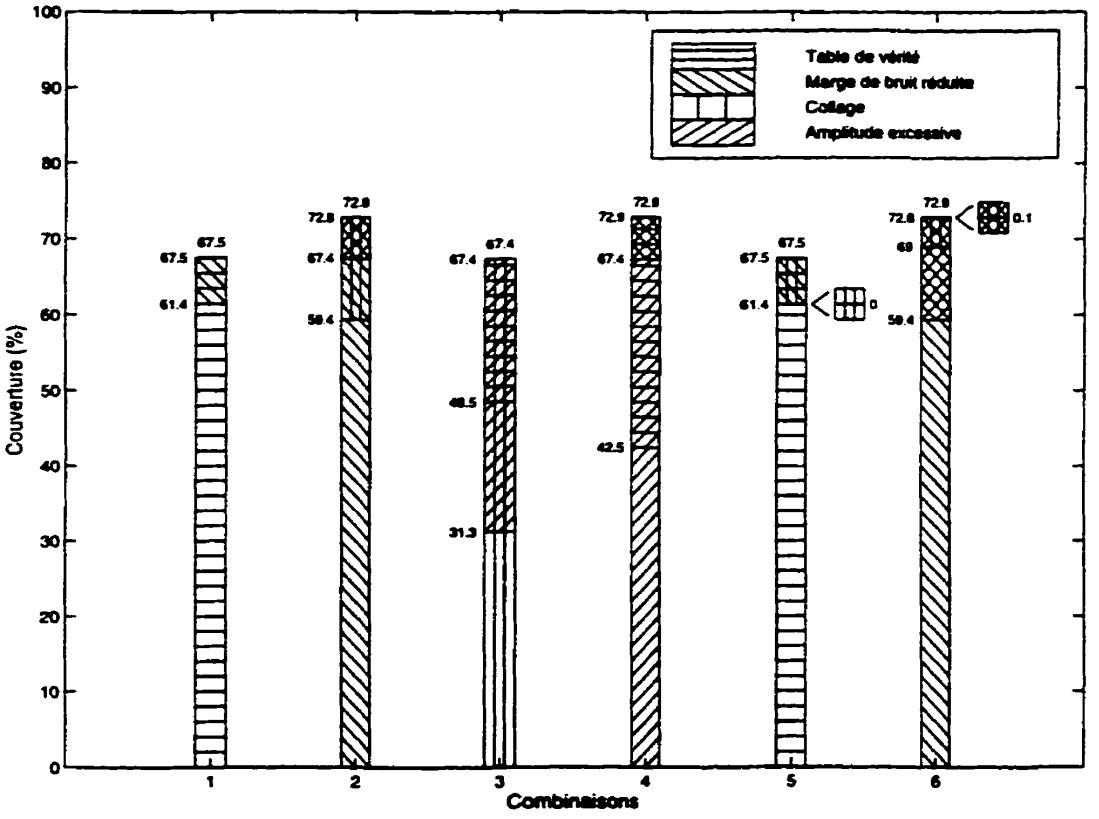


Figure 2.4 Couvertures de défectuosités selon les meilleures combinaisons

Parmi les combinaisons présentées, on observe que la combinaison de détection d'amplitudes excessives et de marges de bruit réduites donne un rendement près du maximum détectable (à 4% près). Toutefois, le maximum est obtenu lorsqu'on rajoute la détection de tables de vérité corrompues à ces deux méthodes. Si, néanmoins, le développement d'une technique de détection de cette dernière s'avère complexe, il serait bien suffisant de remplacer leur détection par celle des collages. En effet, la différence de couverture est tellement minime qu'il serait convenable de les déclarer équivalentes. De plus, la détection de collage est un domaine déjà bien rodé et la génération de vecteurs adaptés est présente dans la plupart des outils de test existants.

2.4 Conclusion

L'outil de caractérisation automatique de pannes décrit dans ce chapitre permet ainsi d'analyser les portes d'une bibliothèque rapidement et objectivement. Compte tenu du nombre de défectuosités à injecter et des simulations à analyser, un tel outil était indispensable. D'ailleurs, pour assurer une utilisation facile, ses fonctions sont hautement ajustables. Notons particulièrement la possibilité d'ajuster l'environnement de simulation, les paramètres de définition d'une porte, les vecteurs de test à appliquer et les fonctions pour analyser les comportements. En outre, pour compléter l'ensemble d'outils d'analyse, un outil de statistique a été développé. Il permet de calculer la couverture des défectuosités selon différents types de panne, tout en tenant compte de

la fréquence d'apparition des défectuosités. De plus, il peut calculer l'union des couvertures non orthogonales de plusieurs types de panne.

Bien que les outils soient efficaces, quelques améliorations seraient possibles. Il serait en effet très intéressant que l'outil de caractérisation possède un environnement graphique. Ceci permettrait d'augmenter la capacité de manipuler les données et la configuration des portes à analyser. Il serait aussi bon de permettre la configuration de la température de simulation ainsi que d'évaluer les effets des variations paramétriques. D'autre part, pour l'analyseur statistique, il serait intéressant d'ajouter la possibilité de compiler l'intersection de couvertures de différents types de panne.

En faisant appel aux outils développés pour analyser les portes tampon, ET et OU, nous avons observé la forte présence de quelques types de panne d'intérêt. En somme, il s'agit des marges de bruit réduites, des tables de vérité corrompues, des amplitudes excessives et des collages. Or, les résultats montrent que près de 27% des défectuosités ne sont pas détectables. Toutefois, un bon nombre de ces défectuosités sont soit inoffensives, soit liées à des défectuosités de forces très faibles. Autrement, les statistiques montrent qu'en combinant des méthodes de détection d'amplitudes excessives et de marges de bruit réduites, une grande couverture de défectuosités détectables est possible. Cependant, la couverture est maximisée en ajoutant la détection des tables de vérité corrompues ou celle des collages. Pour une perte

relativement négligeable de couverture, cette dernière est fortement recommandée lorsqu'on considère que les méthodologies de test existantes dans la plupart des entreprises et des outils de test couvrent ces pannes.

Le prochain chapitre présente les pannes d'amplitudes excessives et propose une méthode intégrée pour les détecter. De plus, il couvre la minimisation de surface des circuits de test et une méthodologie d'application de test.

CHAPITRE III

MÉTHODES DE TEST ADAPTÉES AUX CIRCUITS CML

3.1 Introduction

Parmi les types de pannes vus à la section 1.5, on retrouve les marges de bruit corrompues. Normalement, en CMOS, les pannes touchant les caractéristiques de la fonction de transfert des portes n'engendrent que des affaiblissements de la marge de bruit. Toutefois, dans les circuits ECL/CML, certaines défectuosités peuvent aussi faire en sorte que la marge de bruit des signaux augmente, comme cela sera montré à la section 3.2. Une porte présentant une panne de ce type ne change pas de fonctionnalité et le signal de sortie sera propagé aux portes suivantes en masquant la panne. Or, ceci peut engendrer un problème de fiabilité des produits.

Comme vu dans le chapitre précédent, nous avons trouvé qu'environ 40% des défectuosités provoquent des accroissements de marge de bruit ou des excursions anormales des tensions représentant les niveaux logiques bas. Nous montrerons que grâce à une technique de détection de ce type de pannes, la couverture de défectuosités sera significativement accrue si elle est combinée à la détection de pannes conformes à des modèles classiques.

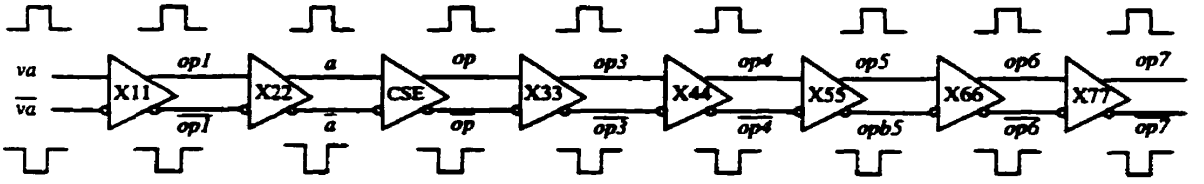
3.2 Injection de défectuosités et impact sur le comportement des circuits

Dans le cadre de ce travail, l'analyse des comportements des pannes se base sur une simulation réaliste des défectuosités au niveau des dispositifs à l'aide du simulateur de circuits analogiques Spectre^{tm}.

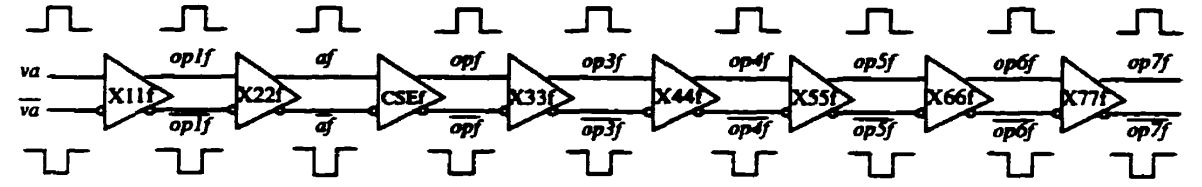
Les résultats ont montré que certaines défectuosités causent une chute de la tension du niveau bas par rapport à la valeur normale. Ce chapitre se concentre sur ce modèle de panne dont le comportement ne peut être modélisé par aucun type de pannes couramment rencontrées. L'environnement de test utilisé est composé d'une chaîne de portes tampons où les signaux différentiels mis en entrée de chaque porte proviennent des sorties de la porte précédente. Il est d'intérêt de mentionner que dans une telle chaîne, un signal dégradé par une défectuosité peut redevenir normal après une propagation au travers de quelques étages logiques.

Le cas typique étudié est la panne causée par un perçage du transistor de la source de courant (Q3) de la porte tampon (figure 1.1). Bien que cette défectuosité soit un cas typique, il existe plusieurs autres défectuosités qui causent un tel comportement, comme l'ont prouvé les statistiques présentées au chapitre II. Le banc de test pour cette étude consiste en une chaîne de 8 portes tampons (voir figure 3.1) où la défectuosité se situe dans la troisième porte (cellule sous évaluation CSE). Pour faciliter la

compréhension, deux chaînes sont utilisées, une sans défectuosité et une avec la défectuosité.



a) CSE sans défectuosité



b) CSE avec transistor Q3 percé (CSEf)

Figure 3.1 Circuit test (chaîne de 8 portes tampon)

La figure 3.2 montre l'effet du perçage du transistor Q3, modélisé par une résistance de 4 KΩ[1], sur les signaux de sortie de la chaîne. Cette figure présente les signaux de sortie clés de la CSE (CSEf) et ceux produits par la porte X66 (X66f) des chaînes avec et sans défectuosité, lorsque les signaux d'entrée des chaînes sont stimulés à une fréquence de 100 MHz. Aux sorties de la CSE, l'excursion de tension des signaux en panne a presque doublée. Cependant, après 4 portes logiques, le signal qui s'est dégradé en présence du perçage du transistor Q3 a entièrement récupéré en forme et en temps de transition.

1. Une telle intensité de perçage est relativement faible comparativement à la plage de valeurs suggérées dans la littérature. Toutefois, même avec cette intensité, on remarque un comportement critique qui ne peut être ignoré. En fait, des perçages de résistances plus faibles causent un comportement encore plus anormal de la porte.

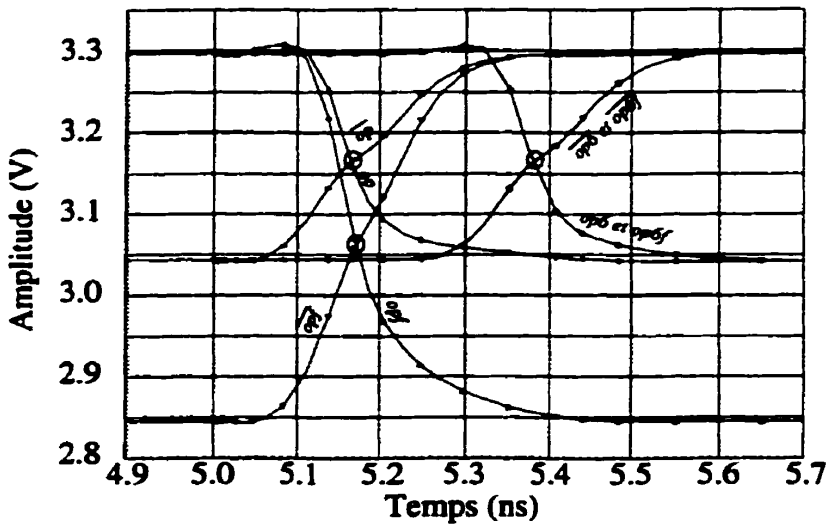


Figure 3.2 Signaux de sortie de CSE (*op* et $\overline{op}$) et de X66 (*op6* et $\overline{op6}$) avec et sans perçage de 4 KΩ

Dans un premier essai pour détecter ce type de pannes, nous avons étudié son impact sur le délai des portes puisque la méthode standard pour tester des pannes paramétriques est de vérifier les délais de propagation d'un signal sur un chemin de données. Le tableau 3.1 donne les mesures de temps de transition des signaux d'intérêt (la fréquence d'oscillation du signal d'entrée est de 100 MHz). Les temps indiqués sont mesurés pour chaque signal lorsque celui-ci croise une tension de 3.165 V. En fait, cette tension de référence est le point de croisement normal de signaux complémentaires. Il est à mentionner que cette méthode de mesure est fidèle à la manière par laquelle des portes ECL convertiraient un signal simple en une valeur logique. D'après le tableau 3.1, en éliminant le cas spécial des deux premières portes,

un délai moyen de propagation de 53 ps est obtenu pour chaque porte tampon sans défectuosité.

Tableau 3.1 Temps de transistion des signaux des chaînes avec et sans défectuosité[a]

		va	op1	a	op	op3	op4	op5	op6
SD[b] (ps)	x	0	51	105	163	216	269	322	376
	$\bar{x}$	0	64	112	163	216	269	322	376
ΔSD[c] (ps)	x	--	51	54	58	53	53	53	54
	$\bar{x}$	--	64	48	51	53	53	53	54
AD[d] (ps)	x	0	51	113	147	219	269	324	376
	$\bar{x}$	0	64	115	221	199	272	322	377
ΔAD (ps)	x	--	51	62	34	72	50	55	54
	$\bar{x}$	--	64	51	106	-22	73	50	55
Δt[e] (ps)	x	0	0	8	-16	3	0	2	0
	$\bar{x}$	0	0	3	58	-17	3	0	1

a. La défectosité est un perçage au transistor Q3, équivalent à 4 KΩ
b. Temps de transition mesurés sur la chaîne sans défectuosité.
c. Délai de propagation d'une porte en considérant les signaux d'entrée et de sortie de même polarité.
d. Temps de transition mesurés sur la chaîne avec la défectuosité de 4 KΩ.
e. Difference des temps de transition entre le signal des chaînes avec et sans défectuosité.

Comme le montre le tableau 3.1, un délai deux fois supérieur à la normale est observé sur une des sorties de la porte CSEf ($\overline{op}$), alors que son complément (op) pourrait être considéré comme plus rapide que son homologue de la chaîne sans défectuosité. Un résultat remarquable est la différence minime des temps de transition des signaux de

sortie de l'étage final (*op6* et $\overline{op6}$) des chaînes avec et sans défectuosité. Ce qui attire l'attention est que la panne qui semblait facilement testable par mesure de délais à la CSEf, ne l'est plus après quelques étages logiques CML. Ce comportement a été observé avec d'autres défectuosités injectées dans des portes CML.

Pour mieux comprendre le phénomène, la mesure des temps de transition a été refaite avec un différent critère. Les temps de mesure ont été pris au point de croisement des signaux pairés, peu importe la valeur mesurée, en considérant la paire de signaux comme un signal logique. En utilisant cette méthode de mesure, le tableau 3.2 est obtenu.

Tableau 3.2 Temps de transition des sorties des chaînes avec et sans défectuosité[a]

	va	op1	a	op	op3	op4	op5	op6
τ_{SD}[b] (ps)	0	56	110	163	216	269	321	375
délai$_{SD}$[c] (ps)	--	56	54	53	53	53	52	54
τ_{AD}[d] (ps)	0	56	114	170	217	270	323	376
délai$_{AD}$ (ps)	--	56	58	56	47	53	53	53
$\Delta\tau_d$[e] (ps)	--	0	4	7	1	2	2	1

a. La défectuosité est un perçage au transistor de source, équivalent à 4 KΩ
b. Temps de transition pour la chaîne sans défectuosité
c. Délai de propagation d'un signal à travers chaque porte
d. Temps de transition pour la chaîne avec la défectuosité de 4 KΩ
e. Différence des temps de transition entre les chaînes avec et sans défectuosité

Ce tableau montre ainsi que même avec la défectuosité, la différence de délais de propagation des portes entre les deux chaînes est presque invisible. À vrai dire, la porte défectueuse (CSEf) présente quand même un délai de propagation supérieur à la porte homologue de la chaîne sans défectuosité, mais la porte suivante (X33f) semble plus rapide que la normale. La raison de cette rapidité de réponse accrue est lié justement à la grande amplitude du signal de sortie de la porte défectueuse, combinée à son temps de monté inchangé. La porte X33f ayant un gain relativement invariant, le signal de sortie atteint plus rapidement l'amplitude normale lorsqu'il y a à son entrée un signal inhabituellement grand mais tout aussi rapide. Somme toute, après quelques portes, les signaux de sorties des deux chaînes sont superposés et la panne est camouflée.

En revenant à la figure 3.2, l'impact visible de la défectuosité injectée était l'accroissement de l'excursion de tension des signaux de sortie. La grandeur de cette excursion a été caractérisée selon une grande plage de forces de perçage du transistor Q3 et de fréquences de stimulation. Les résultats sont rapportés à la figure 3.3.

De la figure 3.3, on remarque que plus la résistance de perçage est grande[2], plus le comportement des signaux de sortie se rapproche des valeurs sans défectuosité et cette perturbation paramétrique devient presque indétectable. De plus, l'amplitude de l'excursion diminue avec une augmentation de la fréquence de stimulation de *va*, sauf

---

2. L'intensité en est donc plus faible.

que cette différence est faible et ne s'observe qu'à grande fréquence, à la limite d'opération de la porte.

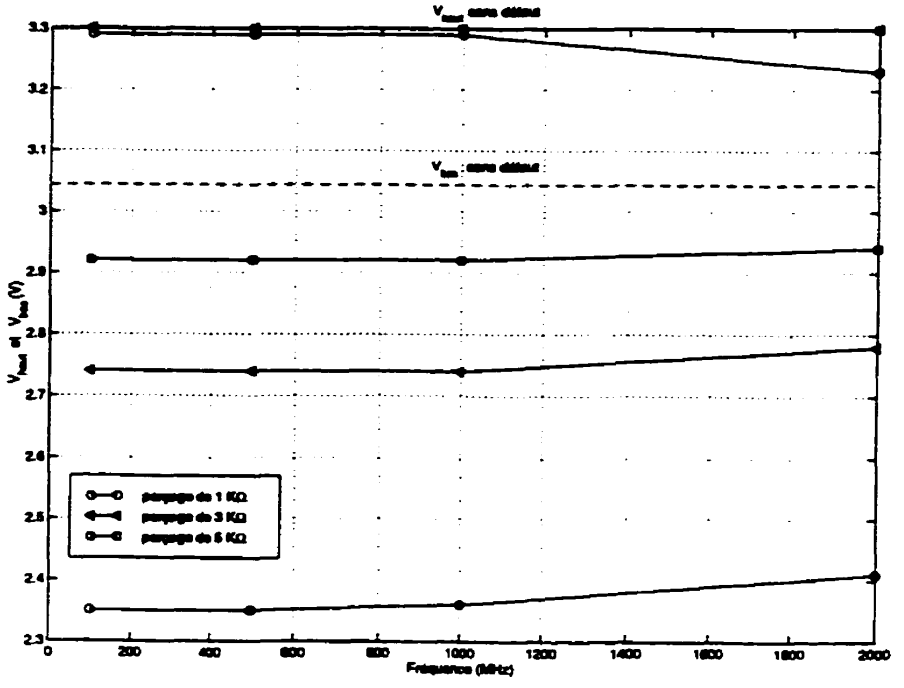


Figure 3.3 V_{bas} et V_{haut} vs des valeurs de perçage et de fréquence de stimulation

3.3 Test d'amplitude

Pour détecter les excursions de tension excessives, une technique impliquant la modification de la bibliothèque de cellules pour augmenter sa testabilité (DFT) a été développée. Cette technique utilise des détecteurs intégrés qui sont insérés aux sorties de chaque porte. Ces détecteurs convertissent la dégradation de l'amplitude des signaux en une valeur logique reflétant la présence de la panne. Deux variantes de la

technique sont présentées ainsi qu'une modification de la seconde pour améliorer sa stabilité sous plusieurs angles.

3.3.1 Variante 1 - détecteur unipolaire

La première variante du détecteur intégré comporte un transistor et une charge composée d'une diode (ou une résistance) et d'un condensateur en parallèle. Chacun de ces détecteurs doit être relié aux sorties de chaque porte d'un circuit (voir figure 3.4).

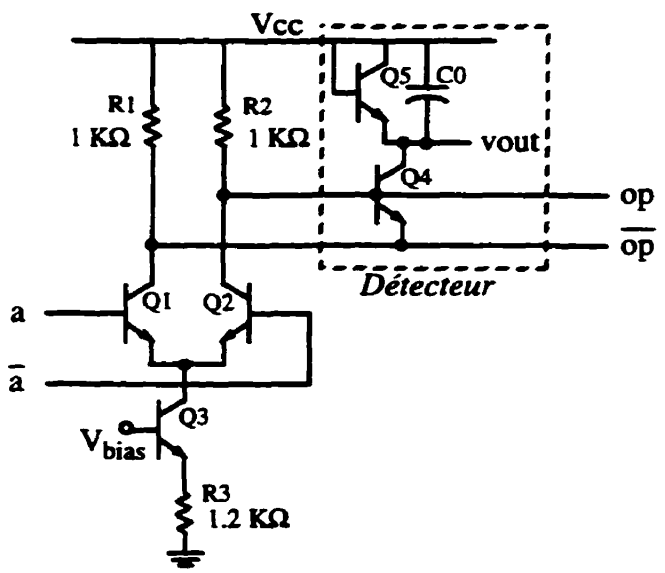


Figure 3.4 Détecteur intégré proposé (variante 1)

À l'aide d'une étude présentée plus bas, il est montré que ce détecteur ne détecte pas les défectuosités équivalentes à des perçages de plus de 3 KΩ au niveau du transistor

Q3 d'une porte tampon. L'architecture de cette variante du détecteur ne permet de détecter que des amplitudes différentielles de sortie supérieures à 0.57 V [3], alors que des valeurs de perçage de plus de 3 KΩ produisent des amplitudes inférieures à cette tension, comme il a été montré à la figure 3.3.

Le circuit de test est composé des transistors Q4 et Q5 ainsi que du condensateur C0. Lorsque le signal $\overline{op}$ descend au-dessous du signal *op* par plus de 0.57 V, un courant est appelé à circuler à travers le transistor Q4 (du collecteur vers l'émetteur). Ce courant doit donc provenir du transistor Q5, monté en diode, qui agit comme une résistance non-linéaire. En circulant dans la diode, le courant provoque une différence de potentiel aux bornes de la diode, abaissant ainsi la tension du signal *vout*. Quant au condensateur C0, il sert à stabiliser le signal *vout* à des tensions inférieures à celle de l'alimentation *Vcc* lorsque la panne n'est pas visible. En conditions normales sans défectuosité, la différence entre *op* et $\overline{op}$ n'approche pas 0.57 V et donc, aucun courant ne circule à travers Q4, gardant *vout* à *Vcc*. Puisque le signal *vout* ne s'abaisse que lorsqu'il y a une panne d'amplitude, il peut être comparé à une tension de référence à l'aide d'une porte tampon standard (sous la forme d'un comparateur), convertissant la dégradation de la sortie en un signal logique. La section 3.3.3 analyse l'impact de la charge apportée par un tel comparateur.

---

3. Cette tension correspond au seuil de conduction de la jonction base émetteur.

Le voltage de sortie du détecteur a été mesuré pour différentes fréquences de stimulation à l'entrée en variant les combinaisons de valeurs de charge (la résistance et la capacité), ainsi que de valeurs de résistance du perçage au transistor Q3 d'une porte tampon. Les charges considérées sont des combinaisons de diode-condensateur ou de résistance-condensateur. Comme il a été mentionné ci-haut, la diode est utilisée comme une résistance non-linéaire. Elle offre une résistance dynamique relativement élevée à faible courant (pour les cas sans défectuosité), alors qu'à grand courant, la résistance équivalente est faible (pour les cas avec défectuosité).

Pour expliquer les paramètres de l'étude du détecteur, la figure 3.5 montre un cas typique du signal de sortie du détecteur lorsqu'il y a une panne d'amplitude. Pour cette simulation, la résistance de perçage du transistor Q3 est de 1 KΩ pour une charge diode-condensateur (10 pF) à une fréquence de stimulation de 100 MHz (200 Mb/s).

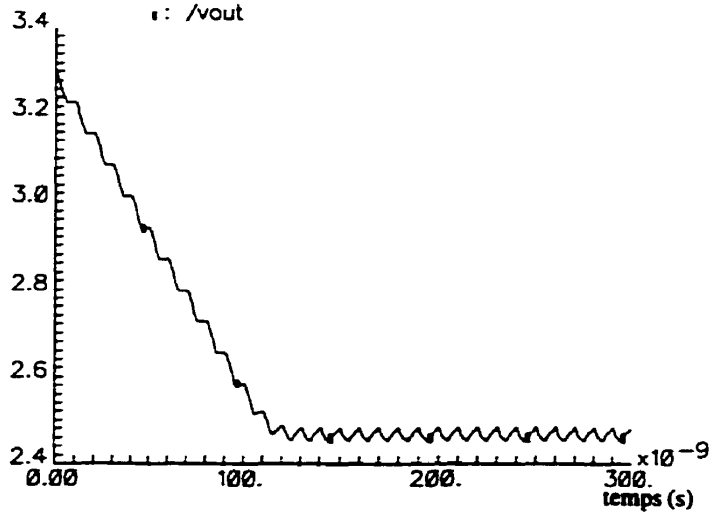


Figure 3.5 Réponse du détecteur (perçage de 1 KΩ et charge de 10 pF à 100 MHz)

Le comportement du signal est caractérisé par une période transitoire et une période relativement stable. Dans la période de stabilité, on observe une légère oscillation dont l'amplitude varie avec le type de charge et les conditions d'opération. Le temps de stabilité ($t_{stabilité}$) est ainsi défini comme le moment où *vout* atteint le premier minimum de la courbe de réponse, et V_{max} est défini comme le voltage absolu maximal du signal de sortie dans la période stable.

La figure 3.6 résume les résultats de l'étude du détecteur pour des charges de type diode-condensateur. Elle donne le temps de stabilité ($t_{stabilité}$) et la tension maximale

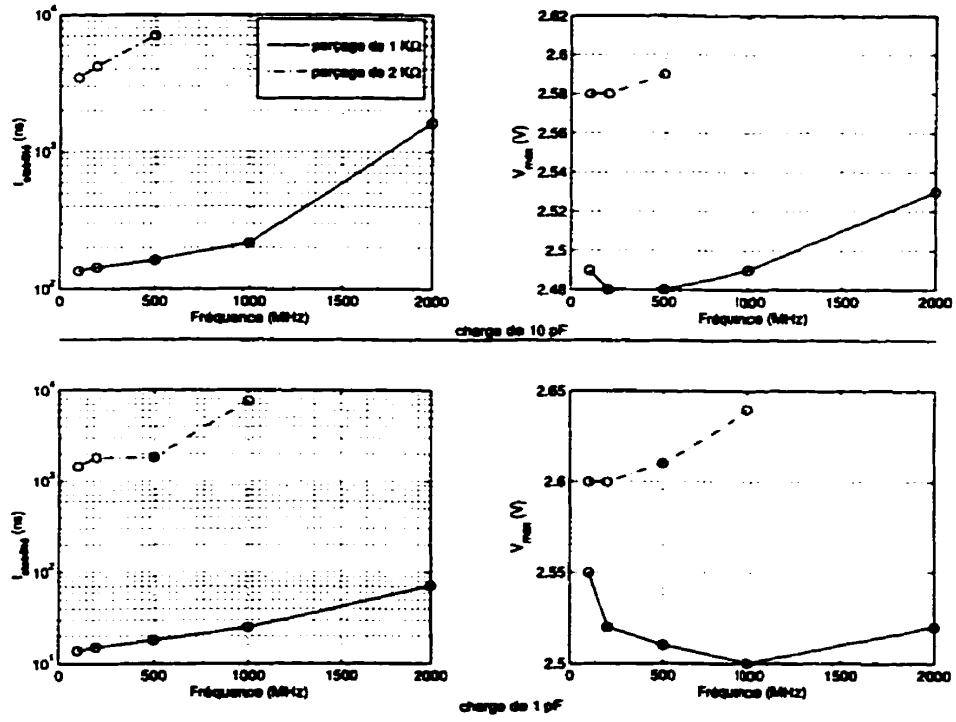


Figure 3.6 $t_{stabilité}$ et V_{max} vs fréquence, perçage et charge (variante 1, diode)

en stabilité (V_{max}) en fonction de la fréquence de stimulation, et des valeurs du perçage et de la charge capacitive.

À titre de comparaison, la figure 3.7 présente les résultats obtenus en remplaçant le transistor Q5 (diode) par une résistance de 160 KΩ.

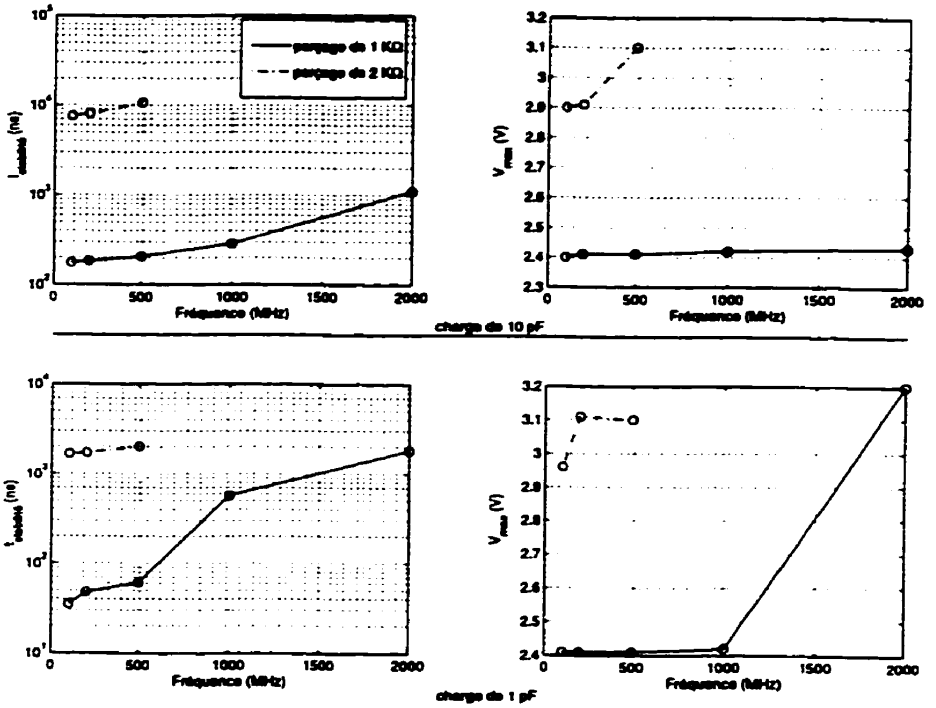


Figure 3.7 $t_{stabilité}$ et V_{max} vs fréquence, perçage et charge (variante 1, 160KΩ)

D'après les figures 3.6 et 3.7, le temps pour obtenir un niveau stable de tension ($t_{stabilité}$) augmente significativement avec la fréquence. Et ce temps peut être encore plus long avec la charge résistance-condensateur. De plus, le voltage maximal de sortie après stabilité augmente aussi avec la fréquence, ce qui peut entraver le travail du

convertisseur responsable de traduire la sortie du détecteur en un signal logique. Encore une fois, la charge résistance-condensateur est moins efficace que la charge diode-condensateur. D'autre part, avec le condensateur de 1 pF, les temps de réponse sont plus rapides qu'avec 10 pF et il est possible d'opérer à plus haute fréquence. Toutefois, ceci implique que l'oscillation de sortie en stabilité est plus grande et donc, V_{max} est plus élevé pour le cas à 1 pF, au point où il devient difficile de trancher entre un *vout* d'une porte avec et sans défectuosité.

La première variante montre de bons résultats avec les cas typiques de valeurs de défectuosités, cependant, le fait qu'elle ne détecte que les excursions anormales observée à $\overline{op}$ réduit sa capacité de détecter tous les cas problèmes. La variante 2 présentée dans la prochaine section fait un pas vers l'avant sur cette question.

3.3.2 Variante 2 - détecteur bipolaire

Pour détecter les défectuosités équivalentes à des perçages d'un peu plus que 3 KΩ (jusqu'à 5 KΩ) au transistor Q3 d'une porte tampon (voir figure 1.1) tout en tenant compte des pannes sur les deux signaux de sortie, une seconde variante du détecteur a été développée. La figure 3.8 présente cette variante une fois intégrée dans une porte tampon.

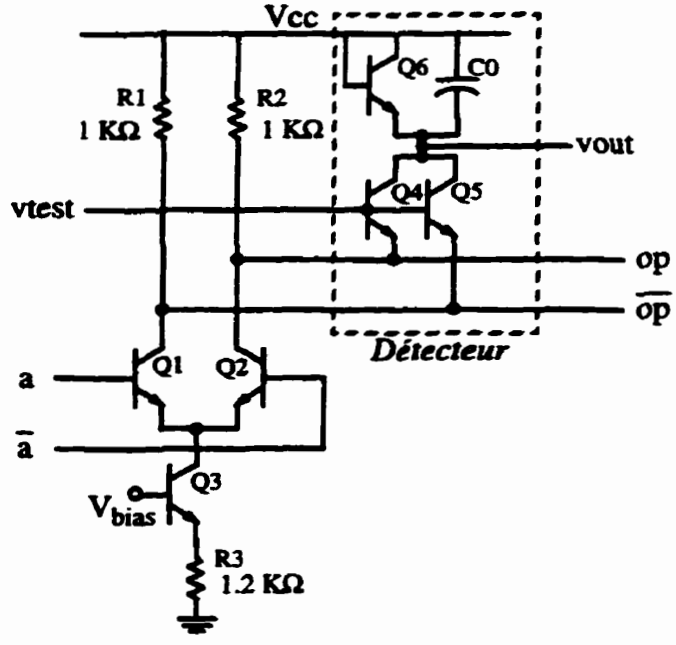


Figure 3.8 détecteur intégré proposé (variante 2)

Avec cette variante du détecteur, une tension de polarisation variable, *vtest*, est appliquée à la base des transistors Q4 et Q5 pour accroître la polarisation base-émetteur (V_{BE}) des détecteurs. Cette modification permet de détecter, en plus des excursions excessives des signaux, tous les signaux de sortie qui ont des tensions inférieures à V_{bas} en ajustant la tension du signal *vtest*, peu importe leur amplitude.

En mode normal, le signal *vtest* est fixé à *Vcc*, ce qui rend la détection d'excursions excessives assez difficile, mais par contre cela réduit l'influence des détecteurs sur les performances des portes de la bibliothèque. En mode test, *vtest* est mise à une tension supérieure à *Vcc*, qui peut varier selon les besoins. En augmentant la tension de *vtest* en

mode test, les transistors Q4 et Q5 peuvent ainsi atteindre une polarisation directe suffisante lorsque l'un ou l'autre des signaux *op* ou $\overline{op}$ a une tension transitoire de valeur inférieure au niveau bas acceptable. Si l'un ou l'autre des signaux devient anormal, le transistor Q4 ou Q5 conduira suffisamment pour abaisser le voltage de la charge diode-condensateur. Dans le cas contraire, si *op* et $\overline{op}$ restent dans la plage acceptable, Q4 et Q5 resteront ouverts, conservant *vout* à *Vcc*.

Une étude similaire à celle effectuée pour la première variante du détecteur lorsqu'une porte tampon est affectée d'un perçage au transistor Q3 a été faite pour la seconde variante. Il est à mentionner que tout dépendant les caractéristiques d'activation des transistors, la tension de test du signal *vtest* doit être ajustée. Pour une technologie avec un V_{BE} de 850 mV (*Vcc* = 3.3 V), une valeur de 3.7 V pour le signal *vtest* s'est avérée un excellent compromis. Les résultats de l'étude sont présentés à la figure 3.9.

Les résultats montrent que la limite de détection de cette variante pour les valeurs de résistance du perçage passe à 5 KΩ alors que le temps $t_{stabilité}$ diminue d'un ordre de grandeur comparativement aux temps obtenus avec la première variante. Étant donné que les bases des transistors Q4 et Q5 sont polarisées à une tension plus élevée, leur résistance équivalente entre le collecteur et l'émetteur devient plus faible et donc, le condensateur C0 se charge plus rapidement pendant la phase où la panne se manifeste. Au point de vue de la tension de sortie maximale en période de stabilité, V_{max}, elle est

toutefois plus élevée pour la seconde variante, malgré que la sensibilité vis-à-vis la résistance du perçage a diminué. Les simulations effectuées s'intéressent aussi aux effets du condensateur de charge. Il est clair que 1 pF est bien mieux adapté au besoin de rapidité de réponse (un ordre de grandeur plus rapide par rapport aux simulations avec 10 pF). Au point de vue de V_{max}, la différence entre les deux valeurs de condensateur n'est presque pas visible à toutes les fréquences étudiées. D'ailleurs, on remarque que la fréquence d'application des stimuli n'a presque plus d'effet sur V_{max} ou sur $t_{stabilité}$ pour cette variante. Somme toute, il devient plus efficace d'utiliser un condensateur de 1 pF, d'autant plus qu'il prend moins de surface dans le circuit intégré.

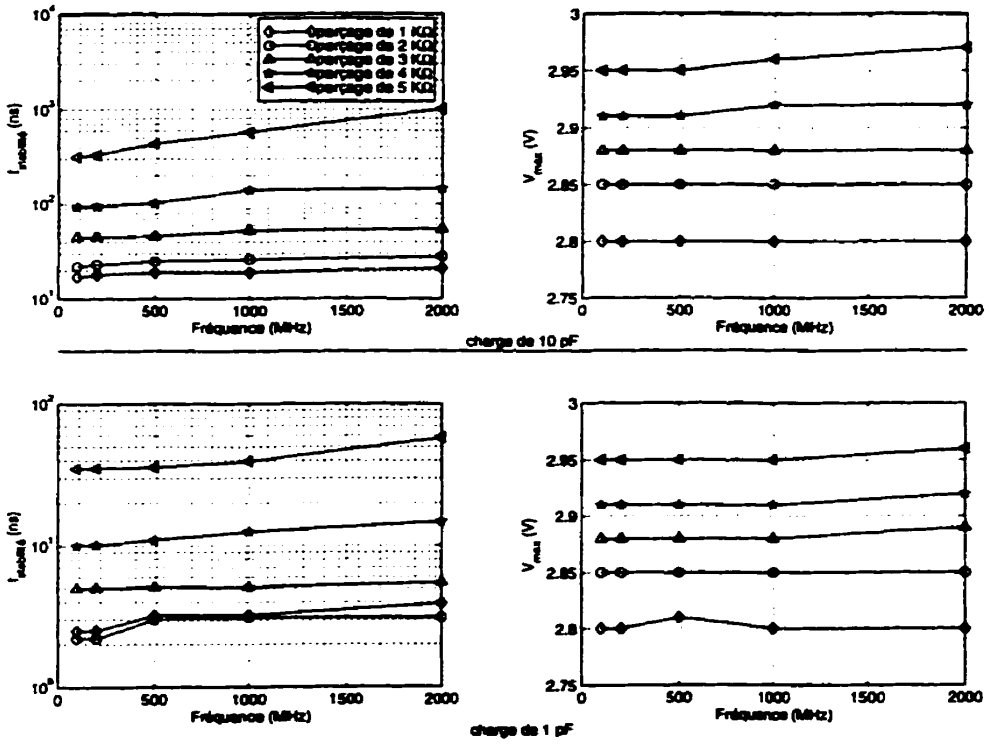


Figure 3.9 $t_{stabilité}$ et V_{max} vs fréquence, perçage et charge (variante 2)

3.3.3 Conversion du signal de sortie du détecteur en valeur logique

Bien que les détecteurs diode-condensateur présentés aux sous-sections 3.3.1 et 3.3.2 soient efficaces, leur utilisation dissimule un défi bien commun: dans la circonstance où les sorties sont sans panne, ces deux détecteurs présentent une impédance de sortie très élevée. Le défi provient de l'impédance d'entrée des comparateurs bipolaires. Bien que ceux-ci aient une impédance d'entrée élevée, elle est bien plus faible que l'impédance de sortie du détecteur. Par conséquent, le diviseur de tension obtenu impose une chute de tension importante aux bornes de l'impédance de sortie.

Toute porte CML nécessite un courant de polarisation aux entrées, peu importe le niveau logique appliqué et ce courant est à son maximum lorsque le niveau logique est 1. Par exemple, en utilisant la variante 2 (figure 3.8), si la cellule testée est sans panne, les transistors Q4 et Q5 sont ouverts et le signal *vout* devrait normalement être tenu à *Vcc* par le circuit de charge. Cependant, puisque le courant de polarisation d'une entrée de la porte tampon n'est pas négligeable, la diode de charge, Q6, doit fournir un courant et par conséquent, cela fait chuter la tension du signal *vout*. Dans les circuits utilisés, le courant de polarisation d'une entrée normale est suffisant pour tirer la tension de sortie *vout* à une tension comparable à celle donnée lorsqu'il y a une panne, car le genou de la courbe courant-tension est déjà atteint.

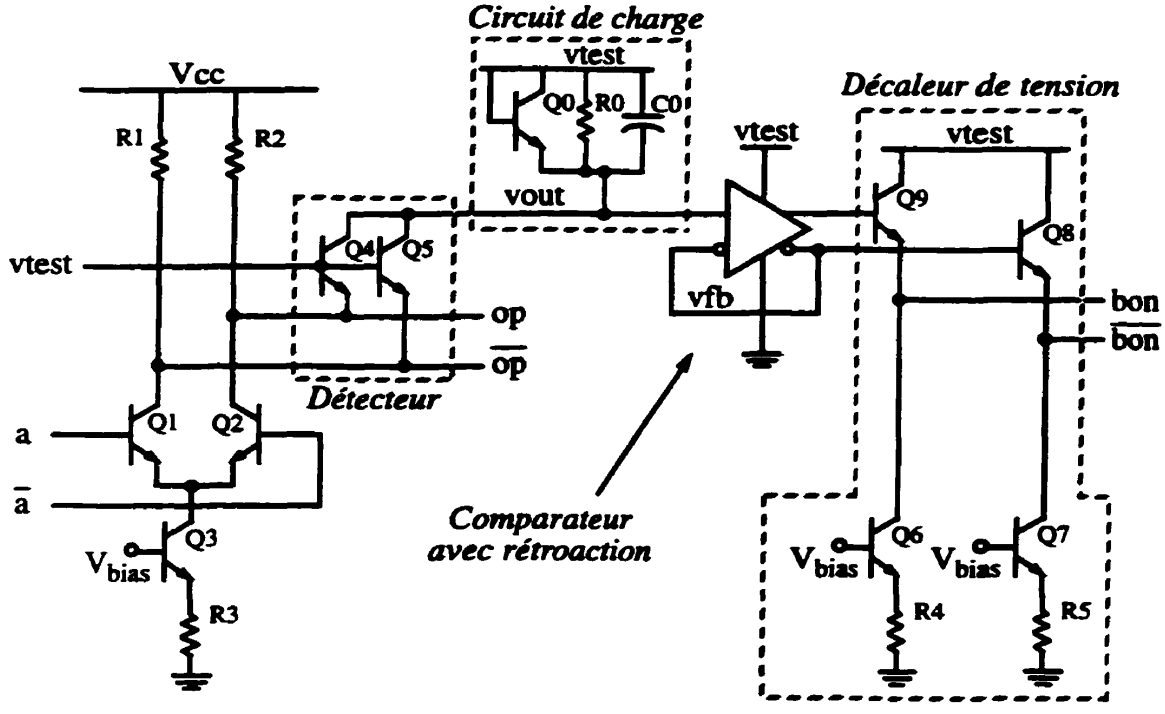


Figure 3.10 Détecteur d'amplitude amélioré (variante 3)

Pour palier au problème soulevé, une structure de comparateur originale et adaptée au problème a été proposée (voir figure 3.10). La tension d'alimentation du circuit de charge est à présent liée à *vtest*. En fournissant le courant moyen de polarisation nécessaire pour le comparateur, il est possible de tenir *vout* à une valeur de repos suffisamment élevée pour la distinguer d'une tension découlant de la présence d'une panne. De plus, pour limiter la chute de *vout* en l'absence d'une défectuosité, une résistance (R0) est ajoutée en parallèle au circuit de charge, permettant une diminution de l'impédance de sortie dans la région des petits courants. Ainsi, en l'absence de défectuosité, la chute de tension forcée par le courant de polarisation de l'entrée du

comparateur est amoindrie, car le courant passe majoritairement dans la résistance R0. Tout dépendant des caractéristiques vitesse/puissance des portes déterminées par la source de courant de l'étage différentiel, les paramètres idéaux du circuit de charge doivent être ajustés. Une analyse itérative a montré qu'une valeur de résistance de 40 KΩ est un choix judicieux pour R0 si une détection de résistance pour un perçage du transistor Q3 de 5 KΩ et moins est voulue.

Pour prendre une décision sur l'état du circuit en fonction du signal *vout*, le comparateur a besoin d'une tension de référence. Un choix acceptable serait de prendre une tension fixe, centrée entre les valeurs obtenues avec un circuit sans défectuosité et un circuit ayant un perçage de Q3 de 5 KΩ. Toutefois, bien que la différence entre ces deux valeurs soit près de l'amplitude normale d'un signal, comme le montrent plus loin les figures 3.13 et 3.14, cette tension de référence suggérée donnerait au maximum la moitié d'une marge de bruit normale pour un circuit sans panne. De plus, la marge de bruit normale ne serait retrouvée qu'après quelques étages logiques. La solution proposée contient deux modifications, telles que montrées dans la figure 3.10. La première consiste à connecter la tension d'alimentation du comparateur à *vtest* pour que sa sortie soit compatible à celle de *vout* pour fin de comparaison. La seconde modification se compose d'une rétroaction au comparateur. Il est à noter que le signal *vfb* de la figure 3.10 est non seulement la sortie complémentaire de l'amplificateur de détection, mais aussi le signal de rétroaction (entrée négative) à quoi est comparé le

signal *vout*. Cette dernière modification permet d'accroître la marge de bruit et apporte une commutation plus nette et rapide, grâce au gain positif de la rétroaction. Par la suite, pour retourner à des niveaux de tension standards CML, un décaleur de tension est mis à la sortie du comparateur.

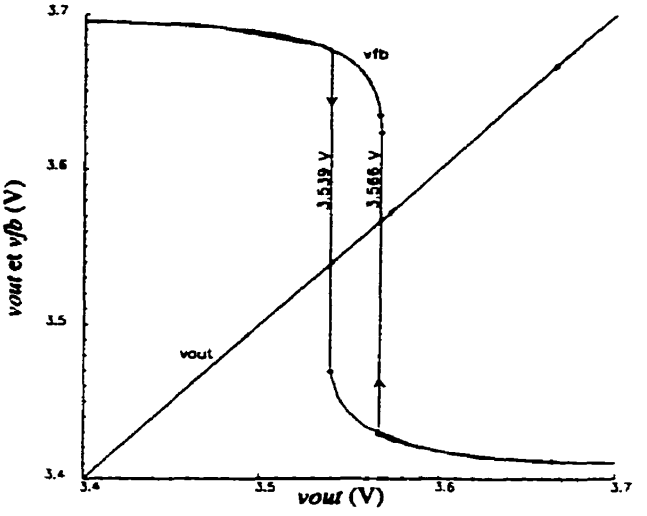


Figure 3.11 Caractéristique d'hystérésis du comparateur

Évidemment, un gain de rétroaction positif trop important peut s'avérer risqué s'il amène le comparateur à se bloquer dans l'état «en panne» pendant des transitions ou à l'initialisation, même si le circuit est bon. La figure 3.11 montre les caractéristiques du comparateur après l'ajout de la rétroaction positive. Elle démontre un comportement d'hystérésis et prouve qu'une porte sans défectuosité ne peut être bloquée dans l'état «en panne» à tort. Avec l'architecture courante du détecteur, une porte défectueuse donnant un *vout* de 3.54 V est garantie de détection, alors qu'un *vout* supérieur à 3.57 V conduit à considérer la porte comme étant sans panne. Bien sûr, les valeurs

précédentes supposent un fonctionnement sans bruit. Si la puce est sujette à du bruit (ce qui est normalement le cas), une marge de sécurité plus large devrait être considérée.

3.3.4 Partage du circuit de charge

Pour réduire le coût en surface de la méthode proposée, une partie des détecteurs intégrés peut être partagée par plusieurs portes, soit le circuit de charge et le comparateur, tel que montré dans la figure 3.12.

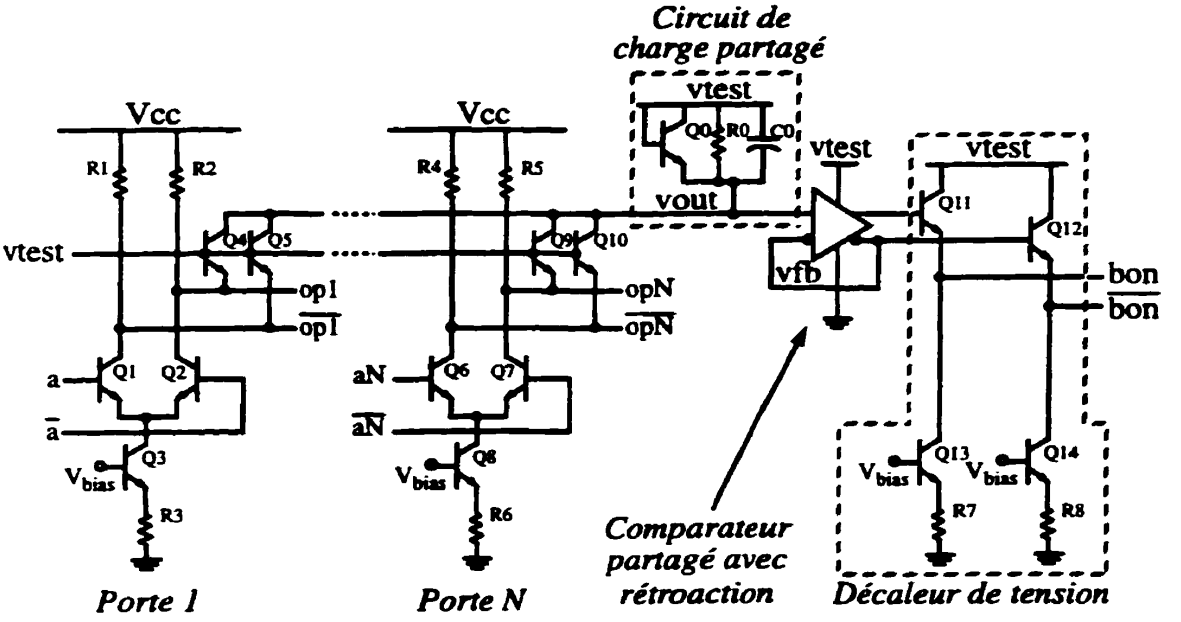


Figure 3.12 Partage du circuit de charge pour la variante 3

Pour étudier l'impact du partage du circuit de charge et du comparateur par plusieurs détecteurs, une chaîne de portes tampons de longueur variable (N) avec détecteurs

intégrés a été simulée. Dans la configuration proposée, chaque paire de sortie op_i et $\overline{op_i}$ du tampon i est connectée à deux transistors dédiés d'un détecteur comme le montre la figure 3.12.

Dans le premier ensemble de simulations, les détecteurs partagent un seul circuit de charge dans un chaîne sans défectuosité. La figure 3.13 rapporte les résultats.

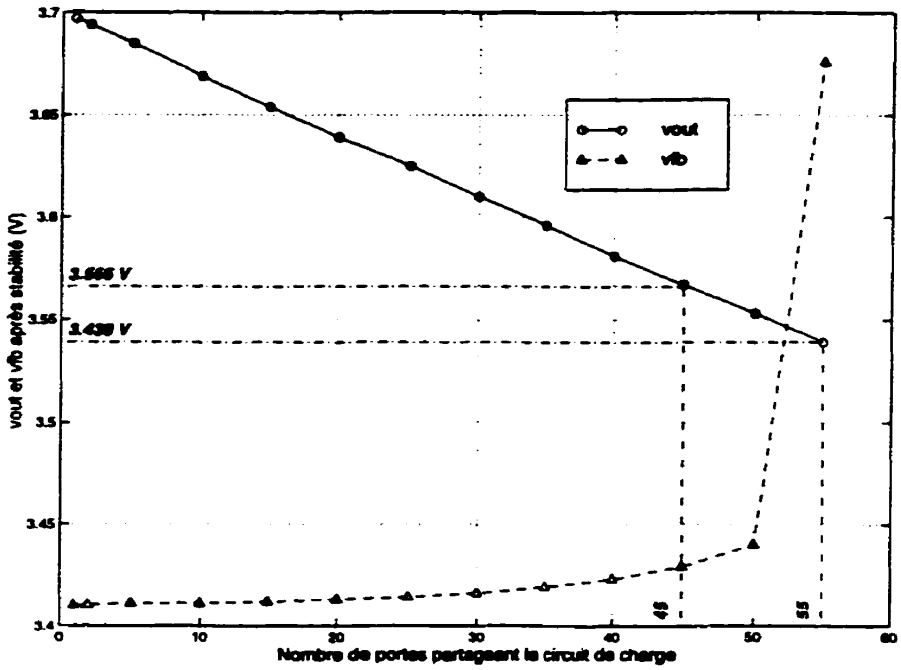


Figure 3.13 Réponse du comparateur pour une chaîne sans défectuosité

Ces résultats montrent que *vout* décroît linéairement avec le nombre de portes partageant le même circuit de charge. Cette simulation démontre l'existence d'un courant de fuite dans chaque détecteur et que ces courants s'additionnent lors d'une mise en parallèle de plusieurs détecteurs pour une seule charge. Ce comportement peut

être expliqué par la relation courant-tension du circuit de charge. La résistance R0 et le transistor Q0 ont tous deux un effet sur *vout*. Pris séparément, les relations courant-tension de ces deux composants peuvent être exprimées par:

$$I_d = I_s\left(e^{\frac{V_d}{nV_T}} - 1\right) \text{ et } I_r = \frac{V_r}{R0} \tag{3.1}$$

Les expressions de la chute de tension pour un détecteur et N détecteurs peuvent respectivement être écrites ainsi dans les cas où il s'agit d'une charge à diode ou à résistance:

$$V_{d1} = nV_T\ln\left(\frac{I_L}{I_s} + 1\right) \text{ et } V_{r1} = R0 \cdot I_L \tag{3.2}$$

$$V_{dN} = nV_T\ln\left(\frac{NI_L}{I_s} + 1\right) \text{ et } V_{rN} = R0 \cdot N \cdot I_L \tag{3.3}$$

où I_L est le courant de fuite de chaque détecteur.

Par conséquent, les différences de tension entre un et N détecteurs sont données par (pour la diode ou pour la résistance):

$$V_{dN} - V_{d1} = nV_T\ln\left[\left(\frac{NI_L}{I_s} + 1\right)\Big/\left(\frac{I_L}{I_s} + 1\right)\right] \text{ et } V_{rN} - V_{r1} = R0 \cdot I_L(N-1) \tag{3.4}$$

Si le transistor était dominant dans le circuit de charge, l'effet de l'accroissement de *N* sur *vout* serait logarithmique alors qu'avec une résistance dominante, une relation linéaire est obtenue entre *vout* et *N*. Dans le cas présent, R0 a une valeur de 40 KΩ et domine le transistor lorsque son v_{BE} est faible. Ainsi, pour un circuit sans panne où v_{BE} est faible, R0 est dominant dans le circuit de charge et implique un comportement linéaire avec l'accroissement du partage. En changeant la valeur de R0, la pente de la droite en est directement affectée.

Bien que la rétroaction conserve une marge de bruit à l'entrée du comparateur supérieure à 50% de la normale, les résultats montrent qu'il existe une limite sur le nombre de portes partageant le même circuit de charge. Un bon critère pour déterminer un maximum sécuritaire sur le nombre de portes tampons pouvant partager le même circuit de charge serait que *vout* excède le front supérieur de la courbe d'hystérésis, qui est situé à 3.57 V. La figure 3.13 présente, avec les courbes de réponse, les fronts bas et haut de la courbe d'hystérésis transposés de la figure 3.11. D'après les résultats, le maximum sécuritaire pour le partage d'un même circuit de charge serait de 45 portes tampons, le bruit n'étant pas pris en compte.

L'expérience a été répétée avec une chaîne de portes tampons où une de ces portes a un perçage de 5 KΩ au transistor Q3 et les *N*-1 autres portes sont sans défectuosité. La figure 3.14 montre les résultats obtenus. Comme dans l'expérience de la chaîne sans

panne, *vout* décroît linéairement avec l'accroissement de *N*, la résistance R0 étant encore dominante. La panne est le résultat d'un perçage de 5 KΩ qui n'est pas assez fort pour amener le transistor Q0 (diode) en conduction forte. Ainsi, ce n'est qu'une faible panne. Bien que faible, elle est suffisante pour abaisser significativement le signal *vout*. Puisque *vout* est bien inférieur au front inférieur de la courbe d'hystérésis (3.54 V), le signal *vfb* reste fixé à la tension d'alimentation fournie par *vtest*.

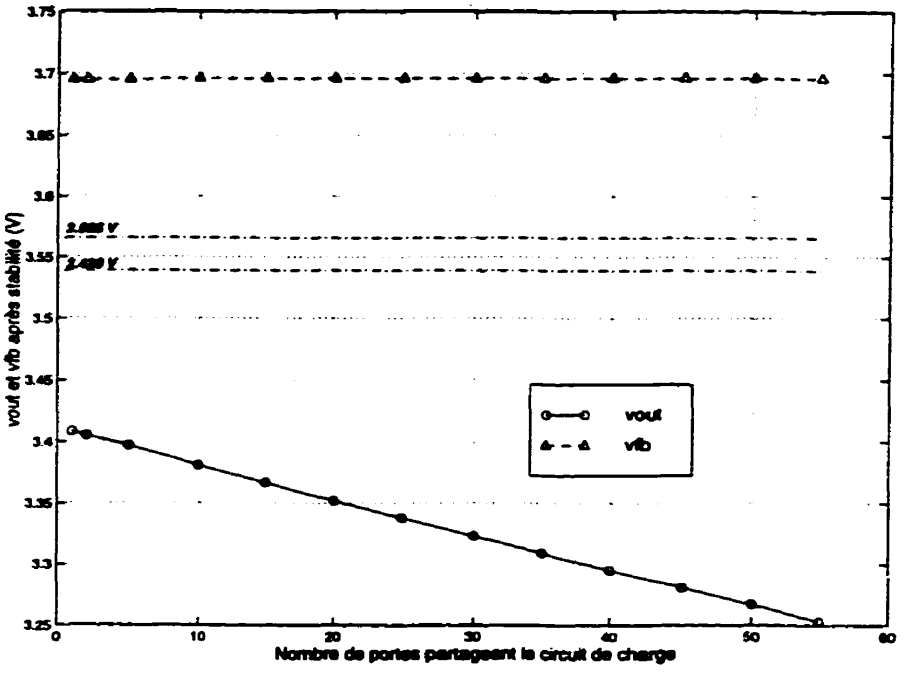


Figure 3.14 Réponse du comparateur avec une chaîne où une des portes tampon a un perçage de 5 KΩ

En considérant les petites variations de la tension de sortie selon le nombre de portes partageant le même circuit de charge, ainsi que la plus que suffisante marge de bruit

résiduelle pour distinguer les cas avec et sans défectuosité, il est possible d'avoir 45 portes partageant le même circuit de charge et son comparateur.

Comme il a été mentionné précédemment, s'il faut tenir compte des bruits dans le circuit, la limite inférieure de 3.57 V pour *vout* en cas sans défectuosité devrait être augmentée selon l'amplitude maximum du bruit qui puisse se manifester dans le circuit. Ceci implique donc que le nombre de portes pouvant partager un même circuit de charge diminuera.

De plus, il faut aussi tenir compte que l'étude présentée considère un grade de vitesse spécifique. Des études ont montré que le nombre de portes pouvant partager la même charge varie selon le grade de vitesse. Ce phénomène peut se résumer à l'explication suivante. Les grades de vitesse sont déterminés par le courant qui circule dans les branches d'étages différentiels. Pour obtenir les mêmes amplitudes de sortie, différentes résistances de sortie sont utilisées. Toutefois, dans la bibliothèque de cellules de Nortel, le nombre de valeurs de résistances est limitée et donc, il arrive que les V_{bas} ne soient pas tous exactement les mêmes. Les détecteurs étant relativement sensibles lorsque la tension de sortie est au niveau bas combinée à la tension *vtest* élevée, le courant de fuite change d'un grade à un autre. Lorsque les courants de fuite de toutes les portes partageant la même charge s'additionnent, on remarque une différence de +/- 15 portes sur le partage possible.

3.3.5 Optimisation de surface

Avec le partage du circuit de charge et du comparateur avec son décaleur de tension présenté dans la section précédente, la surface nécessaire pour ajouter les éléments de détection de la panne étudiée est nettement diminuée. En effet, compte tenu qu'une telle panne ne peut se propager, il est nécessaire d'avoir des détecteurs à toutes les portes d'un circuit. En considérant que les éléments partagés n'ont plus trop d'impact sur la surface totale d'un circuit (environ $1/45^e$ pour le grade de vitesse étudié), il reste que les deux transistors de détection par porte ne sont pas négligeables. Un raffinement intéressant des détecteurs des variantes 2 et 3 qui permet de pallier au problème est présenté à la figure 3.15.

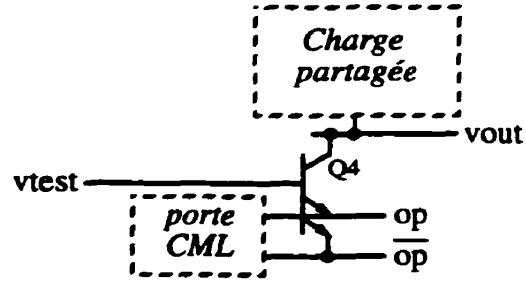


Figure 3.15 Optimisation de surface avec un transistor à émetteurs multiples

Ce raffinement utilise un transistor à émetteurs multiples. Au lieu d'utiliser deux transistors (Q4 et Q5 de la figure 3.8), un détecteur peut être implémenté par un seul transistor à deux émetteurs; une configuration bien peu coûteuse en surface vis-à-vis deux transistors normaux. Ceci fournit deux entrées auxquelles peuvent se brancher les

sorties *op* et $\overline{op}$ d'une porte que l'on veut rendre testable. Ainsi, dans le pire des cas, soit un circuit ne comportant que des portes tampon, où l'on considère qu'une résistance est approximativement de la même taille qu'un transistor, l'élément de test intégré augmenterait la surface d'environ $1/6^{e}$, soit environ 15%, ce qui est acceptable.

3.3.6 Approche pour le test

Les défectuosités de perçage au niveau du transistor qui fournit le courant de polarisation affectent l'amplitude des deux sorties d'une porte tampon et sont entièrement détectables en mode DC. Toutefois, pour des portes plus complexes, telles les portes ET et OU, certaines défectuosités ne modifient l'amplitude que d'une seule sortie, pouvant ainsi masquer partiellement la panne. Pour la détecter, la panne doit être rendue observable. Pour ce faire, il faut sensibiliser un chemin vers la porte défectueuse. Puisque l'une comme l'autre des deux sorties peut être en panne, il faut envoyer un train de commutations à l'entrée de cette porte. De plus, ceci implique que la panne ne sera observable que la moitié du temps de cycle. Or, la résistance équivalente du détecteur vue par *vout* lorsque la panne est observable est plus faible que la résistance équivalente de la charge ($R0 + R_{\text{diode}}$) du circuit de charge. Par conséquent, le condensateur C0 stabilisera le signal *vout* à une tension inférieure à *vtest* et cette tension sera suffisante pour que le comparateur indique la présence d'une

panne. La seule différence par rapport aux résultats montrés en figure 3.9 se verra dans le temps $t_{stabilité}$ qui augmentera.

Pour des circuits combinatoires, faire commuter un chemin de données est une question d'appliquer des vecteurs de test pour les sensibiliser, mais pour des circuits séquentiels, ce n'est pas aussi simple. Pour obtenir une bonne couverture de commutation pour un circuit séquentiel, stimuler le circuit avec des patrons aléatoires est une méthode efficace. Pour mesurer la couverture de commutation, il faut encore trouver une séquence d'initialisation adéquate. Toutefois, tel que présenté par Soufi ([16], 1995), cet objectif est accompli aisément pour la plupart des circuits, puisqu'ils tendent à converger vers un état déterministe, peu importe l'état initial. Cette convergence peut être démontrée facilement à l'aide d'une simulation d'un circuit sans défectuosité de longueur relativement courte.

3.4 Conclusion

Ce chapitre a couvert les pannes d'amplitudes excessives ainsi qu'une méthode prometteuse pour les détecter qui fait l'usage de détecteurs intégrés. Bien que ces détecteurs ne sont pas gourmands en espace, une version plus compacte a été proposée. De plus, il est possible de brancher près de 45 de ces détecteurs en OU-câblés, permettant ainsi de faire partager un même circuit de charge et d'identification de

pannes par un grand nombre de détecteurs. Aussi, nous avons couvert une méthodologie pour tester un circuit numérique possédant l'infrastructure pour observer ces pannes.

Le prochain chapitre décrit le contenu et le fonctionnement d'une puce d'évaluation servant à valider quelques méthodes de test prometteuses pour le test de circuits CML. Parmi ces méthodes évaluées se retrouve celle présentée dans ce chapitre pour la détection de pannes d'amplitude excessive.

CHAPITRE IV

PUCE D'ÉVALUATION DES MÉTHODES DE TEST

4.1 Introduction

Au cours du projet, plusieurs méthodes de détection de pannes ont été proposées et analysées. Bien que les analyses ont montré un fonctionnement efficace, il se peut qu'une fois implémentées dans une puce, des effets non-idéaux, tel la présence de bruit, diminuent l'efficacité des méthodes de test. Pour cela, une puce de test a été conçue pour les évaluer et des vecteurs de patrons adaptés ont été développés. En bref, cette puce est composée de circuits simples dédiés au test et de circuits de commande pour les tester. Présentement, la puce n'est qu'en phase d'analyse et de conception chez Nortel Networks, mais elle devrait être produite sous peu. Ainsi, ce chapitre ne décrit que le fonctionnement de la puce, les méthodes de test qui y sont implémentées et la procédure de test pour les évaluer. Comme l'envergure du projet vis-à-vis cette entreprise dépasse celui d'une seule maîtrise, les résultats de l'étude de cette puce ne pourront être obtenus avant la complétion de ma maîtrise.

4.2 Méthodes de test évaluées par la puce

En premier lieu, avant d'entrer dans les détails des circuits inclus dans la puce, il est préférable d'expliquer ce qu'on voulait en retirer. Dans la puce d'évaluation, pour tester les circuits, quelques-unes des méthodes de test décrites dans ce mémoire impliquent des modifications à une bibliothèque de cellules[1]. Bien entendu, nous ne pouvions y intégrer toutes les méthodes et pour cela, seules les plus prometteuses ont été conservées. Le tableau 4.1 énumère les trois méthodes retenues et résume leur fonctionnement.

Tableau 4.1 Méthodes de test retenues pour la puce d'évaluation

Méthode de test	Description sommaire
Test d'amplitudes excessives[a]	Des éléments de test sont insérés à chaque porte des circuits à tester pour observer toute tension de sortie inférieure à 3 V. Un circuit de charge et un comparateur sont partagés par plusieurs de ces portes et ces circuits convertissent la panne en signal logique.
Test par abaissement du courant de polarisation par l'utilisation de générateurs programmables (PBG)[b]	Chaque circuit à tester reçoit une tension de polarisation programmable. En mode test, la tension est abaissée à un niveau qui réduit le gain des portes. Une panne de marge de bruit réduite sera alors propagée plus en profondeur aux portes subséquentes. Des détecteurs de marge de bruit réduite sont placés aux sorties d'un circuit (ou à intervalles réguliers à l'intérieur pour de grands circuits) et convertissent la panne en signal logique.

1. Ces méthodes ont été présentées aux chapitres I et III.

Tableau 4.1 Méthodes de test retenues pour la puce d'évaluation

Méthode de test	Description sommaire
Test de débalancement[c]	Des éléments de test sont insérés à chaque porte des circuits à tester pour permettre l'introduction sélective d'un débalancement de l'étage différentiel à l'aide de deux signaux de commande. Le débalancement permet de convertir une panne de marge de bruit réduite en panne de collage. Par après, il suffit d'appliquer les méthodes de détection de pannes de collage utilisées avec les circuits logiques CMOS.

a. Décrit en détail au chapitre III. La puce utilise la variante 3 présentée aux sous-sections 3.3.3 et 3.3.4.
b. Proposé par Patenaude et décrit à la section 1.6.4.
c. Breveté par IBM et décrit à la section 1.6.4.

En plus de ces méthodes de conception pour la testabilité (Design For Testability) DFT, il est prévu que les circuits soient testés pour la présence de collages et de délais de propagation. Le test pour les collages classiques permettra de comparer la couverture de défectuosités de cette méthode standard vis-à-vis les nouvelles méthodes proposées. Les mesures effectuées en vue d'identifier des pannes de délais serviront à en évaluer la faisabilité avec les testeurs accessibles dans l'industrie.

4.3 Architecture de la puce

Comme mentionné précédemment, la puce d'évaluation est divisée en deux parties. La figure 4.1 montre le diagramme bloc de la puce d'évaluation en identifiant ces deux grandes parties.

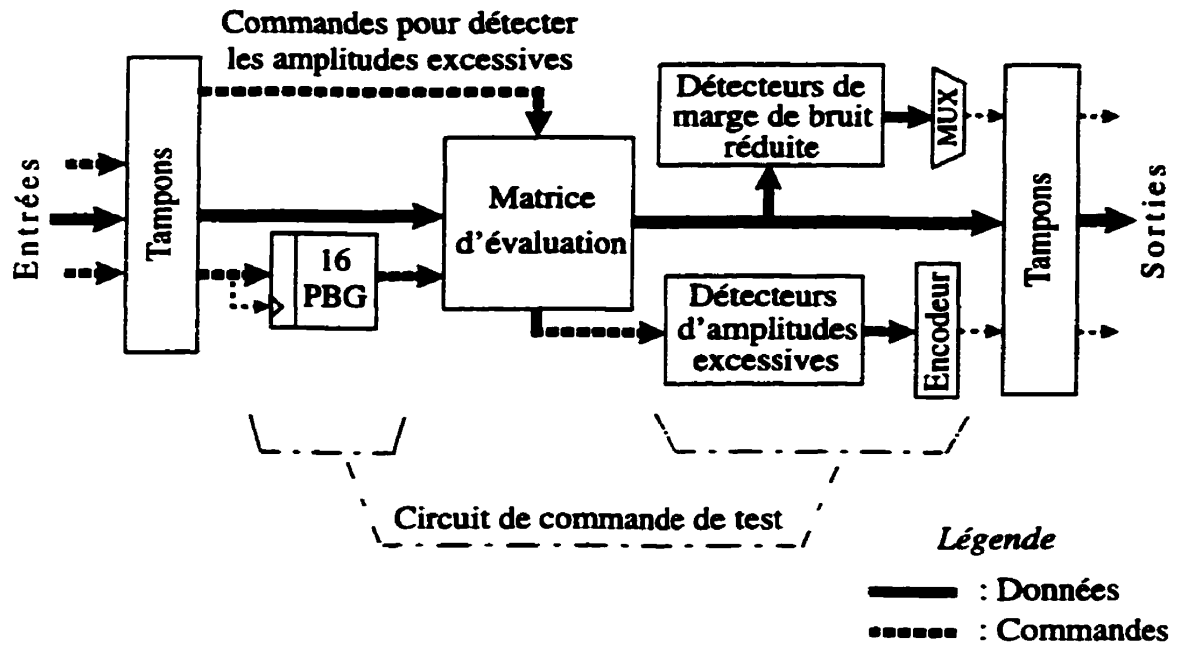


Figure 4.1 Diagramme bloc de la puce d'évaluation

La première partie, appelée matrice d'évaluation, comprend les circuits testés. Elle est composée de circuits élémentaires, disposés en rangées dans la matrice. Il s'agit donc de chaînes de portes tampons, de circuits combinatoires ou de machines à états simples. Chaque type de circuit est présent sous différents grades de vitesse, généralement disposés sur deux rangées de la matrice. D'autre part, les colonnes de cette matrice correspondent en général à la profondeur logique de chaque rangée. Toutefois, pour réduire le nombre de «colonnes», dans certains types de circuits, quelques portes partagent une même colonne de la matrice. En fait, la définition de colonne est plutôt liée au test d'amplitude excessive qu'à la profondeur du circuit et n'a

aucune conséquence sur la fonctionnalité des circuits. D'ailleurs, les rangées de la matrice n'utilisent pas tous le même nombre de colonnes.

Pour rendre ces circuits plus réalistes, ils ont été choisis pour démontrer les effets d'une profondeur logique réaliste dans des réseaux combinatoires ou séquentiels. De plus, ils sont suffisamment simples pour être prévisibles et facilement testables. D'ailleurs, si des défectuosités surviennent dans la puce, c'est dans cette partie qu'elles seront plus facilement détectées, puisque l'autre partie ne comportera aucun élément de test intégré. De toute façon, la seconde partie n'est pas très complexe et si une défectuosité s'y glisse, soit la panne aura une conséquence logique testable, soit la panne restera cachée, n'empêchant pas le test des circuits de la matrice.

Au niveau des communications avec l'extérieur, les sorties de chaque rangée de la matrice ont des plots de sorties dédiés (aucun multiplexage). Toutefois, les signaux aux plots d'entrée sont partagés par plusieurs rangées pour économiser sur le coût du boîtier à prendre.

La seconde partie de la puce d'évaluation, appelé circuit de commande de test, est formée de nouveaux circuits qui combinent l'analogique et le numérique pour améliorer la testabilité des circuits de la matrice d'évaluation. Ces circuits contiennent les éléments d'analyse proposés, soit les modules de programmation des PBG, les

modules de détection de pannes et les encodeurs ou multiplexeurs qui amènent les signaux d'erreur vers les plots de sortie qui leur sont réservés. Chacun de ces circuits sert à observer la présence d'une panne particulière et sont agencés pour tester de manière indépendante les colonnes et les rangées de la matrice d'évaluation. Évidemment, tout dépendant des méthodes de test, l'analyse se fera par colonne ou par rangée. La détection d'amplitude excessive est faite par colonne alors que les méthodes de détection de marge de bruit réduite analysent la matrice par rangée. Ainsi, sous certaines conditions, il serait non seulement possible de détecter une panne, mais aussi d'identifier la porte défectueuse. Il est à mentionner que le test de débalancement et le test par abaissement du courant de polarisation servant à détecter les marges de bruit réduites peuvent être appliqués, indépendamment, sur une même rangée.

Les signaux d'entrée du circuit de commande de test sont de type analogique pour la détection d'amplitudes excessives (un signal par colonne) ainsi que pour le test de débalancement (deux signaux) et de type numérique pour le test par abaissement de courant de polarisation (tous les signaux de programmation des PBG). Les signaux de sortie, soit les signaux d'erreur, sont de type numérique et il y en a un pour les détecteurs d'amplitudes excessives et un pour les détecteurs de marge de bruit réduite.

4.3.1 Circuits testés

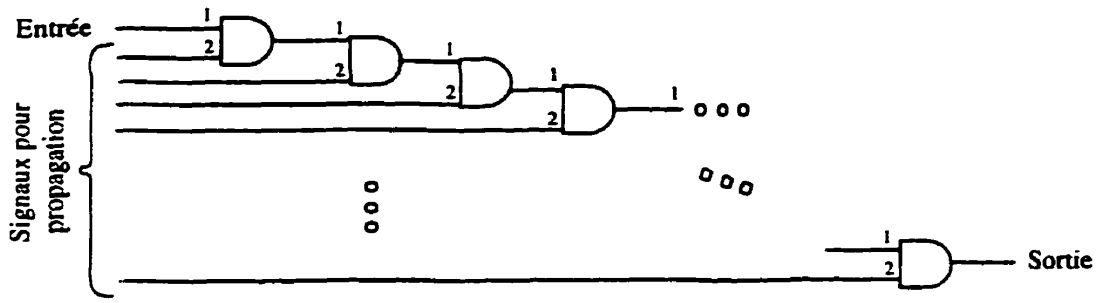
La matrice d'évaluation possède 13 rangées et l'équivalent de 14 colonnes. Chacune de ces rangées permet d'évaluer et de comparer les méthodes de test pour un type de porte spécifique ou pour un aspect particulier d'un circuit numérique CML. Il peut s'agir de la profondeur logique, du niveau[2] d'étage différentiel qu'attaque un signal, des aspects combinatoire et séquentiel ou même encore d'une rétroaction telle que vue dans une machine à états.

Les trois premières rangées de la matrice contiennent des chaînes de portes tampon. L'objectif est d'observer le comportement des éléments de test vis-à-vis une profondeur logique. Chacune de ces chaînes contient exactement 11 portes tampon. Ce qui les différencie est le grade de vitesse utilisé. La première rangée ne compte que des portes de grade 0 (grade le plus lent) alors que la seconde ne compte que des portes de grade 6 (grade le plus rapide). La troisième rangée est la seule en son genre et permet d'évaluer les méthodes lorsque les grades de vitesse sont mélangés. Le mélange utilisé est conforme aux règles de conception permises, qui tiennent compte des forces de sortie de chaque porte ainsi que des charges que représentent leurs entrées. L'ordre choisi des grades des portes de la chaîne est donc 0, 1, 2, 4, 6, 0, 1, 2, 4, 6 et 0.

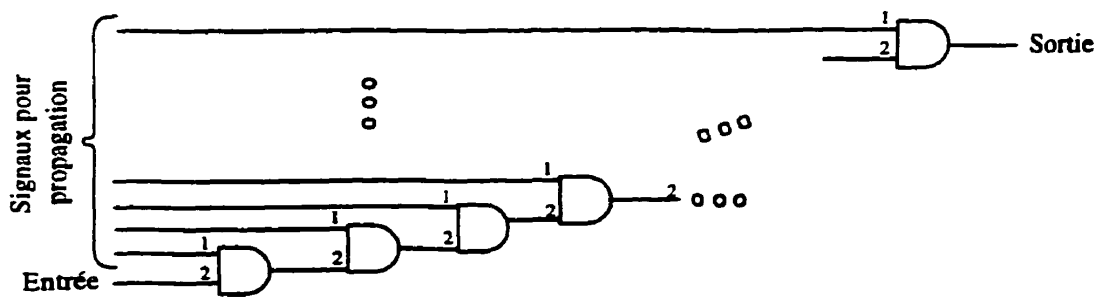
---

2. Nous parlons ici des niveaux d'une porte à plusieurs entrées telle que décrite dans la section 1.3.

Les rangées 4 et 5 sont chacune formées de huit portes ET à deux entrées de grade 0 misent en cascade, de sorte que le signal d'entrée de la rangée soit propagé à travers toutes les portes par un même niveau d'entrée. Ainsi, la 4^e rangée propage un signal par l'entrée de niveau supérieur (aucun abaissement de tension nécessaire) alors que la 5^e rangée propage le signal par l'entrée de niveau inférieur (un abaissement d'un V_{BE} est nécessaire et est effectué à l'intérieur de la porte). Dans ces circuits, il s'agit d'étudier les effets sur les méthodes de test que provoque la propagation d'un signal à travers une porte nécessitant ou pas un abaissement de tension. La figure 4.2 illustre la structure de la cascade pour les deux rangées.



a) Signal d'entrée propagé par le niveau supérieur



b) Signal d'entrée propagé par le niveau inférieur

Figure 4.2 Mise en cascade des portes ET (rangées 4 à 7)

Bien entendu, toutes les autres entrées de ces portes doivent être forcées à un état logique 1 pour permettre la propagation d'un signal à travers toutes les portes.

Les rangées 6 et 7 sont identiques aux deux rangées précédentes, à l'exception que les portes ET utilisées sont de grade 6.

Quant aux rangées 8 et 9, elles abordent le côté séquentiel d'un circuit numérique CML tout en conservant l'aspect de la profondeur d'un circuit. Elles contiennent chacune 11 bascules sensibles à l'état logique du signal d'horloge et ces bascules sont montées comme un registre à décalage. La rangée 8 contient des bascules de grade de vitesse 0, alors que la rangée 9 contient des bascules de grade 6. Puisque ces bascules sont sensibles à l'état logique et non à la transition vers cet état, il est possible d'observer une course où le signal à mémoriser traverse toutes les bascules durant l'état. Pour pallier à ce problème, une bascule sensible à l'état logique 1 est toujours suivie d'une bascule sensible à l'état logique 0 et vice-versa. Ainsi, un signal passe à travers une bascule en un demi cycle d'horloge. La figure 4.3 montre le circuit équivalent d'une de ces rangées.

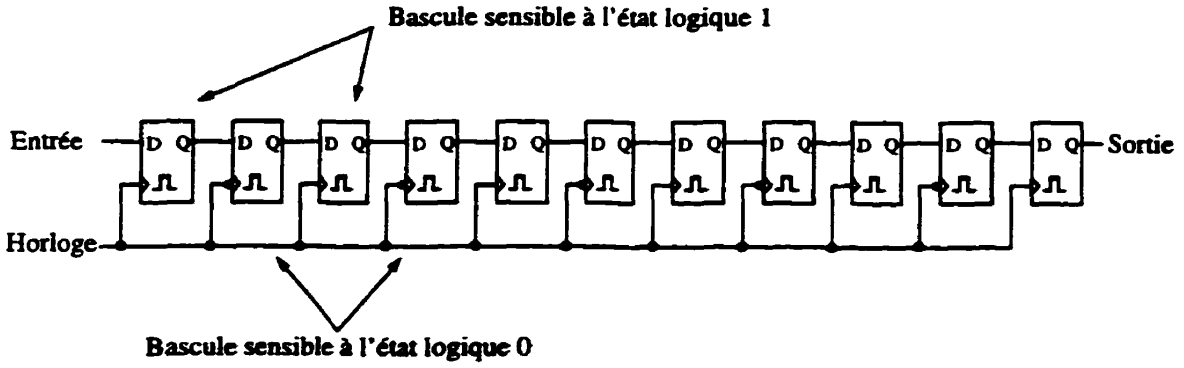


Figure 4.3 Registre à décalage (rangées 8 et 9)

Les rangées 10 et 11 sont composées de portes OU-exclusif. Elles permettent d'évaluer l'aspect combinatoire des portes logiques. Comme dans les autres cas, la rangée 10 contient des portes de grade de vitesse 0 et la rangée 11, des portes de grade 6. L'architecture de ces rangées est une combinaison d'un arbre binaire convergeant et d'une chaîne de portes. La figure 4.4 présente le circuit pour ces rangées. Dans cette figure, le numéro indiqué dans chaque porte correspond à la colonne de la matrice qui lui est attitrée. L'objectif premier de cette architecture est d'observer les effets d'un circuit logique qui combine plusieurs signaux de donnée en un seul signal vis-à-vis les méthodes de test se servant de sa structure logique pour propager une panne. Bien entendu, les méthodes de collage ont déjà été étudiées dans ces conditions. En effet, selon différents algorithmes, il est possible de trouver des vecteurs de test permettant de couvrir toutes les pannes de ce type s'il n'existe pas de redondance dans la logique. Dans le contexte de cette puce et de l'étude des nouvelles techniques de détection de

pannes, nous avons pris la même hypothèse de non-redondance. Donc, aucune rangée de la matrice n'en possède.

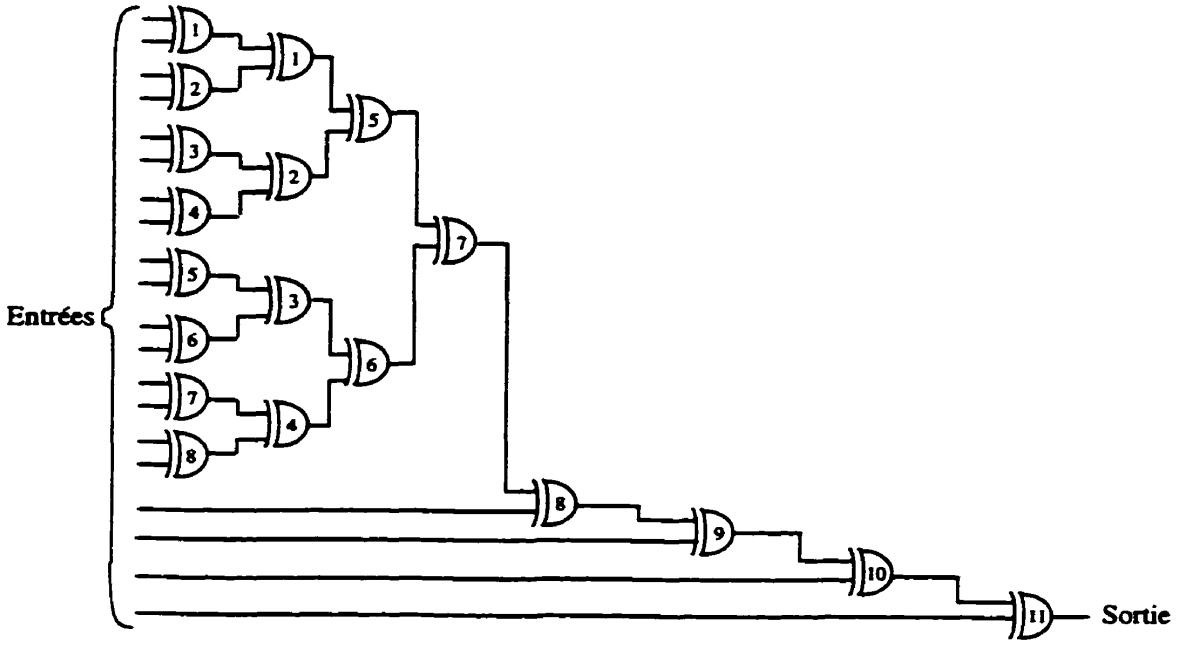


Figure 4.4 Arbre binaire convergeant de portes OU-exclusif (rangées 10 et 11)

Les deux dernières rangées (12 et 13) implémentent des machines à états finis reconfigurables à l'aide de portes de grade de vitesse 0 (rangée 12) ou 6 (rangée 13). Dans ces circuits, des bascules sensibles à la transition du signal d'horloge vers l'état logique 1 sont utilisées ainsi que des multiplexeurs 2-à-1 et des portes OU-exclusif. Ainsi, les effets d'une rétroaction et d'éléments séquentiels sensibles aux transitions sont étudiés. La figure 4.5 présente le circuit. Encore une fois, le numéro inscrit dans

chaque porte indique la colonne de la matrice qui lui est attitrée. De plus, le tableau 4.2 décrit les différents modes de cette machine à états[3].

Tableau 4.2 Modes de la machine à états reconfigurable

Modes	Description
Registre à décalage 8 bits	Structure permettant de mémoriser 8 bits de données en série, tout en ayant une sortie sérielle.
Compteur en anneau 8 bits	Structure permettant de boucler le signal de sortie vers son entrée pour répéter une séquence de 8 bits. Elle se sert du mode de registre à décalage pour l'initialisation des registres.
Compteur Johnson modulo 16	Compteur similaire au compteur en anneau, mais qui inverse le signal de sortie avant de l'appliquer à l'entrée du registre à décalage. Ceci permet ainsi une séquence de 16 bits.
Registre à décalage à rétroaction linéaire (LFSR)	Générateur pseudo-aléatoire de données parallèles 8 bits. S'il est initialisé à une valeur différente de 0, le générateur produit une suite de toutes les valeurs 8 bits possibles (à l'exception de 0) selon un ordre qui suit les règles de probabilité de suites aléatoires. Les données peuvent être lues de façon sérielle sans interrompre la génération.

3. Les modes sont sélectionnés par les trois multiplexeurs.

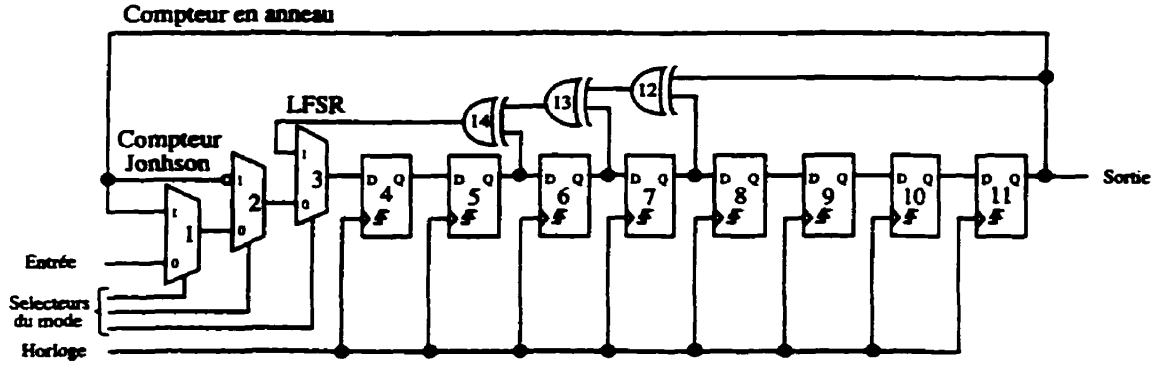


Figure 4.5 Machine à états reconfigurable (rangées 12 et 13)

4.3.2 Circuits pour la commande des tests

À chacune des méthodes de test implémentées correspond un circuit de commande et/ ou un circuit d'évaluation qui permettent, en général, de détecter une panne sur une rangée ou une colonne à la fois.

La méthode de détection d'amplitude excessive travaille sur les colonnes de la matrice et chacune de ces colonnes possède un signal de commande *vtest*, un signal de sortie *vout*, sa propre charge de détection ainsi que son propre comparateur. Comme toutes les portes de la matrice possèdent les éléments intégrés pour cette méthode de détection, chaque porte d'une même colonne partage les mêmes signaux *vtest* et *vout*. La figure 3.12 du chapitre précédent résume la circuiterie nécessaire pour chacune de ces colonnes. En tout, il faut donc 14 de ces ensembles de signaux et circuits pour couvrir toutes les colonnes de la matrice. Ainsi, pour activer l'analyse d'une seule

colonne, il faut hausser la tension de son signal *vtest* à 3.7 V [4], alors que ceux des autres colonnes doivent être maintenus à 3.3 V (mode normal). De plus, comme chaque colonne sera analysée indépendamment, il n'est pas nécessaire d'utiliser 14 plots de sorties pour observer les détections. En fait, la puce utilise une porte OU à 14 entrées pour «encoder» ces signaux d'erreur en un signal combiné qui est acheminé à un plot réservé.

La méthode de détection de pannes de marge de bruit réduite proposée par Patenaude ([14], 1998) comporte plusieurs circuits et analyse la matrice selon ses rangées. Bien qu'il n'est pas nécessaire d'ajouter des dispositifs à l'intérieur de chaque porte à tester, cette méthode nécessite pour chaque rangée la présence d'un détecteur de marge de bruit réduite, d'un générateur de tension de polarisation programmable (PBG), ainsi que d'un circuit de mémorisation du mode du PBG.

Le détecteur est présenté à la figure 1.9. Prenant à son entrée le signal différentiel de la sortie d'une rangée, il permet d'évaluer si sa marge de bruit est inférieure à 70 mV. Pour améliorer la détection de telles pannes lorsqu'elles sont dissimulées à l'intérieur d'une rangée, la tension de polarisation des portes est abaissée en mode test à l'aide d'un PBG, ce qui réduit le gain des portes. En plus des modes test et normal, un PBG possède un mode «éteint» servant à désactiver toutes les rangées qui n'ont pas besoin

---

4. Ceci considère une tension d'alimentation de 3.3 V et que le circuit utilise le procédé NT25 de Nortel.

de fonctionner. L'idée consiste à générer une tension de polarisation nulle qui élimine les courants de polarisation des portes et donc, réduit la consommation de puissance de la puce et les bruits internes. Il est important de mentionner, toutefois, que le temps de stabilisation lors du changement du mode d'un des PBG conçus est de l'ordre de 1 µs et donc, il n'est guère recommandé de changer leur mode trop fréquemment.

Pour réduire le nombre de plots d'entrée pour commander tous les PBG, un vecteur de sélection de PBG de 4 bits est utilisé, accompagné d'une paire de signaux pour spécifier le mode des PBG et d'un signal de synchronisation pour mémoriser le mode du PBG sélectionné. Par conséquent, un circuit de décodage 4-vers-16 est utilisé pour sélectionner le PBG à programmer ainsi qu'une paire de bascules par PBG pour conserver le mode choisi. Il est donc possible de configurer chaque PBG indépendamment pour n'analyser qu'une seule chaîne à la fois. Étant donné que certaines rangées de la matrice nécessitent plus d'un PBG[5], la matrice nécessite 15 de ces générateurs. Le 16e est utilisé pour vérifier la stabilité de sa circuiterie et sa sortie est acheminée vers un plot de sortie analogique pour qu'on puisse en faire l'analyse. Le tableau 4.3 donne l'adressage des PBG associés aux différentes rangées.

En outre, en réutilisant le vecteur de sélection de PBG, nous avons fait une économie sur le nombre de plots de sortie pour les signaux d'erreur des détecteurs de marge de

5. Il existe aussi un cas où un PBG est partagé par deux rangées. Certaines portes de la rangée 3 (mélange de grade) et de la rangée 11 (arbre de portes OU-exclusif de grade 6) partage le même générateur.

bruit réduite. Le vecteur est réutilisé pour sélectionner le signal d'erreur du détecteur qui doit être acheminé vers l'unique plot de sortie réservé pour cette méthode de test. Pour accomplir cette sélection, un multiplexeur 16-à-1 est utilisé. Comme il n'y a que 13 rangées, certains signaux sont dédoublés aux entrées, comme le montre le tableau 4.3.

Tableau 4.3 Adressage des PBG

Adresse du PBG	Rangée desservie par le PBG	Rangée du détecteur sélectionné
0[a]	N/A	1
1	1	
2	2	2
3	3	3
4	3 et 11	
5	4	4
6	5	5
7	6	6
8	7	7
9	8	8
10	9	9
11	10	10
12		
13	11	11
14	12	12
15	13	13

a. PBG réservé pour vérification de la tension générée.

La dernière méthode de détection de pannes évaluée par la puce permet aussi de détecter les marges de bruit réduites. Comme la méthode précédente, elle permet d'analyser la matrice par rangée. Cette méthode, dite de débalancement, nécessite la présence d'éléments intégrés dans chaque porte à tester ainsi que deux signaux de commande (V1 et V2), comme le montre la figure 1.8. Toutefois, n'ayant pas accès à des diodes Schottky avec cette bibliothèque de cellules, des diodes normales[6] sont utilisées. De plus, pour économiser en surface, la méthode n'est appliquée qu'aux rangées 1 et 2 (portes tampon de deux grades différents) ainsi qu'aux rangées 4, 5, 6 et 7 (portes ET de deux grades différents). Étant donné que chaque rangée peut être désactivée avec le mode éteint des PBG, une seule paire de signaux de commande V1-V2 est utilisée pour toutes les portes des six rangées. De plus, contrairement à la méthode précédente, aucun circuit de test externe n'est nécessaire. Ainsi, en mode test, il suffit de vérifier que la sortie d'une rangée ne soit pas collée. Le mode test considère d'appliquer, en alternance, une tension de 2.5 V sur un des signaux de commande, alors que l'autre est conservé à la tension de repos de 3.3 V. Pendant ce temps, des vecteurs pour la détection de pannes de collage sont appliqués aux entrées du circuit.

---

6. Transistor dont la base et le collecteur sont connectés ensemble pour former l'anode alors que l'émetteur sert de cathode.

4.4 Procédure de test

Bien que nous avons établi le fonctionnement des circuits et des méthodes de test, il n'a pas été encore question de la méthode pour les appliquer afin d'en évaluer la couverture. Cette section présente donc la procédure de test recommandée.

En premier lieu, la méthode standard de détection de collage est appliquée à toutes les rangées pour tester la fonctionnalité des circuits. En effet, les circuits sont assez simples pour que toute panne de type collée dans la matrice soit détectable. De plus, comme le test de collage est la méthode standard dans l'industrie, ces résultats serviront de référence. Pour générer les vecteurs de test, un outil ATPG pour signaux à polarité simple a été utilisé (développé à l'interne chez Nortel Networks). Bien que ces vecteurs n'ont pas été générés en considérant le caractère différentiel des signaux, ceci n'a aucune incidence, puisque de toute façon, l'idée est de comparer les nouvelles méthodes à celles qui sont déjà bien connues et rodées.

Le test de collage standard est suivi de quatre autres méthodes ou combinaisons de méthodes utilisant aussi les vecteurs de test pour collage. En voici la liste:

- Détection de marge de bruit réduite avec détecteur (70 mV), PBG en mode normal;
- Détection de marge de bruit réduite avec détecteur (70 mV), PBG en mode test;

- Détection de marge de bruit réduite avec débalancement;
- Détection d'amplitude excessive.

Les derniers tests appliqués sur la matrice mesurent les délais de propagation de chaque rangée. La méthode est relativement directe, toutefois, considérant les testeurs, il convient que les signaux à appliquer doivent être périodiques. Ceci est nécessaire pour permettre au testeur de trouver les points de transition des sorties. Par recherche dichotomique, il converge vers le temps où une inversion d'un signal de sortie a eu lieu. Par conséquent, les vecteurs de test produits pour détecter des collages sont inadéquats. Cependant, puisque les circuits de la matrice sont simples, un signal d'entrée basculant cycliquement entre les états 1 et 0 est bien souvent satisfaisant. Bien entendu, avec un tel signal à l'entrée, il faut s'assurer de sensibiliser le chemin de donnée pour qu'à la sortie du circuit, un signal de même forme soit observable.

4.4.1 Étapes pour appliquer les tests

Lors des tests, il est préférable que pour l'exécution de toutes les méthodes, seule la rangée testée soit activée et donc, de mettre toutes les autres rangées en mode «éteint». Il y a plusieurs raisons incitant cette mesure. Premièrement, la plupart des méthodes le nécessitent si l'on veut isoler l'origine de la panne. Deuxièmement, cela permet d'assurer un environnement d'évaluation équivalent d'une méthode à l'autre.

Finalement, les effets induits entre signaux de circuits voisins sont évités. Toutefois, si le temps est précieux, il est possible de mettre toutes les rangées en mode normal lors des tests de collages et de délais de propagation. Ainsi, on évite la reconfiguration répétitive de tous les PBG, étape qui prend beaucoup de temps. En effet, comme ces deux méthodes ne dépendent pas de circuits ajoutés pour effectuer les tests, l'activation de toutes les rangées ne devrait pas changer les comportements.

Ainsi, avant l'analyse d'une rangée par n'importe quelle méthode, il faut reprogrammer tous les PBG. Puis, si la méthode le demande, il faut appliquer les signaux nécessaires pour mettre les circuits ajoutés en mode test. Finalement, il reste à appliquer les vecteurs de test particuliers pour la rangée courante et observer les sorties appropriées pour la méthode. Le tableau 4.4 résume ces étapes pour les 5 différents tests lorsqu'une rangée donnée est analysée.

Tableau 4.4 Étapes d'application des tests pour une rangée

Étape	a	b	c	d	e	f
Mode PBG	Normal		Test	Normal		
Ajuster le mode test	N/A	Sélectionner la sortie du détecteur de marge de bruit réduite de cette rangée[g]		*vtest* d'une colonne à la fois à 3.7 V et les autres à 3.3 V	V1 à 2.5 V, V2 à 3.3 V puis, vice versa	N/A
Type de vecteurs	Vecteurs définis pour méthode de collage					Signal Basculant

Tableau 4.4 Étapes d'application des tests pour une rangée

Étape	a	b	c	d	e	f
Sortie à observer	Sortie de la rangée	Sortie réservée aux détecteurs de marges de bruit réduites		Sortie réservée aux détecteurs d'amplitudes excessives	Sortie de la rangée	

a. Test de collage.
b. Test de détection de marge de bruit réduite à l'aide des détecteurs, PBG en Mode Normal.
c. Test de détection de marge de bruit réduite à l'aide des détecteurs, PBG en Mode Test.
d. Test d'amplitudes excessives.
e. Test de débalancement.
f. Test de délai de propagation.
g. Voir le tableau 4.3 pour la sélection.

4.5 Conclusion

Grâce à cette puce d'évaluation, il sera possible d'assurer la fiabilité des plus prometteuses méthodes de test développées. La simplicité des circuits testés et leur architecture matricielle permet d'autre part de couvrir tous les aspects des circuits numériques CML, tout en assurant une couverture maximale des pannes par les méthodes avec la possibilité d'identifier la porte défectueuse. Par ailleurs, son développement nous a permis de tester les méthodes sous plusieurs angles. À plusieurs reprises, l'implémentation de ces méthodes dans la puce a permis d'y trouver des failles, telle que leur stabilité vis-à-vis les variations paramétriques ou de température, nous forçant à solidifier et à parfaire les circuits pour assurer un bon comportement. En fait, jusqu'à présent, l'équipe poursuivant le projet montre que certaines des méthodes n'ont pas encore atteint une maturité suffisante pour être directement utilisées de

manière industrielle. En effet, prenons l'exemple de la technique d'abaissement des tensions de polarisation permettant de propager les pannes de marge de bruit réduite. Celle-ci cause, sous certaines conditions, des comportements de collage dans un circuit sans panne après plusieurs portes de types ET ou OU. Toutefois, cette méthode n'a pas été rejetée, puisqu'il y a toujours moyen de pallier aux problèmes.

CONCLUSION

Comme il a été mentionné au début de ce mémoire, les circuits bipolaires en mode courant n'ont suscité l'intérêt de la communauté scientifique que tout récemment avec la diminution des tailles des dispositifs et la diminution de leur consommation de puissance. Par conséquent, il n'est pas surprenant qu'une des facettes souvent cachées de la conception de circuits, le test, n'en soit qu'à peine touchée. Ce mémoire a donc cherché à combler cette carence.

En premier lieu, nous avons présenté une révision des concepts de base pour la conception de circuits CML. Particulièrement, on a couvert le fonctionnement de la porte tampon, la référence pour l'architecture CML, ainsi qu'une méthode de conception mécanique pour concevoir des portes complexes. De plus, nous avons présenté une revue de littérature sur les modèles de défectuosités pour des procédés bipolaires, les pannes qui découlent de ces défectuosités dans des circuits CML/ECL et quelques méthodes pour les détecter.

En deuxième lieu, nous avons décrit le fonctionnement d'un outil développé au cours du projet. Cet outil permet d'analyser une bibliothèque de portes numériques en présence de différentes défectuosités en identifiant les pannes qui peuvent s'y manifester. Sa variété de paramètres de configuration donne à l'utilisateur les moyens

nécessaires pour étudier à fond le comportement d'une porte. L'engin de l'outil peut aussi rehausser sa fonctionnalité à l'aide de bibliothèques de fonctions de mesures, adaptées à des analyses particulières. D'ailleurs, une bibliothèque de fonctions servant à identifier les types de pannes les plus connus a été développée. Une analyse des portes tampon, ET et OU a été entreprise à l'aide de cette bibliothèque de fonctions. Les résultats montrent que les pannes d'intérêt les plus courantes sont, en ordre décroissant, les tables de vérité corrompues, les marges de bruit réduites, les amplitudes excessives et les collages. Lorsqu'on les combine, nous avons obtenu une couverture maximale des défectuosités avec une combinaison des tables de vérité corrompues, des marges de bruit réduite et des amplitudes excessives. Toutefois, sans trop de perte de couverture, tout en économisant sur le développement d'une méthode de test adaptée, il est possible de remplacer les tables de vérités corrompues par les collages. En effet, il existe déjà une infrastructure dans l'industrie avec la méthodologie pour les détecter.

En troisième lieu, nous avons présenté une méthode de test intégrée permettant de détecter les pannes de type amplitude excessive. Ce type de panne étant relativement fréquent et non détectable par les techniques conventionnelles, il devenait important qu'une technique pour les détecter soit proposée. La variante la plus performante des détecteurs proposés utilise deux transistors par porte d'un circuit ainsi qu'une charge et un circuit de comparaison par ensemble d'environ 45 portes. Ainsi, cette technique

permet de vérifier la présence d'une panne à travers un circuit, tout en ne prenant qu'une proportion acceptable de sa surface, soit à peu près 15%. De plus, nous avons vu une approche pour développer des vecteurs de test adaptés à la détection de ces pannes, qu'elles soient activées ou non lorsque le circuit est au repos. Lorsqu'il s'agit de circuits à composantes séquentiels, le défi d'activer les pannes n'est qu'une question d'appliquer suffisamment de vecteurs pseudo-aléatoires pour assurer l'initialisation des éléments de mémoire.

En dernier lieu, nous avons décrit l'architecture d'une puce conçue. Celle-ci servira à évaluer les méthodes de test jugées importantes une fois appliquées sur des circuits CML de la bibliothèque VersArray25 de Nortel Networks. Il s'agit donc des méthodes de test d'amplitude excessive par détecteurs intégrés, de tests de marge de bruit réduite par abaissement de la tension de polarisation et par débalancement ainsi que du test de collage et du test de délai de propagation. Cette puce contient différents circuits permettant d'évaluer l'ensemble des portes de la bibliothèque VersArray25 lorsqu'elles sont défectueuses. Différents grades de vitesse sont étudiés, qu'ils soient mélangés ou non, ainsi que les effets de réseaux combinatoires et séquentiels. Toutefois, pour réduire la complexité d'analyse des pannes, chaque cas est isolé à l'aide de sous-circuits simples et prévisibles. D'autre part, la puce d'évaluation n'a pas encore été fabriquée, et par conséquent, nous ne pouvons pas pour l'instant nous prononcer sur la

fiabilité des méthodes. Néanmoins, durant nos simulations des circuits, plusieurs d'entre elles ont montré de bons résultats.

Jusqu'à présent, il reste encore bien des inconnues et pour cette raison, le projet n'est pas interrompu. Bien sûr, nous avons identifié quelques types de panne qui reviennent souvent et étudié quelques techniques pour les détecter. Toutefois, l'ensemble des méthodes possibles n'a été qu'à peine effleuré. Par exemple, la littérature liée aux circuits CMOS et ECL, qui ont eu bien plus d'attention par la communauté scientifique, contient possiblement quelques bonnes suggestions que nous n'avons pas eu le temps d'explorer. Par exemple, il serait possible d'évaluer les performances d'un circuit lorsqu'on perturbe son environnement en réduisant sa tension d'alimentation. Sur un autre plan, l'étude des dessins des masques des circuits de la bibliothèque de portes pourrait révéler une faiblesse au niveau du test. Un faiblesse possible serait que certaines défectuosités fréquentes généreraient des pannes difficiles à détecter. En modifiant la bibliothèque, on pourrait modifier l'effet d'une défectuosité en forçant l'apparition de types de panne plus faciles à détecter.

D'autre part, les outils développés pour injecter les défectuosités dans les circuits ont encore de la place pour amélioration au point de vue des paramètres de fonctionnement et de la présentation des résultats. Un environnement graphique serait certainement plus agréable ainsi que l'intégration, en un seul outil, de tous les traitements après

analyses. Sur un autre point de vue, l'ensemble des fonctions de mesure servant à identifier les pannes pourraient être améliorées. Il existe des comportements qui n'ont pas été considérés lors du développement des fonctions menant l'outil à faire un mauvais diagnostic. L'outil est capable d'analyser les résultats d'analyse d'une porte vue par un circuit de détection de pannes. En laissant le circuit prendre la décision, il serait donc plus sûr que le résultat correspond bien à un cas réel. Il est tout aussi possible que certains types de panne que nous n'avons pas étudiés puissent s'avérer courants dans les circuits CML défectueux et qu'ils soient plus observables que ceux étudiés par l'équipe de travail. Ceci pourrait donc conduire vers une méthode de test bien plus fiable.

Bien entendu, il reste encore à voir les résultats de la puce d'évaluation. Si les résultats montrent que les méthodes analysées au cours de ce projet s'avèrent efficaces et fiables, il serait donc possible de passer à la prochaine étape. Celle-ci consisterait à implanter une méthodologie mécanique pour insérer les éléments de test nécessaires pour une couverture maximale des défectuosités. Une telle méthodologie pourrait donc être implantée dans un outil et faire parti intégral de la stratégie de conception d'une puce. Ce projet étant lié à une entreprise internationale, il est clair que les répercussions de tels développements puissent être catalytiques pour toute l'industrie des circuits rapides.

RÉFÉRENCES

[1] ANDERSON, F. (1988 Oct.) Emitter coupled logic and cascode current switch testability and design for test, IEEE Southern Technical Conference, 119-126.

[2] CECCCHI, D.R., et al. (1988) Identification of defects in emitter-coupled logic circuits, brevet US #4902916.

[3] CHANG, J. T.-Y., MCCLUSKEY, E.J. (1996 Oct.) Detecting delay flaws by very-low-voltage testing, International Test Conference, 367-376.

[4] EMBABI, S.H.K.., BELLAOUAR, A., ELMASRY, M. (1993) Digital BiCMOS integrated circuit design, Kluwer Academic Publishers, Boston, 207-249, 393 pages.

[5] ESONU, M.O., AL-KHALILI, D., ROZON, C. (1994) Fault characterization and testability analysis of emitter coupled logic and comparison with CMOS & BiCMOS circuits, VLSI Design, vol. 1, no. 4, 261-276.

[6] GU, R.X., SHARAF, K.M., ELMASRY, M.I. (1996) High performance digital VLSI circuit design, Kluwer Academic Publishers, Boston, 393 pages, chapitres 3 et 4.

[7] HIGETA, K., USAMI, M., et al. (1995) A soft error-immune 0.9-ns 1.15-Mb ECL-CMOS SRAM with 30-ps 120k logic gates and on-chip test circuitry, IEEE 1995 Bipolar Circuits and Technology Meeting, 47-50.

[8] JALALI, B., PEARTON, S. J. (1995) InP HBTs : growth, processing, and applications, Artech House, Boston, 421 pages.

[9] JORCZYK, U., DAEHN, W., NEUMANN, O. (1995 Apr.) Fault modeling of differential ECL, EURODAC 1995, 190-195.

[10] JORCZYK, U., DAEHN, W. (1996) Built-in self-test for high speed integrated circuits, SPIE, vol. 2874, 162-172.

[11] MENON, S.M., JAYASUMANA, A.P., MALAIYA, Y.K., CLINKINBEARD, D.R. (1993 July) Modelling and analysis of bridging faults in emitter-coupled logic (ECL) circuits, IEE Proceedings-E, vol. 140, no. 4, 220-226.

[12] MENON, S.M. (1996) Fault Modeling of ECL for high fault coverage of physical defects, VLSI Design, vol. 4, no. 3, 231-242.

[13] MORANDI, C., NICCOLAI, L., FANTINI, F., GAVIRAGHI, S. (1998 Nov.) ECL fault modelling, IEE Proceedings, vol. 135, Pt. E, no. 6, 312-317.

[14] PATENAUDE, S. (1998) Modélisation de pannes dans les circuits logiques bipolaires en mode courant et méthodes de test adaptées, Mémoire de maîtrise, Département de génie électrique et informatique, École Polytechnique de Montréal, Canada.

[15] REIN, H.-M., MÖLLER, M. (1996 Aug.) Design considerations for very-high-speed Si-bipolar IC's operating up to 50 Gb/s, IEEE Journal of Solid-State Circuits, vol. 31, no. 8, 1076-1089.

[16] SOUFI, M., SAVARIA, Y., DARLAY, F., KAMINSKA, B. (1995 Oct.) Producing Reliable Initialization and Test of Sequential Circuits with Pseudorandom Vectors, IEEE Transactions on Computers, vol. 44, no. 10, 1251-1255.

[17] STEWART, B.E., AL-KHALILI, D, ROZON, C. (1991) Defect Modeling and testability analysis of BiCMOS circuits, Canadian Journal of Electrical & Computer Engineering, vol. 16, no. 4, 148-153.

BIBLIOGRAPHIE

AGRAWAL, V.D., SETH, S.C. (1988) Tutorial Test Generation For VLSI Chips, IEEE Computer Society Press, Washington.

ANTAKI, B., SAVARIA, Y., XIONG, N., ADHAM, S. (1999) Design For Testability Method for CML Digital Circuits, DATE 99.

GERSBASH, J.E., MOSER, J.J., (1983) Imbalance Circuits For DC Testing, US Patent #4604531.

HESSABI, S. (1995) Fault characterization And Design-For-Testability of Digital BiCMOS integrated circuits, Thèse de doctorat, Université de Waterloo, Canada.

MALAIYA, Y.K., RAJSUMAN, R. (1992) Bridging Faults And Iddq Testing, IEEE Computer Society Press, Washington.

RAAHEMIFAR, K., HESSABI., S., ELMASRY, M.I. (1995) A Design-For-Testability Technique For Shorts And Bridging Faults In BiCMOS Logic Families, Canadian Conference on Electrical & Computer Engineering, vol. 1, 221-224.

SHARAF, K., ELMASRY, M.I. (1996) Analysis And Optimization of Series-Gated CML And ECL High-Speed Bipolar Circuits, IEEE Journal of Solid-State Circuits, vol. 31, no. 2, 202-211.

TREADWAY, R.L. (1989 Mar.) DC Analysis of Current Mode Logic, IEEE Circuits and Devices Magazine, 21-35.

ANNEXE I

RÉSULTATS D'ANALYSE DE PORTES CML

Les figures de cette annexe présentent la couverture pondérée de chaque genre de défectuosité par les types de panne les plus courants pour des portes de la bibliothèque VersArray25 de Nortel Networks. Les résultats pour tous les grades confondus des portes tampon, des portes ET et des portes OU sont respectivement présentés aux figures I.1, I.2 et I.3. Le tableau I.1 énumère les différentes valeurs de résistances utilisées lors de l'analyse de ces portes pour modéliser les perçages, les court-circuits et les ponts.

Tableau I.1 Résistances utilisées pour modéliser les défectuosités

Genre de défectuosité	Valeurs de résistances
Perçage	1 KΩ, 4.5 KΩ et 10 KΩ
Court-circuit	10 Ω, 600 Ω, 1 KΩ, 2 KΩ et 4 KΩ
Pont	10 Ω, 600 Ω et 1 KΩ

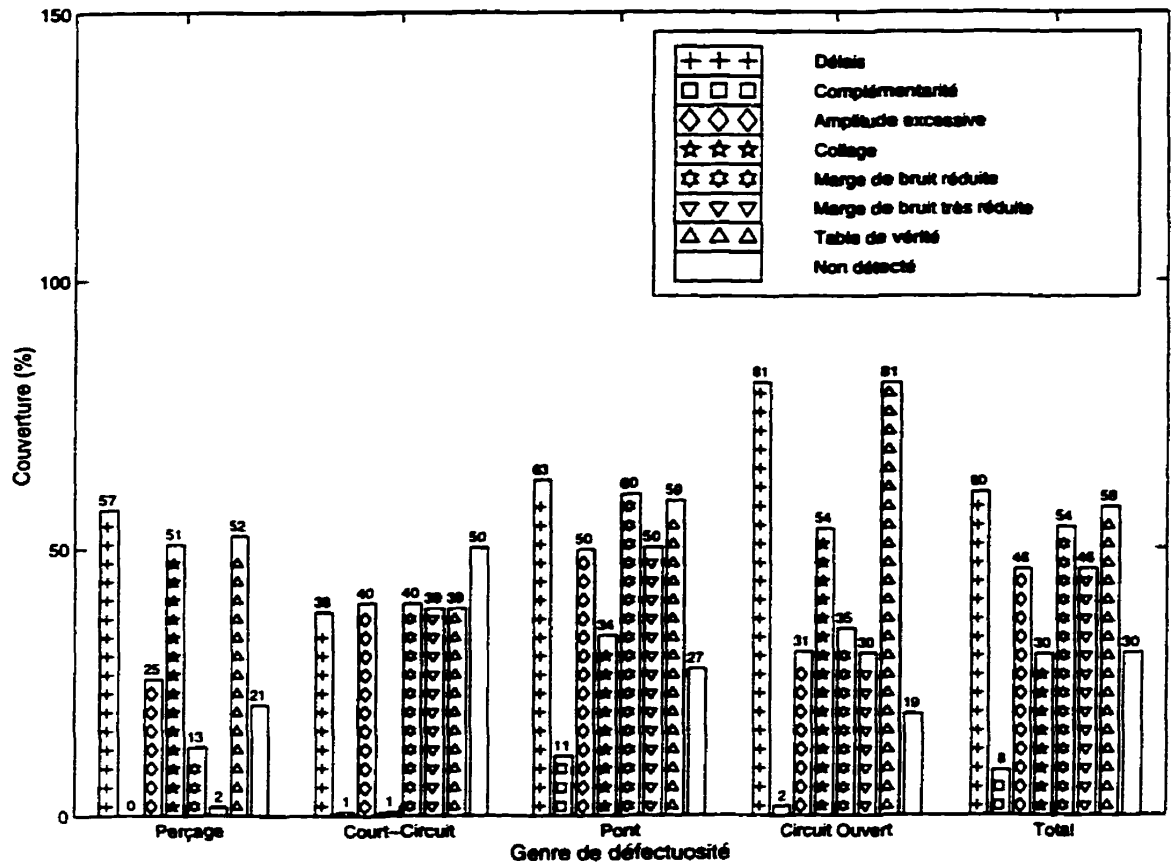


Figure I.1 Couvertures de défectuosités pour les portes tampon

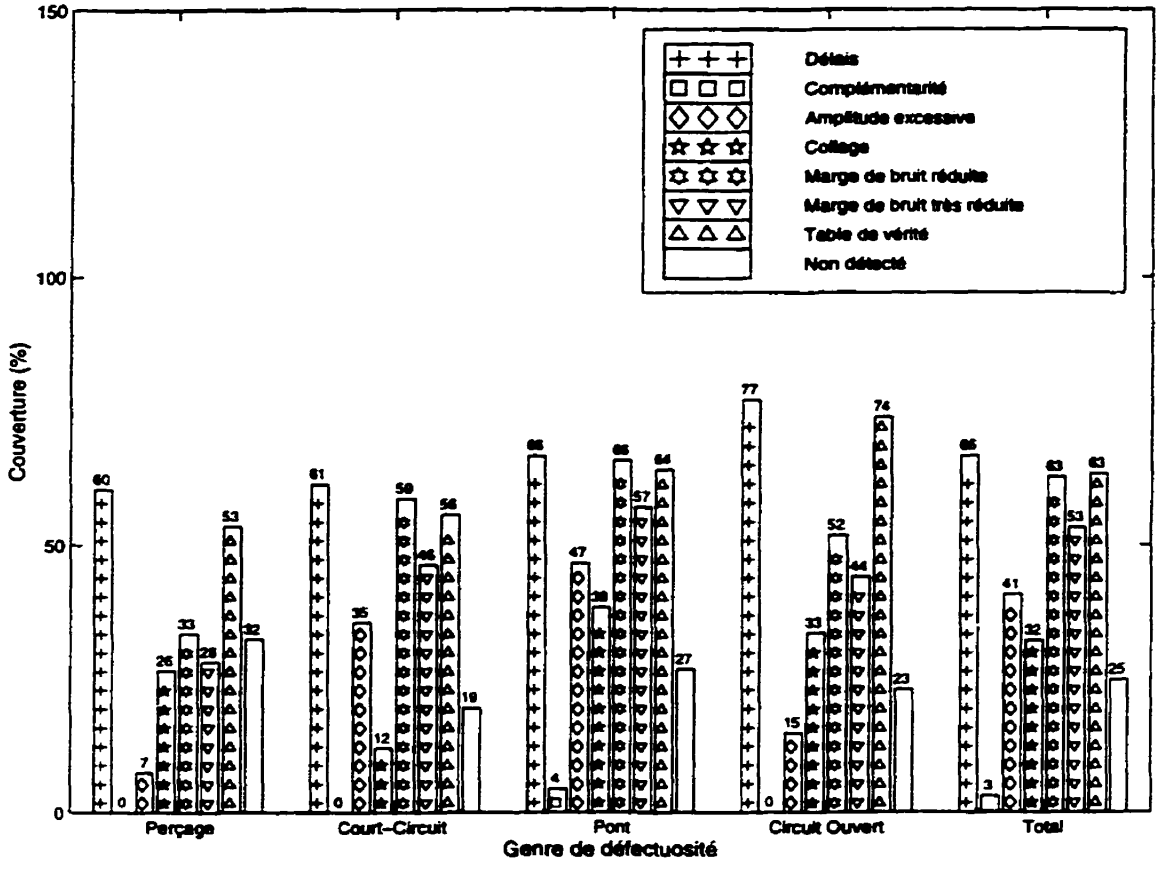


Figure I.2 Couvertures de défectuosités pour les portes ET

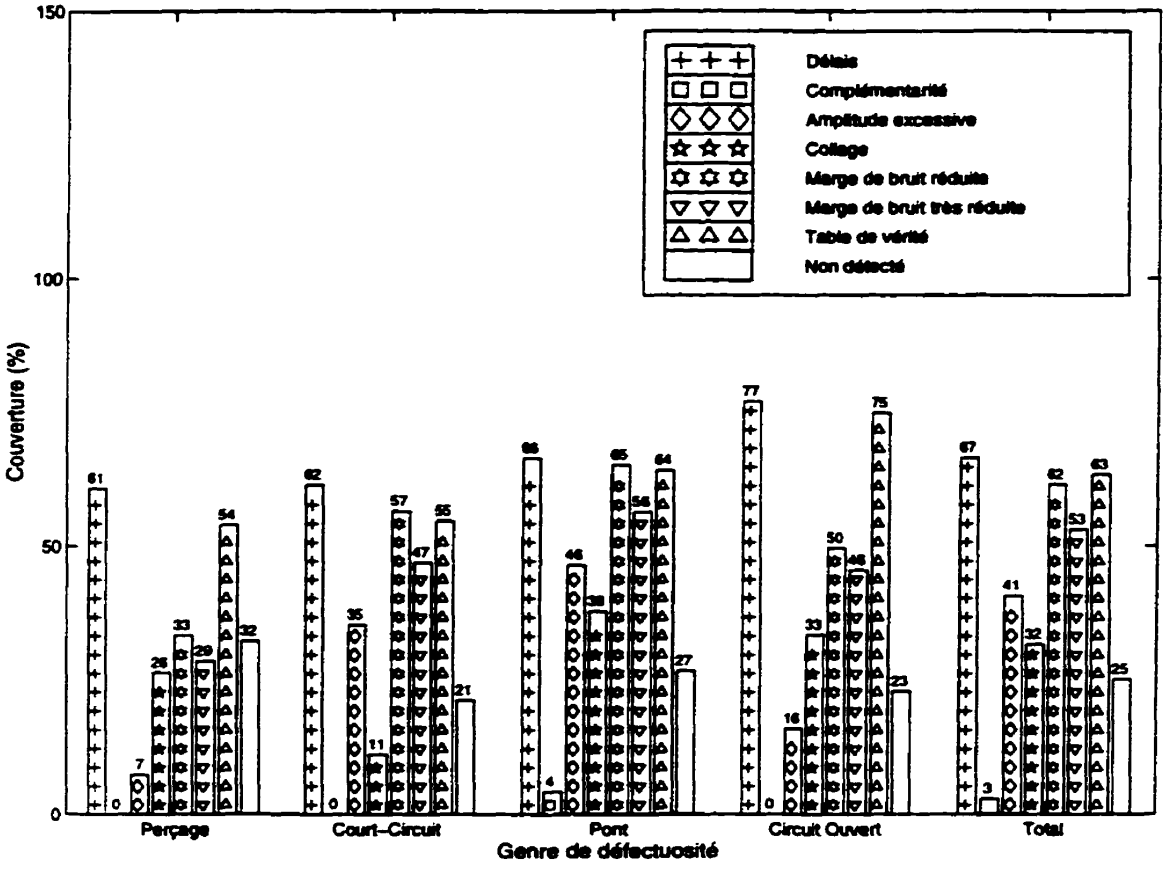


Figure I.3 Couvertures de défectuosités pour les portes OU