

UNIVERSITÉ DE MONTRÉAL

IMPLÉMENTATION, AJUSTEMENT LASER ET MODÉLISATION DES
CONVERTISSEURS NUMÉRIQUE À ANALOGIQUE R2R

DAVID MARCHE

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

THÈSE PRÉSENTÉE EN VUE DE L'OBTENTION
DU DIPLÔME DE PHILOSOPHIÆ DOCTOR
(GÉNIE ÉLECTRIQUE)

MARS 2009



Library and
Archives Canada

Bibliothèque et
Archives Canada

Published Heritage
Branch

Direction du
Patrimoine de l'édition

395 Wellington Street
Ottawa ON K1A 0N4
Canada

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 978-0-494-49422-6

Our file Notre référence

ISBN: 978-0-494-49422-6

NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Cette thèse intitulée:

IMPLÉMENTATION, AJUSTEMENT LASER ET MODÉLISATION DES
CONVERTISSEURS NUMÉRIQUE À ANALOGIQUE R2R

présentée par: MARCHE David

en vue de l'obtention du diplôme de: Philosophiæ Doctor

a été dûment acceptée par le jury d'examen constitué de:

M. SAWAN Mohamad, Ph.D., président

M. SAVARIA Yvon, Ph.D., membre et directeur de recherche

M. AUDET Yves, Ph.D., membre

M. HAMOUI Anas, Ph.D., membre externe

M. GODBOUT Nicolas, Ph.D., représentant du directeur des études supérieures

Aux motivés qui énergisent.

REMERCIEMENTS

Merci à Yves Gagnon qui m'a offert l'idée de départ, le support et le cadre pour réaliser une thèse en liens étroits avec l'industrie au sein d'une équipe sympathique.

Merci à Yvon Savaria pour les idées, l'expérience, l'excellent esprit critique et les révisions très consciencieuses des articles.

Merci à tous les amis et collègues qui partagent avec plaisir leurs connaissances et leur temps. Entre autres : Hugues Langlois, Simon Rioux, Mathieu Renaud, Mathieu Ducharme, Alain Lacourse, Adel Belhaouane, Chokri Achour, Richard Prescott, Marius Tizu, Eric Shneider.

RÉSUMÉ

Aujourd'hui, c'est sous format numérique que la majorité de l'information est traitée. La vitesse d'opération, la fiabilité des communications et du stockage des données sont quelques atouts qui tendent à réduire la proportion de blocs analogiques dans les systèmes électroniques récents. La gestion de l'alimentation et l'échange des données entre le centre de traitement numérique et le monde analogique extérieur sont des exemples typiques de fonctions analogiques qui restent essentielles. Parallèlement, la réduction d'échelle et de niveau d'alimentation permet d'intégrer des fonctions numériques puissantes sur des surfaces sans cesse réduites. Avec ces nouvelles contraintes technologiques, les blocs analogiques doivent allier une vitesse et une précision croissantes, et, si possible, s'intégrer à la puce majoritairement numérique. Quand ces conditions sont réunies, un système entier peut être intégré sur la même puce et la miniaturisation progresse en même temps que la performance.

C'est particulièrement le bloc de conversion numérique à analogique (CNA) qui est étudiée avec cette recherche qui se concentre sur les CNA de haute performance de type R2R. Cette architecture parallèle permet des conversions rapides, mais sa précision est limitée par l'appariement des composants. Le travail présenté ici décrit les résultats d'étude de différents aspects des CNA R2R : l'amélioration de la résolution, l'optimisation de la surface et de la vitesse, ainsi que la modélisation des réseaux R2R.

Un premier circuit prototype démontre qu'il est possible d'obtenir un convertisseur de haute précision, fabriqué dans un procédé standard en utilisant une technique de diffusion laser récemment mise au point. Cette technique, qui permet de créer un lien électrique entre deux zones de diffusion, est utilisée pour corriger le mésappariement du réseau R2R d'un CNA de 14 bits. La linéarité du convertisseur, à l'origine limitée par le mésappariement, peut ainsi être ajustée pour obtenir la résolution de 14 bits visée. Le circuit obtenu, fabriqué selon un procédé CMOS standard et ensuite ajusté au laser, est le plus petit CNA parallèle 14 bits jamais présenté.

Un second circuit prototype intègre une nouvelle solution de dimensionnement des interrupteurs qui permet de réduire la surface, la consommation et le temps de réponse du convertisseur. Ce circuit démontre qu'une nouvelle méthode de compensation permet d'égaliser et de réduire la taille des interrupteurs dans les CNA R2R. La nouvelle compensation offre une augmentation des performances dynamiques et assure une linéarité optimale.

Pour compléter l'analyse des réseaux R2R, une étude mathématique des impédances d'entrée et de sortie est réalisée et permet de proposer de nouveaux modèles pour les CNA R2R. Ces modèles permettent une simulation rapide et précise de nombreux aspects des CNA R2R, et mettent en évidence certains points sensibles qu'il faut absolument considérer pour augmenter la précision de tels convertisseurs.

ABSTRACT

Most electronic systems now rely on digital signal processing (DSP) of the information. Benefits like speed, error detection and correction, compact memories are key aspects which tend to reduce analog circuitry to a very limited set of functions. Typical examples of such functions are power management and data converter blocks, and this work concentrates on digital to analog conversion circuits.

Scaling down device sizes and power supply level has regularly enabled integration of more DSP power in smaller silicon areas. With these new technology constraints, designing a data converter that combines speed and precision becomes more challenging. However, meeting this challenge allows merging analog and digital blocks together into a single chip to create compact system-on-chip (SOC) devices.

This research explores DAC circuits for high performance conversion and focuses on the R2R architecture. This parallel architecture allows fast data conversion but its resolution is typically limited by the mismatch level found between its components. The goal of the present work is to optimize different aspects of R2R DACs : resolution, area, speed and modelization.

A first prototype circuit demonstrates how it is possible to enhance resolution of an R2R DAC fabricated in a standard technology using a recently developed laser diffusion technique. This technique, which allows creating electric links between diffusion regions, is used to correct mismatch errors in the R2R network of a 14 bit DAC. The converter's linearity, initially limited by mismatch level, is enhanced to reach 14 bit resolution. The circuit, fabricated in a standard CMOS process and laser trimmed, is the smallest parallel 14 bit DAC ever presented.

A second prototype circuit integrates a new switch sizing solution which allows reducing area, power consumption and settling time of R2R DACs. This circuit demonstrates that it is possible to reduce and equalize the size of R2R DAC switches using a new compensation technique. The presented switch sizing solution offers enhanced dynamic

performance without any static performance loss.

To complete the R2R network analysis, a mathematical analysis of input and output impedances is presented allowing the introduction of new R2R DAC models. These models allow fast and accurate simulation of many R2R DACs aspects, and highlight some important circuit details to increase the accuracy of these converters.

TABLE DES MATIÈRES

DÉDICACE	iv
REMERCIEMENTS	v
RÉSUMÉ	vi
ABSTRACT	viii
TABLE DES MATIÈRES	x
LISTE DES FIGURES	xiv
LISTE DES NOTATIONS ET DES SYMBOLES	xix
LISTE DES ANNEXES	xx
INTRODUCTION	1
CHAPITRE 1 LA CONVERSION NUMÉRIQUE À ANALOGIQUE	7
1.1 Principales caractéristiques des CNA	8
1.2 Algorithmes et architectures de conversion	11
1.2.1 CNA cyclique ou sériel	12
1.2.2 CNA pipeline	13
1.2.3 CNA Sigma-Delta	14
1.2.4 CNA à modulation d'impulsions	15
1.2.5 Architectures parallèles	17
1.2.5.1 Chaîne de résistances	17
1.2.5.2 CNA à charges pondérées	18
1.2.5.3 CNA à sources de courant	19

1.2.5.4	CNA à résistances pondérées	21
1.2.5.5	CNA à réseau R2R	22
1.2.5.6	CNA R2R inversé ou R2R mode courant	23
1.2.6	Segmentation	24
1.2.6.1	L'approche binaire	24
1.2.6.2	L'approche unitaire	25
1.2.6.3	Segmentation : la combinaison binaire-unitaire	26
1.3	Techniques de linéarisation	27
1.3.1	Optimisation du dessin des masques	28
1.3.2	Ajustement post-fabrication : la correction brute	29
1.3.2.1	Ablation de liens métalliques	30
1.3.2.2	DOT	30
1.3.2.3	Diode Zener	30
1.3.2.4	Thin/Thick-film	31
1.3.2.5	Grilles flottantes	31
1.3.2.6	Résistances diffusées	32
1.3.2.7	Caractéristiques des solutions brutes	33
1.3.3	Ajustement post-fabrication : la correction continue/adaptative	33
1.4	Le CNA R2R inversé	34
1.4.1	Sorties analogiques en courant	35
1.4.2	Sortie analogique en tension	35
1.4.3	Interrupteurs d'aiguillage	37
1.4.4	Impédance d'entrée	37
1.4.5	Impédance de sortie	38
1.4.6	Propriété multiplicative	38
1.4.7	Appariement et linéarité	38
1.4.8	Linéarisation des réseaux R2R	40
1.4.8.1	Optimisation du dessin des masques	40

1.4.8.2	Ajustement laser	41
1.4.8.3	Grille flottante	41
1.4.8.4	Calibration numérique	42
1.4.8.5	Résistances diffusées	42
CHAPITRE 2	UN CNA 14 BITS AJUSTÉ AU LASER ET FABRIQUÉ DANS UNE TECHNOLOGIE CMOS STANDARD	43
2.1	Résumé	43
2.2	Article	44
2.3	Puce	44
2.4	Montage de test	45
2.5	Notes et résultats de tests	47
CHAPITRE 3	UNE COMPENSATION AMÉLIORÉE POUR LES INTERRUPT- TEURS DES CNA R2R INVERSÉS	49
3.1	Résumé	49
3.2	Article	50
3.3	Puce	50
3.4	Montage de test	51
3.5	Notes et résultats de tests	52
CHAPITRE 4	MODÉLISATION DES CNA R2R	53
4.1	Résumé	53
4.2	Article	53
4.3	Puces	54
4.4	Détails des développements mathématiques	54
CONCLUSION		55
RÉFÉRENCES		58

ANNEXES	65
-------------------	----

LISTE DES FIGURES

FIG. 1.1	Diagramme bloc d'un CNA.	8
FIG. 1.2	Différences d'extrémités entre les fonctions de transfert idéale et réelle.	9
FIG. 1.3	Différences de linéarité entre les fonctions de transfert idéale et réelle.	10
FIG. 1.4	CNA cyclique.	12
FIG. 1.5	CNA pipeline.	13
FIG. 1.6	CNA Sigma-Delta.	15
FIG. 1.7	CNA à modulation de largeur d'impulsion.	15
FIG. 1.8	CNA à chaîne de résistances.	17
FIG. 1.9	CNA à sources de courant.	19
FIG. 1.10	CNA à résistances pondérées.	21
FIG. 1.11	CNA à échelle R2R.	22
FIG. 1.12	CNA R2R inversé.	23
FIG. 1.13	Exemple de CNA R2R segmenté.	27
FIG. 1.14	CNA R2R inversé.	35
FIG. 1.15	Conversion du courant de sortie en tension.	36
FIG. 1.16	Pire cas de déviations pour le DNL.	39
FIG. 2.1	Puce contenant deux CNA de 14 bits ajustables au laser	44
FIG. 2.2	Entrées et sorties du CNA.	46
FIG. 2.3	Banc d'essais du CNA 14 bits.	48
FIG. 3.1	Puce contenant un CNA de 12 bits avec interrupteurs compensés.	50
FIG. 3.2	Entrées et sorties du CNA.	51
FIG. 3.3	Plaque de test avec modification des niveaux de tension numérique.	52
FIG. 3.4	Banc d'essais du CNA 12 bits.	52
FIG. II.1	Test 3, INL et DNL.	78

FIG. II.2	Test 4, INL et DNL.	79
FIG. II.3	Test 8, INL et DNL.	80
FIG. II.4	Test 10, INL et DNL.	81
FIG. II.5	Test 11, INL et DNL.	82
FIG. II.6	Test 11, Courant total ($OUTC + \overline{OUTCBAR}$).	83
FIG. II.7	Test 12, INL et DNL.	84
FIG. II.8	Test 13, INL et DNL.	85
FIG. II.9	Test 14, INL et DNL.	86
FIG. II.10	Test 15, INL et DNL.	87
FIG. II.11	Test 17, INL et DNL.	88
FIG. II.12	Test 18, INL et DNL.	89
FIG. II.13	Effets de la température de la pièce.	91
FIG. II.14	Symetrie du DNL.	92
FIG. II.15	Erreurs de DNL pour les contributions du bit 9.	93
FIG. II.16	Effet de la résistance de sortie sur le DNL.	95
FIG. II.17	Effet de la résistance de sortie sur le DNL (agrandissement au- tour des premiers codes).	95
FIG. II.18	Mesure de DNL avec des fils de différentes longueurs.	96
FIG. II.19	Effet de la longueur de fils sur l'INL.	96
FIG. II.20	Effets du mésappariement des résistances de sorties sur le DNL.	97
FIG. II.21	Centrage du DNL avec une résistance externe.	97
FIG. II.22	Circuit #1 INL et DNL après ajustement laser.	99
FIG. II.23	Circuit #1 DNL après ajustement laser du bit 10 (R2R).	99
FIG. II.24	Circuit #2, progression de l'INL pendant l'ajustement laser.	101
FIG. II.25	Résultats de simulation du modèle de circuit original	104
FIG. II.26	Résultats de simulation du modèle original avec addition de ré- sistances de sorties.	105
FIG. II.27	Résultats de mesures en laboratoire.	105

FIG. II.28	Comparaison entre les courbes d'INL mesurées et simulées. . .	106
FIG. II.29	Comparaison entre les courbes d'INL mesurées et simulées (agrandissement autour des premiers codes).	106
FIG. II.30	Comparaison entre les courbes de DNL mesurées et simulées. .	107
FIG. II.31	Comparaison entre les courbes de DNL mesurées et simulées (agrandissement autour des premiers codes).	107
FIG. II.32	Difference entre l'INL simulé et mesuré.	108
FIG. III.1	Circuit 2, DNL initial.	112
FIG. III.2	Circuit 2, INL initial.	113
FIG. III.3	Circuit 2, INL initial pour les 12 premiers bits.	113
FIG. III.4	Circuit 2, DNL initial pour les 12 premiers bits.	114
FIG. III.5	Circuit 2, INL (mal) ajusté au laser.	115
FIG. III.6	Circuit 2, DNL (mal) ajusté au laser.	115
FIG. III.7	Circuit 3, DNL initial.	116
FIG. III.8	Circuit 3, INL initial.	117
FIG. III.9	Circuit 4, DNL initial.	118
FIG. III.10	Circuit 4, INL initial.	119
FIG. III.11	Circuit 4, DNL après ajustement du réseau R2R.	119
FIG. III.12	Circuit 4, INL après ajustement du réseau R2R.	120
FIG. III.13	Circuit 4, DNL après ajustement des bits thermomètres.	120
FIG. III.14	Circuit 4, INL après ajustement des bits thermomètres.	121
FIG. III.15	Circuit 5, DNL initial avec une référence de courant.	122
FIG. III.16	Circuit 5, INL initial avec une référence de courant.	123
FIG. III.17	Circuit 5, DNL initial avec une référence de tension.	123
FIG. III.18	Circuit 5, INL initial avec une référence de tension.	124
FIG. III.19	Circuit 5, DNL après ajustement laser (référence de courant). .	124
FIG. III.20	Circuit 5, INL après ajustement laser (référence de courant). . .	125
FIG. III.21	Circuit 5, DNL après ajustement laser (référence de tension). . .	125

FIG. III.22	Circuit 5, INL après ajustement laser (référence de tension). . .	126
FIG. V.1	Photo du circuit	141
FIG. V.2	Dessin des masques	141
FIG. V.3	Carte de test	142
FIG. V.4	Test de linéarité #1	143
FIG. V.5	Test de linéarité #1 jusqu'à l'erreur du bit thermomètre (Échantillon 1)	143
FIG. V.6	Test de linéarité #2 (Échantillon 1)	145
FIG. V.7	Test de linéarité #3 (Échantillon 1)	146
FIG. V.8	Test de linéarité #4 (Échantillon 2)	147
FIG. V.9	Test de linéarité #5 (Échantillon 3)	148
FIG. V.10	Test de linéarité #6 (Échantillon 4)	149
FIG. V.11	Test de linéarité #7 (Échantillon 5)	150
FIG. V.12	Test de linéarité #8 @ 25^0C et $I_{POL} = 6.45\mu A$ (Échantillon 3) . .	151
FIG. V.13	Test de linéarité #10 @ 25^0C et $I_{POL} = 4.45\mu A$ (Échantillon 3) .	152
FIG. V.14	Test de linéarité #10 @ 25^0C et $I_{POL} = 8.45\mu A$ (Échantillon 3) .	153
FIG. V.15	Test de linéarité #11 @ 25^0C et $I_{POL} = 6.45\mu A$ (Échantillon 2) .	154
FIG. V.16	Test de linéarité #12 @ 80^0C et $I_{POL} = 6.45\mu A$ (Échantillon 2) .	154
FIG. V.17	Test de linéarité #13 @ 0^0C et $I_{POL} = 6.45\mu A$ (Échantillon 2) . .	155
FIG. V.18	Exemple de générateur de courant de polarisation	157
FIG. V.19	Circuit de génération de la référence de compensation avec suiveur.	158
FIG. VII.1	Impédance de sortie tel que vue du noeud k'	173
FIG. VII.2	Impédance d'entrée telle que vue du noeud k'	174
FIG. VII.3	Courant de référence pour le réseau R2R binaire mode tension ($N=12, V_{ref}=5V, R=50k$).	179
FIG. VII.4	Segmentation de type A : ajout de branches 2R.	180
FIG. VII.5	Segmentation type B : ajout de branches R.	180
FIG. VII.6	Impédance de sortie telle que vue du noeud k'	181

FIG. VII.7	Partie binaire du CNA segmenté	181
FIG. VII.8	Partie unitaire du CNA segmenté	184
FIG. VII.9	Impédance de sortie pour le réseau R2R segmenté de type A en mode courant ($N=13, M=7, V_{ref}=5V, R=50k$).	189
FIG. VII.10	Impédance de sortie pour le réseau R2R segmenté de type B en code courant ($N=13, M=7, V_{ref}=5V, R=50k$).	191
FIG. VII.11	Impédance d'entrée telle que vue du noeud k'	191
FIG. VII.12	Partie binaire du CNA segmenté	192
FIG. VII.13	Partie unitaire du CNA segmenté	196
FIG. VII.14	Courant de la référence pour le réseau R2R segmenté de type A en mode courant ($N=13, M=7, V_{ref}=5V, R=50k$).	200
FIG. VII.15	Segmented input impedance as seen from the k' node	201
FIG. VII.16	Partie binaire du CNA segmenté	202
FIG. VII.17	Partie unitaire du CNA segmenté	205
FIG. VII.18	Courant de la référence pour le réseau R2R segmenté de type B en mode courant ($N=13, M=7, V_{ref}=5V, R=50k$).	209

LISTE DES NOTATIONS ET DES SYMBOLES

<i>LSB</i> :	Bit le moins significatif ou <i>Least Significant Bit</i> en anglais
<i>MSB</i> :	Bit le plus significatif ou <i>Most Significant Bit</i> en anglais
<i>CNA</i> :	Convertisseur numérique à analogique
<i>CAN</i> :	Convertisseur analogique à numérique
<i>SNR</i> :	Rapport signal sur bruit
<i>SINAD</i> :	Rapport signal sur bruit et distortion
<i>SFDR</i> :	<i>Spurious Free dynamic range</i> en anglais
<i>THD</i> :	Distortion harmonique totale
<i>INL</i> :	Non-linearité intégrale
<i>DNL</i> :	Non-linéarité différentielle
<i>CI</i> :	Circuit intégré

LISTE DES ANNEXES

ANNEXE I	ARTICLE #1 : LASER FINE-TUNEABLE DEEP SUB-MICRON CMOS 14 BIT DAC	65
ANNEXE II	NOTES DE TESTS POUR LE CNA DE 14 BITS AJUSTABLE AU LASER, PARTIE I : PREMIER PROTOTYPE AVEC BUS DE SORTIES TROP RÉSISTIFS	76
II.1	Introduction	76
II.2	Description des tests et résultats	76
II.2.1	Description générale	76
II.2.2	Test 3	77
II.2.3	Test 4	79
II.2.4	Test 8	80
II.2.5	Test 10	81
II.2.6	Test 11	82
II.2.7	Test 12	84
II.2.8	Test 13	85
II.2.9	Setup 14	86
II.2.10	Test 15	87
II.2.11	Test 17	88
II.2.12	Test 18	89
II.2.13	Conclusions sur la configuration du montage de test	90
II.3	Analyse des résultats de linéarité	92
II.3.1	Observations générales	92
II.3.2	Analyse des erreurs de DNL	94
II.3.3	Conclusion de l'analyse de DNL	98

II.4	Ajustement laser	98
II.4.1	Généralité sur l'ajustement laser	98
II.4.2	Ajustement laser du circuit #1	98
II.4.3	Ajustement laser du circuit #2	100
II.4.4	Conclusion de l'ajustement laser	100
II.4.5	Modélisation et simulation du défaut du circuit	103
II.4.6	Conclusion des simulations	104
II.5	Conclusion	109
ANNEXE III NOTES DE TESTS POUR LE CNA DE 14 BITS AJUSTABLE		
AU LASER, PARTIE II : DEUXIÈME PROTOTYPE AVEC		
BUS DE SORTIES CORRIGÉS 110		
III.1	Introduction	110
III.2	Description des tests et résultats	110
III.2.1	Description générale	110
III.2.2	Circuit #1	111
III.2.3	Circuit #2	111
III.2.3.1	Configuration	111
III.2.3.2	Linearité initiale	112
III.2.3.3	Résultats d'ajustement laser	114
III.2.4	Circuit 3	116
III.2.5	Configuration	116
III.2.5.1	Linéarité initiale	116
III.2.5.2	Résultats d'ajustement laser	116
III.2.6	Circuit #4	118
III.2.6.1	Linéarité initiale	118
III.2.6.2	Résultats d'ajustement laser	118
III.2.7	Circuit #5	122

III.2.7.1	Linéarité initiale	122
III.2.7.2	Résultats d'ajustement laser	122
III.3	Conclusion	127
ANNEXE IV	ARTICLE #2 : AN IMPROVED SWITCH COMPENSATION TECHNIQUE FOR CURRENT MODE R2R DACS	129
ANNEXE V	NOTES DE TESTS POUR LE CNA COMPENSÉ DE 12 BITS	140
V.1	Introduction	140
V.2	Entrée numérique	140
V.3	Plaque de test	140
V.4	Résultat 1 : test initial	142
V.5	Résultat 2 : erreur thermomètre corrigée	144
V.6	Résultat 3 : I_{POL} ajusté	144
V.7	Résultat 4 : Échantillon 2	145
V.8	Résultat 5 : Échantillon 3	146
V.9	Résultat 6 : Échantillon 4	147
V.10	Résultat 7 : Échantillon 5	148
V.11	Résultat 8 : Échantillon 3 à $25^{\circ}C$ et $I_{POL} = 6.45\mu A$	149
V.12	Résultat 9 : Échantillon 3 à $25^{\circ}C$ et $I_{POL} = 4.45\mu A$	150
V.13	Résultat 10 : Échantillon 3 à $25^{\circ}C$ et $I_{POL} = 8.45\mu A$	151
V.14	Résultat 11 : Échantillon 2 à $25^{\circ}C$ et $I_{POL} = 6.45\mu A$	152
V.15	Résultat 12 : Échantillon 2 à $80^{\circ}C$ et $I_{POL} = 6.45\mu A$	153
V.16	Résultat 13 : Échantillon 2 à $0^{\circ}C$ et $I_{POL} = 6.45\mu A$	155
V.17	Discussion	156
V.17.1	Courant de l'échelle de résistance	156
V.17.2	Courant de polarisation des transistors de compensation	156
V.17.3	Polarisation de compensation	156
V.17.4	Limite de la compensation	157

V.17.5	Référence de tension	157
V.18	Conclusion	158
ANNEXE VI	ARTICLE #3 : MODELING R2R LADDER DACS	159
ANNEXE VII	DÉTAILS DU DÉVELOPPEMENT DES ÉQUATIONS D'IM- PÉDANCES DES RÉSEAUX R2R	173
VII.1	Introduction	173
VII.2	Impédance de sortie du réseau R2R binaire (non-segmenté) en mode courant	174
VII.3	Impédance d'entrée du réseau R2R binaire (non-segmenté) en mode ten- sion	174
VII.4	Segmentation	180
VII.5	Impédance de sortie du réseau R2R segmenté de type A en mode courant	180
VII.6	Impédance de sortie du réseau R2R segmenté de type B en mode courant	190
VII.7	Impédance d'entrée du réseau R2R segmenté de type A en mode tension	191
VII.8	Impédance d'entrée du réseau R2R segmenté de type B en mode tension	201

INTRODUCTION

La grande majorité des applications électroniques modernes sont maintenant des systèmes presque entièrement numériques. L'évolution des procédés de fabrication des puces électroniques est principalement menée par la fonction numérique qui est sans cesse améliorée en vitesse et en densité d'intégration par les réductions d'échelle et de niveaux d'alimentation. Dans la course associée à l'évolution des technologies d'intégration, l'outil numérique par excellence est l'ordinateur, et la puissance de son coeur, le microprocesseur, est toujours une éclatante mesure des progrès réalisés. Simultanément, la numérisation de l'information se généralise et s'étend à la grande majorité des applications électroniques. L'audio, la vidéo, les communications avec et sans fils, l'instrumentation et l'équipement de test, sont quelques exemples de systèmes dont le passé analogique est encore récent. Toutes ces applications sont aujourd'hui portées par la puissance de leur moteur numérique pour le traitement et le stockage de l'information. Pour de telles applications, la partie analogique n'est plus que l'interface qui gère les signaux encore non numériques et toujours nécessaires à l'alimentation des puces et à la communication des données et des résultats produits par le coeur numérique. Dans ce contexte, les circuits de conversion de données prennent une importance toute particulière : ils forment la frontière et permettent le dialogue entre le monde naturel analogique et le monde numérique. La cadence de conversion doit suivre le rythme imposé par l'horloge numérique tout en fournissant la précision dictée par le nombre de bits de la partie numérique. Vitesse et précision analogique, deux mesures qui sont *a priori* incompatibles avec les réductions d'échelle et de niveaux d'alimentation qui façonnent les nouveaux procédés pour le bénéfice des performances numériques.

Pour réaliser une conversion numérique à analogique (CNA), de nombreuses solutions ont été explorées et le concepteur de circuit se voit aujourd'hui devant un large éventail d'architectures pour réaliser cette fonction analogique essentielle. Néanmoins, ce choix

est considérablement réduit lorsque le cahier des charges impose des taux d'échantillonnage élevés en même temps qu'une haute résolution de conversion. En effet peu de solutions allient vitesse et précision et un compromis est inévitable. Les architectures de types cycliques, sérielles, ou à modulation d'impulsions forment une première grande classe de convertisseurs qui nécessitent de nombreux cycles pour converger vers une solution qui peut être très précise. On peut, à ce propos, citer l'exemple extrême des CNA sigma-delta qui atteignent plus de 20 bits de résolution. À l'autre bout du spectre des solutions, on retrouve les architectures parallèles qui atteignent des vitesses très élevées en convertissant les données en un seul cycle. Parmi ces circuits, les CNA à aiguillages de courants, qui stabilisent la polarisation de la majorité des composants, évitent de nombreux cycles de charge-décharge et sont actuellement les meneurs en terme de vitesse pure. Ces circuits rapides sont tous limités en résolution par la précision absolue ou relative (appariement) de leurs composants. Le défi de ce travail est d'optimiser le compromis vitesse-résolution observé pour augmenter la performance globale de la conversion numérique à analogique.

Une solution souvent employée pour la conversion numérique à analogique consiste à utiliser un réseau résistif de type R2R pour fournir une somme analogique de tensions ou de courants pondérés par une valeur numérique d'entrée. Lorsque le réseau R2R est utilisé en mode courant, la polarisation des résistances reste stable et le CNA devient un circuit parallèle à aiguillage de courants très rapide : c'est le CNA R2R inversé, le circuit qui est ici étudié en détails et optimisé pour en accroître les performances.

Peu importe l'architecture ciblée, l'optimisation des performances, vitesse ou précision, se voit limitée par la réalité des imperfections des procédés de fabrication. Pour augmenter la performance globale des CNA multi-cycle, soit améliorer leur faible taux de conversion, il existe deux solutions. La première, qui consiste à augmenter la fréquence d'opération, est principalement soumise aux limites géométriques des procédés. La seconde, qui consiste à "ouvrir la boucle de calcul" et utiliser une solution de pipelining,

augmente le débit de traitement au prix d'une latence de calcul. De leur côté les CNA parallèles, rapides, souffrent de résolutions limitées, résultats des déviations relatives qui touchent leurs composants. Il s'agit encore de limites physiques liées aux procédés de fabrications qui infligent inévitablement des gradients et des variations aléatoires qui affectent tout les éléments intégrés. Le dessin des masques, stratégie d'implantation physique du circuit, devient alors un art qui tente de réduire l'effet de ces variations en tirant profit des lois statistiques : les surfaces des composants sont augmentées, segmentées et distribuées en ensembles de matrices symétriques et entrelacées. Pour les CNA de haute résolution, la valeur du produit justifie jusqu'à un certain point l'augmentation de surface des matrices mais cette optimisation touche rapidement la limite raisonnable. Pour augmenter encore la précision il faut alors avoir recours à des solutions originales de calibration.

Quelques travaux de recherches ont déjà exploré des solutions d'ajout de circuits dédiées à la mesure et à la correction des erreurs de conversions. D'autres solutions, sont souvent utilisées pour ajuster les éléments après leur fabrication. La reconfiguration de circuit par diodes Zener ou l'intervention laser sur des liens métalliques peut permettre de modifier la configuration d'un circuit après sa fabrication. L'utilisation d'une couche finale supplémentaire (par exemple une couche mince de nitrure de tantale), optimisée pour ces propriétés résistives, permet un ajustement très précis des éléments intégrés : la géométrie des résistances ainsi réalisée est ajustée par des découpes laser post-fabrication. Malgré son procédé de fabrication non-conventionnel et la nécessité d'une intervention laser, c'est la solution actuellement retenue pour un grand nombre de CNA de très haute résolution. Pour la majorité des concepteurs, cette technologie n'est pas accessible, et l'ajout de circuits de calibration reste la seule option envisageable pour concurrencer avec ces produits de grande valeur commerciale.

Une nouvelle technique d'ajustement laser, applicable à des circuits fabriqués avec des procédés standards, a été mise au point à l'*École Polytechnique de Montréal* puis op-

timisée et commercialisée par la compagnie *LTRIM Technologie*. Le nouveau procédé permet de créer un lien électrique entre deux zones de diffusion. Par un contrôle adéquat des paramètres du laser, une focalisation entre ces deux zones y fait fondre le silicium et permet aux dopants de s'y diffuser pour créer un nouveau lien électrique. La position et la résistivité de ce lien sont utilisés dans des structures résistives pour les reconfigurer et les calibrer précisément. La taille des éléments de calibration détermine la plage et la précision d'ajustement disponible après fabrication. Cette technique est ici appliquée pour la première fois à un circuit de conversion. Un CNA R2R inversé a donc été conçu dans l'optique d'une calibration par diffusion laser. Sa linéarité finale peut être ajustée après la fabrication : la correction du mésappariement des résistances permet de rééquilibrer très précisément le réseau R2R à l'aide de quelques corrections laser. La nouvelle technique n'a pas la prétention de corriger toutes les imperfections du circuit et la conception d'un circuit de haute résolution demande toujours un effort important pour éliminer tout élément parasite qui pourrait compromettre la mise à profit de l'ajustement laser. Dans le but d'obtenir un circuit de petite taille basé sur des éléments ajustables de dimensions réduites, l'appariement initial des composants, la compensation des interrupteurs et la minimisation des résistances parasites ont été particulièrement soignés. Les dispersions initiales et l'algorithme de calibration ont été modélisés et simulés pour minimiser les composants et les éléments de calibration. Le résultat obtenu est un convertisseur très précis, qui est, à notre connaissance, le plus petit CNA parallèle 14 bits jamais fabriqué. Ce circuit, par sa taille, sa méthode de calibration, et sa précision finale, constitue une première contribution de cette thèse.

Les performances dynamiques des CNA à aiguillage de courants sont largement déterminées par la conception des interrupteurs. Dans les réseaux R2R inversés, les amplitudes des courants suivent une progression binaire et la résistance des interrupteurs qui les aiguillent ne doit pas les affecter. La solution classique, actuellement mise en pratique dans la majorité des CNA parallèles, consiste à utiliser des interrupteurs dont la résistivité est

inversement proportionnelle aux courants qu'ils doivent transmettre. On s'assure ainsi que leur chutes de potentiel sont égales : le réseau R2R reste équilibré, les divisions de courant restent précises et les interrupteurs sont dit compensés. Cette solution comporte plusieurs inconvénients qui augmentent la complexité, la surface et les temps de stabilisation du convertisseur. En effet, les aiguillages étant de différentes tailles, il faut leur associer des circuits de commande adaptés à chacun pour assurer une bonne synchronisation lors des transitions de codes. De plus, les aiguillages les moins résistifs sont très gros, occupent une surface importante et leurs capacités parasites sont responsables d'effets transitoires importants qui réduisent les qualités dynamiques du convertisseur. Il existe pourtant une solution qui permet d'optimiser la taille des aiguillages et de se débarrasser des inconvénients précédents. Cette nouvelle solution est présentée ici, et appliquée à un CNA R2R inversé de 12 bits. Il est ainsi démontré qu'il est possible d'utiliser uniquement de petits interrupteurs tous de même taille, à condition d'utiliser une compensation adéquate. Les mesures et les simulations montrent qu'un tel CNA garde une excellente linéarité, est moins complexe à synchroniser, permet des gains en surface et possède une réponse dynamique améliorée. Cette technique de conception des aiguillages de courant constitue une seconde contribution importante de cette thèse.

Toute conception de circuit de hautes performances demande une connaissance approfondie de nombreux détails déterminants qui peuvent paraître sans importance à première vue. Dans le cas des réseaux R2R de haute résolution, certaines résistances parasites d'interconnexion sont des exemples frappant de détails critiques. Les conséquences de ces éléments ne sont généralement pas visibles lors des simulations : il faudrait simuler la conversion de tous les codes numériques en incluant toutes les résistances parasites. Une telle simulation n'est pas raisonnablement envisageable pour un CNA de haute définition. Dans ce cas, c'est l'expertise du concepteur qui doit s'allier à la vérification partielle. Il est pourtant possible de faire de nombreuses vérifications si l'on possède des modèles qui représentent adéquatement les différents types de CNA R2R. Dans le cadre

de cette recherche, plusieurs prototypes de CNA R2R ont été fabriqués et une analyse mathématiques de ces circuits a permis de construire des modèles précieux pour leur conception et leur optimisation. Ces modèles, présentés ici avec des exemples concrets de leur utilisation ainsi qu'une analyse de leur impact sur la conception de CNA R2R, constitue une troisième contribution importante de cette thèse.

En guise de mise en contexte plus élaborée, le premier chapitre de cette thèse passe en revue la littérature pour dresser un portrait de l'état de l'art de la conversion numérique à analogique, décrire les limites de performances rencontrées, énumérer les solutions explorées par d'autres, et détailler l'architecture qui est analysée et optimisée dans les chapitres qui suivent : le CNA R2R. Les travaux de recherches de cette thèse, axés sur l'optimisation de cette architecture, ont conduit à la soumission de trois articles de revues scientifiques, dont deux sont déjà parus. Ces publications sont présentées dans le corps de la thèse et elles en forment les trois principaux chapitres. Une première publication décrit le CNA R2R de haute précision qui tire profit de la technique de linéarisation par diffusion laser pour obtenir 14 bits de résolution sur une surface très réduite. Le second article dévoile la nouvelle méthode de compensation permettant d'utiliser des interrupteurs identiques et de très petite taille. Le dernier article détaille l'étude mathématique des CNA R2R et introduit les nouveaux modèles développés. Par soucis d'homogénéité dans la présentation de ce document, les articles complets sont fournis en annexe sous leur format original. Un chapitre est dédié à chacun de ces articles pour fournir un résumé en français ainsi que des notes complémentaires qui décrivent les circuits intégrés qui ont été fabriqués et les détails sur les procédures de test utilisées. Les notes originales prises pendant les tests des prototypes se retrouvent également en annexe.

CHAPITRE 1

LA CONVERSION NUMÉRIQUE À ANALOGIQUE

L'ensemble des solutions de conversion numérique à analogique forme une famille très variée de circuits typiquement classés selon leur architecture. Le survol de ces architectures permet de comprendre les différents algorithmes de conversion qui peuvent être employés pour réaliser un CNA. Comme pour beaucoup de fonctions, les CNA sont sujets à un compromis entre vitesse et précision :

- Une conversion étalée sur plusieurs cycles peut atteindre une résolution élevée. La vitesse de conversion est limitée par l'algorithme de conversion qui demande l'utilisation de plusieurs cycles. Les architectures sigma-delta représentent l'extrême de ce compromis. Le pipelining du traitement permet un grand débit de conversion si la latence introduite constitue une pénalité acceptable.
- Une conversion de plus faible résolution peut se faire en un seul cycle grâce à des architectures parallèles. La précision de conversion est alors limitée par le niveau d'appariement des composants du circuit. Dans ce cas, les gradients et les variations aléatoires inhérents aux procédés de fabrication et au fonctionnement des semi-conducteurs doivent être maîtrisés.

Pour allier vitesse et précision, de nombreuses techniques de correction d'erreurs sont utilisées dans les CNA parallèles afin d'en augmenter la linéarité. L'ajout de circuits de calibration et l'ajustement post-fabrication de composants permettent d'obtenir des gains de précision appréciables. De nombreux CNA commerciaux sont ainsi basés sur l'ajustement laser de matériaux résistifs. Une de ces techniques d'ajustement qui a été développée à l'*École Polytechnique de Montréal* permet d'ajuster des résistances de diffusion avec un laser ((Meunier et al., 2002; Gagnon et al., 2001; Lacourse et al., 2005; Lacourse et al., 2006).

1.1 Principales caractéristiques des CNA

Comme le montre la figure 1.1, un CNA peut être considéré comme une boîte noire qui traite des entrées numériques et génère les sorties analogiques équivalentes.

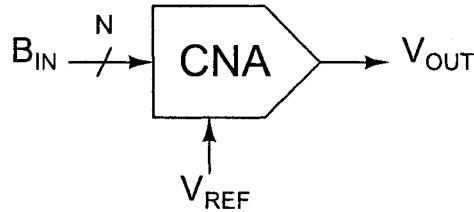


FIG. 1.1 Diagramme bloc d'un CNA.

L'entrée numérique est un mot de N bits. Le bit 0 (B_0) est le bit le moins significatif qui est nommé LSB. Le bit N (B_N) est le bit le plus significatif et est nommé MSB.

L'expression de la sortie analogique idéale est :

$$V_{OUT} = \frac{V_{ref}}{2^N} \sum_{k=0}^{N-1} B_k 2^k \quad (1.1)$$

L'incrément minimum de sortie est le quantum :

$$V_Q = \frac{V_{ref}}{2^N} \quad (1.2)$$

Une terminologie spécialisée est utilisée pour décrire les performances des CNA. Des définitions détaillées peuvent être trouvées dans les livres de référence électronique (van de Plassche, 2003; Sedra and Smith, 1998; Johns and Martin, 1997; The Engineering Staff of Analog Devices Inc., 1986), sur Internet (Maxim Integrated Products Inc., 2000), ou dans certains anciens articles (Tewksbury et al., 1978).

La plus importante caractéristique de l'entrée est sa résolution (N) qui définit le nombre de valeurs distinctes possibles (2^N). La sortie est principalement définie par l'étendue de sa plage de valeurs et le quantum. La relation entre le code d'entrée et la valeur analogique de sortie est donnée par la fonction de transfert.

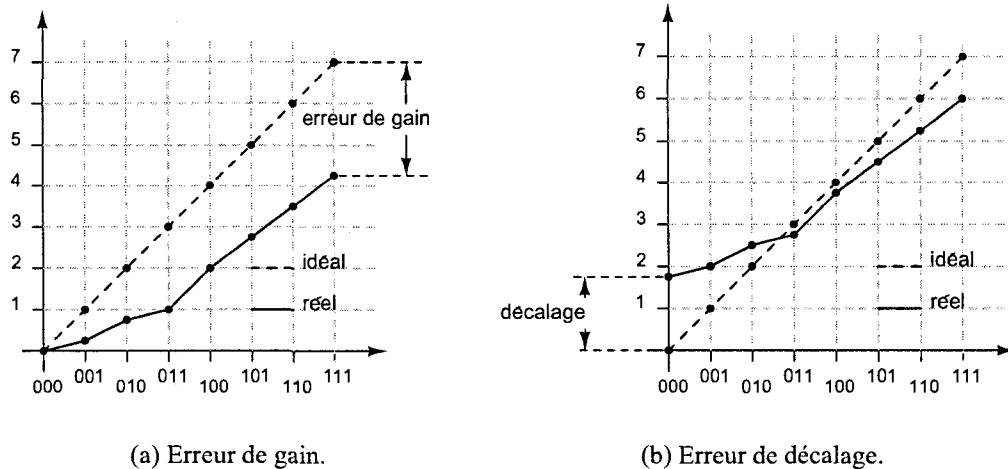


FIG. 1.2 Différences d'extrémités entre les fonctions de transfert idéale et réelle.

Les caractéristiques de la fonction de transfert précisent la performance du convertisseur soumis à des entrées de nature stable et variable par des mesures statiques et dynamiques respectivement. Les performances statiques, généralement normalisées par rapport au poids du LSB (ou quantum), donnent la linéarité, le décalage et l'erreur de gain par rapport à la fonction de transfert idéale :

- L'**erreur de décalage** est l'erreur de sortie pour le code minimum (c.f. figure 1.2(b)).
- L'**erreur de gain** est l'erreur de sortie pour le code maximum. Elle se mesure après correction de l'erreur de décalage (c.f. figure 1.2(a)).
- La **monotonicité** est la qualité d'un convertisseur dont la sortie ne décroît jamais quand le code d'entrée augmente.
- La **précision absolue** est la différence entre la fonction de transfert idéale et celle réellement mesurée.
- La **non-linéarité intégrale** ou **INL** est la différence entre la fonction de transfert

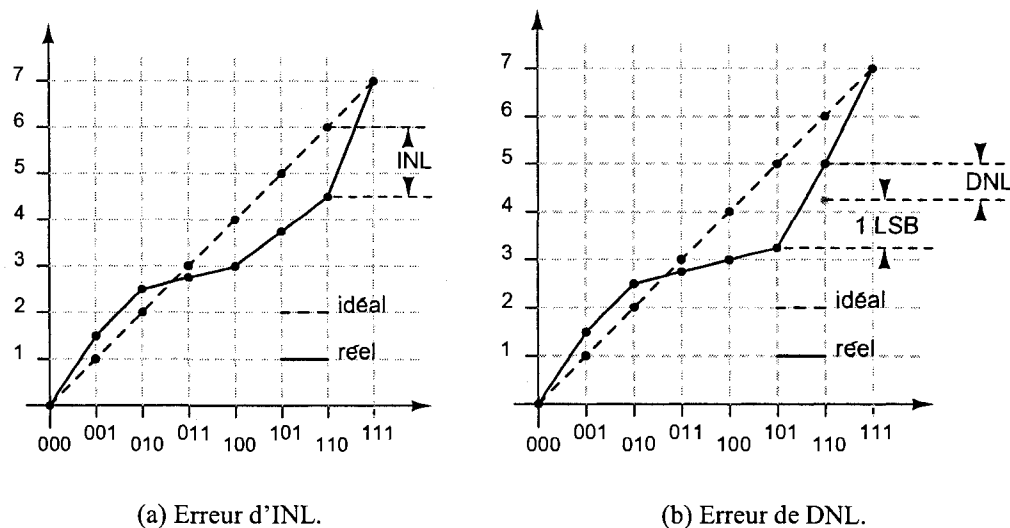


FIG. 1.3 Différences de linéarité entre les fonctions de transfert idéale et réelle.

idéale et celle réellement mesurée après correction des erreurs de gain et de décalage.

Cette différence est donnée pour chaque code numérique (c.f. figure 1.3(a)).

- La **non-linéarité différentielle** ou **DNL**, est la différence entre l'incrément idéal de la sortie et celui qui est réellement mesuré après correction de l'erreur de gain. Cette différence est donnée pour chaque transition de code numérique (c.f. figure 1.3(b)).

Les applications à faible vitesse sont généralement basées sur les caractéristiques statiques des CNA.

Les performances dynamiques décrivent le temps de réponse et les niveaux de bruit et de distorsion observés en sortie lorsqu'une onde sinusoïdale numérique est appliquée à l'entrée du CNA. La majorité de ces mesures sont effectuées dans le domaine fréquentiel à partir du spectre de la sortie analogique :

- Le **temps de stabilisation** est une mesure du délai requis pour que la sortie atteigne sa valeur finale quand l'entrée passe de sa valeur minimale à sa valeur maximale.
- Le **SINAD** ou **rapport signal sur bruit et distorsion**, est le rapport de puissance entre la composante fondamentale du signal codé par l'entrée et la somme de toutes

les autres composantes du spectre de sortie.

- Le **SFDR** ou **Spurious-free-dynamic-range**, est le rapport de puissance entre la composante fondamentale du signal codé par l'entrée et la prochaine composante la plus puissante du spectre fréquentiel.
- Le **THD** ou **distorsion harmonique totale** est le rapport de puissance entre l'ensemble des harmoniques et la fondamentale du spectre fréquentiel de sortie.
- L'**énergie transitoire** (*glith energy* en anglais) est une mesure du niveau d'oscillation de la sortie avant sa stabilisation.

Les applications haute vitesse tels que les systèmes de communication reposent largement sur les performances dynamiques des CNA.

1.2 Algorithmes et architectures de conversion

L'histoire des circuits de conversion remonte au début des années 1950 (Gordon, 1978), période à laquelle les convertisseurs à modulation d'impulsions furent introduits pour les communications téléphoniques. Avec les progrès de l'électronique numérique, la majorité des circuits actuels utilisent maintenant intensivement les CNA et l'évolution des techniques de conversion durant les 50 dernières années a créé une grande variété de CNA. Néanmoins, peu d'entre eux offrent le potentiel de vitesse et de précision visé dans le cadre de cette recherche. Une connaissance générale des différentes solutions est donc nécessaire pour cibler une architecture qui peut allier vitesse et précision.

De façon très globale, il existe deux grandes catégories de convertisseurs (Johns and Martin, 1997) :

- Les *convertisseurs à taux de Nyquist* génèrent une valeur analogique pour chaque échantillon numérique soumis à l'entrée à une fréquence qui respecte le théorème de Nyquist. Le taux de conversion de ces convertisseurs est d'au moins le double de la fréquence du signal original à convertir. Pour ces convertisseurs, la reconstruction du

signal original peut demander un filtre anti-repliement parfois difficile à réaliser.

- Les *convertisseurs à sur-échantillonnage* génèrent des valeurs analogiques à une fréquence au moins 20 fois plus élevée que celle de Nyquist. Dans ces conditions, le filtre anti-repliement devient moins critique et certaines techniques peuvent être utilisées pour étaler, modeler et filtrer le bruit de quantification.

La section suivante dresse une liste d'architectures de CNA en fonction de l'algorithme qui est utilisé pour réaliser la conversion.

1.2.1 CNA cyclique ou sériel

Un CNA cyclique traite l'information du code d'entrée numérique un bit à la fois. Le résultat final de la conversion est obtenu quand tous les bits ont été traités. La figure 1.4 illustre l'opération cyclique d'échantillonnage, blocage (E/B), et division par deux, qui se déroule lors d'une conversion.

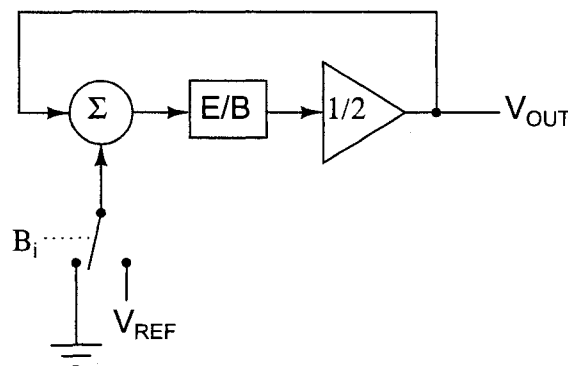


FIG. 1.4 CNA cyclique.

Le traitement cyclique permet d'utiliser un circuit simple d'un seul bit au prix d'itérations. C'est la résolution du convertisseur qui fixe le nombre d'itérations. Après chaque cycle, la sortie est mise à jour en utilisant le résultat précédent et la valeur du nouveau

bit :

$$V_{OUT}(0) = 0 \quad (1.3)$$

$$V_{OUT}(i+1) = \frac{V_{OUT}(i) + B_i V_{REF}}{2} \quad (1.4)$$

Quand tous les bits ont été traités, la sortie finale est :

$$V_{OUT}(N) = \frac{V_{REF}}{2^N} \sum_{i=0}^{N-1} B_i 2^i \quad (1.5)$$

La précision est limitée par les blocs d'échantillonnage, d'addition et de division. Les CNA cycliques bien que compacts, sont rarement utilisés : ils manquent de précision et de vitesse.

1.2.2 CNA pipeline

La boucle de conversion cyclique de la figure 1.4 peut être ouverte et répétée en cascade pour créer une conversion pipeline. Le circuit résultant, illustré à la figure 1.5 est une boucle dépliée où chaque étage traite le résultat de l'étage précédent et envoie son propre résultat à l'étage suivant. Le dernier étage complète la conversion pour fournir le résultat final.

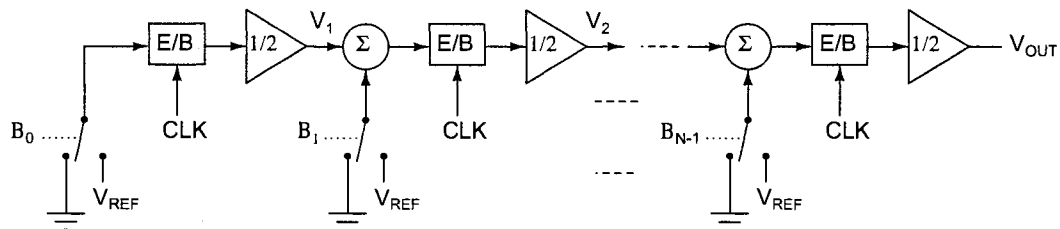


FIG. 1.5 CNA pipeline.

Les expressions de sortie 1.3, 1.4 et 1.5 données pour la conversion cyclique s'appliquent également au CNA pipeline.

Comme pour la conversion cyclique, une conversion complète demande N cycles et un certain délai est créé entre la soumission de l'entrée et l'obtention du résultat final de conversion. Néanmoins, tous les étages peuvent être gardés actifs pour la conversion de différents échantillons d'entrée. Le résultat est un taux de conversion atteignant un échantillon par cycle mais soumis à une certaine latence. La majorité des CNA pipelines convertissent au moins 2 ou 3 bits par étage et une certaine redondance est utilisée pour corriger les erreurs de conversion (Taherzadeh-Sani and Hamoui, 2006).

Les CNA pipelines peuvent être très rapides mais sont limités en précision par le grand nombre de composants et la dégradation de signal le long de la chaîne pipeline. Certaines applications ne tolèrent pas de latence entre l'application du code et le résultat de conversion. Pour ces systèmes, la conversion pipeline n'est pas une option envisageable.

1.2.3 CNA Sigma-Delta

Les CNA Sigma-Delta utilisent une approche originale pour réaliser une conversion par sur-échantillonnage. Ils sont constitués de deux blocs principaux, tel qu'illustré à la figure 1.6 :

- Le modulateur génère un train d'impulsions dont la densité est contrôlée par la valeur numérique d'entrée. Ce train d'impulsions est généré à l'aide d'un CNA de très basse résolution et une boucle de rétroaction utilisant une somme (Sigma) et une différence (Delta). La rétroaction assure que la valeur moyenne de sortie reste proportionnelle au code d'entrée. Il est remarquable qu'un CNA d'un seul bit de résolution peut être utilisé pour générer un train d'impulsions à une fréquence 20 fois plus élevée que celle du signal d'entrée.

- Le filtre de sortie effectue la moyenne du train d'impulsions pour fournir la valeur analogique de sortie.

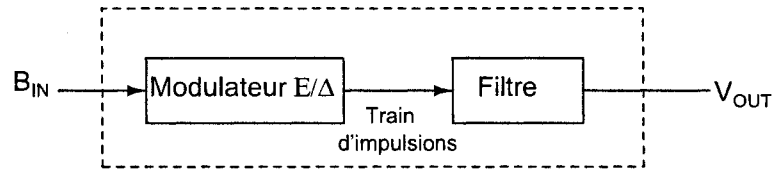


FIG. 1.6 CNA Sigma-Delta.

Le sur-échantillonnage permet d'obtenir une conversion haute résolution avec un CNA de faible résolution. Il réduit également les contraintes imposées au filtre anti-repliement. Des techniques de modelage de bruit peuvent être utilisées pour déplacer la puissance du bruit en dehors de la bande passante du signal d'intérêt (van de Plassche, 2003). Les convertisseurs Sigma-Delta sont utilisés dans des applications de haute résolution et faible vitesse tel que l'audio.

1.2.4 CNA à modulation d'impulsions

Un circuit simple de modulation d'impulsions est donné à la figure 1.7.

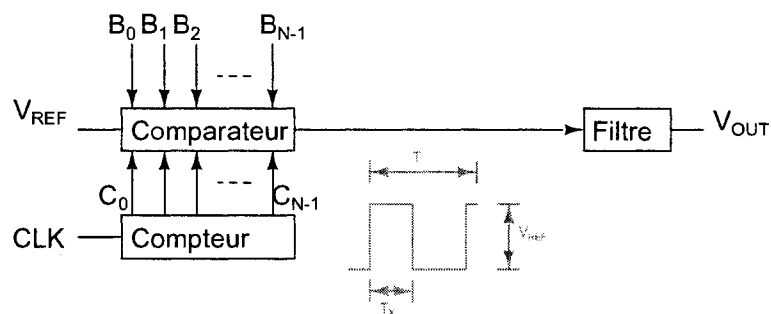


FIG. 1.7 CNA à modulation de largeur d'impulsion.

Un compteur, initialement à 0, incrémente sa valeur jusqu'à ce qu'elle atteigne celle du code numérique à convertir. La largeur de l'impulsion de sortie du comparateur est

l'information analogique proportionnelle au code d'entrée : le rapport entre la durée du décompte et un décompte maximal est le résultat analogique désiré. Un filtre de moyennage peut donc retirer l'information analogique de l'impulsion :

$$V_{OUT} = V_{REF} \frac{T_X}{T} \quad (1.6)$$

La période de conversion et le taux d'échantillonnage sont fixés par l'horloge du système :

$$T_{sample} = \frac{2^N}{F_{clk}} \quad (1.7)$$

$$F_{sample} = \frac{F_{clk}}{2^N} \quad (1.8)$$

Ce circuit est un CNA à *modulation de largeur d'impulsions* (ou PWM pour *Pulse Width Modulation*). Pour faciliter le filtrage de la sortie du comparateur, il est possible de séparer la longue impulsion en plusieurs impulsions courtes (Sandler, 1993; Halper et al., 1996). Il s'agit alors d'un circuit de *modulation de nombre d'impulsions* (ou PCM pour *Pulse Code Modulation*).

La conversion par modulation d'impulsions est une approche intéressante qui a la particularité de se réaliser principalement dans le domaine numérique. Néanmoins, le taux d'échantillonnage est inversement proportionnel à la résolution et le filtre de sortie est critique pour la précision finale. Cette technique ne permet ni haute résolution, ni haute vitesse. De plus, la modulation d'impulsions génère des distorsions harmoniques et de l'inter-modulation entre l'entrée et le compteur.

1.2.5 Architectures parallèles

1.2.5.1 Chaîne de résistances

La chaîne de résistances est une architecture très simple qui garantit la monotonie et une bonne linéarité différentielle.

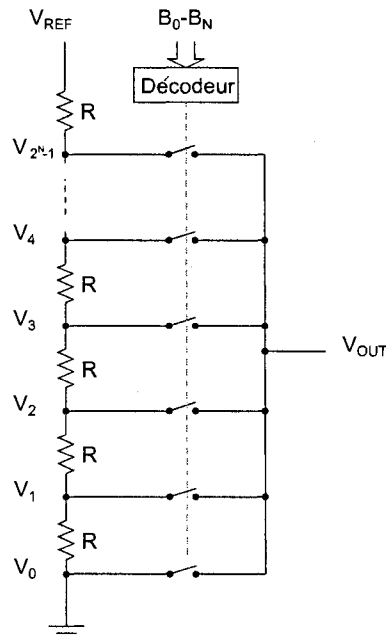


FIG. 1.8 CNA à chaîne de résistances.

Tel qu'illustré à la figure 1.8, les potentiels présents aux noeuds de la chaîne de résistances sont les valeurs analogiques disponibles pour la conversion. Le code d'entrée contrôle un réseau d'interrupteurs qui vient connecter un de ces noeuds à la sortie pour fournir un résultat de conversion. Pour un tel circuit, le nombre de résistances croît exponentiellement avec la résolution ($2^N - 1$). Pour réduire ce nombre, il est possible d'effectuer la conversion en deux temps à l'aide d'une chaîne de conversion grossière sur laquelle vient se connecter une chaîne de conversion précise (Johns and Martin, 1997). On parle alors d'une chaîne de résistances repliée (ou *folded strings* en anglais).

Pour conserver l'exactitude des potentiels analogiques, le courant de la chaîne doit rester stable. La sortie doit donc présenter une haute impédance ou utiliser une adaptation d'impédance pour que la charge ne vienne pas dégrader la linéarité de la chaîne. La vitesse de conversion est principalement limitée par les délais des interrupteurs et la capacité de sortie. Dans le circuit de la figure 1.8, par exemple, l'ensemble des interrupteurs crée une capacité parasite importante en sortie, ce qui augmente le temps de stabilisation. Dans le cas des chaînes repliées, les potentiels aux bornes des résistances varient et le temps de stabilisation peut être plus important.

Pour une meilleure précision statique, il est possible d'ajouter un circuit de calibration qui corrige les erreurs de linéarité (Parthasarathy et al., 2005) ou encore d'ajuster les résistances par laser (The Engineering Staff of Analog Devices Inc., 1986). Néanmoins, quand la résolution augmente, le nombre de résistances rend cette dernière solution difficile à appliquer. La majorité des CNA à chaîne de résistances se limitent à 10 bits ou moins. Certains CNA à chaînes repliées utilisant des techniques de calibration particulières atteignent jusqu'à 16 bits (Parthasarathy et al., 2005). Pour ces chaînes de haute résolution, la monotonicité est toujours garantie, le DNL peut être bon, mais l'INL est souvent mauvais.

1.2.5.2 CNA à charges pondérées

Les CNA à charges pondérées emmagasinent des charges de référence dans des condensateurs de tailles pondérées. Le code d'entrée détermine quels condensateurs doivent contribuer à la charge totale en les connectant à la tension de référence. Les condensateurs qui ne sont pas mis à contribution sont vidés de leur charge en les connectant à la masse. La précision repose principalement sur la précision des rapports de valeurs de condensateurs. Pour les plus hautes résolutions, le CNA peut inclure un condensateur additionnel de calibration dont la charge est fixée par un CNA secondaire de type

chaîne de résistances (van de Plassche, 2003). Dans ce cas, le circuit inclut également une mémoire qui contient l'ensemble des codes de correction qui doivent adresser le CNA secondaire pour fixer la tension de calibration adéquate.

Les CAN à approximations successives sont souvent basés sur des CNA à charges pondérées, car ces derniers peuvent servir à la fois de convertisseur et d'échantillonneur bloqueur.

Étant donné la nécessité de redistribuer les charges pour chaque conversion, cette architecture n'est pas adaptée aux applications haute vitesse : le temps de stabilisation de la tension des condensateurs lors des cycles de charge-décharge limite la fréquence d'opération.

1.2.5.3 CNA à sources de courant

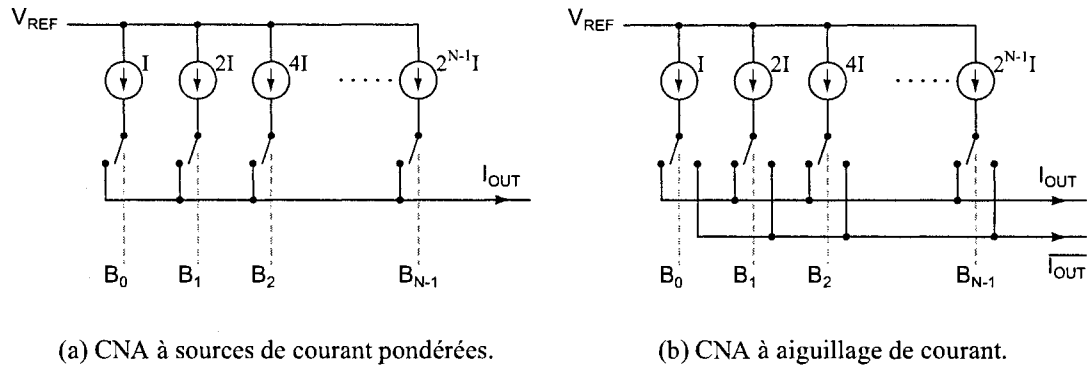


FIG. 1.9 CNA à sources de courant.

Les CNA à sources de courant somment des courants de références selon le code numérique d'entrée. La figure 1.9(a) montre un tel CNA avec des courants de référence qui suivent une progression géométrique. Le courant de sortie (I_{OUT}) est le résultat de la

somme et il correspond à la valeur analogique du code d'entrée :

$$I_{OUT} = I \sum_{i=0}^{N-1} B_i 2^i \quad (1.9)$$

La plupart des CNA à sources de courant évitent d'éteindre leurs courants de référence en utilisant l'architecture modifiée de la figure 1.9(b). Cette solution consiste à remplacer les interrupteurs par des aiguilleurs. De cette façon, les courants qui ne doivent pas contribuer à la valeur analogique de sortie I_{OUT} ne sont pas éteints mais plutôt aiguillés vers une sortie complémentaire $\overline{I_{OUT}}$. C'est le code numérique d'entrée qui contrôle la position des aiguillages. En évitant d'éteindre les sources de courant, on minimise la redistribution de charges pour optimiser le temps de stabilisation.

Les sources de courant sont réalisées à l'aide de miroirs de courants et c'est la précision des copies de courants qui détermine la linéarité du convertisseur. C'est donc encore une fois le niveau d'appariement qui limite la précision. De nombreux travaux de recherche se penchent sur la meilleure façon d'apparier un ensemble de sources de courant pour optimiser la linéarité des CNA (Crippa et al., 2001; Lee et al., 2006). Il est également possible d'améliorer la performance du convertisseur en y ajoutant des circuits de calibration (Schofield et al., 2003; Cong and Geiger, 2003; Bugeja and Song, 2000; Tiilikainen, 2001).

Les CNA à sources de courant aiguillées sont actuellement les plus rapides convertisseurs disponibles. Ils sont utilisés dans toutes les applications haute vitesse telles que la vidéo et les communications (Jin et al., 1999). Calibrés, ils atteignent des résolutions de 14 à 16 bits et des taux de conversion approchant le GigaHertz.

1.2.5.4 CNA à résistances pondérées

La figure 1.10 illustre un CNA qui génère des courants pondérés avec des résistances.

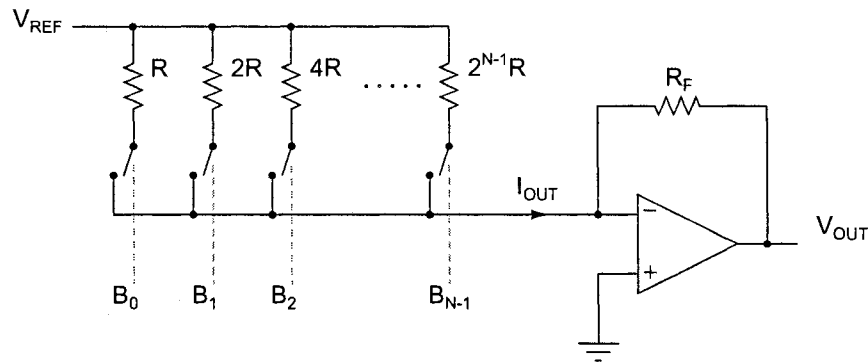


FIG. 1.10 CNA à résistances pondérées.

Ce convertisseur se base sur N résistances pour générer N courants de référence. Pour que les courants restent stables, la tension du noeud de sortie doit elle-même rester constante. Pour cette raison, et contrairement aux CNA à sources de courant, le courant de sortie ne peut pas être appliqué directement à une charge résistive.

Comme pour les CNA à sources de courant, il est possible d'utiliser une sortie complémentaire pour y aiguiller certains courants inutilisés plutôt que de les éteindre. Cette modification améliore le temps de stabilisation en évitant les cycles de charge et décharge des capacités parasites.

Les CNA à résistances pondérées utilisent une architecture simple, mais ils demandent une très grande résistance pour le bit le plus significatif ($2^{N-1}R$), et celle-ci doit être appariée précisément avec la petite résistance du bit le moins significatif (R). La surface du convertisseur double avec chaque bit additionnel et appairer des résistances de tailles très différentes peut être difficile, surtout quand la plage de valeurs est si grande. Pour toutes ces raisons, cette architecture est mal adaptée à la création de convertisseurs compacts de haute résolution.

1.2.5.5 CNA à réseau R2R

L'échelle R2R est un réseau compact de résistances qui permet de générer des niveaux de tension selon une progression binaire. Un exemple d'un tel réseau est illustré à la figure 1.11.

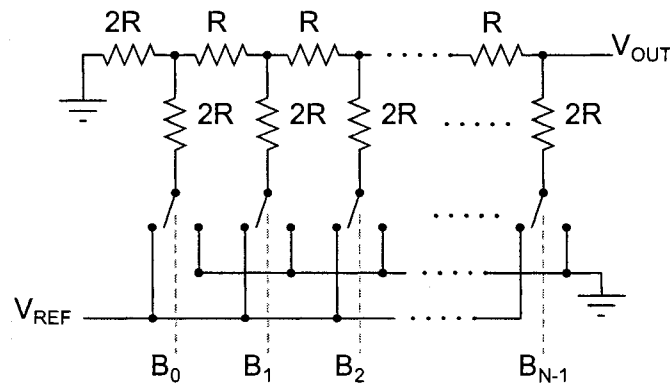


FIG. 1.11 CNA à échelle R2R.

Dans ce réseau, chacune des branches peut être connectée à la tension de référence ou à la masse selon les valeurs des bits du code d'entrée. Le résultat de conversion est la tension analogique présente au noeud V_{OUT} . Le réseau R2R est une architecture très simple qui offre plusieurs avantages : basé sur un nombre réduit de composants, le dessin des masques est plus simple, l'appariement est plus aisé et il permet de réaliser un CNA très compact. Le circuit se prête bien à l'ajustement de la linéarité par la modification au laser des composants résistifs. Néanmoins, les potentiels des noeuds changent avec le code appliqué, et ce CNA R2R souffre donc de la redistribution des charges à travers le réseau, ce qui limite sa fréquence d'opération.

1.2.5.6 CNA R2R inversé ou R2R mode courant

Le CNA R2R précédent peut être inversé et utilisé en mode courant pour lui donner de meilleures caractéristiques dynamiques. Le circuit de la figure 1.12 illustre un CNA utilisant un réseau R2R dans cette nouvelle configuration.

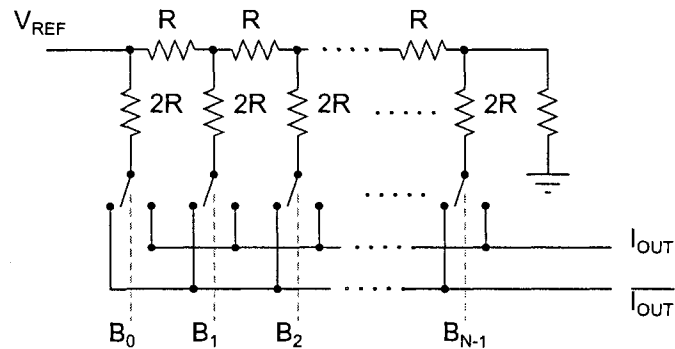


FIG. 1.12 CNA R2R inversé.

Si les potentiels aux deux sorties (I_{OUT} et $\overline{I_{OUT}}$) sont égaux, le courant provenant de la référence de tension (V_{REF}) se divise en deux à chaque noeud du réseau R2R. Les branches de sortie du réseau portent donc des courants dont l'amplitude suit une progression géométrique binaire. Les interrupteurs d'aiguillage, contrôlés par les bits du code d'entrée, dirigent ces courants vers la sortie principale I_{OUT} ou la sortie complémentaire $\overline{I_{OUT}}$. Dans cette configuration, si les potentiels des noeuds I_{OUT} et $\overline{I_{OUT}}$ sont maintenus égaux et constants, les courants à travers le réseau sont stables et ne dépendent pas du code numérique à convertir. Le CNA devient un circuit à aiguillage de courant et les performances dynamiques sont améliorées. La linéarité est toujours limitée par le niveau d'appariement, mais peut être corrigée par ajustement des éléments résistifs.

Le courant de sortie I_{OUT} est la valeur analogique correspondant au code d'entrée. Il est

la somme des courants sélectionnés par les valeurs de bits $[B_0 B_1 \dots B_{N-1}]$:

$$\begin{aligned}
 I_{OUT} &= \sum_{k=0}^{N-1} B_k * I_k \\
 &= \frac{I_{ref}}{2^N} \sum_{k=0}^{N-1} B_k 2^k \\
 &= \frac{V_{ref}}{2^N R} \sum_{k=0}^{N-1} B_k 2^k
 \end{aligned} \tag{1.10}$$

Le courant aiguillé par le bit le moins significatif est :

$$I_{LSB} = \frac{V_{ref}}{2^N R} \tag{1.11}$$

Le CNA R2R inversé est une architecture qui atteint de bonnes vitesses de conversion et de hautes résolutions avec l'aide de la calibration ou de l'ajustement laser. Avec les CNA à sources de courant, c'est l'une des seules architectures qui peut allier vitesse et haute résolution. Ce travail de recherche étudie précisément ce type d'architecture et la section 1.4 la décrit plus en détail.

1.2.6 Segmentation

1.2.6.1 L'approche binaire

Les CNA parallèles binaires contrôlent un ensemble de quantités de référence dont le poids suit une progression géométrique binaire. Ces quantités de référence peuvent être des courants, des tensions ou des charges par exemple. Les valeurs de bits appliquées en entrée sélectionnent les références qui doivent être sommées pour former le résultat analogique. Le nombre de quantités de référence est égal au nombre de bits : N . La référence la plus faible (Ref_1) correspond à 1 LSB et la référence la plus significative,

Ref_N est 2^{N-1} fois plus grande :

$$Ref_N = 2^{N-1} Ref_1 \quad (1.12)$$

Idéalement la progression géométrique des références serait parfaitement exacte mais la réalité est différente : chacune des références subit des variations relatives. Dans ces conditions, c'est Ref_N , la plus grande référence, qui est sujette à la plus forte déviation absolue. Pour garantir une erreur de DNL inférieure à 1 LSB, cette déviation ne doit pas excéder la valeur de la plus faible référence :

$$\begin{aligned} \Delta Ref_N &< Ref_1 \\ \Delta Ref_N &< \frac{Ref_N}{2^{N-1}} \end{aligned} \quad (1.13)$$

La contrainte d'appariement pour un tel CNA maniant des poids binaires peut donc s'exprimer en fonction de la limite de DNL visée :

$$\frac{\Delta Ref_N}{Ref_N} < \frac{DNL}{2^{N-1}} \quad (1.14)$$

Si l'on fixe une valeur de DNL limite acceptable, le nombre d'étage binaire est donc limité par le niveau d'appariement final.

1.2.6.2 L'approche unitaire

Une approche différente de la solution binaire consiste à générer des références de même poids. Un ensemble de tensions ou de courants égaux peuvent par exemple représenter chacun 1 LSB. Dans ce cas, le nombre de références est maintenant beaucoup plus grand ($2^N - 1$) et le code numérique est décodé de façon à sommer une partie de ces références. C'est le travail du décodeur thermomètre. Pour garantir une erreur de DNL inférieure à 1

LSB, la déviation subie par n'importe laquelle des références ne doit pas excéder 1 LSB.

$$\begin{aligned} \Delta Ref &< Ref \\ \frac{\Delta Ref}{Ref} &< 1 \end{aligned} \quad (1.15)$$

Cette contrainte est facilement respectée et ne dépend pas du nombre de références. Le nombre d'étages unitaire n'est donc pas limité par l'appariement. De plus, la monotonie est garantie, puisqu'un incrément de code numérique correspond toujours à l'ajout d'une nouvelle référence. Par exemple, une transition majeure (ex : 0111 → 1000) s'effectue seulement par l'addition d'une référence de 1 LSB. Contrairement à l'approche binaire, cette transition n'est pas une source importante de perturbations transitoires. D'un côté, la complexité du circuit nécessaire à générer et contrôler le grand ensemble de références unitaires est plus complexe que celle d'un système binaire (Hyuen-Hee et al., 2003; Jin et al., 1999). D'un autre côté, le système unitaire n'est pas limité par l'appariement, est toujours monotone, et réduit les perturbations transitoires.

1.2.6.3 Segmentation : la combinaison binaire-unitaire

Puisque l'approche binaire est limitée en résolution par l'appariement et que l'approche unitaire est trop complexe pour un grand nombre de bits, une solution couramment utilisée consiste à combiner les deux approches afin de créer des CNA segmentés :

- Une section à poids binaire est généralement dédiée aux bits les moins significatifs, où l'appariement est moins critique. Cette section est compacte, utilise peu de puissance et ne demande pas de décodage, puisque le code numérique d'entrée, binaire, peut directement sélectionner les quantités de références qui doivent contribuer à la sortie analogique.
- Une section à poids unitaire est dédiée aux bits les moins significatifs, où l'appariement est plus critique. Cette section, plus complexe, est moins compacte mais plus

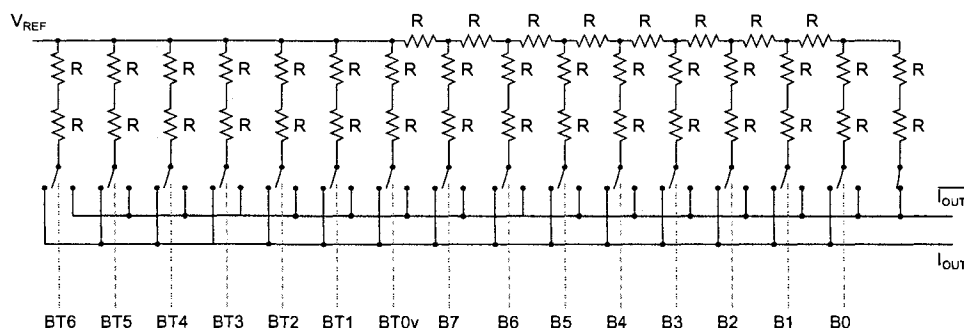


FIG. 1.13 Exemple de CNA R2R segmenté.

précise, toujours monotone et elle crée des transitions plus propres.

La figure 1.13 montre un CNA basé sur un réseau de résistances segmenté : 8 bits (B0-B7) contrôlent l'aiguillage des courants de poids binaire et 7 bits supplémentaires (BT0-BT6) contrôlent des courants de même poids. Ces derniers 7 bits utilisent un code thermometer et représentent donc 3 bits binaires. Le CNA peut donc convertir un mot d'entrée de 11 bits binaires. Les proportions de la segmentation sont établies par un compromis entre appariement, linéarité, surface, puissance, temps de stabilisation et complexité (van de Plassche, 2003; Crippa et al., 2002; Albiol et al., 2003; Crippa et al., 2001).

1.3 Techniques de linéarisation

Beaucoup d'applications modernes demandent une combinaison de vitesse et de précision. Les architectures parallèles décrites à la section 1.2.5 sont très adaptées à la conversion haute vitesse mais sont limitées en résolution par les imperfections des procédés de fabrication qui limitent l'appariement. Pour augmenter la résolution, la solution de segmentation décrite à la section 1.2.6 peut être utilisée, mais la section unitaire est limitée par la surface disponible, la consommation de puissance et la complexité du circuit. Pour cette raison, un certain nombre d'autres solutions ont été explorées afin d'accroître l'appariement et repousser les limites technologiques. Ces solutions sont décrites dans les sections qui suivent.

1.3.1 Optimisation du dessin des masques

La précision absolue des composants intégrés est généralement mauvaise (autour de 15-30% pour les résistances). Par contre, la dispersion de ces mêmes composants peut être beaucoup mieux contrôlée (autour de 1% pour les résistances). Pour cette raison, les CNA, comme beaucoup de circuits analogiques, se basent sur l'appariement de plusieurs composants entre eux plutôt que sur la valeur absolue de chaque composant.

La dispersion, ou mésappariement, est le résultat de l'effet cumulé des gradients et des variations aléatoires à travers la puce. Les sources de ces variations sont multiples : la constitution des matériaux, les procédés de fabrication et la mise en boîtier sont tous responsables de modifications des propriétés électriques d'une puce. La température, la concentration de dopant, l'épaisseur d'oxyde et les stress mécaniques sont des exemples de variables qui entraînent des dispersions de comportement. Pour minimiser l'impact de ces variations, certaines stratégies doivent être adoptées et implantées au niveau du dessin des masques (Hasting, 2000; Yu and Geiger, 2002). Le coût d'application de ces techniques, un peu de surface et d'interconnexions additionnelles, est généralement négligeable par rapport aux importantes réductions de dispersion obtenues.

Les effets de gradient peuvent être minimisés par des placements appropriés, des divisions et des répartitions symétriques pour les éléments sensibles. Une position centrale ou rapprochée des axes de symétries est un placement qui minimise les effets de stress mécaniques de découpe et de mise en boîtier. La subdivision des composants et la répartition des sous-composants en ensembles symétriques (Park et al., 2002) ou pseudo-aléatoires (ex : common-centroid, random-walk) moyennent les effets de gradient pour les minimiser (Hyuen-Hee et al., 2003; Jin et al., 1999; der Plas et al., 1999). L'utilisation de dimensions assez grandes limite certaines variations aléatoires (Lane and Wrixon, 1989; Lin and Geiger, 2001). Par exemple, la dispersion de résistances est inversement proportionnelle à la racine carrée de l'aire du composant résistif. Cette pro-

priété est couramment mise à profit en conception analogique et particulièrement dans les CNA à réseau de résistances (Yu and Geiger, 2002). Le même type de relation existe pour les transistors et la précision des copies de courants. Les concepteurs de CNA à sources de courant y portent une attention particulière (Albiol et al., 2003; Jacob and Tan, 1999; Crippa et al., 2001; Crippa et al., 2002). Étant donné qu'un gain d'appariement est presque toujours obtenu quand les dimensions sont augmentées, un compromis entre surface et précision est inévitable pour la plupart des CNA de haute résolution.

Toutes les applications d'électronique analogique qui ont une prétention de haute précision passent par une phase d'optimisation de dessin des masques avant d'avoir recours à d'autres techniques de linéarisation. Les techniques décrites dans les sections suivantes n'ont pas été introduites pour compenser un mauvais dessin de masques mais pour pousser plus loin les limites technologiques. La compréhension de ces limites et des modèles statistiques qui expliquent les dispersions en présence est indispensable pour pouvoir tirer profit d'autres techniques de linéarisation.

1.3.2 Ajustement post-fabrication : la correction brute

Pour corriger les imprécisions dues aux imperfections de fabrication, un certain nombre de techniques ont été explorées. La solution brute consiste à corriger une seule fois les composants après leur fabrication. L'ajustement, souvent destructif, est conçu pour être permanent et ne permet généralement pas de modifications futures. Étant donné que l'ablation laser de matériaux résistifs est la technique de correction brute la plus employée, le terme *trimming* est souvent utilisé pour faire référence à cette classe d'ajustements. Les différentes techniques de *trimming* sont décrites dans les paragraphes qui suivent.

1.3.2.1 Ablation de liens métalliques

L'ablation laser de liens métalliques peut être réalisée sans grande difficulté. La destruction de liens métalliques est une opération souvent utilisée pour corriger ou redonner une partie de leur fonctionnalité aux prototypes défectueux. En éliminant certaines connexions, il est possible de reconfigurer certains circuits pour réaliser un ajustement laser des performances. Cette méthode a déjà été mise en application pour ajuster la linéarité d'un CNA R2R de 10 bits (Price, 1976) .

1.3.2.2 DOT

L'ajustement de la résistivité du silicium polycristallin hautement dopé est une méthode de correction qui a déjà permis d'atteindre 14 bits de résolution dans un CNA (Kato et al., 1984). En forçant un courant important à travers un élément de silicium polycristallin fortement dopé, la résistivité de l'élément peut être réduite de façon contrôlée. Cette technique permet l'ajustement après l'encapsulation de la puce, et ne demande qu'une source de courant comme équipement de correction post-fabrication. Néanmoins, la stabilité de ces résistances et de l'ajustement imposé n'est pas encore démontrée.

1.3.2.3 Diode Zener

La destruction de diodes Zener est une méthode couramment utilisée pour l'ajustement des circuits. En appliquant une tension aux bornes d'une diode Zener, celle-ci peut être court-circuitée de façon permanente. Comme l'ablation de liens métalliques, cette technique permet d'offrir un nombre fini de niveaux d'ajustements puisqu'il s'agit d'opérations de reconfiguration du circuit. Un certain nombre de points d'accès sont requis pour appliquer les tensions aux diodes, mais la méthode ne nécessite aucun équipement

coûteux et elle permet l'ajustement après l'encapsulation. Elle a déjà été utilisée pour l'ajustement de CNA (Comer, 1978) et sa précision est en général limitée à 0.1%.

1.3.2.4 Thin/Thick-film

L'ablation laser de couche résistive (*Thin/Thick-film trimming*) est la méthode d'ajustement laser la plus couramment utilisée. Des résistances sont réalisées dans un matériau non standard, optimisé pour ses propriétés résistives et déposé en dernière couche de la puce. L'ablation au laser d'une partie de cette couche résistive permet d'ajuster sa géométrie et conséquemment les valeurs de résistances de ces éléments. C'est actuellement la méthode qui permet les meilleures résolutions d'ajustement, mais elle requiert un procédé de fabrication particulier et de l'équipement laser coûteux. La solution semble néanmoins rentable puisque cette technique pour améliorer les performances des CNA est très répandue (Lin et al., 1997; Tobita and Takasago, 1991; Naylor, 1983). *Analog Devices* et *Linear Technologies* sont deux exemples de sociétés qui développent des circuits analogiques de précision basés sur cette technologie.

1.3.2.5 Grilles flottantes

L'utilisation de structures à grilles flottantes est une solution qui a été rapidement adoptée pour la réalisation de mémoires denses reprogrammables. Commercialisée sous le nom de *E-trim Technology* par *Advanced Linear Devices* (Advanced Linear Devices inc., 2000), la charge portée par la grille flottante des transistors représente en général la valeur d'un bit, mais elle peut également être utilisée comme une information analogique. Cette option a été utilisée pour réaliser des CNA 14 bits très compacts (Hyde et al., 2003; Hyde et al., 2002) et pour atteindre des résolutions de 15 bits (Ozalevli et al., 2006). L'ajustement est réalisé par une source de haute tension qui force l'injection de

charges sur des grilles flottantes. Les niveaux de charge de ces grilles représentent l'information mémorisée et ces charges sont conservées même lorsque l'alimentation est coupée. L'ajustement de charge peut être réalisé après la mise en boîtier mais demande des points d'accès dédiés.

1.3.2.6 Résistances diffusées

L'utilisation de résistances diffusées par laser est une technique récente d'ajustement post-fabrication. Issue de travaux de recherches (Meunier et al., 2002) réalisés à l'*École Polytechnique de Montréal*, cette technologie a ensuite été développée par la compagnie *LTRIM Technologies* avant d'être rachetée par *Cadeka Microcircuits* (Cadeka Microcircuits, LLC, 2008). Elle permet d'ajuster la valeur de résistances diffusées, à l'aide d'un laser. En focalisant le laser entre deux zones de diffusion, le silicium fond et les dopants qui s'y diffusent créent un lien dont la résistivité peut être contrôlée. Une application simple consiste à réaliser une résistance en forme de U. L'ajustement de cette résistance est alors fonction de deux paramètres : la position du lien à l'intérieur du U et sa résistance. La précision atteinte par cette technique rivalise avec les meilleures techniques utilisées actuellement. En plus de permettre des ajustements très précis, le principal avantage de la technologie est d'être compatible avec les procédés standards de fabrication. Cette nouvelle technique d'ajustement laser a été utilisée pour la première fois, dans le cadre de cette recherche, pour réaliser des CNA de 14 et 16 bits de précisions. Le chapitre 2 de cette thèse couvre la conception d'un CNA de 14 bits basé sur cette technologie.

1.3.2.7 Caractéristiques des solutions brutes

Les techniques de correction brutes décrites précédemment sont assez variées et les principales caractéristiques qui les différencient sont :

- La résolution de l'ajustement. La précision avec laquelle une performance peut être ajustée n'est pas toujours la caractéristique dominante quand les aspects économiques et les difficultés de mise en oeuvre sont considérés.
- La possibilité d'ajustement après encapsulation. Les méthodes laser doivent être appliquées avant la mise en boîtier des circuits et elles ne peuvent donc pas totalement corriger les déviations dues à l'encapsulation. Ces déviations peuvent devenir significatives dans les applications de haute précision.
- L'équipement nécessaire pour la mise en oeuvre de l'ajustement. La machine laser et la salle blanche associées peuvent représenter des coûts importants qui ne sont généralement acceptables que pour des circuits de très hautes performances dont le coût élevé est justifiable.
- L'utilisation d'étapes de fabrication non-conventionnelles. Certaines techniques nécessitent l'utilisation de matériaux et de procédés non standard dont le coût est important.
- Le besoin de points d'accès au circuit. L'ajout de plots d'ajustement et de test n'est parfois pas compatible avec les contraintes de performances ou de surface de la puce.

1.3.3 Ajustement post-fabrication : la correction continue/adaptative

Les coûts de mise en oeuvre et parfois la nécessité d'avoir recours à un ajustement qui s'adapte aux conditions de mise en boîtier et d'opération du circuit ont créés un besoin pour des nouvelles techniques de calibration (Pirkkalaniemi et al., 2004). La correction continue ou adaptative permet un ajustement périodique du circuit. Cette correction est parfois réalisée de façon transparente pour l'utilisateur, pendant que le circuit est en

opération. Cette technique requiert toujours l'ajout de circuits dédiés à la calibration et souvent aussi une certaine quantité de mémoire embarquée. La correction peut s'adapter aux changements de conditions du circuit tels que le vieillissement et la température. Le terme *calibration* est souvent opposé au terme *trimming* pour faire référence aux techniques de correction continue ou adaptative.

Pour les CNA de haute résolution, des circuits additionnels peuvent être dédiés à la réduction du mésappariement (Ikeda et al., 2007; Chen et al., 2006; Radulov et al., 2005; Bugeja and Song, 2000; Tang and Toumazou, 1994; Tiilikainen, 2001) ou à l'addition d'une valeur corrective directement ajoutée à la sortie analogique (Cong and Geiger, 2003; Maio et al., 1981; Analog Devices Inc., 2008; Parthasarathy et al., 2005; Schofield et al., 2003). Dans ce dernier cas, les corrections sont généralement conservées dans une mémoire intégrée sous forme de codes numériques qui pourront plus tard adresser un CNA secondaire de calibration (CALDAC) pour générer le signal d'ajustement analogique qui s'ajoutera à la sortie du CNA principal.

Les méthodes d'ajustement continu résultent en des circuits plus complexes qui requièrent des surfaces et des consommations accrues. Certaines solutions permettent un ajustement continu du circuit qui s'adapte alors aux conditions d'opération de la puce.

1.4 Le CNA R2R inversé

L'échelle R2R inversée est l'architecture qui est étudiée en détail dans ce travail de recherche. Son fonctionnement en mode courant, sa nature parallèle et sa base résistive en font un bon candidat pour la conversion rapide et l'utilisation de techniques d'ajustement laser.

La figure 1.14 (reprise de la section 1.2.5.6), illustre un CNA utilisant un réseau R2R

dans sa configuration inversée, c'est à dire en mode courant.

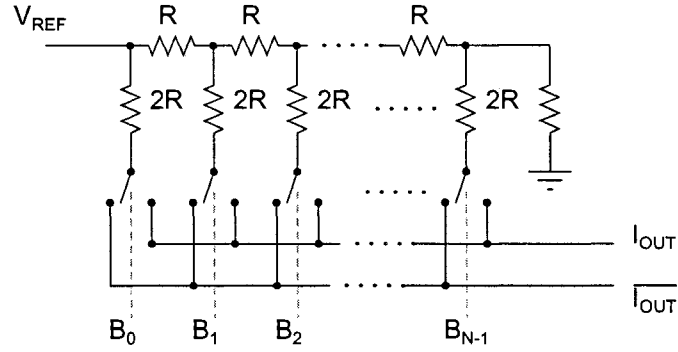


FIG. 1.14 CNA R2R inversé.

1.4.1 Sorties analogiques en courant

Le courant de sortie I_{OUT} est la somme des courants sélectionnés par le code d'entrée $([B_0 B_1 \dots B_{N-1}])$:

$$I_{OUT} = \frac{V_{ref}}{2^N R} \sum_{k=0}^{N-1} B_k 2^k \quad (1.16)$$

Le courant $\overline{I_{OUT}}$ est appelé courant complémentaire car il recueille tous les courants qui n'ont pas été sélectionnés par le code numérique. En tout temps la somme des courants I_{OUT} et $\overline{I_{OUT}}$ est constante et égale au courant de la référence.

1.4.2 Sortie analogique en tension

Étant donné que l'exactitude de l'échelle R2R nécessite que les noeuds de sorties I_{OUT} et $\overline{I_{OUT}}$, restent toujours au même potentiel, il n'est pas possible de brancher une charge résistive directement en sortie d'un CNA R2R inversé. La figure 1.15(a) montre la solution classique de conversion du courant de sortie en tension. Un ampli-op à rétroaction

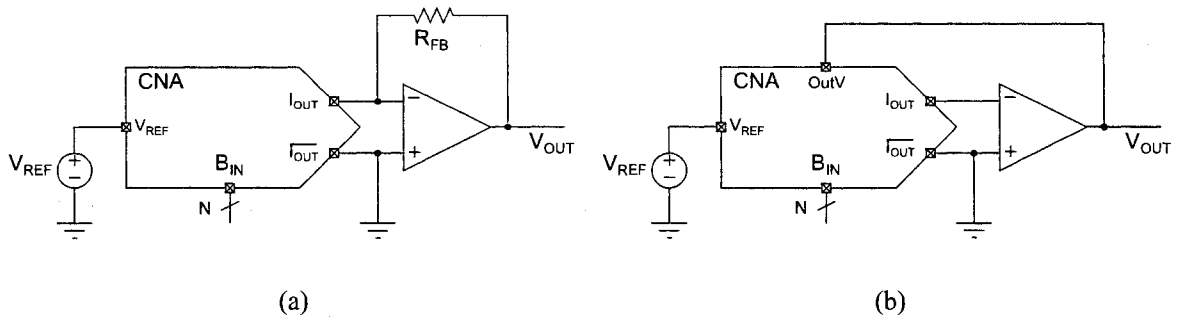


FIG. 1.15 Conversion du courant de sortie en tension.

négative garde I_{OUT} et $\overline{I_{OUT}}$ au même potentiel (I_{OUT} devient une masse virtuelle). Dans cette configuration, la tension de sortie est donnée par l'expression suivante :

$$\begin{aligned}
 V_{OUT} &= B_F * I_{OUT} \\
 &= -R_{FB} \frac{V_{ref}}{2^N R} \sum_{k=0}^{N-1} B_k 2^k
 \end{aligned} \tag{1.17}$$

Il faut noter que R_{FB} est la seule résistance qui n'est pas parcourue par un courant constant. Elle est donc sujette à une modulation par la tension variable à ses bornes. Si la résistivité de cette résistance est très liée à sa chute de tension, la linéarité du convertisseur peut être modifiée significativement : même si le courant est très linéaire, la tension peut présenter une distorsion importante.

La majorité des CNA R2R inversés intègrent sur leur puce une résistance appariée au réseau qui permet de faire une conversion précise. La conversion courant-tension peut alors se faire sans résistance externe comme le montre sur la figure 1.15(b).

Les conversions courant-tension demandent un ampli-op externe qui peut affecter la vitesse et la précision du CNA. Une erreur de décalage de l'ampli-op se traduit par une erreur de décalage et de gain de la tension de sortie du CNA. Par contre, si l'erreur de décalage de l'ampli-op ne varie pas avec la tension de sortie, la linéarité du CNA est

conservée. Le temps de stabilisation d'une tension de sortie de l'ampli-op peut être beaucoup plus long que le temps de stabilisation du courant de sortie du CNA spécifié par le fabricant. En effet, d'une part l'ampli-op et la résistance de contre-réaction peuvent représenter une charge capacitive importante et d'autre part l'ampli-op lui-même possède un temps de stabilisation fini.

1.4.3 Interrupteurs d'aiguillage

Les courants du réseau R2R sont aiguillés vers I_{OUT} ou $\overline{I_{OUT}}$ à l'aide d'interrupteurs d'aiguillage à deux sorties. Ces interrupteurs, connus sous le nom SPDT (de l'anglais *single pole double throw*), sont critiques pour l'ensemble des caractéristiques dynamiques du convertisseur. Pour les convertisseurs de haute résolution, il importe de considérer les résistances parasites de ces éléments d'aiguillage pour conserver l'équilibre du réseau, la division exacte des courants, et les caractéristiques statiques qui en découlent. Le chapitre 3 explique en détails les défis que pose la conception de ces interrupteurs et présente une méthode originale de dimensionnement et de compensation qui permet d'optimiser la surface, la linéarité et la vitesse des réseaux R2R.

1.4.4 Impédance d'entrée

Vue de la référence, l'impédance d'entrée (R_I) de l'échelle R2R est égale à la résistance unitaire et ne varie pas avec le code d'entrée : $R_I = R$. Dans ces conditions, le courant d'entrée (I_{ref}) et la puissance statique dissipée sont constants et proportionnels à la valeur de la tension de référence (V_{ref}). Certaines variantes de réseaux R2R ont déjà été utilisées, mais la forme ici décrite est celle qui dissipe le moins de puissance (Wang et al., 2001) et est la plus couramment utilisée. Pour les R2R segmentés et les R2R utilisés en mode tension, les expressions d'impédances d'entrées sont développées au chapitre 4

pour compléter la modélisation des CNA R2R.

1.4.5 Impédance de sortie

L'impédance de sortie (R_O), contrairement à l'impédance d'entrée, varie avec le code numérique (Erb and Wierzba, 1983) :

$$R_O = \frac{3R}{\sum_{n=1}^N B_n(1 + 2^{1-2n}) - \sum_{n=2}^{N-1} \sum_{j=n+1}^N B_n B_j (2^{2-n-j})(2^{2n-2} - 1)} \quad (1.18)$$

ou B_n sont les valeurs de bit du mot d'entrée. Pour les R2R segmentés et les R2R utilisés en mode tension, les expressions d'impédances de sortie sont développées au chapitre 4 pour compléter la modélisation des CNA R2R.

1.4.6 Propriété multiplicative

Les équations 1.16 et 1.17 montrent la propriété multiplicative d'un CNA R2R inversé : si un signal est placé sur l'entrée de référence, la sortie est le résultat du produit entre ce signal et la valeur numérique appliquée au CNA.

Cette propriété est utilisée dans certaines applications audio où le code numérique permet d'ajuster le gain appliqué au signal audio présenté à l'entrée de la référence.

1.4.7 Appariement et linéarité

Le réseau R2R est basé sur un petit ensemble de composants identiques dont l'appariement détermine la linéarité. Étant donné que le MSB porte le plus fort courant, c'est le bit le plus sensible au mésappariement et sa contribution est celle qui cause généralement l'erreur la plus importante. Pour cette raison, c'est la transition de mi-échelle qui

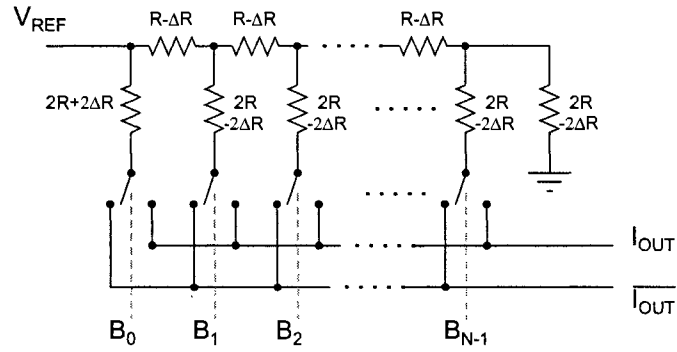


FIG. 1.16 Pire cas de déviations pour le DNL.

cause généralement les plus importantes erreurs de DNL. Le pire cas de l'erreur de DNL, illustré à la figure 1.16, peut être calculé en considérant que les résistances MSB sont sujettes à une déviation positive (+ ΔR) et que toutes les autres résistances sont sujettes à des déviations négatives ($-\Delta R$) :

$$\begin{aligned}
 \Delta I &= (I_{N-1} + I_{N-2} + \dots + I_1) - I_N \\
 &= \frac{V_{ref}}{2(R - \Delta R)} \left(\frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^{N-1}} \right) - \frac{V_{ref}}{2(R + \Delta R)} \\
 &= \frac{V_{ref}}{2(R - \Delta R)} \left(\frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^{N-1}} + \frac{1}{2^{N-1}} - \frac{1}{2^{N-1}} \right) - \frac{V_{ref}}{2(R + \Delta R)} \\
 &= \frac{V_{ref}}{2(R - \Delta R)} \left(1 - \frac{1}{2^{N-1}} \right) - \frac{V_{ref}}{2(R + \Delta R)} \\
 &= V_{ref} \left[\frac{1}{2(R - \Delta R)} \left(1 - \frac{1}{2^{N-1}} \right) - \frac{1}{2(R + \Delta R)} \right] \\
 &= V_{ref} \left[\frac{1}{2(R - \Delta R)} - \frac{1}{2^N(R - \Delta R)} - \frac{1}{2(R + \Delta R)} \right] \\
 &= V_{ref} \left[\frac{\Delta R}{(R - \Delta R)(R + \Delta R)} - \frac{1}{2^N(R - \Delta R)} \right] \\
 &\approx \frac{V_{ref}}{R} \left(\frac{\Delta R}{R} - \frac{1}{2^N} \right)
 \end{aligned} \tag{1.19}$$

Cette transition peut être exprimée en termes de LSB :

$$\Delta I_{LSB} = \frac{\Delta I}{I_{LSB}}$$

$$\begin{aligned}
&= \frac{\frac{V_{ref}}{R} \left(\frac{\Delta R}{R} - \frac{1}{2^N} \right)}{\frac{V_{ref}}{2^N R}} \\
&= 2^N \left(\frac{\Delta R}{R} - \frac{1}{2^N} \right) \\
&= 2^N \frac{\Delta R}{R} - 1
\end{aligned} \tag{1.20}$$

Pour garantir que l'erreur de DNL est inférieure à 1 LSB, l'appariement nécessaire pour n étages (donc n bits) est donné par l'équation suivante :

$$\frac{\Delta R}{R} = \frac{1}{2^{n-1}} \tag{1.21}$$

Ainsi, pour un convertisseur de 10 bits dont le DNL n'excède pas 1 LSB, l'appariement doit être au minimum de 0.2%. Pour étendre la résolution il faudra, soit améliorer l'appariement (c.f. 1.3), soit recourir à la segmentation en complétant le convertisseur avec des étages de poids unitaires contrôlés par des bits thermomètres (c.f. 1.2.6.3).

1.4.8 Linéarisation des réseaux R2R

1.4.8.1 Optimisation du dessin des masques

La précaution minimum qui est à la portée de tous les concepteurs est de réaliser un bon dessin des masques. La stratégie de ce dessin peut grandement influencer l'appariement final du réseau R2R. Il existe par exemple deux choix classiques pour réaliser les résistances R et $2R$ du réseau avec un seul type d'élément résistif :

- La méthode *conventionnelle série* utilise 2 résistances unitaires en série pour créer les résistances $2R$.
- La méthode *conventionnelle parallèle* utilise 2 résistances de $2R$ en parallèle pour créer les résistances R . Cette solution demande une surface plus importante.

Étant donné que l'appariement devient plus critique pour les bits les plus significatifs, il est également possible d'allouer à ceux-ci une surface plus importante (Lin and Geiger, 2001). Pour les CNA de haute précision, les résistances parasites de toutes les connexions doivent être prises en compte et également appariées. Il faut par exemple porter une attention particulière aux nombres de contacts entre les différentes couches et aux dimensions des interconnexions métalliques.

1.4.8.2 Ajustement laser

De nombreux CNA R2R actuellement sur le marché sont ajustés au laser. Les résistances qui composent le réseau sont formées en partie de films minces dont l'ablation laser après la fabrication permet un ajustement de la linéarité. Les produits LTR1591 de Linear Technology (Linear Technology Corp., 1998) et AD5554 d'Analog Devices (Analog Devices Inc., 2004) sont des exemples de CNA R2R ajustés au laser. Ces produits demandent des étapes de fabrication supplémentaires dont les coûts se justifient par la précision exceptionnelle atteinte.

1.4.8.3 Grille flottante

Étant donné que le transistor MOS dans sa zone linéaire peut être utilisé comme une résistance, des transistors à grilles flottantes peuvent être utilisés comme des résistances ajustables. Cette idée est celle qui est présentée dans (Ozalevli et al., 2006) pour la réalisation d'un CNA résistif ajustable par grille flottante et dont la précision peut atteindre 15 bits.

1.4.8.4 Calibration numérique

Des méthodes d'ajustement numérique peuvent être appliquées aux réseaux R2R. Une version originale de réseau R2R calibrable est obtenue en implémentant certaines résistances sous formes de petits sous-réseaux R2R dont on fixe l'impédance par un code numérique dédié (Karadimas et al., 2006). On peut ainsi ajuster la division du courant pour chaque étage du réseau.

Une approche complètement différente consiste à débalancer volontairement le réseau de telle façon que le convertisseur ne soit plus monotone (Mijanovic et al., 1996). Les valeurs analogiques de sortie sont remises en ordre croissant et les codes correspondants sont mis en mémoire. Les codes d'entrée du CNA adressent alors cette mémoire et non plus directement le réseau R2R. Avec cette méthode, il est donc toujours possible d'obtenir un CNA monotone même avec des résistances peu précises.

1.4.8.5 Résistances diffusées

Le chapitre 2 présente un CNA R2R dont l'ajustement se fait par la technique de diffusion induite par laser décrite au paragraphe 1.3.2.6. Des prototypes de CNA de 14 et 16 bits de précision ont ainsi été fabriqués, d'abord dans le but de démontrer l'efficacité de la nouvelle technologie laser, et ensuite en vue de commercialiser des produits de hautes performances très compétitifs. L'article du chapitre 2 décrit les solutions de conception, le prototype résultant, et les performances mesurées pour le CNA R2R 14 bits le plus petit jamais fabriqué.

CHAPITRE 2

UN CNA 14 BITS AJUSTÉ AU LASER ET FABRIQUÉ DANS UNE TECHNOLOGIE CMOS STANDARD

2.1 Résumé

L'incessante réduction d'échelle favorise l'amélioration des performances numériques et pose de nouveaux défis aux concepteurs de circuits analogiques qui doivent maîtriser les variations aléatoires et les gradients des récents procédés de fabrication. En même temps, la tendance à l'intégration demande l'union des parties numériques et analogiques sur une même puce. Les CNA haute résolution font partie des blocs analogiques particulièrement sensibles à l'appariement des composants et leur précision nominale doit typiquement être améliorée par l'addition de structures de calibration ou d'ajustement laser. L'addition de circuits de calibration augmente les coûts de façon significative et les techniques traditionnelles d'ajustement sont difficilement intégrables à un système complet sur puce, car elles requièrent l'utilisation de procédés non standards pour déposer les couches résistives d'ajustement.

Dans cet article, nous présentons un CNA haute résolution qui tire profit d'une nouvelle technique d'ajustement laser compatible avec les procédés de fabrication CMOS standards et par conséquent compatible à une intégration dans un système complet sur une même puce. Alors que le mésappariement initial empêche d'atteindre les 14 bits de résolution, les structures d'ajustement laser offrent la correction nécessaire pour finalement obtenir la linéarité visée. L'architecture du CNA est un réseau résistif segmenté utilisé en mode courant : une échelle R2R inversée génère les courants de poids binaires associés aux bits les moins significatifs tandis que des sources de courant de poids unitaires

sont associées aux bits les plus significatifs qui utilisent un codage thermomètre. Toute la structure est ajustée avec précision pour obtenir les 14 bits de résolution finale. L'efficacité de la nouvelle solution laser pour créer des CNA haute résolution est démontrée.

2.2 Article

La version finale de l'article, telle que publiée dans la revue *Transactions on Circuits And Systems 1 (TCASI)* se trouve en annexe I (Marche et al., 2008).

2.3 Puce

La puce finale contenant deux CNA ajustables au laser est montrée à la figure 2.1. La surface d'un convertisseur est de 0.47 mm^2 . Certains articles décrivant des CNA de 14 bits rapportent des surfaces inférieures (Cong and Geiger, 2003; Hyde et al., 2002), mais le fonctionnement de ces circuits repose sur une part significative de circuits externes. Pour cette raison, il est fort probable que le convertisseur présenté ici soit le plus petit jamais fabriqué.

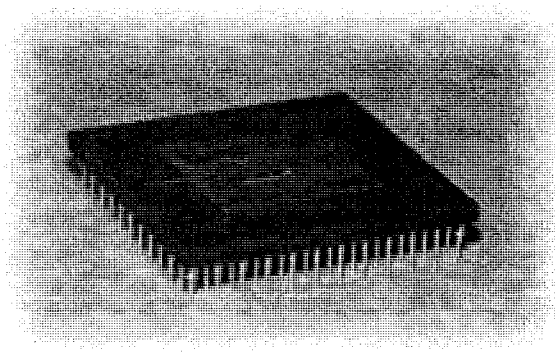


FIG. 2.1 Puce contenant deux CNA de 14 bits ajustables au laser

Trois rondes de fabrication ont été nécessaires avant d'obtenir un circuit intégré fonc-

tionnel et performant :

- La première version contenait une erreur importante dans le dessin des masques. La vérification entre le modèle de simulation (netlist) et le dessin des masques avait été réalisée avec un outil en cours de développement qui n'avait pas décelé l'erreur.
- La deuxième version était entièrement fonctionnelle, mais la précision du convertisseur était limitée par certaines résistances parasites. Dans ces conditions, l'ajustement laser n'avait plus de valeur. Ce problème a néanmoins permis d'approfondir l'analyse et la modélisation des CNA R2R. Les résultats de cette analyse sont présentés au chapitre 4 et l'effet des résistances parasites sur la précision finale du CNA y est simulé avec de nouveaux modèles.
- La troisième version du circuit a permis d'effectuer l'ajustement laser et d'obtenir les performances visées. Les détails du circuit, de sa conception, de son ajustement laser, et de ses performances, sont rapportés dans l'article de ce chapitre.

2.4 Montage de test

Tester un circuit de haute précision est une tâche qui demande une conception minutieuse du banc d'essais. Aucun composant de l'environnement de test ne doit masquer ou modifier la performance du circuit testé. Dans le cas des convertisseurs, une attention particulière doit être portée sur les masses et les alimentations du circuit. La figure 2.2 montre les plots de la puce du CNA.

Un CNA se situant nécessairement à la frontière du numérique et de l'analogique, des signaux numériques y côtoient inévitablement les signaux analogiques. Les blocs numériques, lieux de commutations fréquentes et de grandes amplitudes, forment des sources de bruit qui sont autant d'agresseurs pour l'information analogique dont la précision est importante. Pour cette raison, dans le circuit intégré (CI), ces différents circuits sont placés dans des puits séparés et des anneaux de garde entourent les agresseurs et les agres-

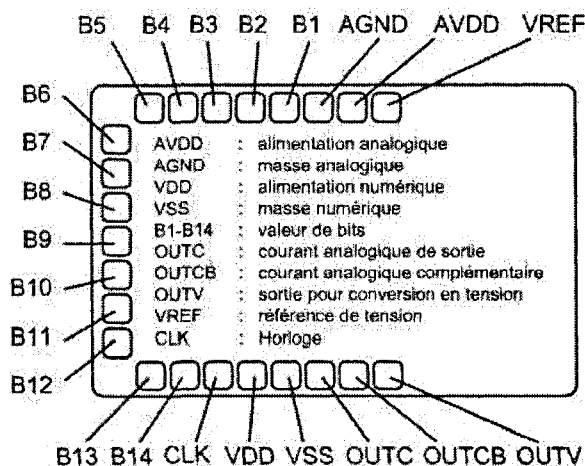


FIG. 2.2 Entrées et sorties du CNA.

sés pour limiter les échanges de charges et réduire les perturbations. Les alimentations et masses analogiques et numériques du CI sont donc séparées.

Le circuit possède quatorze entrées numériques qui permettent de définir le mot à convertir. Ces entrées, parallèles, sont synchronisées et appliquées au CNA chaque fois que le signal d'horloge (CLK) prend une valeur haute. Le registre d'entrée, sensible aux niveaux, peut être gardé transparent en forçant CLK toujours haut.

Mises à part les bornes d'alimentation analogiques (AVDD et AGND), la référence de tension (VREF) est la seule entrée analogique. Cette entrée peut être utilisée indifféremment comme une entrée de tension ou de courant. Le CNA possède trois sorties analogiques : deux pour une utilisation en mode courant (IOUT et IOUTB) et une pour une utilisation en mode tension (VOUT). Une sortie en tension demande l'utilisation d'un amplificateur opérationnel (ampli-op) externe.

Les tests de linéarité des CNA R2R haute résolution, se basent généralement sur des mesures de courants de sortie. On mesure ainsi la performance du CNA uniquement et non celle de la combinaison CNA/ampli-op. À 14 bits de précision, lorsqu'un courant est mesuré en sortie, il faut absolument appliquer une référence de courant en entrée.

De cette façon, les variations de résistances, principalement causées par les fluctuations de température, n'affectent pas la linéarité. Si une référence de tension est appliquée en entrée, une mesure de tension de sortie doit être effectuée pour éviter cette distorsion de température. Dans ce cas, il faut être conscient que la tension de décalage de l'ampli-op peut réduire la précision de conversion.

La figure 2.3 montre le banc d'essais utilisé pour tester la linéarité des CNA :

- Un unité de source et de mesure (SMU) force un courant dans l'entrée de référence (VREF).
- Deux SMU forcent des potentiels égaux et nuls en sorties (OUTC, OUTCB). En même temps, ils mesurent les courants analogiques qui sont les résultats de la conversion. Si le courant complémentaire (OUTCB) n'a pas besoin d'être mesuré, OUTCB peut être directement connecté à la masse.
- Les alimentations analogiques (AVDD) et numériques (VDD) sont fixées à 3.3V.
- Les entrées numériques de bits (B1-B14) et d'horloge (CLK) sont générées par une carte numérique installée dans un ordinateur. Cet ordinateur exécute le programme de test : il applique toutes les valeurs binaires au CNA et récupère toutes les valeurs de courants mesurés par les SMU.
- Les masses des instruments de test ainsi que celles du CNA (AGND, VSS) sont reliées ensemble.

2.5 Notes et résultats de tests

Toutes les notes de tests importantes ainsi que les résultats obtenus lors des différents essais se retrouvent en annexes II et III.

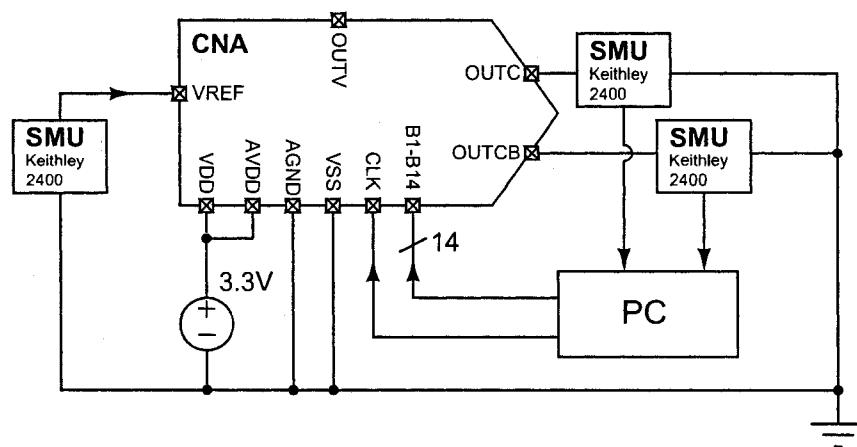


FIG. 2.3 Banc d'essais du CNA 14 bits.

CHAPITRE 3

UNE COMPENSATION AMÉLIORÉE POUR LES INTERRUPTEURS DES CNA R2R INVERSÉS

3.1 Résumé

La majorité des applications électroniques récentes traitent l'information dans le domaine numérique et utilisent des convertisseurs de données comme interfaces avec les entrées et sorties analogiques. Dans ce contexte, les convertisseurs numérique à analogique (CNA) sont devenus des blocs cruciaux.

Les CNA à architecture parallèle sont les mieux adaptés pour les applications qui demandent des conversions rapides. Néanmoins, le mésappariement des composants pose une limite sur leur résolution. Pour atteindre une précision élevée, l'ajustement laser post-fabrication ou l'ajout de circuits de calibration sont des solutions communément employées. Les qualités dynamiques du convertisseur, quant à elles, sont étroitement liées à la conception des interrupteurs. Quand la vitesse de conversion augmente, les distorsions de commutation prennent peu à peu le dessus sur les dispersions des valeurs de composants et réduisent la précision du convertisseur. Pour cette raison, beaucoup d'efforts se concentrent sur la conception d'aiguilleurs de courant dont la commutation est propre. Le rapport signal sur bruit de la sortie du CNA est ainsi optimisé pour une large bande de fréquences.

Dans cet article, nous présentons une nouvelle méthode de conception des interrupteurs pour les CNA à échelle R2R inversée. La technique traditionnelle amène à l'utilisation d'énormes interrupteurs dédiés à l'aiguillage des importants courants associés aux bits

les plus significatifs. La méthode présentée permet d'utiliser des interrupteurs de faibles tailles et identiques pour tous les bits. L'analyse des résultats de mesures d'un CNA de 12 bits fabriqué dans un procédé de $0.18\ \mu m$ montre que cette technique permet de sauver une surface importante, de simplifier la synchronisation des interrupteurs et de réduire le temps de commutation sans affecter les performances statiques du convertisseur.

3.2 Article

La version finale de l'article, telle que publiée dans la revue *Transactions on Circuits And Systems 1 (TCASI)* se trouve en annexe IV (Marche and Savaria, 2008).

3.3 Puce

La puce finale contenant un CNA 12 bits est montrée à la figure 3.1.

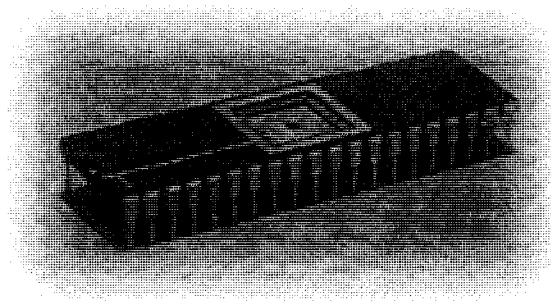


FIG. 3.1 Puce contenant un CNA de 12 bits avec interrupteurs compensés.

Deux rondes de fabrication ont été nécessaires pour obtenir un circuit fonctionnel et performant :

- La première version contenait une erreur importante dans le dessin des masques. La vérification entre le modèle de simulation (netlist) et le dessin des masques avait été

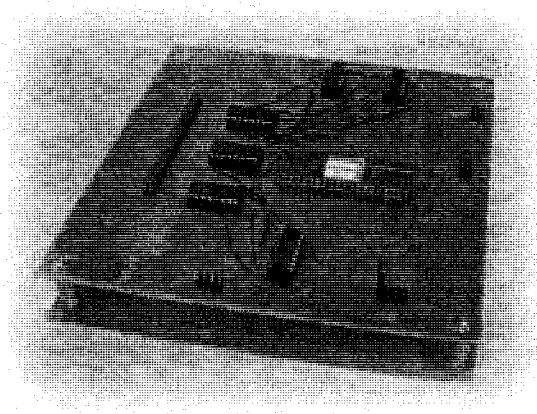


FIG. 3.3 Plaquette de test avec modification des niveaux de tension numérique.

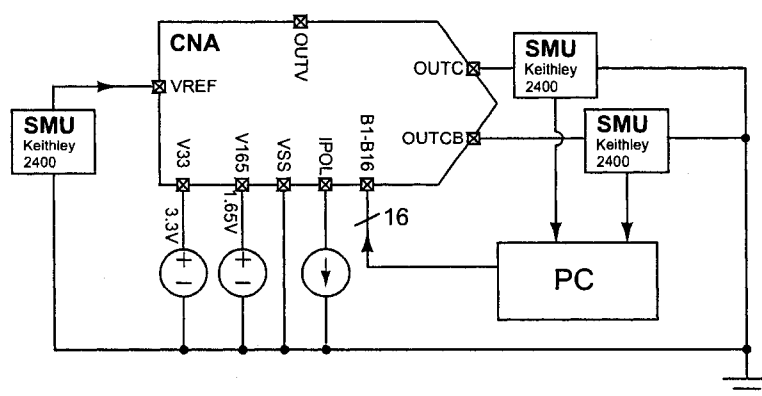


FIG. 3.4 Banc d'essais du CNA 12 bits.

La figure 3.4 montre le banc d'essais utilisé pour tester le CNA.

3.5 Notes et résultats de tests

Toutes les notes de tests importantes ainsi que les résultats obtenus lors des différents essais se retrouvent en annexe V.

CHAPITRE 4

MODÉLISATION DES CNA R2R

4.1 Résumé

Alors que les échelles R2R sont couramment utilisées dans les circuits de conversion numérique à analogique, il y a toujours peu de travaux publiés sur les circuits équivalents pour ces réseaux de résistances. Dans cet article, les expressions mathématiques des impédances d'entrée et de sortie des échelles R2R sont déterminées pour les convertisseurs en mode tension et courant. De plus, étant donné que beaucoup de CNA utilisent la segmentation pour atteindre de plus hautes résolutions, ces expressions sont étendues à différentes options de segmentation. À l'aide de ces expressions, un modèle existant de convertisseur R2R mode courant est étendu aux convertisseurs segmentés et un nouveau circuit équivalent est proposé pour le fonctionnement en mode tension. Ceci permet de modéliser tous les convertisseurs R2R les plus courants.

4.2 Article

La version finale de l'article, tel que soumise à la revue *Transactions on Circuits And Systems 1 (TCASI)* se trouve en annexe VI.

4.3 Puces

Les puces des différentes rondes de fabrication du CNA ajustable au laser présenté au chapitre 2 ont été utilisées pour valider l'analyse mathématique. L'évolution des performances des différentes versions de ces puces a été principalement réalisée grâce à la réduction de résistances parasites critiques : celles des bus de sorties analogiques. Les mesures effectuées sur ces puces sont particulièrement intéressantes pour valider les modèles développés car ceux-ci sont très performants pour simuler l'impact de telles résistances parasites. Il est ainsi frappant de voir la précision avec laquelle ces modèles mathématiques simples auraient pu prévoir les limites de performances qui ont été observées sur les prototypes testés ! Ces résultats de validation sont détaillés en dernière partie de l'article (Annexe VI).

4.4 Détails des développements mathématiques

Par mesure de clarté et de concision, de nombreuses étapes des développements mathématiques sont omises dans la version finale de l'article. Les développements complets de toutes les équations se retrouvent en annexe VII.

CONCLUSION

Ce travail de recherche étudie en détail différents aspects des CNA R2R pour tenter d'en optimiser les qualités de vitesse, de précision, de surface et de consommation.

Dans un premier volet, des CNA incluant des résistances de diffusion modifiables par laser ont été ajustés pour atteindre une résolution de 14 bits : leurs INL et DNL sont réduits à des valeurs inférieures à 0.18 LSB et 0.7 LSB respectivement. Ces performances sont extrêmement stables : aucune dérive significative n'a pu être observée quand la température ou la tension de référence sont modifiées. Le coût en surface de l'ajout des structures de diffusion est très faible (4.4%) et largement inférieur aux solutions de calibration expérimentales et commerciales jusqu'ici utilisées. De plus, et contrairement aux autres opérations laser connues, la technique présentée s'applique à une technologie standard et ne nécessite donc aucune étape de fabrication particulière. Fabriqué dans une technologie CMOS de $0.25\mu\text{m}$ et utilisant une surface de $0.47\mu\text{m}^2$, ce convertisseur est, à notre connaissance, le plus petit CNA de 14 bits publié à ce jour. Ce circuit de taille réduite et de grande précision est la première contribution de cette thèse. Il est à noter que certains articles rapportent des surfaces inférieures, mais la précision des circuits décrits repose sur l'utilisation d'une part significative de composants externes.

Dans un second volet, une nouvelle méthode de placement, de compensation et de dimensionnement des interrupteurs a été présentée. Cette méthode, permet d'aiguiller les courants du réseau R2R à l'aide de très petits interrupteurs, tous de même taille. C'est l'introduction d'une compensation originale qui permet cette optimisation sans aucune dégradation de la linéarité. Les temps de commutation et de stabilisation sont ainsi grandement réduits et les circuits de synchronisation habituellement indispensables à la commande des interrupteurs de diverses tailles peuvent être éliminés. Les circuits ainsi compensés présentent alors plusieurs améliorations puisque l'on peut réduire leur surface,

leur consommation et leur temps de réponse. Un prototype de CNA de 12 bits a ainsi été conçu, fabriqué et testé pour démontrer l'efficacité de la méthode. Le convertisseur présente une excellente linéarité et est peu sensible aux variations de température. Les simulations montrent également qu'un important gain est réalisé au niveau des performances dynamiques du circuit. De plus, il est possible d'utiliser les nouveaux éléments de compensation pour calibrer le convertisseur et améliorer une linéarité limitée par le mésappariement. Cette nouvelle méthode de compensation est la seconde contribution importante de cette recherche.

Dans la dernière partie de cette thèse, une analyse mathématique des impédances d'entrée et de sortie a permis de proposer des circuits simples qui modélisent précisément les réseaux R2R. Cette analyse couvre toutes les configurations les plus couramment utilisées pour la conversion de données : les modes tension et courant, segmentés ou non. Pour les systèmes complexes, les simulations complètes ne sont souvent pas raisonnablement envisageables. Dans ces cas, il est alors nécessaire de recourir à des modèles comportementaux tels que ceux proposés, qui décrivent mathématiquement et avec précision les interactions entre les différents blocs. Le seul modèle jusqu'alors disponible, était celui du CNA R2R non segmenté utilisé en mode courant. L'analyse mathématique présentée comble ce vide : un nouveau modèle est proposé pour les CNA R2R utilisés en mode tension, et tous les modèles sont également étendus aux architectures segmentées. La simplicité de ces modèles met en évidence certains paramètres critiques et peu connus, que le concepteur de CNA R2R doit considérer. Pour valider cette analyse, les circuits de différents prototypes de CNA ont été simulés avec les nouveaux modèles. Ces simulations mettent en évidence et expliquent les performances limitées de certains de ces circuits. L'analyse mathématique des différents réseaux R2R, le développement de nouveaux modèles pour ces convertisseurs, et l'étude de leurs impacts sur la conception de CNA est la troisième contribution de cette thèse.

Les travaux présentés couvrent et optimisent une grande partie des aspects et problèmes

que peut rencontrer un concepteur de circuits analogiques qui tente de créer un CNA de haute performance basé sur un réseau R2R. Chacune des contributions décrites ouvre la porte à de nombreuses explorations qui pourraient mettre à profit et compléter les résultats obtenus. Certaines de ces avenues ont déjà été explorées : le CNA de 14 bits ajustable au laser a ainsi donné naissance à une famille entière de convertisseurs R2R allant chercher jusqu'à 16 bits de résolution. D'autres avenues restent ouvertes et il est évident que les travaux pourraient continuer dans la même veine. Un circuit tirant profit de la nouvelle compensation et permettant des mesures de gains de performances dynamiques compléterait adéquatement l'étude de cette contribution. L'ajout d'éléments d'ajustement laser à un tel circuit pourrait permettre de combiner les améliorations de performances statiques et dynamiques pour créer un convertisseur R2R entièrement optimisé. Pour le domaine des outils de conception automatisée, l'analyse mathématique des réseaux R2R donne une excellente base pour tenter de développer un générateur automatique de cellules analogiques de conversion de données. En utilisant les modèles proposés et en considérant certaines contraintes tels que le mésappariement probable, la surface limite, le courant acceptable, la précision ciblée, il est tout à fait envisageable de créer un logiciel qui pourrait concevoir de façon systématique des convertisseurs R2R optimisés. Néanmoins, ces travaux dépassent le cadre de la thèse ici présentée et feront peut être l'objet de projets futurs.

RÉFÉRENCES

Advanced Linear Devices inc., *E_TRIM technology*. Consulté le 3 avril 2008, tiré de http://www.aldinc.com/ald_etrим.htm.

Albiol, M., Gonzalez, J. L., and Alarcon, E. (2003). Improved Design Methodology for High-Speed High Accuracy current Steering D/A Converters. In *Design, Automation and Test in Europe Conference and Exhibition*, pages 636–641.

Analog Devices Inc., *AD5554 Precision QUAD 14-Bit D/A Converter*. Consulté le 3 avril 2008, tiré de <http://www.analog.com>.

Analog Devices Inc., *16/18-Bit Self-Calibrating Serial/Byte DACPORT*. Consulté le 3 avril 2008, tiré de <http://www.analogdevices.com>.

Bugeja, A. R. and Song, B.-S. (2000). A Self-Trimming 14-b 100-MS/s CMOS DAC. *IEEE J. Solid-State Circuits*, **35**, 1841–1852.

Cadeka Microcircuits, LLC, *CADEKA*. Consulté le 5 mai 2008, tiré de <http://www.cadeka.com>.

Chen, H.-H., Lee, J., Weiner, J., Chen, Y.-K., and Chen, J.-T. (2006). A 14-b 150 MS/s CMOS DAC with Digital Background Calibration. In *Symposium on VLSI Circuits Digest of Technical Papers*.

Comer, D. T. (1978). A Monolithic 12-Bit DAC. In *IEEE Transactions on Circuits and Systems*, volume 25, pages 504–509.

Cong, Y. and Geiger, T. L. (2003). A 1.5-V 14-Bit 100-MS/s Self-Calibrated DAC. *IEEE J. Solid-State Circuits*, **38**(12), 2051–2059.

- Crippa, P., Turchetti, C., and Conti, M. (2001). Systematic Design of High-Accuracy Current-Steering D/A Converter Macrocells for Integrated VLSI Systems. In *IEEE Trans. Circuits Syst. II*, volume 48, pages 300–309.
- Crippa, P., Turchetti, C., and Conti, M. (2002). A Statistical Methodology for the Design of High-Performance CMOS Current-Steering Digital-to-Analog Converters. In *IEEE transaction on Computer-Aided Design of Integrated Circuits and Systems*, volume 21, pages 377–394.
- der Plas, G. A. M. V., Vandenbussche, J., Sansen, S., Steyaert, M. S. J., and Gielen, G. G. E. (1999). A 14-bit Intrinsic Accuracy Q^2 Random Walk CMOS DAC. In *IEEE J. Solid-State Circuits*, volume 34, pages 1708–1718.
- Erb, E. and Wierzba, G. (1983). Expression for the Output Resistance of a Switched R-2R Ladder Network. *IEEE Transactions on Circuits and Systems*, **30**, 167–169.
- Gagnon, Y., Meunier, M., and Savaria, Y. (2001). Method and Apparatus for Iteratively, Selectively Tuning The Impedance of Integrated Semiconductor Devices Using a Focussed Heating Source. U.S. Patent, 09/332,059.
- Gordon, B. M. (1978). Linear Electronic Analog/Digital Conversion Architecture, Their Origins, Parameters, Limitations, and Applications. *IEEE Trans. Circuits Syst.*, **25**(7), 391–418.
- Halper, C., Heiss, M., and Brasseur, G. (1996). Digital-to-Analog Conversion by Pulse-Count Modulation Methods. In *IEEE Trans. Instrum. Meas.*, volume 45, pages 805–814.
- Hasting, A. (2000). *The Art of Analog Layout*. Prentice Hall, Upper Saddle River, NJ, USA.

- Hyde, J., Humes, T., Diorio, C., Thomas, M., and Figueroa, M. (2002). A Floating-Gate Trimmed, 14-Bit, 250 Ms/s Digital-to-Analog Converter in Standard 0.25 μ m CMOS. In *Proc. IEEE Symposium on VLSI Circuits*, volume 1, Honolulu, HI, pages 328–331.
- Hyde, J., Humes, T., Diorio, C., Thomas, M., and Figueroa, M. (2003). A 300-MS/s 14-bit Digital-to-Analog Converter in Logic CMOS. *IEEE J. Solid-State Circuits*, **38**, 734–740.
- Hyuen-Hee, B., Jin-Sik, Y., Myung-Jin, L., Eun-Seok, S., and Seung-Hoon, L. (2003). A 3 V 12b 100 MS/s CMOS D/A Converter for High-Speed System Applications. In *International Symposium on Circuits and Systems*, volume 1, pages 869–872.
- Ikeda, Y., Frey, M., and Matsuzawa, A. (2007). A 14-bit 100-MS/s Digitally Calibrated Binary-Weighted Current-Steering CMOS DAC without Calibration ADC. In *IEEE Asian Solid-State Circuits Conference*, pages 356–359.
- Jacob, J. and Tan, N. (1999). Modeling of CMOS Digital-to-Analog Converters for Telecommunication. In *IEEE Trans. Circuits Syst. II*, volume 46, pages 489–499.
- Jin, P., Seung-Chul, L., and Seung-Hoon, L. (1999). A 3 V 10b 70 MHz Digital-to-Analog Converter for Video Applications. In *The First IEEE Asia Pacific Conference on ASICs*, pages 186–189.
- Johns, D. A. and Martin, K. (1997). *Analog Integrated Circuit Design*. John Wiley & Sons, Inc.
- Karadimas, D. S., Mavridis, D., and Efstathiou, K. A. (2006). A Digitally Calibrated R-2R Ladder Architecture for High Performance Digital-to-Analog Converters. In *ISCAS*, pages 4779–4782.

- Kato, K., Ono, T., and Amemiya, Y. (1984). A Monolithic 14 Bit D/A Converter Fabricated with a New Trimming Technique (DOT). *IEEE J. Solid-State Circuits*, **SC-19**(5), 734–740.
- Lacourse, A., Langlois, H., Gagnon, Y., and Savaria, Y. (2005). Method for Modifying the Impedance of Semiconductor Devices using a Focused Heating Source. U.S. Patent, 10/631,825.
- Lacourse, A., Langlois, H., St-Jean, H., Gagnon, Y., Savaria, Y., and Meunier, M. (2006). A Tunable Semiconductor Component Provided with a Current Barrier. U.S. Patent, 11/431,610.
- Lane, W. A. and Wrixon, G. T. (1989). The Design of Thin-film Polysilicon Resistors for Analog IC Applications. In *IEEE Trans. Electron Devices*, volume 36, pages 738–744.
- Lee, D.-H., Lin, Y.-H., and Kuo, T.-H. (2006). Nyquist-Rate Current-Steering Digital-to-Analog Converters With Random Multiple Data-Weighted Averaging Technique and Q^N Rotated Walk Switching Scheme. *IEEE Trans. Circuits Syst. I*, **53**(11), 1264–1268.
- Lin, C., Logan, E. A., and Tuckerman, D. (1997). Precision Embedded Thin Film Resistors for Multichip Modules (MCM-D). pages 44–49.
- Lin, Y. and Geiger, R. (2001). Resistor Layout Techniques for Enhancing Yield in Ratio-Critical Monolithic Applications. In *Midwest Symposium*, pages 259–262.
- Linear Technology Corp., *LTC1591 - 14-Bit Parallel Low Glitch Multiplying DAC with 4-Quadrant Resistors*. Consulté le 3 avril 2008, tiré de <http://www.linear.com>.
- Maio, K., Hotta, M., Yokozawa, N., Nagata, M., Kaneka, K., and Iwasaki, T. (1981). An

Untrimmed D/A Converter with 14-Bit Resolution. *IEEE J. Solid-State Circuits*, **SC-16**(6), 616–621.

Marche, D. and Savaria, Y. (Accepted for future publication, Aug. 2008). An Improved Switch Compensation Technique for Inverted R-2R Ladder DACs. *IEEE Trans. Circuits Syst. I*.

Marche, D., Savaria, Y., and Gagnon, Y. (2008). Laser Fine-Tuneable Deep Sub-Micron CMOS 14 bit DAC. *IEEE Trans. Circuits Syst. I*, **55**(8), 2157–2165.

Maxim Integrated Products Inc., *ADC and DAC Glossary (App. Note 641)*. Consulté le 3 avril 2008, tiré de <http://www.maxim-ic.com>.

Meunier, M., Gagnon, Y., Savaria, Y., Lacourse, A., and Cadotte, M. (2002). A novel laser trimming technique for microelectronics. *Applied Surface Science*, **186**, 52–56.

Mijanovic, Z., Dragovic-Ivanovic, R., and Stankovic, L. (1996). R/2R+ Digital-Analog Converter (DAC). In *IEEE Transactions on Instrumentation and Measurement*, volume 2, pages 1034–1039.

Naylor, J. R. (1983). A Complete High-Speed Voltage Output 16-Bit Monolithic DAC. In *IEEE J. Solid-State Circuits*, volume 18, pages 729–735.

Ozalevli, E., Dinc, H., Lo, H.-J., and Hasler, P. (2006). Design of a Binary-Weighted Resistor DAC Using Tunable Linearized Floating-Gate CMOS Resistors. In *CICC*, pages 149–152.

Park, Y. S., Hyun, H. C., and Kwang, S. Y. (2002). A 3.3 V-110 MHz 10-bit CMOS Current-Mode DAC. In *IEEE Asia-Pacific Conference on ASIC*, volume 1, pages 173–176.

- Parthasarathy, K., Kuyel, T., Yu, Z., Chen, D., and Geiger, R. (2005). A 16-bit Resistor String DAC with Full-Calibration at Final Test. In *IEEE International Test Conference*, pages 1–10.
- Pirkkalaniemi, J., Kosunen, M., Waltari, M., and Halonen, K. (2004). A Digital Calibration for a 16-Bit, 400-Mhz Current-Steering DAC. In *Proc. IEEE International Symposium on Circuits and Systems*, volume 1, Vancouver, Canada, pages 297–299.
- Price, J. J. (1976). A passive Laser-Trimming Technique to Improve the Linearity of a 10-bit D/A Converter. *IEEE J. Solid-State Circuits*, **SC-11**(6), 789–794.
- Radulov, G. I., Quinn, P. J., Hegt, H., and van Roermund, A. (2005). An On-Chip Self-Calibration Method for Current Mismatch in D/A Converters. In *Proceedings of ESSCIRC*, pages 169–172.
- Sandler, M. (1993). Digital-to-Analog Conversion Using Pulse Width Modulation. *Electronics & Communication Engineering Journal*, pages 339–348.
- Schofield, W., Mercer, D., and Onge, L. S. (2003). A 16b 400Ms/s DAC with -80dBc IMD to 300MHz and -160dBm/Hz Noise Power Spectral Density. In *IEEE International Solid-State Circuits Conference*.
- Sedra, A. S. and Smith, K. C. (1998). *Microelectronic Circuits*. Oxford University Press, New-York, NY, USA.
- Taherzadeh-Sani, M. and Hamoui, A. A. (2006). Digital Background Calibration of Capacitor-Mismatch Errors in Pipelined ADCs. *IEEE Trans. Circuits Syst. II*, **53**, 966–970.
- Tang, A. T. K. and Toumazou, C. (1994). Novel Self-Calibrated High-Speed D/A

Converter using Trimmable Current Sources. *ISCAS*, **5**, 469–472.

Tewksbury, S., Meyer, F. C., Rollenhagen, D. C., Schoenwetter, H. K., and Souders, T. M. (1978). Terminology Related to the Performance of S/H, A/D and D/A Circuits. *IEEE Trans. Circuits Syst.*, **25**(7), 419–426.

The Engineering Staff of Analog Devices Inc. (1986). *Analog-Digital Conversion Handbook*. Prentice-Hall, Englewood Cliffs, NJ, USA.

Tiilikainen, M. P. (2001). A 14-bit 1.8-V 20-mW 1 – mm² CMOS DAC. *IEEE J. Solid-State Circuits*, **36**(7), 1144–1147.

Tobita, T. and Takasago, H. (1991). New Trimming Technology of a Thick Film Resistor by Pulse Voltage Method. In *IEEE Transaction on computers, Hybrids and Manufacturing technology*, volume 14, pages 613–617.

van de Plassche, R. (2003). *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. Kluwer Academic Publishers, Norwell, MA, USA.

Wang, L., Fukatsu, Y., and Watanabe, K. (2001). A CMOS R-2R Ladder Digital-to-Analog Converter and its Characterization. In *IEEE Trans. Instrum. Meas.*, volume 2, pages 1026–1031.

Yu, L. and Geiger, R. (2002). Resistors Layout for Enhancing Yield of R-2R DACs. In *Proc. IEEE International Symposium on Circuits and Systems*, volume 5, pages 97–100.

ANNEXE I

**ARTICLE #1 : LASER FINE-TUNEABLE DEEP SUB-MICRON CMOS 14 BIT
DAC**

Laser Fine-Tuneable Deep Sub-Micron CMOS 14 bit DAC

David Marche, Yvon Savaria and Yves Gagnon

Abstract—The ever shrinking CMOS technology favors digital circuitry but imposes a challenge to the analog designer faced with limitations such as process gradients and random device variations. However, the trend to greater integration and systems-on-chips (SoCs), requires that digital and analog blocks be merged into single chips. High resolution DACs are especially sensitive to the final matching of components and their nominal accuracy is typically enhanced with additional calibration circuitry or laser trimming. Additional calibration circuits increase cost significantly and mainstream laser trimming technique is applied on thin film resistive layers that are not available with most standard fabrication processes used for SoC.

In this paper, we present a high-resolution DAC taking advantage of a new laser trimming technique which is compatible with standard CMOS processes, and that can be integrated in SoCs. While initial mismatch prevents reaching the targeted 14 bit resolution, the included tuning elements offer the necessary calibration to exceed the matching requirements and obtain the desired DAC linearity. The architecture of the DAC itself is a classic current-mode segmented resistor ladder: an inverted R-2R ladder generating the binary weighted LSB currents is combined with unary current sources for the thermometer encoded MSBs. The entire structure is precisely calibrated to obtain the final desired linearity. The effectiveness of the trimming technology and its application to high-accuracy DACs is demonstrated.

I. INTRODUCTION

Up until recently, the cost and performance of digital systems have been dominant forces driving the evolution of CMOS technology [1]. Speed, power consumption and area of digital circuitry are constantly and successfully enhanced by process dimension and supply scaling down. However, many cost effective systems are actually mixed signals application specific standard products (ASSPs) and systems-on-chips (SoCs) taking advantage of powerful digital signal processing (DSP) and relying to some extent on analog building blocks such as voltage reference, power-on-reset (POR), filters and data-converters. In these ASSPs and SoCs, while digital designers are taking advantage of CMOS evolution, their analog peers are increasingly challenged to upgrade the performance level while migrating to newer sub-micron CMOS process generations [2].

Manuscript received October 12, 2007; revised January 29, 2008. This work was supported in part by LTRIM Technologies.

David Marche and Yvon Savaria are with the Department of Electrical Engineering, École Polytechnique de Montréal, Montréal, QC, H3T 1J4 Canada.

Yves Gagnon was with LTRIM Technologies Laval, QC, H7V 4B4 Canada. He is now with Intégration Dolphin, Laval, QC, H7T 1S8 Canada.

Copyright © 2008 IEEE. Personal use of this material is permitted. However, permission to use this material for any other purposes must be obtained from the IEEE by sending an email to pubs-permissions@ieee.org.

Digital-to-analog converters (DACs) are one of the essential class of analog blocks facing high performance demand and DACs are so closely tied to digital circuitry that they are likely to be included in an ASSP or a SoC.

Among the many existing DAC architectures, the high-speed market segment is widely dominated by current-steering flash topologies:

- *Current source DACs* are unrivaled for very high-speed conversions up to the GigaHertz range. With high AC performances they are a natural choice for communication applications (GSM, xDSL, HDTV).
- *Inverted R2R ladders* offer high precision in the Mega-hertz range. With high trimmed DC performances, they are favored for high absolute accuracy applications (sensors, instrumentation, digital waveform generation).

These DACs generate ratioed reference currents which are added to the output according to the digital input word. Speed is enhanced by steering any unused current source to a complementary output thus avoiding any shut-down and power-up delays in current sources.

Flash DACs resolution is mainly limited by the level of matching reached between all reference current sources and many different solutions have been explored to cancel mismatch errors caused by gradient and random variations: careful layout [3], [4] and other special techniques such as improved switching schemes [5] and dynamic element matching (DEM) [6] can reduce the mismatch effects to a certain extent. However, over 10-12 bits of resolution the matching requirement is such that some sort of calibration must be used to obtain the desired full accuracy.

Post processing calibration techniques such as heavily doped polysilicon resistors trimming [7], metal link cutting [8], Zener zapping [9], floating-gate devices [10], threshold voltage adjustment [11], and thin/thick film laser ablation [12]–[14], can be used to enhance DAC differential and integral linearity (DNL and INL). This can also be achieved with dedicated digital or analog calibration circuitry working in background or at power-up [15]–[18]. All explored techniques come at additional costs of increased area, access point, or extra manufacturing layers in the case of film trimming.

In this paper a high-resolution R2R DAC calibrated with a novel laser trimming technique [19] is presented. The DAC is based on laser-diffused resistors which require no additional process steps, is fully compatible with standard CMOS processes and allows for accurate laser trimming of the circuit. Moreover, the DAC can equally be used in an ASSP, as a stand alone chip, or as a precision analog intellectual property (IP) block for SoCs.

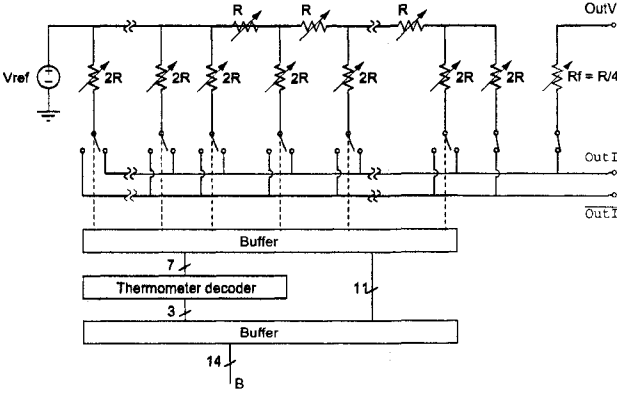


Fig. 1. DAC architecture

A description of the circuit architecture is given in section II. An overview of matching challenges along with our laser-diffused resistor solution follows in section III. Chip implementation is described in section IV with the associated test and calibration procedures detailed in section V. Finally, experimental results are shown and discussed in sections VI and VII, respectively.

II. ARCHITECTURE

Figure 1 shows the current-mode DAC architecture. The core of the DAC is a current-mode resistor ladder structure generating a set of reference currents from a single voltage reference input. It is entirely based on resistance ratios and a single component value (R) favoring the essential matching needed for the DAC linearity performances. The ladder is segmented to produce 7 equal MSB currents and 11 binary weighted LSB currents.

The LSB section is a classic inverted R-2R ladder [20], [21]. This current divider network is based on a minimal set of identical components, but requires a matching level closely related to the number of cascaded division stages. For the DNL to be less than 1 LSB, the resistor matching requirement for n stages is given by the following equation ([22]):

$$\frac{\Delta R}{R} = \frac{1}{2^{n-1}} \quad (1)$$

The 3 MSBs are thermo-encoded over 7 bits. The corresponding 7 equal currents are generated with an unary weighted resistance network. This MSB network extends the DAC resolution, but does not change the matching requirement, which is only dictated by the number of binary encoded bits. Indeed, MSB matching must at least be equal to the LSB network matching, regardless of the number of thermo-encoded bits. It is well known that segmentation of DACs reduces matching requirements, achieves better linearity, ensures monotonicity and reduces glitch energy of MSBs major transitions. From a trimming point of view, thermo-encoding also allows independent calibration of all MSBs: changing a thermo-bit weight has no effect on the current division occurring in the rest of the resistor ladder. The drawback of this segmentation is the relatively important area dedicated to the MSBs and the additional thermo-encoder circuit.

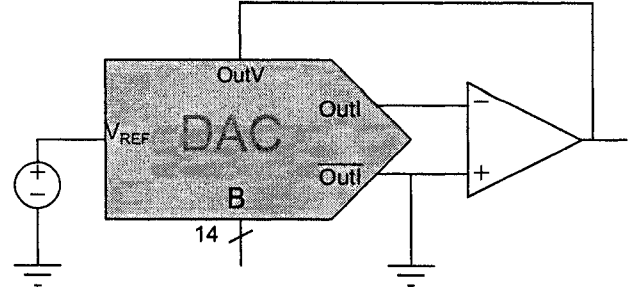


Fig. 2. Voltage output configuration

Reference currents are steered to one output ($OUTI$) or the other ($OUTI$) by means of single-pole-double-throw (SPDT) switches controlled by bit values. Hence, reference currents flowing through the resistor network are only temporarily altered during switching. This current-steering property limits the transient voltage swing across the resistors, which in turns allows for increased operating speed. The output current I_{OUT} or voltage V_{OUT} is the analog converted value that corresponds to the digital input word $[B_0 B_1 \dots B_{14}]$ and is given by the following expression:

$$I_{OUT} = \frac{V_{REF}}{R/4} \sum_{k=1}^{14} B_k * 2^{-k} \quad (2)$$

$$\begin{aligned} V_{OUT} &= -V_{REF} \frac{Rf}{R} \sum_{k=1}^{14} B_k * 2^{-k} \\ &= -V_{REF} \sum_{k=1}^{14} B_k * 2^{-k} \end{aligned} \quad (3)$$

Voltage output of equation (3) is obtained using the internal feedback resistor Rf and an external opamp as shown in figure 2. The feedback resistor is carefully matched with the others to optimally track the resistor ladder over a wide temperature range. This feedback resistor is the only resistor subject to voltage variation and associated non-linear effects (V_C). Equations (2) and (3) also show the multiplying property of the DAC. Hence, the DAC structure allows for digital gain adjustment (or digital attenuation) of the input reference voltage.

Current switches have effects on both the dynamic and static properties [23], [24]. R_{ON} of these switches are compensated in the resistor network as well as in the feedback loop as it impacts on the current division accuracy [25]. A typical compensation technique consisting of halving the switch's R_{ON} at every cascaded division stage was used. Also included in the DAC is an adapted buffer that synchronizes the operation of all SPDT switches. Non-overlapping control signals [26], [27] are outputted from this buffer and drive the gates of the switches. This driving avoids complete off-mode, preventing current swing in the resistor network and also reducing feedthrough [28]. Although no outstanding dynamic performances optimization was intended, these simple precautions did reduce glitch energy, and improve settling time and dynamic ranges of the DAC. Note that the accuracies of the external voltage

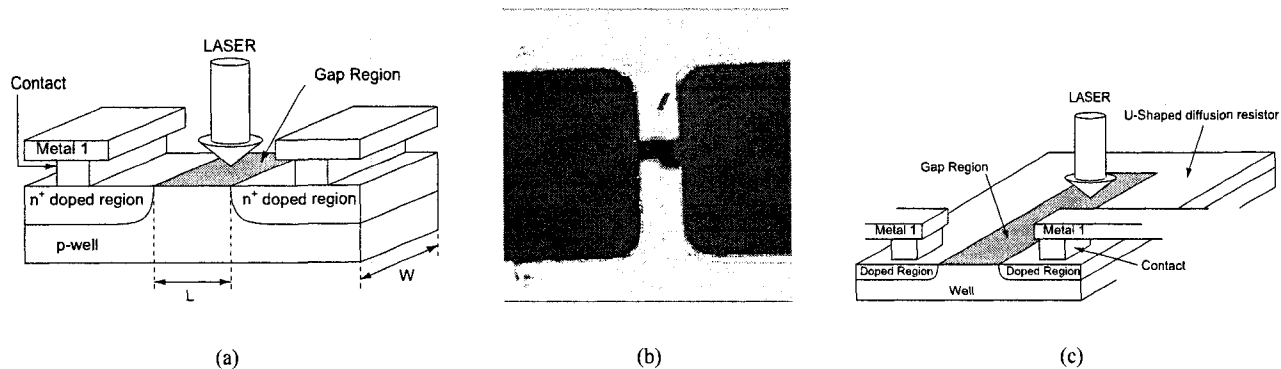


Fig. 3. Trimming technology: cross-section of the laser diffusible resistor (a), scanning capacitance AFM image of a trimmed link (b), U-Shaped resistor (c)

reference and optional op-amp must match the accuracy of the DAC itself to take advantage of its full performance.

III. LASER-DIFFUSED RESISTORS

Resistance values are subject to variations inherent to all manufacturing processes and to several environmental conditions [3]. Process variations affect resistors according to process gradients, border effects and local random variations. Some of the phenomena causing these variations include fluctuation in film thickness, doping concentration and geometric accuracy. Packaging adds stress gradients affecting different parameters including resistivity. During circuit operation, temperature gradients, self-heating and aging inflict added variations in components values. To minimize the effects of these variations, robust designs rely on matched components instead of absolute values. Still, the level of mismatch remaining is unacceptable for some high-performance applications. Flash DAC is such an application strongly dependent on the level of matching reached between a large number of devices. Over 12 bit accuracy, the matching level required typically exceeds today's capabilities when designing with standard CMOS processes.

Post-processing cancellation of the mismatch effects is the most straightforward approach for pushing DAC's performances beyond their intrinsic limits. For this task, laser-trimming has already been widely used on thin and thick-film resistors found in data converter circuits. Unfortunately, this technique requires expensive extra processing steps. Furthermore, the required additional layer prevents the trimmable circuits from being used as analog IPs to be integrated in SoCs.

The DAC presented here stands apart from existing products, as it features standard CMOS resistors that are adjustable with a new laser-trimming technology [19]. This technology is compatible with most existing processes (CMOS, bipolar, SiGe). Resistors can be manufactured without any extra layer or process step and calibration can be done at the wafer level or after packaging when dies to be trimmed are first mounted in open-cavity packages. It finally allows for a single final fine tuning of resistors which may be part of larger SoCs.

The trimming technology, was first used on MOSFET without gates in conventional CMOS processes as illustrated

in figure 3(a). Two highly doped regions separated by a gap are formed in a well, resulting in two p-n junctions facing each others. Before trimming the device is an open circuit. Focusing a laser beam on the gap region allows melting the silicon, causing dopant diffusion from the highly-doped regions into the gap. This new distribution of dopants creates an electrical link between the two highly-doped regions (figure 3(b)). Tight control of process parameters allows very accurate tuning of the device's resistivity. This same technology can be extended to many different integrated structures to fit the targeted application [29], [30].

The value of a trimming solution is twofold: performance and cost. The results reported in the following sections are mainly related to the performance aspect enabled by the laser-diffused resistors, but it is worth positioning the technology from an economic perspective. The cost associated to trimming must take into account many factors such as laser equipment, clean room, probing time, trimming time, trimming area overhead to list only a few. Nowadays, high resolution trimming is mainly done on thin-film-based circuits, as it seems to be the best cost/performance option available for the precision market segment. Film layers are designed for improved resistor behaviour and feature low temperature and voltage coefficients (TC and VC). However, there is a large cost associated with the deposition of each additional layer in a clean environment. In contrast, laser-diffused resistors are designed within standard diffusion layers fitting the common design flow. Laser-diffused resistors will also scale with process, are typically smaller and easier to match than equivalent film resistors, and their trimming is a clean operation compared to the classic destructive laser film evaporation. Together these considerations make diffused-resistor a cost effective trimming solution.

Packaging is an important aspect to consider and is also closely tied with trimming costs. Trimming is usually done at the wafer level but can require expensive packaging techniques such as low-stress die attach, conformal coating and low-stress molding compound to limit subsequent packaging drifts. In this work, trimming was done after packaging the die samples in open cavity packages. This obviously leads to more complex handling at the trimming step, but it allows a standard packaging solution and fits our testing and trimming needs

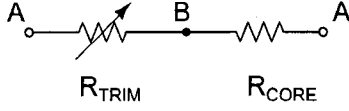


Fig. 4. R2R unit resistor: a polysilicon core (R_{CORE}) in series with a trim structure (R_{TRIM})

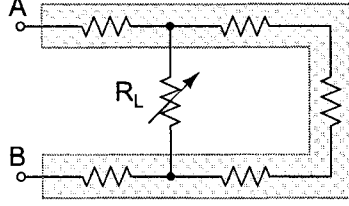


Fig. 5. The trim structure model: initial resistance is set by the U-shaped diffusion resistor and R_L models a laser diffused link presence. Note that the value and position of R_L with respect to the U-shape structure can both be controlled.

considering the limited number of prototype samples we had to process as part of this experimental work. An alternate solution consists of trimming dies attached to lead-frames, before encapsulation. This compromise allows trimming-away some package related stress and, if necessary, the fore mentioned low-stress encapsulation techniques can also be used after trimming. Further work is required to investigate all those possibilities.

IV. TRIMMING SOLUTION

In our DAC, each resistor is composed of two parts (c.f. figure 4):

- 1) A polysilicon core (R_{CORE}) implements 95% of the resistance. This core offers high resistivity combined with low second order distortion effects (voltage and temperature modulation). This is especially important for the feedback resistor which is subject to varying voltage according to the input code and where voltage modulation has direct impact on the DAC voltage output linearity.
- 2) A trim structure (R_{TRIM}) is added in series to the core of each resistance. The trimming structure used is a U-Shaped resistor as shown in figure 3(c) where a serpentine segment of diffusion-resistor is laid out, leaving a stretched gap. Initial value of the structure is set by the U-shaped resistor dimensions. If necessary, trimming occurs in the gap region to create a diffused link and reach the desired resistivity. Figure 5 shows a basic electrical model of a trimmed structure with its laser-diffused link (R_L). Laser focus, spot size, pulse duration and count, power, and positioning accuracy are the main challenges faced for obtaining stable and repeatable trimming results and specific resistance values. When all these parameters are well controlled, trimming is reduced to a simple two dimensional problem where the final trim structure resistance is a function of the link position along the gap and the resistance value of the link (R_L).

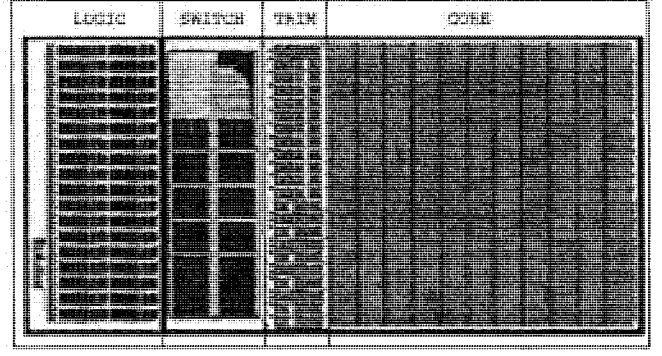


Fig. 6. Layout of the DAC core

Note that keeping the diffusion portion of the composite resistors small ensures that the temperature and voltage tracking of all trimmed and untrimmed composite resistors will be mostly dictated by their polysilicon core. This is preferable because polysilicon resistors have lower TC and VC. For better initial matching, this same structure is used for all resistors, even though many resistors will never need trimming. Care is also taken to ensure that all diffusion resistor diodes are reverse-biased, limiting leakage current to the pico-Amp range. Since our LSB current is in the micro-Amp range, the DAC linearity is not significantly affected by resistor leakage.

The U-Shaped resistor dimensions are set according to our calibration needs:

- Calibration accuracy is given by the targeted resistor matching level which we set to 0.1 LSB. Although 0.1 LSB of a 14 bit encoded value is 6 ppm, the segmentation used in our resistor ladder relaxes the matching requirement to 48 ppm (c.f. equation 1).
- Calibration range is given by the forecasted worst case initial mismatch level. With sufficient layout efforts, one can usually expect a resistor relative mismatch level limited to 0.1%.

Based on these numbers, the final trim structures of our DAC had to allow trimming MSB resistors with at least 48ppm accuracy over a range greater than 0.1%. In reality however, a security factor was used to ensure trimming capability was sufficient for worst case samples.

V. IMPLEMENTATION

The cell layout image shown in figure 6 was implemented as part of a test chip layout targeting the $0.25\mu\text{m}$ TSMC CMOS process. Figure 7 shows a picture of the final chip with the circuit blocks roughly delimited.

The total core area of this DAC is 0.47mm^2 divided as follows:

- 23% for logic circuitry including thermo-decoder, registers and buffers. Note that accurate DC characteristics were targeted with this prototype and buffers were not individually sized according to their associated switch capacitive loads. Better buffer sizing would not only enhance dynamic performance but also result in reduced logic area.

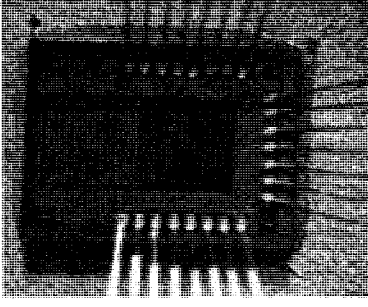


Fig. 7. Image of the DAC chip.

- 17% for SPDT switches. Complementary switches are closely matched together to offer the same on-resistance wherever they steer their branch current ($OUTI$ or $OUTI$).
- 60% for resistors. Unit resistance value is around $49k\Omega$ from which 5% ($2.45k\Omega$) is given by the trimmable structure initial state. The remaining 95% ($46.55k\Omega$) is made of large classic polysilicon strips carefully matched with common centroid techniques and edge dummies. As laid out, the trimmable part accounts for 12% of the total resistive area, while delivering only 5% of the total resistance. This area overhead is the cost associated with making this chip trimmable: 4.4% of the DAC area. In other words, the same DAC without trimming capability would be 4.4% smaller.

VI. TEST AND CALIBRATION PROCEDURE

The proposed calibration procedure exploits the notion of *major carrier transitions*. The *major carrier transitions* x is usually defined as the 1 LSB digital input addition which results into the activation of bit x only while deactivating all its less significant bits. Note that the MSB major carrier transition (b011...1 to b100...0) occurring at midscale and generally known as the *major-carry transition* is usually documented in DAC product datasheets as it is typically responsible for the largest glitch in binary weighted converters. Major carrier testing is a popular selected-code test method in production frameworks as it allows rapid modeling of a DAC with its bit weight obtained from a reduced set of measurements [31], [32]. However, this method is only valid if superposition errors are low, since the analog output of all untested codes are extrapolated as a linear combination of bit weight values. Here, we have opted for the more accurate all-code testing method as time was less important than accuracy in the framework of this research.

In a perfect DAC, any two consecutive digital input codes always create 1 LSB progression at the output, which translates into a constant 0 DNL error over the entire input range. In reality however, bit weights are not perfectly balanced and DNL errors show up. In this case, major carrier transitions DNL errors give good measures of bit weight (im)balance with a reduced set of measurements. Note that thermo-encoded bits are special cases and we define their major carrier transitions as the transition resulting from a 1 LSB digital input addition which activates one additional thermo-bit while deactivating

TABLE I
14 BIT TRIMMABLE DAC SUMMARY OF PERFORMANCES

Process	TSMC 0.25 μm CMOS
Active Area	0.47 mm^2
Supply Voltage	3.3 V
Resolution	14 bits
Initial INL	2 LSB
Initial DNL	0.5 LSB
Calibrated INL	0.7 LSB
Calibrated DNL	0.1 LSB
Settling time	1 μs
Static power diss.	1.7 mW @ $V_{REF} = 3.3V$

all binary-encoded bits. Trimming all major carrier transition to 1 ± 0.1 LSB was used to calibrate the DAC. Since trimming one DAC stage affects the weight of all more significant bit stages, calibration is done bottom-up, starting from the LSB and finishing with the MSB [21]. This simple straightforward trimming procedure can be summarized as follows:

- 1) First the offset ($I_{00...0}$) and the full-scale ($I_{11...1}$) outputs are measured. This gives the LSB value.
- 2) One bit at a time, starting from the LSB, major carrier transitions are measured and corrected if necessary: the current carried by the trimmed bit is adjusted to exactly 1 LSB more than all previous bits contributions added together.

Note that although the LSB value varies during the trimming process, this variation is generally so small that step 1 does not have to be repeated between each trim.

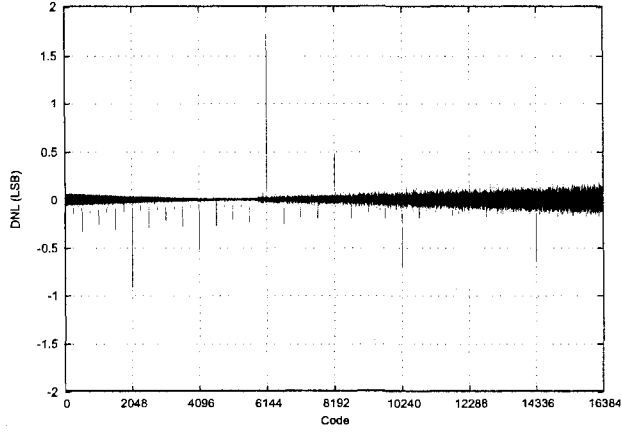
VII. EXPERIMENTAL RESULTS

The laid out DAC was fabricated as a prototype chip and several samples were tested and trimmed using the same calibration procedure. Measured initial accuracy of the DACs was always 12 bits, which shows a good untrimmed linearity. All chips were successfully calibrated to reach their 14 bit targeted resolution within ± 0.7 LSB INL and ± 0.2 LSB DNL. Chip data summary is given in table I and typical results are detailed below for a typical sample.

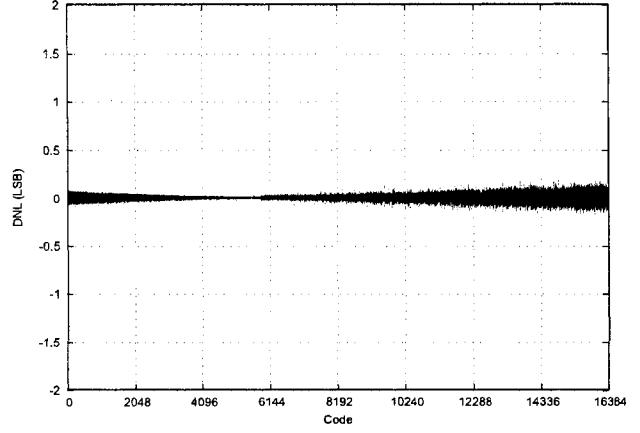
Table II shows major carry transition DNL errors before and after calibration. All bits showing major carry transition error of more than 0.1 LSB were trimmed (Bit 10 to 18 in this case). Figures 8 and 9 show the linearity enhancements obtained on the DAC. For this sample, INL has been reduced from 1.92 LSB to 0.68 LSB, DNL has been reduced from 1.67 LSB to 0.18 LSB.

Figure 10 shows how trimming accuracy is affected by voltage or temperature variations. Results shown here were measured for a thermo-encoded bit which had to be trimmed for an initial 0.77 LSB DNL error. Thermo bit resistor trimming accuracy is a good measure of trimming robustness to VC and TC effects for several reasons:

- Thermo bit DNL errors are the most sensitive to any kind of mismatch.
- Thermo resistors are typically more trimmed than other bits, which brings their diffusion resistor portion smaller

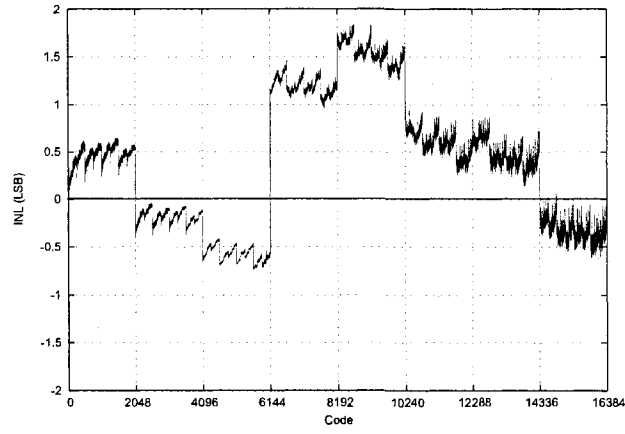


(a) Before trimming

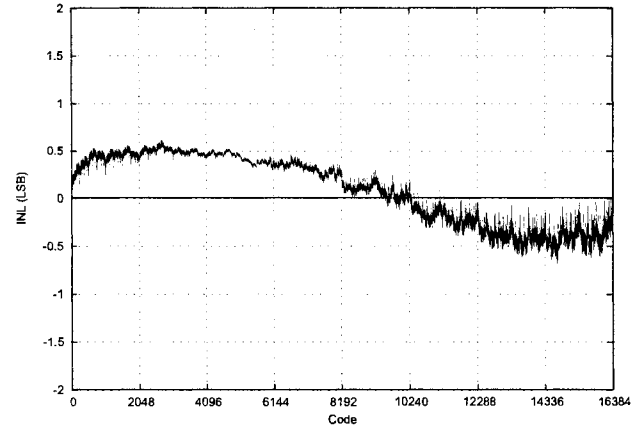


(b) After trimming

Fig. 8. DNL calibration results

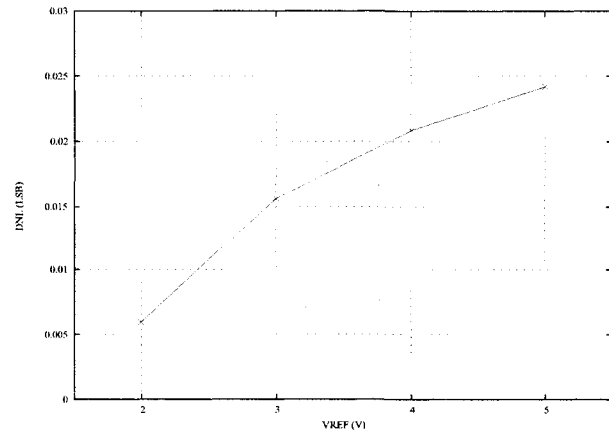


(a) Before trimming

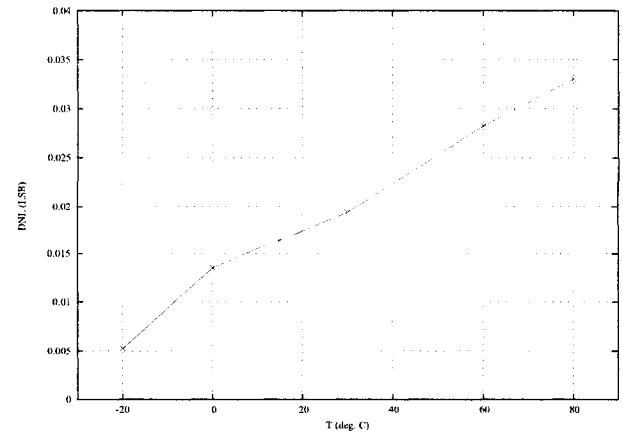


(b) After trimming

Fig. 9. INL calibration results



(a)



(b)

Fig. 10. Typical voltage and temperature variation effects on trimmed precision: a thermo bit DNL error is measured for different input reference voltage (a) and temperature (b) values. This DNL error was originally calibrated at 20°C with $V_{REF} = 3.3\text{V}$

TABLE II
MAJOR CARRY TRANSITIONS TRIMMING RESULTS

Major carry #	Encoding type	Initial DNL (LSB)	Final DNL (LSB)
1	Binary	-0.04	-0.04
2	Binary	0.01	0.01
3	Binary	-0.03	-0.03
4	Binary	-0.01	-0.01
5	Binary	-0.02	-0.02
6	Binary	-0.03	-0.03
7	Binary	0.01	0.01
8	Binary	0.03	0.03
9	Binary	-0.05	-0.05
10	Binary	-0.26	0.05
11	Binary	-0.19	0.01
12	Thermo	-0.92	-0.04
13	Thermo	-0.54	-0.02
14	Thermo	1.67	-0.03
15	Thermo	0.49	-0.06
16	Thermo	-0.66	-0.03
17	Thermo	0.20	-0.05
18	Thermo	-0.62	0.03

than any other bits. This resistor structure difference can cause VC and TC mismatch.

- When input voltage is modified, thermo resistors are the most affected by VC effects because they are directly connected to V_{REF} .

Figure 10(a) plots DNL error measurements of the calibrated thermo-encoded bit for various reference voltage values. Calibration stays accurate over a wide input voltage range with typical measured DNL drifts in the order of the hundredth of LSB. Note that although designed in a 3.3V process, 5V input can be used since the switch devices are only subject to a fraction of this input voltage. This property is sometime used to fabricate high-voltage DAC using low voltage processes. Figure 10(b) plots the same DNL error measured at various temperatures. Again, calibration tracks well over temperature with measured DNL drifts within 0.05 LSB/100°C.

Although dynamic performance was not targeted by this work, it is still important to verify that our resistor design will not limit conversion speed. Sample measurements show that our DAC has a typical full-scale swing settling time of around $1\mu s$ and thus reaches the performance of equivalent commercial R2R products such as AD5554 and LTC1591 ([33], [34]).

VIII. DISCUSSION

Many calibration techniques have been used to enhance performances of analog circuits. Typical trade-offs faced with these techniques involve area, power consumption, complexity, fabrication steps and trimming operations. How much a particular solution fits the design, increases the performance and costs are the main concerns when integrating calibration structures into a chip.

Our first functional concern with adding diffused resistor trimming in our DAC was that the tuning structures could lead to a high initial mismatch. Although this can be taken into account when defining the calibration range needs, it would result into increased area and additional trimming operations. In our case, all tested chips showed 12 bit untrimmed linearity,

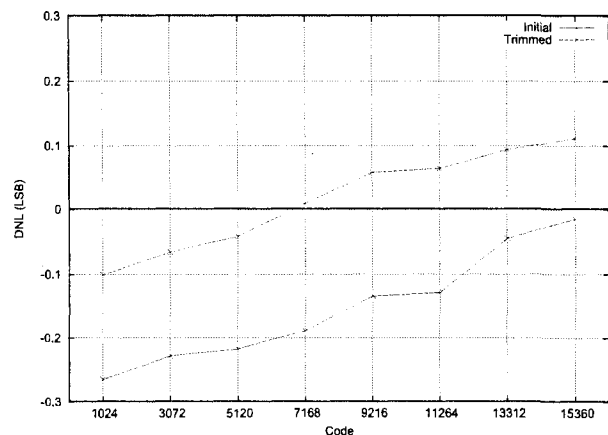


Fig. 11. Measured DNL for bit 10 at major transitions before and after trimming. For readability, the curves in the graph link the measured DNL errors at 8 selected major transitions.

which can only be reached if our trimmable resistor ladder has a mismatch level smaller than 0.05% (c.f. equation 1). This good initial matching was obtained thanks to the composite structure of the resistor combined with the very small size of our trim structures: the resistor cores which account for most of the resistivity are laid out following standard strict matching rules, while the trim structures are placed close together in a very small area.

Once fabricated and functional, the main calibration issue is the final performance gain. In our case, it is obvious that the targeted accuracy is reached since all samples were trimmed to 14 bit level. However results were not completely satisfactory, because they did not show that the same design could be extended to higher resolution. Figure 9(b) shows the remaining INL error after trimming. This figure shows the final distortion in the DAC transfer curve that is due to parasitic impedance of on-chip connections. S-shape INL and pinched DNL plots visible in figure 9(b) and 8(b) are typical output profiles of DACs subject to wire resistance distortion [32]. This was also confirmed by simulation when including parasitic elements extracted from the layout. Although acceptable at 14-bit accuracy level, these parasitics limit our final linearity performances with unexpected bit interaction ([38], [39]) and prevent getting the full accuracy reachable with the trimming technology. When going through the entire input code range (0 to 16384), each thermo-encoded bit switches only once and thus has a single associated DNL error which can be trimmed out. On the other hand, each binary encoded bit produces several transitions across the full input range. For an ideal DAC, all transitions produced by a specific bit are affected by the same DNL error, creating a typical repetitive DNL and INL pattern. In our case, this pattern is modulated by parasitic impedance of on-chip connections. Figure 11 shows the initial DNL error values measured for the 8 transitions associated with the 10th bit along with the final trimmed values. Trimming cannot completely remove the DNL error for all transitions. However, calibration is used to shift the set of DNL errors so as to minimize the DNL excursions. If perfectly trimmed, the pinch point of our DAC DNL profile should be exactly at midscale. Hence, the trimmed DNL of figure

TABLE III
CALIBRATED 14 BIT DAC COMPARISON MATRIX

Chip	Type	INL / DNL (LSB)	Calibration Type	Process (μm^2)	Area (mm^2)	Calibration Area Overhead
Our chip	R2R ladder	0.7 / 0.2	Diffused resistor	0.25	0.47	4.4%
AD5554 [33]	R2R ladder	1 / 1	Thin-fi lm resistor	?	2.5	> 30%
Cong [35]	Current sources	0.43 / 0.34	Caldac	0.13	0.1	> 50%
Tiilikainen [36]	Current sources	0.5 / 0.5	Caldac	0.18	1	50%
Bugeja [37]	Current sources	0.35 / 0.25	Caldac	0.35	11.8	> 20%
Hyde [10]	Current sources	0.35 / 0.25	Floating gate	0.25	0.44	14%

8(b) could be slightly further enhanced if all bit DNLs were shifted so as to be perfectly symmetric around the midscale point (code 8192). However, wire resistance would have to be reduced if this design was extended to higher resolutions.

Trimming, contrary to active calibration circuitry, cannot adapt to the conditions under which the chip is operated. For this reason, it is important that the trimming accuracy be stable over temperature and voltage variation. This was verified (c.f. fig. 10) and our trimmed DAC resistors shows good temperature and voltage tracking ensuring small linearity drifts when operating conditions change. Reliability tests on similar resistor structures have also demonstrated that aging does not affect significantly matching of trimmed resistors [30].

The final concern about our trimmable design is how it compares to other available solutions. Data on some commercial products and other published work reaching 14 bit resolution are listed in table III. Since the table includes R2R and current source converters, the listed circuits obviously feature very different AC performances: current source based circuits run at higher speed and outperform resistor ladders in terms of signal to noise ratios. However, all listed circuits have been designed with a common goal of reaching higher DC performances with the addition of calibration structures. Although it is difficult to establish fair means for comparing all these different circuits, our design shows similar linearity performance with drastically lower calibration area overhead. To our knowledge, it is also the smallest reported monolithic flash DAC featuring 14 bit accuracy¹.

IX. CONCLUSION

A high-resolution DAC calibrated with a novel laser trimming technique has been presented. The DAC includes laser-diffused resistors to allow post-processing trimming of the DC

performances: DNL down to ± 0.18 LSB and INL down to ± 0.7 LSB. The final accuracy is very robust to temperature as well as input reference voltage variations. Trimming would allow reaching even higher accuracy, but our design is limited by the impedance of on-chip parasitic connections. Calibration structures are accountable for 4.4% of the total chip core area (excluding pins). This area overhead is very small compared to other available calibration solutions. Furthermore, the trimming is implemented in a standard CMOS process without any additional layer. Considering the offered accuracy, the low area cost and the process compatibility, our laser-diffused trimmed DAC is a very attractive solution for either IC or IP circuits.

ACKNOWLEDGMENTS

The authors would like to thank Mathieu Ducharme, Alain Lacourse and Hugo St-Jean for the shared expertise in analog design, trimming and test fields.

This work exploits several patents assigned to LTRIM Technologies Inc. [40]–[42].

REFERENCES

- [1] D. D. Buss, "Technology in the internet age," in *IEEE International Solid-State Conference*, 2002, pp. 18–21.
- [2] A. J. Annema, "Analog circuit in ultra-deep-submicron cmos," *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 132–143, Jan. 2005.
- [3] A. Hastings, *The Art of Analog Layout*. Upper Saddle River, NJ, USA: Prentice Hall, 2000.
- [4] L. Yu and R. Geiger, "Resistors layout for enhancing yield of r-2r dacs," in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 5, May 2002, pp. 97–100.
- [5] D.-H. Lee, Y.-H. Lin, and T.-H. Kuo, "Nyquist-rate current-steering digital-to-analog converters with random multiple data-weighted averaging technique and q^n rotated walk switching scheme," *IEEE Trans. Circuits Syst. I*, vol. 53, no. 11, pp. 1264–1268, Nov. 2006.
- [6] P. Stubberud and J. Bruce, "An analysis of dynamic element matching flash digital-to-analog converters," in *IEEE Trans. Circuits Syst. II*, vol. 2, Feb. 2001, pp. 205–213.
- [7] K. Kato, T. Ono, and Y. Amemiya, "A monolithic 14 bit d/a converter fabricated with a new trimming technique (dot)," *IEEE J. Solid-State Circuits*, vol. SC-19, no. 5, pp. 734–740, Oct. 1984.

¹Some reported designs have a smaller size (e.g. [10], [35]), but their accuracy is maintained with periodic or background calibration using significant additional off-chip circuitry.

- [8] J. J. Price, "A passive laser-trimming technique to improve the linearity of a 10-bit d/a converter," *IEEE J. Solid-State Circuits*, vol. SC-11, no. 6, pp. 789–794, Dec. 1976.
- [9] D. T. Comer, "A monolithic 12-bit dac," in *IEEE Transactions on Circuits and Systems*, vol. 25, July 1978, pp. 504–509.
- [10] J. Hyde, T. Humes, C. Diorio, M. Thomas, and M. Figueroa, "A floating-gate trimmed, 14-bit, 250 ms/s digital-to-analog converter in standard 0.25 μm cmos," in *Proc. IEEE Symposium on VLSI Circuits*, vol. 1, Honolulu, HI, 2002, pp. 328–331.
- [11] A. Biman and D. Naim, "Trimming of current mode dacs by adjusting vt," in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 1, May 1996, pp. 33–36.
- [12] J. R. Naylor, "A complete high-speed voltage output 16-bit monolithic dac," in *IEEE J. Solid-State Circuits*, vol. 18, Dec. 1983, pp. 729–735.
- [13] T. Tobita and H. Takasago, "New trimming technology of a thick film resistor by pulse voltage method," in *IEEE Transaction on computers, Hybrids and Manufacturing technology*, vol. 14, no. 3, Sept. 1991, pp. 613–617.
- [14] R. B. D. Ruthe, K. Zimmer and B. Raushenbach, "Up- and down-trimming of thick film resistor by ultrashort pulse laser irradiation," in *Proceedings of the 4th International Congress on Laser Advanced Material Processing*, 2006.
- [15] U.-K. Moon, G. C. Temes, and J. Steensgaard, "Digital techniques for improving the accuracy of data converters," *IEEE Communications Magazine*, pp. 136–143, Oct. 1999.
- [16] J. Pirkkalanen, M. Kosunen, M. Waltari, and K. Halonen, "A digital calibration for a 16-bit, 400-mhz current-steering dac," in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 1, Vancouver, Canada, May 2004, pp. 297–299.
- [17] I. Galton, "Digital cancellation of d/a converter noise in pipelined a/d converters," *IEEE Trans. Circuits Syst. II*, vol. 47, pp. 185–196, Nov. 2000.
- [18] K. Parthasarathy, T. Kuyel, Z. Yu, D. Chen, and R. Geiger, "A 16-bit resistor string dac with full-calibration at final test," in *IEEE International Test Conference*, 2005, pp. 1–10.
- [19] M. Meunier, Y. Gagnon, Y. Savaria, A. Lacourse, and M. Cadotte, "A novel laser trimming technique for microelectronics," *Applied Surface Science*, vol. 186, pp. 52–56, 2002.
- [20] L. Wang, Y. Fukatsu, and K. Watanabe, "A cmos r-2r ladder digital-to-analog converter and its characterization," in *IEEE Trans. Instrum. Meas.*, vol. 2, May 2001, pp. 1026–1031.
- [21] M. Kennedy, "On the robustness of r-2r ladder dacs," in *IEEE Trans. Circuits Syst. I*, vol. 2, Feb. 2000, pp. 109–116.
- [22] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. USA: McGraw-Hill, 1999.
- [23] M. Clara, A. Wiesbauer, and W. Klatzer, "Nonlinear distortion in current-steering d/a-converters due to asymmetrical switching errors," in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 1, Vancouver, Canada, May 2004, pp. 285–288.
- [24] T. Chen and G. G. E. Gielen, "The analysis and improvement of a current-steering dac dynamic sdr-i: The cell-dependent delay differences," *IEEE Trans. Circuits Syst. I*, vol. 53, no. 1, pp. 3–15, Jan. 2006.
- [25] D. Marche, Y. Savaria, and Y. Gagnon, "A novel switch compensation technique for inverted r-2r ladder dacs," in *ISCAS*, May 2005, pp. 386–392.
- [26] Y. S. Park, H. C. Hyun, and S. Y. Kwang, "A 3.3 v-110 mhz 10-bit cmos current-mode dac," in *IEEE Asia-Pacific Conference on ASIC*, vol. 1, Aug. 2002, pp. 173–176.
- [27] B. Hyuen-Hee, Y. Jin-Sik, L. Myung-Jin, S. Eun-Seok, and L. Seung-Hoon, "A 3 v 12b 100 ms/s cmos d/a converter for high-speed system applications," in *International Symposium on Circuits and Systems*, vol. 1, May 2003, pp. 869–872.
- [28] X. Weize and E. Friedman, "Clock feedthrough in cmos analog transmission gate switches," in *IEEE International ASIC/SOC Conference*, Sept. 2002, pp. 181–185.
- [29] S. Rioux, A. Lacourse, Y. Savaria, and M. Meunier, "Design methods for cmos low-current finely tunable voltage references covering a wide output range," in *ISCAS*, May 2005, pp. 4257–4260.
- [30] (2007, Feb.) LTRIM Technologies Inc. [Online]. Available: <http://www.ltrim.com>
- [31] M. Burns and G. W. Roberts, *An Introduction to Mixed-Signal IC Test and Measurement*. Upper Saddle River, NJ, USA: Oxford University Press, 2000.
- [32] L. Wang, Y. Fukatsu, and K. Watanabe, "Characterization of cmos r-2r ladder digital-to-analog converters," in *IEEE Trans. Instrum. Meas.*, vol. 50, Dec. 2001, pp. 1781–1786.
- [33] Ad5554 precision quad 14-bit d/a converter. Analog Devices. [Online]. Available: <http://www.analog.com>
- [34] Ltc1591 - 14-bit parallel low glitch multiplying dac with 4-quadrant resistors. Linear Technology Corp. [Online]. Available: <http://www.linear.com>
- [35] Y. Cong and T. L. Geiger, "A 1.5-v 14-bit 100-ms/s self-calibrated dac," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2051–2059, 2003.
- [36] M. P. Tiilikainen, "A 14-bit 1.8-v 20-mw 1 – mm^2 cmos dac," *IEEE J. Solid-State Circuits*, vol. 36, no. 7, pp. 1144–1147, 2001.
- [37] A. R. Buggeja and B.-S. Song, "A self-trimming 14-b 100-ms/s cmos dac," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1841–1852, 2000.
- [38] J. R. Naylor, "Testing digital/analog and analog/digital converters," in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 25, July 1978, pp. 526–538.
- [39] P. Prazak and T. Wang, "Superposition: The hidden dac linearity error," *Electronics Test*, pp. 70–79, July 1982.
- [40] Y. Gagnon, M. Meunier, and Y. Savaria, "Method and apparatus for iteratively, selectively tuning the impedance of integrated semiconductor devices using a focussed heating source," U.S. Patent Published 09/332,059, Dec. 11, 2001.
- [41] A. Lacourse, H. Langlois, Y. Gagnon, and Y. Savaria, "Method for modifying the impedance of semiconductor devices using a focused heating source," U.S. Patent Published 10/631,825, Mar. 25, 2005.
- [42] A. Lacourse, H. Langlois, H. St-Jean, Y. Gagnon, Y. Savaria, and M. Meunier, "A tunable semiconductor component provided with a current barrier," U.S. Patent Pending 11/431,610, May 11, 2006.



David Marche received the B.Eng. and M.Sc.A in electrical engineering from École Polytechnique de Montréal in 1993 and 1996 respectively.

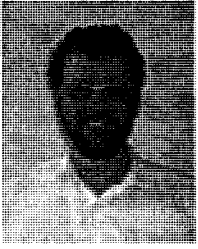
As a software engineer and analog designer with OPMAXX, Portland, OR USA and later with LTRIM Technologies, Laval, QC Canada, he has participated in the development of several analog and mixed signal circuit optimisation and test tools. He is currently working toward the Ph.D. degree on the design of analog and mixed signal integrated circuits at the École Polytechnique de Montréal and teaching at the École de Technologies Supérieure de Montréal.



Yvon Savaria (S' 77, M' 86, SM' 97, F08) received the B.Eng. and M.Sc.A in electrical engineering from École Polytechnique de Montréal in 1980 and 1982 respectively. He also received the Ph.D. in electrical engineering in 1985 from McGill University. Since 1985, he has been with École Polytechnique de Montréal, where he is currently professor and director of the microelectronics and microsystems research group (www.grm.polymtl.ca).

He has carried work in several areas related to microelectronic circuits and microsystems such as testing, verification, validation, clocking methods, defect and fault tolerance, high speed interconnects and circuit design techniques, CAD methods, reconfigurable computing and applications of microelectronics to telecommunications, image processing, video processing, radar signal processing, and digital signal processing acceleration. He holds 6 patents, has published 71 journal papers and 300 conference papers, and he was the thesis advisor of 115 graduate students who completed their studies.

He was the program co-chairman of the 1992 edition and the chairman of the 1993 edition of the IEEE Workshop on Defect and Fault Tolerance in VLSI Systems. He was program co-chairman of ASAP2006 and the general co-chair of ASAP2007. He has been working as a consultant or was sponsored for carrying research by CNRC, Design Workshop, DREO, Genesis, Genuum, Hyperchip, LTRIM, Miranda, MiroTech, Nortel, PMC-Sierra, Technicap, and Tundra. He is a member of the Regroupement Stratégique en Microélectronique du Québec (RESMIQ), of the Ordre des Ingénieurs du Québec (OIQ), and is the vice-chairman of the board of CMC Microsystems. He was awarded in 2001 a Canada Research Chair (www.chairs.qc.ca) on design and architectures of advanced microelectronic systems. He also received in 2006 a Synergy Award of the Natural Sciences and Engineering Research Council of Canada.



Yves Gagnon received the B.Ing. from École Polytechnique de Montréal in 1989.

He was CTO and Founder of LTRIM Technologies where he managed laser trimming technology and mixed-signal chip development. He is currently working as Executive Director of Intégration Dolphin Inc., the Montréal subsidiary of Dolphin Integration SA France, where he manages power management IP development.

ANNEXE II

NOTES DE TESTS POUR LE CNA DE 14 BITS AJUSTABLE AU LASER, PARTIE I : PREMIER PROTOTYPE AVEC BUS DE SORTIES TROP RÉSISTIFS

II.1 Introduction

Ce document contient les résultats de tests du premier prototype fonctionnel du CNA de 14 bits ajustable au laser. Progrès des prototypes :

- Le premier prototype avait un court-circuit au niveau du dessin des masques. Il n'était pas fonctionnel.
- Le second prototype testé ici, est fonctionnel mais les résistances parasites des bus de sorties sont trop importantes et dégradent la linéarité du circuit sans possibilité de correction laser satisfaisante.

II.2 Description des tests et résultats

II.2.1 Description générale

Le montage suivant est utilisé pour la caractérisation et l'ajustement laser :

- Une référence de tension ou de courant est appliquée à V_{REF} .
- VDD et $VDDA$ sont connectés ensemble à une autre source de tension de 3.3V.
- VSS , $AGND$ et toutes les masses sont connectées ensemble.
- L'horloge (CLK) est gardée haute : les registres sont transparents.

- Les codes d'entrée sont générés avec une carte PCI contrôlée avec un programme Labview sous Windows.
- Les signaux digitaux de la carte PCI (5V) sont limités à 3.3V avant d'être appliqués au circuit.
- Le courant analogique de sortie est mesuré sur $OUTC$.
- Le courant complémentaire peut être mesuré sur $\overline{OUTC}$.
- $OUTC$ et $\overline{OUTC}$ doivent être connectés au même potentiel pour une conversion exacte.
- $OUTV$ est fourni pour une conversion en tension avec un ampli-op externe.
- $OUTV$ est laissé flottant ou connecté à la masse pour une sortie en courant.

II.2.2 Test 3

- Référence de tension : Power supply. (V_{REF})
- Mesure du courant de sortie : Keithley 2400 (2).
- Range : automatique.
- Résultat : fig. II.1.
- Notes : important *glitch* autour du code 6200 ($OUTC \approx 105\mu A$) dû au changement d'échelle (automatique) de l'appareil de mesure. La seconde mesure montre un meilleur INL. Dû à la stabilisation de la température de la pièce ou du circuit ?

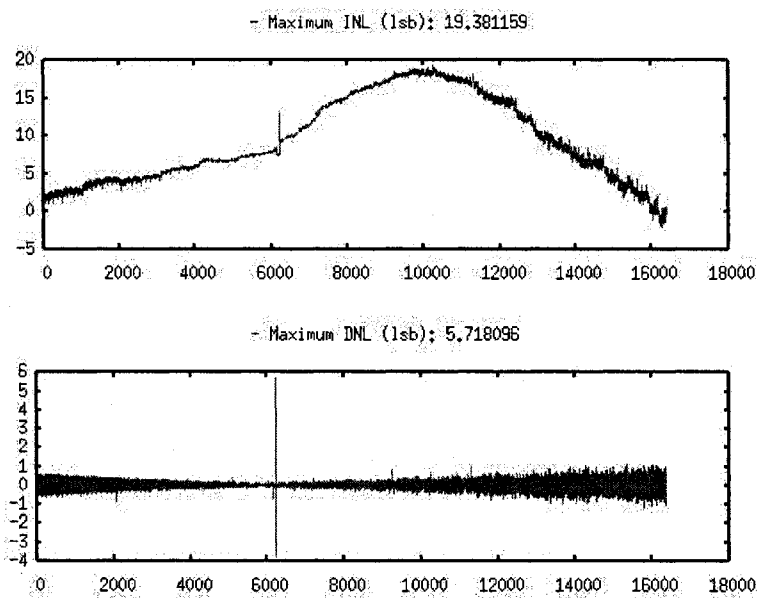


FIG. II.1 Test 3, INL et DNL.

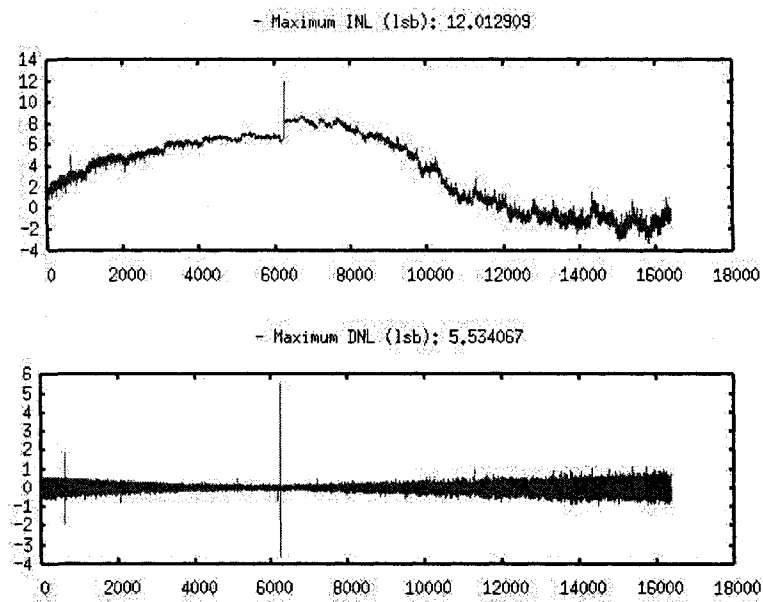


FIG. II.2 Test 4, INL et DNL.

II.2.3 Test 4

- Référence de tension : Power supply. (V_{REF})
- Mesure du courant de sortie : Keithley 2400 (2).
- Range : automatique.
- Résultats : fig. II.2.
- Notes : Même configuration que test 3, mais les mesures sont prises plus tard. Même *glitch* que le test 3 dû au changement d'échelle de mesure. Meilleur INL. Meilleure stabilisation de la température de la pièce ou du circuit ?

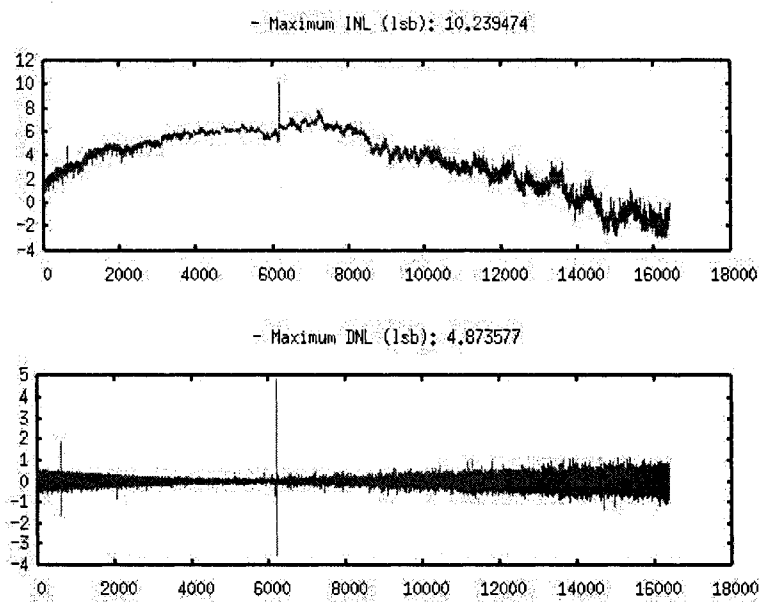


FIG. II.3 Test 8, INL et DNL.

II.2.4 Test 8

- Tension de référence : Power supply. (V_{REF})
- Mesure du courant de sortie : Keithley 2400 (2).
- Range : Automatique.
- Boîte d'isolation pour contrôler la température ambiante.
- Résultats : fig. II.3.
- Notes : *glitch* de changement d'échelle. Meilleur INL. Grâce à la boîte d'isolation ?

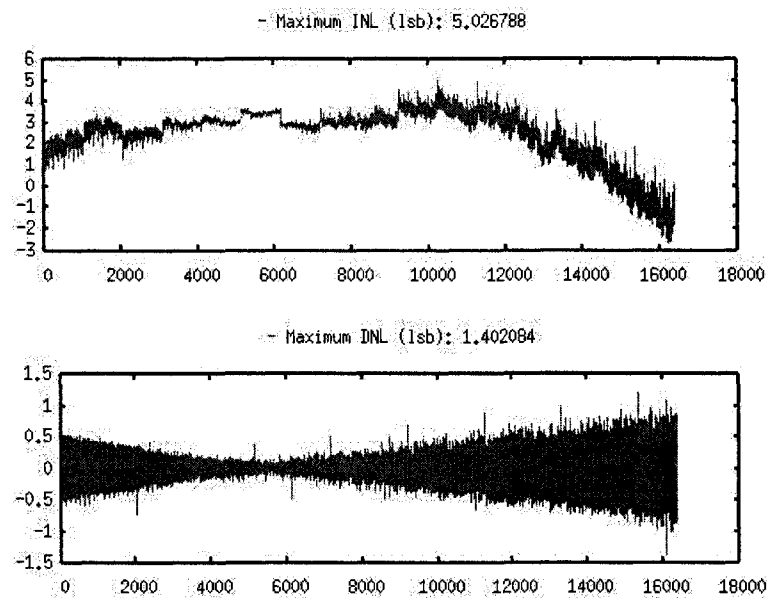


FIG. II.4 Test 10, INL et DNL.

II.2.5 Test 10

- Référence de tension : Power supply. (V_{REF})
- Mesure du courant de sortie : Keithley 2400 (2).
- Range : 1mA (fixe).
- Boîte d'isolation pour contrôler la température ambiante.
- Résultats : fig. II.4.
- Notes : Même configuration que le test 8, mais l'échelle de mesure de courant est fixe (1mA). Plus de *glitch* de changement d'échelle. INL est bien meilleur. I_{REF} semble varier.

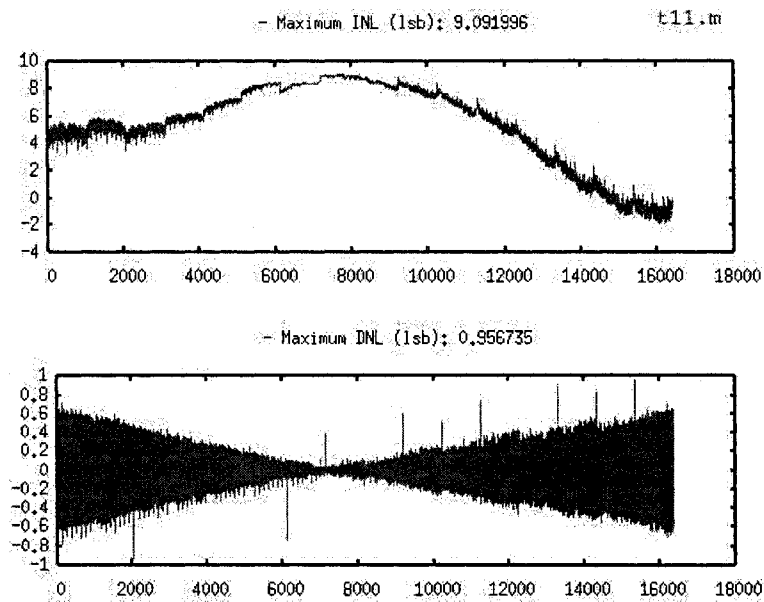


FIG. II.5 Test 11, INL et DNL.

II.2.6 Test 11

- Référence de tension : Keithley 2400. (V_{REF})
- Mesure de courant de sortie : Keithley 2400 (2).
- Range : 1mA (fixe).
- Boîte d'isolation pour contrôler la température ambiante.
- Résultats : fig. II.5 et fig.II.6.
- Notes : même configuration que le test 10 mais la référence de tension est plus précise et le courant $\overline{OUTC}$ est également mesuré. Pas de *glitch* de changement d'échelle. La sortie du premier code n'a pas été correctement mesurée ? Courant total de la référence de tension (fig.II.6) change avec le code d'entrée ! Cette variation atteint 360nA ($\approx 20\text{LSB}$) !

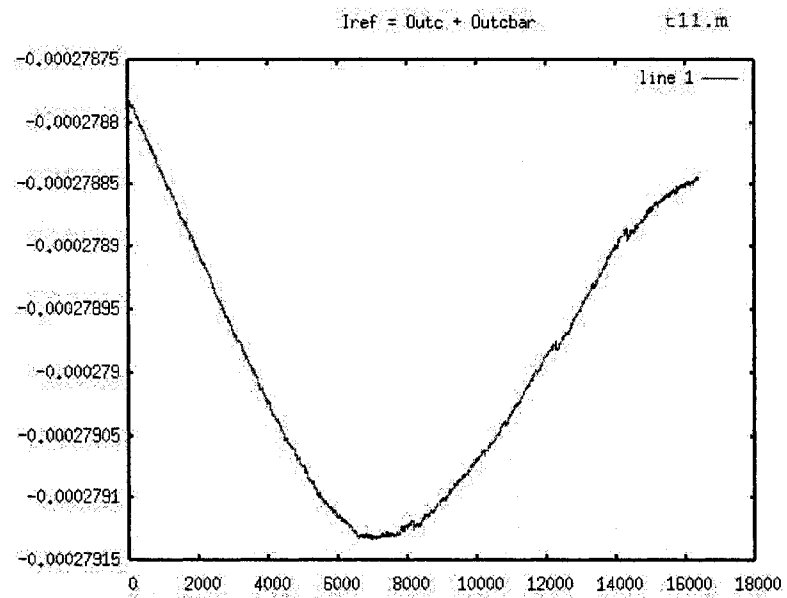


FIG. II.6 Test 11, Courant total ($OUTC + \overline{OUTCBAR}$).

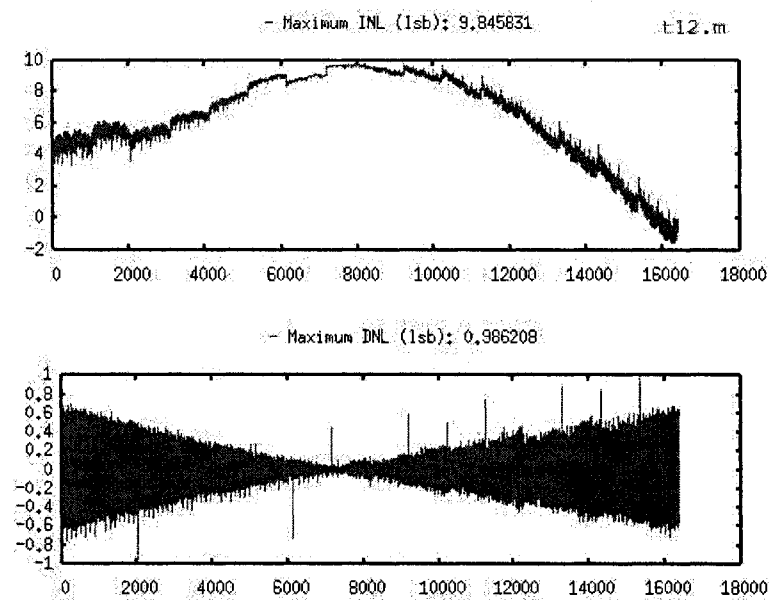


FIG. II.7 Test 12, INL et DNL.

II.2.7 Test 12

- Référence de tension : Keithley 2400. (V_{REF})
- Mesure du courant de sortie : Keithley 2400 (2).
- Range : 1mA (fixe).
- Boîte d'isolation pour contrôler la température ambiante.
- Résultats : fig. II.7.
- Notes : Même configuration que le test 11 mais les mesures sont prises plus tard.
Même résultats que le test 11.

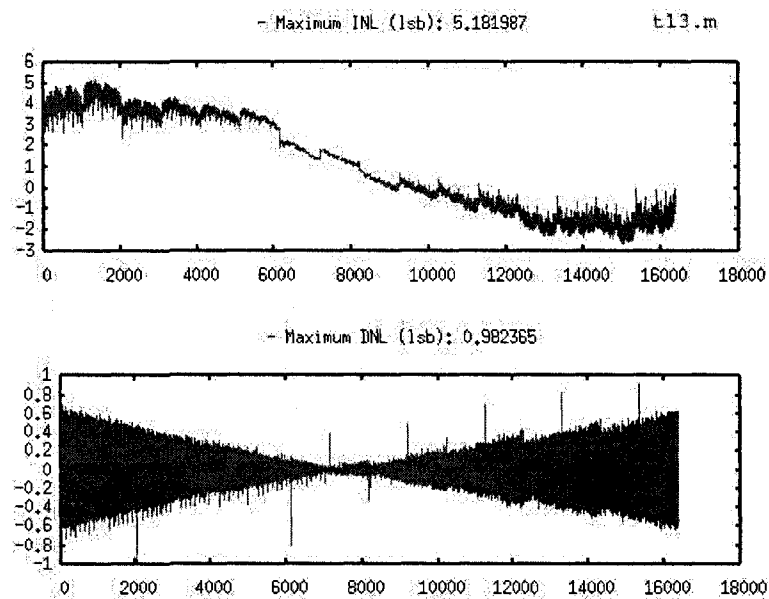


FIG. II.8 Test 13, INL et DNL.

II.2.8 Test 13

- Référence de courant : Keithley 2400. ($I_{REF} = 0.27875mA$)
- Mesure du courant de sortie : Keithley 2400 (2).
- Range : 1mA (fixe).
- Boîte d'isolation pour contrôler la température ambiante.
- Résultats : fig. II.8.
- Notes : Même configuration que test 12, mais la référence est un courant au lieu d'une tension. Meilleur INL.

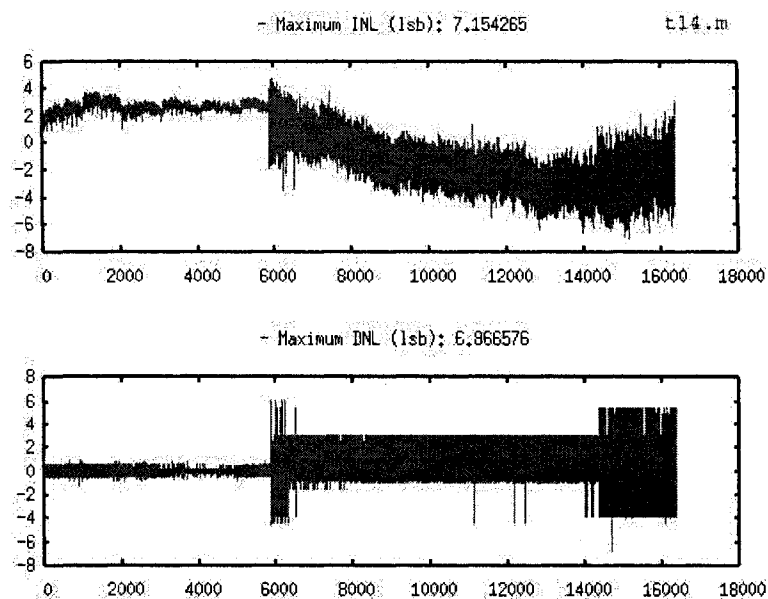


FIG. II.9 Test 14, INL et DNL.

II.2.9 Setup 14

- Référence de courant : Keithley 2400. ($I_{REF} = 0.27875mA$)
- Mesure du courant de sortie : 2 SMUs Keithley 236 (bruns).
- Range : Auto.
- Boîte d'isolation pour contrôler la température ambiante.
- Résultats : fig. II.9.
- Notes : Même configuration que le test 13, mais les courants de sorties sont mesurés avec 2 SMUs différents. *Glitch* dû au changement d'échelle. La précision pour les courants plus forts semble insuffisante. Les courbes de linéarité semblent similaires.

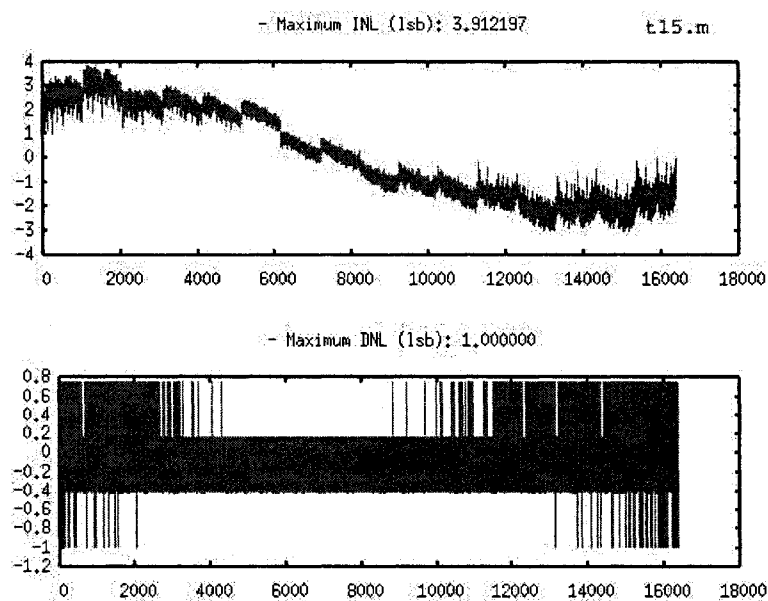


FIG. II.10 Test 15, INL et DNL.

II.2.10 Test 15

- Référence de courant : Keithley 2400. ($I_{REF} = 0.27875mA$)
- Mesure du courant de sortie : 2 SMUs Keithley 236 (bruns).
- Range : 1mA (fixe).
- Boîte d'isolation pour contrôler la température ambiante.
- Résultats : fig. II.10.
- Notes : Même configuration que le test 14, mais l'échelle des SMUs est fixe (1mA).
La précision (nombre de chiffres) est insuffisante ($\approx \frac{1}{2}LSB$). Les courbes de linéarité sont semblables.

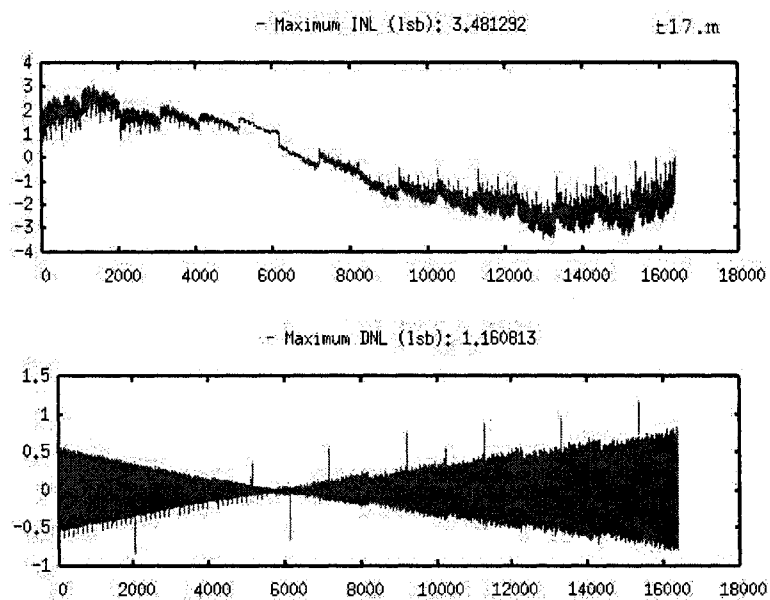


FIG. II.11 Test 17, INL et DNL.

II.2.11 Test 17

- Référence de courant : Keithley 2400. ($I_{REF} = 0.27875mA$)
- Mesure de courant de sortie : Keithley 2400 (2).
- Range : Contrôlé par le programme de test.
- Boîte d'isolation pour contrôler la température ambiante.
- Résultats : fig. II.11.
- Notes : Même configuration que le test 13, en utilisant différentes échelles de mesure. Meilleur résultat d'INL. Le contrôle manuel de l'échelle donne de bien meilleurs résultats.

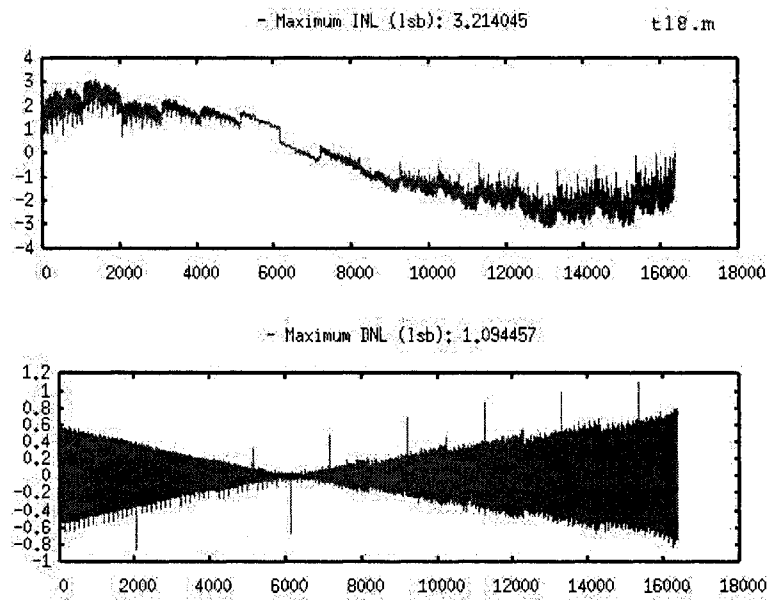


FIG. II.12 Test 18, INL et DNL.

II.2.12 Test 18

- Référence de courant : Keithley 2400. ($I_{REF} = 0.27875mA$)
- Current output measure : Keithley 2400 (2).
- Range : Contrôlé par le programme de test.
- Boîte d'isolation pour contrôler la température ambiante.
- Résultats : fig. II.12.
- Notes : Même configuration que le test 17, deuxième mesure. Mêmes résultats.

II.2.13 Conclusions sur la configuration du montage de test

- Des résultats précis sont obtenus quand $OUTC$ et $\overline{OUTC}$ sont parfaitement connectés à la masse. Il faut donc utiliser un SMU, appareil de mesure actif, pour forcer le potentiel nul en même temps que les mesures de courant sont réalisées.
- $\overline{OUTC}$ peut être directement lié à la masse si son courant ne doit pas être mesuré. L'utilisation d'un SMU sur une seule sortie à peu d'effet sur la linéarité.
- L'appareil Keithley 2400 permet de mesurer avec une précision de nA même à pleine échelle ($\approx 280\mu A$).
- L'appareil Keithley 236 permet de mesurer de très petits courants, mais manque de chiffres pour donner un résultat précis lors des mesures de courants plus élevés.
- Pour une meilleure précision, la déviation relative de courant d'un code au suivant doit être mesurée au lieu de la valeur absolue du courant de sortie. Il s'agit finalement de mesurer le DNL et de reconstruire l'INL en intégrant les valeurs de DNL : $INL_N = \sum_{i=1}^N DNL_i$.
- L'échelle de mesure doit être ajustée manuellement et des recouvrements de mesures doivent avoir lieu autour des points de changement d'échelle.
- La température a un effet important sur la valeur absolue du courant de sortie mais modifie peu le DNL.
- En utilisant une référence de courant au lieu d'une référence de tension, les effets de température deviennent beaucoup moins importants. En effet, les changements de résistivité ne sont plus ressentis sur le courant de sortie.
- La température de la pièce doit être stable pour de meilleurs résultats (c.f. fig. II.13).

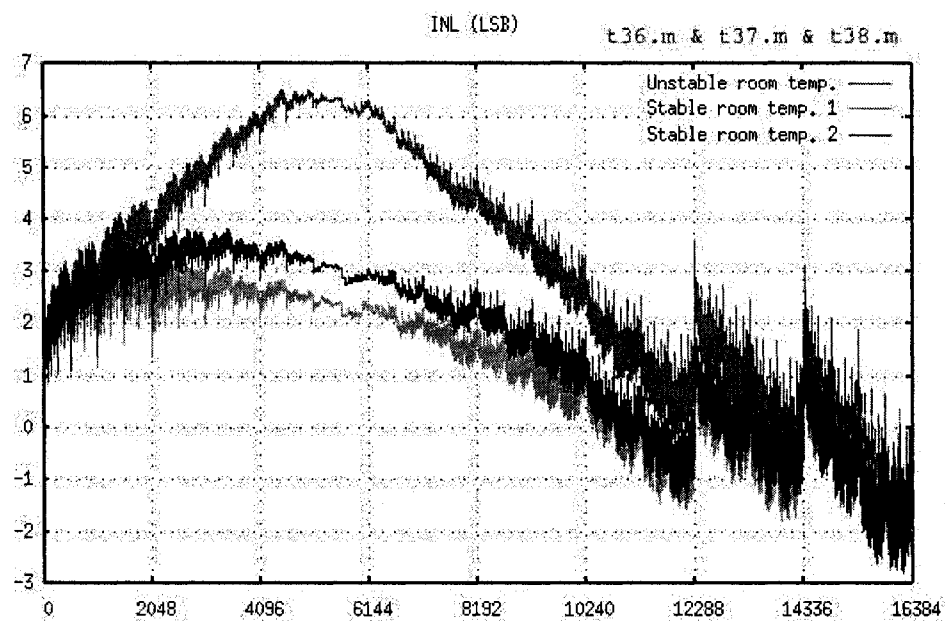


FIG. II.13 Effets de la température de la pièce.

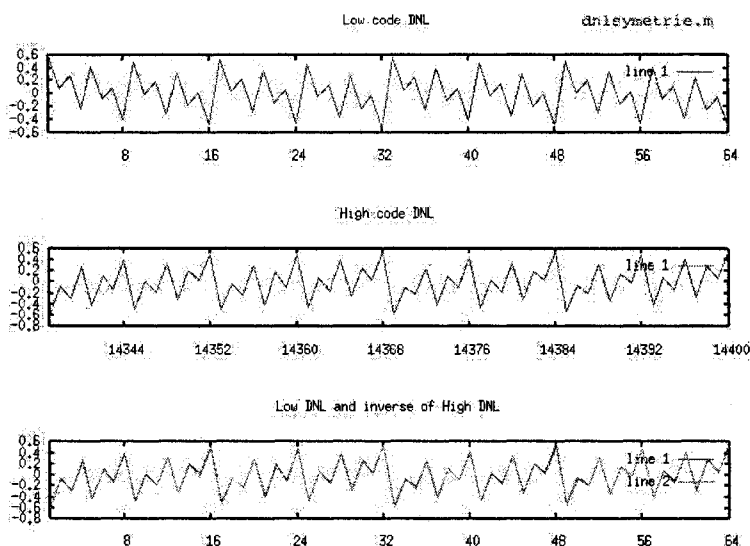


FIG. II.14 Symetrie du DNL.

II.3 Analyse des résultats de linéarité

II.3.1 Observations générales

- L'INL est de ± 3 LSB quand une référence de courant est utilisée.
- L'INL est de ± 4 LSB quand une référence de tension est utilisée.
- Le DNL est ± 1 LSB peu importe le type de référence utilisée.
- Le DNL est meilleur autour de $\frac{1}{3}$ de la pleine échelle et se dégrade en allant vers les codes extrêmes. La dégradation est symétrique. La figure II.15 donne un exemple de dégradation symétrique de DNL pour le bit 9.
- Le DNL des bits thermomètres est pire mais facilement ajustable par laser.
- Une certaine répétition de forme de DNL peut s'observer entre chaque bit thermomètre : il s'agit de la contribution des bits binaires (R2R).
- La forme répétée est plus ou moins amplifiée selon le nombre de bits thermomètres actifs.
- Le DNL de la partie R2R est symétrique autour de $\frac{1}{3}$ de la pleine échelle (c.f. fig. II.14).

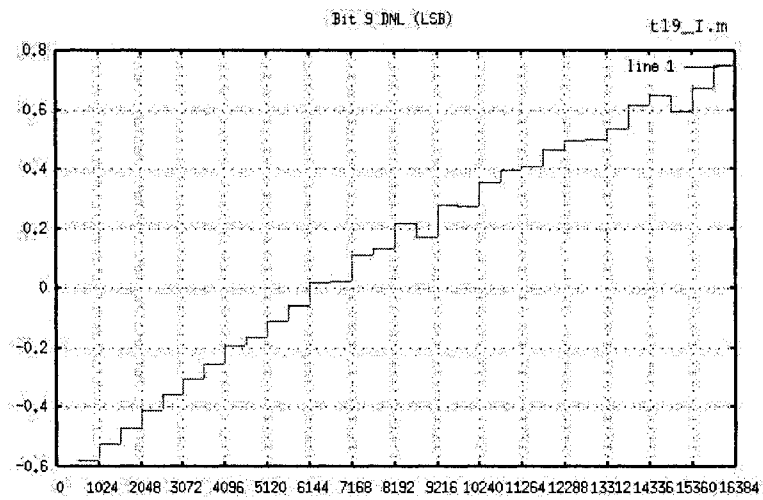


FIG. II.15 Erreurs de DNL pour les contributions du bit 9.

II.3.2 Analyse des erreurs de DNL

- Le DNL est très bas pour les codes autour de la mi-échelle mais se dégrade pour les codes extrêmes.
- Ceci est-il dû aux différences de tensions ou de résistances en $OUTC$ et $\overline{OUTC}$?
- La dégradation du DNL aux codes extrêmes est pire lorsque la résistance en $OUTC$ et $\overline{OUTC}$ augmente (c.f. fig. II.16 et II.17).
- La longueur des fils de mesure peut-elle être la source du problème ? La figure II.18 montre que cet impact est minime. La figure II.19 montre l'impact de la longueur de fils sur l'INL.
- La dégradation du DNL est-elle due aux résistances parasites internes présentes sur les noeuds de sorties ou aux connections externes ?
- Connecter $\overline{OUTC}$ à la masse au lieu du SMU n'a pas d'impact sur le DNL. Le SMU semble fixer un potentiel nul adéquat.
- Le code pour lequel le DNL est le meilleur est déterminé par la différence de résistance de sortie entre $OUTC$ et $\overline{OUTC}$. L'ajout de différentes résistances en sortie déplace le code pour lequel le DNL est le meilleur (c.f. fig. II.20).
- Le point de pincement de la courbe de DNL peut être recentré avec 3.6Ω entre $\overline{OUTC}$ et la masse (c.f. fig. II.21).
- Le meilleur DNL n'est pas à mi-échelle. Est-ce dû à la différence de résistance interne des sorties ?

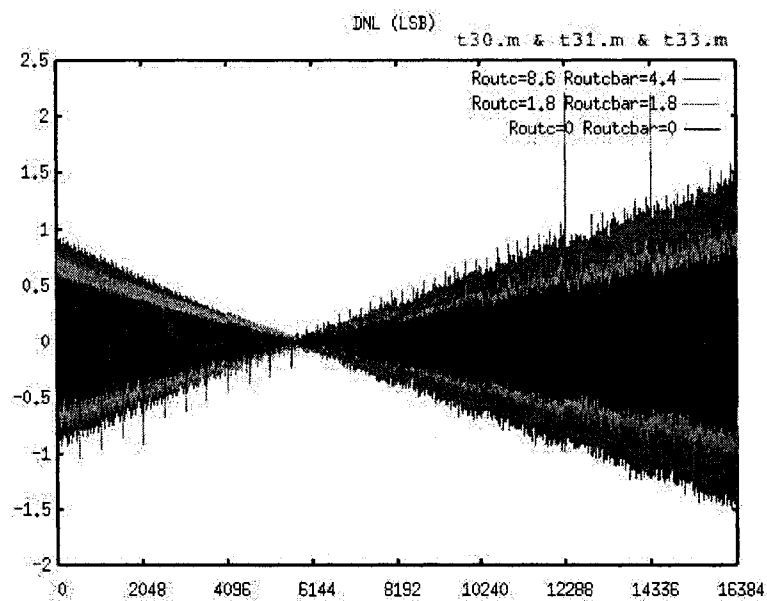


FIG. II.16 Effet de la résistance de sortie sur le DNL.

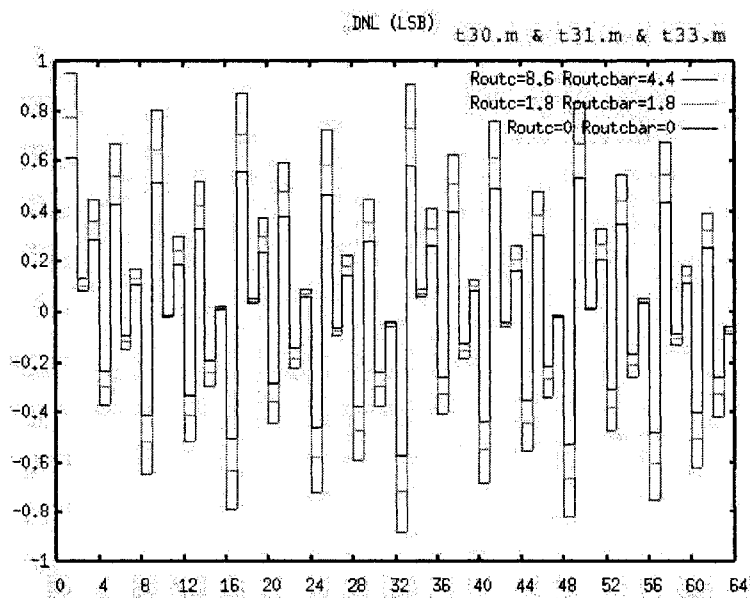


FIG. II.17 Effet de la résistance de sortie sur le DNL (agrandissement autour des premiers codes).

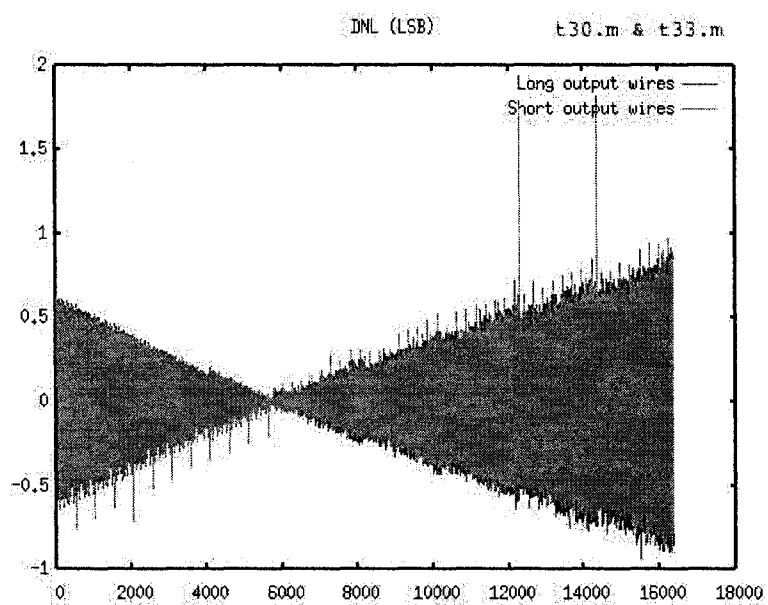


FIG. II.18 Mesure de DNL avec des fils de différentes longueurs.

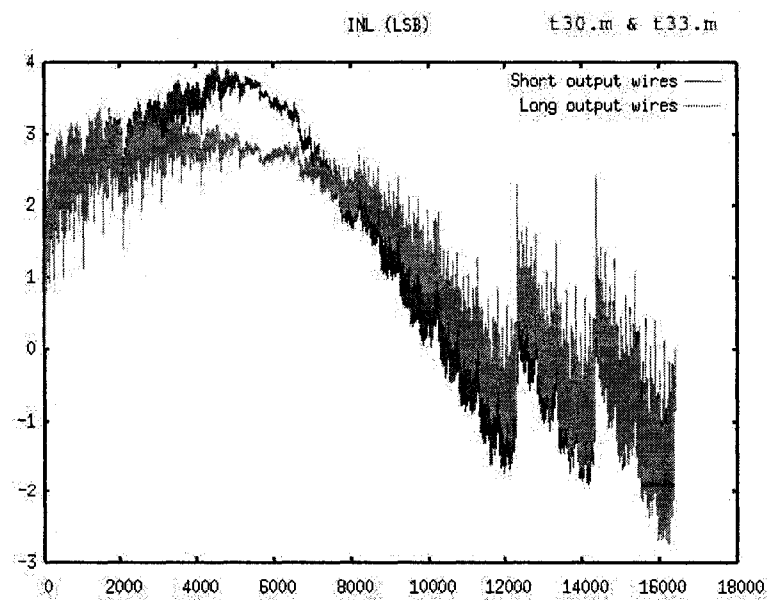


FIG. II.19 Effet de la longueur de fils sur l'INL.

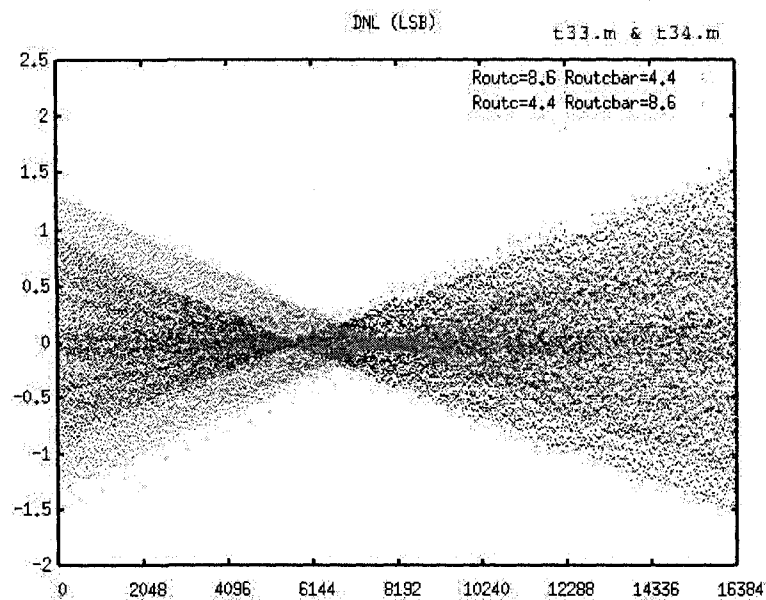


FIG. II.20 Effets du mésappariement des résistances de sorties sur le DNL.

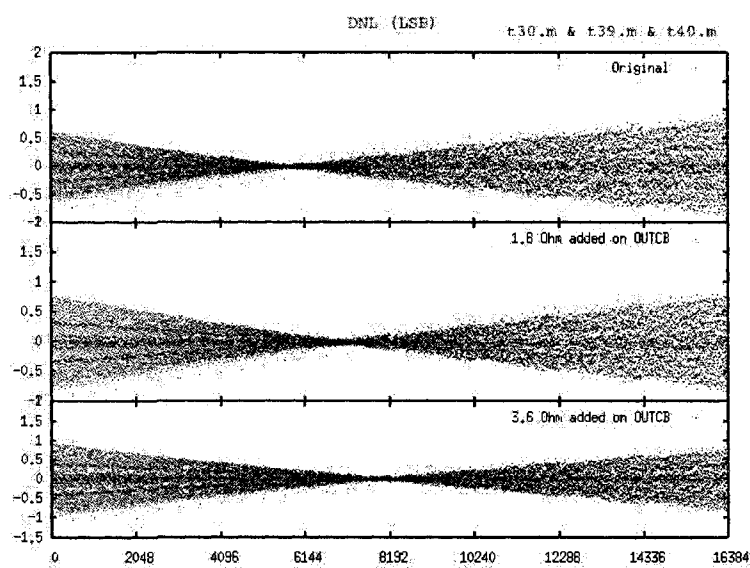


FIG. II.21 Centrage du DNL avec une résistance externe.

II.3.3 Conclusion de l'analyse de DNL

- Le DNL de la partie R2R n'est pas ajustable (par laser) à cause de sa symétrie. Ex : le DNL du bit 1 est positif pour les codes faible, mais négatif pour les codes élevés.
- La courbe de DNL est pincée et présente une forme de cône.
- Le point de pincement du cône est contrôlé par la différence de résistances des deux sorties.
- La taille du cône est contrôlée par la valeur des résistances des deux sorties.
- Les erreurs de DNL des bits thermomètres peuvent être ajustées au laser puisque ces bits ne changent qu'une fois sur toute la plage de codes d'entrée.

II.4 Ajustement laser

II.4.1 Généralité sur l'ajustement laser

- Les bits thermomètres peuvent être ajustés.
- Peuvent-ils annuler les erreurs de DNL de la partie R2R ?
- Qu'arrive-t-il si la partie R2R est modifiée au laser ?

II.4.2 Ajustement laser du circuit #1

- I_{REF} , plage variable, pas de contrôle de température.
- Résultats : fig. II.22.
- Notes : mauvais ajustement du second bit thermomètre. Courant important après ajustement. Création d'un court-circuit avec l'anneau de garde des résistances ajustables ? Correction d'une erreur d'étiquetage des résistances sur le dessin du circuit.
- L'ajustement du bit 10 du réseau R2R ne corrige pas la forme symétrique du DNL (c.f. fig. II.23).

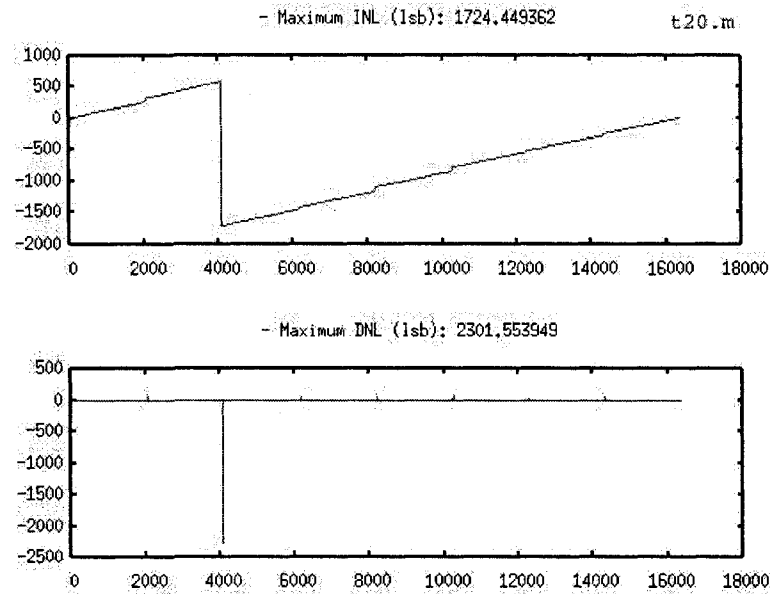


FIG. II.22 Circuit #1 INL et DNL après ajustement laser.

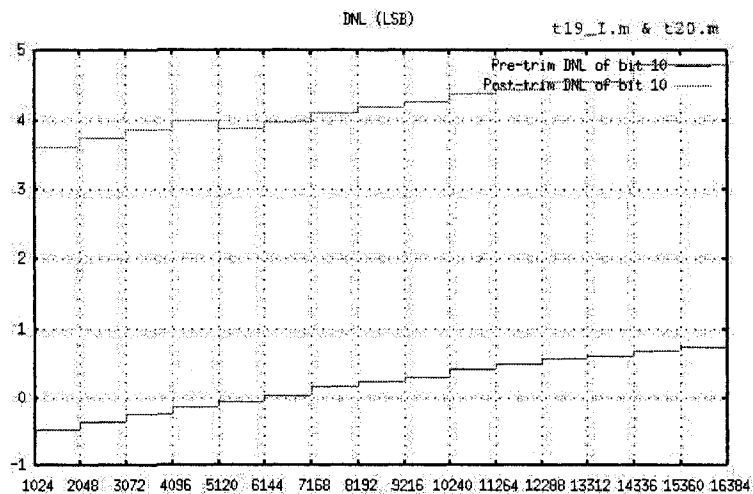


FIG. II.23 Circuit #1 DNL après ajustement laser du bit 10 (R2R).

II.4.3 Ajustement laser du circuit #2

- V_{REF} , plage variable, pas de contrôle de température.
- Résultats : fig. II.24.
- Notes : Ajustement des bits thermomètres pour améliorer l'INL et le DNL. Après ajustement, des erreurs de *DNL* inférieures à -1 LSB sont observées, le DAC n'est donc plus monotone.

II.4.4 Conclusion de l'ajustement laser

- L'ajustement de la partie binaire (R2R) ne peut pas améliorer un DNL symétrique par rapport à 0.
- Les erreurs de la partie binaire peuvent être partiellement compensées par l'introduction d'erreurs sur les bits thermomètres.
- Cette compensation crée un INL en dents de scie.
- L'ajustement des bits thermomètres est possible. La plage et la précision d'ajustement pourraient être améliorées.
- L'ajustement des bits thermomètres ne permet pas d'atteindre $\pm 1LSB$ d'INL sur la courbe finale.
- L'ajustement des bits thermomètres pour compenser les erreurs des bits binaires crée d'importantes erreurs de DNL sur la partie thermomètre.
- La compensation des erreurs des bits binaires par l'ajustement des bits thermomètres peut causer un comportement non monotone du CNA ($DNL < -1LSB$).
- La plage d'ajustement est trop grande ($3.6\% \rightarrow 73LSB$).
- La précision d'ajustement pourrait être affinée pour une calibration en boucle ouverte.
- L'erreur de DNL maximale est légèrement supérieure à 1 LSB dans nos échantillons. Une plage d'ajustement de 1 LSB aurait été suffisante mais peu sécuritaire.
- Différents types d'encapsulation pourraient créer des dispersions plus importantes et

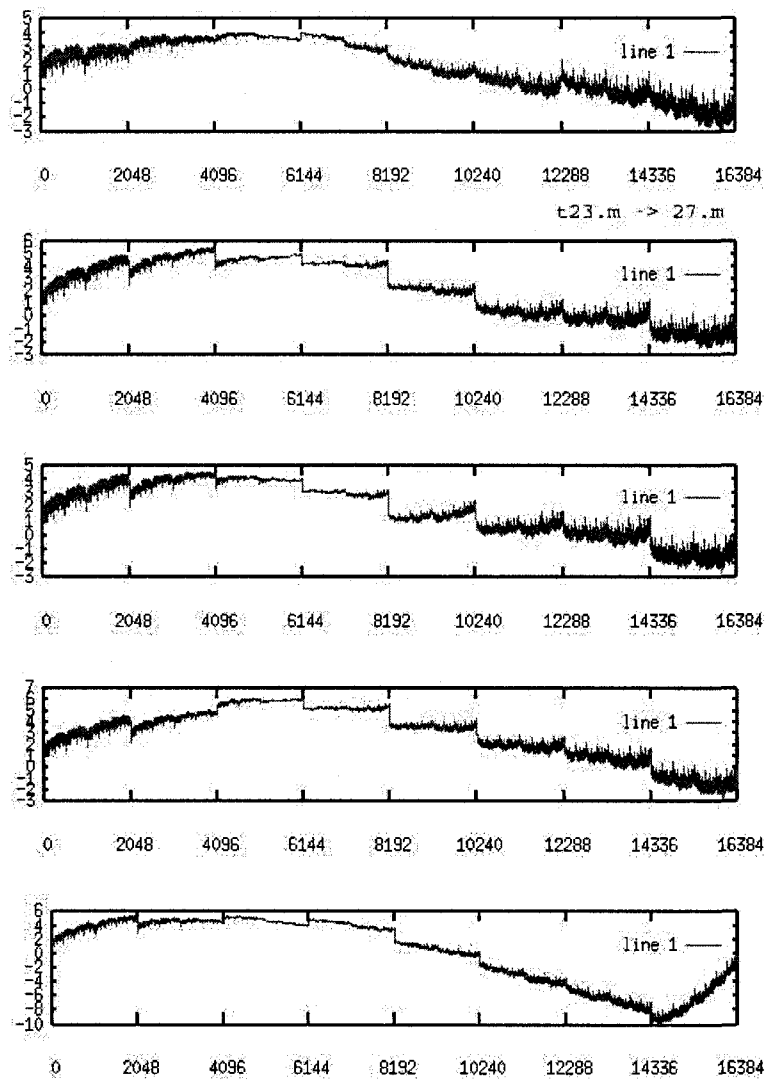


FIG. II.24 Circuit #2, progression de l'INL pendant l'ajustement laser.

nécessiter une plage d'ajustement plus grande.

- La précision d'ajustement devrait permettre une précision de 0.1 LSB ou mieux.

II.4.5 Modélisation et simulation du défaut du circuit

- Les observations et analyses des tests tendent à montrer que l’erreur de DNL est principalement causée par les variations de tensions présentes aux noeuds de sorties.
- $OUTC$ et $\overline{OUTC}$ recueillent les courants de sorties grâce à deux longs bus. Ces bus qui mènent aux plots de sorties sont très étroits. Ces bus, les plots de sorties, les fils de connections aux broches, et les broches elles mêmes sont tous des sources de résistances parasites qui peuvent causer le problème observé. Puisque les courants de $OUTC$ et $\overline{OUTC}$ varient avec le code, ces deux sorties peuvent être soumis à des potentiels variables dictées par les résistances parasites. Ceci modifie l’équilibre du réseau R2R et sa linéarité. Pour cette raison, le DNL varie avec le code soumis. Autour de la mi-échelle, les courants portés par les deux sorties sont très semblables et leur potentiel devient donc égaux : le DNL s’améliore.
- Pour vérifier cette interprétation des résultats, le CNA à été ressimulé avec différentes valeurs de resistances présentes sur les noeuds de sorties $OUTC$ and $\overline{OUTC}$:
 - La figure II.25 montre la linéarité du modèle de circuit original.
 - La figure II.26 montre la linéarité du même modèle après ajout de 6Ω et 10Ω respectivement sur $OUTC$ et $\overline{OUTC}$.
 - La figure II.27 montre les résultats de mesures du circuit en laboratoire.
 - Les figures II.28, II.29, II.30 et II.31 montrent les résultats simulés et mesurés superposés dans les mêmes graphiques.
- La position du pincement de la courbe de DNL n’a pas été parfaitement reproduit pour des raisons de temps de simulation. Cette position est directement liée aux mésappariement entre les résistances de sorties.
- Les résultats simulés se basent sur des résistances idéales. Les erreurs de linéarité sont donc uniquement causées par les résistances de sorties et les effets de VC.

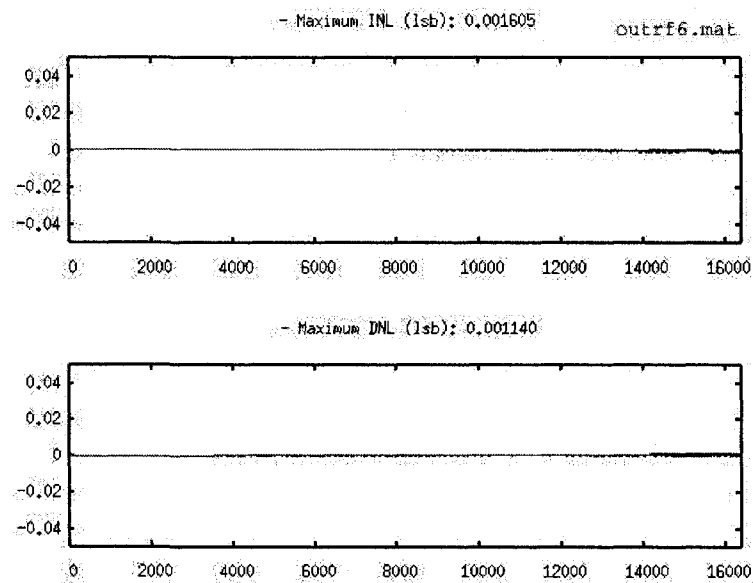


FIG. II.25 Résultats de simulation du modèle de circuit original

II.4.6 Conclusion des simulations

- C'est l'impédance parasite des bus de sorties qui limite la précision du circuit.
- Ces bus sont réalisés sur la couche *Metal2*, ont une longueur de $300\mu m$ et une largeur de $3\mu m$, ce qui leur donne environ 7Ω de résistance parasite (selon les données technologiques de *TSMC*). Ces résistances sont probablement la sources principale des erreurs de DNL mesurés sur les circuits.
- La résistance ajoutée par la mise en boîtier est d'environ 0.7Ω .
- La figure II.32 montre l'INL qui serait probablement obtenu si la résistance des bus était éliminée. La linéarité serait alors limitée par le mésappariement des résistances du CNA.

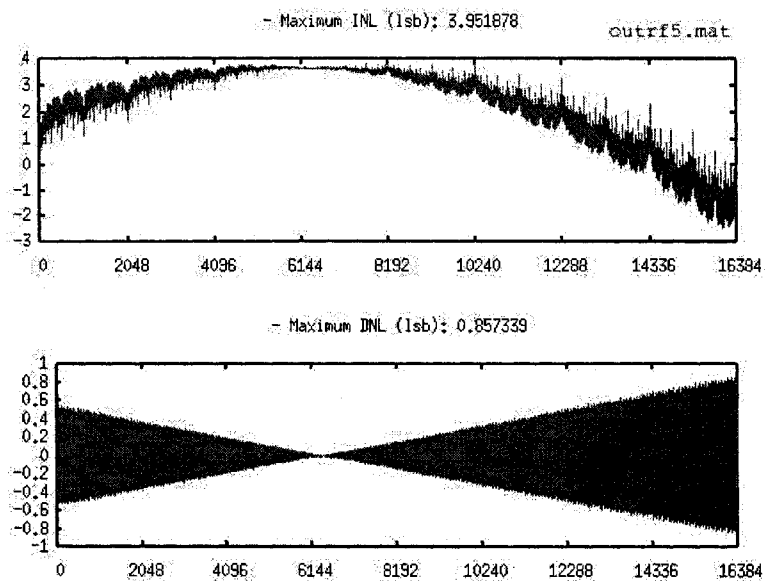


FIG. II.26 Résultats de simulation du modèle original avec addition de résistances de sorties.

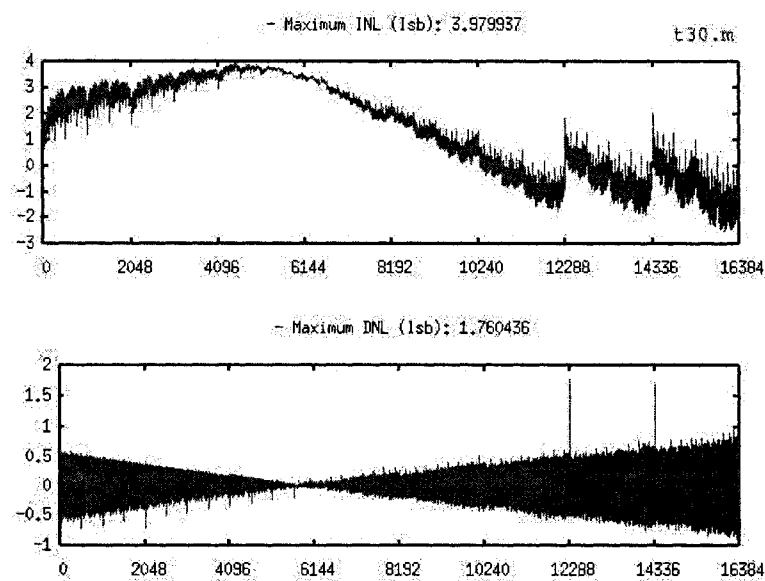


FIG. II.27 Résultats de mesures en laboratoire.

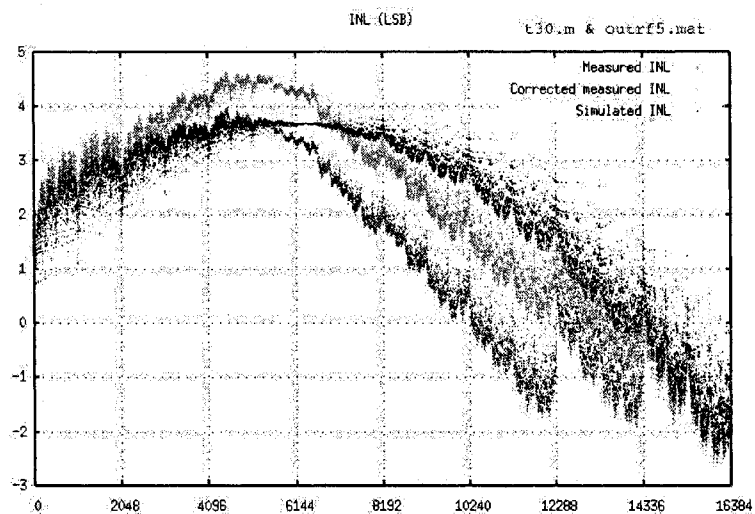


FIG. II.28 Comparaison entre les courbes d'INL mesurées et simulées.

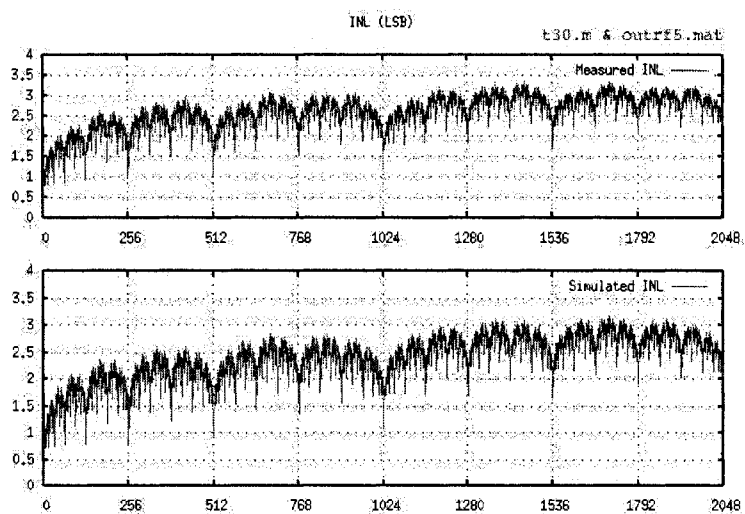


FIG. II.29 Comparaison entre les courbes d'INL mesurées et simulées (agrandissement autour des premiers codes).

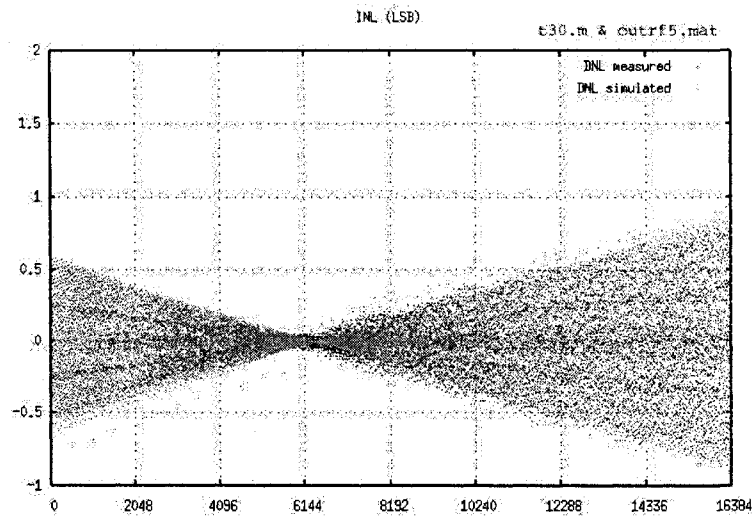


FIG. II.30 Comparaison entre les courbes de DNL mesurées et simulées.

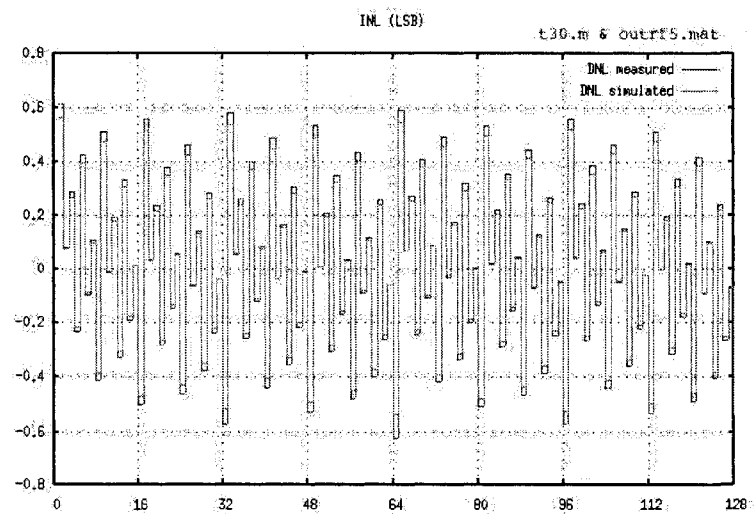


FIG. II.31 Comparaison entre les courbes de DNL mesurées et simulées (agrandissement autour des premiers codes).

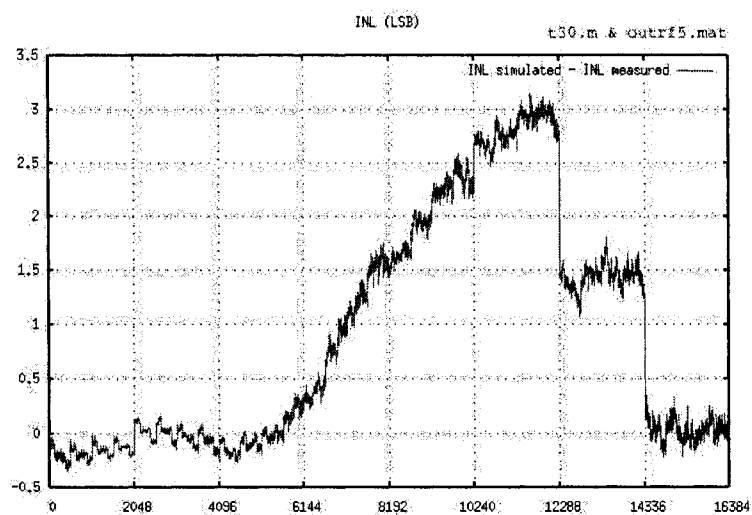


FIG. II.32 Difference entre l'INL simulé et mesuré.

II.5 Conclusion

Le CNA de 14 bits testé donne $\pm 1\text{LSB}$ de DNL et $\pm 4\text{LSB}$ d'INL sans ajustement laser. Les erreurs de linéarité sont principalement causées par un mauvais dimensionnement des bus de sorties au niveau du dessin des masques. Ces bus offrent une résistances parasite excessive qui engendre une chute de potentiel variable selon le code soumis. Ceci modifie l'équilibre du réseau résistif qui nécessite des potentiels toujours égaux aux deux sorties. La symétrie des erreurs de DNL résultante n'est pas ajustable au laser. Seuls les résistances des bits thermomètres peuvent être corrigées étant donné que leur courant n'est commuté qu'une seule fois sur toute la plage de code d'entrée. Les circuits peuvent probablement être ajustés pour obtenir un INL de $\pm 2\text{LSB}$ si l'on accepte un mauvais DNL et une fonction de transfert non monotone.

ANNEXE III

NOTES DE TESTS POUR LE CNA DE 14 BITS AJUSTABLE AU LASER, PARTIE II : DEUXIÈME PROTOTYPE AVEC BUS DE SORTIES CORRIGÉS

III.1 Introduction

Ce document contient les résultats de tests du troisième prototype du CNA de 14 bits ajustable au laser. Le prototype précédent a été corrigé pour réduire la résistance parasite des bus de sorties. Progrès des prototypes :

- Le premier prototype avait un court-circuit au niveau du dessin des masques. Il n'était pas fonctionnel.
- Le second prototype était fonctionnel mais les résistances parasites des bus de sorties étaient trop importantes et dégradaient la linéarité du circuit sans possibilité de correction laser satisfaisante.
- Le troisième prototype est fonctionnel et les résultats de tests et d'ajustements laser décrits ici sont satisfaisants.

III.2 Description des tests et résultats

III.2.1 Description générale

Le montage suivant est utilisé pour la caractérisation et l'ajustement laser :

- Une référence de courant ou de tension est appliquée V_{REF} .
- VDD et $VDDA$ sont connectés ensemble à une autre source de tension de 3.3V.
- VSS , $AGND$ et toutes les masses sont connectées ensemble.

- L'horloge (CLK) est gardée haute : les registres sont transparents.
- Les codes d'entrée sont générés avec une carte PCI contrôlée avec un script Octave sous Linux.
- Les signaux digitaux de la carte PCI (5V) sont directement appliqués au circuit.
- Le courant analogique de sortie est mesuré sur $OUTC$.
- Le courant complémentaire peut être mesuré sur $\overline{OUTC}$.
- $OUTC$ et $\overline{OUTC}$ doivent être connectés au même potentiel pour une conversion exacte.
- $OUTV$ est fourni pour une éventuelle conversion en tension avec un ampli-op externe.
- $OUTV$ est laissé flottant ou connecté à la masse pour une sortie en courant.

III.2.2 Circuit #1

Testé et calibré par Hugo. Tracé rapide de la fonction de transfert en mesurant le poids de chaque bit et en obtenant toutes les autres sorties par combinaison linéaire de ces poids. Tous les codes ne sont donc pas testés. La calibration du réseau R2R est bien faite mais celle des bits thermomètres est mauvaise. L'erreur provient sans doute d'une mauvaise identification des résistances dans le dessin du circuit. Les identificateurs sont corrigés.

III.2.3 Circuit #2

III.2.3.1 Configuration

- VDD et $VDDA$ connectés ensemble à une source de tension de 3.3V.
- Référence de courant : SMU 2400. ($I_{REF} = 280\mu A$, $V_{REF} \approx 3.3V$)
- Mesure du courant de sortie : SMU Keithley 2400 (1).
- Sortie complémentaire : reliée à la masse, aucune mesure.
- Range : manuel avec recouvrement entre les différentes échelles.

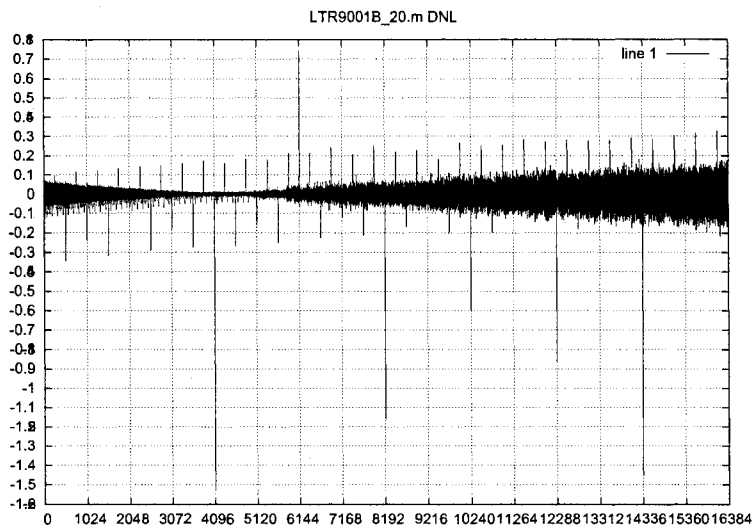


FIG. III.1 Circuit 2, DNL initial.

- Température : aucun contrôle.

III.2.3.2 Linearité initiale

- Les résultats d'INL et de DNL sont montrés aux figures III.1 et III.2.
- Les résultats d'INL et de DNL pour le réseau R2R (12 premiers bits) sont montrés aux figures III.3 et III.4.
- Le CNA à une bonne linéarité jusqu'au douzième bit.
- L'effet de cône du DNL ($\approx 0.15LSB$) est environ 6 fois plus petit que sur le prototype précédent ($1LSB$). Ceci est dû à la réduction de la résistance parasite des bus de sorties.
- La linéarité peut être ajustée par laser.
- Les erreurs de DNL des bits thermomètres peuvent être facilement réduite.
- Les 3 MSBs binaires (R2R) doivent également être ajustés.
- Le DNL des bits binaires peut être recentré autour de 0.

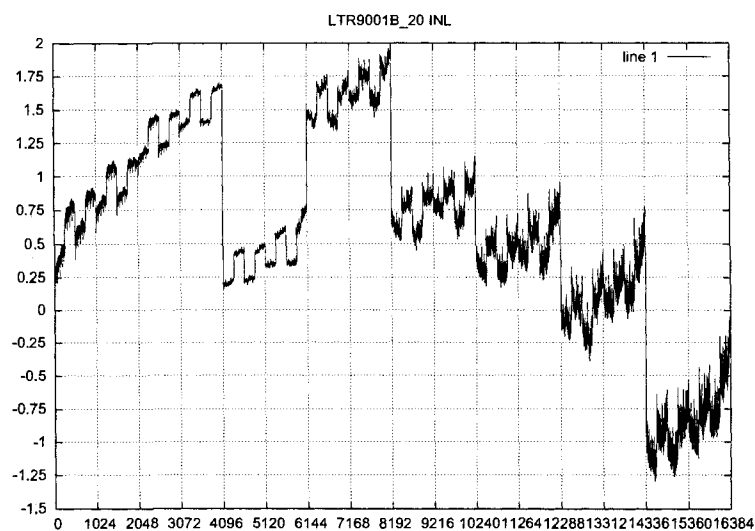


FIG. III.2 Circuit 2, INL initial.

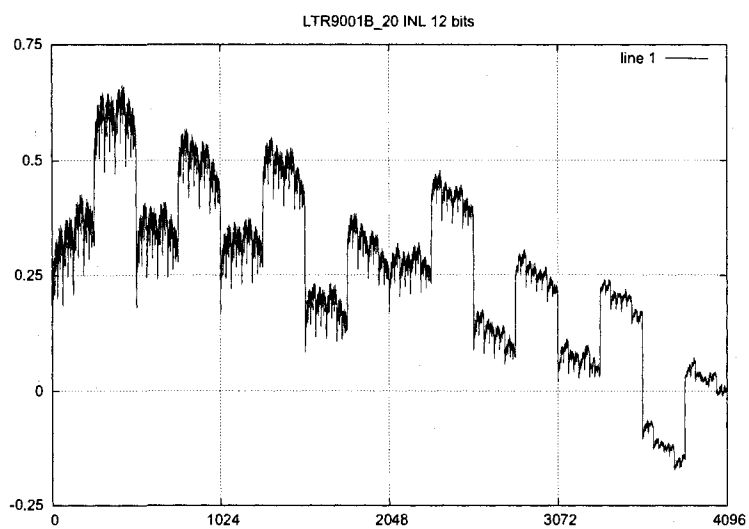


FIG. III.3 Circuit 2, INL initial pour les 12 premiers bits.

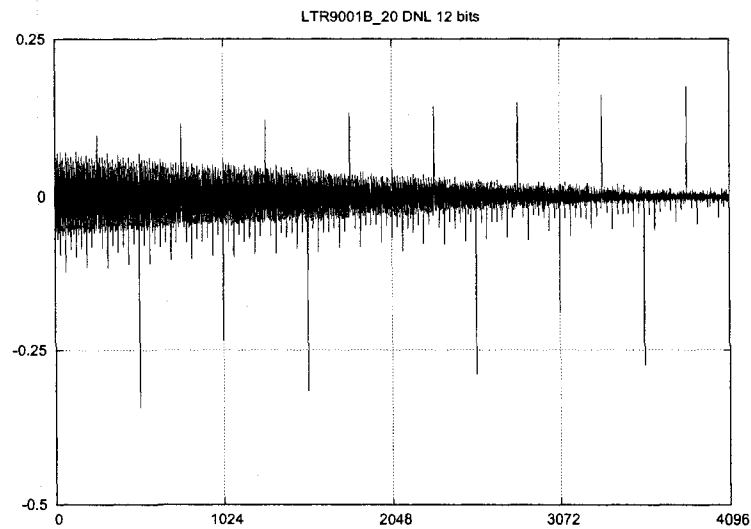


FIG. III.4 Circuit 2, DNL initial pour les 12 premiers bits.

III.2.3.3 Résultats d'ajustement laser

- Les résultats d'INL et de DNL après ajustement laser des dixième et onzième bits (R2R) sont montrés aux figures III.5 et III.6.
- L'ajustement du réseau R2R n'a pas fonctionné car la sensibilité de trimming était trop forte.
- Le courant du circuit est très fort après l'ajustement ! Avant aussi ?
- Ceci est dû au deux niveaux d'alimentation : 3.3V sur VDD et 5V pour les entrées digitales (PCI card).
- Le circuit doit être alimenté à 5V ou les entrées digitales doivent être limitées à 3.3V.

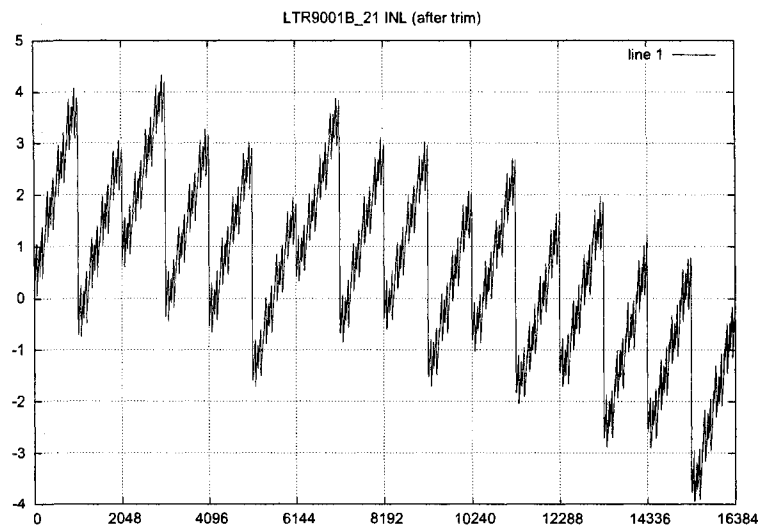


FIG. III.5 Circuit 2, INL (mal) ajusté au laser.

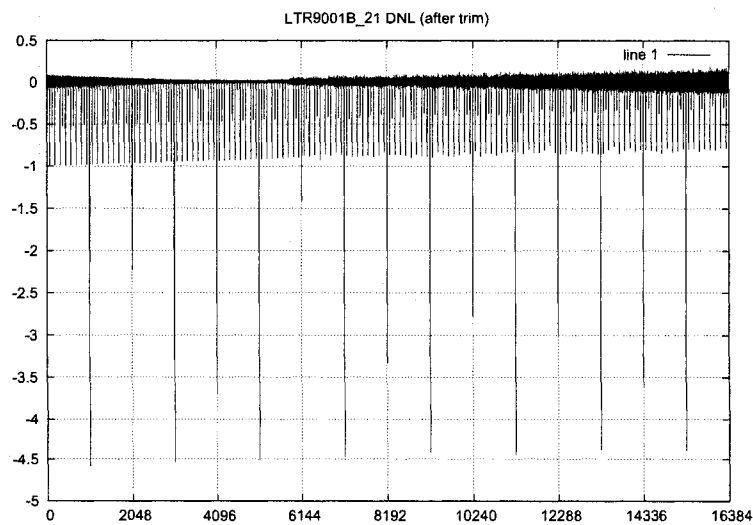


FIG. III.6 Circuit 2, DNL (mal) ajusté au laser.

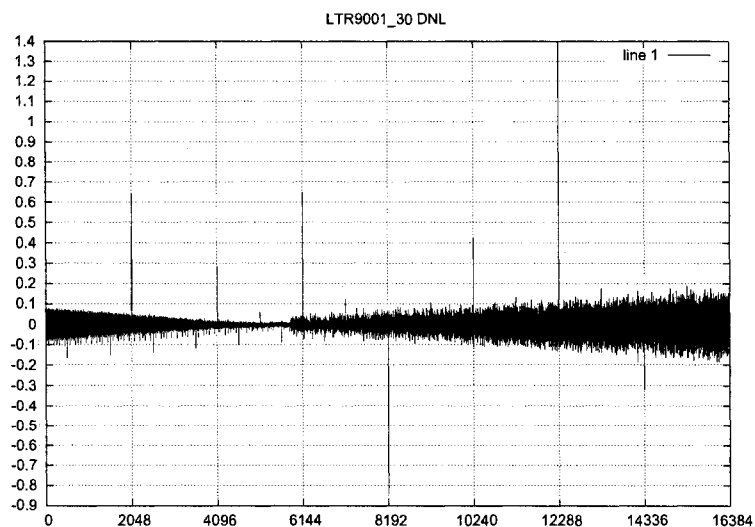


FIG. III.7 Circuit 3, DNL initial.

III.2.4 Circuit 3

III.2.5 Configuration

Même configuration que pour le circuit #2, mais VDD et VDDA sont fixés à 5V. Maintenant, l'alimentation et les entrées digitales sont au même potentiel (5V).

III.2.5.1 Linéarité initiale

– Les résultats d'INL et de DNL sont montrés aux figures III.7 et III.8.

III.2.5.2 Résultats d'ajustement laser

Mauvais ajustement !

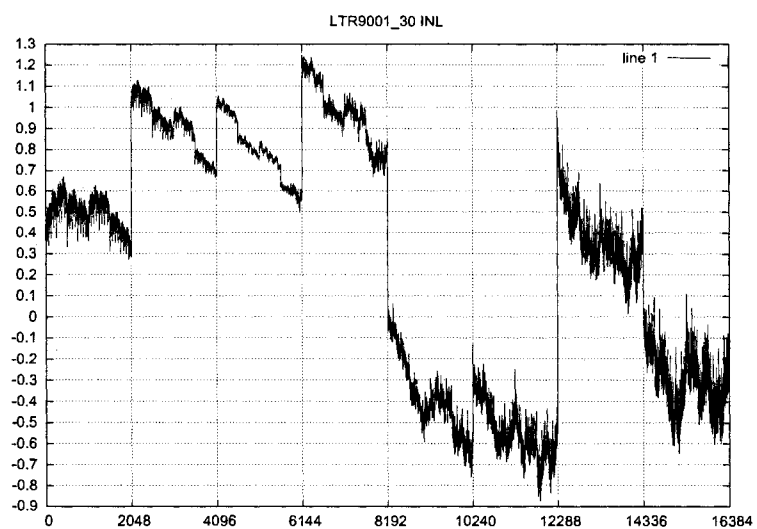


FIG. III.8 Circuit 3, INL initial.

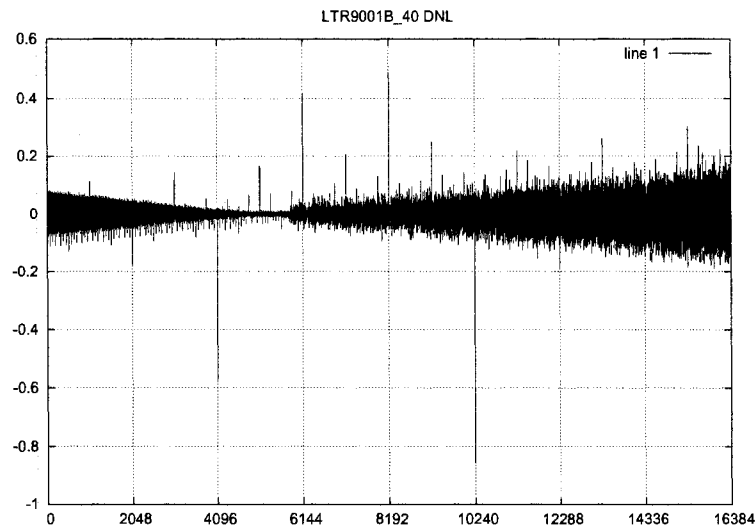


FIG. III.9 Circuit 4, DNL initial.

III.2.6 Circuit #4

III.2.6.1 Linéarité initiale

- Les résultats d'INL et de DNL sont montrés aux figures III.9 et III.10.

III.2.6.2 Résultats d'ajustement laser

- Les figures III.11 et III.12 montrent les résultats de DNL et d'INL après ajustement laser des 3 étages R2R les plus significatifs.
- Les figures III.13 et III.14 montrent les résultats de DNL et d'INL après ajustement des bits thermomètres.
- Puissance laser : 6W puis 5W pour plus de précision.
- Largeur d'impulsion laser : 200ns puis 150ns pour plus de précision.
- Nombre d'impulsion(s) laser : 1
- Position laser : Haut de la fente, aucun déplacement.

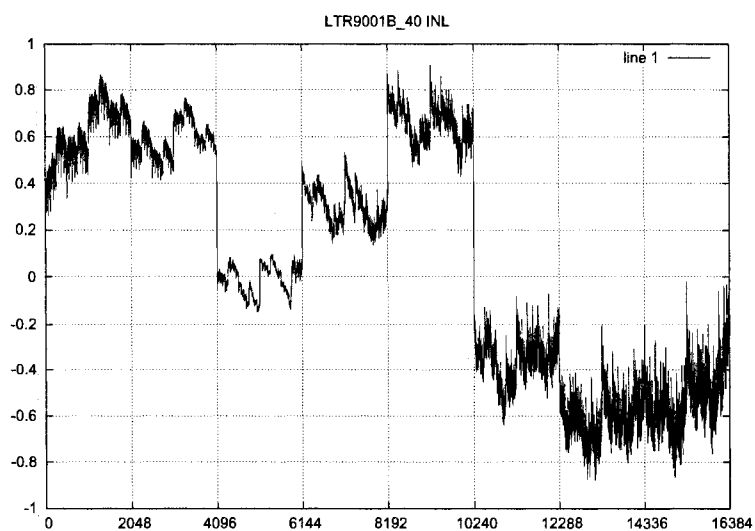


FIG. III.10 Circuit 4, INL initial.

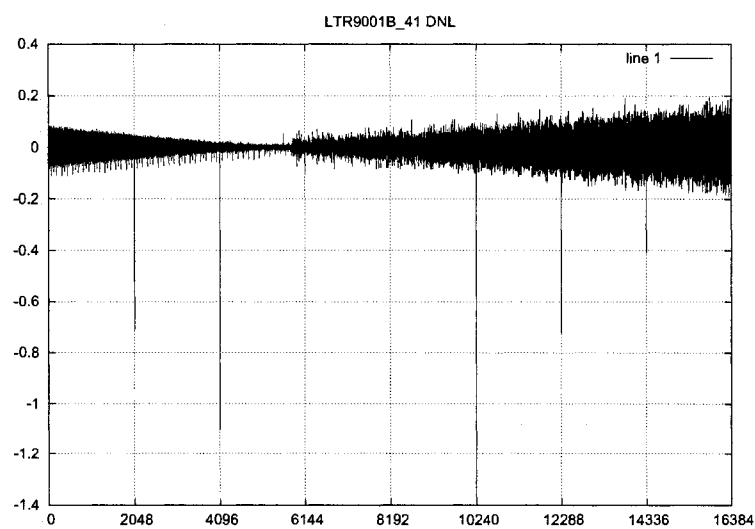


FIG. III.11 Circuit 4, DNL après ajustement du réseau R2R.

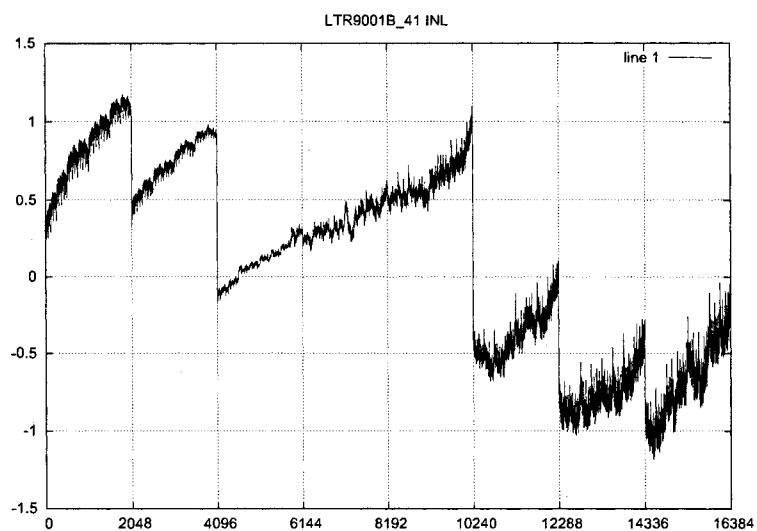


FIG. III.12 Circuit 4, INL après ajustement du réseau R2R.

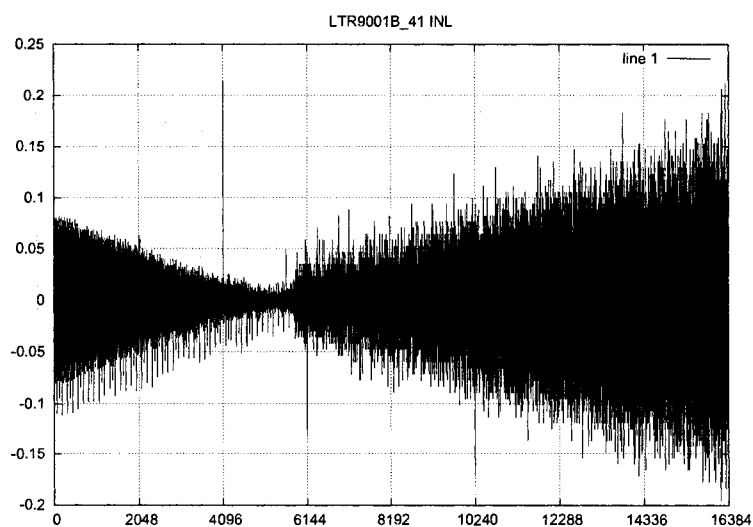


FIG. III.13 Circuit 4, DNL après ajustement des bits thermomètres.

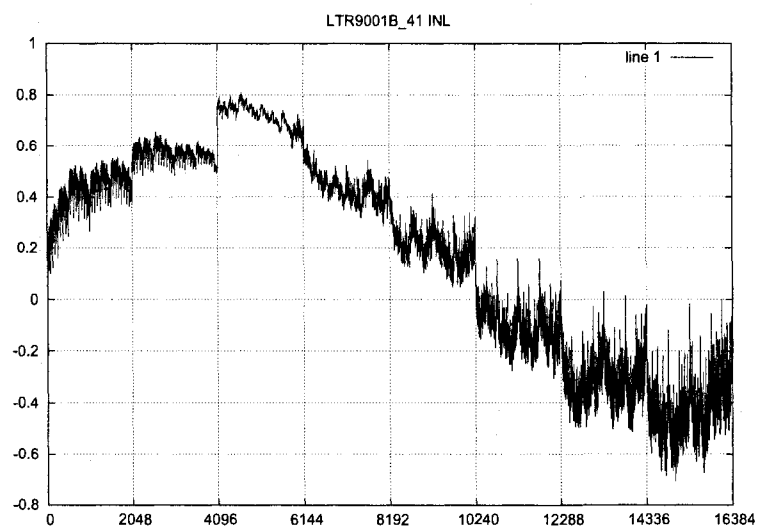


FIG. III.14 Circuit 4, INL après ajustement des bits thermomètres.

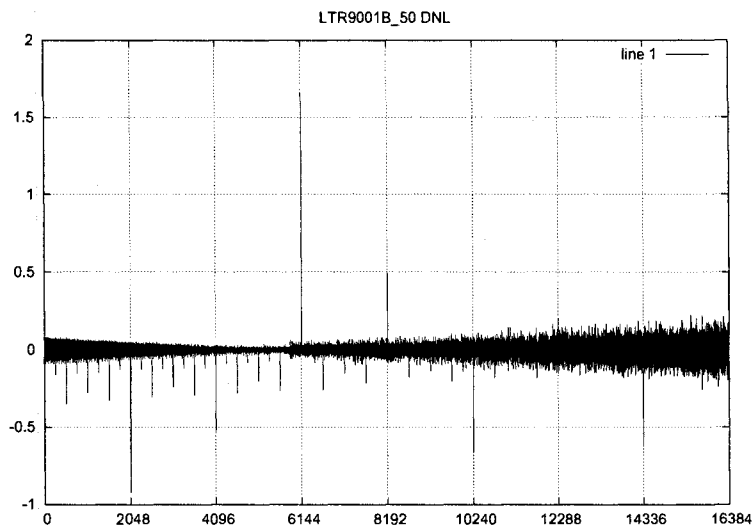


FIG. III.15 Circuit 5, DNL initial avec une référence de courant.

III.2.7 Circuit #5

III.2.7.1 Linéarité initiale

- Les résultats d'INL et de DNL avec référence de courant et avant ajustement laser sont montrés aux figures III.15 et III.16.
- Les résultats d'INL et de DNL avec référence de tension et avant ajustement laser sont montrés aux figures III.17 et III.18.

III.2.7.2 Résultats d'ajustement laser

- Les figures III.19 et III.20 montrent les résultats de DNL et d'INL avec référence de courant, après ajustement laser des 3 bits R2R les plus significatifs et de tous les bits thermomètres.
- Les figures III.21 et III.22 montrent les résultats de DNL et d'INL avec référence de tension, après ajustement laser des 3 bits R2R les plus significatifs et de tous les bits

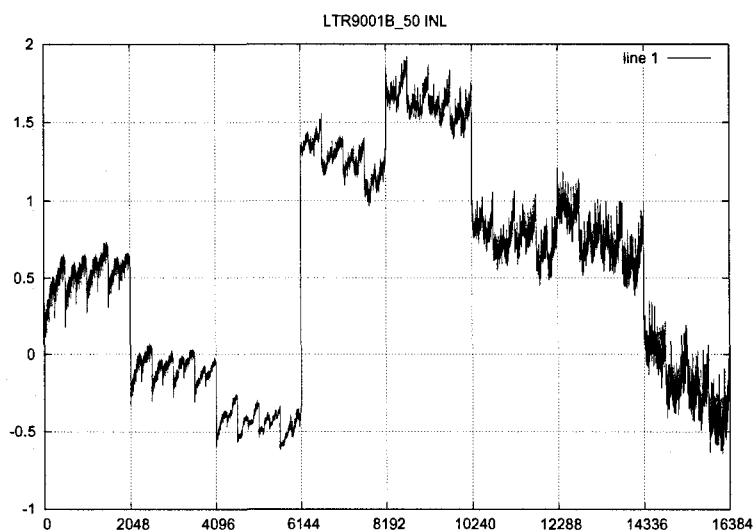


FIG. III.16 Circuit 5, INL initial avec une référence de courant.

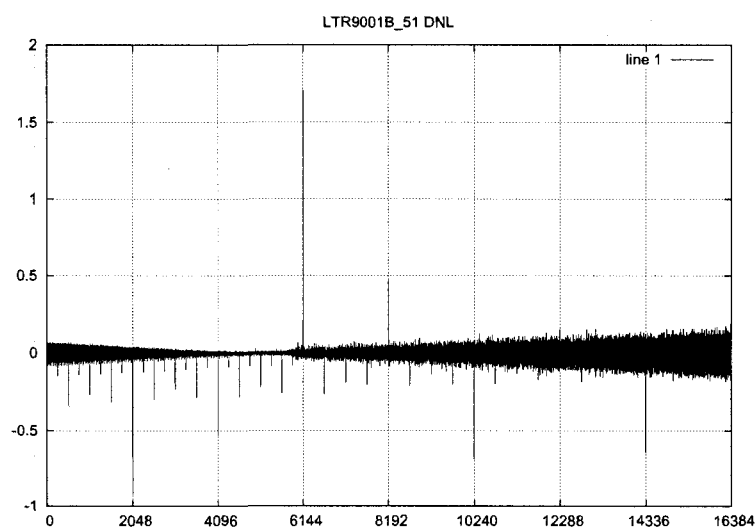


FIG. III.17 Circuit 5, DNL initial avec une référence de tension.

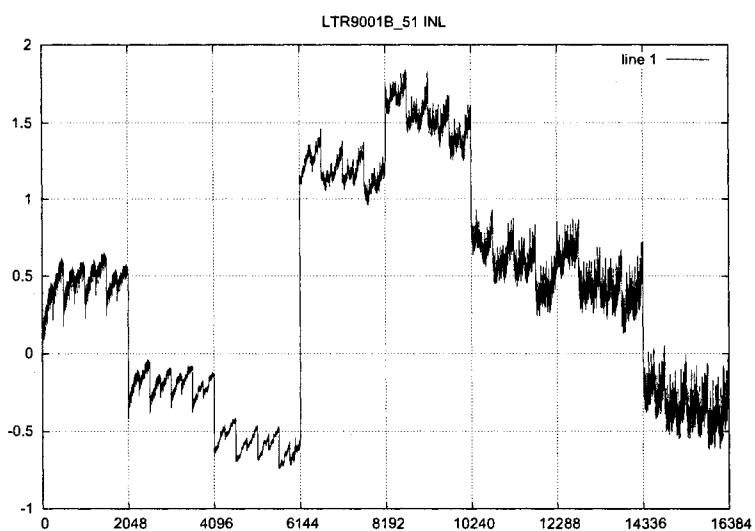


FIG. III.18 Circuit 5, INL initial avec une référence de tension.

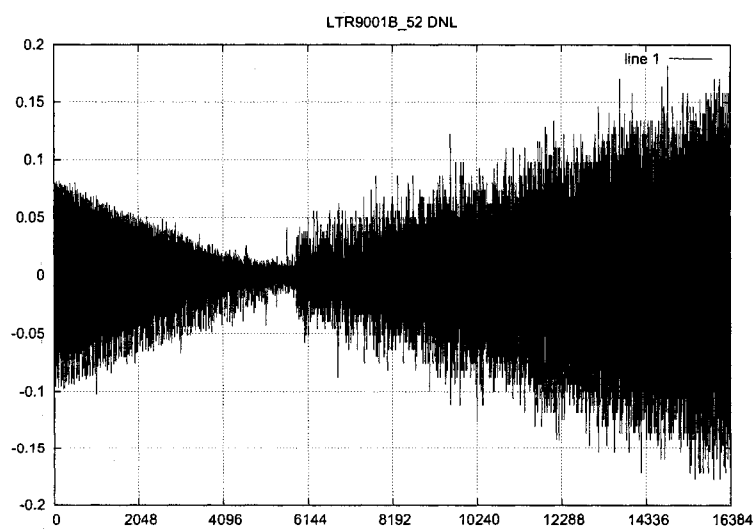


FIG. III.19 Circuit 5, DNL après ajustement laser (référence de courant).

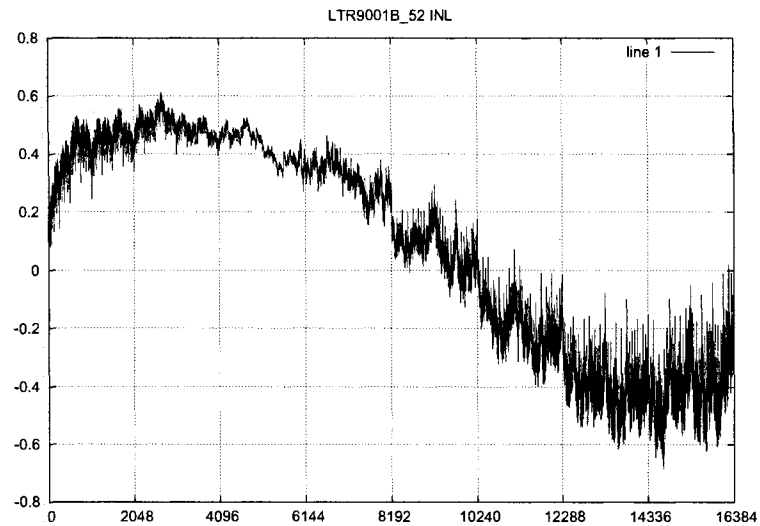


FIG. III.20 Circuit 5, INL après ajustement laser (référence de courant).

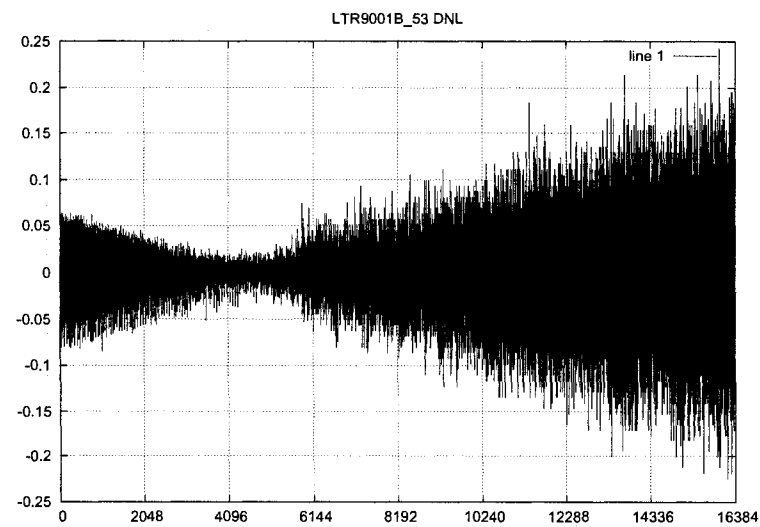


FIG. III.21 Circuit 5, DNL après ajustement laser (référence de tension).

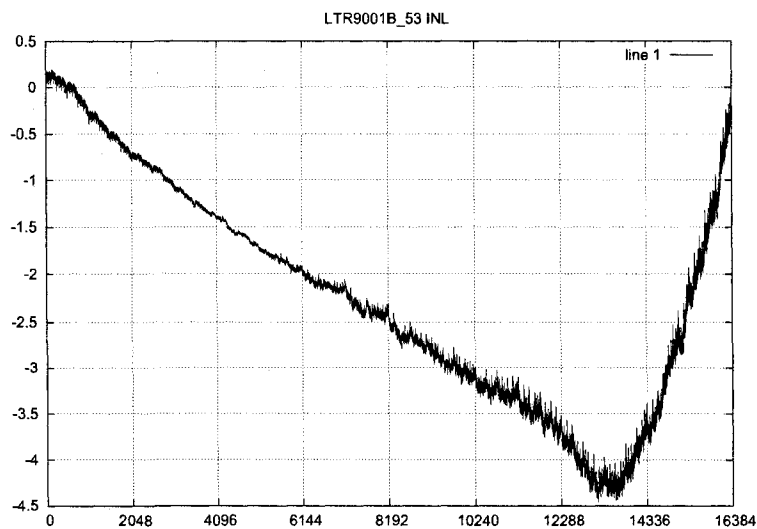


FIG. III.22 Circuit 5, INL après ajustement laser (référence de tension).

thermomètres.

- Puissance du laser : 6W puis 5W pour plus de précision.
- Largeur d'impulsion du laser : 200ns puis 150ns pour plus de précision.
- Nombre d'impulsion(s) laser : 1
- Position du laser : Haut de la fente, aucun déplacement.

III.3 Conclusion

Séquence d'ajustement laser :

- Les bits R2R sont ajustés en premier. Une correction positive ou négative peut avoir lieu en ajustant la branche R ou 2R de l'étage.
- Pour une meilleure correction, les erreurs de DNL sont mesurées avec des codes proches du point de pincement du cône de la courbe de DNL.
- Quand les bits R2R sont ajustés, les bits thermomètres peuvent être corrigés.
- Dans le cas des bits thermomètres, seul une correction négative de DNL peut être réalisée.
- La première étape de correction des bits thermomètres consiste à rendre positives toutes les erreurs de DNL des bits thermomètres.
- Ceci peut se réaliser en corrigeant le bit thermomètre pour lequel l'erreur de DNL est maximale en ajustant la dernière branche R du réseau R2R.
- Les 6 bits thermomètres restant devraient ensuite tous avoir une erreur de DNL négative, et peuvent donc être ajustés individuellement.

Quelques observations générales :

- La forme conique du DNL est toujours présente, mais son amplitude est réduite d'un facteur de 6 à 8 par rapport au prototype précédent.
- La forme conique est toujours due aux résistances parasites des bus de sorties.
- Cet effet est responsable d'une erreur de DNL résiduelle qui atteint 0.15 LSB.
- Étant donné que l'effet de cône ne domine plus celui des variations de procédé, la linéarité peut être ajustée au laser.
- L'ajustement du réseau R2R se fait autour du point de pincement du cône.
- L'ajustement de DNL permet une résolution de 0.1 LSB en utilisant une correction en boucle fermée.
- Ramener toutes les erreurs de DNL à 0 est l'algorithme de calibration le plus direct.
- Tout les circuits testés peuvent être ajustés au laser.

- Le pire DNL initial mesuré est d'environ ± 2 LSB.
- Le pire INL Initial mesuré est d'environ ± 2 LSBs.
- Après ajustement, le DNL est d'environ ± 0.15 LSB.
- Après ajustement, l'INL est d'environ ± 0.6 LSB.
- Une meilleure linéarité demanderait des bus de sorties encore moins résistifs.

Référence de tension ou de courant :

- Tous les tests donnent de meilleurs résultats quand une référence de courant est utilisée.
- Le circuit est très sensible à la température.
- Quand la température varie, la résistance change ainsi que le LSB : $LSB = \frac{I_{REF}}{(2^{14}-1)} = \frac{V_{REF}}{(2^{14}-1)Z_{IN}}$.
- Avec l'utilisation d'une référence de tension, la variation de résistance modifie la valeur du LSB.
- Avec l'utilisation d'une référence de courant, la valeur du LSB reste constante même si la résistivité varie. Dans ce cas, la tension appliquée est constamment ajustée par le SMU pour générer un courant constant et garantir un LSB constant malgré les variations de température.
- Utiliser une référence de courant rend le test moins sensible à la température.
- Pour faire les mesures avec une référence de tension, il faudrait mesurer des tensions en sortie. Cela demanderait l'utilisation d'un ampli-op externe, et la linéarité serait affectée par les performances de ce composant additionnel.
- Les caractéristiques des CNAs R2R sont toujours données pour des mesures de courant de sortie.

ANNEXE IV**ARTICLE #2 : AN IMPROVED SWITCH COMPENSATION TECHNIQUE
FOR CURRENT MODE R2R DACS**

An Improved Switch Compensation Technique for Inverted R-2R Ladder DACs

David Marche, Yvon Savaria and Yves Gagnon

Abstract—Many recent applications are based on DSPs interfaced to analog I/Os with data converters. In this context, high-performance DACs have become crucial building blocks.

The current-steering-flash DAC architecture is the most popular architecture for speed demanding applications. Although limited by component mismatches, resolution of these converters is typically enhanced by calibration solutions such as laser trimming or corrective active circuitry. Dynamic performances, on the other hand, are strongly dependent on switch design and operation which can easily spoil even the best static accuracy level at higher speeds. For this reason, much effort is concentrated on the design of clean switching processes to optimize signal to noise ratios delivered at the output of the DAC.

In this article, we present a novel switch sizing and compensation technique for inverted R-2R ladder DACs. While traditional switch compensation in the ladder leads to very large switch devices steering MSBs currents, our method allows current-steering with reduced-equally-sized-switches. Results of 12 bit DAC test chips fabricated in a 0.18 μm process show that this new technique allows significant area savings, without impairing static accuracy. Other improvements brought by this technique include simplified switch driving circuitry and improved settling time.

I. INTRODUCTION

An increasing number of applications take advantage of the readily available high performances of digital signal processing (DSP). Wired and wireless communication (GSM, xDSL, HDTV), digital waveform generation, instrumentation and test equipment, digital calibration and gain adjustment are a few examples of digital processing systems, [1], [2]. In such applications, digital data sources must be interfaced with analog I/Os and a key element of the overall performance is high-performance Digital to Analog Converters (DACs). The DACs interface must offer high accuracy at high-speed, while consuming minimal power. Furthermore, the demand for portable compact devices values all area saving opportunities.

For high-speed conversion, current-steering flash-DACs are favored among other architectures [3]. Current-steering prevents current sources from turning off and on with digital input variations. Flash conversion is obtained by parallel generation of railed reference currents. A binary weighted

current segment is commonly used to implement the least significant bits (LSBs). It is area-and-power-effective and requires no decoding. For the most significant bits (MSBs), unary weighted current segments are favored for their accuracy and glitch energy reduction. The segmentation proportion between unary and binary weighting is usually a trade-off between matching requirements, linearity, area, power consumption, settling time, and digital complexity of the input decoder and buffers.

In flash-high-speed DACs, resolution is mainly limited by the level of matching reached between all reference currents. Careful layout [4] and other special techniques such as improved switching schemes [5] can reduce mismatch effects to a certain extent, but complexity and area overhead of these solutions typically grow exponentially with target resolution. Although 14 bit intrinsic accuracy was reached in [6], over 10-12 bits of resolution, the matching requirements are such that using trimming or digital/analog calibration is generally the most cost-effective, if not the only available option [7]–[10].

The inverted R-2R ladder is a popular current-mode DAC architecture which is very area effective and commonly calibrated to resolutions up to 14-16 bits. Considering the availability of calibration methods to reach high-resolution, DAC designers are still faced with high-speed operation challenges. Indeed, if generating ratioed currents with high-accuracy and resolution is possible, steering them to the appropriate output at high-speed, while preserving the most of this accuracy is challenging, because switch implementations are far from ideal devices: the single-pole-double-throw (SPDT) steering switches involve critical parasitics mainly dictated by their sizes. Furthermore, to ensure accurate current weighting, binary weighted DAC switches are sized in a binary fashion so as to offer equal voltage drops while carrying different current levels. This sizing not only raises the problem of switch synchronization, but also leads to very large MSB SPDT switches, where transient behaviors become the dominating settling time bottleneck. Thus, in actual products, the analog output dominant sources of imperfections quickly shift from quantification to switching devices, when conversion speed increases [11]. To widen the frequency range where the Effective Number of Bits (ENOB) count remains high, important efforts are being put in the design of SPDT switches and their associated control circuitry. Synchronized and reduced swing control signals with specific crossing points [12] are common effective solutions to enhance dynamic performances. An alternative DAC architecture using identical switches was tested in [13] and allows fast conversions at low resolution. However, there are still very few solutions that allows enhancing switch size

Manuscript received November 3, 2008; revised August 2, 2008. This work was supported in part by LTRIM Technologies.

David Marche and Yvon Savaria are with the Department of Electrical Engineering, École Polytechnique de Montréal, Montréal, QC, H3T 1J4 Canada.

Yves Gagnon was with LTRIM Technologies Laval, QC, H7V 4B4 Canada. He is now with Intégration Dolphin, Laval, QC, H7T 1S8 Canada.

Copyright © 2008 IEEE. Personal use of this material is permitted. However, permission to use this material for any other purposes must be obtained from the IEEE by sending an email to pubs-permissions@ieee.org.

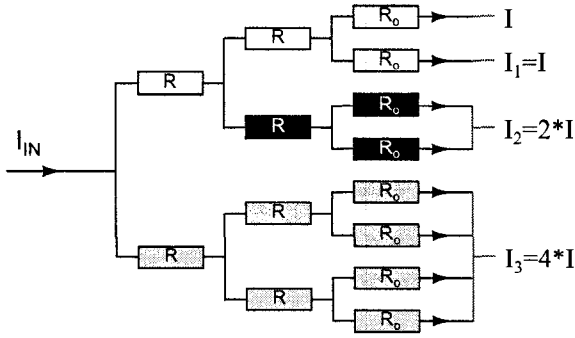


Fig. 1. Generation of 3 Binary-ratioed reference currents.

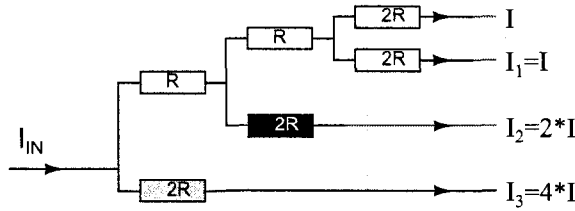


Fig. 2. R-2R equivalent network generating 3 reference currents.

before enhancing their control signals.

In [14] the authors introduce a new switch sizing and compensation technique. Based on simulation results, it was shown that the technique was a promising means to deal with the above mentioned limitations. Since [14] was published, that previous work was completed with experimental validation of the concept on a 12 bit DAC prototype chip. In this paper, after reviewing existing switch implementation solutions in section II, the detailed description of our improved solution is given in section III and experimental results follow: the silicon implementation of the data converter chip is described in section IV and experimental test results are provided in section V. Analysis of these results and other related data are discussed in section VI to enlighten the pros and cons of the improved technique which are summarized in the concluding section VII.

II. EXISTING SWITCH IMPLEMENTATION SOLUTIONS

Figure 1 shows a binary tree dividing an input current into equal output currents. These currents are grouped to

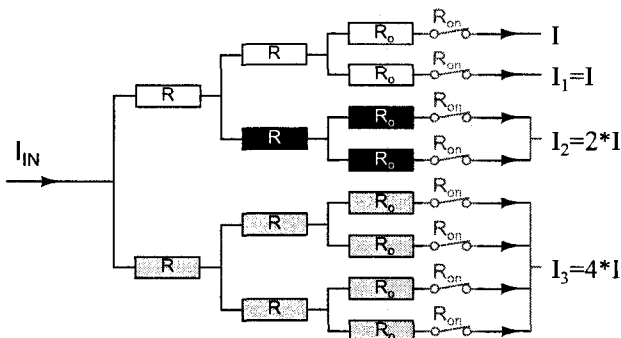


Fig. 3. Binary-ratioed current steering.

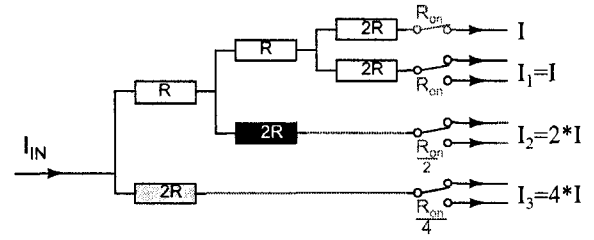


Fig. 4. R-2R equivalent network.

obtain binary weighted output currents. The resistive network requires $2^{(n+1)} - 2$ equal resistors to produce n different binary weighted currents necessary for an n bit DAC. By choosing $R_0 = 2R$, the network can be rearranged into a classic inverted R-2R ladder shown in figure 2. The simplified network requires only $3n + 1$ resistors of equal values for an n bit DAC.

Normal DAC operation requires switches. For current-mode operation, currents in the above networks are typically steered to one of the two current outputs (I_{out} or $\overline{I_{out}}$) by means of single-pole-double-throw (SPDT) switches controlled by input bit values. Since I_{out} and $\overline{I_{out}}$ are usually tied to ground or a virtual ground, nMOS transistors are the most common switching devices. In certain applications, the output voltage found on I_{out} and $\overline{I_{out}}$ will not allow nMOS devices to stay in triode region and the use of different switch types such as pMOS transistors or transmission gates is necessary. However, analysis is here limited to nMOS switch implementation but naturally extends to other types of switches.

Switches exhibit a resistance value (R_{ON}) that must be considered in the resistance network for accurate current division. Considering switches are nMOS transistors operating in the triode region, they act as resistors with values given by the following equation:

$$R_{ON} = \frac{V_{DS}}{I_D} = \left[\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th} - \frac{V_{DS}}{2}) \right]^{-1} \quad (1)$$

For small V_{DS} values, R_{ON} is mostly determined by $V_{GS} - V_{th}$ and can be approximated as:

$$R_{ON} = \left[\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) \right]^{-1} \quad (2)$$

Note that although R_{ON} is mostly a function of W , L and the $V_{GS} - V_{th}$ (V_{EFF}), accurate switch resistance ratio is better achieved by scaling the width of matched devices. Indeed, scaling resistance by modifying effective channel length or V_{EFF} involves undesirable effects like threshold voltage shift [15], which leads to poor ratio matching.

A. Binary compensation

Figure 3 shows the basic binary tree with switches added to the outputs. Again, choosing $R_0 = 2R$, the new equivalent inverted R-2R network including the output switches is shown in figure 4. This classic solution [16] is included here for completeness and to serve as a reference point. Note that input impedance balance between any two branches is unaltered by

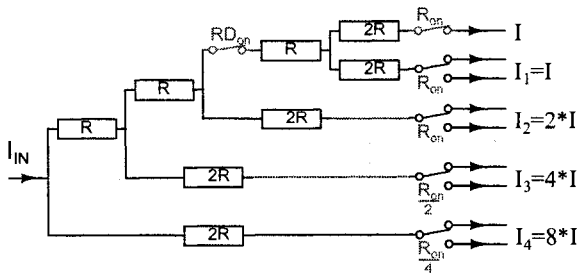


Fig. 5. Cecil's R-2R switch implementation.

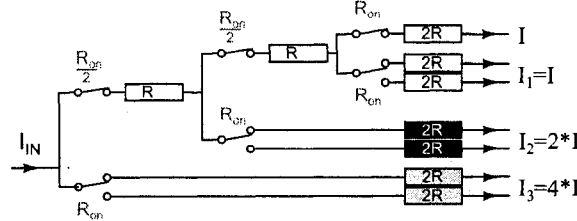


Fig. 6. Morlon's R-2R switch implementation.

switch addition and accurate current division is still ensured. This switch implementation is the most common solution that is used in most inverted R-2R ladder DAC products. We refer to this method as *Binary compensation* because switch resistances follow a binary decrease from LSB to MSB.

Since all source and bulk terminals of the output switches are connected to ground (or a virtual ground), V_{BS} and consequently V_{th} are equal for all switches. Assuming that controlling gate signals of all bits have the same amplitude, V_{GS} is also equal for all switches. In these conditions, and according to (2), exact halving of resistance is obtained by doubling transistor effective width. If the LSB switch is made of one device, the MSB will need 2^N parallel devices. In practice however, matching of the LSB is not as critical and MSB switch size can be reduced by using longer LSB switches and sizing their R_{ON} with the length dimension. Still, high resolution DACs tolerance to LSB mismatches is limited and they suffer from very large transistors steering the currents of the MSBs. The impact on switching speed increases with the resolution of the DAC, and switch control requires added synchronization circuitry adapted to the binary sizing.

B. Cecil's compensation

Figure 5 shows an alternate option to binary compensation proposed by James B. Cecil [17]. In this solution, MSB switches are reduced because binary sizing is only applied to a certain number of MSBs. All remaining LSBs are equally sized and the ladder balance is ensured with a compensation dummy switch (RD_{ON}). Since switch mismatch on lower significance bits is acceptable up to a certain limit, MSB switch size is traded against linearity. Note that switch sizes remain different for all MSBs.

C. Morlon's compensation

Figure 6 shows another switch implementation option proposed by P. Morlon [18]. In this solution, SPDT switches

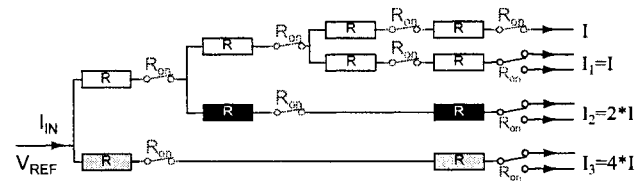


Fig. 7. Asazawa's R-2R switch implementation.

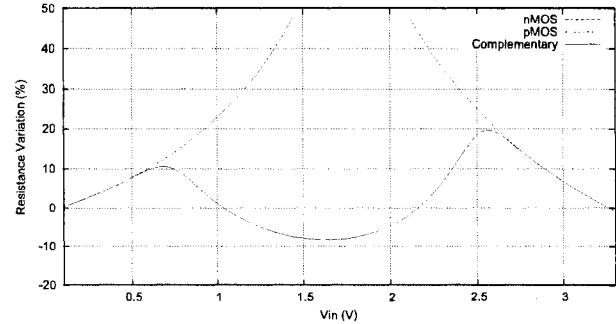


Fig. 8. Transmission gate resistance variation as simulated with Hspice using TSMC 0.18 μ m 3.3V models. The complementary switch is balanced with 1 nMOS device and 3 pMOS devices in parallel and kept under small V_{DS} conditions. Controlling signals are 3.3V for nMOS and 0V for pMOS. Bulk and sources are shorted for each device to limit thresholds variations.

(R_{ON}) have been moved away from the output nodes (I_{out} and $\bar{I}_{out}$) and dummy switches ($\frac{R_{ON}}{2}$) keep branches impedance balanced to ensure accurate current splitting at each node. $2R$ shunt branches have also been duplicated and the design now requires $2n$ additional resistors.

Morlon's dummy switch compensation allows the use of a single type of small SPDT switches, which eliminates the exponential switch size trend found in the classic binary compensation (c.f. section II-A). This property greatly simplifies the design of the switch drivers and associated synchronization circuitry necessary for good dynamic performances. On the other hand, this architecture suffers in terms of area from the duplication of all $2R$ resistors, and in terms of settling time, from the important switching charge redistribution occurring in these same resistors during operation. Indeed, since SPDT current steering no longer occurs at the output nodes, the usual inverted R-2R stable voltage state does not exist anymore, and longer settling time can be expected.

D. Asazawa's compensation

Figure 7 shows another switch implementation option, patented in 1992 by H. Asazawa [19]. This solution takes the best of previous techniques to allow the use of a single switch resistance value. In this configuration, switches are distributed and balanced in the network and at the outputs. Assuming it is possible to place across the network dummy switches all exhibiting the same R_{ON} , tree balance is ensured without the need for binary weighting of output switch resistance. Since all switches are equally sized, SPDT switch drivers and synchronization circuitry is greatly simplified.

Note that in order to keep their ladder impedances balanced and ensure accurate current divisions, Morlon's and Asazawa's compensations both require matched R_{ON} values for all

switches. However, each of these switches have different input voltages and thus operate in different biasing condition. In this case, matching resistance values of all these devices becomes the main circuit challenge. To solve this problem, Morlon and Asazawa use transmission gates for all switches. Apart from the increased circuit complexity of complementary devices, it is also known that resistance value of such gates can vary significantly with input voltage. Figure 8 plots a typical balanced transmission gate resistance behavior when its input voltage is modified. This variation results in potential large R_{ON} mismatches across the ladder, which translate into linearity errors and become a major limiting factor when reducing switch sizes. In this case, compensation allows the use of equally-sized switch devices that are easier to synchronize, but it is still subject to a speed/area/linearity trade-off, which either requires the use of wide switches or large R-2R resistors in order to limit R_{ON} variation impact on the ladder balance.

In the following section, we describe the proposed improved switch compensation technique, which allows using minimum-and-equally sized dummy and SPDT switches without any linearity degradation.

III. IMPROVED SWITCH COMPENSATION

This work assumes a DAC architecture very similar to that proposed by Asazawa and shown in figure 7. The main difference relates to the implementation of switches. In Asazawa's work, the switches were implemented as balanced pass gates, whereas in our work, we have previously reported in [14], based on simulations, that it is possible to use simple nMOS transistors as compensation devices if appropriate biasing is ensured. Following is a description of this improved switch design solution including compensation devices and their associated biasing elements. This solution is used in the prototype chip later described in section IV.

A. Switch type

With the considered structure, the two leftmost switches of figure 7 are the ones exposed to the highest input voltage. Considering switch resistance is small compared to R-2R main resistors, their input voltage is approximately $\frac{1}{2}V_{REF}$. Dummy switches placed further right in the ladder will see an input voltage which is roughly divided by two for each additional stage.

Most actual DAC products are powered with single supply (V_{DD}), use a voltage reference which cannot exceed the supply value, and are used with the two current outputs connected to the ground or virtual ground. In this case, the highest switch input voltage encountered in the DAC is around $\frac{1}{2}V_{DD}$, and it occurs if V_{REF} is set equal to the supply voltage. Figure 8 shows that, for this input range, nMOS devices are providing most of the conductance of the entire transmission gate. The same figure also shows that nMOS conductance varies significantly with input voltage. This comes at no surprise, since R_{ON} of a device with fixed geometry is mainly determined by V_{GS} (c.f. (2)). Hence it is possible to use only nMOS devices for all switches, but appropriate biasing is needed to ensure that these devices will all have equal R_{ON} .

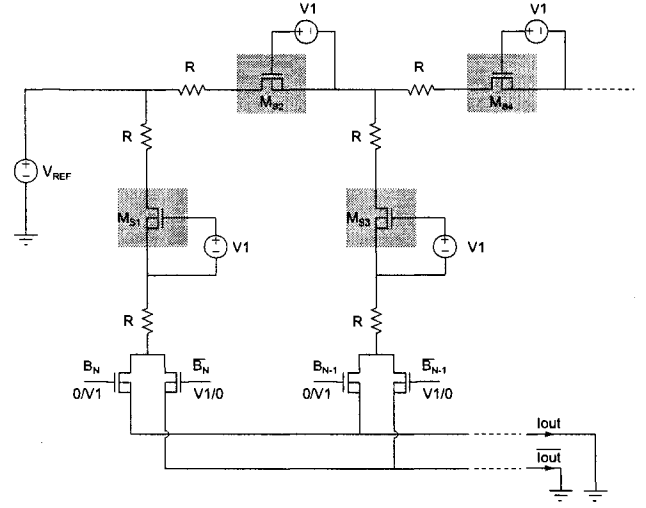


Fig. 9. Ideal dummy-switch biasing. Gray zones indicate switch compensation devices.

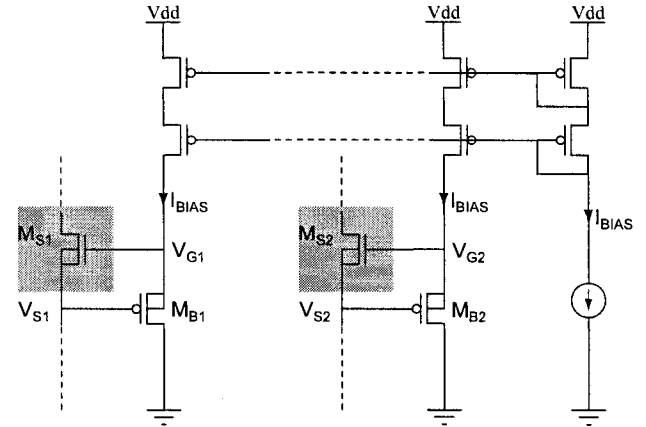


Fig. 10. Practical dummy-switch biasing. Gray zones indicate switch compensation devices.

Note that we describe here the most common case, but some applications will not allow the use of nMOS as conducting devices. In these cases, the pMOS devices or complementary switches can be used with, again, appropriate biasing such as described in the next section.

B. Switch biasing

As stated by (2), for a fixed geometry, R_{ON} is a function of V_{GS} and V_{th} . Figure 9 shows the two first current division stages of an R-2R ladder with dummy switches (highlighted) inserted and biased with ideal voltage sources. In this circuit, equally sized output and dummy switches are used across the entire converter and the V_{GS} of all switches is kept constant with ideal voltage sources that do not interfere with the R-2R network currents. Note that source voltages (V_S) are different for all dummy-switches and that their gate voltages (V_G) must be set accordingly with floating sources. Recall that a maximum value of $\frac{1}{2}V_{REF}$ is reached by dummy-switch sources of the first stage. For the gate voltage of these devices to allow conduction and not exceed V_{dd} , the maximum switch

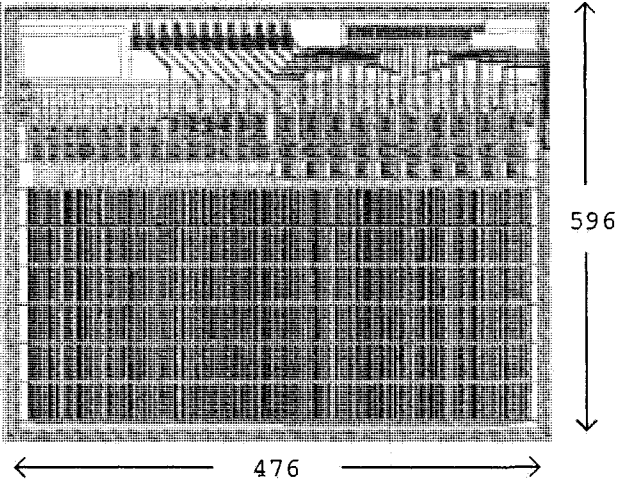


Fig. 11. DAC cell layout and dimensions (μm).

control signal (V_1) must be limited to the following range :

$$V_{th} < V_1 < V_{dd} - \frac{1}{2}V_{REF} \quad (3)$$

Note also that, for every switch, its bulk node is shorted to its source node, setting a null V_{BS} , hence controlling the body effect to ensure nominally equal V_{th} for all switches. In reality, shorting the bulk and the source of the dummy switches requires placing them in dedicated deep N-wells, because the source terminals may not be at the lowest circuit potential. This affects technology choice and also matching level due to the spacing needed between the triple-wells.

Practical implementation of the voltage sources requires biasing the switches without affecting the current division accuracy of the R-2R network. Figure 10 shows the proposed biasing circuit. V_{GS} values of dummy switches is set by forcing a current (I_{BIAS}) through dedicated biasing pMOS transistors. Gate voltage of pMOS bias transistor M_B senses the V_S value of the biased switch M_S and is set by the R-2R network. Source voltage of pMOS bias transistor M_B is offsetted from the sensed V_S by I_{BIAS} that sets the gate voltage (V_G) of M_S . Note that, in suitably designed current-mode R2R DACs, nodes in the network feature a stable voltage state, thus the capacitances added by the gates of M_{BX} devices have little impact on the DAC conversion speed.

This biasing sets nominally equal R_{ON} values for all switches and gate isolation avoids any DC current exchange between the biasing circuit and the R-2R network. Cascode current mirrors are used to distribute accurate copies of the biasing current to bias transistors (M_B). Body effect of these pMOS transistors is controlled by source-bulk shorting and the use of large M_B devices to avoid short channel effects on threshold voltage.

IV. IMPLEMENTATION

To verify the efficiency of the new switch compensation, a 12 bit R-2R DAC was fabricated with the $0.25\mu m$ 3.3V TSMC CMOS process. Figures 11 and 12 shows the layout and a die photo of the DAC. The cell's core area is $0.28mm^2$ of which

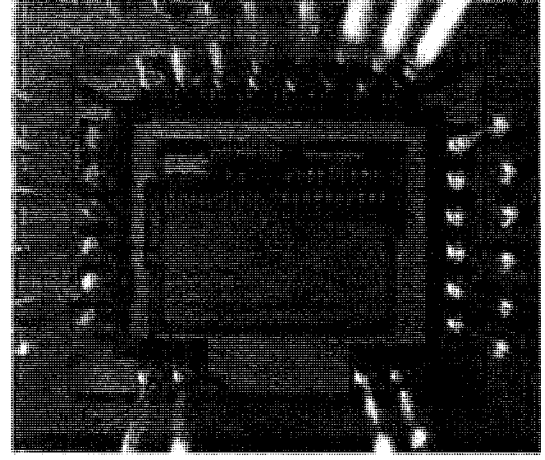


Fig. 12. Image of the chip fabricated in $0.18\mu m$ 3.3V TSMC CMOS process.

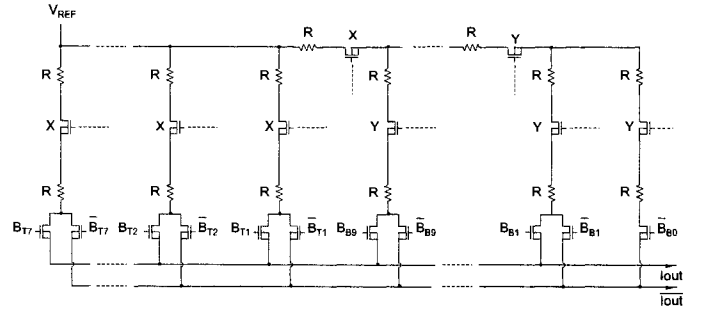


Fig. 13. Simplified schematic of the segmented 12 bit DAC implemented (compensation biasing devices not shown): gates of devices X are connected to V_{REF} , and devices Y are biased with level shifters as shown in figure 10.

52% is used for resistors and 14% is used for switches and associated biasing. The remaining area is dedicated to digital circuitry and interconnections. Figure 13 shows the schematic of the DAC: A binary weighted segment implementing the 10 LSBs is combined to an unary weighted segment which adds 2 thermo-encoded MSBs. With this architecture, the LSB current is 2^{10} times smaller than MSB currents (unary weighted). Note that for such a segmentation, a mismatch level better than 0.2% ($\frac{1}{2^9}$) ensures the DNL is kept smaller than 1LSB, since it guarantees that MSB deviations do not exceed the LSB value. Resistors are $50k\Omega$ poly devices matched together using common-centroid technique and dummies surrounding the resistor array. Matched to the ladder, a feedback resistor is also included for eventual voltage output configuration with an external opamp.

Each resistor is connected either to a dummy nMOS switch or to an output SPDT nMOS switch. Dummy switch biasing is done as follows:

- For the thermo-encoded segment and the first R branch, dummy switch gates are tied to V_{REF} . For these devices, noted X in figure 13, the V_{GS} is thus set to $\frac{1}{2}V_{REF}$.
- For the binary-encoded segment (excluding the first R branch), each dummy switch is biased as described in section III-B, which means a cascode mirror and a level-shifter bias transistor is dedicated to each of them. These devices, noted Y in figure 13, are biased as shown in

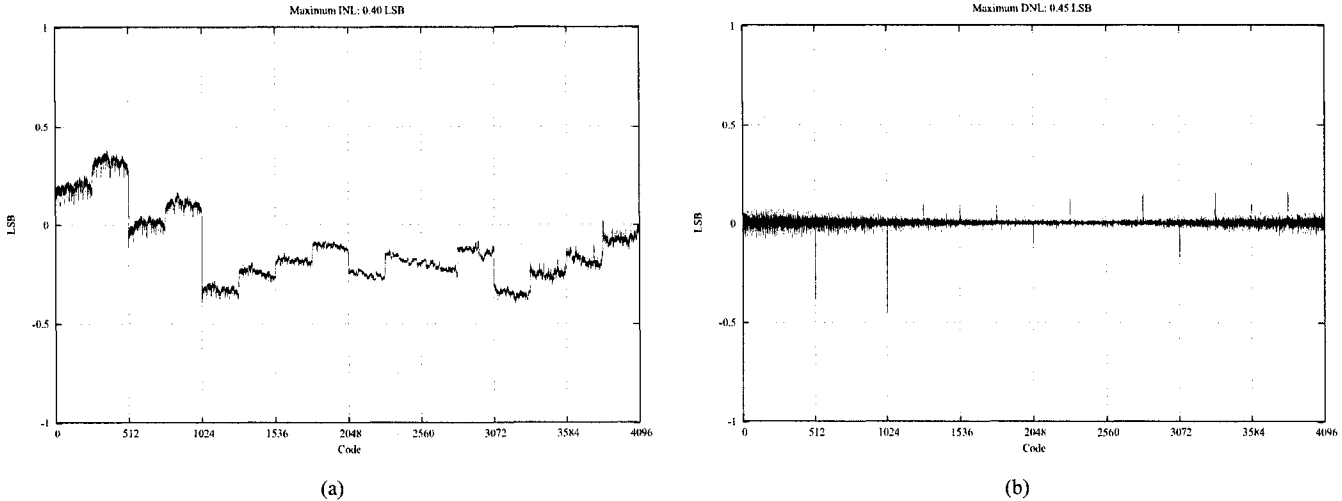


Fig. 14. Typical chip linearity result: INL curve (a) and DNL curve (b) with thermo encoded MSB errors showing up every 512 codes.

figure 10, and the biasing current also sets their V_{GS} to $\frac{1}{2}V_{REF}$.

As laid-out, poly resistors and switches (SPDT and dummies) form two matched arrays to optimize thermal tracking of all R2R resistive components. Biasing current mirrors and level shifters form other arrays to match V_{GS} values of the dummy devices.

The prototype chip was designed for a 3.3V voltage reference (V_{REF}). Since the input impedance of the R-2R ladder is approximately $12.5k\Omega$, it sinks around $264\mu A$ from the external voltage reference. Digital 1.65V signals drive all SPDT switches, and biasing also sets 1.65V V_{GS} on all dummy switches (c.f. (3)). As implemented, level shifters (c.f. M_{B1} and M_{B2} in fig. 10) require a current of $6.45\mu A$ to generate this 1.65V bias voltage level. This leads to an extra $110\mu A$ consumed only for the switch compensation biasing.

Note that the goal with this prototype was to prove the efficiency of the switch compensation on the resistor ladder balance. For this reason, focus was put exclusively on DC accuracy. Thus, the circuit was not optimized for AC performance and no effort was put into dynamic aspects such as synchronization and crossing point of switch control signals [20]. Here, functionality of SPDT switches is ensured by simply generating complementary signals of SPDT switches ($\overline{B_{XX}}$) from input bit values (B_{XX}) with inverters. For settling time optimization, specialized latches [6], [21], [22] should also be added to this design to correctly toggle SPDT states upon a clock signal event.

V. EXPERIMENTAL RESULTS

All existing samples of the prototype chip (6) were tested to evaluate the linearity of the compensated ladder. Figure 14 shows typical measured linearity curves. All dies have 12 bit static accuracy with INL and DNL always within the $\pm 1LSB$ range. Measured DNL errors show a maximum mismatch not exceeding 0.1%.

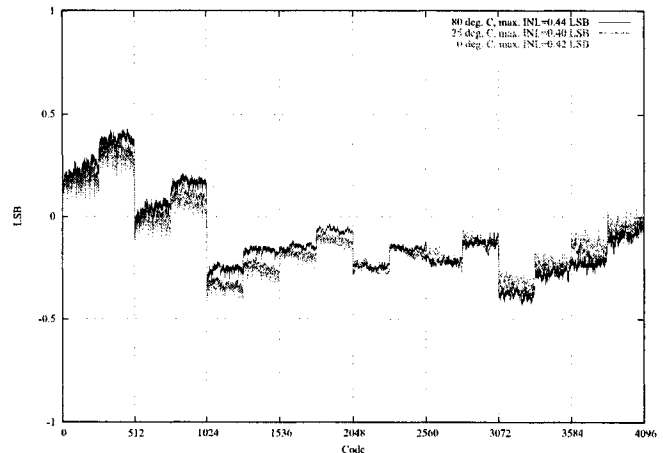


Fig. 15. Temperature effect on the compensated ladder linearity.

Temperature compensation tracking was also tested. For this purpose, linearity was tested at various temperature to measure DC accuracy drift. Figure 15 shows typical linearity curves at $0^\circ C$, $25^\circ C$ and $80^\circ C$. The small INL drift demonstrates that overall R-2R ladder balance including switch compensation is little affected by temperature variations.

Our circuit was designed to allow testing the use of compensation MOSFETs as calibration devices. By adjusting I_{BIAS} of some compensation devices, it is possible to compensate resistor mismatch and cancel nonlinearities. To evaluate this ability, the biasing current associated with the binary segment can be adjusted. Although this only offers limited calibration freedom, it allows balancing the binary segment with the thermo segment and thus enables us to calibrate the thermo bits DNL errors. Figure 16 shows the typical thermo bit DNL error calibration function for our design: DNL error is modified by varying the compensation current. A complete calibration of the DAC would require the ability to adjust each compensation device biasing current independently to compensate for individual bit weight mismatch.

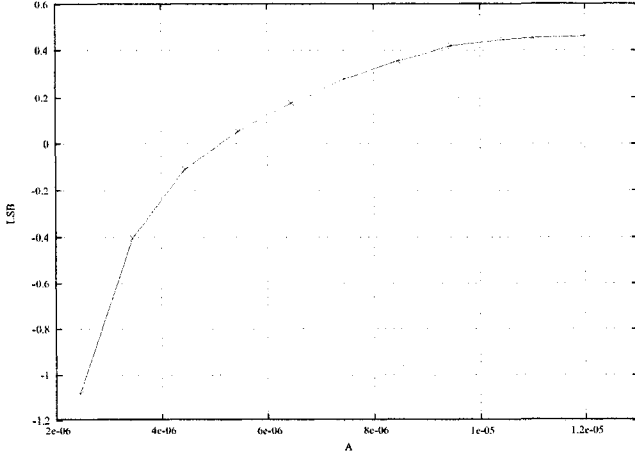


Fig. 16. Typical MSB DNL error versus compensation bias current: a thermo encoded bit DNL error is measured for different compensation biasing current applied to the binary segment.

All results show good linearity and confirm design assumption as well as simulation results regarding the efficiency of the switch compensation. Indeed measured static performances show that our compensated R-2R ladder stays well balanced over a wide temperature range. Compensation MOSFETs can also be used as calibration devices. Improvements over other existing compensation techniques are discussed in the next section.

VI. DISCUSSION

Experimental results show the applicability of the new compensation technique. However, the question on what and how much improvement is brought by this technique remains. Typical trade-offs in ICs such as DACs include performance, area and power consumption.

To evaluate the value of our compensation, three different compensation techniques were tested in a fair circuit simulation testbench with different switch geometry: the binary compensation, Asazawa's compensation and our new compensation. For each of these techniques, switch size impact on linearity was evaluated. For better compensation and linearity results, only the widths of the switch devices was varied by using different numbers of transistors in parallel. For Asazawa's and our compensation, switches all have the same size, whereas binary compensation features switches of different sizes with the MSB being the largest (c.f. section II-A and II-D). Whenever possible, length was kept minimal but, in the binary compensation case, length of LSB switches must vary for good compensation of reduced MSB switches. Binary and Asazawa SPDTs are driven by full-swing signals $\{0, V_{DD}\}$ while our design uses reduced-swing signals $\{0, \frac{1}{2}V_{DD}\}$ complying with (3). All these designs are based on $50k\Omega$ unit resistors and all given linearity results are expressed in terms of 12 bit LSBs.

As a first verification, the designs under tests are compared with an uncompensated DAC in which all SPDT switches are of equal sizes and are driven with full-swing signals $\{0, V_{DD}\}$. Linearity results versus MSB SPDT area are plotted in figure 17. Irrespective of the adopted circuit solution, linearity is

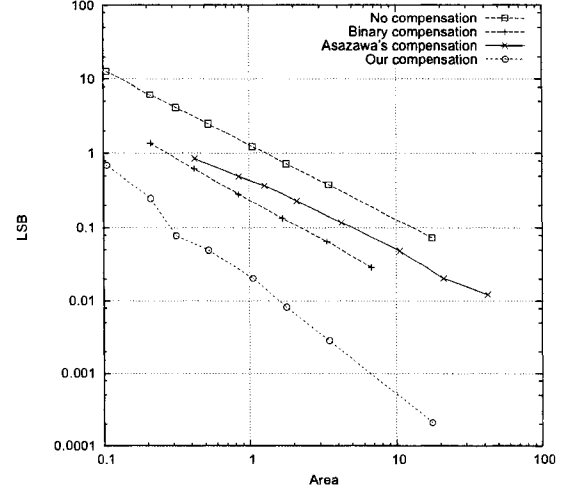


Fig. 17. INL (LSB) versus gate area of largest SPDT switch (μm^2) found in the design.

degraded with switch size reduction. For the uncompensated circuit, it is obvious that switches have more impact on the R2R network balance when their resistance is increased relatively to the unit resistance value of the network. For compensated circuits, reasons of linearity degradation are analyzed in more details in the following paragraphs. Referring again to figure 17, and using the uncompensated circuit as the reference DAC, the classic binary compensation improves linearity by almost an order of magnitude. Asazawa's solution allows using equally-sized switches, but compensation efficiency is not as good as the binary solution. Finally, our compensation allows using smaller and equally-sized switches and results in better linearity than other solutions.

Linearity results versus different area measures are plotted in Figure 17. As was observed in figure 18 regardless of the compensation used, linearity degrades with reduction of switch sizes. In the case of binary compensation, reduction of total switch device area requires lengthening LSB devices to preserve binary progression of SPDT R_{ON} . However, poor resistance ratio is obtained by multiplying transistor length and this mismatch impacts linearity. In the case of Asazawa's compensation, linearity degradation is caused by different mismatch sources. First, compensating transmission gates have different input and output voltage which affect their R_{ON} values and introduces mismatch in the resistor ladder (c.f. fig. 8). Second, since all switches are equally sized but carry different currents, their R_{ON} are modulated by different V_{DS} values (c.f (1)) creating additional mismatch which becomes more important as switch size is reduced. Combined together, these two effects are responsible for the linearity degradation observed with reduced switches. Our compensation gets rid of the first mismatch source with adequate biasing of compensation devices, but linearity is still degraded by V_{DS} modulation of R_{ON} occurring on all switches.

Settling time of DACs is usually dictated by the transient behavior of the largest switch where charge redistribution is the most important during state toggling. Figure 18(a) plots the simulated linearity as a function of the largest

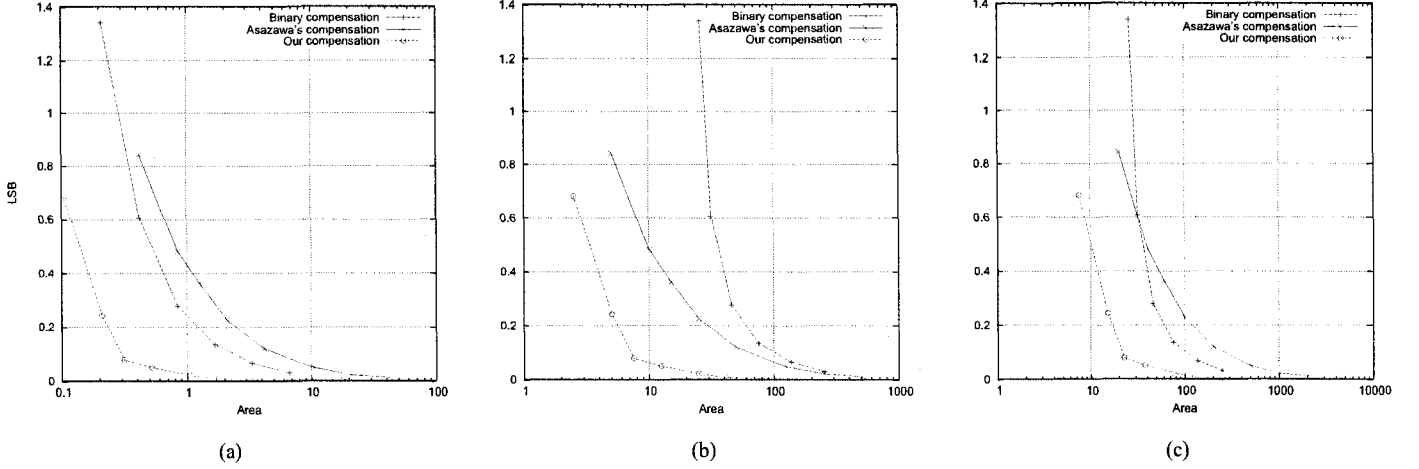


Fig. 18. INL (LSB) versus different area (μm^2) measures: gate area of largest SPDT switch found in the design (a), gate area of all SPDT switches together (b), gate area of all SPDT switches and compensation switches and biasing (c).

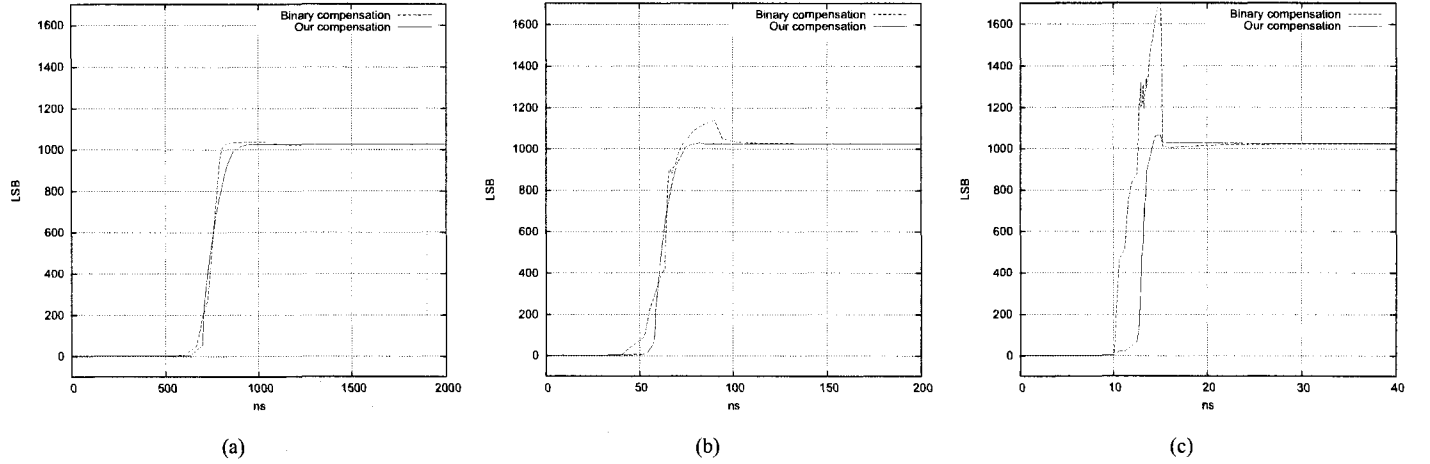


Fig. 19. 10 bit DAC output current settling behavior for different SPDT control signals transition times: 500 ns (a), 50 ns (b), 5 ns (c). Settling time within ± 0.5 LSB is respectively improved by 70%, 68% and 72% using our compensation solution.

switch size for the different compensation methods under test. Compared to the classic binary sizing technique and for any given largest switch size, Asazawa's compensation degrades linearity whereas our compensation improves it. Thus our compensation allows gains in settling time and/or linearity. Figure 19 shows full-scale settling simulation results for two 10 bit DACs featuring the same INL (0.15 LSB) but using different compensation solutions. For these simulations, SPDT control signals have optimized high crossing points [12] and perfect synchronization. Note that the binary compensation results are probably optimistic, since timing alignment of the different current switches can be difficult. For our solution, the INL is reached with smaller switches, which reduce charge redistribution allowing smaller glitches and faster settling times.

Power consumption of resistor ladder DAC has two components: The *static power* dissipated through the ladder is

constant while the *dynamic power* dissipated for driving the switches is code and frequency dependent. Although static power is usually determined by input impedance of the ladder, our compensation requires additional biasing which could double static current consumption. However, in normal operation, static power is typically far less important than dynamic power dissipated for switch control. Total gate area to be driven is a good indication of expected dynamic power consumption, since it represents the total capacitance to be driven when steering the DAC output currents. Figure 18(b) plots the simulated linearity as a function of the total SPDT switch size for the different compensations under test: our compensation enables substantial dynamic power consumption saving without linearity penalty.

Apart from the increased static current consumption, the need for additional biasing circuitry could be an important drawback of our compensation if the resulting area overhead

is excessive. Figure 18(c) plots the simulated linearity as a function of the total area dedicated to switches and compensation circuitry: for a given linearity our compensation requires less area than other compensation methods.

Although the proposed compensation technique will, in most cases, improve the trade-off between performance, area and power consumption, it has some limitations. As described in section III, appropriate biasing of compensation devices puts some restrictions on SPDT driving signal levels. Indeed, it reduces the effective voltage applied to the switches and thus increases switches R_{ON} values. Although this is usually not desirable, results shown in figure 18 show that our compensation gives better linearity results than other compensation methods even if our effective voltage is halved. It should also be noticed that our limited SPDT driving signal range reduces charge redistribution in SPDT switches and is commonly implemented on purpose with *reduced swing drivers* to improve dynamic performance of converters. However, the need for multiple supply levels does represent an increase in circuit complexity.

For high resolution resistor DACs, current division accuracy is typically enhanced using thin-film trimming. Although very efficient, this solution does not fit standard CMOS processes and requires expensive equipment and handling. In this context, it is interesting to note that the use of our compensation MOSFETs as calibration devices could offer an interesting calibration feature. Although this adjustment may not prove essential for 12 bit converters, higher resolution designs could benefit of such a feature.

VII. CONCLUSION

A novel approach for switch insertion in inverted R-2R ladder DACs was introduced. This technique allows using identical output switches by inserting compensation dummy switches in the network. Accurate compensation is obtained through careful biasing of these switches. The test results of 12 bit prototype DAC chips show that this technique allows excellent linearity and is robust to temperature variations.

Several advantages arise from this new switch sizing. SPDT switches can be made very small and identical with minimal linearity penalty. Buffers and other synchronization circuitry usually needed for driving the switches and to reduce the output glitches are greatly simplified. Although addition of biasing components is necessary, an area reduction is obtained over classic compensation techniques. In terms of power consumption impact, while static consumption is increased for biasing needs, dynamic consumption is improved with reduced switches. From a dynamic point of view, small switches driven by reduced swing signals allow improved settling times.

As an additional feature, compensation MOSFETs could also be used for calibration purpose in higher-resolution converters.

ACKNOWLEDGMENTS

The authors would like to thank Mathieu Ducharme, Alain Lacourse, Hugo St-Jean and Jean-Francois Delage for their useful advices on analog design and test.

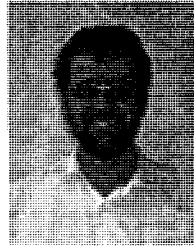
REFERENCES

- [1] S. J. and Z.-Y. Chang, "A/D and D/A conversion for telecommunication," *IEEE Circuits Devices Mag.*, vol. 14, pp. 32–42, Jan. 1998.
- [2] M. J. Hynes and D. P. Burton, "A CMOS digitally controlled audio attenuator for Hi-Fi systems," *IEEE J. Solid-State Circuits*, vol. 16, pp. 15–20, Feb. 1981.
- [3] P. Crippa, C. Turchetti, and M. Conti, "A statistical methodology for the design of high-performance CMOS current-steering digital-to-analog converters," in *IEEE transaction on Computer-Aided Design of Integrated Circuits and Systems*, vol. 21, Apr. 2002, pp. 377–394.
- [4] L. Yu and R. Geiger, "Resistors layout for enhancing yield of R-2R DACs," in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 5, May 2002, pp. 97–100.
- [5] D.-H. Lee, Y.-H. Lin, and T.-H. Kuo, "Nyquist-rate current-steering digital-to-analog converters with random multiple data-weighted averaging technique and Q^N rotated walk switching scheme," *IEEE Trans. Circuits Syst. I*, vol. 53, no. 11, pp. 1264–1268, Nov. 2006.
- [6] G. A. M. V. der Plas, J. Vandenbussche, S. Sansen, M. S. J. Steyaert, and G. G. E. Gielen, "A 14-bit intrinsic accuracy Q^2 random walk CMOS DAC," in *IEEE J. Solid-State Circuits*, vol. 34, no. 12, Dec. 1999, pp. 1708–1718.
- [7] J. Hyde, T. Humes, C. Diorio, M. Thomas, and M. Figueroa, "A 300-Ms/s 14-bit digital-to-analog converter in logic CMOS," *IEEE J. Solid-State Circuits*, vol. 38, pp. 734–740, May 2003.
- [8] A. R. Buggeja and B.-S. Song, "A self-trimming 14-b 100-Ms/s CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1841–1852, 2000.
- [9] W. Schofield, D. Mercer, and L. S. Onge, "A 16b 400Ms/s DAC with -80dBc IMD to 300Mhz and -160dBm/Hz noise power spectral density," in *IEEE International Solid-State Circuits Conference*, 2003.
- [10] D. S. Karadimas, D. Mavridis, and K. A. Efstathiou, "A digitally calibrated R-2R ladder architecture for high performance digital-to-analog converters," in *ISCAS*, 2006, pp. 4779–4782.
- [11] T. Chen and G. G. E. Gielen, "The analysis and improvement of a current-steering DAC dynamic SFDR-I: The cell-dependent delay differences," *IEEE Trans. Circuits Syst. I*, vol. 53, no. 1, pp. 3–15, Jan. 2006.
- [12] Y. Tang, H. Hegt, and A. van Roermund, "DDL-based calibration techniques for timing errors in current-steering DACs," in *ISCAS*, 2006, pp. 101–104.
- [13] S. Halder and H. Gustat, "A 30 GS/s 4-bit binary weighted DAC in SiGe BiCMOS technology," in *BCTM*, 2007, pp. 46–47.
- [14] D. Marche, Y. Savaria, and Y. Gagnon, "A novel switch compensation technique for inverted R-2R ladder DACs," in *ISCAS*, May 2005, pp. 386–392.
- [15] Y. Tsividis, *Operation and Modeling of the MOS Transistor*. Upper Saddle River, NJ, USA: Oxford University Press, 2002.
- [16] R. van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. Norwell, MA, USA: Kluwer Academic Publishers, 2003.
- [17] J. B. Cecil, "Digital to analog conversion circuit including compensation FET's," U.S. Patent Published 4,267,550, Jan. 25, 1980.
- [18] P. P. Morlon, "Digital to analog converters," International Patent Published WO 90/16 114, Dec. 27, 1990.
- [19] H. Asazawa, "D/A converter for minimizing nonlinear error," U.S. Patent Published 5,119,095, Jan. 25, 1980.
- [20] Y. S. Park, H. C. Hyun, and S. Y. Kwang, "A 3.3 V-110 MHz 10-bit CMOS current-mode DAC," in *IEEE Asia-Pacific Conference on ASIC*, vol. 1, Aug. 2002, pp. 173–176.
- [21] D. A. Mercer, "Two approaches to increasing spurious free dynamic range in high speed DACs," *IEEE Bipolar Circuits And Technology Meeting* 5.3, pp. 80–82, 1993.
- [22] A. V. den Bosch, M. A. F. Borremans, M. S. J. Steyaert, and W. Sansen, "A 10-bit 1-Gsample/s nyquist current-steering CMOS D/A converter," *IEEE J. Solid-State Circuits*, vol. 36, pp. 315–324, Mar. 2001.



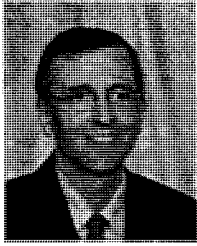
David Marche received the B.Eng. and M.Sc.A in electrical engineering from École Polytechnique de Montréal in 1993 and 1996 respectively.

As a software engineer and analog designer with OPMAXX, Portland, OR USA and later with LTRIM Technologies, Laval, QC Canada, he has participated in the development of several analog and mixed signal circuit optimisation and test tools. He is currently working toward the Ph.D. degree on the design of analog and mixed signal integrated circuits at the École Polytechnique de Montréal and teaching at the École de Technologies Supérieure de Montréal.



Yves Gagnon received the B.Eng. from École Polytechnique de Montréal in 1989.

He was CTO and Founder of LTRIM Technologies where he managed laser trimming technology and mixed-signal chip development. He is currently working as Executive Director of Intégration Dolphin Inc., the Montréal subsidiary of Dolphin Integration SA France, where he manages power management IP development.



Yvon Savaria (S' 77, M' 86, SM' 97, F08) received the B.Eng. and M.Sc.A in electrical engineering from École Polytechnique de Montréal in 1980 and 1982 respectively. He also received the Ph.D. in electrical engineering in 1985 from McGill University. Since 1985, he has been with École Polytechnique de Montréal, where he is currently professor and Chairman of the department of electrical engineering.

He has carried work in several areas related to microelectronic circuits and microsystems such as testing, verification, validation, clocking methods, defect and fault tolerance, high-speed interconnects and circuit design techniques, CAD methods, reconfigurable computing and applications of microelectronics to telecommunications, image processing, video processing, radar signal processing, and digital signal processing acceleration. He holds 7 patents, has published 76 journal papers and 314 conference papers, and he was the thesis advisor of 115 graduate students who completed their studies.

He was the program co-chairman of the 1992 edition and the chairman of the 1993 edition of the IEEE Workshop on Defect and Fault Tolerance in VLSI Systems. He was program co-chairman of ASAP'2006 and the general co-chair of ASAP'2007. He has been working as a consultant or was sponsored for carrying research by CNRC, Design Workshop, Dolphin, DREO, Gencsis, Gennum, Hyperchip, LTRIM, Miranda, MiroTech, Nortel, Octasic, PMC-Sierra, Technocap, Tundra and VXP. He is a member of the Regroupement Stratégique en Microélectronique du Québec (RESMIQ), of the Ordre des Ingénieurs du Québec (OIQ), and is the vice-chairman of the board of CMC Microsystems. He was awarded in 2001 a Canada Research Chair (www.chairs.qc.ca) on design and architectures of advanced microelectronic systems. He also received in 2006 a Synergy Award of the Natural Sciences and Engineering Research Council of Canada.

ANNEXE V

NOTES DE TESTS POUR LE CNA COMPENSÉ DE 12 BITS

V.1 Introduction

Ce CNA utilise des interrupteurs réduits grâce à l'utilisation de transistors de compensation adéquatement polarisés. La figure V.1 montre une photo du circuit.

La figure V.2 montre le dessin des masques du circuit.

V.2 Entrée numérique

Les entrées numériques sont fournies par une carte PCI : *NI-DAQ-6503*. Les signaux numériques sont d'amplitude 5V/0V et doivent être limités à 1.65V/0V avant d'être appliqués au circuit. La carte PCI est contrôlée par un script Octave sous Linux.

V.3 Plaque de test

La plaque de test a été dessinée avec le logiciel *Ultiboard* et réalisée sur un *Clad board* avec une méthode d'impression UV/acide/... La figure V.3 montre une image du plan de la carte de test.

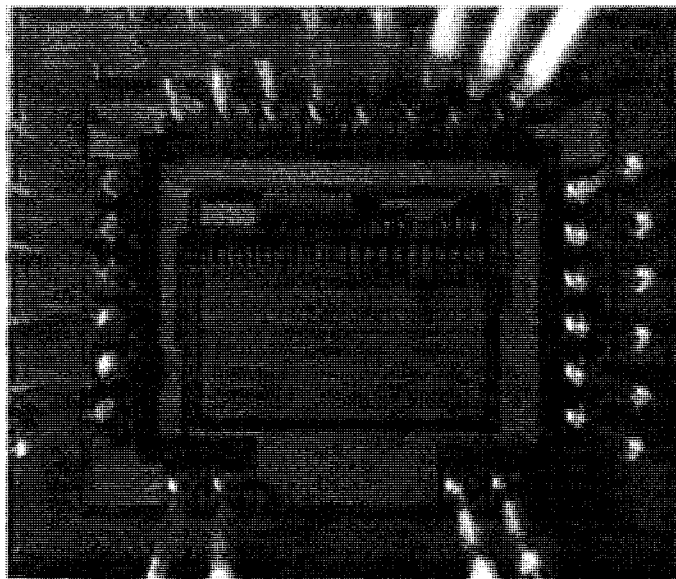


FIG. V.1 Photo du circuit

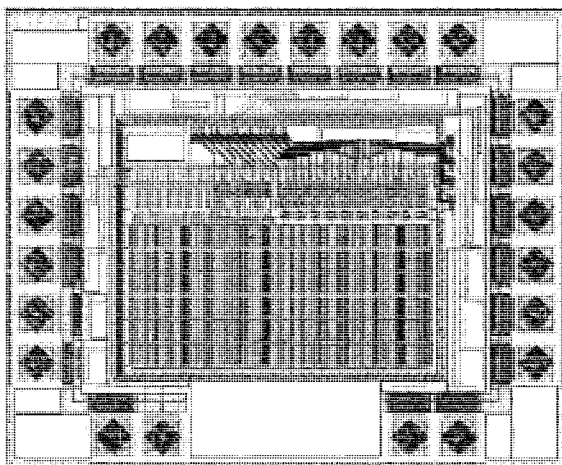


FIG. V.2 Dessin des masques

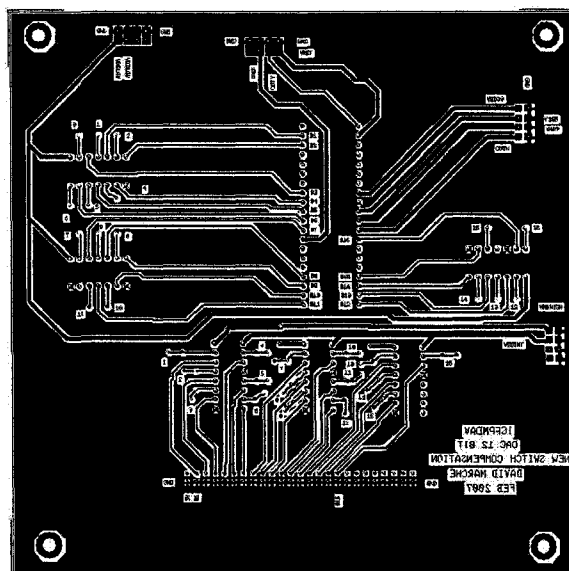


FIG. V.3 Carte de test

V.4 Résultat 1 : test initial

Configuration

- $V_{REF} = 3.3$ (SMU2400).
- $I_{POL} = 6.45\mu A$ (SMU2400).
- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de tension numérique : $5V \rightarrow 2.2V \rightarrow 1.65V$ (Power supply).
- Échantillon #1.

Résultats :

- Figure V.4.
- Erreur thermomètre : dû au script Octave (Code 3584).
- Bon résultats à part cette erreur de bit thermomètre (c.f. fig V.5).
- *Glitch* de changement d'échelle : l'échelle de mesure du SMU doit être fixe.

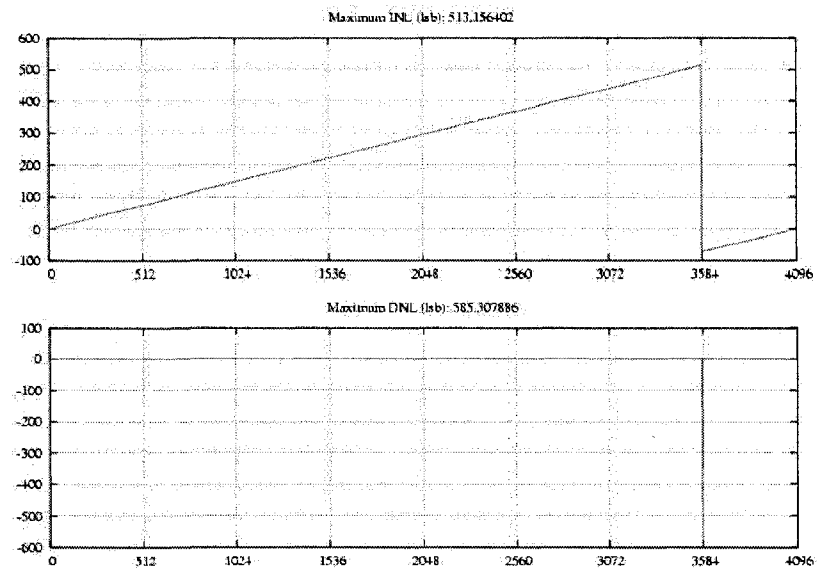


FIG. V.4 Test de linéarité #1

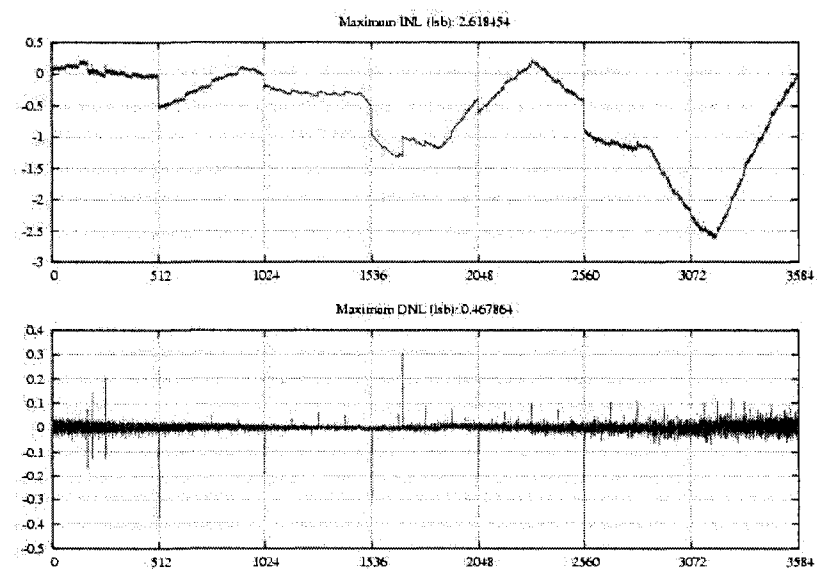


FIG. V.5 Test de linéarité #1 jusqu'à l'erreur du bit thermomètre (Échantillon 1)

V.5 Résultat 2 : erreur thermomètre corrigée

Pour mesurer un courant de sortie, il est préférable d'appliquer un courant de référence plutôt qu'une tension. Si la sortie est convertie en tension (à l'aide d'un ampli-op externe), il est préférable d'utiliser un référence de tension. On évite ainsi que la température affecte la linéarité. Configuration :

- $I_{REF} = 255\mu A$ (SMU2400).
- $I_{POL} = 6.45\mu A$ (SMU2400).
- Mesure de I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de tension numérique : : $5V \rightarrow 2.2V \rightarrow 1.65V$ (Power supply).
- Échantillon #1.

Résultats :

- Figure V.6.
- Tous les bits thermomètres ont des erreurs de DNL négatives : leur contribution est insuffisante. Cela signifie que leur résistance est trop élevée par rapport au réseau R2R. La polarisation des transistors de compensation des bits thermomètres est de 3.3V. Le V_{GS} des transistors de compensation de la partie binaire est probablement trop élevé ou l'effet de V_{DS} est trop important.

V.6 Résultat 3 : I_{POL} ajusté

Ajustement de I_{POL} jusqu'à ce que le poids de la partie binaire soit égal à la moyenne des poids des bits thermomètres. Configuration :

- $I_{REF} = 255\mu A$ (SMU2400).
- $I_{POL} = 3.95\mu A$ (SMU2400).
- $VDD_{33} = 3.3V$ (SMU2400).
- $I_{VDD_{33}} = 55\mu A$ (Somme des courants de polarisation).

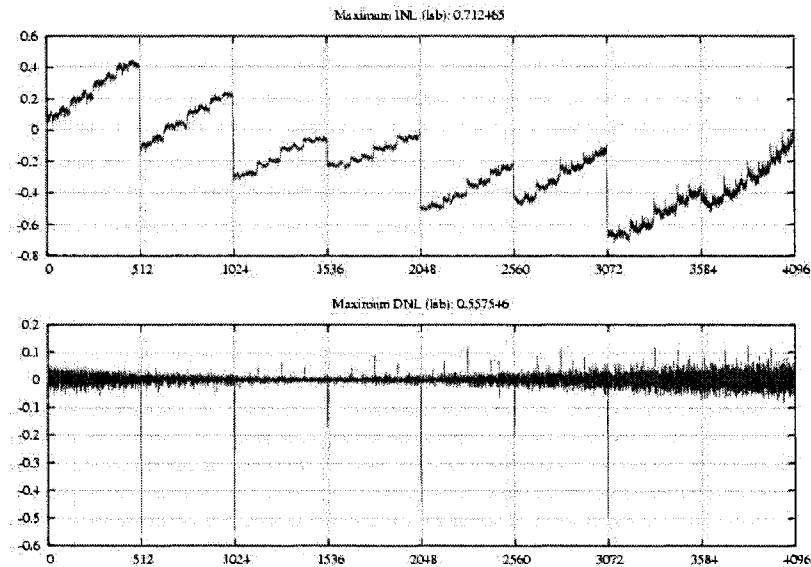


FIG. V.6 Test de linéarité #2 (Échantillon 1)

- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de la tension numérique : $5V \rightarrow 2.2V \rightarrow 1.65V$ (Power supply).
- Échantillon #1.

Résultats :

- Figure V.7.
- Les erreurs de DNL des bits thermomètres sont améliorées mais le segment binaire n'est plus aussi bien équilibré. Les interrupteurs de compensation de la partie binaire n'ont plus la même impédance que les interrupteurs de sorties associés.
- Une erreur est arrivée entre les bits thermomètres 6 et 7 (codes 3072-3584) ?

V.7 Résultat 4 : Échantillon 2

Configuration :

- $I_{REF} = 256\mu A$ (SMU2400).
- $I_{POL} = 6.45\mu A$ (SMU2400).

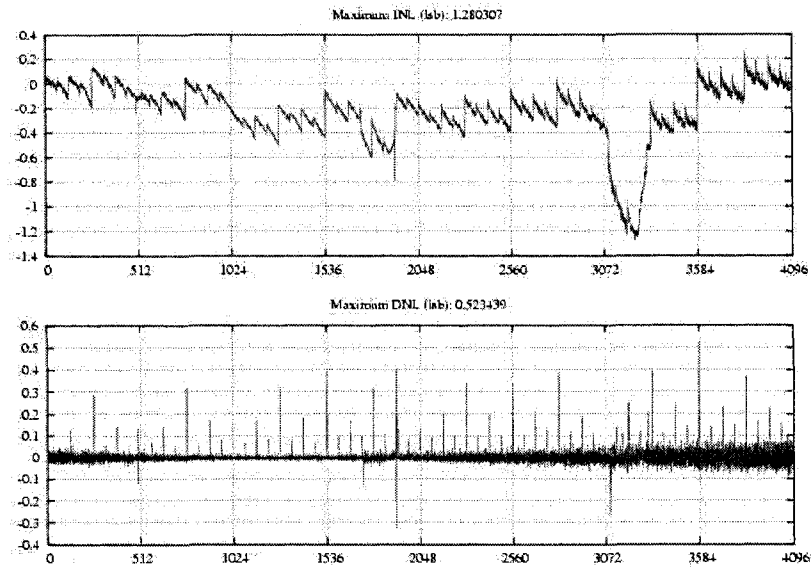


FIG. V.7 Test de linéarité #3 (Échantillon 1)

- $V_{DD33} = 3.3V$ (SMU2400).
- $I_{VDD33} = 120\mu A$ (Somme des courants de polarisation).
- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de la tension numérique : $5V \rightarrow 2.2V \rightarrow 1.65V$ (Power supply).
- Échantillon #2.

Résultats :

- Figure V.8.
- Bonne linéarité (0.5LSB). Les erreurs des bits thermomètres semblent avoir un signe aléatoire ce qui peut indiquer que la compensation est bien équilibrée.

V.8 Résultat 5 : Échantillon 3

Configuration :

- $I_{REF} = 258\mu A$ (SMU2400).
- $I_{POL} = 6.45\mu A$ (SMU2400).

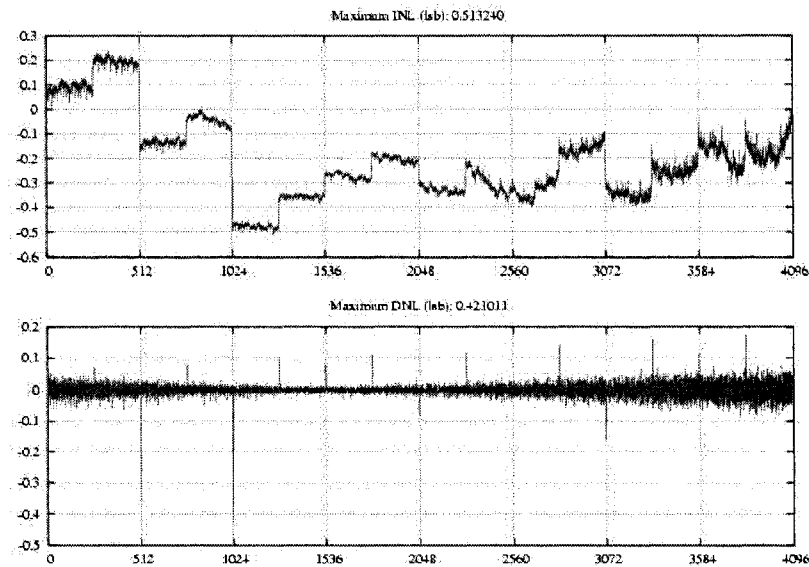


FIG. V.8 Test de linéarité #4 (Échantillon 2)

- $VDD_{33} = 3.3V$ (SMU2400).
- $I_{VDD_{33}} = 122\mu A$ (Somme des courants de polarisation).
- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de la tension numérique : $5V \rightarrow 2.2V \rightarrow 1.65V$ (Power supply).
- Échantillon #3.

Résultats :

- Figure V.9.
- Bonne linéarité, tout les bits thermomètres ont un DNL négatif.

V.9 Résultat 6 : Échantillon 4

Configuration :

- $I_{REF} = 255\mu A$ (SMU2400).
- $I_{POL} = 6.45\mu A$ (SMU2400).
- $VDD_{33} = 3.3V$ (SMU2400).

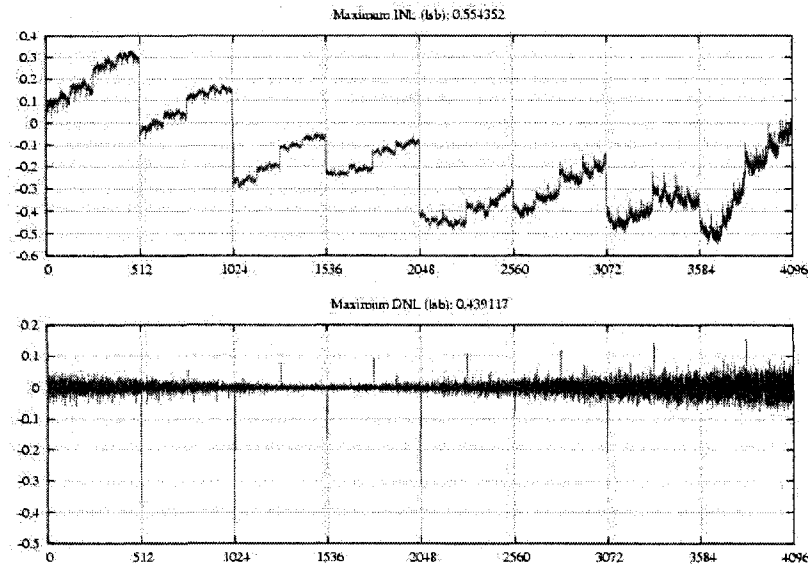


FIG. V.9 Test de linéarité #5 (Échantillon 3)

- $I_{VDD_{33}} = 120\mu A$ (Somme des courants de polarisation).
- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de la tension numérique : $5V \rightarrow 2.2V \rightarrow 1.65V$ (Power supply).
- Échantillon #4.

Résultats :

- Figure V.10.

V.10 Résultat 7 : Échantillon 5

Configuration :

- $I_{REF} = 259\mu A$ (SMU2400).
- $I_{POL} = 6.45\mu A$ (SMU2400).
- $VDD_{33} = 3.3V$ (SMU2400).
- $I_{VDD_{33}} = 133\mu A$ (Somme des courants de polarisation).
- Mesure I_{OUTP} (SMU2400).

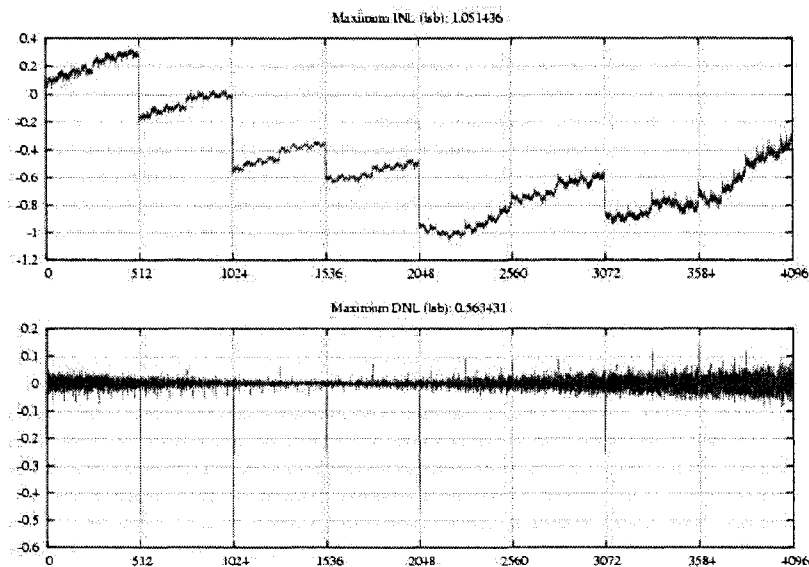


FIG. V.10 Test de linéarité #6 (Échantillon 4)

- OUTN à la masse.
- Modification de la tension numérique : $5V \rightarrow 2.2V \rightarrow 1.65V$ (Power supply).
- Échantillon #5.

Résultats :

- Figure V.10.

V.11 Résultat 8 : Échantillon 3 à $25^{\circ}C$ et $I_{POL} = 6.45\mu A$

Configuration :

- Dans la chambre de température @ $25^{\circ}C$.
- $I_{REF} = 258\mu A$ (SMU2400) pour assurer $V_{REF} = 3.3V$.
- $I_{POL} = 6.45\mu A$ (SMU Keithley 236).
- $VDD_{33} = 3.3V$ (SMU2400).
- $I_{VDD_{33}} = 55\mu A$ (Somme des courants de polarisation).
- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.

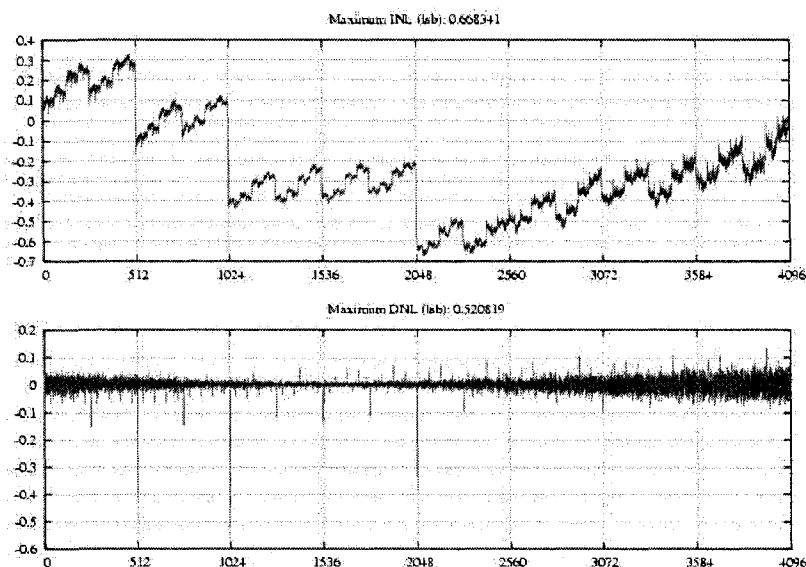


FIG. V.11 Test de linéarité #7 (Échantillon 5)

- Modification de la tension numérique : $5V \rightarrow 2.2V \rightarrow 1.65V$ (Power supply).
- Échantillon #3.

Résultats :

- Figure V.12.

V.12 Résultat 9 : Échantillon 3 à $25^{\circ}C$ et $I_{POL} = 4.45\mu A$

Configuration :

- Dans la chambre de température @ $25^{\circ}C$.
- $I_{REF} = 258\mu A$ (SMU2400) pour assurer $V_{REF} = 3.3V$.
- $I_{POL} = 4.45\mu A$ (SMU Keithley 236).
- $V_{DD33} = 3.3V$ (SMU2400).
- $I_{VDD33} = 55\mu A$ (Somme des courants de polarisation).
- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de la tension numérique : $5V \rightarrow 2.2V \rightarrow 1.65V$ (Power supply).

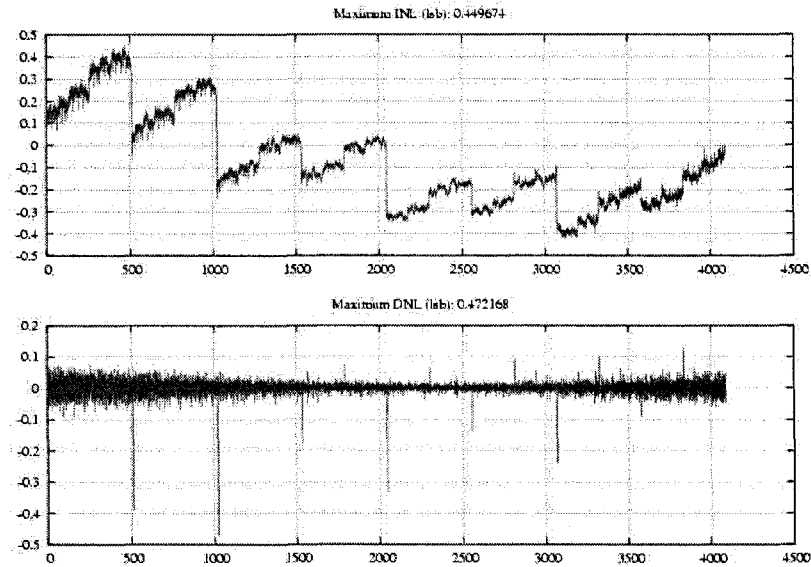


FIG. V.12 Test de linéarité #8 @ 25°C et $I_{POL} = 6.45\mu\text{A}$ (Échantillon 3)

– Échantillon #3.

Résultats :

– Figure V.13.

V.13 Résultat 10 : Échantillon 3 à 25°C et $I_{POL} = 8.45\mu\text{A}$

Configuration :

- Dans la chambre de température @ 25°C .
- $I_{REF} = 258\mu\text{A}$ (SMU2400) pour assurer $V_{REF} = 3.3\text{V}$.
- $I_{POL} = 8.45\mu\text{A}$ (SMU Keithley 236).
- $VDD_{33} = 3.3\text{V}$ (SMU2400).
- $I_{VDD_{33}} = 55\mu\text{A}$ (Somme des courants de polarisation).
- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de la tension numérique : $5\text{V} \rightarrow 2.2\text{V} \rightarrow 1.65\text{V}$ (Power supply).
- Échantillon #3.

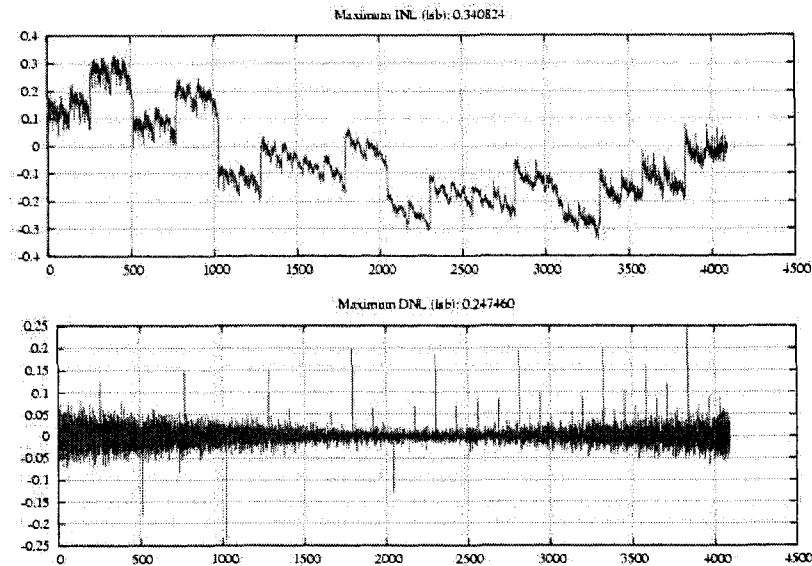


FIG. V.13 Test de linéarité #10 @ 25°C et $I_{POL} = 4.45\mu\text{A}$ (Échantillon 3)

Résultats :

– Figure V.14.

V.14 Résultat 11 : Échantillon 2 à 25°C et $I_{POL} = 6.45\mu\text{A}$

Configuration :

- Dans la chambre de température @ 25°C .
- $I_{REF} = 258\mu\text{A}$ (SMU2400) pour assurer $V_{REF} = 3.3\text{V}$.
- $I_{POL} = 6.45\mu\text{A}$ (SMU Keithley 236).
- $V_{DD33} = 3.3\text{V}$ (SMU2400).
- $I_{VDD33} = 110\mu\text{A}$ (Somme des courants de polarisation).
- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de la tension numérique : $5\text{V} \rightarrow 2.2\text{V} \rightarrow 1.65\text{V}$ (Power supply).
- Échantillon #2.

Résultats :

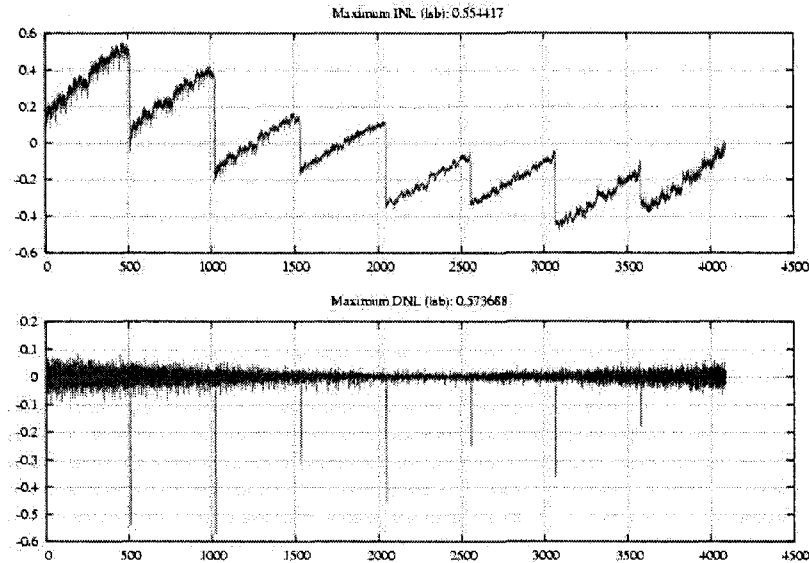


FIG. V.14 Test de linéarité #10 @ 25°C et $I_{POL} = 8.45\mu\text{A}$ (Échantillon 3)

– Figure V.15.

V.15 Résultat 12 : Échantillon 2 à 80°C et $I_{POL} = 6.45\mu\text{A}$

Configuration :

- Dans la chambre de température @ 80°C .
- $I_{REF} = 258\mu\text{A}$ (SMU2400) pour assurer $V_{REF} = 3.3\text{V}$.
- $I_{POL} = 6.45\mu\text{A}$ (SMU Keithley 236).
- $VDD_{33} = 3.3\text{V}$ (SMU2400).
- $I_{VDD_{33}} = 110\mu\text{A}$ (Somme des courants de polarisation).
- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de la tension numérique : $5\text{V} \rightarrow 2.2\text{V} \rightarrow 1.65\text{V}$ (Power supply).
- Échantillon #2.

Résultats :

– Figure V.16.

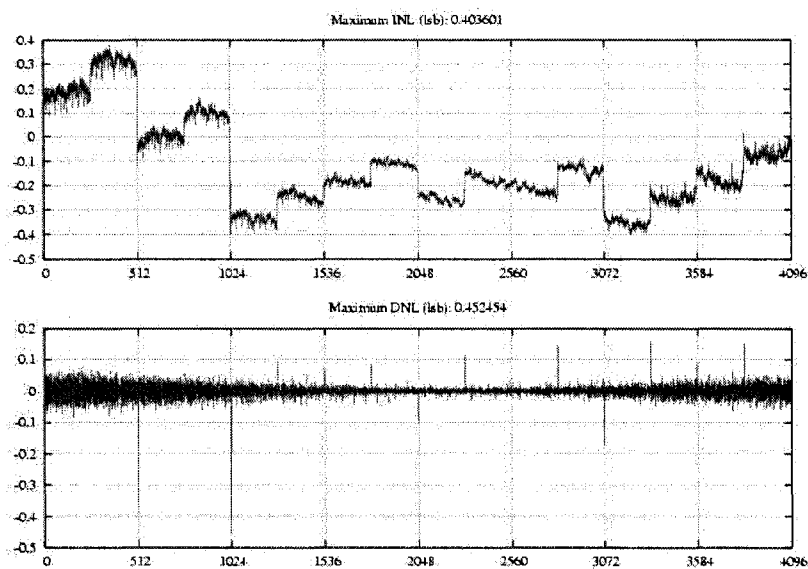


FIG. V.15 Test de linéarité #11 @ 25°C et $I_{POL} = 6.45\mu\text{A}$ (Échantillon 2)

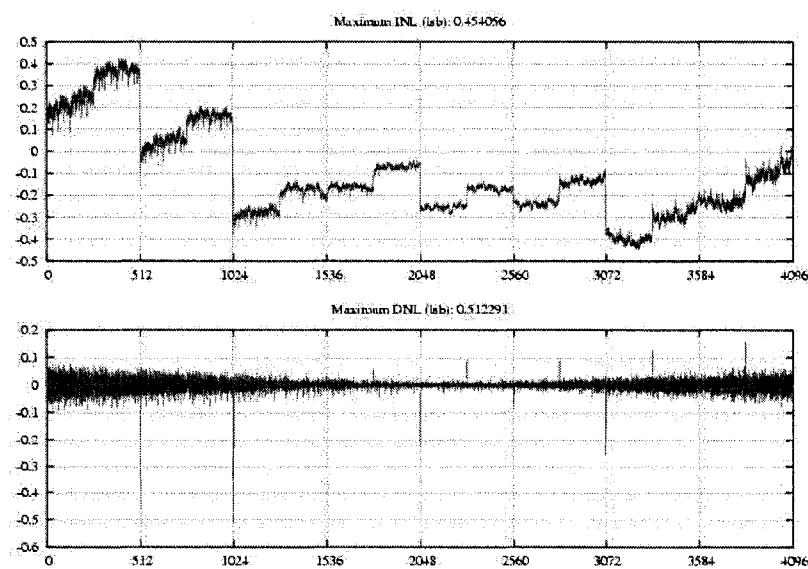


FIG. V.16 Test de linéarité #12 @ 80°C et $I_{POL} = 6.45\mu\text{A}$ (Échantillon 2)

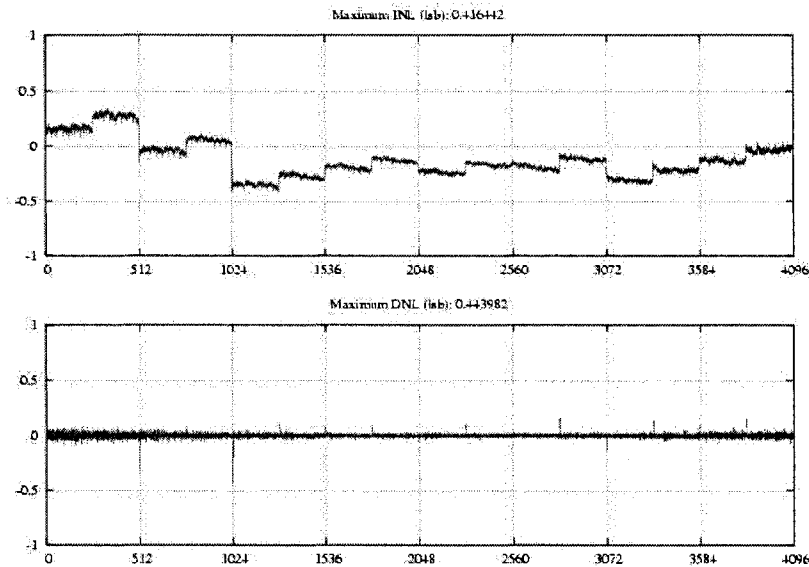


FIG. V.17 Test de linéarité #13 @ $0^{\circ}C$ et $I_{POL} = 6.45\mu A$ (Échantillon 2)

V.16 Résultat 13 : Échantillon 2 à $0^{\circ}C$ et $I_{POL} = 6.45\mu A$

Configuration :

- Dans la chambre de température @ $0^{\circ}C$.
- $I_{REF} = 256\mu A$ (SMU2400) pour assurer $V_{REF} = 3.3V$.
- $I_{POL} = 6.45\mu A$ (SMU Keithley 236).
- $VDD_{33} = 3.3V$ (SMU2400).
- $I_{VDD_{33}} = 110\mu A$ (Somme des courants de polarisation).
- Mesure I_{OUTP} (SMU2400).
- OUTN à la masse.
- Modification de la tension numérique : $5V \rightarrow 2.2V \rightarrow 1.65V$ (Power supply).
- Échantillon #2.

Résultats :

- Figure V.17.

V.17 Discussion

V.17.1 Courant de l'échelle de résistance

La résistance $2R$ est de $100k\Omega$ ($2 \times 50k\Omega$). Il y a 7 résistances thermomètres ($100k\Omega$) suivies de 9 étages R2R binaires. La partie binaire a une impédance égale à un étage thermomètre ($100k\Omega$). L'impédance d'entrée de l'échelle est d'environ $12.5k\Omega$ ($100/8$). Le courant fourni à l'échelle est donc d'environ $264\mu A$.

V.17.2 Courant de polarisation des transistors de compensation

Le courant additionnel pour la compensation des interrupteurs est d'environ $122\mu A$. Il y a 9 bits binaires dont la compensation utilise une copie du courant de polarisation. Au total : $19 \times 6.45\mu A \approx 122\mu A$

La polarisation de compensation ajoute donc 30% de consommation de courant et représente le coût principal de la compensation pour ce circuit.

V.17.3 Polarisation de compensation

Le courant de polarisation est copié dans le circuit et adapté à chaque transistor de compensation mais le courant de polarisation original est généré à l'extérieur du circuit. Un circuit complet devrait inclure le bloc de génération de ce courant. Ce bloc doit générer un courant qui, forcé dans un PMOS, fixe son V_{GS} à $1.65V$ ($\frac{V_{REF}}{2}$).

La figure V.18 montre un exemple simplifié d'un bloc de génération de courant de polarisation. Des miroirs de courant à haute impédance (ex : cascode) devraient être utilisés pour forcer le même courant à travers tous les transistors de compensation même s'ils

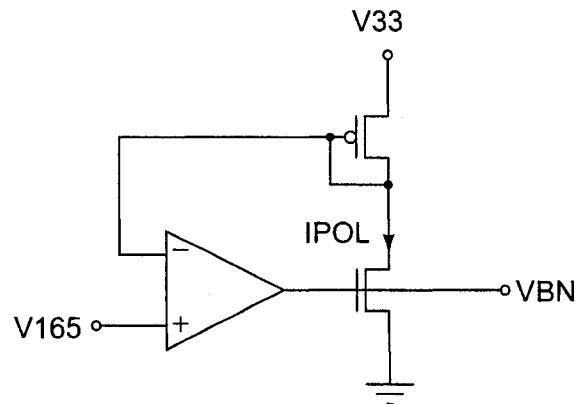


FIG. V.18 Exemple de générateur de courant de polarisation

ont chacun une tension drain/source différente.

V.17.4 Limite de la compensation

La compensation n'est pas parfaite puisque la résistance des transistors de compensation est modulée par leur V_{DS} . Puisque chacun de ces transistors porte un courant différent mais est polarisé pour offrir la même résistance, leurs V_{DS} diffèrent. Dans ce cas, ils n'offrent pas tous la même résistance et la compensation n'est donc pas parfaite. Ceci est également vrai pour les interrupteurs d'aiguillage qui sont tous contrôlés par une même valeur de V_{GS} .

V.17.5 Référence de tension

La compensation particulière de ce CNA demande l'utilisation de deux tensions de références : 3.3V comme tension d'entrée et 1.65V pour certains éléments de compensation ainsi que le contrôle des interrupteurs. Pour le circuit prototype, ces deux tensions sont générées à l'externe mais, idéalement, un CNA complet ne devrait pas demander plus qu'une tension de référence. Dans ce cas, il est possible de générer à l'interne la tension

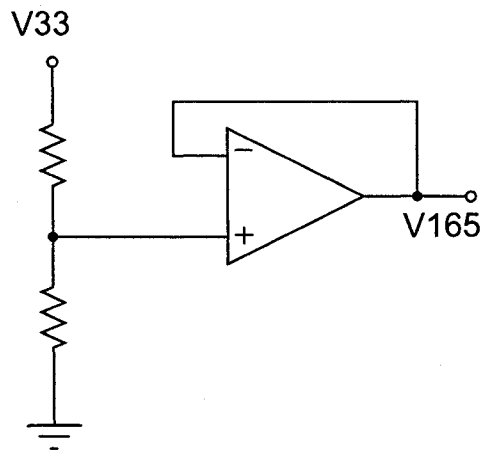


FIG. V.19 Circuit de génération de la référence de compensation avec suiveur.

de 1.65V. Un diviseur de tension bien apparié peut générer cette tension, et un circuit suiveur peut permettre de fournir cette tension sans modifier sa valeur. La figure V.19 montre un tel circuit.

V.18 Conclusion

La compensation est très efficace et le circuit est parfaitement fonctionnel. La suite des travaux consisterait à tirer profit de la taille réduite des interrupteurs en fabriquant un prototype optimisé pour les performances dynamiques.

ANNEXE VI**ARTICLE #3 : MODELING R2R LADDER DACS**

Modeling R-2R Segmented Ladder DACs

David Marche Dept. of Electrical Engineering
 École Polytechnique de Montréal
 Montréal, Québec Email: david.marche@polymtl.ca
 Yvon Savaria Dept. of Electrical Engineering
 École Polytechnique de Montréal
 Montréal, Québec Email: savaria@grm.polymtl.ca

Abstract—Although R-2R ladders are commonly used as DAC cores, complete equivalent circuits are still missing from the literature for most of the configurations used in practice. In this paper, expressions for input and output impedances of R-2R ladders are derived for current and voltage mode operation. In addition, since many DACs use segmentation to reach higher resolutions, the impedance expressions are also obtained for different segmentation schemes. Using these expressions, the existing current mode model is extended to segmented architectures, and a new equivalent circuit is proposed for voltage mode designs. This allows modeling the most common R2R DAC designs. Simulation results produced with the proposed models, are compared to measurements on two 14 bit R2R DAC prototypes. These results demonstrate how impedance variation with code can limit the static performances of high-resolution converters.

I. INTRODUCTION

R-2R ladders are compact resistive networks which can generate binary weighted current or voltage levels and are mostly used in digital to analog converters (DAC) [1]. Based on a reduced set of identical components, they are well suited to layout optimization for reaching low mismatch levels critical in high resolution flash converters. Furthermore, resistive networks are naturally suited to laser trimming matching enhancement allowing even higher resolution products. [2] and [3] are examples of such products that are commercially available. Even though such converters are widely available, little information can be found on the challenges faced when designing such high resolution R-2R converters.

Resistor deviation is the most obvious R2R linearity parameter: the relation between mismatch level and maximum DNL is well known and highlights the need for calibration or trimming solutions [4], [5]. For voltage mode ladders, an expression of the output voltage in terms of resistance ratio is derived in [6] along with test and trimming strategies. In [7], a similar analysis is conducted for the current mode ladder and other major sources of errors are listed: switches and wire resistance. Indeed, switching circuitry is critical for settling time but switch resistance itself can have significant impact on linearity. An overview of explored switch sizing and compensation solutions can be found in [8]. Input and output impedance expression for the current mode R2R DAC is derived in [9] and can be used to compute the impact of wire resistance on linearity for this configuration.

For hand analysis or fast simulation in larger systems, it is often desirable to use high level models which are

accurate simple equivalent circuits. This is especially true for DACs since the number of input codes to be verified grows exponentially with the input word bit count, making exhaustive code scan simulation difficult for high resolution designs. In these cases, if no high level model is available, partial simulations are often used, and the designer's knowledge and understanding of significant factors involved become critical.

Although current and voltage analog output expressions are available, complete R2R DACs models including input and output impedance is still limited to current mode ladders with no segmentation [9]–[11]. This is a significant drawback since most recent R-2R networks use segmentation to meet the ever-increasing resolution demand. Furthermore, many converters are based on the voltage mode operation of the R-2R network for which no impedance expressions have been published yet. Thus, actual models have limited value for today's DAC simulation and optimization.

The objective of this paper is to present new models derived for all the most common R-2R DAC structures: voltage and current mode R-2Rs, with or without segmentation. In section II, the existing current mode model is extended to segmented designs. In section III, an equivalent circuit is proposed for voltage mode R-2R converter and is also valid for segmented architectures. An analysis of the models limits and circuit implications follows in Section IV with some simulation results. Before concluding, a practical high resolution R2R DAC design case is studied in section VI: simulation results based on the simplified models are compared with chip measurements to show the significant impact of code-dependent R-2R impedance on linearity.

II. CURRENT MODE R-2R

A. All binary current mode R-2R (no segmentation)

Fig. 1 shows a current mode R-2R ladder with N bit resolution. The equivalent circuit proposed by Zurada and Goodman [10] is showed in Fig. 2. In this configuration, the input impedance, R_i , is simply equal to R and most of the model's complexity lies in the expression of the output resistance (R_o) which is code-dependent:

$$\frac{3R}{\sum_{x=1}^N b_x(1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x b_y (2^{2x-2} - 1)(2^{2-x-y})} \quad (1)$$

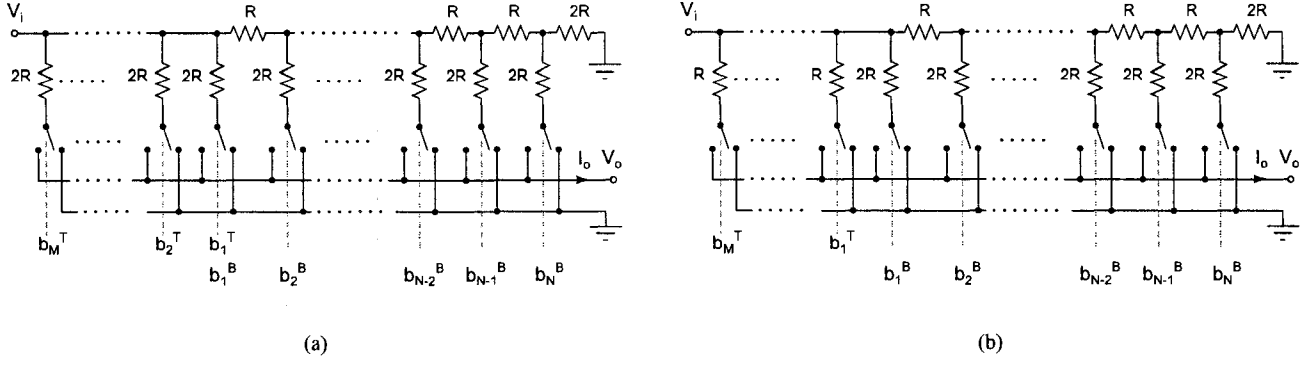


Fig. 3. Current mode DAC segmentation: addition of $2R$ stages (a), addition of R stages (b). T and B subscript denote thermo-encoded and binary-encoded digital inputs respectively.

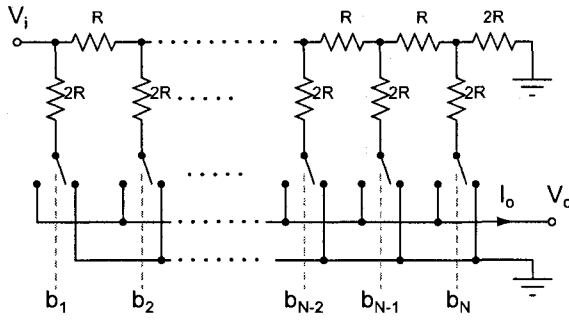


Fig. 1. Current mode R-2R DAC.

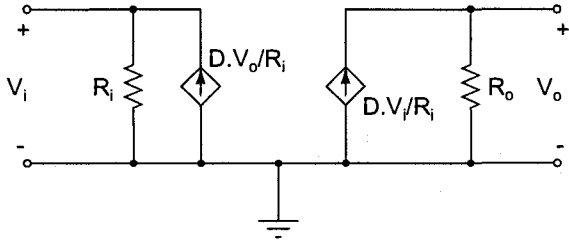


Fig. 2. Zurada and Goodman's current mode R-2R DAC equivalent circuit.

This expression was derived by Erb and Wierzbza and complete derivation details can be found in [9]. Note that the output current source is proportional to the digital input D :

$$D = b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N} \quad (2)$$

B. Current mode segmentation

Fig. 3 shows two possible segmentation solutions commonly used to extend the R-2R ladder with unary weighted bits.

In these configurations, binary weighted stages are controlled by binary encoded bits (b_1^B - b_N^B) and unary weighted stages are controlled by thermo encoded bits (b_1^T - b_M^T). Both options will allow segmentation, but lead to different areas and impedance of the network:

- **Segmentation A:** additional $2R$ unary weighted stages are controlled by thermo encoded bits (c.f. Fig. 3(a)). This solution requires a larger area and results in a higher input impedance.

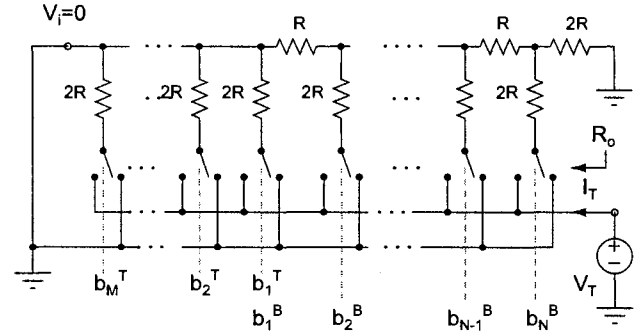


Fig. 4. Setup for output impedance analysis of the current mode R-2R with segmentation A.

- **Segmentation B:** additional R unary weighted stages are controlled by thermo encoded bits (c.f. Fig. 3(b)). This solution requires less area and results in a lower input impedance. In this case, the current drawn from the voltage reference input (V_i) is higher.

Zurada's model (c.f. Fig. 2) is also valid for the segmented versions of the DAC, but the input impedance (R_i) and output impedance (R_o) expressions must be adapted. The derived expressions for these cases are given in the following sections.

C. Current mode R-2R with type A segmentation

When segmentation A is used (Fig. 3(a)) the input impedance can be expressed as a function of thermo bit count M :

$$R_i = \frac{2R}{M+1} \quad (3)$$

Fig. 4 shows the setup for output impedance analysis: a test voltage source (V_T) is connected at the output and the input voltage reference source (V_i) is grounded. The output impedance can be derived if the expression of the current sourced by the test voltage (I_T) is obtained: $R_o = V_T/I_T$.

Fig. 5 shows the contribution of one active binary bit (b_K^B) to the test source current. In this configuration, all thermo resistors are shorted and the binary segment currents are not affected by the segmentation. In this case, the expression of

$$R_o = \frac{6R}{3 \sum_{x=2}^M b_x^T + 2 \left[\sum_{x=1}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right]} \quad (4)$$

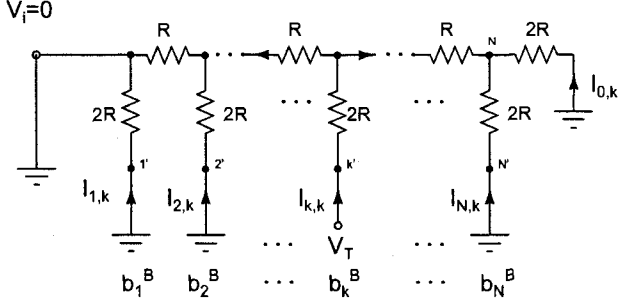


Fig. 5. Binary bit k contribution to the test source current with type A segmentation (Current mode).

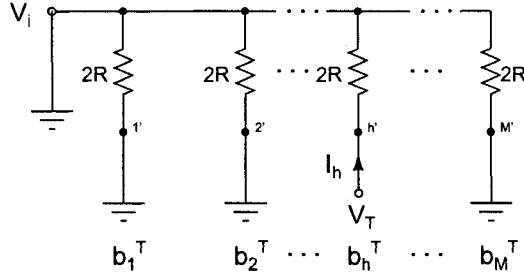


Fig. 6. Unary bit h contribution to the test source current with type A segmentation (Current mode).

binary bit contribution to I_T derived by Erb and Wierzbza [9] is still valid:

$$I_T^B = \frac{V_T}{3R} \left[\sum_{x=1}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right] \quad (5)$$

Fig. 6 shows a circuit that reflects the contribution of one active thermo bit (b_h^T) to the test source current. Since all thermos except one are shorted to ground, the current contribution I_h is simply $V_T/2R$, and independent of other bits states. Note that the binary most significant bit (MSB) can be either considered as a thermo (b_M^T) or a binary bit (b_1^B), but its current contribution must be counted only once.

By superposition, the current contribution of all thermos and binary bits can be added to get the expression of the total current flowing out of the test source:

$$I_T = \frac{V_T}{2R} \sum_{x=2}^M b_x^T + \frac{V_T}{3R} \left[\sum_{x=1}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right] \quad (6)$$

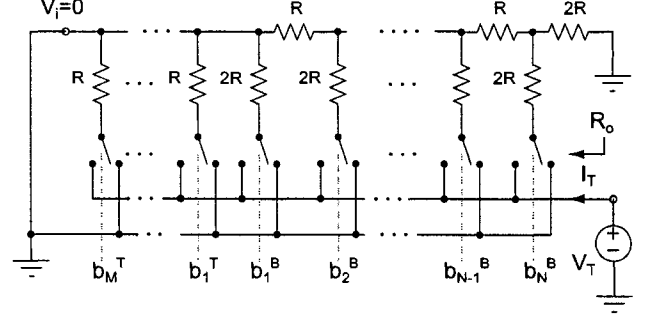


Fig. 7. Setup for output impedance analysis of the current mode R-2R with segmentation B.

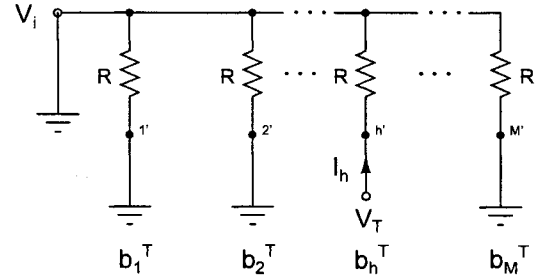


Fig. 8. Unary bit h contribution to the test source current with type B segmentation (Current mode).

The corresponding output impedance (V_T/I_T) is given by (4). Note that these expressions are valid for both, segmented ($M > 0$) and unsegmented architectures ($M = 0$): setting $M = 0$ into (4) gives back (1).

D. Current mode R-2R with type B segmentation

Segmentation B (Fig. 3(b)) offers half the input impedance of segmentation A:

$$R_i = \frac{R}{M+1} \quad (7)$$

Fig. 7 shows the setup for output impedance analysis in the case of type B segmentation. The test source current in this configuration must be derived to obtain the output impedance expression. Fig. 5 shows the contribution of one active binary bit and the binary segment contribution is given by (5).

Fig. 8 shows the contribution of one active thermo bit (b_h^T). Since all thermos are shorted to ground, their current contribution (I_h) is simply V_T/R .

By superposition, the current contribution of all thermos and binary bits can be added to get the expression of the total

$$R_o = \frac{3R}{\sum_{x=2}^M b_x^T + \left[\sum_{x=1}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right]} \quad (8)$$

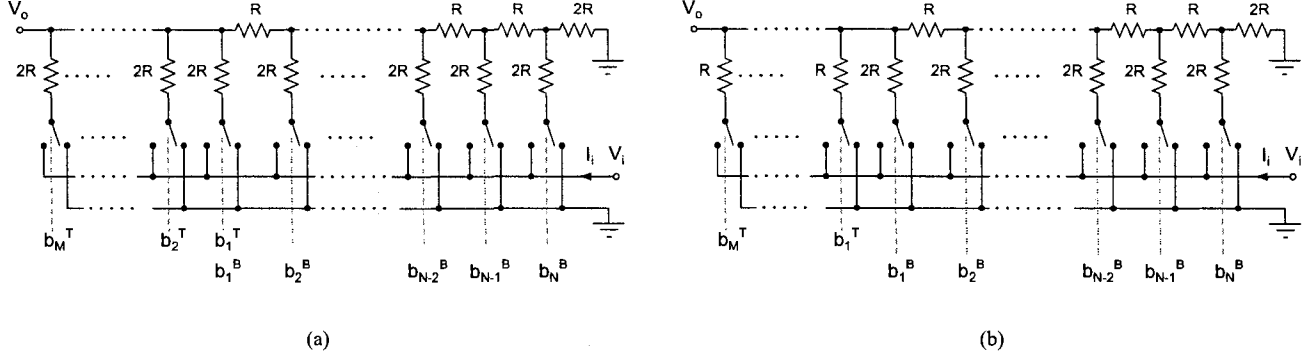


Fig. 9. Voltage mode DAC segmentation: addition of 2R stages (a), addition of R stages (b). *T* and *B* subscript denote thermo-encoded and binary-encoded digital inputs respectively.

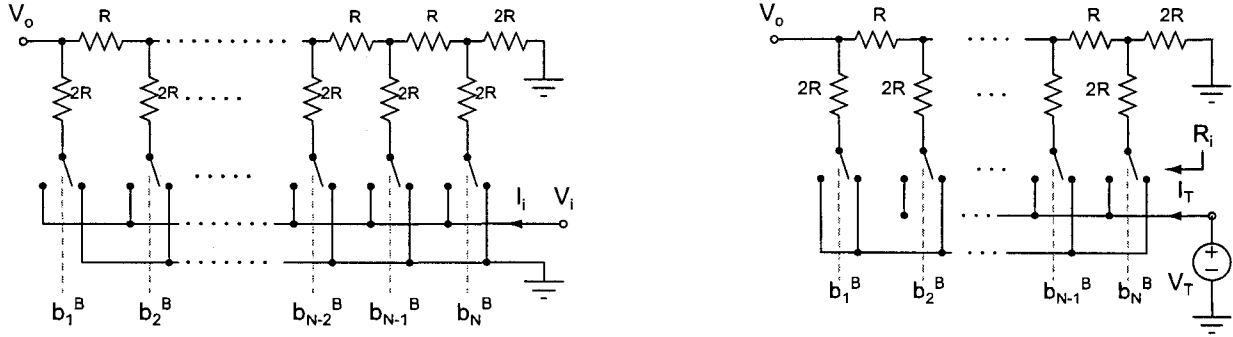


Fig. 10. Voltage mode R-2R DAC.

Fig. 11. Setup for input impedance analysis of the voltage mode R-2R (no segmentation).

current flowing out of the test source:

$$I_T = \frac{V_T}{R} \sum_{x=1}^M b_x^T + \frac{V_T}{3R} \left[\sum_{x=1}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right] \quad (9)$$

The corresponding output impedance is given by (8). This expression is also valid for unsegmented architectures since setting $M = 0$ gives back (1).

III. VOLTAGE MODE R-2R

Voltage mode operation is another common use of R-2R ladders. Fig. 10 shows a voltage mode R-2R ladder with resolution N . In this case, input impedance becomes code-dependent and output impedance is constant.

A. Voltage mode segmentation

As for current mode operation, there are two commonly used segmentation options to extend the resistor binary ladder

with unary weighted bits. Fig. 9 shows these two solutions. Binary weighted stages are controlled by binary encoded bits (b_1^B - b_N^B), and unary weighted stages are controlled by thermo encoded bits (b_1^T - b_M^T).

B. All binary voltage mode R-2R (no segmentation)

Output impedance, when no segmentation is used, is not affected by the resolution of the converter:

$$R_o = R \quad (10)$$

Fig. 11 shows the setup for input impedance analysis: a test voltage source (V_T) is connected at the input, and the output (V_o) is left open. The input impedance is derived by finding the expression of the current I_T sourced by the test voltage.

Fig. 12 shows the current contribution drawn from each bit when one bit is active. Superposition theorem can then be used to add these current contributions and compute the total test source current.

$$I_T = \frac{V_T}{3R} \left[\sum_{x=1}^N b_x^B (1 - 2^{-2x}) - \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B (2^{2x-1} + 1)(2^{-x-y+1}) \right] \quad (11)$$

$$R_i = 3R \left[\sum_{x=1}^N b_x^B (1 - 2^{-2x}) - \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B (2^{2x-1} + 1)(2^{-x-y+1}) \right]^{-1} \quad (12)$$

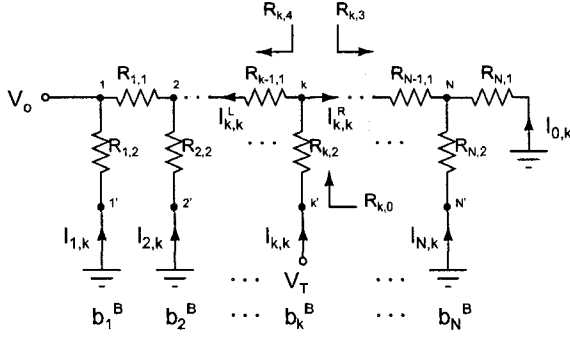


Fig. 12. Bit k contribution to the test current (Voltage mode, no segmentation)

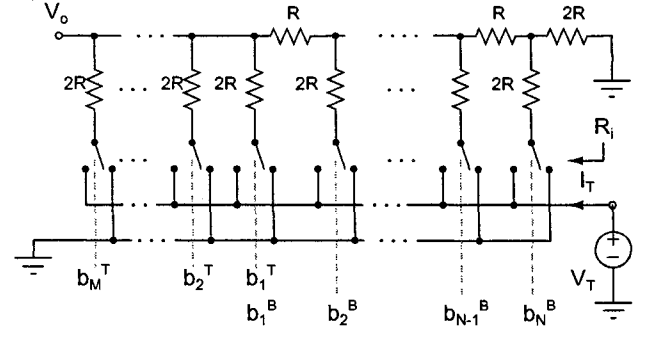


Fig. 13. Setup for input impedance analysis of the voltage mode R-2R with segmentation A.

With ideal resistors, it is easy to see that $R_{k,3} = 2R$. However, the expression for $R_{k,4}$ is not so obvious:

$$\begin{aligned} R_{k,4} &= (((R_{1,2} + R_{1,1}) \parallel R_{2,2}) + R_{2,1} \parallel R_{3,2}) + \dots \\ &= \frac{2^{2k-1} + 1}{2^{2k-2} - 1} R \end{aligned} \quad (13)$$

Thus,

$$R_{k,0} = R_{k,2} + (R_{k,3} \parallel R_{k,4}) = \frac{3}{1 - 2^{-2k}} R \quad (14)$$

And the current contribution of bit k is

$$I_{k,k} = \frac{V_T}{R_{k,0}} = \frac{V_T}{3R} (1 - 2^{-2k}) \quad (15)$$

Expressions of all other branches currents caused by the active bit k are

$$\begin{aligned} I_{k,k}^R &= I_{k,k} \frac{2^{2k-1} + 1}{2^{2k} - 1} \\ I_{k+j,k}^R &= -I_{k,k} \frac{2^{2k-1} + 1}{2^{2k} - 1} 2^{-j} \\ I_{k+j,k} &= I_{k+j,k}^R - I_{k+j-1,k}^R = I_{k+j,k}^R \\ &= -\frac{V_T}{3R} (2^{2k-1} + 1)(2^{-2k-j}) \end{aligned} \quad (16)$$

$$\begin{aligned} I_{k-j,k}^L &= I_{k,k} \frac{2^{2k-2j-2} - 1}{2^{2k} - 1} 2^{j+1} \\ I_{k-j,k} &= I_{k-j,k}^L - I_{k-j+1,k}^L \\ &= -\frac{V_T}{3R} (2^{2k-2j-1} + 1) 2^{j-2k} \end{aligned} \quad (17)$$

By superposition, the total current drawn from the test

source can be expressed as:

$$\begin{aligned} I_T &= \sum_{x=1}^N b_x^B I_{x,x} + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{x,y} \\ &\quad + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{y,x} \\ &= \sum_{x=1}^N b_x^B I_{x,x} + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B (I_{x,y} + I_{y,x}) \end{aligned} \quad (18)$$

With the appropriate change of variable, (16) and (17) can be inserted into (18) to get the total test source current expression (11). Thus, the input impedance of the unsegmented voltage mode ladder is (12).

C. Voltage mode R-2R with type A segmentation

When segmentation A is used (Fig. 9(a)) the output impedance can be expressed as a function of thermo encoded bit count:

$$R_o = \frac{2R}{M+1} \quad (19)$$

Fig. 13 shows the setup for input impedance analysis: a test voltage source (V_T) is connected at the input and the output (V_o) is left open.

The input impedance can be derived if the expression of the current I_T sourced by the test voltage is obtained: $R_i = V_T/I_T$.

Fig. 14 shows the contribution of a binary bit to the test source current. Fig. 15 shows the equivalent simplified ladder used for binary bit contribution analysis. Thermo resistors have been grouped together in a single equivalent resistor:

$$R_{1,2} = RT_{EQ} = \frac{2R}{M} \quad (20)$$

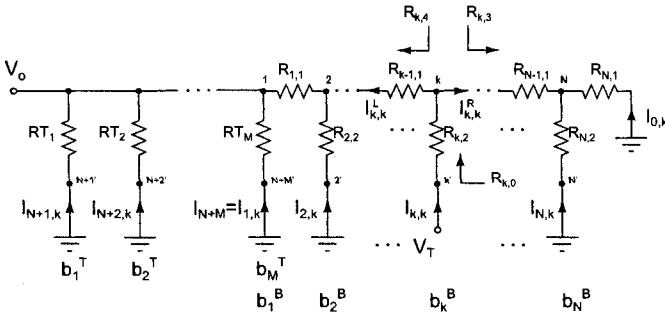


Fig. 14. Binary bit k contribution to the test current with type A segmentation (Voltage mode).

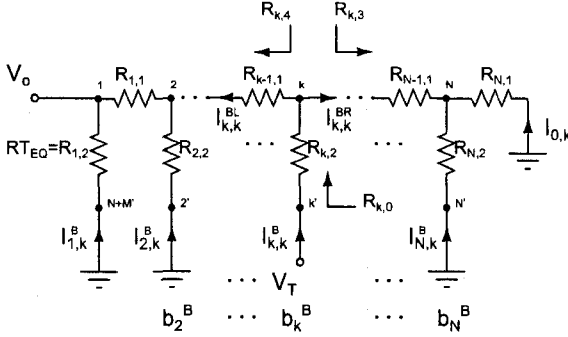


Fig. 15. Simplified ladder for analysis of binary bit k contribution to the test current (Voltage mode).

With ideal resistors, it is easy to see that $R_{k,3} = 2R$. However, the expression for $R_{k,4}$ is not so obvious, and it can be shown to be:

$$R_{k,4} = (((R_{1,2} + R_{1,1}) \parallel R_{2,2}) + R_{2,1} \parallel R_{3,2}) + \dots = \frac{M-2-(M+1)2^{2k-2}}{2-M-(M+1)2^{2k-3}} R \quad (21)$$

Thus,

$$R_{k,0} = R_{k,2} + (R_{k,3} \parallel R_{k,4}) = \frac{3R(M+1)2^{2k-1}}{2-M-(M+1)2^{2k-1}} \quad (22)$$

And, the current contribution of binary bit k is:

$$I_{k,k}^B = \frac{V_T}{R_{k,0}} = -\frac{V_T}{3R} \frac{2-M-(M+1)2^{2k-1}}{(M+1)2^{2k-1}} \quad (23)$$

This is the expression of the test source current when all input bits are set to 0 except one of the binary bits. The general solution valid for any number of active binary bit requires the expression of all branch currents caused by an active binary bit. Solving for the network of Fig. 15 we find that

$$\begin{aligned} I_{k,k}^{BR} &= I_{k,k}^B \frac{R_{k,4}}{R_{k,3} + R_{k,4}} = I_{k,k}^B \frac{M-2-2^{2k-2}(M+1)}{2-M-2^{2k-1}(M+1)} \\ I_{k+j,k}^B &= -I_{k+j,k}^{BR} = -I_{k,k}^{BR} 2^{-j} \\ &= \frac{V_T}{3R} \frac{M-2-(M+1)2^{2k-2}}{(M+1)2^{2k-1}} 2^{-j} \\ I_{k-j,k}^{BL} &= I_{k,k}^B \frac{2-M-(M+1)2^{2k-2j-3}}{2-M-(M+1)2^{2k-1}} 2^{j+1} \\ I_{k-j,k}^B &= I_{k-j,k}^{BL} - I_{k-j+1,k}^{BL} \end{aligned} \quad (24)$$

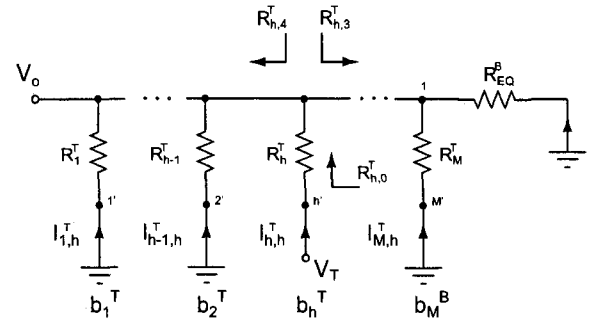


Fig. 16. Unary part of the segmented DAC

$$= -\frac{V_T}{3R} \frac{2-M+(M+1)2^{2k-2j-2}}{(M+1)2^{2k-1}} 2^j \quad (25)$$

Equations (23), (24) and (25) are the current contributions of the binary weighted section only. To analyze thermo bit contributions, the ladder can be simplified as shown in Fig. 16 where the binary part is replaced by an equivalent resistance: $R_{EQ}^B = 2R$. In this case,

$$R_{h,4}^T = \frac{2R}{h-1} \quad (26)$$

$$R_{h,3}^T = \frac{2R}{M+1-h} \quad (27)$$

$$\begin{aligned} R_{h,0}^T &= R_{h,4}^T \parallel R_{h,3}^T + R_h^T \\ &= 2R \frac{M+1}{M} \end{aligned} \quad (28)$$

And the current contribution of bit h is

$$I_{h,h}^T = \frac{V_T}{R_{h,0}} = \frac{V_T}{2R} \frac{M}{M+1} \quad (29)$$

Other thermo branches currents caused by a unary bit h are

$$I_{h+j,h}^T = I_{h-j,h}^T = \frac{I_{h,h}^T}{M} = -\frac{V_T}{2R} \frac{1}{M+1} \quad (30)$$

Interaction between unary and binary segments must also be taken into account. Currents in the binary ladder due to the unary bit h are

$$I_{k,h}^{BT} = -\frac{I_{h,h}^T}{M} 2^{-(k-1)} = -\frac{V_T}{2R} \frac{2^{1-k}}{M+1} \quad (31)$$

and currents in the unary ladder due to the binary bit k are

$$I_{h,k}^{TB} = -\frac{I_{k,k}^{BL}}{M} = -\frac{V_T}{2R} \frac{2^{1-k}}{M+1} \quad (32)$$

By superposition, the total test source current, I_T , is

$$\begin{aligned} &\sum_{x=2}^N b_x^B I_{x,x}^B + \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{x,y}^B + \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{y,x}^B \\ &+ \sum_{x=2}^N b_x^B \sum_{y=1}^M b_y^T I_{x,y}^{TB} + \sum_{x=1}^M b_x^T \sum_{y=1}^N b_y^B I_{x,y}^{BT} + \sum_{x=1}^{M-1} \sum_{y=x+1}^N b_x^T b_y^T I_{x,y}^T \\ &+ \sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T I_{y,x}^T + \sum_{x=1}^M b_x^T \sum_{y=2}^N b_y^B I_{x,y}^{BT} \end{aligned} \quad (33)$$

With the appropriate change of variables, (23), (24), (25), (29), (30), (31) and (32) can be inserted into (33) to get the

$$I_T = -\frac{V_T}{3R(M+1)} \left[\sum_{x=2}^N b_x^B \frac{2-M-(M+1)2^{2x-1}}{2^{2x-1}} + \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{2-M+(M+1)2^{2x-2}}{2^{x+y-2}} \right. \\ \left. - \sum_{x=1}^M b_x^T \frac{3M}{2} + \sum_{x=2}^N \sum_{y=1}^M b_x^B b_y^T 2^{1-x} 3 + \sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T 3 \right] \quad (34)$$

$$R_i = 3R(M+1) \left[\sum_{x=2}^N b_x^B \frac{2-M-(M+1)2^{2x-1}}{2^{2x-1}} + \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{2-M+(M+1)2^{2x-2}}{2^{x+y-2}} \right. \\ \left. - \sum_{x=1}^M b_x^T \frac{3M}{2} + \sum_{x=2}^N \sum_{y=1}^M b_x^B b_y^T 2^{1-x} 3 + \sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T 3 \right]^{-1} \quad (35)$$

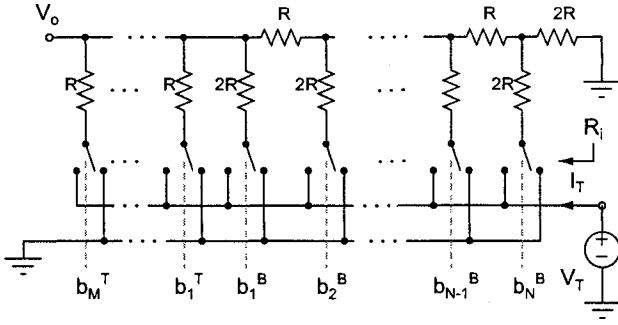


Fig. 17. Setup for input impedance analysis of the voltage mode R-2R with segmentation B.

test source current expression (34) and the input impedance expression (35). Note that this expression is valid for both, segmented and unsegmented architectures: setting $M = 1$ gives back (12).

D. Voltage mode R-2R with type B segmentation

When segmentation B is used (Fig. 9(b)) the output impedance can be expressed as a function of thermo encoded bit count:

$$R_o = \frac{R}{M+1} \quad (36)$$

Fig. 17 shows the setup for input impedance analysis. The input impedance can be derived if the expression of the current I_T sourced by the test voltage is obtained: $R_i = V_T / I_T$.

Fig. 15 shows the equivalent simplified ladder used for binary bit contribution analysis. Thermo resistors have been grouped together in a single equivalent resistor:

$$R_{1,2} = RT_{EQ} = \frac{2R}{1+2M} \quad (37)$$

With ideal resistors, it is easy to see that $R_{k,3} = 2R$. It can also be shown that the expression for $R_{k,4}$ is

$$R_{k,4} = (((R_{1,2} + R_{1,1}) \parallel R_{2,2}) + R_{2,1} \parallel R_{3,2}) + \dots \\ = \frac{(2^{2k-1} - 2)(M+1) + 3}{(2^{2k-2} + 2)(M+1) - 3} R \quad (38)$$

Thus,

$$R_{k,0} = R_{k,2} + (R_{k,3} \parallel R_{k,4}) = \frac{M+1}{M+1+2^{-2k}(2M-1)} 3R \quad (39)$$

And, the current contribution of binary bit k is:

$$I_{k,k}^B = \frac{V_T}{R_{k,0}} = \frac{V_T}{3R} \frac{M+1+2^{-2k}(2M-1)}{M+1} \quad (40)$$

This is the expression of the test source current when all input bits are set to 0 except one of the binary bits. The general solution valid for any number of active binary bit requires the expression of all branch currents caused by an active binary bit. Solving for the network of Fig. 15 we find that

$$I_{k,k}^{BR} = I_{k,k}^B \frac{2^{2k-1}(M+1) - 2M + 1}{2^{2k}(M+1) + 2M - 1} \\ I_{k+j,k}^B = -\frac{V_T}{3R} \frac{2^{2k-1}(M+1) - 2M + 1}{(M+1)2^{2k}} 2^{-j} \quad (41)$$

$$I_{k-j,k}^{BL} = I_{k,k}^B \frac{2^{2k-2j-1}(M+1) + 4M - 2}{2^{2k}(M+1) + 2M - 1} 2^j \\ I_{k-j,k}^B = -\frac{V_T}{3R} \frac{2 - 4M + (M+1)2^{2k-2j}}{(M+1)2^{2k}} 2^{j-1} \quad (42)$$

Equation (40), (41) and (42) are the current contributions of the binary weighted section only. To analyze thermo bit contributions, the ladder can be simplified as shown in Fig. 16 where the binary part is replaced by an equivalent resistance: $R_{EQ}^B = 2R$. In this case,

$$R_{h,4}^T = \frac{R}{h-1} \quad (43)$$

$$R_{h,3}^T = \frac{R}{M-h} \quad (44)$$

$$R_{h,0}^T = R \frac{M+1}{M} \quad (45)$$

And the current contribution of bit h is

$$I_{h,h}^T = \frac{V_T}{R} \frac{M}{M+1} \quad (46)$$

Other thermo branches currents caused by a unary bit h are

$$I_{h+j,h}^T = I_{h-j,h}^T = \frac{I_{h,h}^T}{M} = -\frac{V_T}{R} \frac{1}{M+1} \quad (47)$$

$$I_T = -\frac{V_T}{3R(M+1)} \left[\sum_{x=1}^N b_x^B \frac{1-2M-(M+1)2^{2x}}{2^{2x}} + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{1-2M+(M+1)2^{2x-1}}{2^{x+y-1}} \right. \\ \left. - \sum_{x=1}^M b_x^T 3M + \sum_{x=1}^N b_x^B \sum_{y=1}^M b_y^T \frac{6}{2^x} + \sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T 6 \right] \quad (48)$$

$$R_i = 3R(M+1) \left[\sum_{x=1}^N b_x^B \frac{1-2M-(M+1)2^{2x}}{2^{2x}} + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{1-2M+(M+1)2^{2x-1}}{2^{x+y-1}} \right. \\ \left. - \sum_{x=1}^M b_x^T 3M + \sum_{x=1}^N b_x^B \sum_{y=1}^M b_y^T \frac{6}{2^x} + \sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T 6 \right]^{-1} \quad (49)$$

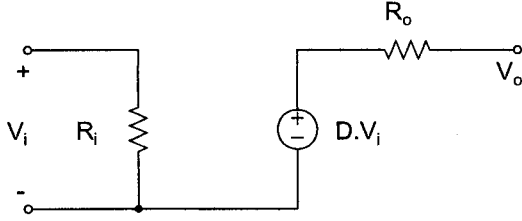


Fig. 18. Equivalent circuit for voltage mode R-2R DAC

Currents in the binary ladder due to the unary bit h are

$$I_{k,h}^{BT} = -\frac{I_{h,h}^T}{M} 2^{-k} = -\frac{V_T}{R} \frac{2^{-k}}{M+1} \quad (50)$$

and currents in the unary ladder due to the binary bit k are

$$I_{h,k}^{TB} = -\frac{I_{1,k}^{BL}}{M} = -\frac{V_T}{R} \frac{1}{(M+1)2^{k+1}} \quad (51)$$

By superposition, the total test source current, I_T , is

$$\sum_{x=2}^N b_x^B I_{x,x}^B + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{x,y}^B + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{y,x}^B \\ + \sum_{x=1}^N b_x^B \sum_{y=1}^M b_y^T I_{x,y}^{TB} + \sum_{x=1}^M b_x^T I_{x,x}^T + \sum_{x=1}^{M-1} \sum_{y=x+1}^M b_x^T b_y^T I_{x,y}^T \\ + \sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T I_{y,x}^T + \sum_{x=1}^M b_x^T \sum_{y=2}^N b_y^B I_{x,y}^{BT} \quad (52)$$

With the appropriate change of variables, (40), (41), (42), (46), (47), (50) and (51) can be inserted into (52) to get the test source current expression (48) and the input impedance expression (49). Note that this expression is valid for both, segmented and unsegmented architectures: setting $M = 0$ gives back (12).

E. Voltage mode equivalent circuit

The proposed equivalent circuit for voltage mode operation is shown in Fig. 18. This same model can be used for both, segmented and unsegmented ladders, given the input and output impedance expressions are adapted to the ladder type. These

expressions were derived in the previous sections according to the segmentation type (c.f. (10),(19),(36),(12),(35) and (49)).

If voltage output deviations due to resistance mismatch must be simulated, the ideal voltage source ($D \times V_i$) can be replaced by the output expression in terms of resistor ratios derived in [6]. This would allow Monte Carlo simulation including errors coming from ladder mismatch.

IV. VOLTAGE MODE MODEL CONSIDERATION

Following is a list of considerations related to the use of the simplified voltage mode R2R DAC model shown in Fig. 18:

1) *Input node*: Although grounded in our analysis, the negative input node of the equivalent circuit can be tied to another potential. This can be used on purpose to set the output voltage range lower limit.

2) *Output impedance*: Since voltage mode R-2R DACs have a constant output impedance, stabilization of any output amplifier is simplified. The stable nature of the output impedance also allows loading the DAC without linearity loss. In this case, the load resistor can be used to adjust the converters full-scale output (i.e. gain).

3) *Input impedance*: Voltage mode R-2R DACs have a code-dependent input impedance. Input impedance of the DAC sets the input voltage reference loading. To validate our model, a segmented R2R voltage mode DAC was netlisted and simulated with the Hspice simulator to measure the input reference current for all possible digital input codes. The test netlist is a 16 bit segmented R2R voltage mode ladder based on $50k\Omega$ resistors and using segmentation A with 3 thermo encoded bits. The same circuit simulation was performed analytically using our proposed model: expression (35) was used with $N = 13$, $M = 7$ and $R = 50k\Omega$. Fig. 19 plots the reference current as computed with our model and as simulated with Hspice. The analytical solution is very accurate with a maximum error of 30 ppm arising from the single-pole-double-throw (SPDT) switches R_{on} values, which are not considered in our model. Considering the complexity of the derived equations, the observed accuracy of the results constitutes a useful validation of our models. Appropriate reference circuit design or selection must take into account the DAC input current curve in order to get accurate converters.

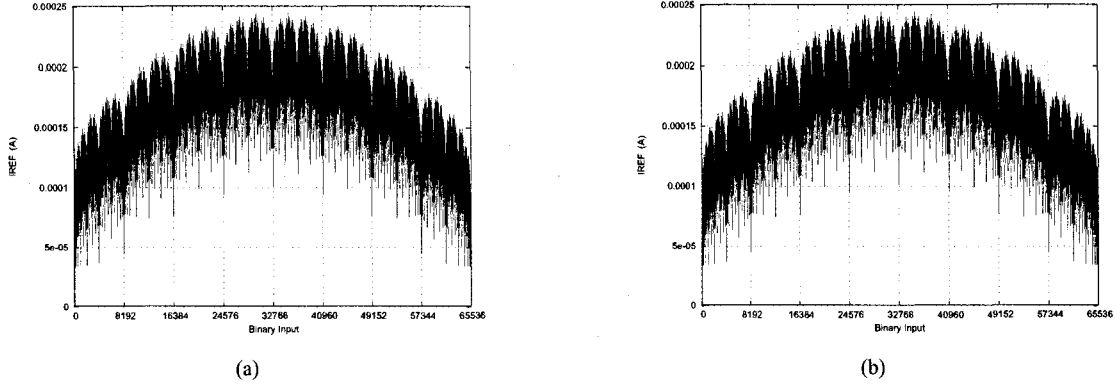


Fig. 19. 16 bit segmented voltage mode R2R Reference current computation (Type A segmentation, $N = 13, M = 7, V_i = 5V, R = 50k\Omega$): simulated solution with Hspice and a complete netlist (a) and analytical solution with the proposed model (b). Result differ by less than 30 ppm. The difference are mainly due to switch R_{on} value, which is not taken into account in the simplified model.

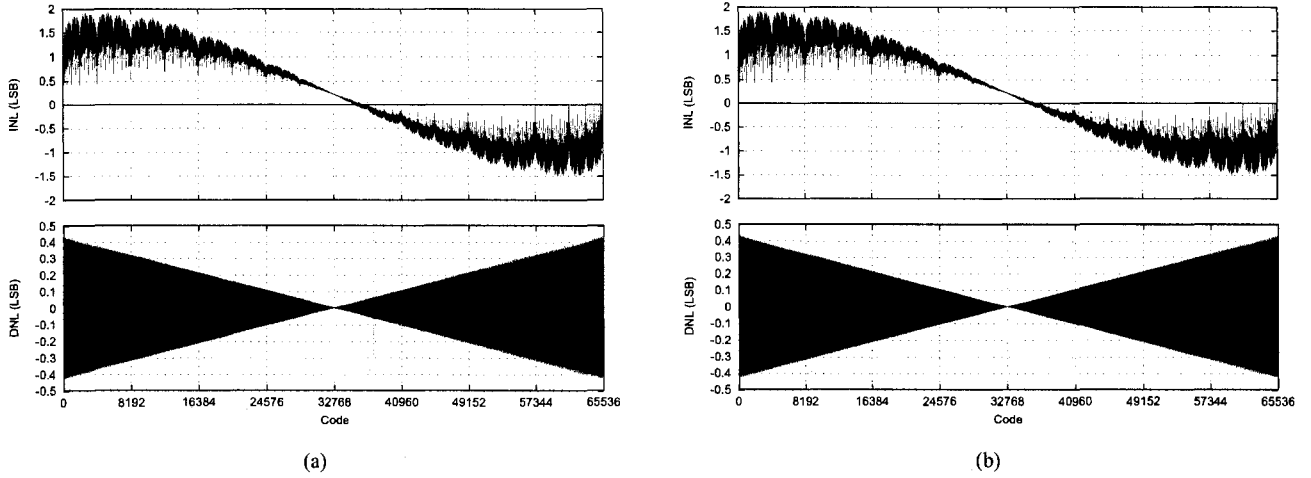


Fig. 21. Voltage mode R2R reference connection impedance impact on INL and DNL (Segmentation type A, $N = 13, M = 7, V_{REF} = 5V, R = 50k, R_{B+} = R_{B-} = 1\Omega$): detailed netlist simulation results (a), and simplified model analytical results (b).

4) *Reference*: It was found in practice that in high resolution designs, the varying input impedance puts some constraints on the reference distribution network. Indeed, since the reference current varies with the digital input code, the voltage drop across the reference distribution path modulates the reference voltage level seen by the converter. For high-resolution converter, this phenomenon can significantly affect linearity. Using the equivalent circuit of Fig. 18, it is possible to rapidly evaluate the impact of reference connection impedances on the output of the DAC. Fig. 20 shows the DAC equivalent circuit including parasitic impedances R_{B+} and R_{B-} modeling typical positive and negative reference distribution buses. Since the current I_{REF} is code-dependent, the apparent reference voltage (V_i) as seen by the DAC is also code-dependent. This creates linearity errors. Fig. 21 shows the simulated impact of reference connections on integral non linearity (INL) and differential non linearity (DNL), as obtained with the simulation of a detailed netlist simulation as well as with the simple equivalent model analysis result. Both results are very similar. They show that only 1Ω parasitic

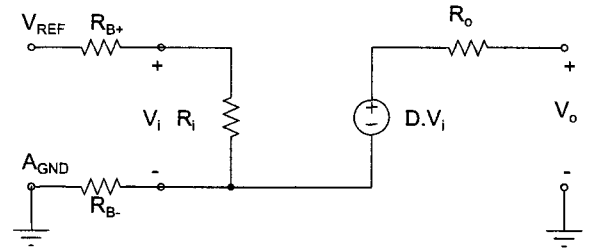


Fig. 20. Reference bus impedance analysis with the simplified voltage mode R2R model.

resistance between the reference source and the DAC would be responsible for almost 2 LSB INL and 1.5LSB DNL errors in the modeled 16 bit DAC. Note that parasitic resistance on reference inputs are also responsible for gain errors, not plotted here, but which can also be obtained with the proposed model.

5) *Resistors*: In our model, simplified impedances expressions and output voltage expression are based on ideal equal resistors. In reality however, resistors are subject to variations

inherent to fluctuations of any fabrication processes, and their value can be modulated by temperature and voltage state. Taking all these effects into consideration still requires simulations with a complete detailed netlist of the DAC.

6) *Switches*: Switches of voltage mode R2R DACs are SPDT devices connecting input branches to either the positive or negative reference potential. This wide operating voltage range sets constraints on the switch design. Our proposed model does not take into account switch parasitic resistance (R_{on}) which should either be minimized or well compensated. Note that in the voltage mode configuration, the switches are placed at the DAC inputs, and separated from the output by the R2R resistors, thus providing some shielding of the output from the switching glitches.

Appendix II lists bit values creating situations of maximum/minimum input impedances and current values.

V. CURRENT MODE MODEL CONSIDERATION

As for the voltage mode, the current mode model (c.f. Fig. 2)) can be very useful for fast simulation. Although it is a high level model that depicts accurately the DAC behavior in many situations, it also shows some limitations due to the fact that it ignores significant circuit details. Note that the expression of output current in terms of resistance ratio derived in [7] can be used in place of the ideal current source ($D \times V_i/R_i$) to consider resistance mismatches. Following are some considerations to be aware of when using the current mode model shown in Fig. 2:

1) *Output nodes*: The current mode R2R ladder features two current outputs, between which the input current is divided in a proportion dictated by the digital input code: it is a current steering circuit. However, Zurada's current mode equivalent circuit only models one output and assumes the other is grounded. Although grounding one of the output is probably the most common situation, the converter is really a two-output block and some simulations require the DAC to be considered as such. In these cases, the model is not valid. For example, the model cannot be used to analyze accurately a current mode R2R DAC with the complementary output tied to the ground through a resistor, nor can it take into consideration any varying voltage found on that same output.

2) *Input impedance*: Contrary to voltage mode, the input impedance of current mode R2R DACs is not modified by the digital input code. In this situation, the current drawn from the reference input is constant and input voltage drop through input connection parasitic resistances will only impact gain error but not linearity. This relaxes the constraint on reference distribution path design and also allows gain adjustment with the addition of an input resistor as shown on Fig. 22. When the DAC output is not grounded or virtually grounded with an opamp, the controlled current source present on the input side of the model allows taking into consideration the output voltage effect on the input current. Note again, that the model assumes a grounded complementary output and does not have the ability to adjust the input current with the output voltage found on a complementary output.

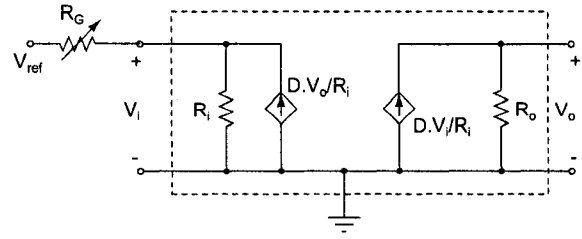


Fig. 22. Gain adjustment resistor addition (R_G) in current mode R2R DAC.

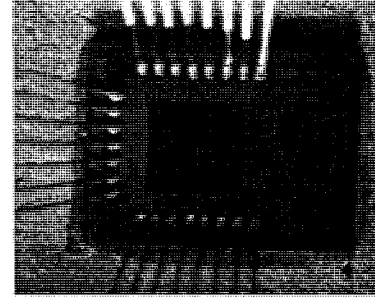


Fig. 23. 14 bit current mode R-2R DAC

3) *Output impedance*: Contrary to voltage mode, the output impedance of current mode R2R DACs is code-dependent. This impacts the stabilization of the opamp generally found at the output of such a converter [10] and also puts constraints on the output path design as any resistance present on that path will degrade linearity. An observation of this degradation is reported in [7] where the authors have noted that the output wire resistance is a source of INL error. Controlling this factor becomes important when target resolution increases and an illustration of this will be given in section VI with actual chip measurements.

4) *Resistors and switches*: As for voltage mode, resistors where all considered ideal and switches R_{on} are ignored to obtain simple impedance expressions. Adequate switch sizing and compensation options needed to make this valid can be found in [8], [12]–[15].

VI. HIGH RESOLUTION R2R DAC CASE STUDY

A. Chip implementation and first results

Fig. 23 pictures a 14 bit current mode R-2R DAC chip fabricated in $0.25\mu\text{m}$ TSMC CMOS process and previously described in [5]. The 3 MSBs are thermo encoded and segmentation is of type A (c.f. Fig. 3(a)). The remaining 11 bits control binary weighted currents generated with R-2R stages. The unit resistance value is $50k\Omega$ and all resistors can be individually and precisely adjusted by laser trimming: this trimming is done with laser diffused resistors [16] allowing cancellation of any significant mismatches found after fabrication. This allows trimming away significant differential non-linearities (DNL) which in turn is expected to result in a very low integral non linearity (INL) performance.

Fig. 24(a) shows typical linearity curves as measured on the first prototype version of the chip and before any trimming operation. Fig. 24(b) shows the corresponding linearity curves obtained if the most significant mismatches affecting the

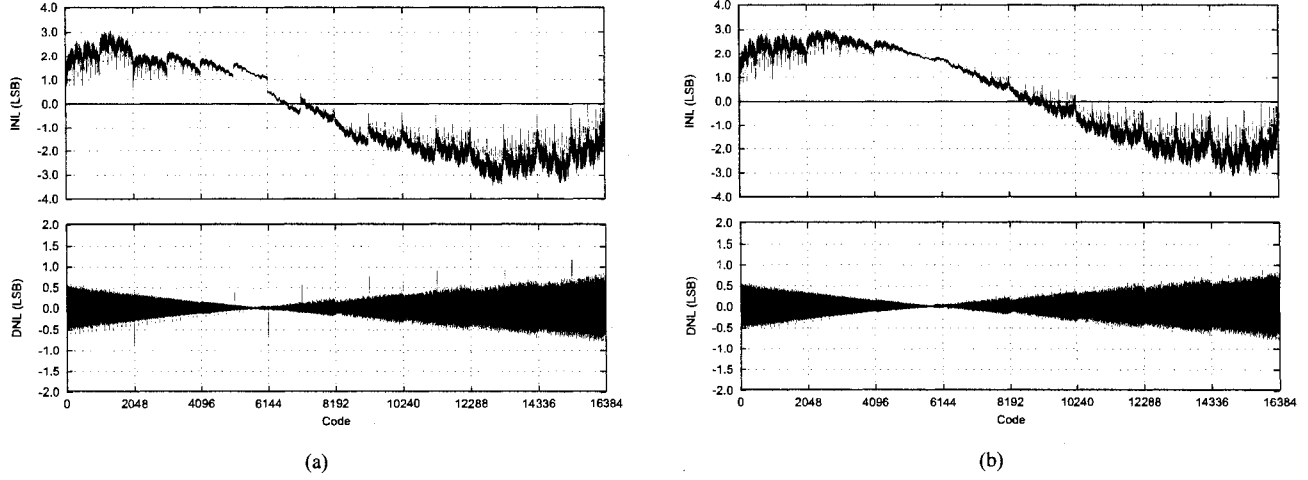


Fig. 24. Linearity curves as measured on the first DAC prototype, before any trimming (a) and after most significant mismatch correction (b).

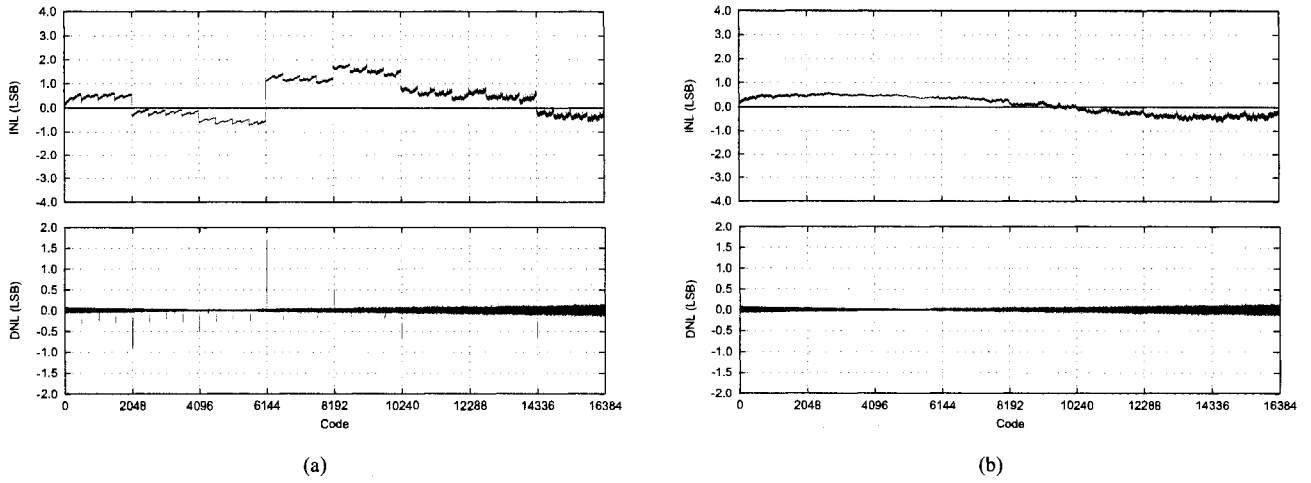


Fig. 25. Linearity curves as measured on the improved DAC prototype, before any trimming (a) and after trimming (b).

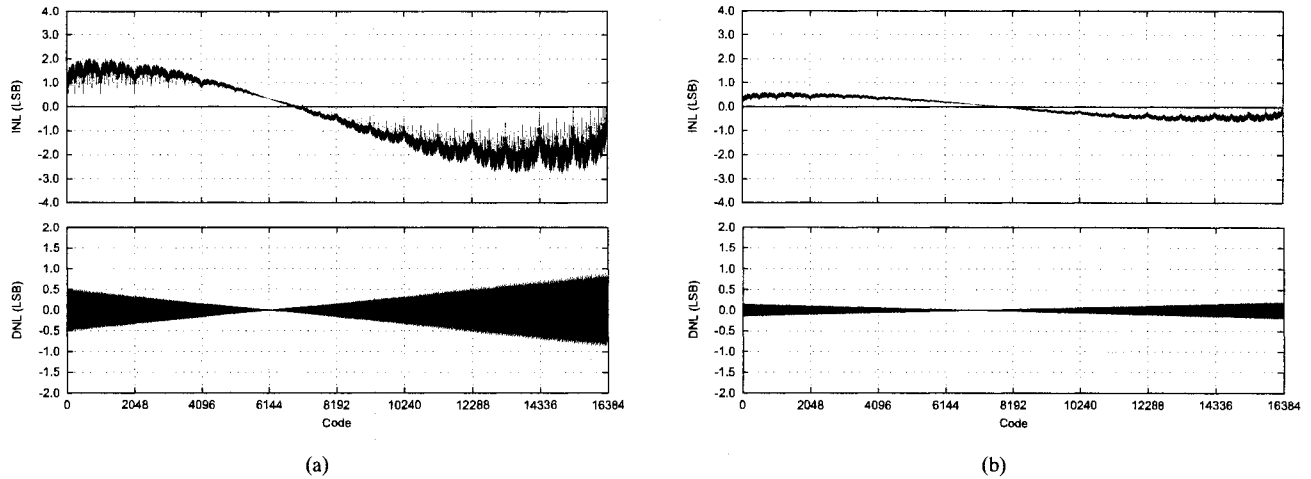


Fig. 26. Linearity curves of the first prototype (a) and improved (b) DAC circuit as obtained with a fast simulation using the simplified DAC model.

resistor ladder are removed: the INL is not improved by mismatch cancellation.

B. Analysis and design correction

Analysis of the prototype showed that parasitic resistors of output buses combined with the code-dependent output impedance were responsible for the limited INL capability of the chip. Indeed, these buses, made very long to collect all DAC output currents coming out of all R-2R branches, had a parasitic resistance reaching almost 8Ω from one end to the other. The effect of these buses can be obtained with a complete simulation when including parasitic elements, but extracting all parasitic resistors for simulations is usually not possible because of the excessive number of nodes added to the original netlist. A more practical solution (which also requires some human expertise) is to include only the sensitive parasitic elements: in this case, the output buses resistors. Fig. 26(a) shows the linearity curves of the DAC as simulated using the equivalent model proposed, with a reference bus resistors added as shown on Fig. 20. Note that this simulation gives a good approximation of the chip result (c.f. Fig. 24) although the bus resistors are probably a bad model of the bus layout solution and neither switch resistance nor resistor mismatch are considered.

The layout of this chip was later modified to reduce the output paths resistance down to approximately 1Ω . Again, using the equivalent model, the expected typical linearity curves can be computed and are plotted on Fig. 26(b). Fig. 25 shows the linearity curves measured on the improved prototype chip [5]. Although output impedance effect can still be observed in trimmed curves, non-linearities are now dominated by mismatch errors which can be trimmed out to reduce the INL down to 0.6 LSB.

VII. CONCLUSION

Expressions of output and input impedances were derived to extend Zurada and Goodman's current mode R2R equivalent circuit to segmented architectures. A new model was also proposed for the voltage mode designs. Expressions were again derived to fit segmented architectures as well. Simulation and chip measurements show that these models can offer an accurate representation for fast simulation or higher level analysis. This is certainly a benefit for accurate system simulation in the trend for higher integration. These models were used to demonstrate the importance of considering the network impedance when designing high resolution DACs: measurements of a trimmable 14 bit DAC chip were compared to the model simulation results to show how the code-dependant output impedance prevents reaching the targeted resolution.

APPENDIX I USEFUL PROPERTIES

Several expressions were simplified using the following geometric series property:

$$a + ar + ar^2 + ar^3 + \dots + ar^{n-1} = \frac{a(1 - r^n)}{1 - r} \quad (53)$$

In particular, equations (13), (21) and (38) were obtained with $r = 2^2$ and $a = 1$. Another useful version of this property is obtained when $r = \frac{1}{2}$ and $a = 1$:

$$\sum_{i=1}^N \frac{1}{2^i} = \frac{1}{2} + \frac{1}{2^2} + \dots + \frac{1}{2^N} = 1 - \frac{1}{2^N} \quad (54)$$

APPENDIX II SPECIAL CASES

Several input codes are of special interest since they create configurations of extreme impedance and/or current. Tables I, II, III and IV list some of these codes¹ for the different R2R configurations modeled.

TABLE I
BINARY VOLTAGE MODE SPECIAL CODES

Code	Condition
..1010101 ..0101011	Min. Z_{IN} and max. I_{IN}
000..0	$Z_{IN} = \infty$ and $I_{IN} = 0$
100..0	Max. Z_{IN} and min. I_{IN}

TABLE II
SEGMENTED (A OR B) VOLTAGE MODE SPECIAL CODES

Code <i>thermo</i> ¹ / <i>binary</i>	Condition
100..0/01010..1 011..1/1010..1	Min. Z_{IN} and max. I_{IN}
00..0/00..0	$Z_{IN} = \infty$ and $I_{IN} = 0$

TABLE III
BINARY CURRENT MODE SPECIAL CODES

Code	Condition
00..0	$Z_{OUT} = \infty$
00..01	Min. Z_{OUT}
11101010..1	Max. Z_{IN} and min. I_{IN}

TABLE IV
SEGMENTED (A OR B) CURRENT MODE SPECIAL CODES

Code <i>thermo</i> ¹ / <i>binary</i>	Condition
00..0	$Z_{OUT} = \infty$
00..01	Min. Z_{OUT}
11..1/11101010..1	Max. Z_{OUT} (seg. A)
11..1/11101010..1	Max. Z_{OUT} (seg. B)

Using the provided code values, limits to models and equations can be generated with a symbolic computing software. For example, the maximum input current of an N bits voltage mode binary ladder is:

$$I_{max} = \frac{V_T}{81R} \left(9N^3 - 27N^2 + 36N^2 4^{-N} - 162N 2^{-N} + 123N 4^{-N} - 36N + 116 4^{-N} + 208 - 2^{-N} 324 \right) \quad (55)$$

¹ Separation between thermometer and binary bits is shown, but all bits are given binary encoded.

Although it is interesting to note that the expression is closed for any value of N , the formula is not simple and becomes even more complex for segmented cases. For this reason, we have only provided the list of special codes. With these tables and the equations that compose the model, the interested reader can generate any needed result.

REFERENCES

- [1] The Engineering Staff of Analog Devices Inc., *Analog-Digital Conversion Handbook*. Englewood Cliffs, NJ, USA: Prentice-Hall, 1986.
- [2] (1998) LTC1591 - 14-Bit Parallel Low Glitch Multiplying DAC with 4-Quadrant Resistors. Linear Technology Corp. [Online]. Available: <http://www.linear.com>
- [3] (2004) AD5554 Precision QUAD 14-Bit D/A Converter. Analog Devices Inc. [Online]. Available: <http://www.analog.com>
- [4] D. S. Karadimas, D. Mavridis, and K. A. Efstathiou, "A Digitally Calibrated R-2R Ladder Architecture for High Performance Digital-to-Analog Converters," in *ISCAS*, 2006, pp. 4779–4782.
- [5] D. Marche, Y. Savaria, and Y. Gagnon, "Laser Fine-Tunable Deep Sub-Micron CMOS 14 bit DAC," *IEEE Trans. Circuits Syst. I*, vol. 55, no. 8, pp. 2157–2165, Sep. 2008.
- [6] M. Kennedy, "On the Robustness of R-2R Ladder DACs," in *IEEE Trans. Circuits Syst. I*, vol. 2, Feb. 2000, pp. 109–116.
- [7] L. Wang, Y. Fukatsu, and K. Watanabe, "Characterization of CMOS R-2R Ladder Digital-to-Analog Converters," in *IEEE Trans. Instrum. Meas.*, vol. 50, Dec. 2001, pp. 1781–1786.
- [8] D. Marche, Y. Savaria, and Y. Gagnon, "Compensated Inverted R-2R Ladder and Compensation Technique Therefor," U.S. Patent Pending 11/411,110, May 19, 2006.
- [9] E. Erb and G. Wierzbza, "Expression for the Output Resistance of a Switched R-2R Ladder Network," *IEEE Transactions on Circuits and Systems*, vol. 30, pp. 167–169, Mar. 1983.
- [10] J. Zurada and K. Goodman, "Equivalent Circuit of Multiplying DAC Using R-2R Ladder Networks," *Electronic Letters*, vol. 16, pp. 925–927, Nov. 1980.
- [11] V. V. B. Rao and K. S. Rao, "Equivalent Circuit for a Multiplying D/A Converter," *IEEE Transactions on Circuits and Systems*, vol. 32, pp. 1199–1200, Nov. 1985.
- [12] D. Marche and Y. Savaria, "An Improved Switch Compensation Technique for Inverted R-2R Ladder DACs," *IEEE Trans. Circuits Syst. I*, Accepted for future publication, Aug. 2008.
- [13] J. B. Cecil, "Digital to Analog Conversion Circuit Including Compensation FET'S," U.S. Patent Published 4,267,550, Jan. 25, 1980.
- [14] P. P. Morlon, "Digital to Analog Converters," International Patent Published WO 90/16 114, Dec. 27, 1990.
- [15] H. Asazawa, "D/A Converter for Minimizing Nonlinear Error," U.S. Patent Published 5,119,095, Jan. 25, 1980.
- [16] M. Meunier, Y. Gagnon, Y. Savaria, A. Lacourse, and M. Cadotte, "A novel laser trimming technique for microelectronics," *Applied Surface Science*, vol. 186, pp. 52–56, 2002.

ANNEXE VII

DÉTAILS DU DÉVELOPPEMENT DES ÉQUATIONS D'IMPÉDANCES DES RÉSEAUX R2R

VII.1 Introduction

Ce document donne toutes les étapes du développement mathématique des équations d'impédances des réseaux R2R de CNA segmentés ou non, utilisés en mode tension ou courant. La méthode de calcul est celle des travaux de E.David Erb et Gregory M. Wierzba qui ont publié un article sur l'impédance de sortie d'un réseau R2R non-segmenté utilisé en mode courant. Étant donnée que la majorité des CNA sont segmentés et que le réseau R2R est souvent utilisé en mode tension, les expressions d'impédances sont développées pour tous ces cas.

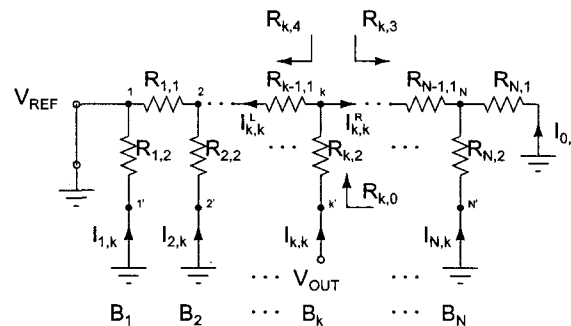


FIG. VII.1 Impédance de sortie tel que vue du noeud k'

VII.2 Impédance de sortie du réseau R2R binaire (non-segmenté) en mode courant

L'expression de l'impédance de sortie d'un réseau R2R inversé (mode courant) non-segmenté a été publiée par E. David Erb and Gregory M. Wierzbza (*Expression for the Output resistance of a Switched R-2R Ladder Network*, 1983, Transaction on Circuits and Systems, Vol. CAS-30, No. 3, March 1983). Cette expression est donnée ici pour le circuit de la figure VII.1 :

$$Z_{OUT} = \frac{3R}{\sum_{x=1}^N b_x(1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x b_y (2^{2x-2} - 1)(2^{2-x-y})} \quad (\text{VII.1})$$

VII.3 Impédance d'entrée du réseau R2R binaire (non-segmenté) en mode tension

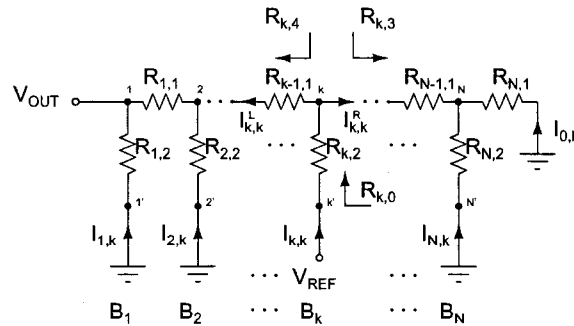


FIG. VII.2 Impédance d'entrée telle que vue du noeud k'

L'impédance d'entrée telle que vue par la référence peut être exprimée en fonction du code d'entrée. Il est possible de calculer la contribution de chaque bit au courant tiré. Le théorème de superposition peut ensuite être utilisé pour ajouter ces contributions et calculer le courant total puis l'impédance d'entrée. La contribution au courant du bit k est :

$$I_{k,k} = \frac{V_{REF}}{R_{k,0}}$$

$$= \frac{V_{REF}}{R_{k,2} + (R_{k,3} \parallel R_{k,4})} \quad (\text{VII.2})$$

Avec des résistances idéales, il est facile de vérifier que $R_{k,3} = 2R \forall k \in [1, N]$. Cependant, l'expression de $R_{k,4}$ est moins évidente :

$$R_{k,4} = (((R_{1,2} + R_{1,1}) \parallel R_{2,2}) + R_{2,1} \parallel R_{3,2}) + \dots \quad (\text{VII.3})$$

Nous avons :

$$\begin{aligned} R_{2,4} &= R_{1,2} + R_{1,1} = (2 + 1)R = 3R \\ R_{3,4} &= ((R_{1,2} + R_{1,1}) \parallel R_{2,2}) + R_{2,1} = \frac{2^3 + 2 + 1}{2^2 + 1}R = \frac{11}{5}R \\ R_{4,4} &= (R_{3,4} \parallel R_{3,2}) + R_{3,1} = \frac{2^5 + 2^3 + 2 + 1}{2^4 + 2^2 + 1}R = \frac{43}{21}R \\ R_{5,4} &= (R_{4,4} \parallel R_{4,2}) + R_{4,1} = \frac{2^7 + 2^5 + 2^3 + 2 + 1}{2^6 + 2^4 + 2^2 + 1}R = \frac{171}{85}R \\ R_{k,4} &= \frac{2^{2k-1} + 1}{2^{2k-2} - 1}R \end{aligned} \quad (\text{VII.4})$$

Ce résultat à été obtenu en utilisant une série géométrique ($r = 2^2$, $a = 1$) et la propriété suivante :

$$a + ar + ar^2 + ar^3 + \dots + ar^{n-1} = \frac{a(1 - r^n)}{1 - r} \quad (\text{VII.5})$$

Il est facile de vérifier que pour des grandes valeurs de k , l'expression VII.4 tend vers $2R$.

Les expressions de $R_{k,3}$ et $R_{k,4}$ peuvent maintenant être combinées pour obtenir celle de $R_{k,0}$ toujours dans le cas de résistances idéales (égales) :

$$\begin{aligned} R_{k,0} &= R_{k,2} + (R_{k,3} \parallel R_{k,4}) \\ &= 2R + \left[2R \parallel \frac{2^{2k-1} + 1}{2^{2k-2} - 1}R \right] \end{aligned}$$

$$= \left(\frac{3}{1 - 2^{-2k}} \right) R \quad (\text{VII.6})$$

Il est facile de vérifier que, tel qu'attendu, $R_{2,0} = \frac{16}{5}R$ et que pour de grandes valeurs de k , $R_{k,0} = 3R$.

Si seulement un bit (k) est actif à la fois, le courant tiré de V_{REF} et l'impédance d'entrée associée peuvent être exprimés ainsi :

$$\begin{aligned} I_{REF_{Singlebit}} &= I_{k,k} = \frac{V_{REF}}{R_{k,0}} \\ &= \frac{V_{REF}}{\left(\frac{3}{1 - 2^{-2k}} \right) R} = \frac{V_{REF}}{3R} (1 - 2^{-2k}) \\ Z_{IN_{Singlebit}} &= R_{k,0} = \left(\frac{3}{1 - 2^{-2k}} \right) R \end{aligned} \quad (\text{VII.7})$$

Une solution plus générale, valide pour toutes les combinaison de bits actifs peut également être obtenue et demande l'expression de tous les courants de branches causés par l'activation d'un bit :

$$\begin{aligned} I_{k,k}^R &= I_{k,k} \frac{R_{k,4}}{R_{k,3} + R_{k,4}} = I_{k,k} \frac{\frac{2^{2k-1} + 1}{2^{2k-2} - 1}}{2 + \frac{2^{2k-1} + 1}{2^{2k-2} - 1}} = I_{k,k} \frac{2^{2k-1} + 1}{2^{2k} - 1} \\ I_{k+j,k}^R &= -I_{k,k} \frac{2^{2k-1} + 1}{2^{2k} - 1} 2^{-j} \\ I_{k+j,k} &= I_{k+j,k}^R - I_{k+j-1,k}^R = I_{k+j,k}^R = -I_{k,k} \frac{2^{2k-1} + 1}{2^{2k} - 1} 2^{-j} \\ &= -\frac{V_{REF}}{3R} (1 - 2^{-2k}) \frac{2^{2k-1} + 1}{2^{2k} - 1} 2^{-j} = -\frac{V_{REF}}{3R} \frac{2^{2k} - 1}{2^k} \frac{2^{2k-1} + 1}{2^{2k} - 1} 2^{-j} \\ &= -\frac{V_{REF}}{3R} \frac{2^{2k-1} + 1}{2^{2k}} 2^{-j} = -\frac{V_{REF}}{3R} (2^{2k-1} + 1) (2^{-2k-j}) \end{aligned} \quad (\text{VII.8})$$

$$\begin{aligned}
I_{k,k}^L &= I_{k,k} \frac{R_{k,3}}{R_{k,3} + R_{k,4}} = I_{k,k} \frac{2^{2k-1} - 2}{2^{2k} - 1} \\
I_{k-1,k}^L &= I_{k,k}^L \frac{2R}{2R + R_{k-1,4}} = I_{k,k}^L \frac{2^{2k-4} - 1}{2^{2k} - 1} 2^2 \\
I_{k-2,k}^L &= I_{k-1,k}^L \frac{2R}{2R + R_{k-2,4}} = I_{k,k}^L \frac{2^{2k-6} - 1}{2^{2k} - 1} 2^3 \\
I_{k-3,k}^L &= I_{k-2,k}^L \frac{2R}{2R + R_{k-3,4}} = I_{k,k}^L \frac{2^{2k-8} - 1}{2^{2k} - 1} 2^4 \\
I_{k-j,k}^L &= I_{k-j+1,k}^L \frac{2R}{2R + R_{k-j,4}} = I_{k,k}^L \frac{2^{2k-2j-2} - 1}{2^{2k} - 1} 2^{j+1} \\
I_{k-j,k} &= I_{k-j,k}^L - I_{k-j+1,k}^L = I_{k,k} \left[\frac{2^{2k-2j-2} - 1}{2^{2k} - 1} 2^{j+1} - \frac{2^{2k-2j} - 1}{2^{2k} - 1} 2^j \right] \\
&= -\frac{V_{REF}}{3R} (1 - 2^{-2k}) \frac{2^{2k-j-1} + 2^j}{2^{2k} - 1} = -\frac{V_{REF}}{3R} \frac{2^{2k} - 1}{2^{2k}} \frac{2^{2k-j-1} + 2^j}{2^{2k} - 1} \\
&= -\frac{V_{REF}}{3R} \frac{2^{2k-j-1} + 2^j}{2^{2k}} = -\frac{V_{REF}}{3R} (2^{2k-2j-1} + 1) 2^{j-2k} \tag{VII.9}
\end{aligned}$$

Par superposition, le courant total tiré de la référence I_{REF} peut s'exprimer ainsi :

$$\begin{aligned}
I_{REF} &= \sum_{x=1}^N b_x \sum_{y=1}^N b_y I_{y,x} \\
&= \underbrace{\sum_{x=1}^N b_x I_{x,x}}_{\text{Main Bit Cur.}} + \underbrace{\sum_{x=1}^N b_x \sum_{y=1}^{x-1} b_{x-y} I_{x-y,x}}_{\text{Lower bits cur. due to Main Bit}} + \underbrace{\sum_{x=1}^{N-1} b_x \sum_{y=x+1}^N b_y I_{y,x}}_{\text{Higher bits cur. due to Main Bit}}
\end{aligned}$$

Ce qui peut se reformuler ainsi :

$$\begin{aligned}
I_{REF} &= \sum_{x=1}^N b_x I_{x,x} + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x b_y I_{x,y} + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x b_y I_{y,x} \\
&= \sum_{x=1}^N b_x I_{x,x} + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x b_y (I_{x,y} + I_{y,x}) \tag{VII.10}
\end{aligned}$$

Les équations VII.8 et VII.9 peuvent être utilisées dans VII.10 avec les changements de

variables suivants :

– Pour l'équation VII.8 :

$$\begin{aligned}
 I_{k+j,k} &= -\frac{V_{REF}}{3R}(2^{2k-1} + 1)(2^{-2k-j}) \\
 I_{k+j,k} &= I_{y,x} \Rightarrow \begin{cases} y = k + j \\ x = k \end{cases} \Rightarrow \begin{cases} j = y - x \\ k = x \end{cases} \\
 I_{y,x} &= -\frac{V_{REF}}{3R}(2^{2x-1} + 1)(2^{-x-y})
 \end{aligned} \tag{VII.11}$$

– Pour l'équation VII.9 :

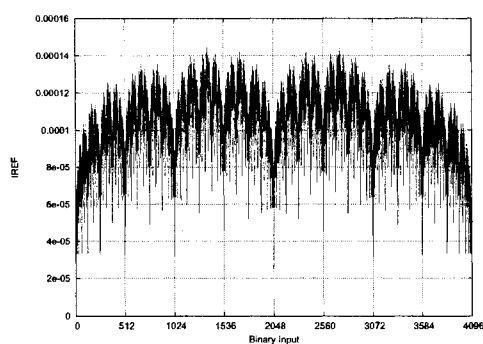
$$\begin{aligned}
 I_{k-j,k} &= -\frac{V_{REF}}{3R}(2^{2k-2j-1} + 1)2^{j-2k} \\
 I_{k-j,k} &= I_{x,y} \Rightarrow \begin{cases} x = k - j \\ y = k \end{cases} \Rightarrow \begin{cases} j = y - x \\ k = y \end{cases} \\
 I_{x,y} &= -\frac{V_{REF}}{3R}(2^{2x-1} + 1)(2^{-x-y})
 \end{aligned} \tag{VII.12}$$

Les équations VII.11 et VII.12 peuvent maintenant être insérées dans l'équation VII.10 :

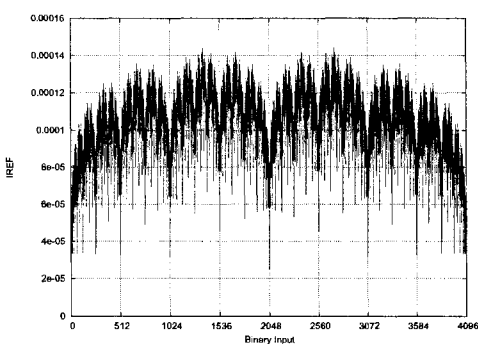
$$\begin{aligned}
 I_{REF} &= \sum_{x=1}^N b_x I_{x,x} + \sum_{x=1}^N \sum_{y=x+1}^N b_x b_y (I_{x,y} + I_{y,x}) \\
 &= \frac{V_{REF}}{3R} \left[\sum_{x=1}^N b_x (1 - 2^{-2x}) - \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x b_y [(2^{2x-1} + 1)(2^{-x-y}) + (2^{2x-1} + 1)(2^{-x-y})] \right] \\
 &= \frac{V_{REF}}{3R} \left[\sum_{x=1}^N b_x (1 - 2^{-2x}) - \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x b_y (2^{2x-1} + 1)(2^{-x-y+1}) \right]
 \end{aligned} \tag{VII.13}$$

Ce qui donne finalement l'équation de l'impédance d'entrée :

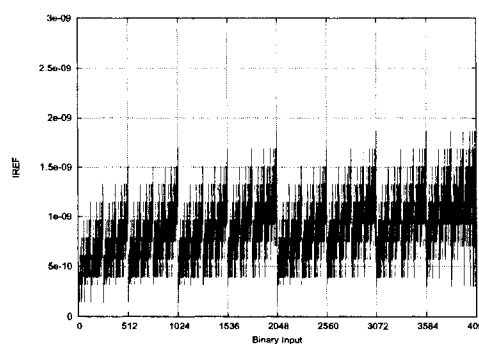
$$Z_{IN} = \frac{3R}{\sum_{x=1}^N b_x (1 - 2^{-2x}) - \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x b_y (2^{2x-1} + 1)(2^{-x-y+1})} \tag{VII.14}$$



(a) Solution analytique



(b) Solution simulée



(c) Différence entre les deux solutions

FIG. VII.3 Courant de référence pour le réseau R2R binaire mode tension ($N=12, V_{ref}=5V, R=50k$).

La figure VII.3 montre les courants d'entrées tels que calculé avec l'équation VII.13 et simulé avec Hspice ainsi que la différence entre ces deux résultats. Les différences viennent de la résistance des interrupteurs qui n'est pas prise en compte dans la solution analytique.

Quelques codes particuliers :

- Aucun courant ne traverse le réseau au code $000 \dots 000$.
- Le courant maximal est observé aux codes $101010 \dots 010$ et $010101 \dots 011$.
- Le courant minimum est observé au code $1000 \dots 000$.

VII.4 Segmentation

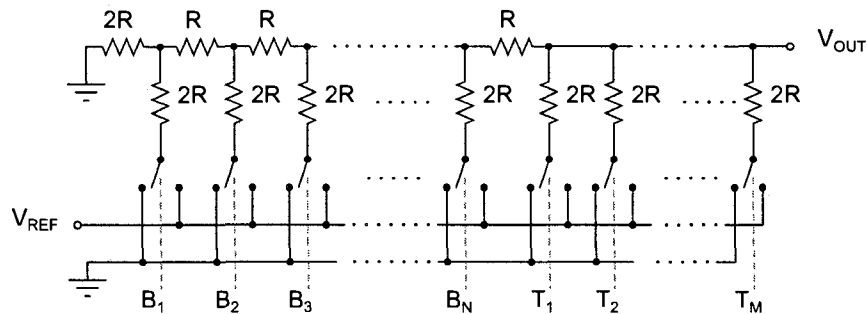


FIG. VII.4 Segmentation de type A : ajout de branches $2R$.

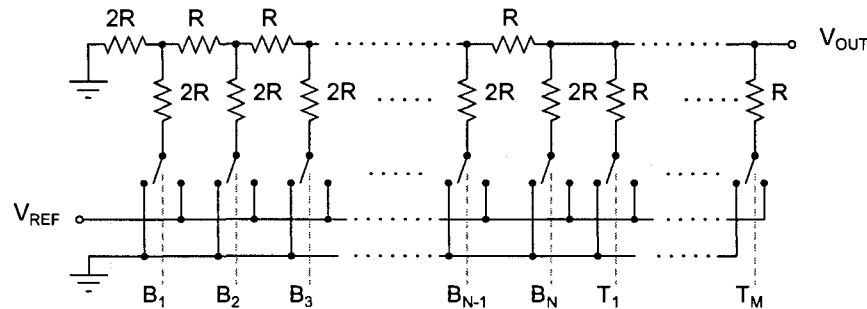


FIG. VII.5 Segmentation type B : ajout de branches R .

Les figures VII.4 et VII.5 montrent deux options possibles de segmentation : les bits thermomètres peuvent contrôler des branches R ou $2R$. Les expressions d'impédances sont développées pour chacune de ces options.

VII.5 Impédance de sortie du réseau $R2R$ segmenté de type A en mode courant

Le réseau segmenté est illustré à la figure VII.6. L'expression de son impédance de sortie peut être obtenue en combinant l'analyse de la partie binaire avec celle de la partie unitaire. Le courant total inclura :

1. Les contributions des bits binaires.
2. Les contributions des bits binaires dues à l'activation d'autre bits binaires.

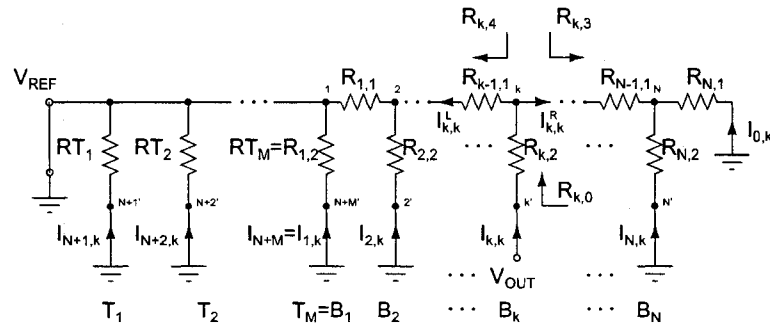


FIG. VII.6 Impédance de sortie telle que vue du noeud k'

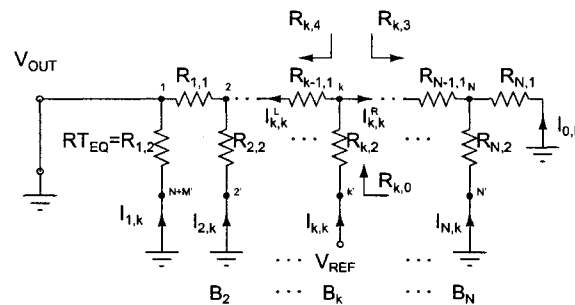


FIG. VII.7 Partie binaire du CNA segmenté

3. Les contributions des bits thermomètres.
4. Les contributions des bit binaires dues à l'activation de bits thermomètres.
5. Les contributions des bit thermomètres dues à l'activation d'autres bits thermomètres.
6. Les contributions des bits thermomètres dues à l'activation d'autres bits binaires.

Le segment binaire inclue N étages binaires. Le premier étage ($k=1$) inclue toutes les résistances thermomètres. L'expression du courant pour $2 < k < N$ est déterminé en trouvant le circuit équivalent de la partie binaire illustré à la figure VII.7.

La contribution en courant du bit k est :

$$\begin{aligned}
 I_{k,k}^B &= \frac{V_{REF}}{R_{k,0}} \\
 &= \frac{V_{REF}}{R_{k,2} + (R_{k,3} \parallel R_{k,4})}
 \end{aligned}
 \tag{VII.15}$$

Avec des résistances idéales, il est facile de vérifier que $R_{k,3} = 2R \forall k \in [1, N]$. Cependant, l'expression de $R_{k,4}$ est moins évidente :

$$R_{k,4} = (((R_{1,2} + R_{1,1}) \parallel R_{2,2}) + R_{2,1} \parallel R_{3,2}) + \dots \quad (\text{VII.16})$$

Nous avons :

$$\begin{aligned} R_{2,4} &= R \\ R_{3,4} &= \frac{2^2 + 1}{2 + 1} R \\ R_{4,4} &= \frac{2^4 + 2^2 + 1}{2^3 + 2 + 1} R \\ R_{5,4} &= \frac{2^6 + 2^4 + 2^2 + 1}{2^5 + 2^3 + 2 + 1} R \\ R_{k,4} &= \frac{2^{2(k-2)} + 2^{2(k-3)} + \dots + 2^2 + 1}{2^{2(k-3)+1} + 2^{2(k-4)+1} + \dots + 2^3 + 2 + 1} R \\ R_{k,4} &= \frac{2^{2(k-2)} + 2^{2(k-3)} + \dots + 2^2 + 1}{2(2^{2(k-3)} + 2^{2(k-4)} + \dots + 2^2 + 1) + 1} R \\ &= \frac{2^{2k-2} - 1}{2^{2k-3} + 1} R \end{aligned} \quad (\text{VII.17})$$

Ce résultat à été obtenu en utilisant la série géométrique VII.5 ($r = 2^2$, $a = 1$). Il est indépendant du nombre de bits thermomètres. Les première valeurs de $R_{k,4}$ pour $k=2,3,4$ sont R , $\frac{5}{3}R$ et $\frac{21}{11}R$. Quand k augmente, $R_{k,4}$ tend vers $2R$.

Les expressions de $R_{k,3}$ et $R_{k,4}$ peuvent maintenant être combinées pour obtenir celle de $R_{k,0}$, toujours dans le cas de résistances idéales (égales) :

$$\begin{aligned} R_{k,0} &= R_{k,2} + (R_{k,3} \parallel R_{k,4}) = R_{k+1,4} + R \\ &= R \left[\frac{2^{2k} - 1}{2^{2k-1} + 1} + 1 \right] \\ &= \frac{3R}{1 + 2^{1-2k}} \end{aligned} \quad (\text{VII.18})$$

Quand k est grand, $R_{k,0}$ tend vers $3R$. Cette valeur est indépendante du nombre de bits thermomètres étant donné que l'entrée est connectée à la masse.

Si seulement un bit (k) est actif à la fois, le courant tiré de V_{OUT} et l'impédance de sortie associée peuvent être exprimés ainsi :

$$I_{REF\_Singlebit}^B = I_{k,k}^B = \frac{V_{OUT}}{R_{k,0}} = V_{OUT} \frac{1 + 2^{1-2k}}{3R} \quad (VII.19)$$

$$Z_{OUT\_Singlebit} = R_{k,0} = \frac{3R}{1 + 2^{1-2k}} \quad (VII.20)$$

Une solution plus générale, valide pour toutes les combinaisons de bits actifs, peut également être obtenue et demande l'expression de tous les courants de branches causés par l'activation d'un bit :

$$\begin{aligned} I_{k,k}^{BR} &= I_{k,k}^B \frac{R_{k,4}}{R_{k,3} + R_{k,4}} \\ &= I_{k,k}^B \frac{2^{2k-2} - 1}{2^{2k-1} + 1} \\ I_{k+j,k}^B &= -I_{k+j,k}^{BR} = -I_{k,k}^{BR} 2^{-j} \\ &= \frac{-V_{OUT}}{3R} (1 + 2^{1-2k}) \frac{2^{2k-2} - 1}{2^{2k-1} + 1} 2^{-j} \\ &= \frac{-V_{OUT}}{3R} 2^{-j-1} (2^{2-2k} - 1) \quad (VII.21) \\ I_{k,k}^{BL} &= I_{k,k}^B \frac{R_{k,3}}{R_{k,3} + R_{k,4}} \\ &= I_{k,k}^B \frac{2^{2k-2} + 2}{2^{2k-1} + 1} \\ I_{k-1,k}^{BL} &= I_{k,k}^{BL} \frac{2R}{2R + R_{k-1,4}} = I_{k,k}^B \frac{2^{2k-5} + 1}{2^{2k-1} + 1} 2^2 \\ I_{k-2,k}^{BL} &= I_{k-1,k}^{BL} \frac{2R}{2R + R_{k-2,4}} = I_{k,k}^B \frac{2^{2k-7} + 1}{2^{2k-1} + 1} 2^3 \end{aligned}$$

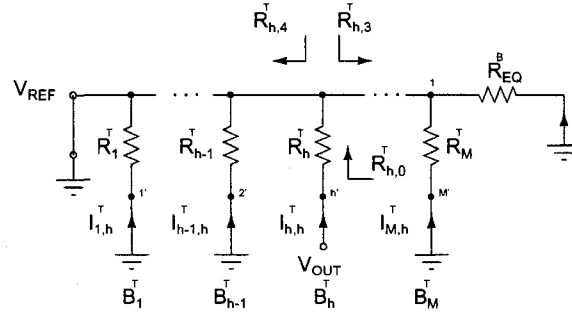


FIG. VII.8 Partie unitaire du CNA segmenté

$$\begin{aligned}
 I_{k-3,k}^{BL} &= I_{k-2,k}^{BL} \frac{2R}{2R + R_{k-3,4}} = I_{k,k}^B \frac{2^{2k-9} + 1}{2^{2k-1} + 1} 2^4 \\
 I_{k-j,k}^{BL} &= I_{k,k}^B \frac{2^{2k-2j-3} + 1}{2^{2k-1} + 1} 2^{j+1} \\
 I_{k-j,k}^B &= I_{k-j,k}^{BL} - I_{k-j+1,k}^{BL} \\
 &= I_{k,k}^B \left[\frac{2^{2k-2j-3} + 1}{2^{2k-1} + 1} 2^{j+1} - \frac{2^{2k-2j-1} + 1}{2^{2k-1} + 1} 2^j \right] \\
 &= I_{k,k}^B \left[\frac{1 - 2^{2k-2j-2}}{2^{2k-1} + 1} 2^j \right] \\
 &= \frac{-V_{OUT}}{3R} 2^{j-2k+1} (2^{2k-2j-2} - 1)
 \end{aligned} \tag{VII.22}$$

Les équations VII.19, VII.21 et VII.22 expriment les contributions de courant de la secannexe binaire seulement. L'expression du courant total demande aussi l'analyse de la secannexe unitaire. L'expression de courant des bits thermomètres k ($2 < k < M$) et MSB ($k = 1$) peut être trouvée en utilisant le circuit équivalent de la partie unitaire tel qu'illustré à la figure VII.8. Dans ce circuit, la partie binaire a été simplifiée et remplacée par une résistance équivalente $RB_{EQ} = 2R$ en parallèle avec la résistance $2R$ du MSB.

Dans la partie unitaire, la contribution de courant du bit h est :

$$I_{h,h}^T = \frac{V_{OUT}}{R_{h,0}} \tag{VII.23}$$

Avec des résistances idéales, les expressions de $R_{h,0}^T$, $R_{h,3}^T$ et $R_{h,4}^T$ sont :

$$R_{h,4}^T = R_{h,3}^T = 0 \quad (\text{VII.24})$$

$$R_{h,0}^T = R_h^T \quad (\text{VII.25})$$

Si seulement un bit (k) est actif à la fois, le courant tiré de V_{OUT} et l'impédance d'entrée associée peuvent s'exprimer ainsi :

$$I_{REFSinglebit}^T = I_{h,h}^T = \frac{V_{REF}}{R_{h,0}^T} = \frac{V_{OUT}}{2R} \quad (\text{VII.26})$$

$$Z_{OUTSinglebit} = R_{h,0}^T = 2R \quad (\text{VII.27})$$

Étant donné que l'entrée est connectée à la masse, le courant tiré de V_{REF} par un bit thermomètre ou le MSB binaire n'a pas d'effet sur les autres branches. L'Expression du courant l dans la partie unitaire dû au bit thermomètre h ($l \neq h$) est :

$$I_{l,h}^T = I_{l,h}^T = 0 \quad (\text{VII.28})$$

L'expression du courant k dans la partie binaire dû au bit thermomètre h est :

$$I_{k,h}^{BT} = 0 \quad (\text{VII.29})$$

L'expression du courant h dans la partie unitaire dû au bit binaire k est :

$$I_{h,k}^{TB} = 0 \quad (\text{VII.30})$$

Par superposition, le courant total tiré de la sortie I_{OUT} peut être exprimé ainsi :

$$\begin{aligned}
 I_{OUT} &= \sum_{x=1}^{N+M} b_x \sum_{y=1}^{N+M} b_y I_{y,x} \\
 &= \underbrace{\sum_{x=2}^N b_x^B I_{x,x}^B}_{\text{Bin.}} + \underbrace{\sum_{x=2}^N b_x^B \sum_{y=1}^{x-1} b_{x-y}^B I_{x-y,x}^B}_{\text{Lower bin. due to bin.}} + \underbrace{\sum_{x=2}^{N-1} b_x^B \sum_{y=x+1}^N b_y^B I_{y,x}^B}_{\text{Higher bin due to bin.}} + \underbrace{\sum_{x=2}^N b_x^B \sum_{y=1}^M b_y^T I_{x,y}^{TB}}_{\text{ther. due to bin.}} \\
 &\quad + \underbrace{\sum_{x=1}^M b_x^T I_{x,x}^T}_{\text{Ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=1}^{x-1} b_{x-y}^T I_{x-y,x}^T}_{\text{Lower ther. due to ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=x+1}^M b_y^T I_{y,x}^T}_{\text{Higher ther. due to ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=2}^N b_y^B I_{x,y}^{BT}}_{\text{Bin. due to ther.}}
 \end{aligned} \tag{VII.31}$$

Ce qui peut se reformuler ainsi :

$$\begin{aligned}
 I_{OUT} &= \underbrace{\sum_{x=2}^N b_x^B I_{x,x}^B}_{\text{Bin.}} + \underbrace{\sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{y,x}^B}_{\text{Lower bin. due to bin.}} + \underbrace{\sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{y,x}^B}_{\text{Higher bin due to bin.}} + \underbrace{\sum_{x=1}^M b_x^T I_{x,x}^T}_{\text{Ther.}}
 \end{aligned} \tag{VII.32}$$

Les équations VII.21 et VII.22 peuvent être utilisées dans VII.32 avec les changements de variables suivants :

– Pour l'expression VII.21 :

$$\begin{aligned}
 I_{k+j,k}^B &= \frac{-V_{OUT}}{3R} 2^{-j-1} (2^{2-2k} - 1) \\
 I_{k+j,k}^B &= I_{y,x}^B \Rightarrow \begin{cases} y = k + j \\ x = k \end{cases} \Rightarrow \begin{cases} j = y - x \\ k = x \end{cases} \\
 I_{y,x}^B &= \frac{V_{OUT}}{3R} 2^{-y+x-1} (1 - 2^{2-2x})
 \end{aligned} \tag{VII.33}$$

– Pour l'expression VII.22 :

$$\begin{aligned}
 I_{k-j,k}^B &= \frac{-V_{OUT}}{3R} 2^{j-2k+1} (2^{2k-2j-2} - 1) \\
 I_{k-j,k}^B &= I_{y,x}^B \Rightarrow \begin{cases} x = k - j \\ y = k \end{cases} \Rightarrow \begin{cases} j = y - x \\ k = y \end{cases} \\
 I_{x,y}^B &= \frac{-V_{OUT}}{3R} 2^{-x-y+1} (2^{2x-2} - 1) = \frac{V_{OUT}}{3R} 2^{-y+x-1} (1 - 2^{2-2x}) \quad (VII.34)
 \end{aligned}$$

Les équations VII.19, VII.33, VII.34 et VII.26 peuvent maintenant être insérées dans l'équation VII.32 :

$$\begin{aligned}
 I_{OUT} &= \underbrace{\frac{V_{OUT}}{2R} \sum_{x=1}^M b_x^T}_{\text{Thermo}} + \underbrace{\frac{V_{OUT}}{3R} \left[\sum_{x=2}^N b_x^B (1 + 2^{1-2x}) \right]}_{\text{Bin.}} \\
 &\quad - \underbrace{\sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{-x-y+1} (2^{2x-2} - 1)}_{\text{Bin. inf. dû à bin.}} - \underbrace{\sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{-x-y+1} (2^{2x-2} - 1)}_{\text{Bin. sup. dû à bin.}} \quad (VII.35)
 \end{aligned}$$

Ce qui se simplifie ainsi :

$$I_{OUT} = \frac{V_{OUT}}{2R} \sum_{x=1}^M b_x^T + \frac{V_{OUT}}{3R} \left[\sum_{x=2}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right] \quad (VII.36)$$

Cette équation est valide pour M bits thermomètres incluant le MSB R2R. Si M n'inclue pas le MSB R2R, l'expression devient :

$$I_{OUT} = \frac{V_{OUT}}{2R} \sum_{x=1}^M b_x^T + \frac{V_{OUT}}{3R} \left[\sum_{x=1}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right] \quad (VII.37)$$

Quand il n'y a qu'un seul bit thermomètre, l'échelle devient binaire. Si $M = 1$ dans l'équation VII.36, on retrouve l'expression de courant d'une échelle binaire (non-segmentée).

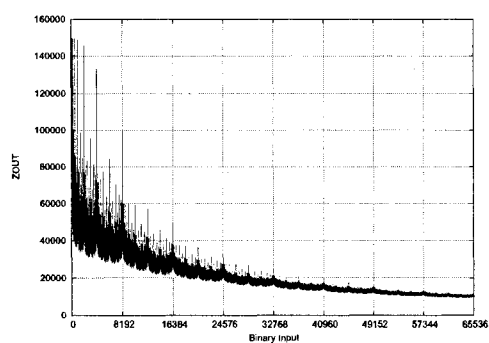
Ceci donne finalement l'équation de l'impédance de sortie (avec M incluant le MSB R2R) :

$$Z_{OUT} = \frac{6R}{3 \sum_{x=1}^M b_x^T + 2 \left[\sum_{x=2}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right]} \quad (\text{VII.38})$$

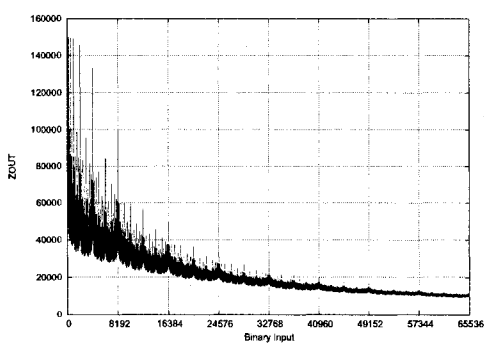
Ou avec M n'incluant pas le MSB R2R :

$$Z_{OUT} = \frac{6R}{3 \sum_{x=1}^M b_x^T + 2 \left[\sum_{x=1}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right]} \quad (\text{VII.39})$$

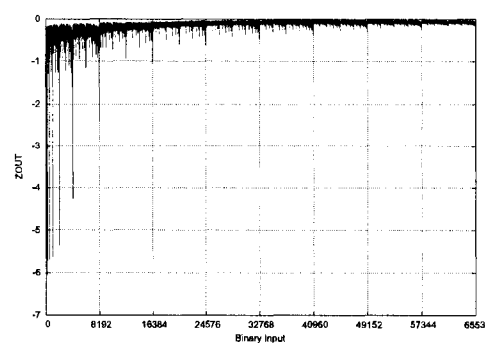
La figure VII.9 montre les impédances de sortie telles que calculée avec l'équation VII.38 et simulée avec Hspice ainsi que la différence entre ces deux résultats. Les différences viennent de la résistance des interrupteurs qui n'est pas prise en compte dans la solution analytique.



(a) Solution analytique



(b) Solution simulée



(c) Différence entre les deux solutions

FIG. VII.9 Impédance de sortie pour le réseau R2R segmenté de type A en mode courant ($N=13, M=7, V_{ref}=5V, R=50k$).

VII.6 Impédance de sortie du réseau R2R segmenté de type B en mode courant

Étant donné que les bits thermomètres sont indépendants des bits binaires, l'analyse des réseaux R2R segmentés de type A en mode courant peut être étendue à la segmentation de type B. Si seulement un bit binaire (k) est actif à la fois, le courant tiré de V_{OUT} et l'impédance de sortie associée peuvent s'exprimer ainsi :

$$I_{REF_{Singlebit}}^T = I_{h,h}^T = \frac{V_{REF}}{R_{h,0}^T} = \frac{V_{OUT}}{R} \quad (\text{VII.40})$$

$$Z_{OUT_{Singlebit}} = R_{h,0}^T = R \quad (\text{VII.41})$$

Dans ce cas, le courant total tiré de la sortie peut être obtenu en modifiant l'équation VII.36 :

$$I_{OUT} = \frac{V_{OUT}}{R} \sum_{x=1}^M b_x^T + \frac{V_{OUT}}{3R} \left[\sum_{x=1}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right] \quad (\text{VII.42})$$

Quand il n'y a aucun bit thermomètre l'échelle devient binaire. Si $M = 0$ l'équation VII.42 on retrouve l'expression de courant d'une échelle binaire (non-segmentée).

Ceci donne finalement l'équation de l'impédance de sortie :

$$Z_{OUT} = \frac{3R}{3 \sum_{x=1}^M b_x^T + \left[\sum_{x=1}^N b_x^B (1 + 2^{1-2x}) - \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B 2^{2-x-y} (2^{2x-2} - 1) \right]} \quad (\text{VII.43})$$

La figure VII.10 montre les impédances de sortie telles que calculée avec l'équation VII.43 et simulée avec Hspice ainsi que la différence entre les deux solutions. Les différences viennent de la résistance des interrupteurs qui n'est pas prise en compte dans la

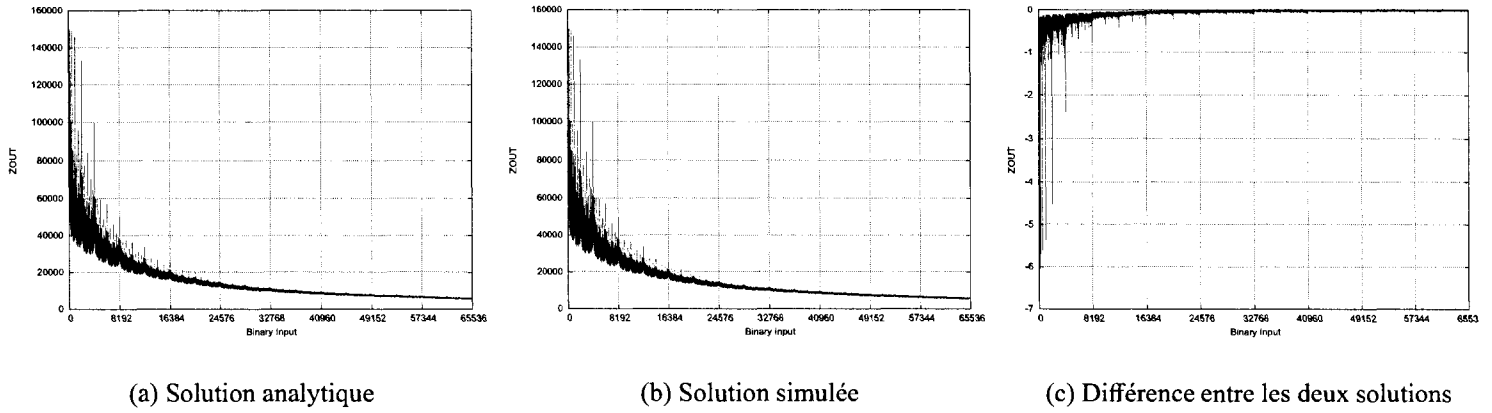


FIG. VII.10 Impédance de sortie pour le réseau R2R segmenté de type B en code courant ($N=13, M=7, V_{ref}=5V, R=50k$).

solution analytique.

VII.7 Impédance d'entrée du réseau R2R segmenté de type A en mode tension

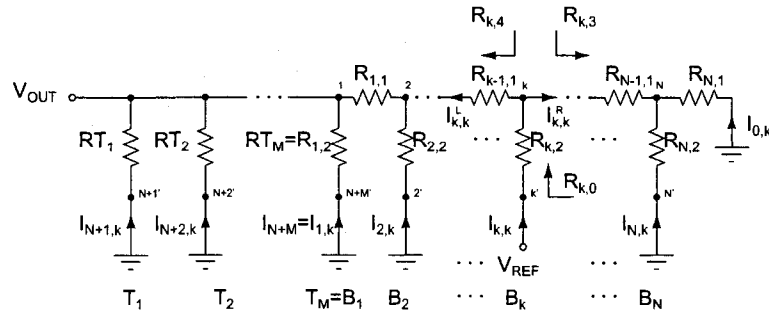


FIG. VII.11 Impédance d'entrée telle que vue du noeud k'

Le réseau segmenté est illustré à la figure VII.11. L'expression de son impédance d'entrée peut être obtenue en combinant l'analyse de la partie binaire avec celle de la partie unitaire. Le courant total inclura :

1. Les contributions des bits binaires.
2. Les contributions des bits binaires dues à l'activation d'autre bits binaires.

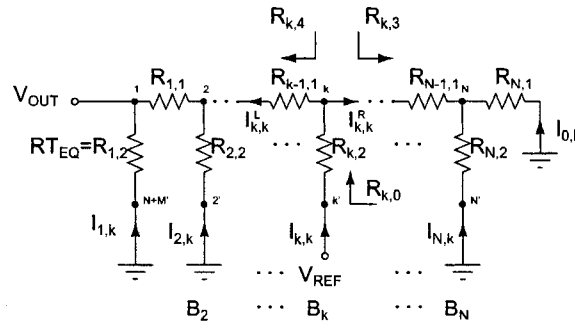


FIG. VII.12 Partie binaire du CNA segmenté

3. Les contributions des bits thermomètres.
4. Les contributions des bit binaires dues à l'activation de bits thermomètres.
5. Les contributions des bit thermomètres dues à l'activation d'autres bits thermomètres.
6. Les contributions des bits thermomètres dues à l'activation d'autres bits binaires.

Les deux premières contributions ont été analysées dans la scannexe VII.3 pour un réseau entièrement binaire. Cette analyse peut être ajustée pour un réseau binaire possédant une résistance MSB particulière : une combinaison parallèle de toutes les résistances thermomètres.

Le segment binaire inclue N étages binaires. Le premier étage ($k=1$) inclue toutes les résistances thermomètres. L'expression du courant pour $2 < k < N$ est déterminée en trouvant le circuit équivalent de la partie binaire tel qu'illustrée à la figure VII.12.

La contribution de courant du bit k est :

$$\begin{aligned}
 I_{k,k}^B &= \frac{V_{REF}}{R_{k,0}} \\
 &= \frac{V_{REF}}{R_{k,2} + (R_{k,3} \parallel R_{k,4})}
 \end{aligned} \tag{VII.44}$$

Avec des résistances idéales, il est facile de vérifier que $R_{k,3} = 2R \forall k \in [1, N]$. Cepen-

nant, l'expression de $R_{k,4}$ est moins évidente :

$$R_{k,4} = (((R_{1,2} + R_{1,1}) \parallel R_{2,2}) + R_{2,1} \parallel R_{3,2}) + \dots \quad (\text{VII.45})$$

Nous avons :

$$\begin{aligned} R_{1,2} &= \frac{2R}{M} \\ R_{2,4} &= R + \frac{2R}{M} = \frac{M+2}{M}R \\ R_{3,4} &= \frac{(M+1)(2^2+1)+1}{(M+1)2+M}R \\ R_{4,4} &= \frac{(M+1)(2^4+2^2+1)+1}{(M+1)(2^3+2)+M}R \\ R_{5,4} &= \frac{(M+1)(2^6+2^4+2^2+1)+1}{(M+1)(2^5+2^3+2)+M}R \\ R_{k,4} &= \frac{(M+1)(2^{2(k-2)} + 2^{2(k-3)} + \dots + 2^2 + 1) + 1}{(M+1)(2^{2(k-3)+1} + 2^{2(k-4)+1} + \dots + 2^3 + 2) + M}R \\ &= \frac{(M+1)(2^{2(k-2)} + 2^{2(k-3)} + \dots + 2^2 + 1) + 1}{(M+1)2(2^{2(k-3)} + 2^{2(k-2)} + \dots + 2^2 + 1) + M}R \\ &= \frac{(M+1)(1 - 2^{2k-2}) - 3}{(M+1)2(1 - 2^{2k-4}) - 3M}R \\ &= \frac{M-2 - (M+1)2^{2k-2}}{2 - M - (M+1)2^{2k-3}}R \end{aligned} \quad (\text{VII.46})$$

Ce résultat à été obtenu en utilisant la suite géométrique VII.5 ($r = 2^2$, $a = 1$).

Les premières valeurs de $R_{k,4}$ pour $k=2,3,4$ et $M=7$, sont $\frac{9}{7}R$, $\frac{41}{23}R$ et $\frac{169}{87}R$. Quand k augmente, $R_{k,4}$ tend vers $2R$.

Les expressions de $R_{k,3}$ et $R_{k,4}$ peuvent maintenant être utilisées pour obtenir l'expression de $R_{k,0}$ dans le cas de résistances idéales (égales) :

$$R_{k,0} = R_{k,2} + (R_{k,3} \parallel R_{k,4}) = R_{k+1,4} + R$$

$$\begin{aligned}
&= R \left[\frac{(M+1)(1-2^{2k})-3}{(M+1)2(1-2^{2k-2})-3M} + 1 \right] \\
&= \frac{2^{2k-1}}{\frac{2}{3}(2^{2k-2}-1) + \frac{M}{M+1}} R \\
&= \frac{2^{2k-1}}{(2^{2k-1}-2) + \frac{3M}{M+1}} 3R \\
&= \frac{3}{(1-2^{2-2k}) + \frac{3M}{M+1} 2^{1-2k}} R \\
&= \frac{3(M+1)}{(M+1)(1-2^{2-2k}) + 3M 2^{1-2k}} R \\
&= \frac{3(M+1)2^{2k-1}}{2-M-(M+1)2^{2k-1}} R \\
&= \frac{M+1}{M+1+2^{1-2k}(M-2)} 3R \tag{VII.47}
\end{aligned}$$

Quand k est grand, $R_{k,0}$ tend vers $3R$. Si $M=1$, VII.47 est égal à VII.6.

Si seulement un bit binaire (k) est actif à la fois, le courant tiré de V_{REF} et l'impédance d'entrée équivalente peuvent s'exprimer ainsi :

$$\begin{aligned}
I_{REFSinglebit}^B &= I_{k,k}^B = \frac{V_{REF}}{R_{k,0}} \\
&= \frac{V_{REF}}{3R} \frac{M+1+2^{1-2k}(M-2)}{M+1} \\
&= -\frac{V_{REF}}{3R} \frac{2-M-(M+1)2^{2k-1}}{(M+1)2^{2k-1}} \tag{VII.48}
\end{aligned}$$

$$\begin{aligned}
Z_{INSinglebit} &= R_{k,0} = \frac{M+1}{M+1+2^{1-2k}(M-2)} 3R \\
&= \frac{(M+1)2^{2k-1}}{M-2+(M+1)2^{2k-1}} 3R \tag{VII.49}
\end{aligned}$$

Une solution plus générale, valide pour toutes les combinaisons de bits actifs, peut également être obtenue et demande l'expression de tous les courants de branches causés par

l'activation d'un bit :

$$\begin{aligned}
 I_{k,k}^{BR} &= I_{k,k}^B \frac{R_{k,4}}{R_{k,3} + R_{k,4}} \\
 &= I_{k,k}^B \frac{(M+1)(1-2^{2k-2})-3}{(M+1)(5-2^{2k-1})-6M-3} = I_{k,k}^B \frac{M-2-2^{2k-2}(M+1)}{2-M-2^{2k-1}(M+1)} \\
 I_{k+j,k}^B &= -I_{k+j,k}^{BR} = -I_{k,k}^{BR} 2^{-j} \\
 &= \frac{V_{REF}}{3R} \frac{2-M-(M+1)2^{2k-1}}{(M+1)2^{2k-1}} \frac{M-2-2^{2k-2}(M+1)}{2-M-2^{2k-1}(M+1)} 2^{-j} \\
 &= \frac{V_{REF}}{3R} \frac{M-2-(M+1)2^{2k-2}}{(M+1)2^{2k-1}} 2^{-j} \tag{VII.50}
 \end{aligned}$$

$$\begin{aligned}
 I_{k,k}^{BL} &= I_{k,k}^B \frac{R_{k,3}}{R_{k,3} + R_{k,4}} \\
 &= I_{k,k}^B \frac{4-2M-(M+1)2^{2k-2}}{2-M-(M+1)2^{2k-1}} \\
 I_{k-1,k}^{BL} &= I_{k,k}^{BL} \frac{2R}{2R+R_{k-1,4}} = I_{k,k}^B \frac{2-M-(M+1)2^{2k-5}}{2-M-(M+1)2^{2k-1}} 2^2 \\
 I_{k-2,k}^{BL} &= I_{k-1,k}^{BL} \frac{2R}{2R+R_{k-2,4}} = I_{k,k}^B \frac{2-M-(M+1)2^{2k-7}}{2-M-(M+1)2^{2k-1}} 2^3 \\
 I_{k-3,k}^{BL} &= I_{k-2,k}^{BL} \frac{2R}{2R+R_{k-3,4}} = I_{k,k}^B \frac{2-M-(M+1)2^{2k-9}}{2-M-(M+1)2^{2k-1}} 2^4 \\
 I_{k-j,k}^{BL} &= I_{k,k}^B \frac{2-M-(M+1)2^{2k-2j-3}}{2-M-(M+1)2^{2k-1}} 2^{j+1} \\
 I_{k-j,k}^B &= I_{k-j,k}^{BL} - I_{k-j+1,k}^{BL} \\
 &= I_{k,k}^B \left[\frac{2-M-(M+1)2^{2k-2j-3}}{2-M-(M+1)2^{2k-1}} 2^{j+1} - \frac{2-M-(M+1)2^{2k-2j-1}}{2-M-(M+1)2^{2k-1}} 2^j \right] \\
 &= I_{k,k}^B \left[\frac{2-M+(M+1)2^{2k-2j-2}}{2-M-(M+1)2^{2k-1}} 2^j \right] \\
 &= -\frac{V_{REF}}{3R} \frac{2-M+(M+1)2^{2k-2j-2}}{(M+1)2^{2k-1}} 2^j \tag{VII.51}
 \end{aligned}$$

Les équations VII.48, VII.50 et VII.51 expriment les contributions de courant de la se-cannexe binaire seulement. L'expression du courant total demande aussi l'analyse de la se-cannexe unitaire. L'expression de courant des bit thermomètres k ($2 < k < M$) peut être trouvée en utilisant le circuit équivalent de la partie unitaire tel qu'illustrée à la figure

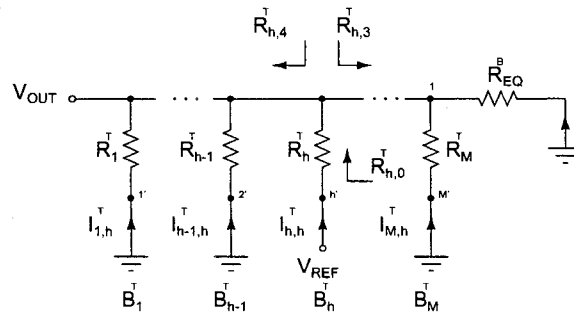


FIG. VII.13 Partie unitaire du CNA segmenté

VII.13. Dans ce circuit, la partie binaire a été simplifiée et remplacée par une résistance équivalente $RB_{EQ} = 2R$.

Dans la partie unitaire, la contribution de courant du bit k est :

$$I_{h,h}^T = \frac{V_{REF}}{R_{h,0}} \quad (\text{VII.52})$$

Avec des résistances idéales, les expressions de $R_{h,0}^T$, $R_{h,3}^T$ et $R_{h,4}^T$ sont :

$$R_{h,4}^T = \frac{2R}{h-1} \quad (\text{VII.53})$$

$$R_{h,3}^T = \frac{2R}{M+1-h} \quad (\text{VII.54})$$

$$\begin{aligned} R_{h,0}^T &= R_{h,4}^T \parallel R_{h,3}^T + R_h^T \\ &= 2R \frac{M+1}{M} \end{aligned} \quad (\text{VII.55})$$

Si seulement un bit (k) est actif à la fois, le courant tiré de V_{REF} et l'impédance d'entrée associée peuvent s'exprimer ainsi :

$$\begin{aligned} I_{REF\text{Singlebit}}^T &= I_{h,h}^T = \frac{V_{REF}}{R_{h,0}^T} \\ &= \frac{V_{REF}}{2R} \frac{M}{M+1} \end{aligned} \quad (\text{VII.56})$$

$$Z_{IN_{Singlebit}} = R_{h,0}^T = 2R \frac{M+1}{M} \quad (\text{VII.57})$$

Une solution plus générale, valide pour toutes les combinaisons de bits actifs, peut être obtenue et demande l'expression de tous les courants de branches causés par l'activation d'un bit thermomètre :

$$I_{h+j,h}^T = I_{h-j,h}^T = \frac{I_{h,h}^T}{M} = -\frac{V_{REF}}{2R} \frac{1}{M+1} \quad (\text{VII.58})$$

L'expression du courant k dans la partie binaire dû au bit thermomètre h est :

$$I_{k,h}^{BT} = -\frac{I_{h,h}^T}{M} 2^{-(k-1)} = -\frac{V_{REF}}{2R} \frac{2^{1-k}}{M+1} \quad (\text{VII.59})$$

L'expression du courant h dans la partie unitaire dû au bit binaire k est :

$$I_{h,k}^{TB} = -\frac{I_{2,k}^{BL}}{M} = -\frac{I_{k-(k-2),k}^{BL}}{M} = -\frac{V_{REF}}{2R} \frac{2^{1-k}}{M+1} \quad (\text{VII.60})$$

Par superposition, le courant total tiré de la référence I_{REF} peut s'exprimer ainsi :

$$\begin{aligned} I_{REF} &= \sum_{x=1}^{N+M} b_x \sum_{y=1}^{N+M} b_y I_{y,x} \\ &= \underbrace{\sum_{x=2}^N b_x^B I_{x,x}^B}_{\text{Bin.}} + \underbrace{\sum_{x=2}^N b_x^B \sum_{y=1}^{x-1} b_{x-y}^B I_{x-y,x}^B}_{\text{Bin. inf. dû à bin.}} + \underbrace{\sum_{x=2}^{N-1} b_x^B \sum_{y=x+1}^N b_y^B I_{y,x}^B}_{\text{Bin. sup. dû à bin.}} + \underbrace{\sum_{x=2}^N b_x^B \sum_{y=1}^M b_y^T I_{x,y}^{TB}}_{\text{Ther. dû à bin.}} \\ &\quad + \underbrace{\sum_{x=1}^M b_x^T I_{x,x}^T}_{\text{Ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=1}^{x-1} b_{x-y}^T I_{x-y,x}^T}_{\text{Ther. inf. dû à ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=x+1}^M b_y^T I_{y,x}^T}_{\text{Ther. sup. dû à ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=2}^N b_y^B I_{x,y}^{BT}}_{\text{Bin. dû à ther.}} \end{aligned} \quad (\text{VII.61})$$

Ce qui peut être reformulé ainsi :

$$\begin{aligned}
 I_{REF} = & \underbrace{\sum_{x=2}^N b_x^B I_{x,x}^B}_{\text{Bin.}} + \underbrace{\sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{x,y}^B}_{\text{Bin. inf. dû à bin.}} + \underbrace{\sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{y,x}^B}_{\text{Bin. sup. dû à bin.}} + \underbrace{\sum_{x=2}^N b_x^B \sum_{y=1}^M b_y^T I_{x,y}^{TB}}_{\text{Ther. dû à bin.}} \\
 & + \underbrace{\sum_{x=1}^M b_x^T I_{x,x}^T}_{\text{Thermo.}} + \underbrace{\sum_{x=1}^{M-1} \sum_{y=x+1}^N b_x^T b_y^T I_{x,y}^T}_{\text{Ther. inf. dû à ther.}} + \underbrace{\sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T I_{y,x}^T}_{\text{Ther. sup. dû à ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=2}^N b_y^B I_{x,y}^{BT}}_{\text{Bin. dû à ther.}}
 \end{aligned} \tag{VII.62}$$

Les équations VII.50 et VII.51 peuvent être utilisées dans VII.62 avec les changements de variables suivants :

– Pour l’expression VII.50 :

$$\begin{aligned}
 I_{k+j,k}^B &= \frac{V_{REF}}{3R} \frac{M-2-(M+1)2^{2k-2}}{(M+1)2^{2k-1}} 2^{-j} \\
 I_{k+j,k}^B &= I_{y,x}^B \Rightarrow \begin{cases} y = k+j \\ x = k \end{cases} \Rightarrow \begin{cases} j = y-x \\ k = x \end{cases} \\
 I_{y,x}^B &= -\frac{V_{REF}}{3R} \frac{2-M+(M+1)2^{2x-2}}{(M+1)2^{x+y-1}}
 \end{aligned} \tag{VII.63}$$

– Pour l’expression VII.51 :

$$\begin{aligned}
 I_{k-j,k}^B &= \frac{V_{REF}}{3R} \frac{2-M+(M+1)2^{2k-2j-2}}{(M+1)2^{2k-1}} 2^j \\
 I_{k-j,k}^B &= I_{y,x}^B \Rightarrow \begin{cases} x = k-j \\ y = k \end{cases} \Rightarrow \begin{cases} j = y-x \\ k = y \end{cases} \\
 I_{x,y}^B &= -\frac{V_{REF}}{3R} \frac{2-M+(M+1)2^{2x-2}}{(M+1)2^{x+y-1}}
 \end{aligned} \tag{VII.64}$$

Les équations VII.48, VII.63, VII.64, VII.60, VII.56, VII.58 et VII.59 peuvent mainte-

nant être insérées dans l'équation VII.62 :

$$\begin{aligned}
 I_{REF} = & -\frac{V_{REF}}{3R} \left(\underbrace{\sum_{x=2}^N b_x^B \frac{2^{-M-(M+1)2^{2x-1}}}{(M+1)2^{2x-1}}}_{\text{Bin.}} \right. \\
 & + \underbrace{\sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{2^{-M+(M+1)2^{2x-2}}}{(M+1)2^{x+y-1}}}_{\text{Lower bin. due to bin.}} + \underbrace{\sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{2^{-M+(M+1)2^{2x-2}}}{(M+1)2^{x+y-1}}}_{\text{Higher bin due to bin.}} \Big) \\
 & + \frac{V_{REF}}{2R} \left(\underbrace{\sum_{x=1}^M b_x^T \frac{M}{M+1}}_{\text{Ther.}} - \underbrace{\sum_{x=2}^N b_x^B \sum_{y=1}^M b_y^T \frac{2^{1-x}}{M+1}}_{\text{Ther. dû à bin.}} - \underbrace{\sum_{x=1}^M b_x^T \sum_{y=2}^N b_y^B \frac{2^{1-y}}{M+1}}_{\text{Bin. dû à ther.}} \right. \\
 & \left. - \underbrace{\sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T \frac{1}{M+1}}_{\text{Ther. sup. dû à ther.}} - \underbrace{\sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T \frac{1}{M+1}}_{\text{Ther. inf. dû à ther.}} \right) \quad (\text{VII.65})
 \end{aligned}$$

Ce qui se simplifie ainsi :

$$\begin{aligned}
 I_{REF} = & -\frac{V_{REF}}{3R} \left(\sum_{x=2}^N b_x^B \frac{2^{-M-(M+1)2^{2x-1}}}{(M+1)2^{2x-1}} + \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{2^{-M+(M+1)2^{2x-2}}}{(M+1)2^{x+y-2}} \right. \\
 & \left. - \sum_{x=1}^M b_x^T \frac{3M}{2(M+1)} + \sum_{x=2}^N \sum_{y=1}^M b_x^B b_y^T \frac{2^{1-x}3}{M+1} + \sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T \frac{3}{M+1} \right) \quad (\text{VII.66})
 \end{aligned}$$

Quand il n'y a qu'un seul bit thermomètre, le réseau devient purement binaire. Si $M = 1$, l'équation VII.66 redonne l'équation VII.13 de la version non-segmentée.

Ceci donne finalement l'expression de l'impédance d'entrée :

$$Z_{IN} = 3R(M+1) \left[\sum_{x=2}^N b_x^B \frac{2^{-M-(M+1)2^{2x-1}}}{2^{2x-1}} + \sum_{x=2}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{2^{-M+(M+1)2^{2x-2}}}{2^{x+y-2}} \right]$$

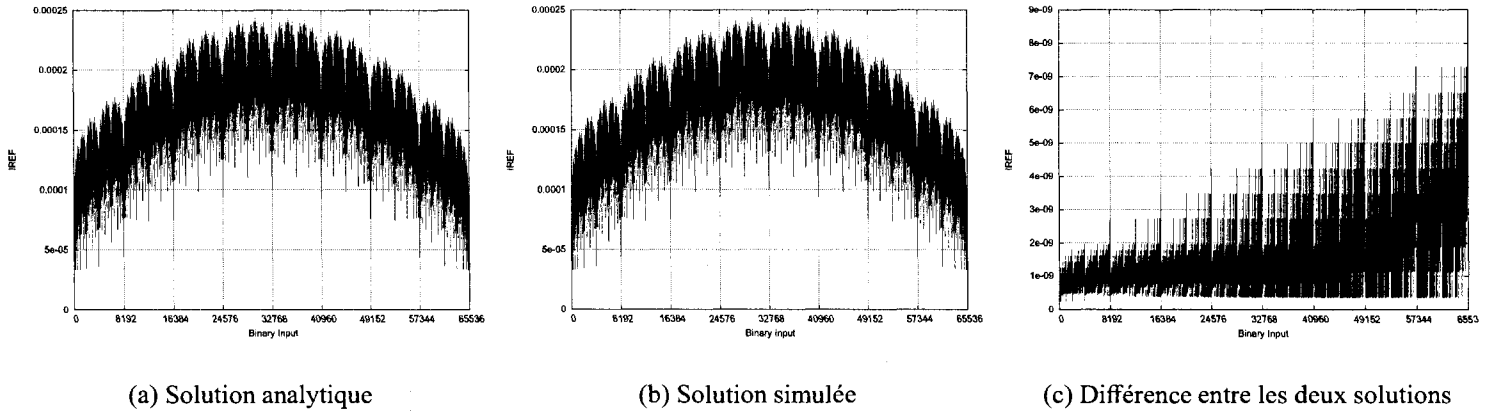


FIG. VII.14 Courant de la référence pour le réseau R2R segmenté de type A en mode courant ($N=13, M=7, V_{ref}=5V, R=50k$).

$$-\sum_{x=1}^M b_x^T \frac{3M}{2} + \sum_{x=2}^N \sum_{y=1}^M b_x^B b_y^T 2^{1-x} 3 + \sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T 3 \Big]^{-1} \quad (VII.67)$$

La figure VII.14 montre les courants d'entrée tels que calculé avec l'équation VII.66 et simulé avec Hspice ainsi que la différence entre les deux solutions. Les différences viennent de la résistance des interrupteurs qui n'est pas prise en compte dans la solution analytique.

Quelques codes particuliers :

- Aucun courant ne tranverse le réseau au code $000 \dots 000$.
- Le courant maximal est obtenu au codes $0000111/101010 \dots 010$ et $0001111/010101 \dots 011$ (7 bits thermomètres).
- Le courant minimal est obtenu au codes $000 \dots 0001$ and $111 \dots 1111$ (7 bits thermomètres).

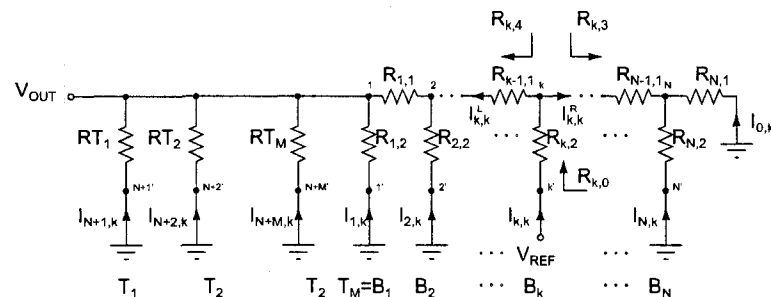


FIG. VII.15 Segmented input impedance as seen from the k' node

VII.8 Impédance d'entrée du réseau R2R segmenté de type B en mode tension

Le réseau segmenté est illustré à la figure VII.11. Les résistances thermomètres ($RT_1 - RT_M$) sont de valeur R . L'expression de l'impédance d'entrée du réseau peut être obtenue en combinant l'analyse de la partie binaire avec celle de la partie unitaire. Le courant total inclura :

1. Les contributions des bits binaires.
2. Les contributions des bits binaires dues à l'activation d'autres bits binaires.
3. Les contributions des bits thermomètres.
4. Les contributions des bits binaires dues à l'activation de bits thermomètres.
5. Les contributions des bits thermomètres dues à l'activation d'autres bits thermomètres.
6. Les contributions des bits thermomètres dues à l'activation d'autres bits binaires.

Les deux premières contributions ont été analysées dans la section VII.3 pour un réseau entièrement binaire. Cette analyse peut être ajustée pour un réseau binaire possédant une résistance MSB particulière : une combinaison parallèle de toutes les résistances thermomètres ($R_{1,2}$).

Le segment binaire inclut N étages binaires. Le premier étage ($k=1$) inclut toutes les résistances thermomètres. L'expression du courant pour $2 < k < N$ est déterminée en

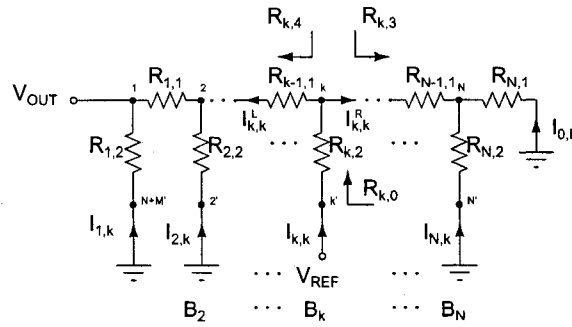


FIG. VII.16 Partie binaire du CNA segmenté

trouvant le circuit équivalent de la partie binaire tel qu'illustré à la figure VII.16.

La contribution de courant du bit k est :

$$\begin{aligned}
 I_{k,k}^B &= \frac{V_{REF}}{R_{k,0}} \\
 &= \frac{V_{REF}}{R_{k,2} + (R_{k,3} \parallel R_{k,4})}
 \end{aligned} \tag{VII.68}$$

Avec des résistances idéales, il est facile de vérifier que $R_{k,3} = 2R \forall k \in [1, N]$. Cependant, l'expression de $R_{k,4}$ est moins évidente :

$$R_{k,4} = (((R_{1,2} + R_{1,1}) \parallel R_{2,2}) + R_{2,1} \parallel R_{3,2}) + \dots \tag{VII.69}$$

Nous avons :

$$\begin{aligned}
 R_{1,4} &= \frac{1}{M}R \\
 R_{2,4} &= R + \frac{2R}{1+2M} = \frac{3+2M}{1+2M}R \\
 R_{3,4} &= R + \frac{2R}{1+2M} = \frac{11+10M}{5+6M}R \\
 R_{4,4} &= R + \frac{2R}{1+2M} = \frac{43+42M}{21+22M}R = \frac{2 * 22(M+1) - 2(M+1) + 1}{22(M+1) - 1}R
 \end{aligned}$$

$$R_{k,4} = \frac{\frac{2^{2k-1} - 2}{3}(M+1) + 1}{\frac{2^{2k-2} + 2}{3}(M+1) - 1} R = \frac{(2^{2k-1} - 2)(M+1) + 3}{(2^{2k-2} + 2)(M+1) - 3} R \quad (\text{VII.70})$$

Ce résultat à été obtenu en utilisant la suite géométrique VII.5 ($r = 2^2$, $a = 1$, $n = i - 2$).

Quand k augmente, $R_{k,4}$ tend vers $2R$.

Les expressions de $R_{k,3}$ et $R_{k,4}$ peuvent maintenant être utilisées pour obtenir l'expression de $R_{k,0}$ dans le cas de résistances idéales (égales) :

$$\begin{aligned} R_{k,0} &= R_{k,2} + (R_{k,3} \parallel R_{k,4}) = R_{k+1,4} + R \\ &= R \left[\frac{(2^{2k+1} - 2)(M+1) + 3}{(2^{2k} + 2)(M+1) - 3} + 1 \right] \\ &= \frac{M+1}{M+1 + 2^{-2k}(2M-1)} 3R \end{aligned} \quad (\text{VII.71})$$

Quand k est grand, $R_{k,0} = 3R$. Si $M=1$ l'équation VII.71 est égale à l'équation VII.6.

Si seulement un bit binaire (k) est actif à la fois, le courant tiré de V_{REF} et l'impédance d'entrée associée peuvent s'exprimer ainsi :

$$\begin{aligned} I_{REF}^{B_{Singlebit}} &= I_{k,k}^B = \frac{V_{REF}}{R_{k,0}} \\ &= \frac{V_{REF}}{3R} \frac{M+1 + 2^{-2k}(2M-1)}{M+1} \\ &= -\frac{V_{REF}}{3R} \frac{1 - 2M - (M+1)2^{2k}}{(M+1)2^{2k}} \end{aligned} \quad (\text{VII.72})$$

$$Z_{IN}^{Singlebit} = R_{k,0} = \frac{(M+1)2^{2k}}{2M-1 + (M+1)2^{2k}} 3R \quad (\text{VII.73})$$

Une solution plus générale, valide pour toutes les combinaisons de bits actifs, peut également être obtenue et demande l'expression de tous les courants de branches causés par l'activation d'un bit binaire :

$$\begin{aligned}
 I_{k,k}^{BR} &= I_{k,k}^B \frac{R_{k,4}}{R_{k,3} + R_{k,4}} \\
 &= I_{k,k}^B \frac{(M+1)(2^{2k-1} - 2) + 3}{(M+1)(2^{2k} + 2) - 3} = I_{k,k}^B \frac{2^{2k-1}(M+1) - 2M + 1}{2^{2k}(M+1) + 2M - 1} \\
 I_{k+j,k}^B &= -I_{k+j,k}^{BR} = -I_{k,k}^{BR} 2^{-j} \\
 &= -\frac{V_{REF}}{3R} \frac{2M - 1 + (M+1)2^{2k}}{(M+1)2^{2k}} \frac{2^{2k-1}(M+1) - 2M + 1}{2^{2k}(M+1) + 2M - 1} 2^{-j} \\
 &= -\frac{V_{REF}}{3R} \frac{2^{2k-1}(M+1) - 2M + 1}{(M+1)2^{2k}} 2^{-j} \quad (\text{VII.74})
 \end{aligned}$$

$$\begin{aligned}
 I_{k,k}^{BL} &= I_{k,k}^B \frac{R_{k,3}}{R_{k,3} + R_{k,4}} \\
 &= I_{k,k}^B \frac{(2^{2k-1} + 4)(M+1) - 6}{(2^{2k} + 2)(M+1) - 3} \\
 I_{k-1,k}^{BL} &= I_{k,k}^{BL} \frac{2R}{2R + R_{k-1,4}} = I_{k,k}^B \frac{(2^{2k-3} + 4)(M+1) - 6}{(2^{2k} + 2)(M+1) - 3} 2 = I_{k,k}^B \frac{2^{2k-3}(M+1) + 4M - 2}{2^{2k}(M+1) + 2M - 1} 2 \\
 I_{k-2,k}^{BL} &= I_{k-1,k}^{BL} \frac{2R}{2R + R_{k-2,4}} = I_{k,k}^B \frac{(2^{2k-5} + 4)(M+1) - 6}{(2^{2k} + 2)(M+1) - 3} 2^2 = I_{k,k}^B \frac{2^{2k-5}(M+1) + 4M - 2}{2^{2k}(M+1) + 2M - 1} 2^2 \\
 I_{k-3,k}^{BL} &= I_{k-2,k}^{BL} \frac{2R}{2R + R_{k-3,4}} = I_{k,k}^B \frac{(2^{2k-7} + 4)(M+1) - 6}{(2^{2k} + 2)(M+1) - 3} 2^3 = I_{k,k}^B \frac{2^{2k-7}(M+1) + 4M - 2}{2^{2k}(M+1) + 2M - 1} 2^3 \\
 I_{k-j,k}^{BL} &= I_{k,k}^B \frac{(2^{2k-2j-1} + 4)(M+1) - 6}{(2^{2k} + 2)(M+1) - 3} 2^j = I_{k,k}^B \frac{2^{2k-2j-1}(M+1) + 4M - 2}{2^{2k}(M+1) + 2M - 1} 2^j \\
 I_{k-j,k}^B &= I_{k-j,k}^{BL} - I_{k-j+1,k}^{BL} \\
 &= I_{k,k}^B \left[\frac{2^{2k-2j-1}(M+1) + 4M - 2}{2^{2k}(M+1) + 2M - 1} 2^j - \frac{2^{2k-2j+1}(M+1) + 4M - 2}{2^{2k}(M+1) + 2M - 1} 2^{j-1} \right] \\
 &= I_{k,k}^B \left[\frac{4M - 2 - (M+1)2^{2k-2j}}{4M - 2 + (M+1)2^{2k+1}} 2^j \right] \\
 &= -\frac{V_{REF}}{3R} \frac{2 - 4M + (M+1)2^{2k-2j}}{(M+1)2^{2k}} 2^{j-1} \quad (\text{VII.75})
 \end{aligned}$$

Les équations VII.72, VII.74 et VII.75 expriment les contributions de courant de la se-cannexe binaire seulement. L'expression du courant total demande aussi l'analyse de la

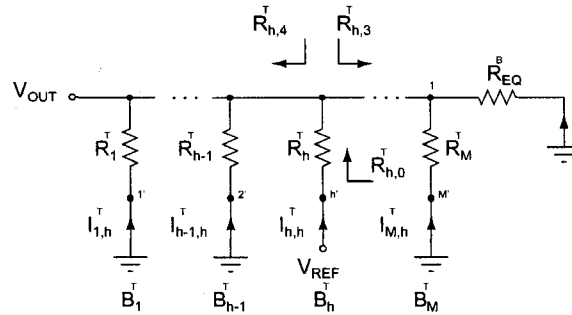


FIG. VII.17 Partie unitaire du CNA segmenté

seccannexe unitaire. L'expression des courants pour les bits thermomètres k ($1 < k < M$) peut être trouvée en utilisant le circuit équivalent de la partie unitaire tel qu'illustré à la figure VII.17. Dans ce circuit, la partie binaire a été simplifiée et remplacée par une résistance équivalente $R_{EQ}^B = R$.

Dans la partie unitaire, la contribution de courant du bit k est :

$$I_{h,h}^T = \frac{V_{REF}}{R_{h,0}} \quad (\text{VII.76})$$

Avec des résistances idéales, les expressions de $R_{h,0}^T$, $R_{h,3}^T$ et $R_{h,4}^T$ sont :

$$R_{h,4}^T = \frac{R}{h-1} \quad (\text{VII.77})$$

$$R_{h,3}^T = \frac{R}{M-h} \quad (\text{VII.78})$$

$$\begin{aligned} R_{h,0}^T &= R_{h,4}^T \parallel R_{h,3}^T + R_h^T \\ &= R \frac{M+1}{M} \end{aligned} \quad (\text{VII.79})$$

Si seulement un bit thermomètre (k) est actif à la fois, le courant tiré de V_{REF} et l'impédance d'entrée associée peuvent s'exprimer ainsi :

$$\begin{aligned} I_{REFSinglebit}^T &= I_{h,h}^T = \frac{V_{REF}}{R_{h,0}^T} \\ &= \frac{V_{REF}}{R} \frac{M}{M+1} \end{aligned} \quad (VII.80)$$

$$Z_{INSinglebit}^T = R_{h,0}^T = R \frac{M+1}{M} \quad (VII.81)$$

Une solution plus générale, valide pour toutes les combinaisons de bits actifs, peut être obtenue et demande l'expression de tous les courants de branches causés par l'activation d'un bit unitaire :

$$I_{h+j,h}^T = I_{h-j,h}^T = \frac{I_{h,h}^T}{M} = -\frac{V_{REF}}{R} \frac{1}{M+1} \quad (VII.82)$$

L'expression du courant k dans la partie binaire dû au bit thermomètre h est :

$$I_{k,h}^{BT} = -\frac{I_{h,h}^T}{M} 2^{-k} = -\frac{V_{REF}}{R} \frac{2^{-k}}{M+1} \quad (VII.83)$$

L'expression du courant h dans la partie unitaire dû au bit binaire k est :

$$I_{h,k}^{TB} = -\frac{I_{1,k}^{BL}}{M} = -\frac{I_{k-(k-1),k}^{BL}}{M} = -\frac{V_{REF}}{R} \frac{1}{(M+1)2^{k+1}} \quad (VII.84)$$

Par superposition, le courant total tiré de la référence I_{REF} peut s'exprimer ainsi :

$$I_{REF} = \sum_{x=1}^{N+M} b_x \sum_{y=1}^{N+M} b_y I_{y,x}$$

$$\begin{aligned}
= & \underbrace{\sum_{x=1}^N b_x^B I_{x,x}^B}_{\text{Bin.}} + \underbrace{\sum_{x=2}^N b_x^B \sum_{y=1}^{x-1} b_{x-y}^B I_{x-y,x}^B}_{\text{Bin. inf. dû à bin.}} + \underbrace{\sum_{x=1}^{N-1} b_x^B \sum_{y=x+1}^N b_y^B I_{y,x}^B}_{\text{Bin. sup. dû à bin.}} + \underbrace{\sum_{x=1}^N b_x^B \sum_{y=1}^M b_y^T I_{x,y}^{TB}}_{\text{Ther. dû à bin.}} \\
& + \underbrace{\sum_{x=1}^M b_x^T I_{x,x}^T}_{\text{Ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=1}^{x-1} b_{x-y}^T I_{x-y,x}^T}_{\text{Ther. inf. dû à ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=x+1}^M b_y^T I_{y,x}^T}_{\text{Ther. sup. dû à ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=1}^N b_y^B I_{x,y}^{BT}}_{\text{Bin. dû à ther.}}
\end{aligned} \tag{VII.85}$$

Ce qui peut être reformulé ainsi :

$$\begin{aligned}
I_{REF} = & \underbrace{\sum_{x=2}^N b_x^B I_{x,x}^B}_{\text{Bin.}} + \underbrace{\sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{x,y}^B}_{\text{Bin. inf. dû à bin.}} + \underbrace{\sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B I_{y,x}^B}_{\text{Bin. sup. dû à bin.}} + \underbrace{\sum_{x=1}^N b_x^B \sum_{y=1}^M b_y^T I_{x,y}^{TB}}_{\text{Ther. dû à bin.}} \\
& + \underbrace{\sum_{x=1}^M b_x^T I_{x,x}^T}_{\text{Ther.}} + \underbrace{\sum_{x=1}^{M-1} \sum_{x+1}^N b_x^T b_y^T I_{x,y}^T}_{\text{Ther. inf. dû à ther.}} + \underbrace{\sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T I_{y,x}^T}_{\text{Ther. sup. dû à ther.}} + \underbrace{\sum_{x=1}^M b_x^T \sum_{y=2}^N b_y^B I_{x,y}^{BT}}_{\text{Bin. dû à ther.}}
\end{aligned} \tag{VII.86}$$

Les équations VII.74 et VII.75 peuvent être utilisées dans l'équation VII.86 avec les changements de variables suivants :

– Pour l'expression VII.74 :

$$\begin{aligned}
I_{k+j,k}^B &= -\frac{V_{REF}}{3R} \frac{2^{2k-1}(M+1) - 2M + 1}{(M+1)2^{2k}} 2^{-j} \\
I_{k+j,k}^B &= I_{y,x}^B \Rightarrow \begin{cases} y = k+j \\ x = k \end{cases} \Rightarrow \begin{cases} j = y-x \\ k = x \end{cases} \\
I_{y,x}^B &= -\frac{V_{REF}}{3R} \frac{1 - 2M + (M+1)2^{2x-1}}{(M+1)2^{x+y}}
\end{aligned} \tag{VII.87}$$

– Pour l'expression VII.75 :

$$\begin{aligned}
 I_{k-j,k}^B &= -\frac{V_{REF}}{3R} \frac{2 - 4M + (M+1)2^{2k-2j}}{(M+1)2^{2k}} 2^{j-1} \\
 I_{k-j,k}^B &= I_{y,x}^B \Rightarrow \begin{cases} x = k-j \\ y = k \end{cases} \Rightarrow \begin{cases} j = y-x \\ k = y \end{cases} \\
 I_{x,y}^B &= -\frac{V_{REF}}{3R} \frac{1 - 2M + (M+1)2^{2x-1}}{(M+1)2^{x+y}} \quad (\text{VII.88})
 \end{aligned}$$

Les équations VII.72, VII.87, VII.88, VII.84, VII.80, VII.82 et VII.83 peuvent maintenant être insérées dans l'équation VII.86 :

$$\begin{aligned}
 I_{REF} &= -\frac{V_{REF}}{3R} \left(\underbrace{\sum_{x=1}^N b_x^B \frac{1 - 2M - (M+1)2^{2x}}{(M+1)2^{2x}}}_{\text{Bin.}} \right. \\
 &\quad + \underbrace{\sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{1 - 2M + (M+1)2^{2x-1}}{(M+1)2^{x+y}}}_{\text{Lower bin. due to bin.}} + \underbrace{\sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{1 - 2M + (M+1)2^{2x-1}}{(M+1)2^{x+y}}}_{\text{Higher bin due to bin.}} \\
 &\quad + \frac{V_{REF}}{R} \left(\underbrace{\sum_{x=1}^M b_x^T \frac{M}{M+1}}_{\text{Ther.}} - \underbrace{\sum_{x=1}^N b_x^B \sum_{y=1}^M b_y^T \frac{1}{(M+1)2^x}}_{\text{ther. due to bin.}} - \underbrace{\sum_{x=1}^N b_x^B \sum_{y=1}^M b_y^T \frac{1}{(M+1)2^x}}_{\text{Bin. due to ther.}} \right. \\
 &\quad \left. - \underbrace{\sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T \frac{1}{M+1}}_{\text{Higher ther. due to ther.}} - \underbrace{\sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T \frac{1}{M+1}}_{\text{lower ther. due to ther.}} \right) \quad (\text{VII.89})
 \end{aligned}$$

Ce qui se simplifie ainsi :

$$\begin{aligned}
 I_{REF} &= -\frac{V_{REF}}{3R} \left(\sum_{x=1}^N b_x^B \frac{1 - 2M - (M+1)2^{2x}}{(M+1)2^{2x}} + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{1 - 2M + (M+1)2^{2x-1}}{(M+1)2^{x+y-1}} \right. \\
 &\quad \left. - \sum_{x=1}^M b_x^T \frac{3M}{M+1} + \sum_{x=1}^N b_x^B \sum_{y=1}^M b_y^T \frac{6}{(M+1)2^x} + \sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T \frac{6}{M+1} \right) \quad (\text{VII.90})
 \end{aligned}$$

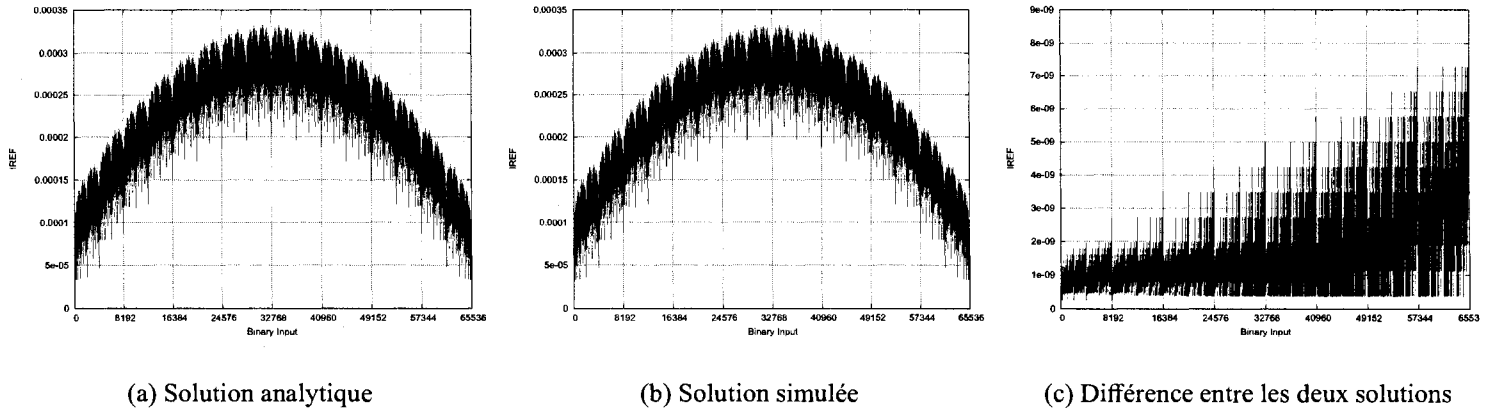


FIG. VII.18 Courant de la référence pour le réseau R2R segmenté de type B en mode courant ($N=13, M=7, V_{ref}=5V, R=50k$).

Quand il n'y a aucun bit thermomètre, le réseau devient purement binaire. Si $M=0$ l'expression devient celle d'un réseau non-segmenté : l'équation VII.13.

Ceci donne finalement l'expression de l'impédance d'entrée :

$$Z_{IN} = 3R(M+1) \left[\sum_{x=1}^N b_x^B \frac{1 - 2M - (M+1)2^{2x}}{2^{2x}} + \sum_{x=1}^{N-1} \sum_{y=x+1}^N b_x^B b_y^B \frac{1 - 2M + (M+1)2^{2x-1}}{2^{x+y-1}} \right. \\ \left. - \sum_{x=1}^M b_x^T 3M + \sum_{x=1}^N \sum_{y=1}^M b_x^B b_y^T \frac{6}{2^x} + \sum_{x=1}^M \sum_{y=x+1}^M b_x^T b_y^T 6 \right]^{-1} \quad (VII.91)$$

La figure VII.18 montre à quel point les solutions analytique et simulée sont proches. Les différences viennent de la résistance des interrupteurs qui n'est pas prise en compte dans la solution analytique (équation VII.90).