POLYPUBLIE

Modélisation électrique du couplage et de l'injection de bruit dans le substrat

Vincent Binet

Document en libre accès dans PolyPublie
Open Access document in PolyPublie

Date	2007
Type	Mémoire ou thèse / Dissertation or Thesis Mémoire de maîtrise/Master's thesis
URL de PolyPublie PolyPublie URL	https://publications.polymtl.ca/8035/
Conditions d'utilisation Terms of use	© Tous droits réservés / All rights reserved
Référence Citation	Binet, V. (2007). Modélisation électrique du couplage et de l'injection de bruit dans le substrat [Mémoire de maîtrise, École Polytechnique de Montréal]. PolyPublie. https://publications.polymtl.ca/8035/

Détails de la thèse
Thesis details

Directeurs de recherche Advisors	Yvon Savaria, & Michel Meunier
Programme Program	Non spécifié

Ce fichier a été téléchargé à partir de PolyPublie, le dépôt institutionnel de Polytechnique Montréal
This file has been downloaded from PolyPublie, the institutional repository of Polytechnique Montréal
https://publications.polymtl.ca

UNIVERSITÉ DE MONTRÉAL

MODÉLISATION ÉLECTRIQUE DU COUPLAGE ET DE L'INJECTION DE BRUIT DANS LE SUBSTRAT

VINCENT BINET
DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION
DU DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES
(GÉNIE ÉLECTRIQUE)
JUIN 2007

© Vincent Binet, 2007.

Library and Archives Canada

Published Heritage Branch

395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque et Archives Canada

Direction du Patrimoine de l'édition

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence
ISBN: 978-0-494-35667-8
Our file Notre référence
ISBN: 978-0-494-35667-8

NOTICE:
The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:
L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé:

MODÉLISATION ÉLECTRIQUE DU COUPLAGE ET DE L'INJECTION DE BRUIT DANS LE SUBSTRAT

présenté par: BINET Vincent

en vue de l'obtention du diplôme de: Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de:

M. AUDET Yves, Ph.D., président

M. SAVARIA Yvon, Ph.D., membre et directeur de recherche

M. MEUNIER Michel, Ph.D., membre et codirecteur de recherche

M. VALORGE Olivier, Ph.D., membre

Un seul être vous manque, et tout est dépeuplé.

Alphonse de Lamartine

REMERCIEMENTS

Tout d'abord, je tiens à remercier mon directeur de recherche Yvon Savaria et mon co-directeur Michel Meunier, pour m'avoir donné l'opportunité et les moyens de découvrir le monde de la recherche. Leur expérience et compétence dans leurs domaines respectifs, ainsi que leur complémentarité ont largement contribué à la réalisation de ce projet et ont permis de le rendre à la fois motivant et agréable.

Par la suite, j'aimerais remercier chaleureusement Etienne Boulais, Iliasse Benamrane et Rahul Singh, sans qui cette maîtrise n'aurait pas été possible et avec qui j'ai apprécié travailler. Je n'oublie pas également tous les membres du GRM que j'ai pu cotôyer pendant mes études, et notamment Gilbert pour sa verve et sa bonne humeur constante. Je remercie également Yves Gagnon pour ses conseils avisés, et Olivier Valorge pour son aide et ses conseils pertinents.

Je voudrais remercier tous mes colocataires Raphaël, Julien, Guitou, Sylvain, Hélène et Mathilde durant ces 3 années dans la belle Province, et plus particulièrement sa grandeur Raphaël, pour son talent d'acteur incontestable et pour avoir ramer avec moi sur la galère.

J'ai une pensée toute particulière à Elise, avec qui j'ai passé les meilleurs moments de ma vie, qui a su être compréhensive et a su me remonter le moral dans les moments difficiles.

Je remercie mes parents et mes frères, ainsi que toute ma famille pour m'avoir supporté et encouragé durant cette maîtrise, ainsi que pour m'avoir toujours soutenu dans mes choix et donné l'opportunité de réaliser ce que je voulais faire.

Finalement, j'aimerais remercier Anne-Marie pour le soleil qu'elle a apporté dans ma vie.

Et sans oublier les blagues de Polo....

RÉSUMÉ

Les dernières années ont été marquées par l'arrivée massive sur le marché de l'électronique grand public de produits intégrant de nombreuses fonctionnalités autrefois propres à plusieurs appareils différents. L'exemple du téléphone cellulaire pour ne citer que lui est révélateur : "téléphoner" n'est qu'une option parmi tant d'autres telles que naviguer sur internet, écouter de la musique, regarder la télévision, communiquer par visioconférence, prendre des photos.... Cette course effrénée à la réduction d'échelle technologique qui en permet le développement et la pluridisciplinarité des produits impose de combiner des spécialités autrefois distinctes. Les Systèmes sur Puces ou "Systems On Chips" (SoC) ont permis de relever le défi de la conception de systèmes toujours plus complexes et multifonctions.

Cependant l'intégration sur un même substrat de circuits sensibles (analogiques de précision, convertisseur numérique / analogique et analogique / numérique) et bruyants (convertisseur de puissance, Radio-Fréquence, utilisation de dispositifs ajustables par laser) pose des problèmes d'intégrité des signaux. Le substrat est alors un lieu de transport du bruit dans toute la puce que ce bruit soit généré par un laser ou un convertisseur de puissance. Sa modélisation est par conséquent un enjeu crucial dans la conception et le développement de circuits intégrés. Prévoir le niveau de bruit très tôt dans la conception et anticiper les problèmes d'interférences entre les circuits permet en effet de réduire les coûts de production et le temps de mise sur le marché des produits.

L'objectif de cette étude est donc de modéliser les couplages au substrat et l'injection de bruit dans le substrat pour deux applications comportant des systèmes bruyants : un convertisseur DC-DC et l'injection de charges dans le substrat due à la création d'une résistance diffusée par laser. Des modélisations résistives et capacitives du substrat ont déjà été largement traitées dans la littérature et appliquées à l'étude du bruit injecté par de larges circuits numériques. Du fait des

larges variations de potentiel du substrat et des différents puits dans le cas de nos deux applications, de tels modèles ne peuvent être utilisés, car leurs hypothèses de départ sont violées. Dans ce projet, un modèle optimisé du substrat est proposé. Ce modèle inclut des éléments parasites tels que les transistors bipolaires verticaux non pris en compte par les modèles classiques mais pourtant bien présents physiquement.

L'analyse du bruit injecté par un convertisseur DC-DC a montré qu'en utilisant une modélisation optimisé du substrat, le potentiel du substrat à 15 µm présente des pics d'une hauteur de 6 mV. Alors que pour un modèle purement résistif et capacitif, ce même potentiel était seulement de l'ordre de 100 µV. L'étude a révélé que les chemins de courants offerts par les transistors bipolaires jouent un rôle primordial dans l'injection de bruit dans le substrat et les alimentations. L'isolation offerte par les puits profonds N et puits N s'est alors révélée beaucoup moins performante que ce qui était attendu. Des résultats expérimentaux menés sur une puce fabriquées au travers de la *CMC Microsystèmes* appuient les résultats obtenus en simulation. Au niveau de l'injection de charges par laser, des simulations "mixtes" ont été utilisées couplant des simulations par éléments finis et des simulations électriques. La modélisation par éléments finis développée par Boulais permet de quantifier les charges injectées dans le substrat par un laser focalisé. Le résultat obtenu est ensuite intégré comme une source de courant aux bornes des jonctions PN dans les simulations électriques prenant en compte le modèle optimisé du substrat relié à l'oscillateur en anneaux. Grâce à ce modèle optimisé du substrat comportant une modélisation des transistors bipolaires et des jonctions puits - substrat, l'impact des charges sur le potentiel du substrat est bien pris en compte et permet d'observer une modification de la fréquence de fonctionnement de l'oscillateur. Les larges variations des potentiels induites par les charges affectent par effet de substrat le fonctionnement des transistors des inverseurs de l'oscillateur. Les résultats expérimentaux ont confirmé le comportement obtenu en simulation et ont permis de

valider notre compréhension de l'impact des charges sur un circuit.

ABSTRACT

Over the past several years, electronic products have offered on the market multifunction systems, previously available as separate devices. Nowadays, cellular phones can not only be used as a classical phone, but people can now surf on the internet, listen to music, watch TV, communicate by video... Recently System on Chip (SoC) integration has offered this high integration of complex systems.
Because sensitive analog circuits need to share a common substrate with noisy circuits (RF designs, large digital circuits, power switches modules, laser trimmed devices), significant noise injection can degrade the global system performance. This is an important issue in the design of mixed signal SoCs. Thus to reduce the SoC development costs and time to market, accurate substrate model has to be developed and appears to be the key solution to predict coupling noise and ensure that it remains at an acceptable level.
This project aims to model noise substrate coupling and noise substrate injection in two different applications : DC-DC converter and charges injection caused by a focused laser beam on a laser diffused resistor. Existing literature deals with the case where large digital circuits comprising several thousand gates that switch simultaneously inject noise in the substrate by resistive and capacitive coupling. Unusual voltage variations occurring in power switches can activate parasitic vertical bipolar transistors. Such resistive and capacitive model can not be used for this application, because its basic assumptions are violated. This project proposes a custom substrate model which includes these parasitic devices.
Analysis of the substrate noise injected by a DC-DC converter shows an important impact on victim circuits in the neighbourhood of the noise source. Simulations with the proposed model predict a 6 mV noise in the substrate, whereas only resistive and capacitive model gives around 100 µV for the same setup. Experimental results show that parasitic bipolar transistors play an important role in the injected

current, and have to be included to correctly estimate noise injected by a power converter. Our results also demonstrate that n-well and deep n-well isolations are much less effective than what it was predicted by classical model.

Mixed simulation methods have been used to analyze the impact on a ring oscillator of charges injected in a substrate by a focused laser. Such simulations have used finite element model elaborated by Boulais to quantify charges injected in the substrate. The result is then used as a current source across PN junctions into an electrical model of the ring oscillator linked to a custom substrate model. With this custom model, large potential variations induced by charges injection are now taken into account as "body effect" phenomenon affecting the ring oscillator frequency. Simulation results have shown good agreement with experimental results and validate our understanding of observed frequency changes.

TABLE DES MATIÈRES

DÉDICACE iv

REMERCIEMENTS v

RÉSUMÉ vi

ABSTRACT ix

TABLE DES MATIÈRES xi

LISTE DES FIGURES xvi

LISTE DES NOTATIONS ET DES SYMBOLES xxii

LISTE DES ANNEXES xxiii

INTRODUCTION 1

CHAPITRE 1 REVUE DE LA LITTÉRATURE : BRUIT DE SUBSTRAT ET MODÉLISATION 5

1.1 Caractérisation du substrat 6

1.1.1 Type de substrat 6

1.1.2 Modélisation physique du substrat 7

1.1.3 Modèle capacitif et résistif du substrat 9

1.2 Source "classique" du bruit de substrat 11

1.2.1 Ionisation par impact 12

1.2.2 Courant induit par des photons 13

1.2.3 Couplage capacitif 13

1.2.4 Courant de fuite de la grille 14

1.2.5 Courant de fuite de la diode 14

1.2.6 Bruit présent sur les alimentations 14
1.3 Nouvelles sources de bruit : 16
1.3.1 Convertisseur DC-DC : une nouvelle source de bruit 16
1.3.2 Injection de bruit dans le substrat par un laser 18
1.4 Impact sur les circuits 20
1.4.1 Mécanismes de transmission du bruit aux circuits sensibles . 21
1.4.2 Répercussions du bruit de substrat sur l'intégrité des signaux 22
1.5 Outils 25
1.5.1 Flot de conception 25
1.5.1.1 Fichiers nécessaires 27
1.5.1.2 Étapes de création d'un modèle 29
1.5.2 Logiciels commerciaux existants 31
1.5.3 Utilisation de macro-modèles 32
1.6 Limites 33
1.6.1 Insuffisance du couplage seulement capacitif et résistif . . . 33
1.6.2 Temps de calcul 33

CHAPITRE 2 MODÉLISATION DU BRUIT INJECTÉ PAR UN CONVERTISSEUR DC-DC 35
2.1 Les convertisseurs DC-DC 35
2.1.1 Présentation générale 35
2.2 Circuit analysé 37
2.2.1 Architecture proposée 38
2.2.2 Fonctionnement idéal 38
2.2.3 Fonctionnement réel 40
2.2.4 Rendement 42
2.2.5 Design étudié 43
2.3 Étude du bruit de substrat à l'aide d'un modèle RC 48

2.3.1 Modèle RC produit par SubstrateStorm 48
2.3.2 Résultats de simulation avec SubstrateStorm 48
2.3.3 Insuffisance du couplage seulement résistif et capacitif . . . 54
2.4 Etude du bruit à l'aide d'un modèle personnalisé 54
2.4.1 Modèle optimisé avec Substrate Coupling Analysis 55
2.4.2 Résultats de simulations sans modélisation du boîtier 59
2.4.2.1 Cas (a) : PMOS "ON " -> "OFF" alors que NMOS reste "OFF" 60
2.4.2.2 Cas (b) : NMOS "ON " -> "OFF" alors que PMOS reste "OFF" 66
2.4.3 Résultats de simulations avec modélisation du boîtier 68
2.4.4 Résultats de simulations avec modélisation du boîtier et du PCB 78
2.5 Résultats expérimentaux 86
2.5.1 Puces fabriquées 87
2.5.2 Résultats expérimentaux 87
2.5.2.1 Description du mode opératoire 88
2.5.2.2 Fonctionnement 88
2.5.2.3 Courants injectés dans les alimentations et le substrat 95
2.5.2.4 Bruit du substrat 99
2.5.2.5 Etude fréquentielle 99
2.5.3 Discussion sur les résultats expérimentaux et les simulations 102

CHAPITRE 3 MODÉLISATION DE L'INJECTION DE BRUIT DANS LE SUBSTRAT PAR UN LASER 104
3.1 Système laser et montage optique 104
3.1.1 Montage laser 105
3.1.2 Résistance diffusée par laser (LDR) 106

3.2 Circuit Sensible : Oscillateur en Anneaux 107
3.3 Résultats expérimentaux 108
3.3.1 Calibration du circuit de mesures électriques 108
3.3.2 Estimation de la puissance 111
3.3.3 Variation de la fréquence en fonction de la puissance 111
3.3.4 Courant collecté au niveau des alimentations 116
3.4 Explication des phénomènes responsables de la modification de la fréquence d'oscillation 119
3.4.1 Modélisation d'un inverseur 119
3.4.2 Modélisation de l'impact de charges sur une jonction 121
3.5 Modélisation adaptée du substrat 126
3.5.1 Nécessité d'un modèle du substrat 126
3.5.2 Modèle capacitif et résistif inadéquat 126
3.5.3 Modèle augmenté incorporant des composants parasites . . 127
3.6 Résultats de simulations 128
3.6.1 Fonctionnement normal non soumis à une illumination . . . 128
3.6.2 Impact d'une impulsion laser sur le fonctionnement 128
3.6.3 Ajustement des paramètres du modèle aux résultats expérimentaux 131
3.7 Confrontation des résultats de simulation et expérimentaux 137
3.7.1 Robustesse du modèle 137
3.7.2 Variation de la fréquence en fonction de la puissance 137
3.7.3 Courant collecté par les alimentations 141
3.7.4 Conclusion et limites du modèle 142

CONCLUSION 145

RÉFÉRENCES 148

ANNEXES 154

LISTE DES FIGURES

FIG. 1.1	Structure d'un substrat de type épitaxial	6
FIG. 1.2	Modélisation d'un cube de substrat	8
FIG. 1.3	Modélisation du substrat pour un inverseur CMOS dans le cas d'un substrat faiblement dopé P	10
FIG. 1.4	Model résistif simple entre deux contacts proches (distance $<$ 4 Lepi) pour un substrat épitaxial	11
FIG. 1.5	Modèle résistif simple pour deux contacts éloignés (distance $>$ 4 Lepi) pour un substrat épitaxial	12
FIG. 1.6	Résistance diffusée par laser	19
FIG. 1.7	Spectre de puissance du signal de sortie d'un VCO a) sans anneau de garde b) avec anneau de garde (tiré de (Soens et al., 2006))	23
FIG. 1.8	Sortie du VCO en fonction de la fréquence avec ou sans la prise en compte du bruit de substrat (tiré de (Heydari, 2004))	24
FIG. 1.9	Spectre de puissance de la sortie du LNA (tiré de (Xu et al., 2001))	26
FIG. 1.10	Fichiers nécessaires à l'élaboration d'un modèle du substrat	28
FIG. 1.11	Flot d'extraction d'un modèle du substrat	30
FIG. 1.12	Modèle complet du circuit électrique associé au modèle du substrat	31
FIG. 2.1	Hacheur série	37
FIG. 2.2	Hacheur série à redressement synchrone	38
FIG. 2.3	Présentation des deux modes d'opération à gauche "ON", à droite "OFF"	39
FIG. 2.4	Chronogramme du fonctionnement du convertisseur	41
FIG. 2.5	Schéma du hacheur série à redressement synchrone	45

FIG. 2.6 Tension des signaux Ck PMOS, Ck NMOS et Vsw 46
FIG. 2.7 Courant traversant l'inductance, la capacité et la résistance 47
FIG. 2.8 Tension DC en sortie du convertisseur (au niveau de la charge résistive) 47
FIG. 2.9 Tensions et courants principaux pour le modèle du substrat obtenu avec SubstrateStorm 52
FIG. 2.10 Courants de polarisation des puits P et N, courants entrant dans l'électrode "*Bulk*" des transistors 53
FIG. 2.11 Potentiel du substrat au niveau de la sonde 15 µm 53
FIG. 2.12 Modélisation personnalisée du substrat et chemins de courant 56
FIG. 2.13 Comparaison des tensions entre les deux modèles SCA et SubstrateStorm 57
FIG. 2.14 Comparaison des spectres en puissances pour les 2 modèles (SCA en bleu (foncé) et SubstrateStorm en rouge(clair)) . . 58
FIG. 2.15 Tensions principales et courants des transistors pour la transition de type (a) 61
FIG. 2.16 Courants pnp, npn et tension base émetteur pour la transition de type (a) 62
FIG. 2.17 Courants injectés dans le substrat et les alimentations pour la transition de type (a) 63
FIG. 2.18 Potentiel du substrat à 15 µm de l'agresseur pour le modèle personnalisé pour la transition de type (a) 63
FIG. 2.19 Tensions principales et Courants des transistors pour la transition de type (b) 69
FIG. 2.20 Courants pnp, npn et tension base émetteur pour la transition de type (b) 70
FIG. 2.21 Courants injectés dans le substrat et les alimentations pour la transition de type (b) 71

FIG. 2.22 Potentiel du substrat à 15 µm de l'agresseur pour le modèle personnalisé pour la transition de type (b) 71
FIG. 2.23 Tensions principales et Courants des transistors pour la transition de type (a) prenant en compte le modèle du boîtier . 73
FIG. 2.24 Courants pnp, npn et tension base émetteur pour la transition de type (a) prenant en compte le modèle du boîtier . . 74
FIG. 2.25 Courants injectés dans le substrat et les alimentations pour la transition de type (a) prenant en compte le modèle du boîtier 75
FIG. 2.26 Comparaison des potentiels du substrat à 15 µm pour le modèle optimisé et pour un modèle sans bipolaire lors d'une transition de type (a) 75
FIG. 2.27 Transformée de Fourier du potentiel de la sonde 15 µm pour les deux modèles (rouge (foncé) : modèle personnalisé) (vert (clair) : modèle sans bipolaire) 76
FIG. 2.28 Zoom sur la Transformée de Fourier du potentiel de la sonde 15 µm pour les deux modèles (rouge (foncé) : modèle personnalisé) (vert (clair) : modèle sans bipolaire) 77
FIG. 2.29 Réseau RLC responsable de l'oscillation 79
FIG. 2.30 Tensions principales et Courants des transistors pour la transition de type (a) prenant en compte le modèle du boîtier et du PCB 81
FIG. 2.31 Courants pnp, npn et la tension Vbe du npn pour la transition de type (a) en prenant en compte le modèle du boîtier et du PCB 83
FIG. 2.32 Courants injectés dans le substrat et les alimentations pour la transition de type (a) en prenant en compte le modèle du boîtier et du PCB 84

FIG. 2.33 Comparaison du potentiel du substrat à 15 µm de l'agresseur pour le modèle personnalisé prenant en compte le modèle du boîtier et du PCB (rouge), le modèle sans les bipolaires en prenant en compte le modèle du boîtier et du PCB (bleu), le modèle personnalisé prenant en compte seulement le modèle du boîtier (rose) 85
FIG. 2.34 Tension de sortie DC en tenant compte du boîtier et du PCB 86
FIG. 2.35 Circuit de test du convertisseur 89
FIG. 2.36 Signaux expérimentaux des horloges de contrôles ck PMOS et ck NMOS, ainsi que du potentiel Vsw 92
FIG. 2.37 Courants entrant dans les transistors NMOS et PMOS . . . 93
FIG. 2.38 Tension expérimentale Vout DC et les signaux d'horloges Ck PMOS et Ck NMOS 94
FIG. 2.39 Zoom sur les signaux expérimentaux des horloges de contrôles ck PMOS et ck NMOS, ainsi que du potentiel Vsw 96
FIG. 2.40 Zoom sur les courants entrant et Sortant du PMOS, sur les courants entrant dans le substrat et dans le puits N 98
FIG. 2.41 Zoom sur les courants entrant et Sortant du NMOS, sur les courants entrant dans le puits P et dans le puits profond N . 100
FIG. 2.42 Potentiel de la sonde 101
FIG. 2.43 Transformée de Fourier rapide du potentiel (FFT) de la sonde 102
FIG. 3.1 Montage optique 106
FIG. 3.2 Schéma bloc du système permettant d'observer les modifications de la fréquence d'oscillation 108
FIG. 3.3 Variation de la sortie du FVC pour une impulsion laser de durée 100 ns et de puissance 600 mW. 110
FIG. 3.4 Variation relative de la sortie maximale du FVC en fonction de la puissance de l'impulsion laser de durée 100 ns 112

FIG. 3.5 Variation relative de la sortie maximale du FVC en fonction de la puissance de l'impulsion laser de durée 100 ns 113
FIG. 3.6 Variation relative de la sortie maximale du FVC en fonction de la puissance de l'impulsion laser de durée 100 ns 114
FIG. 3.7 Variation relative de la sortie maximale du FVC en fonction de la puissance de l'impulsion laser de durée 100 ns 115
FIG. 3.8 Variation du courant entrant dans l'alimentation VDD pour des impulsions laser d'une durée de 100 ns et de puissance variant de 600 mW à 1600 mW. 117
FIG. 3.9 Courant collecté par les alimentations en fonction de la puissance du laser 118
FIG. 3.10 Injection de charges par le laser et migration des charges . . 122
FIG. 3.11 Courants entrant dans le puits N pour différentes puissances laser simulées (tiré de (Boulais et al., 2007)) 125
FIG. 3.12 Modèle personnalisé du substrat 127
FIG. 3.13 Courant injecté dans le puits N pour une puissance laser simulée de 50 mW 129
FIG. 3.14 Simulation de la tension du FVC soumis à une impulsion laser associé au courant injecté de la figure 3.13 130
FIG. 3.15 Variation des potentiels du substrat et du puits N pour une injection de courant correspondant à une puissance laser de P=50 mW avec $\beta = 0.2$ et $\tau = 150ns$ 132
FIG. 3.16 Influence du paramètreτ sur la variation du FVC, P=50 mW et $\beta = 0.15$ 134
FIG. 3.17 Influence du paramètre β sur la variation du FVC, P=50 mW 136
FIG. 3.18 Robustesse du modèle pour deux puissances 138
FIG. 3.19 Variation du maximum de variation du FVC en fonction de la puissance : simulation versus expérimentation 139

FIG. 3.20 Structure géométrique responsable des multiple réflexions (figure non à l'échelle) 140
FIG. 3.21 Courant collecté par l'alimentation VDD obtenu par simulation 143

LISTE DES NOTATIONS ET DES SYMBOLES

AC	Alternative Current
BEM	Boundary Element Modelisation
$CMOS$	Complementary Metal Oxyde Semiconductor
DC	Direct Current
ϵ_0	Permitivité du vide
FD	Frequency Divider
FEM	Finite Element Modelisation
FVC	Frequency Voltage Converter
GRM	Groupe de Recherche en Microélectronique
LDR	Laser Diffused Resistor
μ_n	Mobilité d'un électron
μ_p	Mobilité d'un trou
n	Concentration des porteurs : électrons
p	Concentration des porteurs : trous
ρ	Résistivité du substrat
SCA	Substrate Coupling Analysis

LISTE DES ANNEXES

ANNEXE I ARTICLE ISCAS 2007 154

ANNEXE II PCB 158

INTRODUCTION

Depuis une dizaine d'années, les applications de la microélectronique ont pris une part de plus en plus importante dans notre vie de tous les jours, que ce soit dans nos modes de communications avec les téléphones cellulaires, dans notre vie professionnelle avec les ordinateurs portables, ou bien plus encore dans nos divertissements notamment à travers les appareils photos numériques, les baladeurs MP3. Ces appareils, devenus des biens de consommation à part entière, se sont miniaturisés et complexifiés dans le même temps, intégrant désormais de nombreuses fonctionnalités autrefois propres à plusieurs appareils différents. C'est ainsi que les téléphones cellulaires ne permettent aujourd'hui plus seulement de téléphoner, mais l'utilisateur peut également écouter de la musique, regarder la télévision, se connecter à l'internet. Ces véritables ordinateurs portatifs deviennent de plus en plus puissants sans pour autant perdre en autonomie.

La course effrénée à la réduction d'échelle technologique qui en permet le développement et la pluridisciplinarité des compétences requises par l'industrie de la microélectronique impose de combiner des spécialités qui étaient autrefois bien distinctes. Avec le développement des Systèmes sur Puces ou "Systems On Chips" (SoC), l'industrie de la microélectronique a su relever le défi de la conception de systèmes complexes et pluridisciplinaires, ainsi que leur intégration sur le même substrat. En effet, une puce de téléphone portable peut regrouper des circuits d'horizons différents autrefois indépendants, tels que des circuits numériques, des convertisseurs de puissance, des circuits Radio-Fréquence (RF) et des circuits analogiques de haute précision. Cependant la sensibilité au bruit de tous ces circuits n'est pas la même, tout comme le niveau de bruit injecté. En effet les circuits analogiques nécessitent pour fonctionner correctement un niveau de bruit très faible en comparaison aux autres types de circuits et donc leur intégration au coeur d'un système peut poser

des problèmes d'intégrité des signaux. En outre, les circuits numériques contribuent à la création de bruit dans le substrat du fait des nombreuses portes qui commutent lors du fonctionnement. Les circuits analogiques de haute précision, tout aussi bien que les circuits RF oscillant à une fréquence qui doit être stable sont très sensibles aux agressions produites par un circuit numérique. Ce type d'agression a déjà largement été couvert par la littérature (Donnay and Gielen, 2003), cependant d'autres types d'agresseurs sont apparus du fait de l'intégration toujours plus grande des systèmes, mais également du fait de l'utilisation de nouvelles techniques de calibration par laser des circuits analogiques de haute précision. En plus des puces classiques intégrant déjà des circuits analogiques et une partie RF, l'utilisation de convertisseurs de puissance, également implantés sur la même puce, est apparue, afin de minimiser les pertes d'énergie. Du fait des forts courants mis en jeu et des larges variations de tensions, le bruit généré par ces modules de puissance peut tout aussi bien perturber des circuits analogiques que numériques. D'autre part, l'utilisation de dispositifs ajustables par laser après fabrication (Meunier et al., 2001), palliant aux mésappariements dus aux variations de procédés lors de la fabrication a permis d'atteindre des niveaux de précision plus élevés, élément critique pour les circuits de haute performance. Cependant l'utilisation d'un laser pour ajuster des résistances diffusées par laser injecte de nombreuses charges dans le substrat qui vont migrer vers les circuits sensibles présents dans le voisinage. Ces charges peuvent alors perturber le fonctionnement des circuits.

Tous ces circuits et ces dispositifs implantés sur une même puce ont un point en commun : ils partagent le même substrat, lieu possible de transport du bruit dans toute la puce, que ce bruit soit généré par un convertisseur de puissance ou un laser. L'enjeu principal est donc de modéliser avec précision et exactitude le substrat pour pouvoir estimer très tôt dans la conception le niveau de bruit injecté afin de développer des protections adéquates. Il est donc nécessaire d'analyser,

de comprendre les phénomènes de création et de transport du bruit, ainsi que l'interaction avec les circuits sensibles. Les travaux de recherche décrits dans ce mémoire trouvent leur source dans les besoins de la société LTRIM qui devait caractériser et maîtriser le bruit injecté par divers dispositifs (convertisseurs de puissance, dispositifs ajustables par laser).

Objectifs :

Les objectifs de cette recherche sont multiples. Il s'agit tout d'abord de comprendre et de modéliser les phénomènes mis en cause lors de l'injection de bruit dans le substrat, que ce bruit soit généré par un convertisseur de puissance ou par l'injection de charges suite à une calibration par laser. Deux types de modélisation ont été effectuées au cours de ce travail. Une première étude concerne l'impact de l'injection de charges par un laser focalisé sur un circuit sensible : un oscillateur en anneau. La deuxième étude traite des phénomènes d'injection de bruit par un convertisseur de puissance DC-DC, lors de son fonctionnement. Ces deux études s'appuient sur une modélisation précise et adaptée du substrat. Fort de ces modélisations, nous pourrons simuler le comportement des circuits et observer le bruit généré et leur sensibilité face au bruit. L'objectif de ces simulations est double, avoir une bonne compréhension des phénomènes pour concevoir des circuits de test adaptés, et confronter les simulations avec les observations expérimentales. En dernier lieu, ces études permettront de développer des protections adéquates afin de réduire le niveau de bruit dans le substrat. L'efficacité de ces protections pourra directement être évaluée en simulation, raccourcissant ainsi le temps de développement et de conception des circuits.

Organisation du mémoire :

Le mémoire s'articule autour de deux études principales : une analyse des perturbations induites par un laser, et l'étude du bruit injecté par un convertisseur DC-DC, l'idée directrice et fondatrice étant la modélisation du substrat. L'ensemble du travail s'organise comme suit.

- Le premier chapitre suivant l'introduction positionne le projet dans la littérature. Une revue de littérature sur ce qui a été fait en matière de couplage au substrat, de modélisation du substrat et de l'injection de bruit par un laser ou un convertisseur DC-DC est exposée dans ce chapitre.
- Le deuxième chapitre expose l'étude du bruit injecté par un convertisseur DC-DC. Une modélisation électrique des phénomènes est présentée ainsi que des résultats expérimentaux venant confirmer les simulations.
- Le troisième chapitre consiste en une modélisation électrique des phénomènes d'interactions entre les charges induites par le laser et un circuit oscillant. Des comparaisons entre les simulations obtenues et les résultats expérimentaux produits sont apportés pour justifier les modèles avancés.
- Enfin le dernier chapitre est une conclusion dressant le bilan du travail accompli.

CHAPITRE 1

REVUE DE LA LITTÉRATURE : BRUIT DE SUBSTRAT ET MODÉLISATION

Les dernières années ont été marquées par l'arrivée d'une multitude de circuits mixtes, systèmes comportant à la fois un design numérique et un design analogique. Leur conception est devenue de plus en plus complexe, car ils sont implantés sur des technologies de fabrication avancées. Caractériser le couplage parasite au substrat devient donc un enjeu principal dans la réalisation de circuits opérationnels, car estimer correctement le comportement réel du circuit permet d'anticiper les problèmes d'interférences liés à son utilisation et donc de raccourcir le cycle de développement et le temps requis pour la mise en marché du produit. Les réductions d'échelle toujours en vigueur (de 180 nm jusqu'à 45 nm) auxquelles sont constamment soumises les différentes technologies de fabrication proposées (CMOS pour Complementary Metal Oxyde Semiconductor, bipolaire, RF, mixte) complexifient grandement l'identification des sources de bruit et la modélisation du substrat. L'industrie de la microélectronique s'est alors dotée d'outils adaptés pour extraire les paramètres parasites du substrat, pour pouvoir estimer les perturbations induites par le bruit de substrat et développer des protections assurant l'intégrité des signaux.

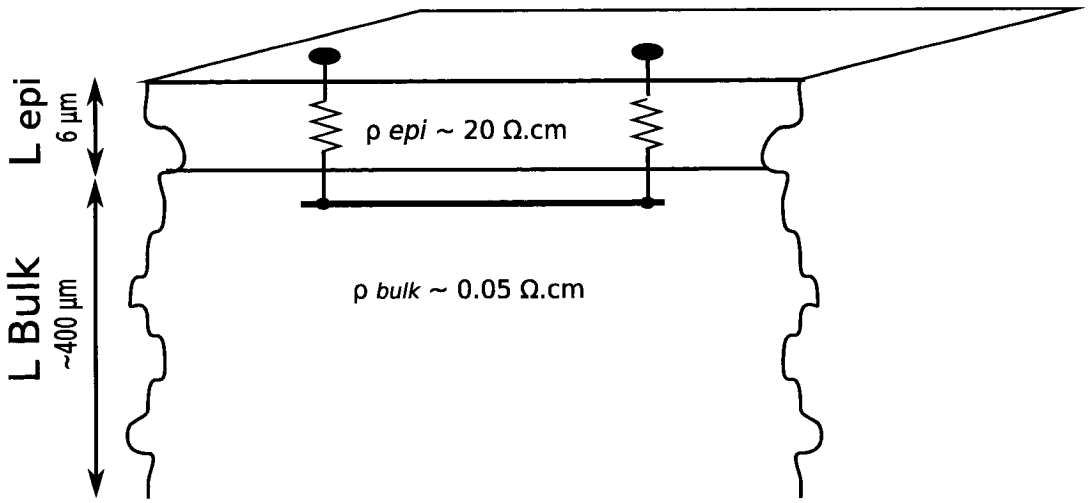


FIG. 1.1 Structure d'un substrat de type épitaxial

1.1 Caractérisation du substrat

1.1.1 Type de substrat

La fabrication de circuits intégrés (CI) est un processus long et coûteux, où une succession d'étapes est nécessaire pour obtenir le comportement électrique voulu. Le support initial, ou substrat (bulk en anglais), est le silicium, celui-ci peut être légèrement dopé (i.e. concentration de dopage de l'ordre de $10^{15} cm^{-3}$ d'où une résistivité de l'ordre de 10 à 50 $\Omega.cm$) ou bien dit de type épitaxial, comme exposé à la figure 1.1 (i.e. une couche légèrement dopée au dessus d'un silicium fortement dopé de concentration environ de $10^{19} cm^{-3}$). Ce dernier est plus largement utilisé en conception numérique pour sa capacité à limiter les effets de thyristor parasite aussi appelé latchup. Le type de substrat le plus utilisé pour les circuits mixtes comportant une partie analogique et une partie numérique est un substrat légèrement dopé P.

Ce substrat subit ensuite de nombreuses altérations par des dopages successifs,

la formation de tranchées profondes isolantes et la croissance d'oxyde pour isoler entre elles certaines régions dopées du circuit. Le résultat de toutes ces étapes est un substrat où sont implantés de nombreuses jonctions, de nombreux puits dopés N (n-well en anglais) et de nombreux puits profonds dopés N (appelés en anglais deep n-well). Cette complexité s'est accrue davantage avec l'arrivée de technologies de fabrication à des échelles submicroniques (130 nm, 90 nm), où les règles de fabrication encore plus rigoureuses imposent de nombreuses tranchées d'isolation. Il est donc devenu difficile et coûteux d'obtenir un profil de dopage précis du substrat pour toute une puce, car il dépend à la fois du dessin des masques et des étapes de procédés utlisées pour la fabrication. En effet, le dessin de masque donne des informations sur la position des différentes zones dopées et des tranchées d'isolations dans le domaine (x,y). De plus, le profil de dopage sur l'axe des (z) est déterminé non seulement par le dessin des masques mais également par le processus de fabrication. Les concentrations des dopages et la profondeur des différentes zones dopées diffèrent selon le type de technologie utilisée (mixte, RF, analogique, numérique), la fonderie (TSMC, IBM ...), les masques utilisés, le type de gaufre utilisé (wafer).

1.1.2 Modélisation physique du substrat

Modèle d'un cube de substrat

Considérons un cube de substrat de coté égal à dh et dont l'aire dA d'une face est égale à dh^2. En considérant les mobilités des porteurs comme constantes par rapport au champ électrique (hypothèse valide lors d'un fonctionnement normal), le cube de substrat peut être modélisé à l'aide d'une résistance et d'une capacité en parallèle (Cf. Figure 1.2).

Dans un semi-conducteur, la résistivité peut s'écrire $\rho = 1/[q(p\mu_p + n\mu_n)]$, où q est

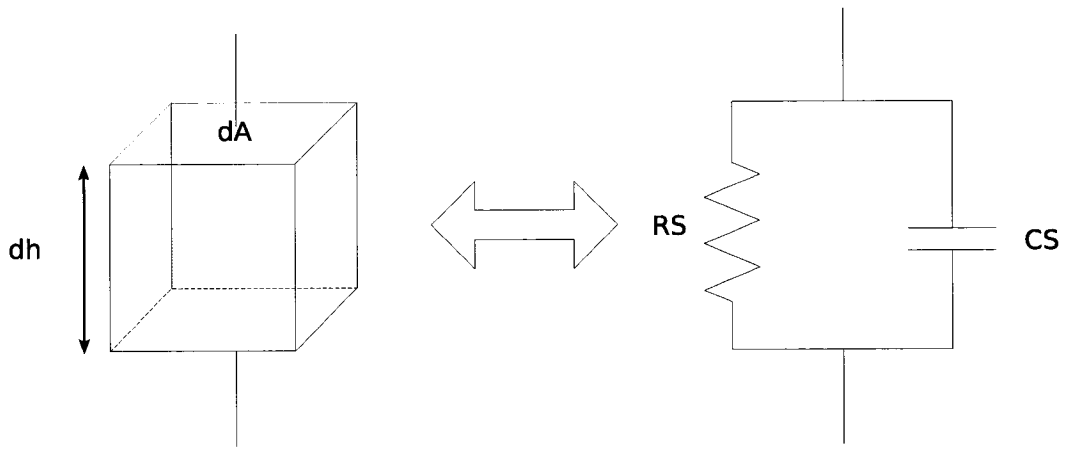


FIG. 1.2 Modélisation d'un cube de substrat

la charge de l'électron, et $\mu_n$et μ_p les mobilités respectives des porteurs électrons (n) et des trous (p), et n et p les concentrations de ces porteurs. La résistance du cube de substrat s'écrit donc $R = \rho dh/dA$. Quant à l'effet capacitif de ce cube, il est obtenu à partir de la constante diélectrique du silicium ϵ_S. La capacité du cube est alors égale à $C_S = (\epsilon_S dA)/dh$ avec $\epsilon_s = 1.035\ pF/cm$. En plus de la modélisation du substrat P, il faut également tenir compte des jonctions PN, des puits N et des puits N profonds. Une modélisation précise de ces composants pour l'ensemble du substrat peut s'avérer fastidieuse et coûteuse. Dans un fonctionnement "normal", i.e. pour des plages de tension en accord avec la technologie, une modélisation si précise s'avère inutile et des simplifications sont alors appliquées.

L'ajout d'hypothèses simplificatrices est nécessaire pour simplifier grandement la caractérisation électrique du substrat (Donnay and Gielen, 2003). Dans un fonctionnement "normal", ces hypothèses sont justifiées :

- **(A) Les jonctions puits substrat sont polarisées en inverse :** si cette hypothèse est violée, la diode est en polarisation directe, ce qui entraîne un court-circuit entre les alimentations. Lors d'un fonctionnement "normal" les puits et le substrat sont correctement polarisés et les tensions sont stables. Il est donc

évident de considérer la diode en polarisation inverse. La modélisation de jonction PN par sa capacité de jonction en polarisation inverse s'impose tout naturellement. Ce modèle capacitif est beaucoup moins coûteux en temps de calcul que le modèle d'une diode.

- **(B) Aucun phénomène de latchup n'apparaît durant le fonctionnement :** ce phénomène et son activation sont maintenant bien connus (Troutman, 1986) et des règles de design strictes permettent de les éviter.
- **(C) Le couplage inductif est négligé** : cette hypothèse est justifiée par le fait que la longueur d'onde maximale du champ magnétique est bien supérieure aux dimensions de la puce.
- **(D) Fréquence de coupure** : considérons le modèle capacitif et résistif du cube de substrat vu plus haut. La constante de temps de ce morceau est alors $T_{coupure} = 1/(2\pi f_{coupure}) = RC$. Pour des fréquences basses (inférieures à $f_{coupure}$), l'effet résistif est prédominant, tandis que pour des fréquences élevées, l'effet capacitif domine. Ainsi selon la bande passante d'étude du circuit, on peut simplifier le modèle du substrat.

1.1.3 Modèle capacitif et résistif du substrat

A partir de toutes ces hypothèses et des modèles des composants du substrat, une représentation du substrat peut alors être élaborée. Cette modélisation s'apparente alors à un réseau résistif et capacitif tenant compte à la fois des dimensions physiques du dessin des masques et de la localisation des différents éléments du circuit. Le substrat peut se modéliser par une toile résistive et capacitive reliant les différentes parties de la puce. La figure 1.3 donne un exemple simple de la modélisation du substrat pour un inverseur.

Selon le type de substrat utilisé (épitaxial ou légèrement dopé), la modélisation

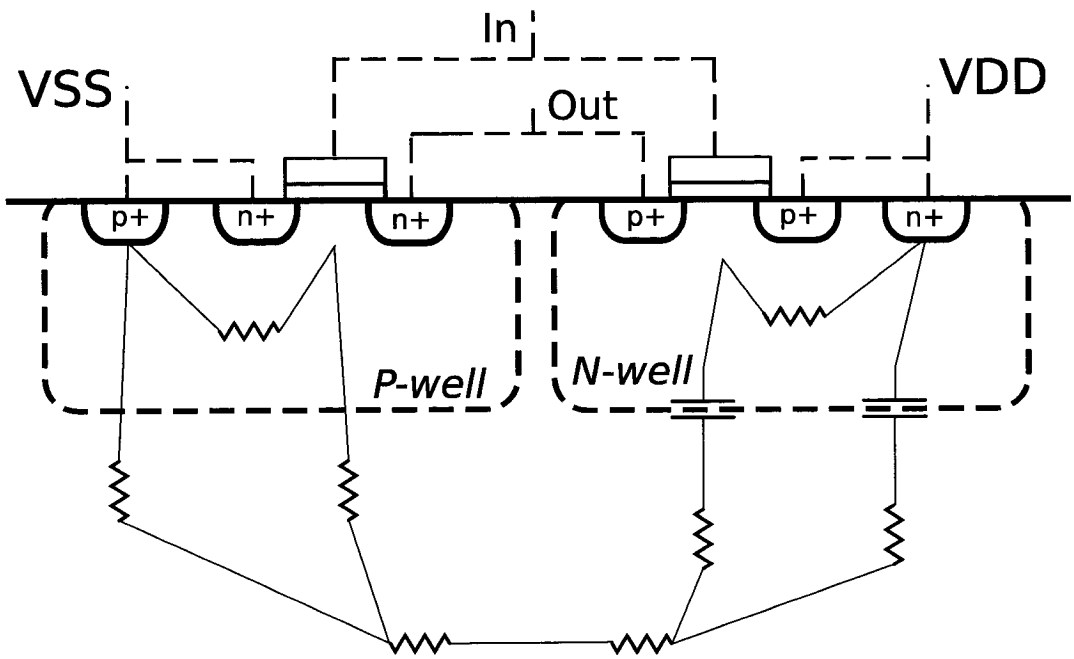


FIG. 1.3 Modélisation du substrat pour un inverseur CMOS dans le cas d'un substrat faiblement dopé P

est bien sûr différente, mais surtout ce sont les chemins utilisés par le bruit pour se propager qui diffèrent (Yeung et al., 1997). Pour un substrat légèrement dopé, la résistivité du lien entre deux contacts augmente linéairement avec la distance les séparant. Cela est vrai pour une distance entre les deux contacts supérieure à l'épaisseur de la gaufre. Pour des distances inférieures, le comportement n'est pas linéaire à cause des effets de bords, et un maillage plus précis est nécessaire pour extraire l'impédance entre deux contacts (Donnay and Gielen, 2003). Pour un substrat avec une couche épitaxiale, la couche inférieure du substrat est considérée comme une équipotentielle du fait de sa légère résistivité (0.05 Ohms.cm). Ainsi d'après (Donnay and Gielen, 2003), pour des distances inférieures à quatre fois l'épaisseur de la couche épitaxiale (L_{epi}), le modèle résistif simple est exposé à la figure 1.4. Une grande partie du bruit passe par la résistance R_a car la résistivité de ce chemin est inférieure à celle de l'autre chemin possible ($2.R_S$). Lorsque la

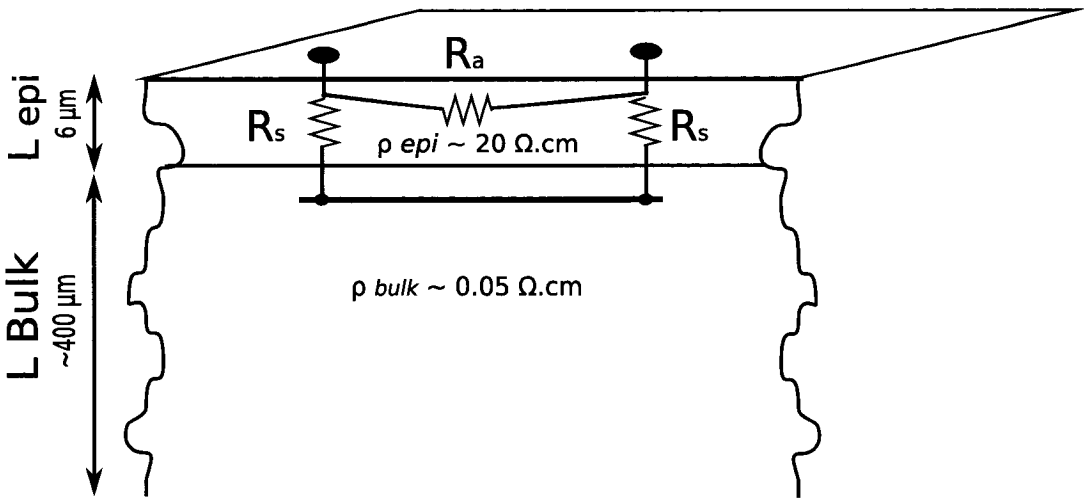


FIG. 1.4 Model résistif simple entre deux contacts proches (distance < 4 Lepi) pour un substrat épitaxial

distance entre les deux contacts augmente, la résistance R_a augmente de façon linéaire. Ainsi le chemin le moins résistif est celui formé par les deux résistances R_S (Cf. figure 1.5). En conclusion, le substrat avec une couche épitaxiale isole très mal du bruit les circuits sensibles des sources de bruit pourtant éloignées. Il est donc généralement préférable pour les circuits mixtes d'utiliser un substrat légèrement dopé.

1.2 Source "classique" du bruit de substrat

Dans les parties précédentes, nous avons mis en évidence le rôle joué par le substrat comme support de transmission pour le bruit. Cependant deux autres mécanismes étroitement liés au substrat sont tout aussi importants dans le processus d'interférences entre les circuits : la création des interférences et leur réception par les circuits. Les mécanismes de création de bruit vont être rappelés dans cette partie, tout comme l'impact de ces perturbations sur les circuits sensibles.

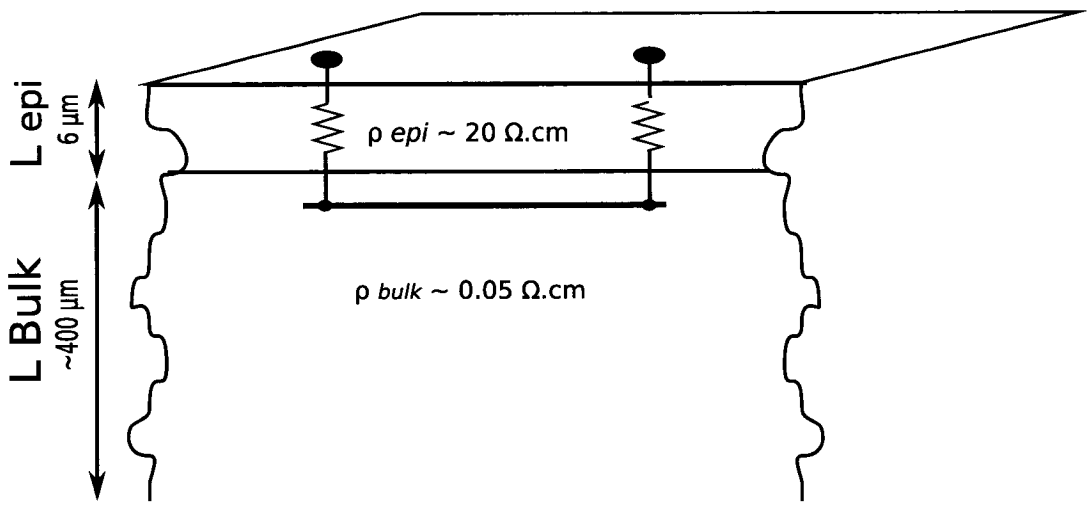


FIG. 1.5 Modèle résistif simple pour deux contacts éloignés (distance > 4 Lepi) pour un substrat épitaxial

De nombreuses études ont répertorié et caractérisé les mécanismes injectant des perturbations dans le substrat (Charbon et al., 2001). Ces phénomènes induisent dans le substrat des courants qui ont été pris en compte dans les modèles classiques lors de l'analyse du bruit.

1.2.1 Ionisation par impact

De nombreux efforts de modélisation ont été accomplis pour décrire correctement ce phénomène (Briaire and Krisch, 2000). L'ionisation par impact est la création de paires électron-trou par dissipation de l'excès d'énergie des électrons «chauds». Ceux ci sont créés dans le canal des transistors en saturation lorsque le champ électrique au niveau de la zone de pincement du canal (au Drain) dépasse un certain seuil. Les trous créés lors de la désexcitation des porteurs chauds sont collectés par le substrat et contribuent au bruit de substrat par couplage résistif. Ce courant d'ionisation est fortement lié au champ électrique présent dans le canal. Des transistors à canal court présentent des champs électriques plus élevés, ainsi le développement

des technologies submicroniques pose de sérieux problèmes d'injection de bruit. En outre la modélisation de ces transistors à canal court est une chose plus complexe, rendant la modélisation du bruit injecté dans le substrat plus délicate. Du fait de leur isolation par le puits N, les transistors PMOS injectent moins de bruit dans le substrat que les NMOS.

1.2.2 Courant induit par des photons

Au phénomène d'ionisation par impact s'ajoute, dans une plus faible proportion, l'émission de photon lors de la désexcitation des électrons chauds (Toriumi et al., 1987) . Ces photons peuvent parcourir des centaines de µm avant d'être absorbés par le silicium et créer des paires électron-trou qui peuvent constituer une source de bruit.

1.2.3 Couplage capacitif

Lors du fonctionnement des circuits numériques, les portes réalisant les fonctions booléennes commutent au cours du temps. Les tensions aux bornes des transistors MOSFETs (Grille et Drain) alternent entre un état logique haut et bas. Par couplage capacitif au niveau des jonctions Drain/Substrat et Grille/Substrat, ces alternances de tension injectent du bruit dans le substrat. Les mêmes fluctuations de potentiels présentes aux bornes du transistor se retrouvent ensuite au niveau du substrat. Cette transmission dépend fortement des paramètres physiques du transistors et des fréquences de fonctionnement de ces transistors. Toutes ces dépendances sont incluses dans les modèles électriques du MOS : BSIM3v3 de Berkeley.

1.2.4 Courant de fuite de la grille

Le courant de fuite au niveau du drain induit par la grille est un phénomène comparable à l'ionisation par impact qui se produit lorsqu'un champ électrique élevé est appliqué entre le drain et la grille (Chan et al., 1987). Ces conditions peuvent être réunies lorsque par exemple on applique au drain d'un transistor NMOS dont le canal est fermé ($V_{GS} = 0$) une tension élevée (par exemple $V_{DS} = VDD$). Une zone appauvrie, ou déplétée, est ainsi formée au niveau du recouvrement entre la grille et le drain. A partir d'un certain potentiel, la courbure de bande est suffisante pour entraîner le franchissement bande à bande des électrons de valence et par conséquent la création de paires électron-trou. Les trous migrent ensuite dans le substrat. Cependant ce phénomène injecte du bruit dans une proportion beaucoup plus faible que l'ionisation par impact.

1.2.5 Courant de fuite de la diode

Les diodes polarisées en inverse des jonctions avec le substrat (Source ou Drain avec le Substrat, Puits N avec le substrat) présentent un courant de fuite. Ce courant est dû à la génération thermique de paires électron-trou dans la zone de déplétion. Celles-ci sont ensuite expulsées hors de la jonction par le champ électrique : les trous sont injectés dans la région dopée P et les électrons sont inversement injectés dans la région dopée N.

1.2.6 Bruit présent sur les alimentations

L'activité des portes lors du fonctionnement du circuit implique l'acheminement sur toute la puce d'un important courant. Ce courant d'alimentation présente de

nombreux pics, du fait de la consommation transitoire des portes lors de leurs commutations. La présence d'inductances sur ce large réseau de distribution de l'alimentation, dû principalement aux connexions reliant la puce au boîtier, génère de larges variations de tensions au niveau du substrat : "ground bounce", ou oscillation de la masse. En effet, l'inductance s'oppose aux variations brutales du courant en imposant une tension à ses bornes ($V = L\ di/dt$). Ainsi, cette variation est répercutée directement sur le substrat par un couplage résisitif au niveau de la masse VSS, ou bien par un couplage capacitif au niveau de la connexion à un puits N. En effet, l'alimentation positive VDD polarisant les puits N est également touchée par ces fluctuations. La variation des tensions d'alimentation est proportionnelle au ratio entre la somme des capacités commutantes sur la somme des capacités non commutantes (comprenant les capacités de découplage et les capacités d'entrées des portes qui ne commutent pas) (Badaroglu et al., 2006).

Dans (Badaroglu et al., 2006), une comparaison de ces différentes sources de bruit est réalisée. Les sources de bruit telles que l'ionisation par impact, le courant de fuite de la grille, le courant photo-induit peuvent être négligées par rapport au bruit injecté par les alimentations ou par couplage capacitif. Pour des circuits numériques dont le nombre de portes excèdent 1K, le bruit dû à l'activité sur les alimentations prédomine sur le bruit généré par couplage capacitif. Ceci lorsque le substrat est directement polarisé par la masse utilisée par la partie numérique. Lorsque le substrat est polarisé par une masse dédiée, l'injection de bruit par couplage capacitif devient primordiale. Par ailleurs, Baradoglu et al. se base sur la feuille de route divulguée par l'ITRS (ITRS, 2004) concernant les technologies futures afin d'estimer les prochaines sources de bruit dominantes auxquelles vont être confrontées les futures réductions d'échelle. Pour des technologies inférieures à 130 nm, les courants de fuite lorsque le transistor est dans son état fermé sont une source importante de bruit et limitent donc la course effrénée à la réduction des tensions d'alimen-

tations. Lorsque le substrat est polarisé directement avec la masse numérique, le bruit dû au couplage des alimentations avec le substrat devient le problème majeur. Ainsi, le ratio entre le courant dû au couplage par les alimentations et la tension d'alimentation est multiplié par 4.5 en passant de la technologie 90 nm à 22 nm.

1.3 Nouvelles sources de bruit :

1.3.1 Convertisseur DC-DC : une nouvelle source de bruit

Les convertisseurs DC-DC sont largement utilisés au sein des circuits intégrés pour fournir, à partir des sources d'alimentations externes, un large éventail de faibles tensions d'alimentations avec un courant élevé au coeur des circuits (Choi et al., 2005). L'engouement récent pour des produits dits "nomades" (téléphones et ordinateurs portables, baladeurs MP3) exigeants en termes d'autonomie et de consommation de puissance a contraint les concepteurs à concevoir des convertisseurs de tension d'une efficacité croissante afin d'augmenter l'autonomie des produits (Kursun et al., 2003). Par ailleurs, le développement des Systèmes sur Puces (SoCs) intégrant toujours plus de fonctionnalités et de plus en plus complexes s'est vu confronté aux problèmes de pertes de puissance (Kursun et al., 2004; Kursun et al., 2003). En effet, de forts courants d'alimentation sont nécessaires pour subvenir aux besoins des nombreuses portes présentes dans les SoCs ou bien pour satisfaire la gourmandise des microprocesseurs quant aux courants dynamiques demandés en pleine charge. Ces courants doivent traverser de nombreux composants parasites présents sur la carte électronique qui permettent de relier les sources d'alimentation aux circuits de la puce (Kursun et al., 2003). Tous ces composants dissipent beaucoup de puissance lorsqu'ils sont réalisés sous forme discrète, et la minimisation des pertes qui y sont associées est primordiale et passe nécessairement par

leur intégration sur la puce (Kursun et al., 2003). Les éléments parasites sont en effet réduits grâce à la miniaturisation et une intégration plus dense. Par souci d'efficacité, les convertisseurs ont été directement implantés sur le SoC. Cette intégration est devenue un élément crucial pour lutter contre les pertes de puissance et améliorer l'autonomie des appareils mobiles. Cependant l'intégration de ces convertisseurs sur le même substrat que des circuits sensibles tels que le sont les parties analogiques ou RF pose de nombreux problèmes en terme d'intégrité des signaux et donc de dégradation des performances. Considérons par exemple un Convertisseur Numérique Analogique (DAC) de 10 bits, celui-ci a besoin pour fonctionner sans erreur d'un niveau de bruit sur ses signaux inférieur au pas de quantification de $1/2^{10}V$ soit environ 1.75 mV pour un circuit alimenté à 1.8 V. Ainsi une modification de plus de 2 mV de la tension du substrat qui est prise comme la référence stable pour la partie analogique peut avoir des conséquences désastreuses sur le fonctionnement du DAC. Peu d'études traitent de l'injection de bruit dans le substrat par un convertisseur DC-DC. Dans (Vinella and Antonicelli, 2006), une première approche à l'aide de logiciels commerciaux (voir 1.5.2) a évalué ce bruit et l'efficacité de certaines protections comme des anneaux de garde. D'autres études (Secareanu et al., 2001; Secareanu et al., 2004) se concentrent sur les effets des convertisseurs de puissance sur des circuits numériques. Secareanu et al. étudie les mécanismes de transmission par le substrat du bruit injecté par des transistors de puissance. Une modélisation RC du substrat est utilisée pour analyser l'immunité des circuits numériques face au bruit. Des résultats expérimentaux ont montré que l'information stockée par des registres pouvait être affectée par des convertisseurs de puissance en fonctionnement.

1.3.2 Injection de bruit dans le substrat par un laser

Depuis une vingtaine d'années, l'utilisation du laser en microélectronique s'est largement répandue, notamment pour l'ajustement de résistances par laser. Une autre application importante a été l'utilisation de lasers femtosecondes afin de reproduire et d'analyser l'impact de particules ionisantes sur des circuits de haute précision fonctionnant dans l'espace. Toutes ces techniques utilisant des lasers peuvent perturber les circuits à proximité de l'impact de la source lumineuse.

– **Résistance Diffusée par laser (LDR : Laser diffused Resistor)**

Les techniques d'ajustement de composants par laser sont employées depuis plusieurs années dans les technologies CMOS traditionnelles afin de compenser les mésappariements entre les composants dus aux variations de procédés durant la fabrication (Cohen et al., 1988; Kestenbaum and Baer, 1980; Chapman, 1992). Une nouvelle technique a été développée par Meunier et al. (Meunier et al., 2001) afin de créer des liens résistifs avec une précision de 50 ppm par l'application itérative d'impulsions laser sur un transistor MOS sans grille. Ces résistances appelées Laser Diffused Resistor (LDR), pour résistance diffusée par laser sont composées de deux régions fortement dopées séparées par une zone de dopage différent (d'où le transistor sans grille présenté à la figure 1.6). Initialement le dispositif est équivalent à deux jonctions PN têtes bêches, constituant un circuit ouvert. L'envoi d'un faisceau laser (de type Nd :YAG doublé en fréquence à $\lambda = 532\,nm$) focalisé sur la zone d'écart non dopée permet de faire fondre le silicium et de provoquer la diffusion des dopants des régions les plus dopées vers la région la moins dopée (l'écart). Ainsi un canal résistif est formé.

L'injection de charges (électrons et trous) par effet photoélectrique est un phénomène bien connu depuis longtemps. Ces charges migrent dans le substrat et affectent

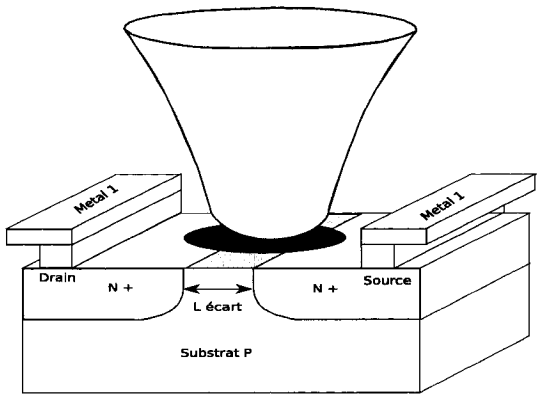


FIG. 1.6 Résistance diffusée par laser

les circuits environnants (Wild et al., 2005). Une augmentation de la fréquence de fonctionnement d'un oscillateur en anneau a été observée lorsqu'une impulsion laser d'énergie supérieure à 1 W et de longueur d'impulsion de l'ordre de la centaine de nanosecondes atteint le centre de l'oscillateur. L'utilisation de composants ajustables par laser afin d'augmenter les performances des circuits analogiques (Singh et al., 2007) peut donc s'avérer une source de bruit pour les circuits aux alentours. Il est donc important de modéliser l'impact de ces charges sur les circuits sensibles, afin de mieux comprendre les phénomènes d'interaction laser-circuit.

- **Perturbations des circuits dues à une particule isolée (Single Event Effects)**

Une application directe des perturbations induites par une impulsion laser est l'utilisation dans le but de reproduire et d'observer les interactions entre des circuits intégrés et des particules ionisantes. Cette utilisation particulière a pour but de tester la fiabilité des circuits dédiés à des applications spatiales face aux conditions brutales qu'ils vont rencontrer lors de leur mise en service. Les lasers utilisés sont principalement de type femtoseconde ou picoseconde avec des impulsions de faible puissance. Leur but est de reproduire le comportement d'une particule ionisante. Dans (Douin et al., 2006), une impulsion laser directement focalisée sur le drain

d'un transistor d'une cellule de mémoire SRAM a modifié l'information stockée par la mémoire. L'impact du laser sur un circuit peut même être utilisé pour injecter des fautes dans un convertisseur Analogique Numérique (ADC) (Pouget et al., 2004). Dans ces différents travaux (Boulghassoul et al., 2004) (Pouget et al., 2004) (Douin et al., 2006), le faisceau laser utilisé est de puissance plus faible et de durée plus courte que celui utilisé pour créer des résistances diffusées par laser. Les phénomènes d'interaction entre le substrat et le laser, et par conséquent les processus d'injection de charges sont différents. En effet, l'impulsion laser nécessaire afin de créer le lien résistif doit avoir une puissance et une durée suffisante pour faire fondre le silicium et provoquer la diffusion des porteurs.

- **Modélisation électrique de l'injection de charges**

Dans (Alexander, 2003), l'auteur fait une revue des différentes modélisations élaborées permettant de reproduire l'impact d'une particule ionisante sur un circuit électrique. Il montre comment modéliser la collection de charges par un courant photoélectrique aux bornes des jonctions. Dans (Douin et al., 2006), l'utilisation d'une source de courant avec un profil temporel approchant une gaussienne a permis de simuler électriquement le comportement du transistor soumis à une impulsion laser en son drain. Par contre, ces modèles ont été élaborés pour reproduire seulement l'impact d'impulsions laser de faibles puissances et de durées très courte.

1.4 Impact sur les circuits

Précédemment nous avons vu quels étaient les phénomènes d'injection du bruit dans le substrat et la modélisation du support de transmission que représente le substrat. Dans cette partie, les mécanismes de réception seront exposés en portant une attention particulière à l'impact du bruit de substrat sur les performances de

certains circuits types.

1.4.1 Mécanismes de transmission du bruit aux circuits sensibles

Pour de nombreux composants comme les capacités, les inductances, les résistances, les métaux d'interconnexion, les transistors bipolaires, la sensibilité au bruit de substrat est due à un couplage capacitif avec le substrat (Charbon et al., 2001). En plus de ce lien capacitif que l'on retrouve pour toute jonction entre une zone dopée N et le substrat de type P, un autre mécanisme de réception a un impact encore plus dramatique sur les transistors MOS : l'effet de substrat ou "Body effect" en anglais. Il s'agit de la dépendance de la tension de seuil des MOS par rapport au potentiel du substrat, donnée par l'équation suivante : $V_{thN} = V_{thN0} + \gamma.\sqrt{2.\phi_F + V_{SB}}$ avec $\gamma = (\sqrt{2q\epsilon_S N_A})/C_{OX}$ et $V_{thN0} = V_{FB} + 2\phi_F$; ϕ_F étant le potentiel séparant le niveau de Fermi du substrat à celui du silicium intrinsèque, ϵ_S la permitivité du silicium, N_A le dopage du substrat, C_{OX} la capacité d'oxyde, V_{FB} la tension *« bande plate »* définie comme la tension nécessaire à appliquer sur la grille pour aligner les bandes d'énergie. Cette dépendance a un impact néfaste sur les performances des transistors et des circuits analogiques de haute précision, car la tension de seuil intervient dans l'équation du courant et du gain du transistor. Les transistors MOS sont vulnérables à cette dépendance pour des fréquences basses, tandis que la sensibilité au bruit par le couplage capacitif prédomine à des fréquences plus élevées. Un autre phénomène, nommé boucle de rétroaction, peut devenir gênant pour certains composants, car ils peuvent se perturber eux-mêmes en injectant du bruit dans le substrat. Considérons par exemple un montage émetteur commun pour un transistor NPN. Du fait des composants parasites entre le substrat et les bornes du transistor, une boucle de rétroaction s'établit entre l'entrée et la sortie du montage, réduisant les performances du montage.

1.4.2 Répercussions du bruit de substrat sur l'intégrité des signaux

Le bruit de substrat peut devenir un handicap sérieux dans la course aux performances des systèmes. Lors de l'intégration sur la même puce de circuits très différents (amplificateur, convertisseur de fréquence, convertisseur Analogique / Numérique et convertisseur Numérique / Analogique, circuit numérique ...), des interférences entre tous ces circuits peuvent se produire et affecter les performances globales du système. Depuis une quinzaine d'années, des études ont été réalisées pour estimer le couplage du bruit par le substrat, que celui-ci soit de type épitaxial (Heijningen et al., 2002; van Heijningen et al., 2000; Su et al., 1993) ou légèrement dopé (Soens et al., 2006; Checka et al., 2005; Van der Plas et al., 2005). Dans (Su et al., 1993), des résultats expérimentaux ont montré qu'un substrat légèrement dopé protège mieux du bruit par couplage au substrat qu'un substrat avec une couche épitaxiale. Certaines études ont estimé le bruit injecté par des circuits typiques et son impact sur les performances des autres circuits.

Oscillateur contrôlé par tension (VCO)

Les oscillateurs contrôlés par tension sont un bloc nécessaire dans l'élaboration de systèmes complets. La fréquence obtenue est utilisée par d'autres blocs du système comme référence : modulateur de fréquence, modulation de phase... Par conséquent cette référence doit être stable dans le temps. C'est pour cela que beaucoup d'études s'intéressent aux perturbations induites par le bruit de substrat sur les VCO (Andrei et al., 2004; Magierowski et al., 2005) (Soens et al., 2005; Soens et al., 2006; Van der Plas et al., 2005). Andrei et al. ont montré la sensibilité de la fréquence d'oscillation au bruit de substrat. Dans (Soens et al., 2006), l'activité d'un modem en technologie 180 nm comportant 40k portes a été modélisée et expérimentée afin de déterminer son influence sur la sortie d'un VCO oscillant à

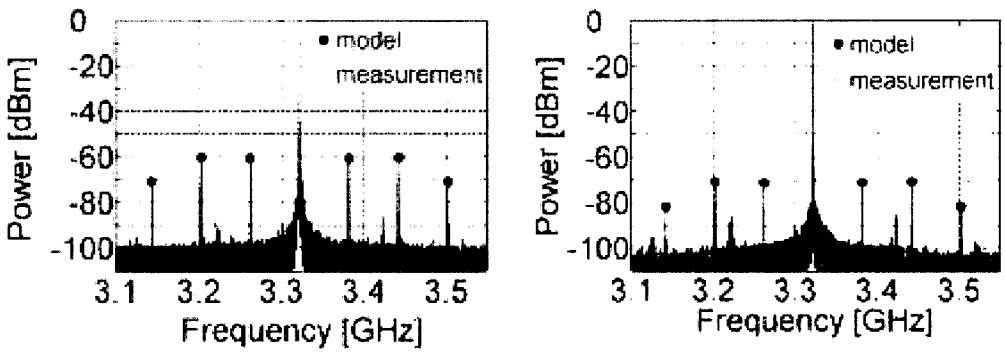


FIG. 1.7 Spectre de puissance du signal de sortie d'un VCO a) sans anneau de garde b) avec anneau de garde (tiré de (Soens et al., 2006))

3.5 GHz. La figure suivante (figure 1.7) souligne la modulation de la fréquence du VCO par la fréquence de commutation (environ 60 MHz) de l'horloge de la partie numérique. Par contre, ces pics de fréquence ne perturbent pas le fonctionnement du système, et l'utilisation d'anneaux de garde permet de réduire la puissance des raies spectrales découlant de cette modulation (figure 1.7b).

Boucle à phase asservie numérique (DPLL : Digital Phase Locked Loop)

Dans (Checka et al., 2005), les auteurs ont analysé le bruit généré par une boucle à phase asservie numérique. Le niveau de bruit injecté est de l'ordre de la dizaine de mV à la périphérie du circuit. Une étude fréquentielle du bruit souligne le fait que le bruit se situe également à des harmoniques fréquentielles plus élevées que la fréquence propre de fonctionnement du circuit. Ces harmoniques fréquentielles peuvent se retrouver dans la bande utile de fonctionnement d'autres circuits et ainsi les perturber. Dans (Heydari, 2004), la gigue temporelle d'une boucle asservie en phase (PLL) est due au bruit de phase du VCO qui la constitue. Ce bruit de phase est dû à l'activité des portes et au bruit dans les alimentations qui se propagent ensuite dans le substrat. La figure 1.8 illustre le décalage en fréquence non voulu de

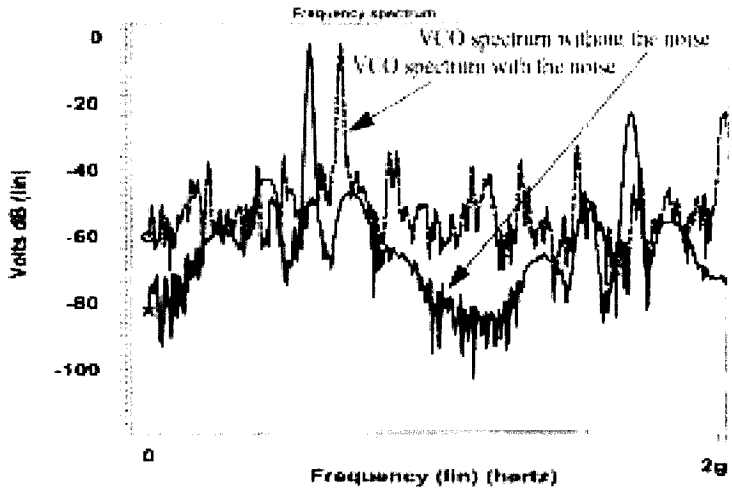


FIG. 1.8 Sortie du VCO en fonction de la fréquence avec ou sans la prise en compte du bruit de substrat (tiré de (Heydari, 2004))

la fréquence d'oscillation du VCO et de ses harmoniques indésirables augmentant également le bruit de phase du VCO.

Convertisseur Analogique numérique : ADC

Bonomi et al. dans (Bonomi et al., 2006) ont montré l'impact des commutations des portes d'un circuit numérique sur un générateur analogique de tensions de référence. Ce circuit de précision est présent dans les ADC "flash" pour fournir des tensions stables servant de référence pour la comparaison des signaux. Une modélisation du substrat et des réseaux d'alimentation (inductance de boîtier, fils d'interconnexion) a permis de mettre en évidence la sensibilité des tensions de référence face aux nombreuses portes commutantes. D'autres études se sont concentrées sur l'effet de ces commutations sur l'échantillonneur d'un convertisseur Analogique Numérique Sigma Delta (Blalack and Wooley, 1995). Le bruit de substrat détériore le rapport signal sur bruit du circuit (plus de 10 dB de réduction), car il perturbe l'échantillonnage du signal. Dans (Peng and Lee, 2004), les auteurs observent une

telle dégradation du rapport signal à bruit (20 dB de réduction) et proposent des solutions pour contrôler de façon active la forme du bruit dans le substrat et ainsi de le réduire de 10 dB sur une bande de fréquence de 0 à 20kHz.

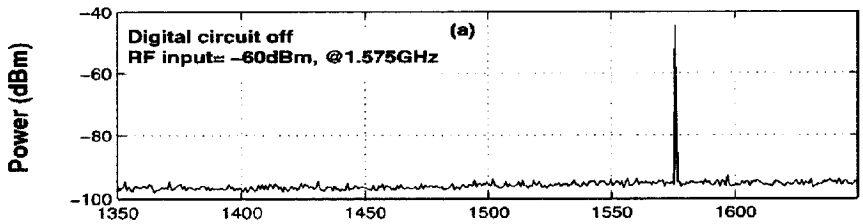
Amplificateur faible bruit (LNA : Low noise Amplifier)

L'amplificateur faible bruit est généralement utilisé pour amplifier des signaux de faible amplitude provenant d'une antenne. La bande de fréquence d'amplification du LNA se situe au dessus des GHz. Le signal à amplifier étant extrêmement faible, il faut donc veiller à ce qu'aucune harmonique perturbatrice ne se retrouve dans cette bande de fonctionnement. En effet, le fonctionnement d'un circuit numérique avec une certaine horloge émet des perturbations à sa fréquence d'horloge, bien sûr, mais aussi à des harmoniques plus élevées, multiples de l'horloge de fonctionnement. C'est ce que souligne (Xu et al., 2001), qui ont observé des harmoniques ayant une puissance comparable à celle du signal utile se retrouvant dans la bande de fréquence d'amplification d'un LNA (1.5 GHz) (Cf. Figure 1.9). Par contre, dans (Soens et al., 2003), la bande d'amplification est assez haute en fréquence (4.5 GHz) pour que le rapport signal sur bruit à cette fréquence soit suffisamment élevé et ainsi garantir l'intégrité des signaux.

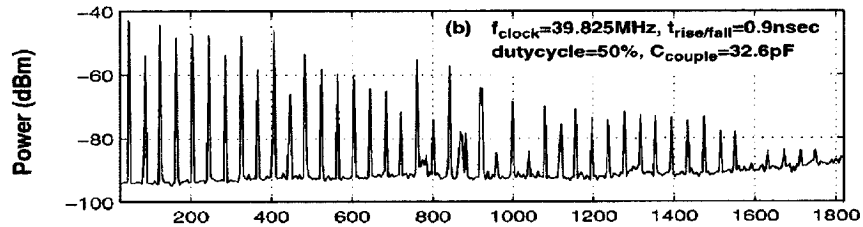
1.5 Outils

1.5.1 Flot de conception

Les problèmes de bruit de substrat et les phénomènes de couplage étant désormais bien connus et identifiés, le défi rencontré par les développeurs de logiciel de conception assistée par ordinateur tels que Cadence et Synopsys a été de propo-



(a) Spectre de puissance de la sortie du LNA lorsque l'agresseur (circuit numérique) est éteint



(b) Spectre de puissance de la sortie du LNA lorsque l'agresseur (circuit numérique) est en fonctionnement

FIG. 1.9 Spectre de puissance de la sortie du LNA (tiré de (Xu et al., 2001))

ser des outils intégrés au flot de conception permettant d'estimer les interférences entre les différentes parties du système. De surcroît, ces logiciels devront prendre en compte les données technologiques de fabrication propres à chaque fonderie. Un lourd travail de caractérisation des technologies de fabrication a été nécessaire en étroit partenariat avec les différentes fonderies, le tout dans le respect de la propriété intellectuelle associée aux étapes de fabrication des circuits intégrés. Dans le même temps, une interface simple et bien intégrée au reste du flot préexistant a dû être développée pour permettre aux concepteurs d'anticiper facilement les problèmes liés au bruit de substrat avant tout cycle de fabrication de circuits mixtes ou RF. Les outils d'analyse du couplage au substrat interviennent dans le flot de vérification lorsque toutes les différentes parties du système ont été réalisées et validées individuellement (partie numérique, analogique, RF) et que l'étape suivante est alors de connecter ensemble ces différents modules pour assembler le système complet sur la même puce. Cette étape est capitale afin de valider le bon fonction-

nement de l'ensemble du système.

1.5.1.1 Fichiers nécessaires

Les outils se basent sur un dessin des masques de la puce pour pouvoir créer un modèle complet du substrat et pour pouvoir ensuite le relier au circuit électrique fonctionnel. Ce dessin des masques contient intrinsèquement deux types d'informations capitales données ci-dessous.

La localisation (X,Y) des différents composants du circuit (transistor, capacité, résistance) et celle des zones de dopages : ces informations (coordonnées, superficie, périmètre des différentes régions) sont extraites du dessin de masques à l'aide de l'outil DIVA (Assura Interactive Verification Products) et d'un fichier de règles identifiant les liens au substrat de chaque composant. Cet outil permet donc d'identifier et de répertorier les points d'accès entre les composants du circuit (transistors ...) et le substrat. Ainsi, le point d'accès d'un transistor au substrat est représenté par sa quatrième électrode appelée "Bulk", et correspondant à l'arrière de la grille au niveau du substrat.

Le type de dopage de la zone : à cette information donnée par le dessin des masques, il faut rajouter le profil de dopage sur l'axe des z. Cette information est fournie par un fichier technologique relatif au processus de fabrication. Le profil de dopage sur l'axe z dépend à la fois du processus de fabrication et de la région dopée analysée. Par exemple, l'analyse complète d'une certaine région où un puits dopé N est présent nécessite à la fois le dessin des masques donnant le type de la région étudiée (puits P, zone dopé P+, zone dopée N+, dans l'exemple puits dopée N), le profil de dopage donnant la résistivité du puits et les caractéristiques

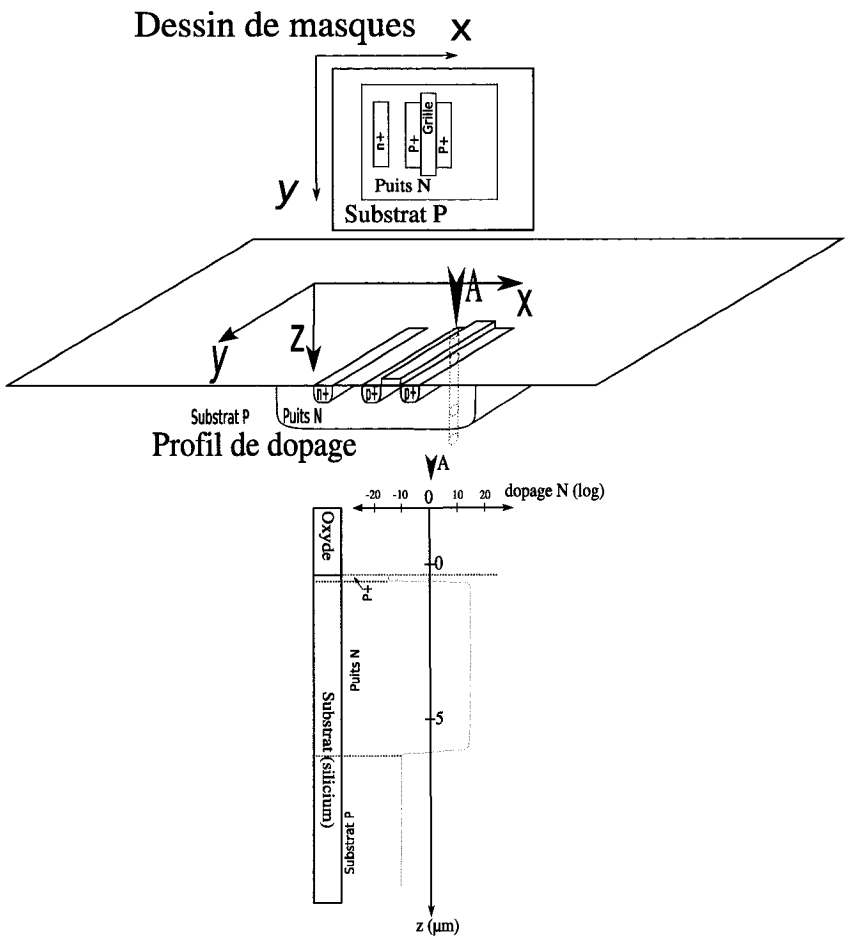


FIG. 1.10 Fichiers nécessaires à l'élaboration d'un modèle du substrat

de la jonction puits-substrat. Toutes ces informations sont utiles à la création du modèle du substrat. La figure 1.10 donne un exemple de ces deux fichiers capitaux pour l'extraction des paramètres du modèle du substrat. Un transistor PMOS est représenté dans son puits N. Une coupe transversale de son drain est illustrée. Le profil de dopage de cette coupe est relatif au CMOS 180 nm de la TSMC disponible grâce à CMC Microsystèmes. La résistivité du substrat utilisé est d'environ 11 $\Omega.cm$ (source : CMC Microsystèmes).

1.5.1.2 Étapes de création d'un modèle

Les différentes étapes de création du modèle du substrat sont exposées à la figure 1.11. La première étape est donc, à partir du dessin des masques et des règles permettant d'identifier les connexions des composants au substrat, d'obtenir une localisation des points d'accès entre le circuit et le substrat ainsi que la nature de ces points d'accès (type de dopage, dimension, type de couplage). Cette étape est rendue possible grâce à l'outil DIVA. L'étape suivante est la préparation du fichier des points d'accès afin d'extraire le modèle du substrat proprement dit les informations suivantes de la façon la plus optimale possible : discrétisation, maillage des différentes formes représentant les points d'accès au substrat, définition des conditions limites. Ensuite le calcul de l'extraction des composants du substrat est réalisé grâce à la fonction de Green avec l'aide du profil de dopage du substrat. La fonction de Green permet d'obtenir rapidement une solution de l'équation de Poisson et d'obtenir la matrice des impédances entre les différentes connexions au substrat. La matrice obtenue peut être relativement grosse du fait de la taille du substrat analysé. Des techniques numériques de calcul comme la méthode des moments sont alors utilisées pour optimiser les coefficients de toutes les matrices réunies. En outre la bande de fréquence de travail permet également de réduire la complexité du maillage RC par réduction des pôles de la matrice. La complexité du calcul s'évalue alors en O(n log n), avec n le nombre de connexions au substrat (Substrate Coupling Analysis Documentation). Les méthodes de création des matrices des impédances sont propres à chaque logiciel, ici nous avons seulement exposé la méthode proposée par le logiciel Substrate Coupling Analysis (voir 1.5.2 pour les différents logiciels). Celui-ci utilise la méthode des conditions limites (BEM : Boundary Element Method) avec l'aide de la fonction de Green, alors qu'un logiciel comme SubstrateStorm utilise la méthode des différences finies (FDM : Finite Difference Method). La différence principale entre ces méthodes réside dans le fait

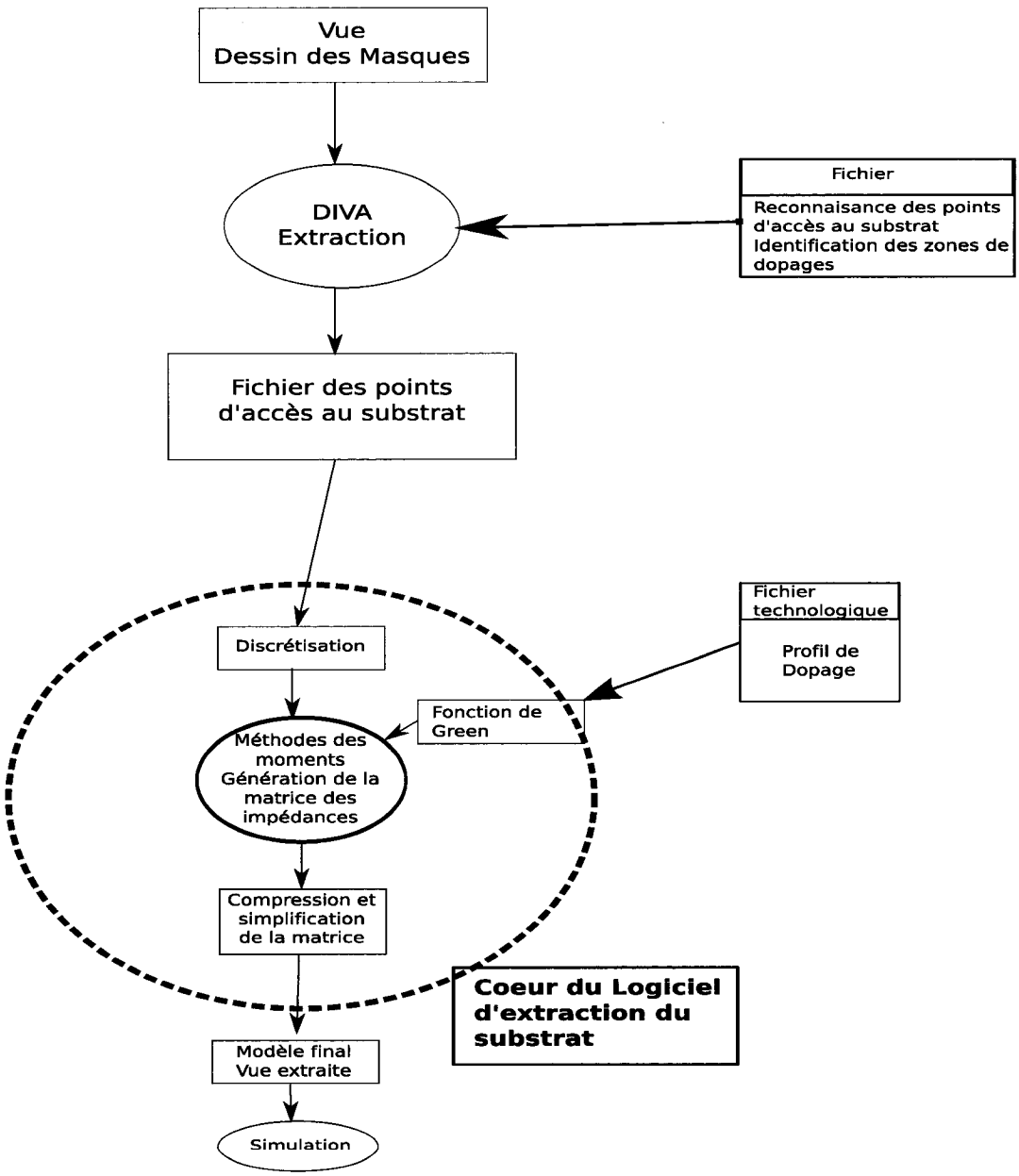


FIG. 1.11 Flot d'extraction d'un modèle du substrat

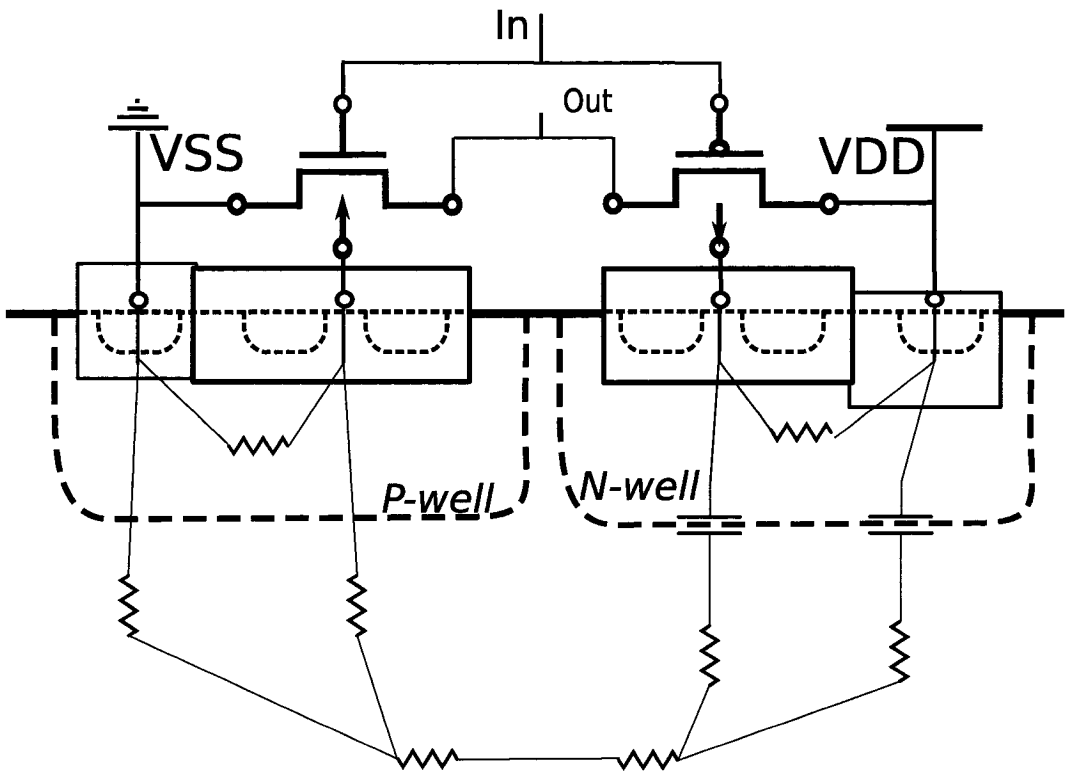


FIG. 1.12 Modèle complet du circuit électrique associé au modèle du substrat

que celle offerte par SubstrateStorm s'avère plus précise, mais plus coûteuse en ressource informatique. Finalement, un modèle RC du substrat est créé et peut être connecté au reste du circuit pour enfin simuler le système complètement grâce à un logiciel interprétant le langage SPICE. La figure 1.12 donne le modèle finalement obtenu pour un inverseur que l'on peut ensuite simuler à l'aide de Spectre par exemple.

1.5.2 Logiciels commerciaux existants

De nombreux outils sont disponibles sur le marché depuis une dizaine d'années. Tous ces outils fonctionnent d'une façon similaire et ont besoin des mêmes fichiers de base (dessin des masques, profil de dopage) pour pouvoir créer un modèle du

substrat. Parmi ces logiciels, nous pouvons citer les logiciels de la compagnie CADENCE tels que SubstrateStorm, SeismIC, Substrate Coupling Analysis et le dernier en date, beaucoup mieux intégré au flot de conception, ASSURA-RCX. Celui-ci fait partie intégrante des outils d'extraction des composants et des paramètres des circuits. Ainsi la simulation post-extraction dans le flot de vérification tient compte directement du substrat, au même titre qu'un transistor. L'analyse de l'impact de la modélisation du substrat sur le comportement du système est donc largement facilitée pour l'utilisateur. L'intérêt du logiciel Substrate Coupling Analysis (SCA) est qu'il permet à l'usager d'insérer ses propres modèles (comportant possiblement des diodes et des transistors bipolaires parasites) dans la description du modèle du substrat. L'avantage est donc de pouvoir optimiser le modèle pour simuler de façon plus précise le comportement des circuits.

1.5.3 Utilisation de macro-modèles

L'analyse du bruit de substrat nécessite la simulation électrique du circuit extrait avec l'insertion du modèle du substrat. Cette simulation sous SPICE s'avère extrêmement coûteuse, car elle s'effectue au niveau transistor et non plus au niveau comportemental. Certains travaux se sont donc concentrés sur l'élaboration d'une description à plus haut niveau des sources de bruit des parties numériques des circuits. Pour des systèmes comportant de nombreuses portes numériques, l'utilisation de "macro-modèles" (Checka et al., 2005; Van der Plas et al., 2004) (Badaroglu et al., 2006) décrivant l'injection de bruit dans le substrat permet un gain non négligeable en terme de complexité et de temps de calcul. Ces macro-modèles sont nécessaires pour étudier le bruit injecté dans le substrat par de grands circuits numériques et permettent de gagner un temps considérable sans trop dégrader la précision (Checka et al., 2005). Dans (Badaroglu et al., 2006), une erreur de 10 à 20 % dans le domaine temporel est observée par rapport aux outils classiques.

L'intérêt est d'autant plus grand pour les substrats résistifs qui sont modélisés par un réseau RC complexe. Les substrats avec couche épitaxiale peuvent s'approximer par un noeud équipotentiel (pour la couche inférieure du substrat peu résistive), lorsqu'on considère de grandes surfaces.

1.6 Limites

1.6.1 Insuffisance du couplage seulement capacitif et résistif

Les parties précédentes ont montré qu'il est pertinent de tenir compte du couplage capacitif et résistif du substrat dans l'étude du fonctionnement de systèmes complexes possédant une partie numérique et une partie analogique. Cependant, cette modélisation s'applique dans des conditions de fonctionnement bien particulières qui sont indubitablement valables pour des circuits numériques et analogiques. En effet, même lors de la commutation de centaines de portes, les hypothèses de polarisation des puits et du substrat restent valides tout comme l'absence de *latchup*. Ainsi la modélisation par un réseau capacitif et résistif du substrat est parfaitement justifiée. De nos jours, les systèmes sur puce intègrent de plus en plus de modules d'horizons autrefois divergeant (convertisseur de puissance, microprocesseur, composants ajustables par laser...) qui peuvent violer les hypothèses mises en place. La modélisation du substrat doit donc être mieux adaptée et doit prendre en compte plus finement l'impact de ces modules sur le reste du système.

1.6.2 Temps de calcul

Une autre contrainte limitante est la taille du réseau de capacités et de résistances créé qui peut s'avérer très coûteuse en temps de calcul et en ressources informa-

tiques. L'utilisation de macro-modèles permet de limiter ce temps de calcul, mais cela se fait au détriment de la précision des résultats obtenus. Un compromis acceptable doit être trouvé, et il dépend du niveau d'avancement du système dans le processus de développement (analyse grossière du bruit de substrat aux premiers niveaux de conception, puis raffinement, plus on s'approche de la version finale). L'analyse du couplage au substrat est donc une tache coûteuse en ressources informatiques, mais ce coût s'avère justifié car il est réduit le temps de mise sur le marché d'un produit qui est alors fonctionnel et fiable.

CHAPITRE 2

MODÉLISATION DU BRUIT INJECTÉ PAR UN CONVERTISSEUR DC-DC

Les convertisseurs DC-DC sont des composants très utiles à la réalisation des systèmes électroniques, en particulier ceux qui sont totalement intégrés car ils permettent de fournir aux différents sous-circuits du système une tension stable adaptée à leurs besoins. Plusieurs types de convertisseurs existent et peuvent être classés selon le rendement de leur conversion. Dans cette partie, nous exposerons le convertisseur étudié et analyserons le bruit injecté dans le substrat par ce convertisseur. Différentes modélisations du substrat seront exposées et confrontées aux résultats expérimentaux. Le but de ce chapitre est de quantifier et de caractériser les phénomènes d'injection de bruit dans le substrat par un convertisseur de puissance, et ainsi de prouver par la même occasion qu'une modélisation purement résistive et capacitive du substrat est inadéquate pour ce genre de circuit.

2.1 Les convertisseurs DC-DC

2.1.1 Présentation générale

Rôle et nécessité des convertisseurs

Comme nous l'avons vu au Chapitre I, les convertisseurs sont particulièrement utiles au sein des SOC, car ils permettent de fournir la tension voulue aux sous-circuits. Leur utilisation est préférée à celle de plusieurs alimentations fournissant

chacunes une tension différente, par souci de gain de place et de la flexibilité qu'ils offrent sur la valeur de la tension DC à la sortie. La demande accrue du marché pour des produits portables a contraint les concepteurs à améliorer le rendement et l'intégration des convertisseurs. Ceux-ci doivent pouvoir fournir de forts courants (quelques Ampères) pour de faibles tensions d'opération, tout en visant un rendement de fonctionnement toujours plus élevé (supérieur à 80%).

Différents types de convertisseurs, avantages, inconvénients

La méthode la plus simple de convertir une tension est le diviseur de tension avec deux résistances. Ce type de conversion fait partie de la famille des régulateurs linéaires. Celle-ci présente un faible rendement, du fait de la perte de puissance dans la résistance. En outre, elle ne permet pas une régulation contrôlée de la tension de sortie. Une autre classe de convertisseur DC-DC permet d'obtenir de meilleurs résultats tant en terme de rendement qu'en terme d'intégration (i.e. taille beaucoup plus petite), qu'en terme de régulation de la tension de sortie. Cette classe appelée alimentation à découpage (en anglais Switched-mode power supply) réalise la conversion de tension en appliquant une tension continue aux bornes d'une inductance (ou d'un transformateur) pendant un laps de temps bien défini (fréquence entre 100 kHz et 5 MHz). Le principe est de transmettre dans un premier temps une énergie voulue à l'inductance qui la stocke et qui dans un deuxième temps la transfère à la charge. En contrôlant le ratio entre le temps où l'on fournit de l'énergie à l'inductance et le temps où l'inductance redistribue l'énergie, on peut obtenir la tension de sortie voulue. Ces tensions de contrôle sont obtenues par un module de Modulation de Largeur d'Impulsion (MLI) ou *Pulse Width Modulator* en anglais (PWM). Une boucle de rétroaction peut être utilisée pour ajuster la largeur des impulsions afin de corriger la tension de sortie. Cette méthode de conversion permet d'obtenir en sortie une tension plus élevée ("Boost" conversion ou hacheur

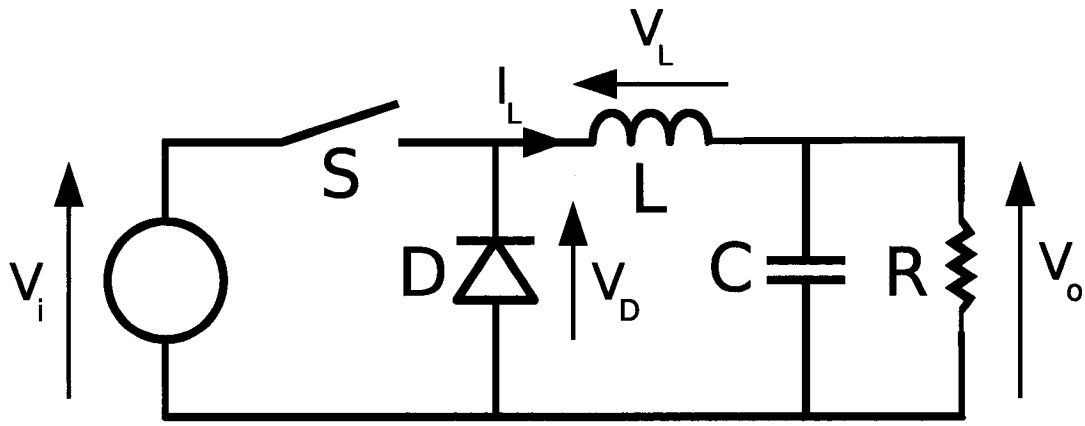


FIG. 2.1 Hacheur série

parallèle), plus basse ("Buck" conversion ou hacheur série) et aussi inversée.

L'avantage majeur de cette famille est son rendement plus élevé en terme de transfert de puissance (généralement entre 80 % et 95 %). Ceci est dû au fait que les pertes de puissance sont moins importantes que pour une conversion linéaire où une partie importante de la puissance est dissipée dans une résistance (ou dans un transistor) par effet joule. L'inconvénient majeur de cette technique est par contre le bruit injecté dans le reste du circuit à haute fréquence principalement.

2.2 Circuit analysé

L'architecture analysée est un hacheur série à redressement synchrone (ou synchronous buck converter en anglais), qui nous a été recommandé par la société LTRIM[1], dans le but de quantifier le bruit émis par ce convertisseur DC-DC.

[1]Laser Tunable Resistor Integrated Module, compagnie basée à Laval, Quebec, Canada

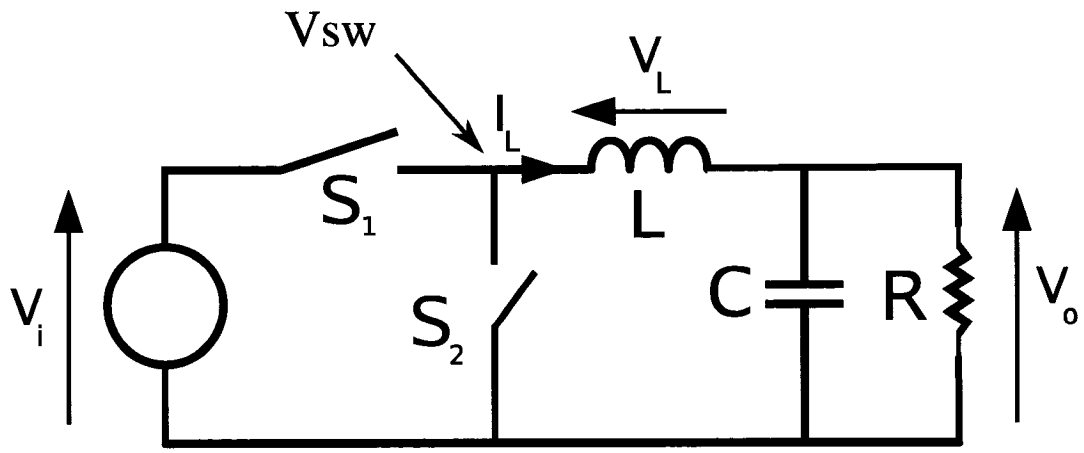


FIG. 2.2 Hacheur série à redressement synchrone

2.2.1 Architecture proposée

Un convertisseur "buck" à redressement synchrone ou hacheur série à redressement synchrone (Cf. figure 2.2) est une amélioration du hacheur série classique (Cf. Figure 2.1) permettant d'augmenter l'efficacité de la conversion. Cette modification consiste à remplacer la diode par un transistor opérant en commutation (interrupteur ouvert ou fermé). Ceci permet de réduire la chute de tension due à la diode typiquement utilisée et de limiter les pertes par effet joule dues à la faible résistivité du canal des transistors.

2.2.2 Fonctionnement idéal

Les commutateurs S1 et S2 ne sont jamais dans leur mode passant ("ON") en même temps car cela court-circuiterait la source. Deux signaux d'horloge de période T et ne se recouvrant pas sont utilisés pour contrôler les commutateurs. Le rapport cyclique α est défini comme le ratio entre le temps où le commutateur S1 est passant et la période totale du signal d'horloge T. On peut donc distinguer deux états différents : "ON" (S1 fermé et S2 ouvert) et "OFF" (S1 ouvert et S2 fermé).

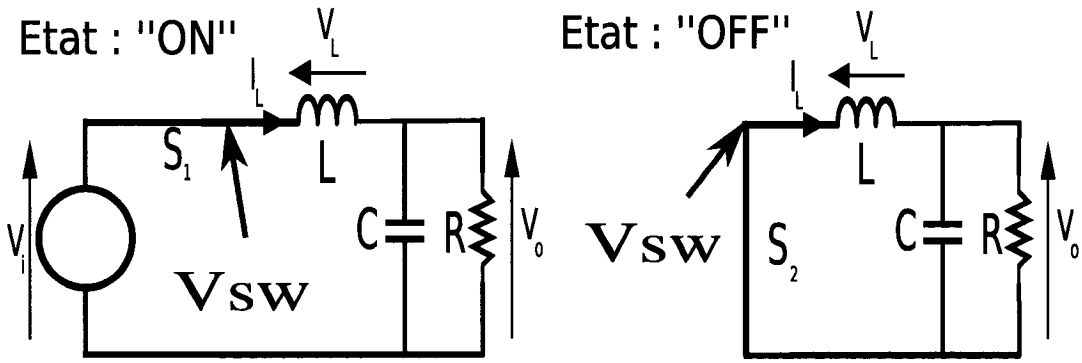


FIG. 2.3 Présentation des deux modes d'opération à gauche "ON", à droite "OFF"

Dans l'état "ON" (S1 fermé et S2 ouvert) (Cf. figure 2.3) , le noeud Vsw est relié à Vi et le courant dans l'inductance croit linéairement. On a $V_L = L.\frac{dI_L}{dt} = V_i - V_o$, l'augmentation du courant dans l'inductance se fait avec une pente de $\frac{(V_i - V_o)}{L}$. La variation de courant traversant l'inductance pendant cette phase est égale à $\Delta I_{L_{ON}} = \int_0^{\alpha T} dI_L = \frac{(V_i - V_o)\alpha T}{L}$.

Dans l'état "OFF" (S1 ouvert et S2 fermé) (Cf. figure2.3), la tension au noeud Vsw est égale à 0. L'inductance se décharge dans la capacité et la résistance avec un courant qui décroît linéairement de pente $-\frac{V_o}{L}$. La variation de courant traversant l'inductance est égale à $\Delta I_{L_{OFF}} = \int_{\alpha T}^{T} dI_L = -\frac{V_o T(1-\alpha)}{L}$. Le principe de conservation de l'énergie nous donne $\Delta I_{L_{ON}} + \Delta I_{L_{OFF}} = 0$. Par conséquent, on obtient au niveau de la charge résistive un signal DC égal à $V_o = \alpha V_i = \frac{1}{T}\int_0^{\alpha T} V_{sw} = \frac{1}{T}\int_0^{T} V_{sw}$. Une autre façon de le voir est que l'inductance et la capacité forme un filtre passe bas de second ordre qui moyenne le signal du noeud Vsw. Le chronogramme (Figure 2.4) récapitule les valeurs des tensions et des courants durant le fonctionnement du convertisseur.

2.2.3 Fonctionnement réel

Les équations précédentes sont basées sur le fait que tous les composants du circuit sont idéaux. Mais ces hypothèses ne sont malheureusement pas vraies dans un fonctionnement réel. Il faut tenir compte de la résistance des commutateurs en conduction et de l'oscillation de la tension aux bornes de la capacité lors du fonctionnement du circuit (en effet la capacité n'est pas assez grande pour absorber toutes les perturbations dues au passage d'un état à l'autre). L'oscillation de la sortie autour de sa valeur DC est due à la charge et à la décharge de la capacité. La composante AC du courant I_L passe dans la capacité, tandis que la composante DC du courant passe dans la charge résistive. La variation AC du courant dans l'inductance est alors la même que celle dans la capacité. La capacité étant choisie telle que l'impédance de la capacité soit bien inférieure à l'impédance de la charge résistive à la fréquence de fonctionnement (de l'ordre du MHz). La sortie est alors exprimée avec une composante DC (notée V_o) et une composant AC (notée dV_o). La variation de la sortie est calculée à l'aide du courant traversant la capacité I_C. On obtient l'expression $dV_o = \frac{I_C}{C}dt$. Or selon la figure 2.4 , I_C est de la forme $I_C = 2\frac{\delta i}{\alpha T}t - \delta i$ pour t entre 0 et αT, avec $\delta i = \frac{\Delta I_{L_{ON}}}{2} = \frac{(V_i - V_o)\alpha T}{2L}$. La variation maximale de la sortie est alors de $dV_{o_{max}} = \frac{\delta i T}{8C}$. Pour réduire ces oscillations, la valeur de la capacité peut être augmentée tout comme la fréquence d'opération. Cependant un compromis acceptable entre ces différentes contraintes doit être trouvé pour ramener les oscillations à une valeur non nuisible pour le circuit. Ainsi, il faut tenir compte des contraintes techniques liées à l'augmentation de la surface de la capacité et de l'augmentation de la fréquence du bruit injecté induite par l'augmentation de la fréquence de fonctionnement.

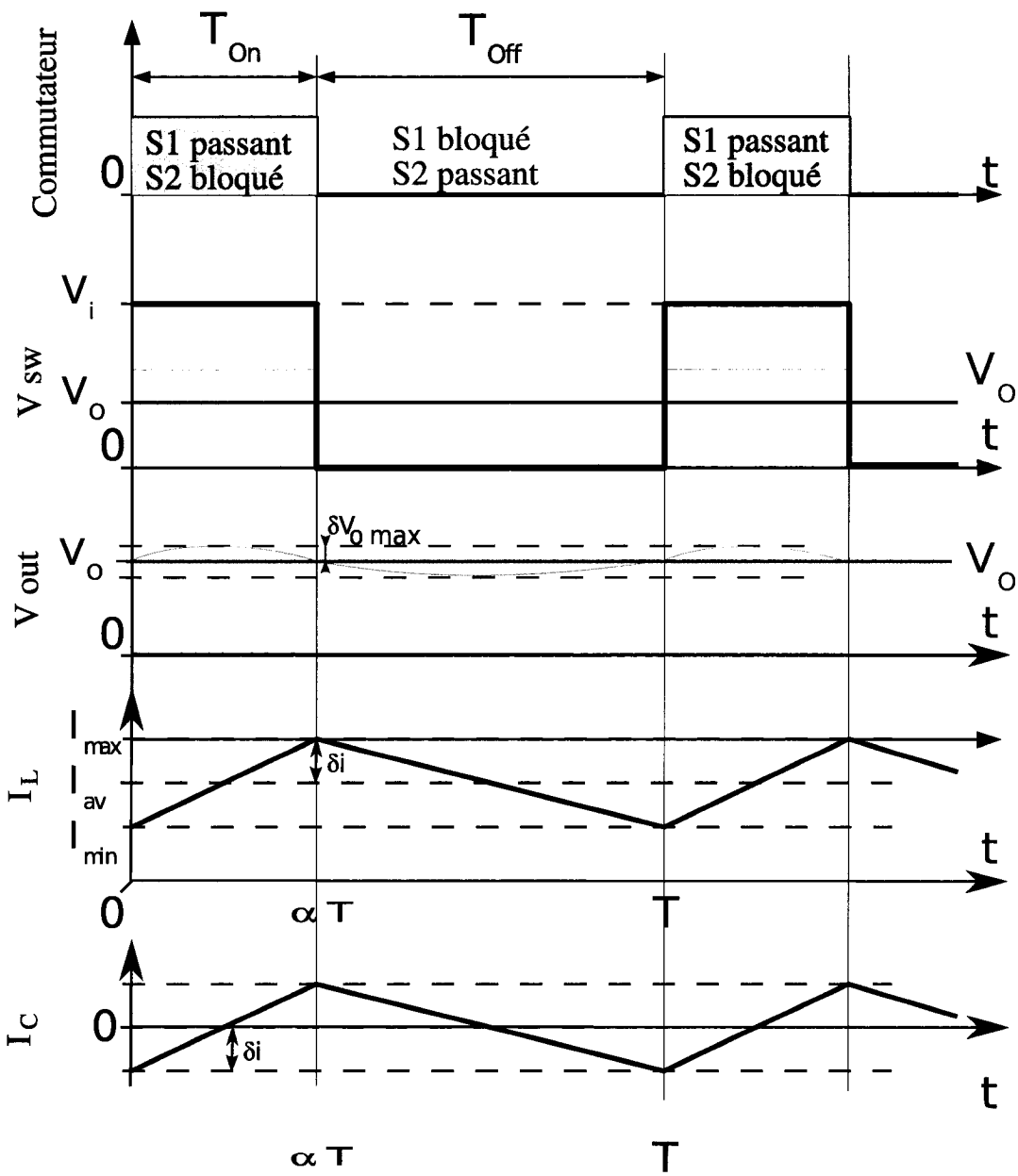


FIG. 2.4 Chronogramme du fonctionnement du convertisseur

2.2.4 Rendement

Comme vu précédemment le rendement élevé du convertisseur est sa caractéristique principale, et tout est fait pour réduire les pertes de puissance. Celles-ci se localisent au niveau de la conduction des transistors opérant en commutateurs, et dans les résistances parasites de l'inductance et de la capacité. A cause de ces pertes de puissance, le rendement est amoindri et peut s'exprimer selon la formule :

$$\eta = \frac{P_{charge}}{P_{charge} + P_{perte}} \tag{2.1}$$

Dans le calcul des pertes de puissance pendant un cycle, on peut tenir compte :

- Pertes statique par conduction dans le canal :

$$P_{MOS}statique = \frac{R_{ON}}{nbre\,MOS\,en\,parallele} I^2_{moyen}$$

- Pertes dynamique au niveau des transistors lors de la commutation :

$$P_{MOS}dynamique = \frac{C_{gate}(nbre\,MOS\,en\,parallele)V_i^2}{T}$$

- Pertes dans l'inductance

L'inductance possède une capacité parasite C_{paraL} et une résistance parasite en série R_{paraL}. La perte de puissance dans l'inductance est donc

$$P_{inductance} = \frac{C_{paraL}V_i^2}{T} + R_{paraL}I^2_{moyen}$$

- Pertes dans la capacité

La capacité possède une résistance parasite en série R_{paraC}.

$$P_{capacite} = R_{paraC} I^2_{moyen}$$

La puissance totale perdue est la somme de toutes ces puissances et dégrade le rendement du convertisseur. Certains paramètres peuvent être optimisés afin de réduire la perte de puissance : en réduisant les effets des composants parasites, en augmentant le nombre de transistors effectuant la commutation, en réduisant la fréquence d'opération. Cependant réduire la fréquence d'opération augmente l'amplitude des oscillations, tandis qu'augmenter le nombre de transistors a un coût en termes de surface de silicium consommée. Par conséquent un compromis acceptable entre toutes ces contraintes doit être trouvé et dépend forcément de l'utilisation que l'on fait du convertisseur.

2.2.5 Design étudié

Le design a été fourni par la société LTRIM, il s'agit d'un convertisseur DC-DC hacheur série à redressement synchrone. Certaines modifications ont été nécessaires pour l'adapter aux technologies disponibles à l'université. Notamment l'utilisation de matrice de transistors de type *"gaufre"* (où chaque transistor partage son drain (respectivement sa source) avec ses quatre transistors voisins) n'est pas reconnue par l'outil qui extrait les composants du circuit. De plus aucun modèle pour ceux-ci n'est fourni, il est donc impossible de simuler son comportement électrique. Il a donc fallu au préalable modifier le design tout en visant à conserver des caractéristiques équivalentes. Ce travail de conversion a été réalisé sur la base d'observations expérimentales faites par la compagnie société LTRIM comparant le fonctionnement d'une matrice de transistors en *"gaufre"* et son équivalent en matrice dite "*normale*". Un rapport de 1,8 a été établi entre le courant par unité de surface d'un transistor de type "*gaufre*" et un transistor "*normal*".

Spécifications

Le convertisseur représenté à la figure 2.5 a été conçu en technologie CMOS 180 nm de la fonderie TSMC[2]. Les commutateurs S1 et S2 sont substitués respectivement par des transistors PMOS et NMOS. Le convertisseur compte 11 476 PMOS transistors en parallèle (W/L = 1800nm/300nm) et 2856 NMOS en parallèle (W/L = 1800nm/350nm), réalisant le redressement synchrone. Les dimensions de ces transistors ont été choisies en accord avec les règles de design pour un fonctionnement à 3.3 V. De plus, les transistors NMOS sont confinés dans un puits profond N (Deep N-well), tandis que les PMOS sont bien évidemment dans des puits N (N-well). Le signal de contrôle de chacun de ces larges commutateurs est commandé par un amplificateur composé de 30 PMOS (W/L=2500nm/300nm) et 10 NMOS (W/L=2500nm/350nm). Tous ces transistors sont implantés dans un substrat de résistivité de 11 Ohms.cm et occupent une surface de 0.05 mm^2. L'inductance (47 µH) , la capacité (10 µF) et la charge résistive (18 Ohms) sont des composants discrets à l'extérieur de la puce. En alimentant le convertisseur avec une tension de 1.8 V, celui-ci peut délivrer une tension de sortie stable de 400 mV à 1.2 V avec un courant de 33mA à 66 mA. La tension de sortie est ajustée grâce au rapport cyclique des signaux de contrôle Ck PMOS et Ck NMOS, commandant respectivement les transistors PMOS et NMOS. Afin d'évaluer le bruit injecté par le convertisseur dans le substrat, le potentiel du substrat est mesuré avec des sondes à certaines distances de l'agresseur (15 µm, 55 µm, 130 µm, 200 µm). Ces sondes correspondent à des contacts dopés Pplus.

[2]TSMC : Taïwan Semiconductor Manufacturing Company

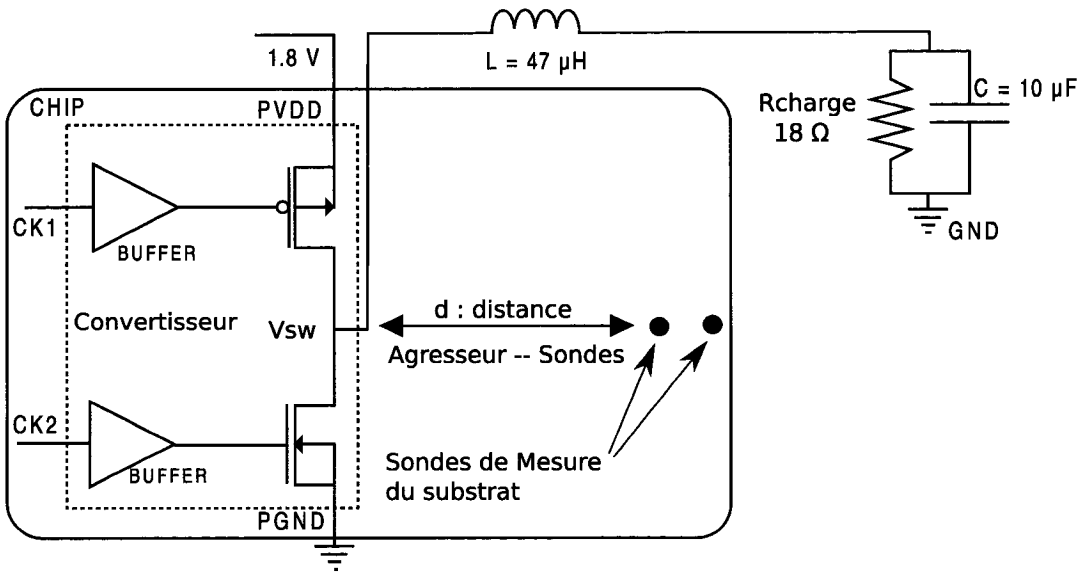


FIG. 2.5 Schéma du hacheur série à redressement synchrone

Description du mode opératoire

Le but du mode opératoire est de placer le convertisseur dans des conditions où il injecte du bruit dans le substrat que l'on peut facilement observer. Lors de la commutation des transistors de puissance, l'énergie emmagasinée par l'inductance est restituée au reste du circuit. L'élément critique pour une conversion efficace est le respect du non recouvrement des signaux de contrôle Ck PMOS et Ck NMOS (par abus de langage, le non recouvrement des signaux de contrôle fait référence en fait au recouvrement des modes de fonctionnement des transistors NMOS et PMOS : dire que les signaux Ck PMOS et Ck NMOS ne se recouvrent pas implique en fait le même mode de fonctionnement des transistors). En effet, si les deux transistors conduisent en même temps, un court circuit entre les alimentations se produit, induisant une surconsommation de courant et dégradant par conséquent le rendement de la conversion de puissance. Cependant, si ces deux transistors sont non passants en même temps, des perturbations sur les alimentations se produisent. Celles-ci sont dues à l'inductance qui cherche à restituer l'énergie emmagasinée. Ainsi un

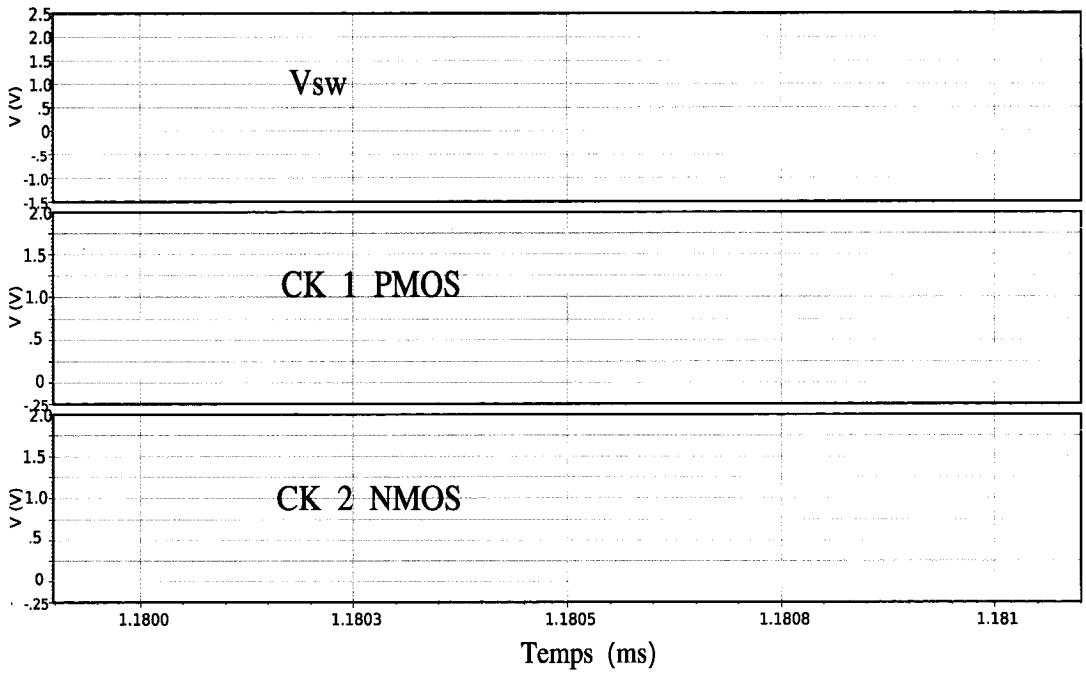


FIG. 2.6 Tension des signaux Ck PMOS, Ck NMOS et Vsw

court chevauchement des deux modes d'opération, correspondant à un non recouvrement des signaux d'horloge, est nécessaire. La durée de ce non recouvrement doit être cependant optimisée afin de trouver un bon compromis entre l'efficacité du convertisseur et le maintien de l'intégrité des signaux. La configuration utilisée pour réaliser les simulations a été l'utilisation pour Ck PMOS et Ck NMOS de signaux de formes carrées, de fréquence de 1 MHz, et avec un rapport cyclique de 50 %. Le non recouvrement des 2 signaux a été fixé à 15 ns, afin de bien observer les phénomènes associés. Alimentée à 1.8 V, cette configuration permet d'obtenir en sortie une tension continue stable de 900mV avec une charge consommant 50 mA. Les chronogrammes de ces tensions sont exposés aux figures suivantes (2.6,2.7,2.8).

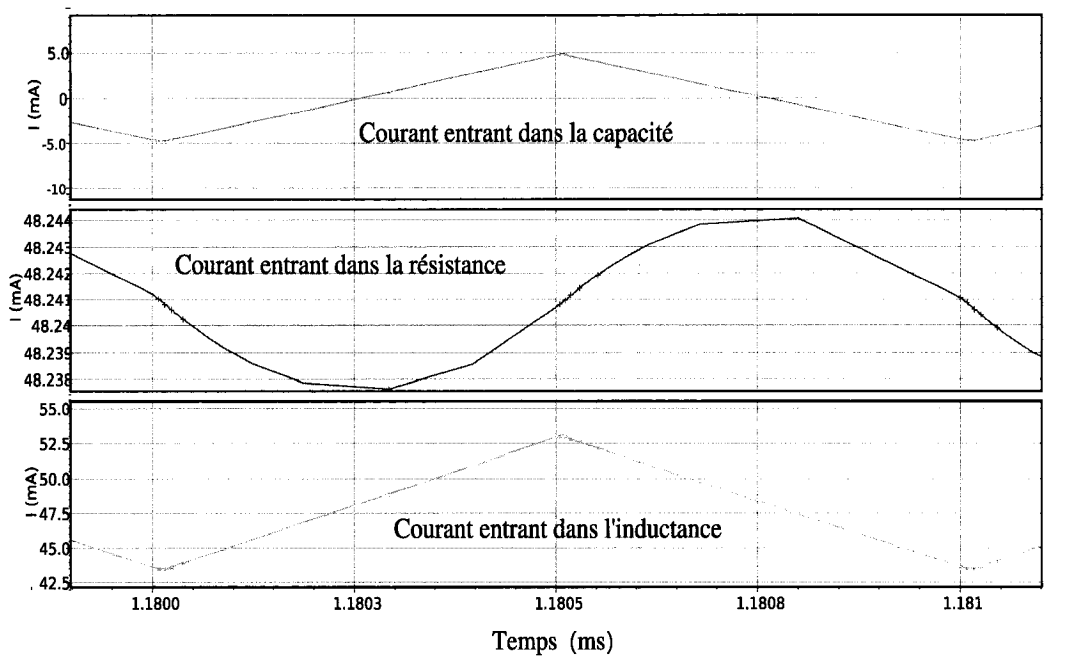


FIG. 2.7 Courant traversant l'inductance, la capacité et la résistance

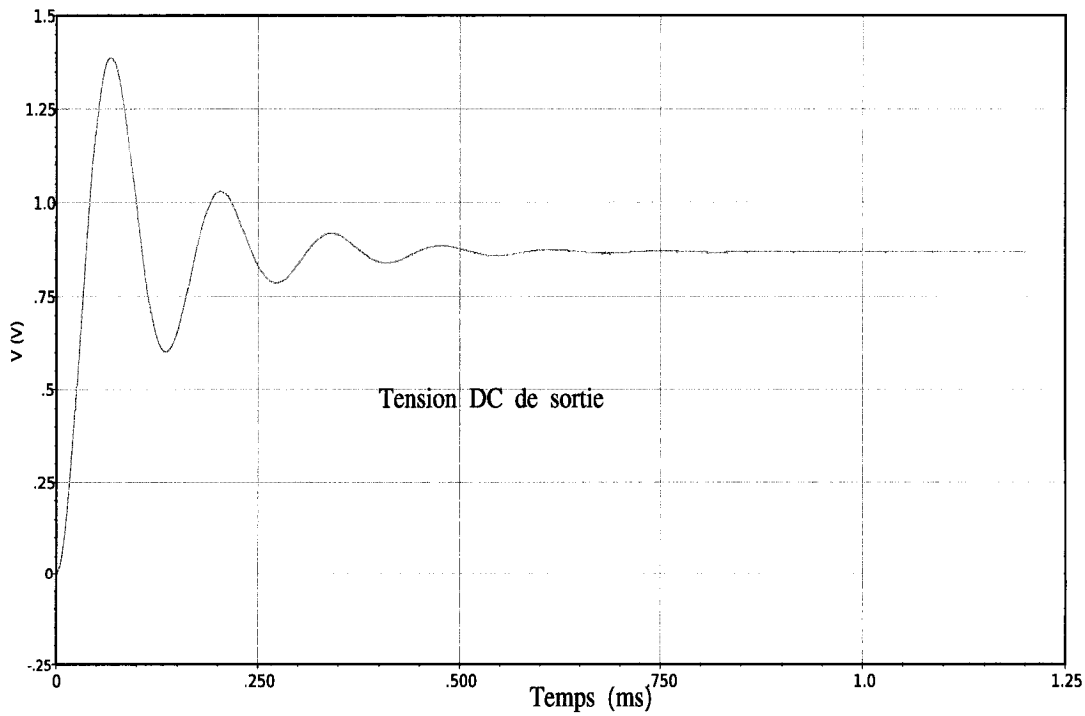


FIG. 2.8 Tension DC en sortie du convertisseur (au niveau de la charge résistive)

2.3 Étude du bruit de substrat à l'aide d'un modèle RC

Afin de caractériser le bruit injecté dans le substrat par la conversion de puissance, l'outil d'extraction du substrat SubstrateStorm[3] a été utilisé. Un modèle du substrat a été créé et simulé sous Spectre.

2.3.1 Modèle RC produit par SubstrateStorm

A partir du dessin des masques et du fichier technologique relatif au procédé de fabrication en technologie 180 nm de la TSMC, SubstrateStrom élabore un modèle résistif et capacitif du substrat. Dans ce modèle sont incluses les connexions au substrat et aux puits nécessaires à leur polarisation, les connexions au substrat des transistors, les jonctions puits-substrat. Les jonctions puits substrat sont remplacées par leur modèle de capacité de jonction lorsque la diode est en polarisation inverse. Tout cela contribue à la création d'une liste d'interconnexions (netlist) comportant des milliers de résistances et de capacités. Des sondes sont disposées dans le substrat à différentes distances de l'agresseur (convertisseur DC-DC). Un lien résistif calculé à partir de la résistivité du substrat et de la distance agresseur-sonde relie les sondes au convertisseur.

2.3.2 Résultats de simulation avec SubstrateStorm

Le circuit complet tenant compte du substrat a été simulé avec un non recouvrement de 15 ns des horloges de contrôle. Durant ce non recouvrement des signaux de commande, les deux transistors sont dans le même mode de fonctionnement

[3]SubstrateStorm est un logiciel de la suite Cadence
Sa licence est aujourd'hui discontinue

(conducteurs "ON" ou non conducteurs "OFF"). Seul l'intervalle de temps où les deux transistors sont non conducteurs est étudié, car l'injection de bruit est plus importante dans ce cas-ci. Lorsque les deux transistors sont en conduction, une surconsommation de puissance est induite, par contre moins de bruit est injecté dans le substrat en comparaison avec l'autre intervalle de recouvrement. Lorsque les deux transistors sont "OFF", ou plus précisément que le canal du PMOS se ferme alors que le canal du NMOS est déjà fermé, le sous-circuit formé de l'inductance, de la capacité et de la résistance se comporte comme un circuit ouvert. Cependant l'inductance s'oppose à ce phénomène et va chercher à faire passer le courant bien que les chemins de courant classiques que sont les transistors soient en principe fermés. D'autres chemins vont alors être utilisés : par les jonctions Drain/source - Puits et en forçant la création du canal des transistors sans que le signal à la grille ne commande sa formation. La figure 2.9 suivante illustre les larges variations des potentiels des puits N et du substrat P, lorsque les deux transistors commutent. En effet, un chute à 1.6 V du potentiel du Puits N est observée, quant au puits P son potentiel décroît jusqu'à -400 mV. Ces variations sont la conséquence de la chute rapide, sur une période de temps très courte de l'ordre de 2 à 3 ns, de la tension aux bornes de l'inductance de - 900 mV (VoutDC - Vsw soit 900 mV - 1.8 V) à 1.9 V (900 mV - (-1V)). Par couplage capacitif, cette variation abrupte entraîne donc la chute des potentiels des puits. Elle représente la réponse de l'inductance à la fermeture du chemin de courant offert par le transistor PMOS. Lors du processus de commutation entre les deux modes ({PMOS "ON", NMOS "OFF"} et {PMOS "OFF", NMOS "ON"}), nous pouvons identifier quatre étapes bien distinctes. Considérons la convention suivante pour les courants des transistors selon laquelle les courants sont positifs lorsqu'ils entrent dans le dispositif. Prenons comme référence de temps $t_0 = 1.180500\,ms$ pour simplifier les notations.

- ***Phase I : PMOS "ON", NMOS"OFF" de t0 à t0 + 8 ns***

Le signal à la grille du PMOS commande progressivement la fermeture du canal du PMOS à partir de t0 en passant de 0 V à 1.8 V. Cette fermeture du canal entraîne la diminution du courant passant dans le PMOS. Remarquons que le courant arrivant sur la grille du transistor PMOS augmente. Ceci est du au fait que pour fermer le canal, il faut inverser la population des porteurs majoritaires (trous). Or une augmentation du nombre de trous au niveau de la grille implique une baisse de la concentration des trous sous la grille, c'est-à-dire une inversion de la population des porteurs du canal. Bien que le canal du PMOS commence à se refermer, le courant dans l'inductance reste stable durant cette phase. Ceci est dû à l'inversion de population du canal, les trous formant le canal s'échappent alors par le drain vers l'inductance en participant ainsi au maintien du courant traversant l'inductance.

- ***Phase II : PMOS "OFF", NMOS"OFF" de t0 + 8 ns à t0 + 11 ns***

Le canal du PMOS se ferme presque totalement, précipitant la chute de la tension aux bornes de l'inductance. En effet le potentiel Vsw passe de 1.8 V à -1 V pendant cette phase. Encore moins de courant passe par le canal du PMOS, ceci est mis en évidence par la chute du courant passant par la source du PMOS. Par contre le courant passant dans le drain chute mais de façon moins importante. Ceci est dû au fait qu'une partie de la chute du courant passant dans le canal est compensée par le courant traversant la jonction Drain-Puits N au niveau du transistor PMOS. Une autre partie est également compensé au niveau de la jonction Drain - Puits P au niveau du transistor NMOS. Ces courants sont induits par couplage capacitif. La chute rapide du potentiel au niveau des drains des transistors forcée par l'inductance rend possible la création de ces chemins de courants. La figure 2.10 expose la variation des courants entrant au niveau du contact au puits N et entrant également par le contact au Puits P. On peut noter qu'environ 5 mA sont nécessaires pour

compenser la fermeture du canal, chemin le moins résistif. Notons que seulement 10 % du courant total (50 mA passent constamment dans l'inductance en régime permanent) passe par les jonctions drains - Puits.

- ***Phase III : PMOS "OFF", NMOS"ON" de t0 + 11 ns à t0 + 17 ns***

Pendant cette phase, le potentiel Vsw s'est établi aux alentours de -500 mV, ce qui est nécessaire pour former le canal du NMOS. En effet, aux bornes du NMOS, on retrouve les potentiels suivant au drain -500 mV, à la source 0 V, à la grille 0 V et 0 mV pour le puits P. Ces tensions permettent d'activer la source du transistor NMOS, car VGD > VthNMOS. Le canal du NMOS est donc créé sans pour autant que le signal de contrôle à la grille ne l'ait commandé.

- ***Phase IV : PMOS "OFF", NMOS"ON" à partir de t0 + 17 ns***

La dernière phase est le retour à un état normal. Le signal contrôlant la grille du NMOS passe de 0 à 1.8 V afin de former le canal du NMOS, cependant celui-ci est déjà formé. La montée de la tension à la grille entraîne par la même occasion le retour à 0 V du potentiel Vsw de l'inductance. Ainsi l'inductance n'a plus à forcer la création du canal et donc son potentiel revient à la normale.

Au niveau de l'injection de bruit, le puits N et le puits profond N isolent bien des perturbations induites par les larges variations de tensions au niveau de l'inductance. La figure 2.11 montre le niveau de bruit recueilli par la sonde à 15 µm de l'agresseur. Un pic de 90 µV est observé ce qui est très faible, voire même négligeable pour la plupart des applications analogiques. L'isolation du puits profond s'avère très efficace, du fait de la double capacité entre le puits P et le substrat.

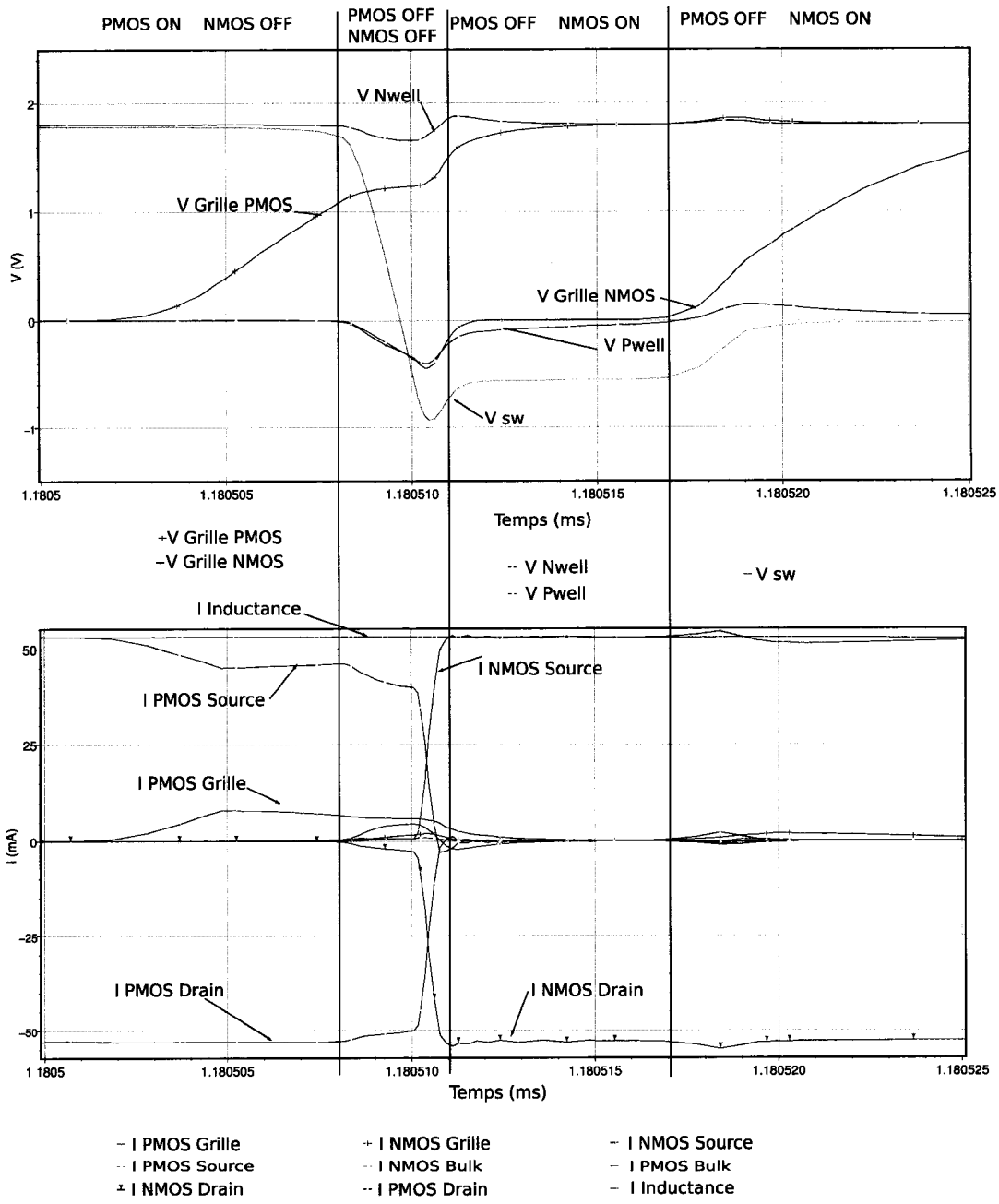


FIG. 2.9 Tensions et courants principaux pour le modèle du substrat obtenu avec SubstrateStorm

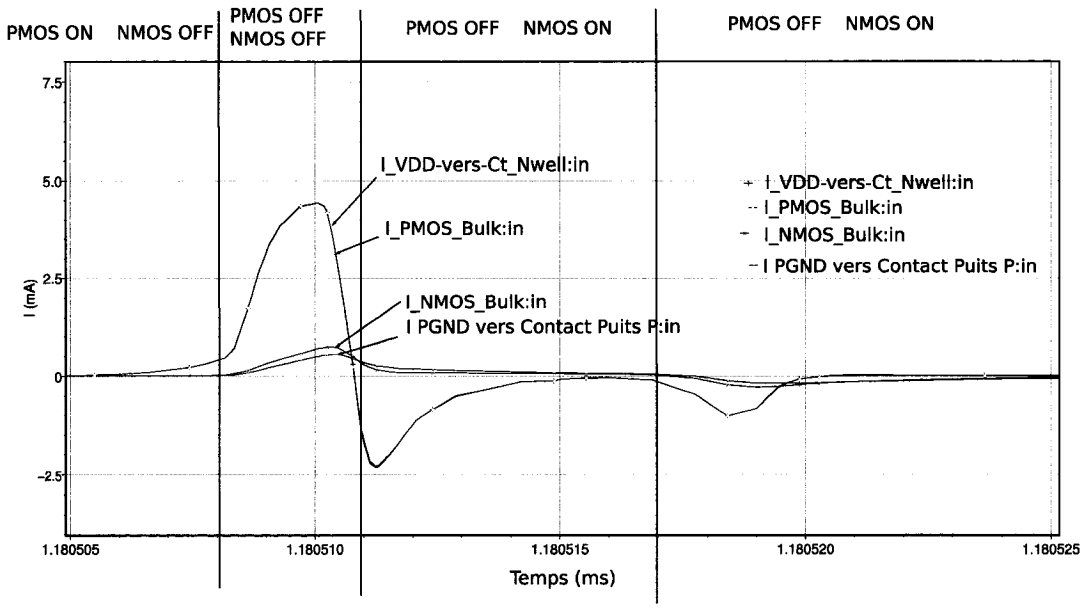


FIG. 2.10 Courants de polarisation des puits P et N, courants entrant dans l'électrode "*Bulk*" des transistors

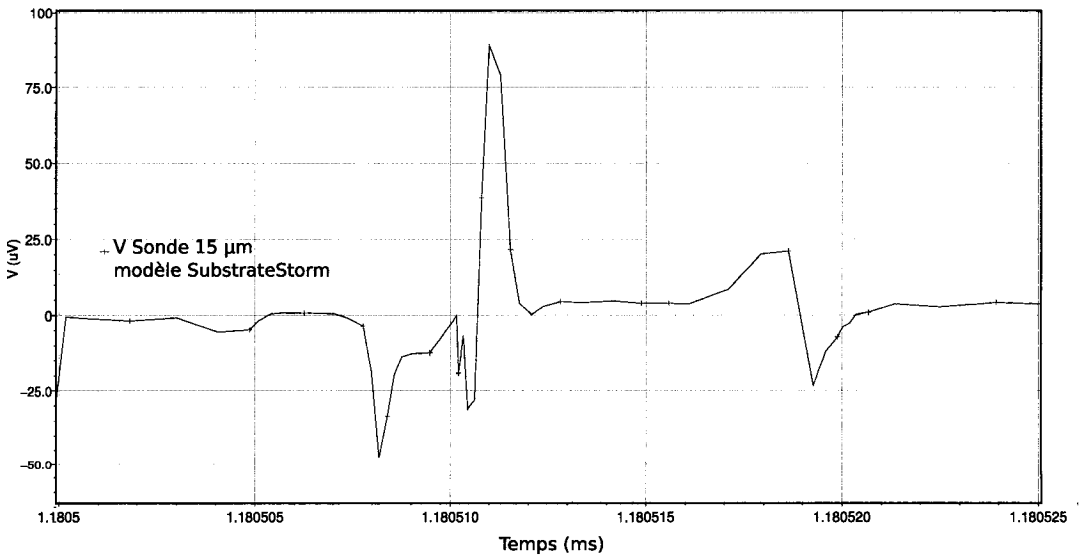


FIG. 2.11 Potentiel du substrat au niveau de la sonde 15 µm

2.3.3 Insuffisance du couplage seulement résistif et capacitif

Nous avons vu dans la sous partie précédente que lors de la commutation des transistors de puissance, de grandes variations de tensions se produisaient. L'inductance force la création de nouveaux chemins de courant. Nous avons vu deux chemins possibles : par les jonctions Puits Drain et par la création du canal NMOS. Cependant d'autres chemins sont possibles et existent en parallèle, mais ils ne sont pas modélisés par SubstrateStorm. Il s'agit des chemins offerts par les transistors bipolaires verticaux parasites. Ceux-ci peuvent être activés par les larges variations de potentiel. Considérons le transistor bipolaire vertical npn (émetteur : Drain NMOS, base : puits P, collecteur : puits profond N), sa tension base émetteur atteint 400 mV, d'après la figure 2.9, ce qui le place par conséquent dans sa région active ou tout du moins à la limite. Il est donc important de prendre en considération la modélisation de ces transistors bipolaires verticaux, ce que ne fait pas SubstrateStrom dans sa modélisation du substrat seulement résistive et capacitive. Cette modélisation est bien adaptée pour des circuits numériques comportant des milliers de portes commutantes, où les tensions restent dans des intervalles en accord avec les hypothèses de départ. Contrairement à notre application, il est donc justifié dans ce cas de ne pas prendre en compte les transistors bipolaires verticaux, ne se trouvant effectivement pas dans des conditions propices à s'activer.

2.4 Etude du bruit à l'aide d'un modèle personnalisé

Afin de palier aux limites du modèle proposé par SubstrateStorm, un modèle optimisé a été élaboré sur les bases d'une représentation résistive et capacitive du substrat obtenu par l'outil Substrate Coupling Analysis[4] (SCA).

[4]Logiciel de la suite Cadence

Par ailleurs plusieurs niveaux de modèle ont été élaborés afin de tenir compte des éléments parasites tels que le boîtier ou la plaquette de test, afin de pouvoir plus facilement confronter les résultats provenant des simulations et des tests expérimentaux.

2.4.1 Modèle optimisé avec Substrate Coupling Analysis

Pour insérer les bipolaires dans le modèle, nous nous sommes aidés du logiciel Substrate Coupling Analysis de Cadence. Celui-ci est plus flexible que SubstrateStorm dans l'élaboration et la manipulation du modèle du substrat. Il est en effet possible d'utiliser ses propres modèles de jonction puits-substrat. Le modèle du substrat créé est plus facile à manipuler que celui obtenu par SubstrateStorm, car il comporte beaucoup moins de composants sans pour autant perdre en précision. L'insertion de transistors bipolaires est ainsi rendue plus facile. La figure 2.12 représente le modèle optimisé que nous utiliserons par la suite. Les modèles utilisés pour les différentes jonctions (puits N - Substrat, Puits P - Puits profond N, Puits profond N - Substrat) et les bipolaires verticaux npn et pnp correspondent aux modèles fournis par la fonderie TSMC pour cette technologie. Les paramètres des modèles comme leurs aires ou leurs périmètres sont ajustés selon les dimensions relevées sur le dessin des masques du circuit. Le PNP a pour Collecteur le substrat, pour Base le puits N, et pour Émetteur le Drain du PMOS, tandis que le NPN a pour Collecteur le puits profond N, pour Base le puits P, et pour Émetteur le Drain du NMOS.

Quant à la précision du logiciel SCA par rapport à SubstrateStorm, nous l'avons quantifié en comparant le potentiel du substrat en fonction du temps, mais aussi les spectres fréquentiels de puissance du bruit collecté par la sonde à 15 µm pour les deux modèles :

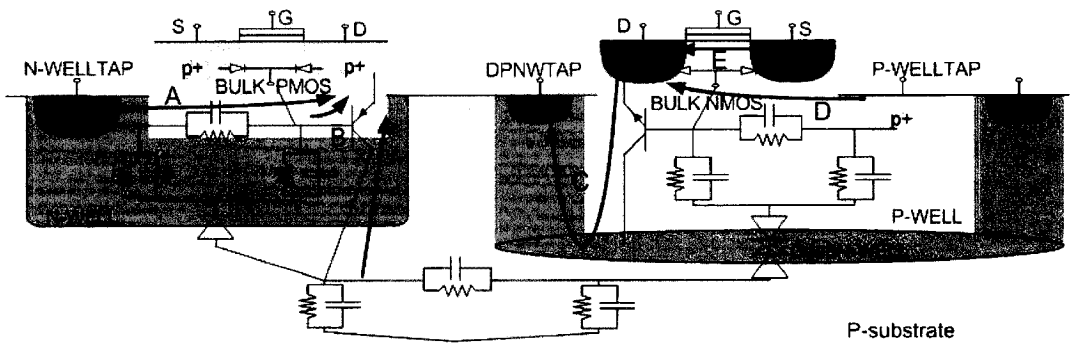


FIG. 2.12 Modélisation personnalisée du substrat et chemins de courant

- modèle donné par SubstrateStorm
- modèle brut obtenu par SCA, ne comportant pas les bipolaires et dont les jonctions Puits Substrat sont modélisées par leurs capacités de jonction en polarisation inverse .

Au niveau temporel, le bruit collecté au niveau de la sonde est du même ordre de grandeur pour les deux modèles, i.e. de la centaine de µV, comme le montre la figure 2.13. Le modèle extrait par SCA nous donne des pics à presque 300 µV, tandis que SubstrateStorm nous donnait pour la même simulation des pics de l'ordre de 100 µV. Il est difficile de dire lequel de ces deux modèles est plus précis, sans une confrontation avec l'expérimentation.

Afin de comparer les deux modèles, on peut également s'intéresser aux spectres fréquentiels des signaux.

Le spectre en puissance du signal est exprimé en dBm. Une transformée de Fourier rapide (FFT) est appliquée sur le signal, puis la puissance obtenue est normalisée par rapport à une puissance de 1 mW dissipée aux bornes d'une résistance de 50 Ω. Voici la formule appliquée pour calculer le spectre en puissance du signal :

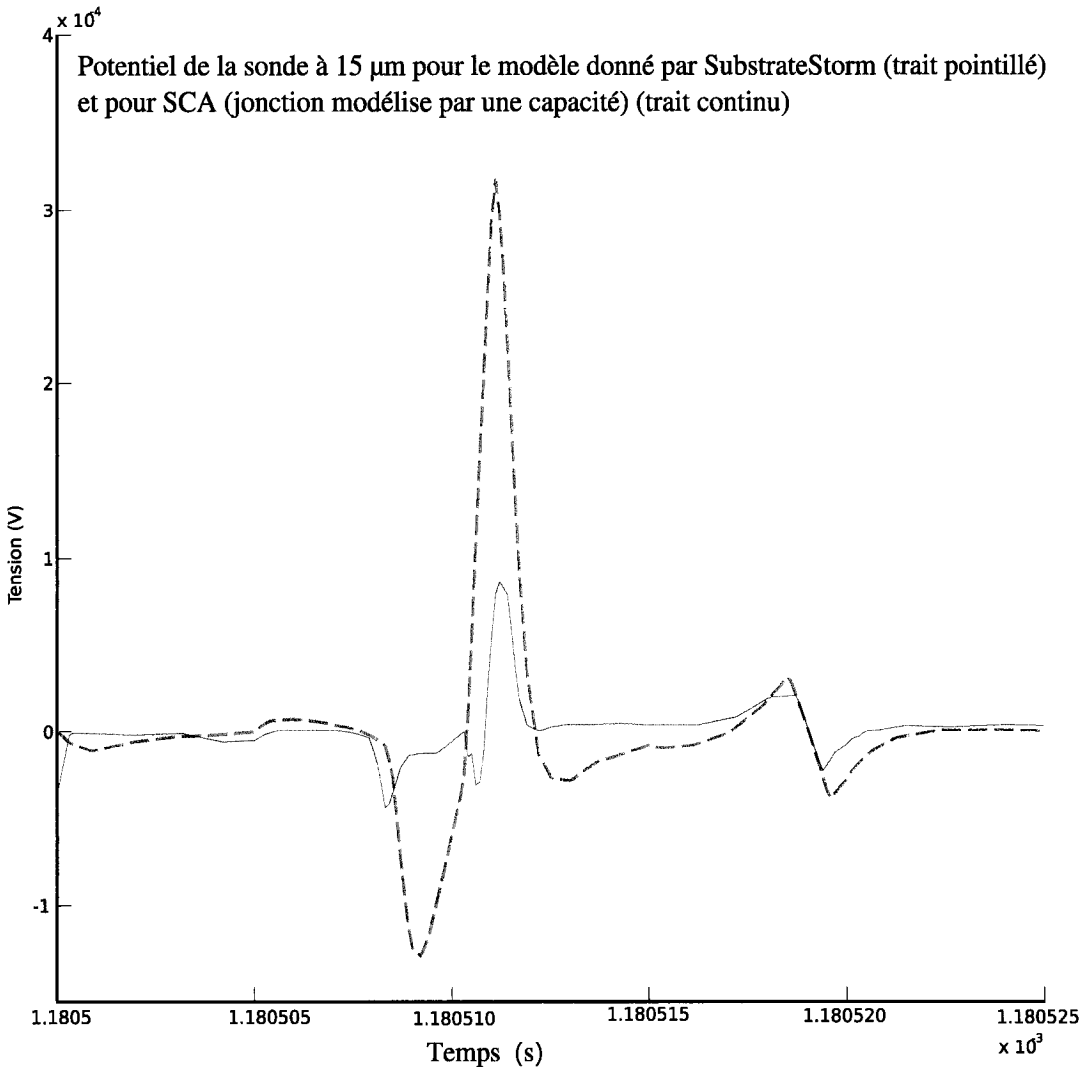


FIG. 2.13 Comparaison des tensions entre les deux modèles SCA et SubstrateStorm

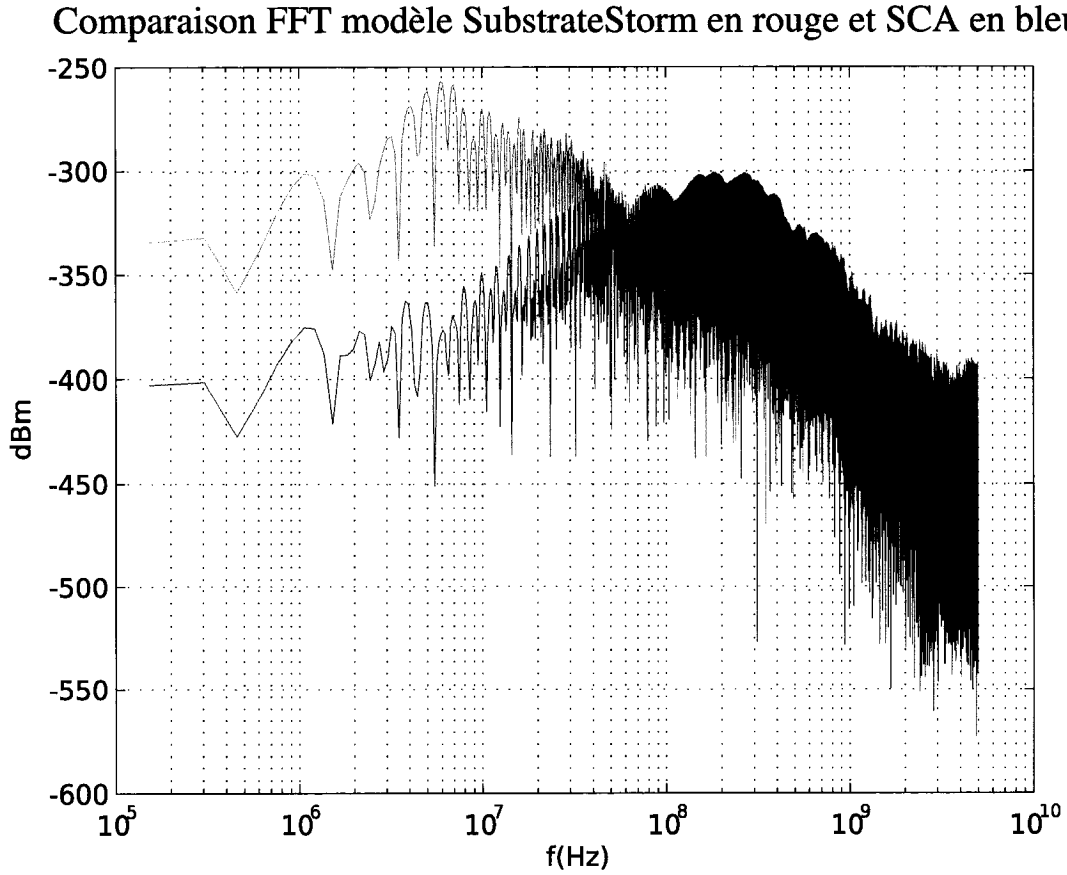


FIG. 2.14 Comparaison des spectres en puissances pour les 2 modèles (SCA en bleu (foncé) et SubstrateStorm en rouge(clair))

$$P_{dBm} = 10.log\left(\frac{P}{P_{1mW}}\right) = 10.log\left(\frac{V^2.1000}{50}\right) \tag{2.2}$$

Notez que dans les calculs qui suivent la charge diffère parfois de 50 Ω mais nous utiliserons systématiquement l'équation 2.2.

La figure 2.14 compare les spectres en puissance du potentiel de la sonde 15 µm pour les deux modèles.

On peut remarquer que les spectres fréquentiels ne sont pas identiques. La différence

est due au fait que les deux logiciels n'extraient pas de la même façon le modèle du substrat (SubstrateStorm utilise la méthode des différences finies, tandis que SCA se base sur la méthode des conditions limites). Par ailleurs les profils de dopage utilisés par les logiciels ne sont pas exactement les mêmes, car ils fonctionnent différemment. Ainsi le maillage résistif et capacitif est différent, la réponse fréquentielle est donc très différente pour les basses fréquences, ou le caractère résistif domine, tandis que pour les hautes fréquences, les deux spectres correspondent mieux.

Le support du logiciel SubstrateStorm étant discontinué, nous avons été obligé d'utiliser SCA pour modéliser le substrat.

2.4.2 Résultats de simulations sans modélisation du boîtier

Nous avons simulé le circuit complet comportant le modèle optimisé du substrat avec les mêmes configurations que pour la partie 2.3.2. Nous nous concentrons également sur l'intervalle de temps où les deux transistors sont "OFF". Deux cas peuvent se produire, suivant qu'un des deux transistors passe de l'état "ON" à l'état "OFF" : le PMOS devient "OFF" alors que le NMOS est déjà "OFF", ou bien le NMOS devient "OFF" alors que le PMOS est déjà "OFF". Nous considérerons les deux cas séparément (a et b). Nous pouvons distinguer quatre phases avec les mêmes délimitations dans le temps que celles vues précédemment. Les variations de tension sont identiques, seuls les chemins de courant sont différents. Considérons la convention suivante pour les courants des transistors selon laquelle les courants sont positifs lorsqu'ils entrent dans le dispositif. Prenons comme référence de temps t0 = 1.180500 ms pour simplifier les notations.

2.4.2.1 Cas (a) : PMOS "ON " -> "OFF" alors que NMOS reste "OFF"

– Phase I : PMOS "ON", NMOS"OFF" de t0 à t0 + 8 ns

Les mêmes phénomènes que ceux vus à la partie 2.3.2 se produisent durant cette phase.

– Phase II : PMOS "OFF", NMOS"OFF" de t0 + 8 ns à t0 +11 ns

Le canal du PMOS se ferme presque totalement, précipitant la chute de la tension aux bornes de l'inductance (Cf. figure 2.15). Celle-ci va créer de nouveaux chemins de courant autres que ceux vu précédemment pour compenser la fermeture du canal. Une partie du courant passe toujours par la diode au niveau du drain du PMOS (chemin A sur la figure 2.12), mais une autre partie emprunte maintenant le chemin offert par le bipolaire pnp (chemin B). Ainsi, au temps +10ns sur les 9 mA entrant dans le puits N par le contact au puits, 5.5 mA utilise le chemin B tandis que seulement 3.5 mA passe par la diode du PMOS. La figure 2.16 a) illustre ce propos. De plus le courant injecté dans le substrat (par le collecteur du pnp) peut être évalué à environ 1.5 mA au maximum de l'injection. Le bipolaire rajoute donc un chemin de conduction par couplage capacitif, et se révèle être un acteur majeur dans l'injection de bruit sans pour autant changer le fonctionnement global du circuit. Dans le même temps, la fermeture du canal PMOS est également compensée par de nouveaux chemins dans la région du NMOS. L'inductance s'oppose à la fermeture de la boucle entre VDD et la sortie DC, en forçant la création de nouveaux chemins. Ceux-ci permettent à l'inductance de conserver une boucle de courant connectée à VDD. En effet, lors de la chute du potentiel Vsw de 1.8 V à -1 V, le bipolaire npn injecte du courant dans l'inductance dans le but toujours de s'opposer à la fermeture du canal du PMOS. Cette injection est purement due à un couplage capacitif, mais elle est importante. On peut noter en effet à la figure 2.16 (b)

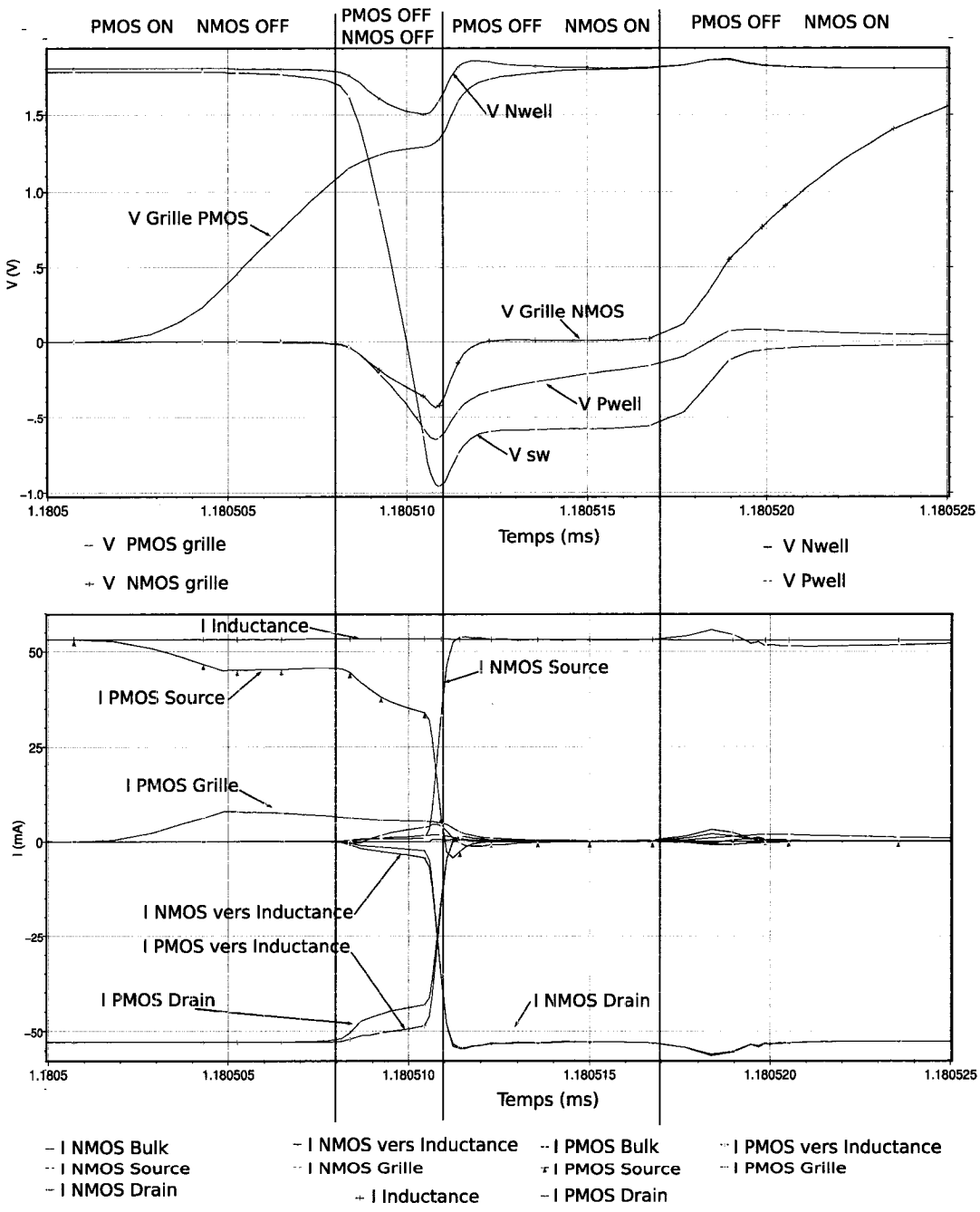


FIG. 2.15 Tensions principales et courants des transistors pour la transition de type (a)

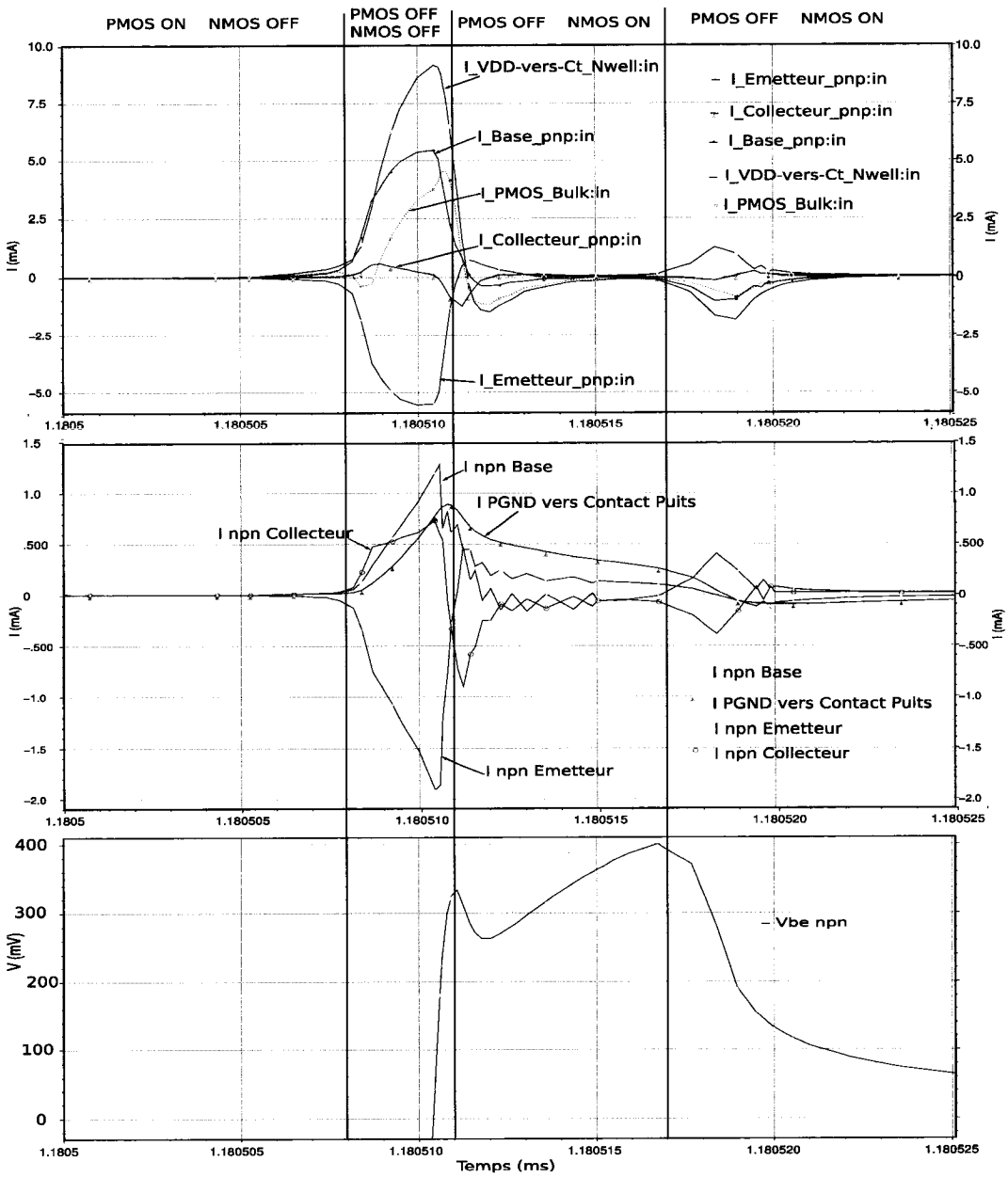


FIG. 2.16 Courants pnp, npn et tension base émetteur pour la transition de type (a)

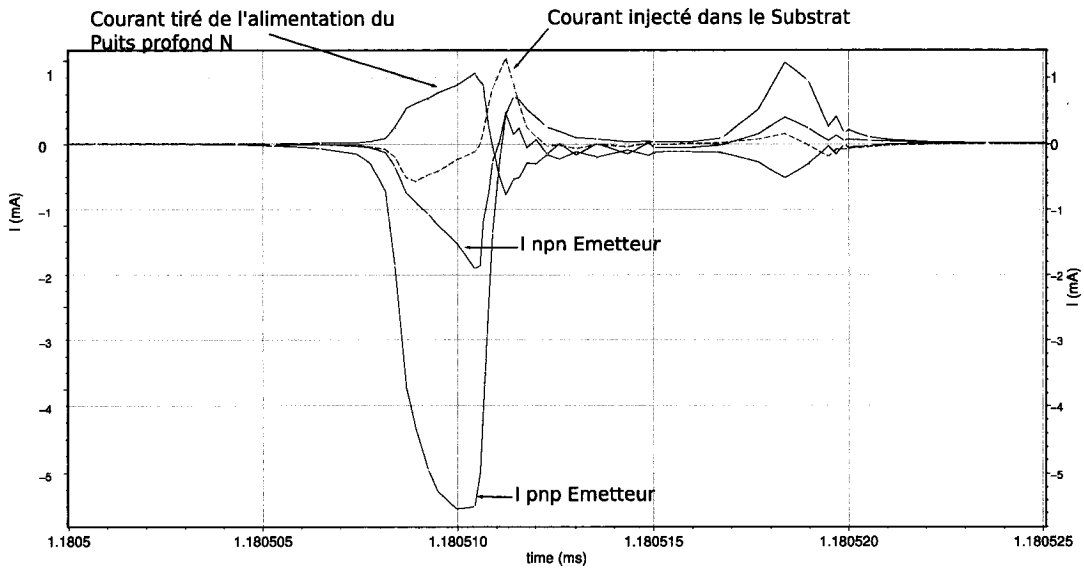


FIG. 2.17 Courants injectés dans le substrat et les alimentations pour la transition de type (a)

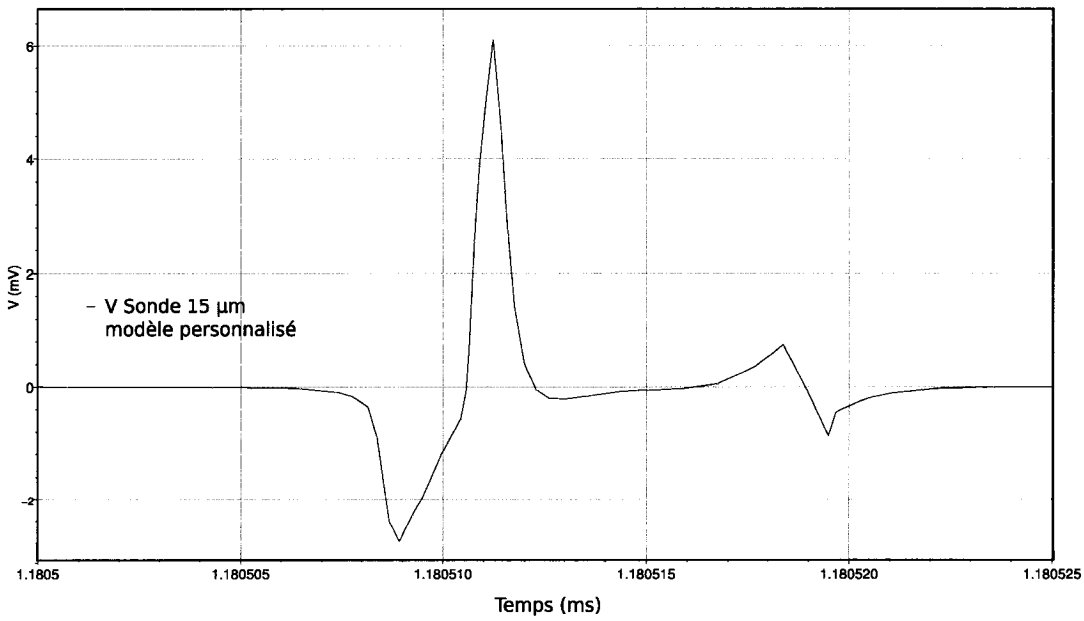


FIG. 2.18 Potentiel du substrat à 15 µm de l'agresseur pour le modèle personnalisé pour la transition de type (a)

que presque 4 mA sont injectés dans l'inductance par le chemin C. Des courants importants sont prélevés aux alimentations (figure 2.17) durant la période de temps de +8ns à +10 ns : 2 mA à la polarisation du puits P (VSS) par la base et 1.5 mA à la polarisation du Puits profond N (VDD) par le collecteur du transistor. Par ailleurs, à partir du temps +10 ns la tension base émetteur du npn (Vbe) atteint 400 mV, ce qui est suffisant pour placer le transistor au seuil de sa région active (Figure 2.16 c)). La tension collecteur émetteur du npn (Vce environ 2.5 V) est par ailleurs supérieure au Vce typique de saturation de l'ordre de 0.3 V. Par conséquent toutes les conditions sont réunies pour que le bipolaire fonctionne en amplification. Les transistors bipolaires verticaux ont un faible beta, typiquement de l'ordre de 1 à 2. Ainsi l'amplification est très faible. Le chemin C de courant créé par le bipolaire a la même importance que le chemin originel (chemin D) formé par la jonction du Drain du NMOS. En effet la figure 2.16 montre les courants entrant dans le transistor NMOS par la connexion "bulk" ainsi que le courant entrant par la base du bipolaire. Le npn joue un rôle primordial dans le transport du courant lorsque les deux transistors sont "OFF" : en se superposant au chemin préexistant un courant important est tiré des différentes alimentations. Il faut donc veiller à bien dimensionner les métaux reliant la polarisation des Puits profond N et des puits P, afin d'éviter toute détérioration du circuit.

- **Phase III : PMOS "OFF", NMOS"ON" de t0 + 11 ns à t0 +17 ns**

Pendant cette phase, le potentiel Vsw s'est établi aux alentours de -500 mV, ce qui est nécessaire pour former le canal du NMOS. En effet, aux bornes du NMOS, on retrouve les potentiels suivant au drain -500 mV, à la source 0V, à la grille 0 V et -250 mV pour le puits P. Ces tensions permettent d'activer la source du transistor NMOS, car $V_{GD} > V_{thNMOS}$. Le canal du NMOS est donc créé sans pour autant que le signal de contrôle à la grille l'ait commandé. Durant cette phase la tension V_{be} du npn est maintenue entre 300 mV et 400 mV, le npn est dans le même état que

dans la phase précédente, l'amplification est faible, due également au bêta faible du transistor. Le bipolaire participe également au transport du courant en même temps que le NMOS, mais dans une plus faible proportion.

– **Phase IV : PMOS "OFF", NMOS"ON" à partir de t0 + 17 ns**

La dernière phase est la remise à un état normal. Le signal contrôlant la grille du NMOS passe de 0 à 1.8 V afin de former le canal du NMOS, cependant ce canal est déjà formé. La montée de la tension à la grille entraîne par la même occasion le retour à 0 V du potentiel Vsw de l'inductance. Ainsi l'inductance n'a plus à forcer la création du canal et donc son potentiel revient à la normale.

A travers cette analyse en détail, nous avons mis en évidence que d'autres chemins de courant autre que ceux offerts par les transistors MOS jouaient un rôle dans le transport du courant lors de la commutation des transistors de puissance. Une illustration de ce fait est clairement visible à la figure 2.15 au niveau des courants entrant dans l'inductance (I PMOS vers inductance et I PMOS drain). Environ 8 mA sur 50 mA, soit 16 %, ne provient pas des chemins de courant normaux au travers des MOS mais bien des transistors bipolaires. Cette nuance dans le transport du courant implique l'injection de bruit dans le substrat et dans les alimentations (figure 2.17). Au niveau des sondes dans le substrat, nous observons une perturbation du potentiel du substrat à 15 µm de 6 mV (Figure 2.8), ce qui est 67 fois plus élevé que ce que le modèle SubstrateStorm nous donnait (90 µV). Cette étude fait ressortir les carences d'un modèle du substrat seulement résistif et capacitif afin d'estimer le bruit injecté par un convertisseur de puissance. Lors de la commutation des transistors, de grandes variations de tension induites par l'inductance associées à de forts courants se produisent, ce qui provoque l'activation de phénomènes non modélisés par SubstrateStorm.

2.4.2.2 Cas (b) : NMOS "ON " -> "OFF" alors que PMOS reste "OFF"

Dans ce cas, les phénomènes observés sont très peu différents du cas (a) précédent. Alors que les signaux de contrôle commandent la fermeture du canal du NMOS, l'inductance s'y oppose en forçant la chute du potentiel Vsw de 0 V à -550 mV (figure 2.19). Ceci permet le maintien du canal du NMOS ainsi que l'activation partielle du transistor bipolaire npn. Les figures suivantes montrent les phénomènes se produisant durant la commutation des transistors. Prenons comme référence de temps t1 le temps 1.180ms. Nous pouvons considérer comme dans le cas précédent 4 phases bien distinctes.

- **Phase I : PMOS "OFF", NMOS "ON" de t1 à t1 + 9 ns**

Durant cette phase par analogie avec le cas précédent, la tension de grille du NMOS passe 1.8 V à 700mV afin de fermer le canal du NMOS.

- **Phase II : PMOS "OFF", NMOS "ON" de t1 +9 ns à t1 + 19 ns**

Durant cette phase par analogie avec le cas précédent, la tension de grille du NMOS passe 700 mV à 0 V afin de fermer le canal du NMOS. Cependant l'inductance s'oppose à cette fermeture en forçant la chute du potentiel Vsw à -550 mV au temps +10 ns. Cette chute permet d'annuler la fermeture du canal, car la tension V_{DG} reste supérieure à la tension de seuil du transistor. Le canal est donc maintenu par activation de la source du transistor NMOS. Dans le même temps, la tension base émetteur du transistor bipolaire npn atteint les 400 mV, ce qui permet de le placer aux portes de sa région active. Comme le montre la figure 2.20, une partie du courant (environ 0.5 mA) emprunte le chemin offert par le bipolaire npn. D'autre part, au niveau de la région du PMOS, la variation de la tension aux bornes de l'inductance induit une injection de courant dans l'inductance par les chemins A et B que sont la jonction Drain - Puits N et le bipolaire pnp. Cette injection de

courant se fait à hauteur de 2.5 mA, également répartie sur les 2 chemins (Figure 2.20b)). Quant à l'injection de bruit dans le substrat, elle est de l'ordre de 0.2 mA durant cette phase, comme le souligne la figure 2.21. Le bipolaire npn prélève à l'alimentation VDD polarisant le puits profond N un courant de l'ordre de 0.5 mA. Durant cette phase, l'inductance cherche à maintenir la boucle de courant entre la sortie et la masse VSS afin de conserver la valeur du courant la traversant. Pour cela, de nouveaux chemins sont empruntés. Cependant le canal NMOS étant le moins résistif et le plus facile à mettre en oeuvre car il est déjà créé, les nouveaux chemins (B et C) sont moins utilisés. L'injection de bruit est par conséquent moins importante.

- **Phase III : PMOS "ON", NMOS "ON" de t1 +19 ns à t1 + 23 ns**

Durant cet intervalle de temps, les deux transistors changent simultanément de mode de fonctionnement. Entre les instants +19 ns et 20 ns les deux transistors conduisent tous les deux. La variation rapide du potentiel Vsw (de -500 mV à 1.8V) entraîne par couplage capacitif l'injection de bruit par l'intermédiaire des transistors bipolaires. Cette injection est de 0.8 mA dans le substrat et de 1.2 mA dans l'alimentation VDD du Puits profond N. Une partie non négligeable du courant utilise les chemins offerts par les bipolaires pnp et npn respectivement avec 6.8 mA et 1.6 mA entrant dans les émetteurs des bipolaires.

- **Phase IV : PMOS "ON", NMOS "OFF" à partir de t1 + 23 ns**

Cette phase est le retour à l'équilibre du système : le PMOS conduit tandis que le NMOS est "OFF".

Au niveau de la sonde présente à 15 µm, le niveau de perturbation est moins important que dans le cas précédent avec une variation maximale du potentiel du substrat de 3.2 mV (Figure 2.22). Ce niveau de bruit est cependant élevé si l'on

compare avec celui obtenu sous SubstrateStorm et peut dégrader les performances d'un circuit analogique.

Cette configuration des horloges est intéressante car elle minimise le temps où les deux transistors sont "OFF" en même temps. En effet, peu de perturbations sont induites dans un premier temps lors de la création du canal du NMOS, et dans un deuxième temps lors du retour à l'équilibre des modes de conduction. Ceci est dû au fait que les variations de tension aux bornes de l'inductance sont moins brutales, car le retour à l'équilibre des deux modes de conduction passe par la conduction des deux transistors et donc la perte de puissance. L'injection de bruit dans le substrat est donc plus faible, mais cela se fait au détriment d'une perte d'efficacité du convertisseur.

2.4.3 Résultats de simulations avec modélisation du boîtier

Dans cette partie, nous analysons l'impact du boîtier sur les phénomènes d'injection de bruit dans le substrat et les alimentations. Le boîtier peut être modélisé par une inductance en série avec une résistance. Les capacités parasites peuvent être négligées aux fréquences de fonctionnement de travail car elles sont de l'ordre du femtoFarad et n'ont d'influence que pour des fréquences supérieures au GHz. L'inductance parasite modélise les fils qui relient les plots d'entrées/sorties de la puce au boîtier. Une valeur moyenne d'environ 15 nH se révèle être une bonne estimation (1nH par mm). Quant à la résistance série, celle-ci caractérise le chemin ohmique de l'extérieur du boîtier jusqu'à l'intérieur de la puce. Une résistance de l'ordre de la centaine de $m\Omega$ voire de l'Ω est une bonne estimation. L'ajout du modèle du boîtier implique l'existence d'un circuit RLC oscillant, sans pour autant modifier le comportement global du circuit. Nous observons les mêmes variations que dans la partie précédente, à la différence que les signaux sont couplés avec une

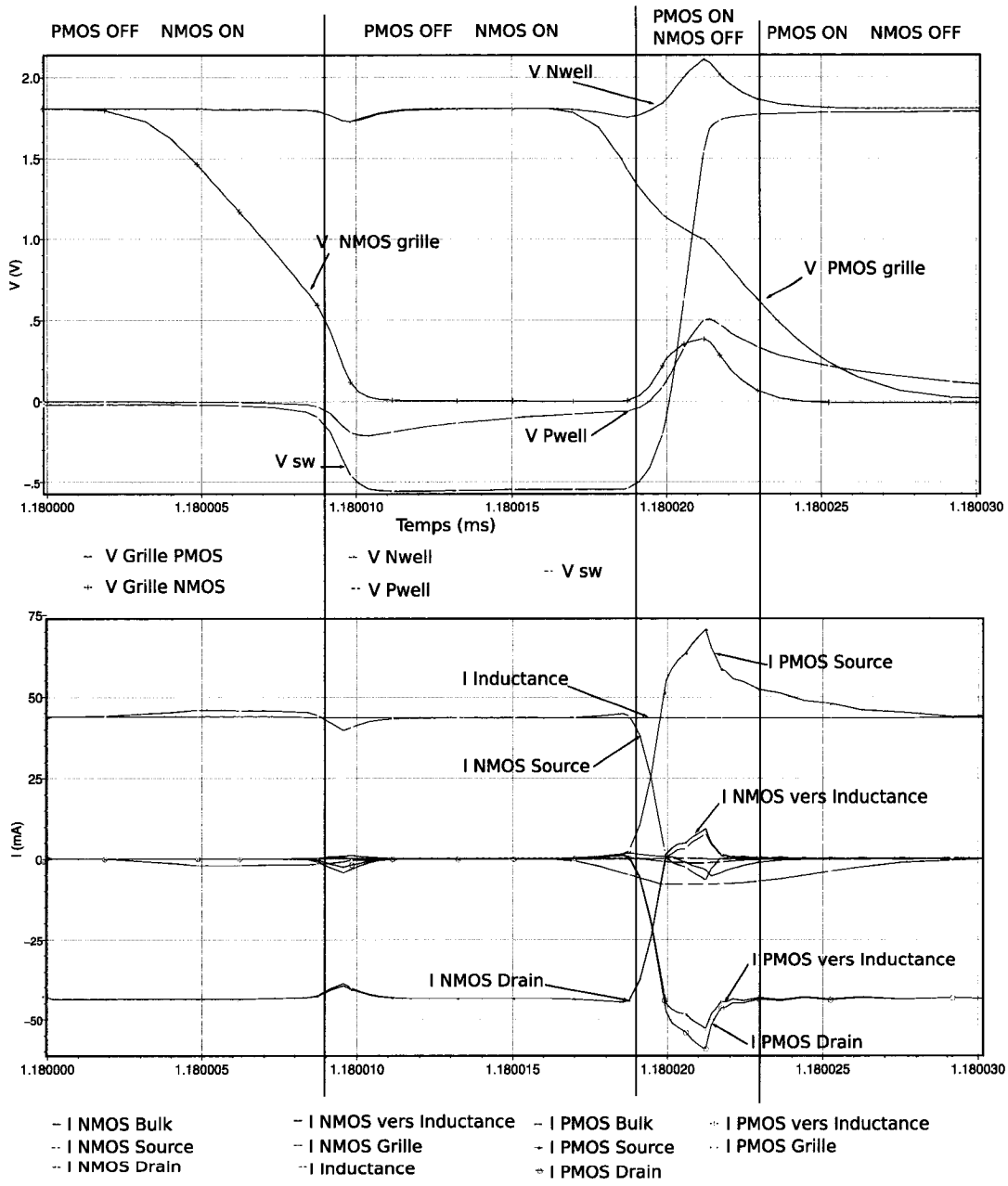


FIG. 2.19 Tensions principales et Courants des transistors pour la transition de type (b)

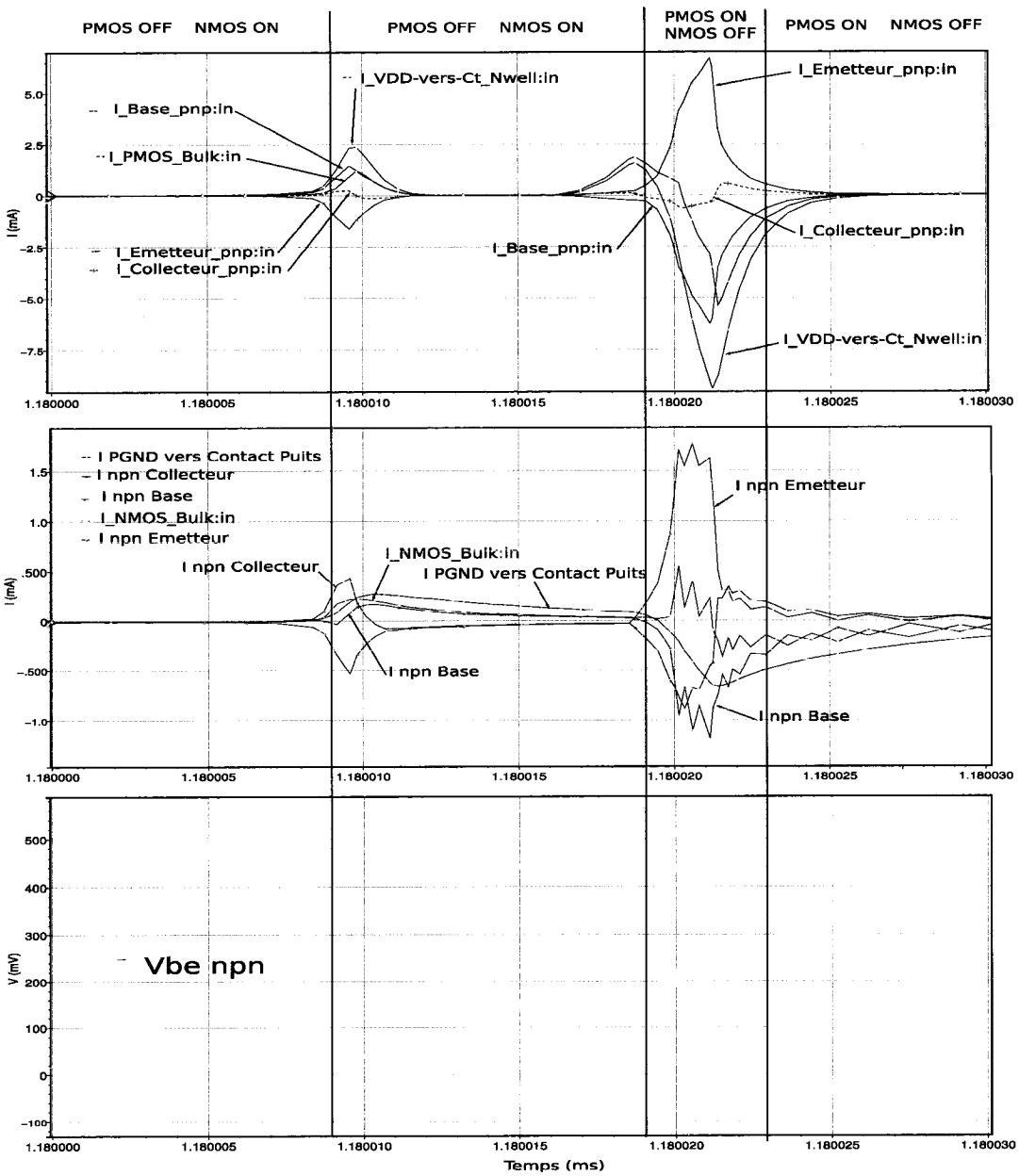


FIG. 2.20 Courants pnp, npn et tension base émetteur pour la transition de type (b)

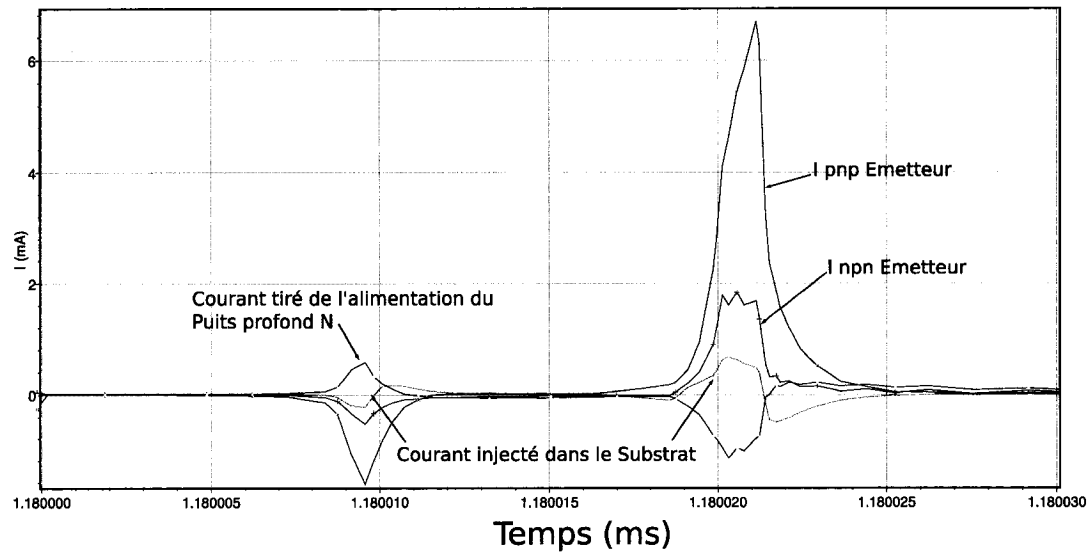


FIG. 2.21 Courants injectés dans le substrat et les alimentations pour la transition de type (b)

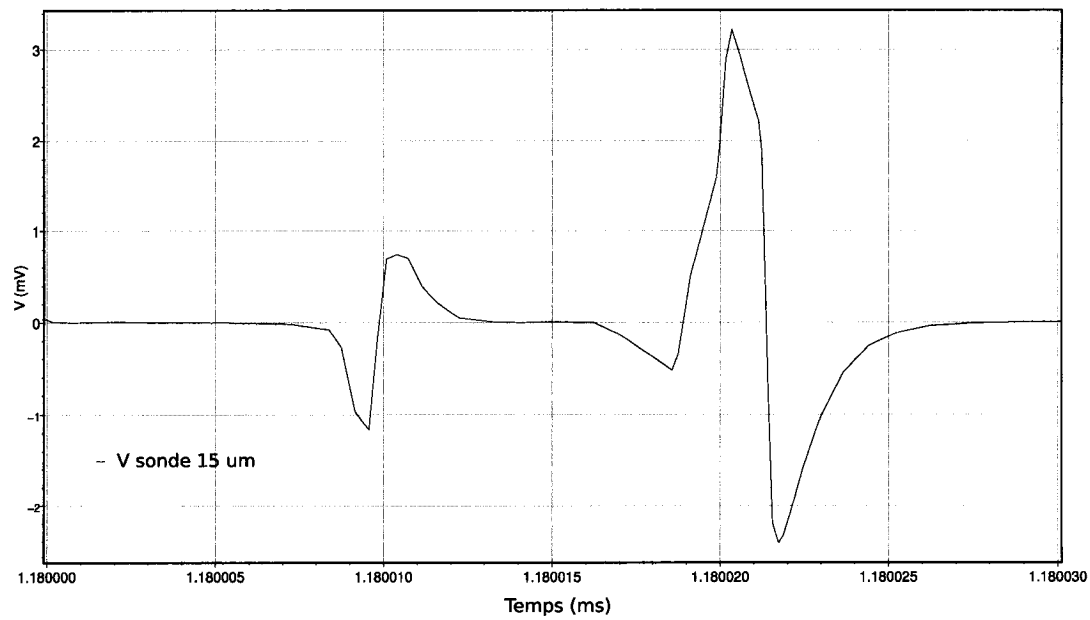


FIG. 2.22 Potentiel du substrat à 15 µm de l'agresseur pour le modèle personnalisé pour la transition de type (b)

oscillation amortie caractéristique de la présence des inductances du boîtier. Les figures 2.23, 2.24, 2.25, 2.26 suivantes exposent l'impact du boîtier sur l'injection de bruit pour la transition de type a).

Au niveau des chemins de courants empruntés, le comportement reste le même, avec les mêmes niveaux de courants pour chaque chemin. La différence réside encore une fois dans l'oscillation présente de ces courants due à la présence des éléments parasites du boîtier. La tension Vbe du npn est également affectée par le boîtier, et atteint même au maximum 700 mV pour ensuite osciller autour de 400 mV. Ces pics permettent de placer le bipolaire à son seuil d'activation.

Au niveau du potentiel de la sonde à 15 µm, le substrat oscille entre environ + 50 mV et -50 mV. L'impact du boîtier est donc très important sur le niveau de bruit, en résonant avec le courant injecté dans le substrat. La figure 2.26 compare également les deux modèles avec ou sans bipolaire. On peut remarquer une augmentation de 20 % des oscillations du potentiel de la sonde. En effet la sonde avec le modèle n'incluant pas les bipolaires oscille entre 40mV et -40mV. Ceci démontre clairement l'importance de prendre en compte les chemins de courant créés par les bipolaires. Ceux-ci sont amplifiés par la présence des inductances du boîtier qui impliquent l'oscillation du potentiel du substrat.

Une analyse fréquentielle du potentiel de la sonde permet de discerner les différentes composantes du bruit recueilli par le substrat (Figure 2.27). La courbe en rouge (foncée) représente le spectre en puissance du potentiel du substrat pour le modèle avec les bipolaires parasites, tandis que la courbe verte (claire) n'inclut pas les bipolaires. Les deux modèles incluent une modélisation du boîtier. On remarque que pour des fréquences allant jusqu'à 3 MHz, le profil spectral est le même pour les deux modèles. Le bruit dû à la présence du boîtier se situe aux fréquences de l'ordre de 100 MHz. A ces fréquences, le modèle comportant les chemins offerts par

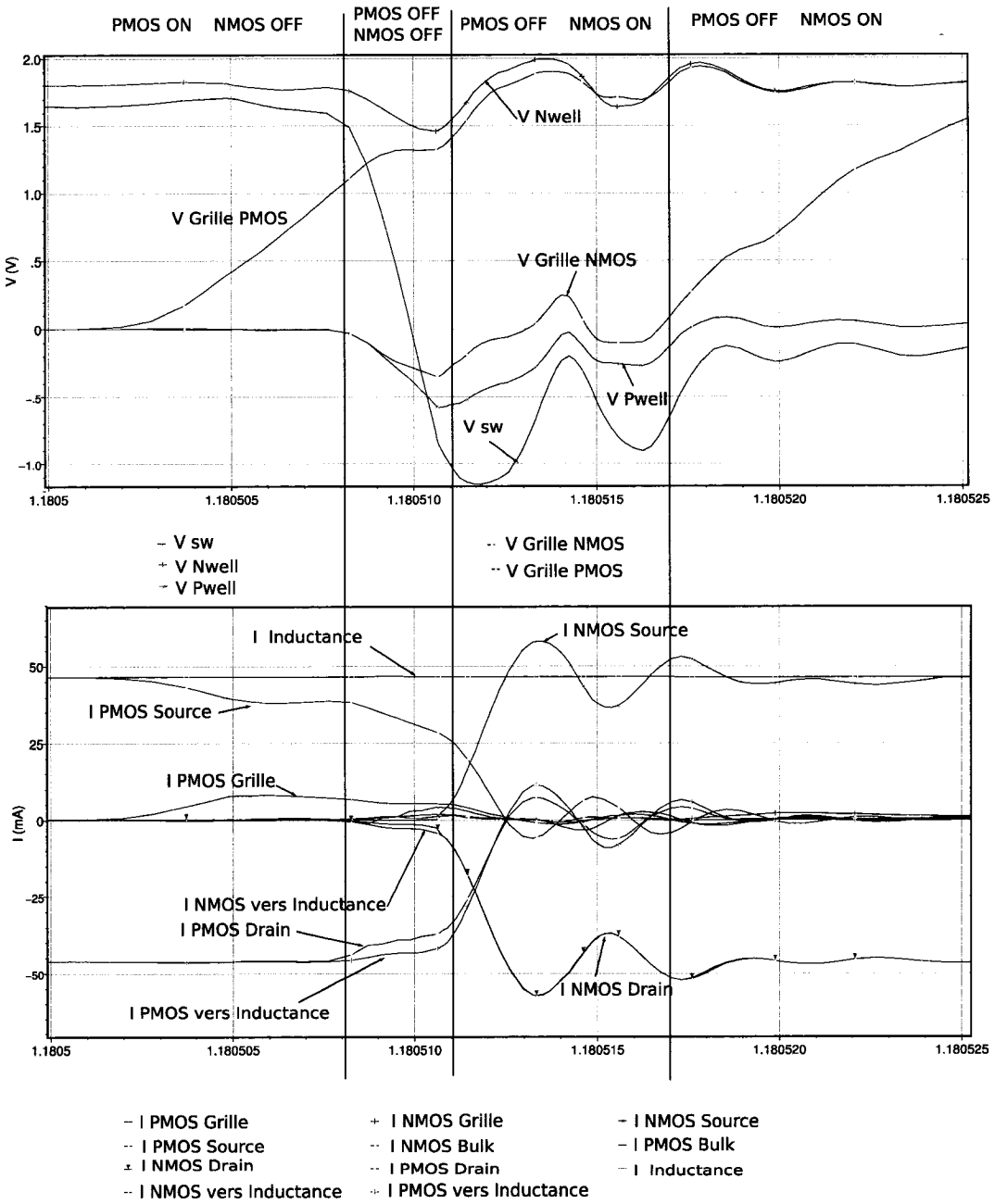


FIG. 2.23 Tensions principales et Courants des transistors pour la transition de type (a) prenant en compte le modèle du boîtier

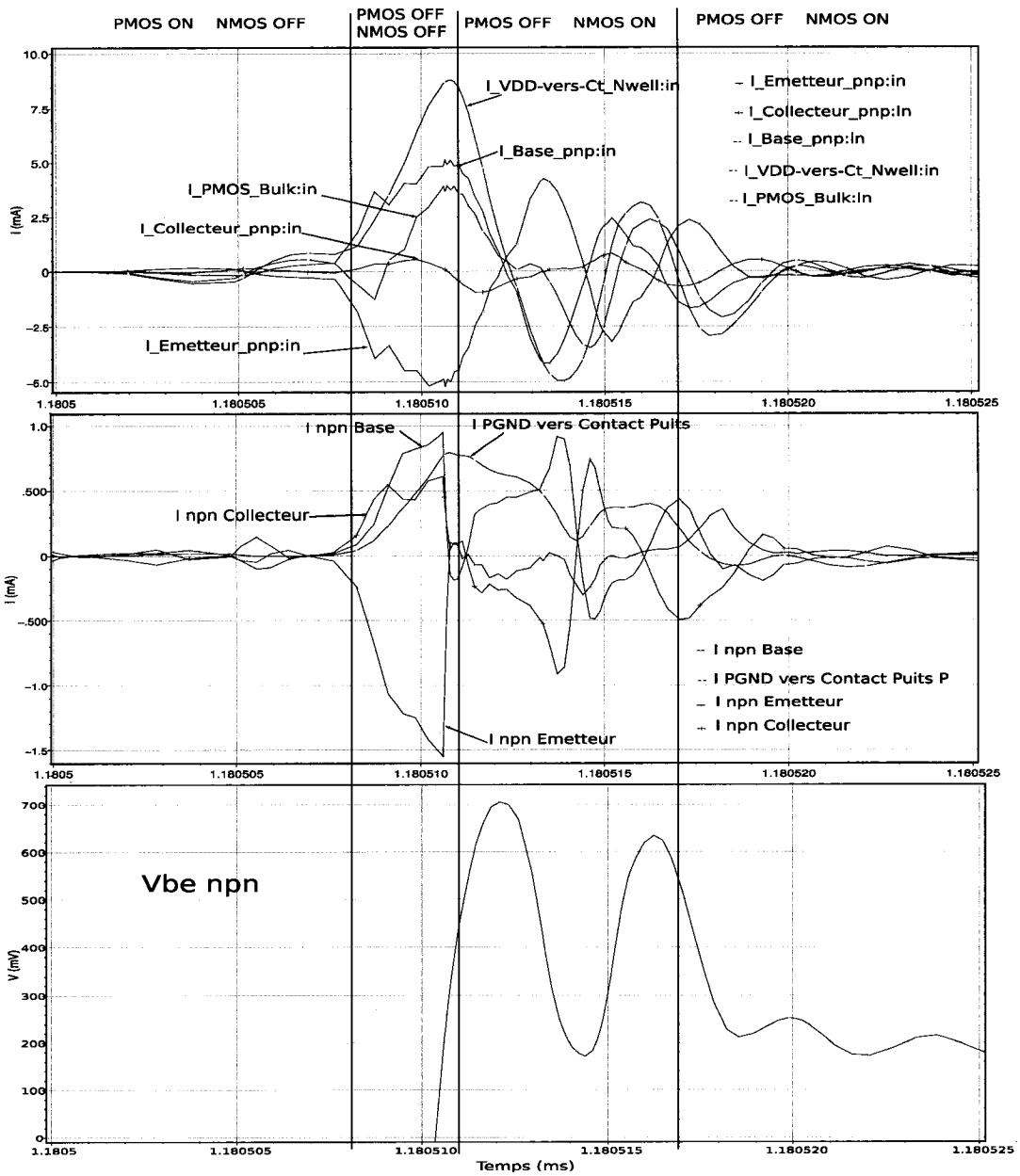


FIG. 2.24 Courants pnp, npn et tension base émetteur pour la transition de type (a) prenant en compte le modèle du boîtier

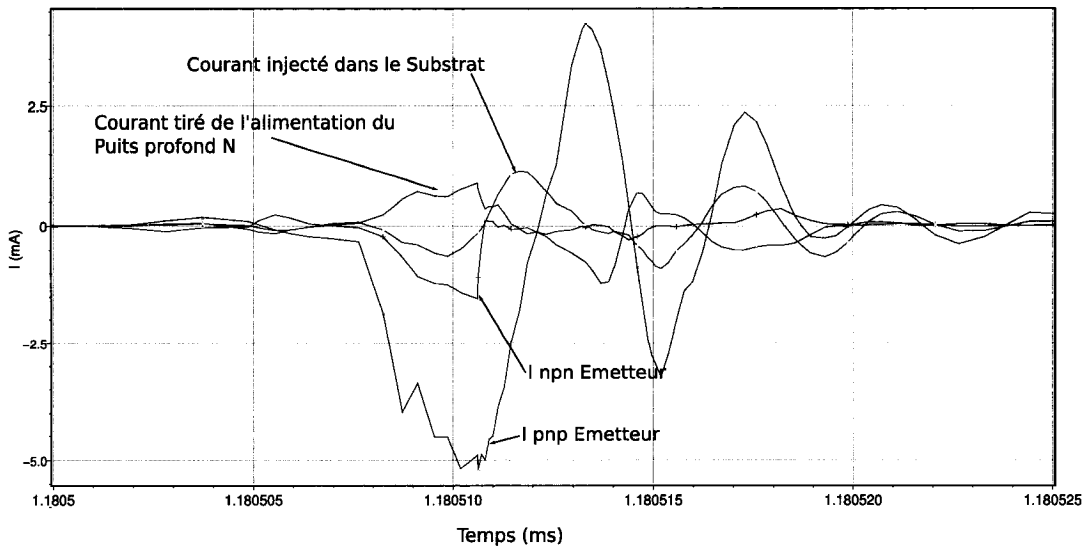


FIG. 2.25 Courants injectés dans le substrat et les alimentations pour la transition de type (a) prenant en compte le modèle du boîtier

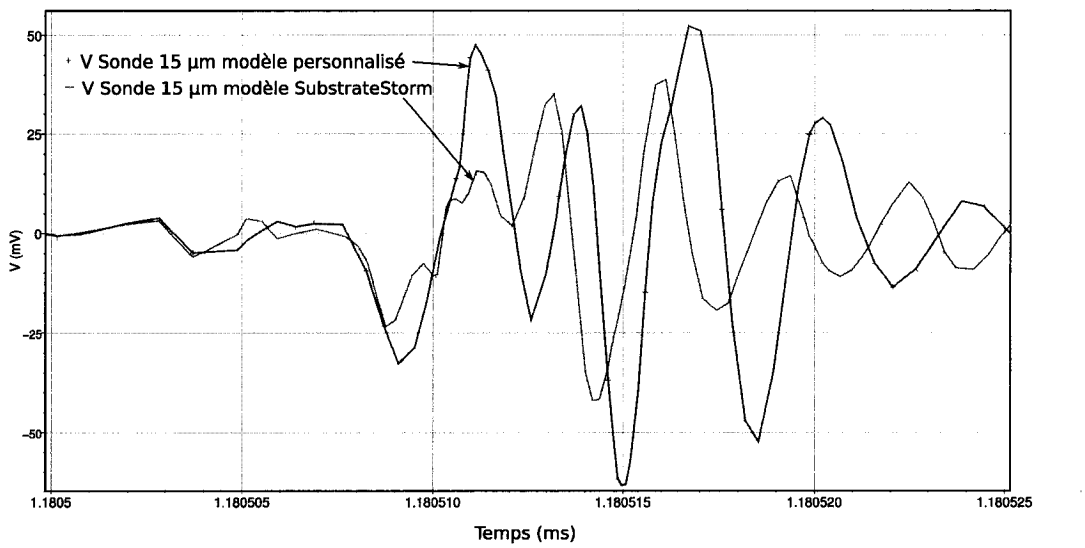


FIG. 2.26 Comparaison des potentiels du substrat à 15 µm pour le modèle optimisé et pour un modèle sans bipolaire lors d'une transition de type (a)

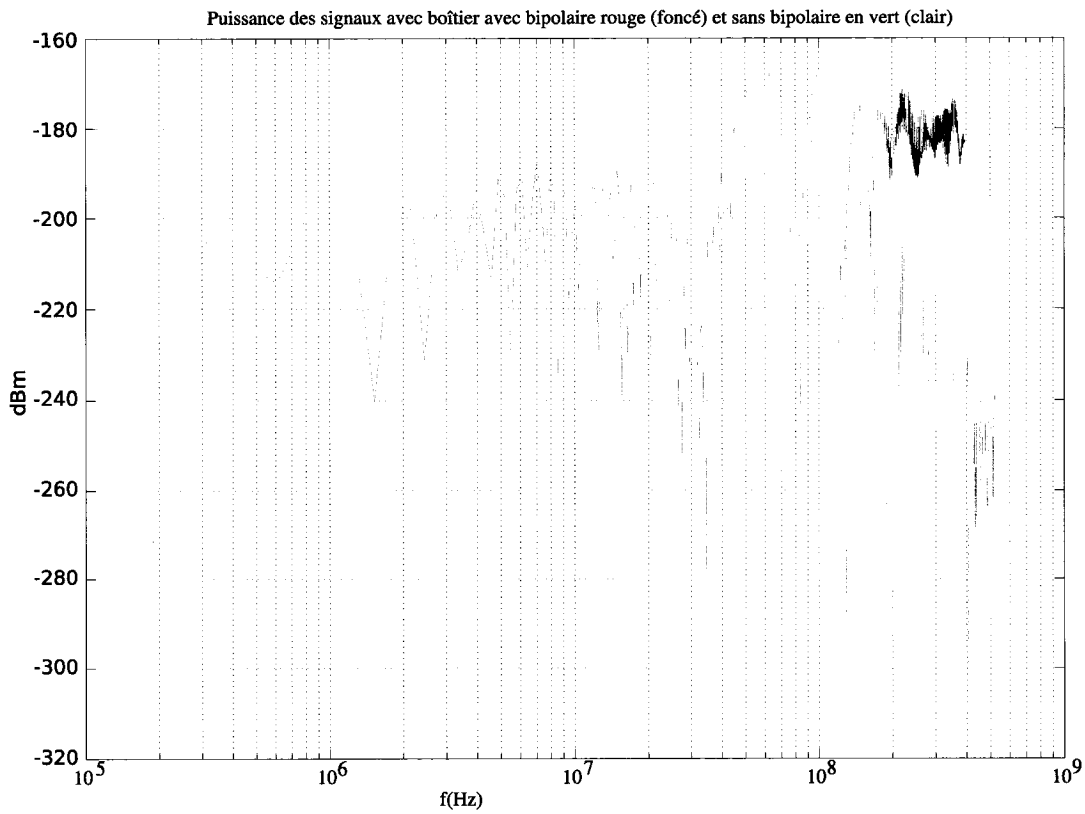
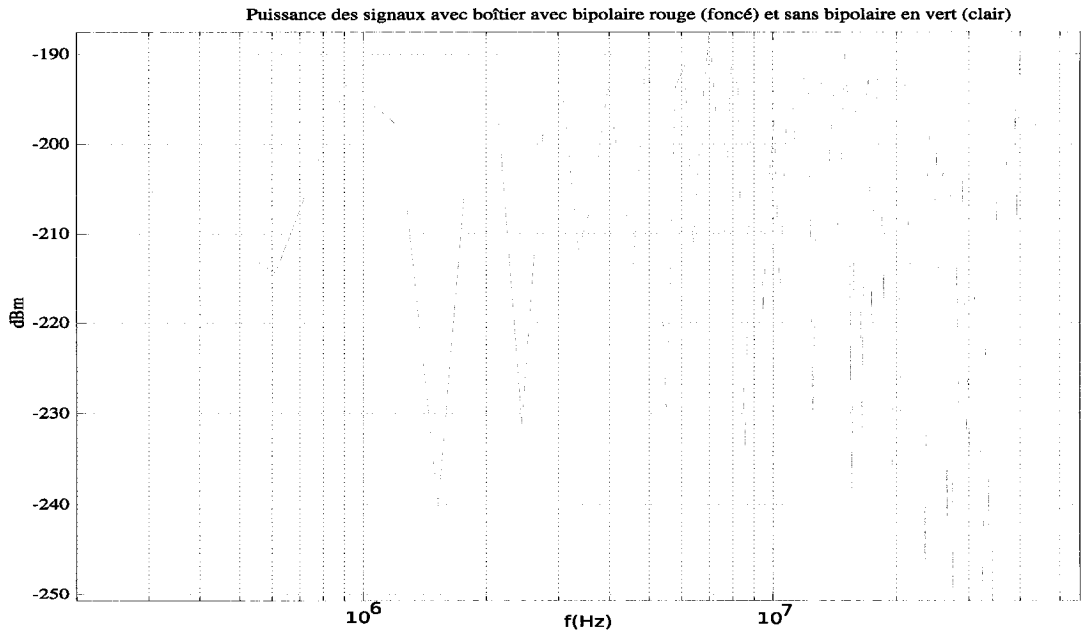
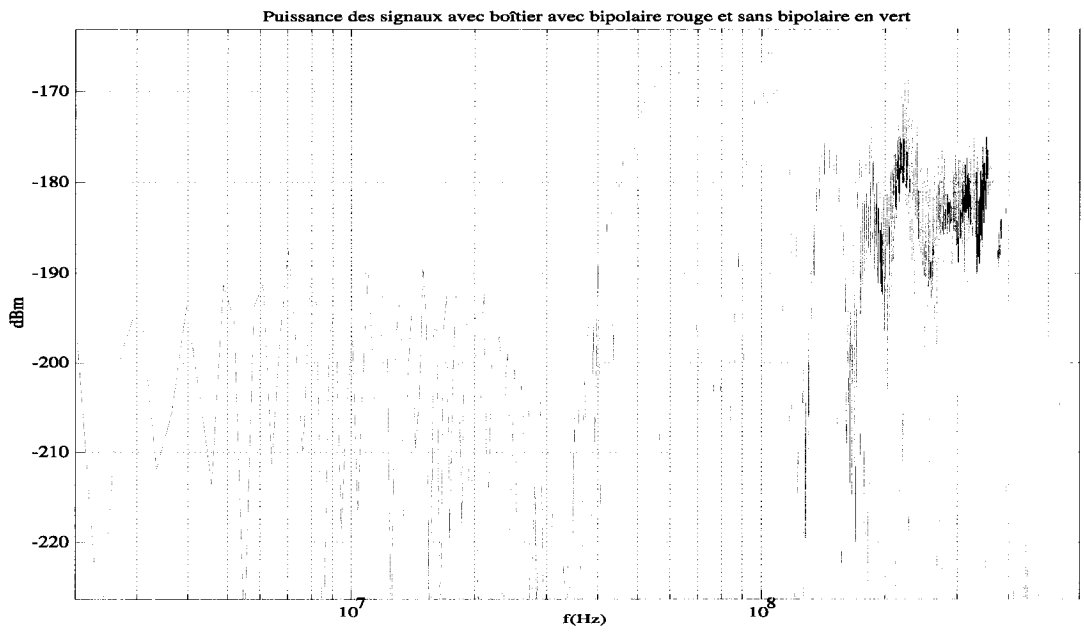


FIG. 2.27 Transformée de Fourier du potentiel de la sonde 15 µm pour les deux modèles (rouge (foncé) : modèle personnalisé) (vert (clair) : modèle sans bipolaire)

les bipolaires présente des pics plus élevés de plus de 10 dBm à 200 MHz (Cf. figure 2.28 b)). La résonance avec le boîtier est beaucoup plus importante, car le courant injecté dans le substrat est plus important du fait de la présence des bipolaires. La composante fréquentielle due aux bipolaires se situe également entre 5 et 10 MHz (Cf. figure 2.28 a)). En effet on peut observer que les pics fréquentiels sont en moyenne de 4 dBm supérieur dans le cas du modèle avec bipolaire. L'ajout des bipolaires a donc un impact non négligeable dans les plages de fréquence de l'ordre de 10 MHz.



(a)



(b)

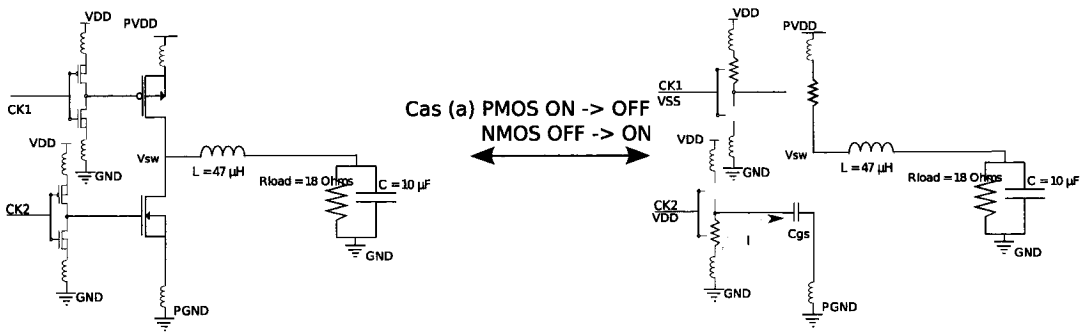
FIG. 2.28 Zoom sur la Transformée de Fourier du potentiel de la sonde 15 µm pour les deux modèles (rouge (foncé) : modèle personnalisé) (vert (clair) : modèle sans bipolaire)

2.4.4 Résultats de simulations avec modélisation du boîtier et du PCB

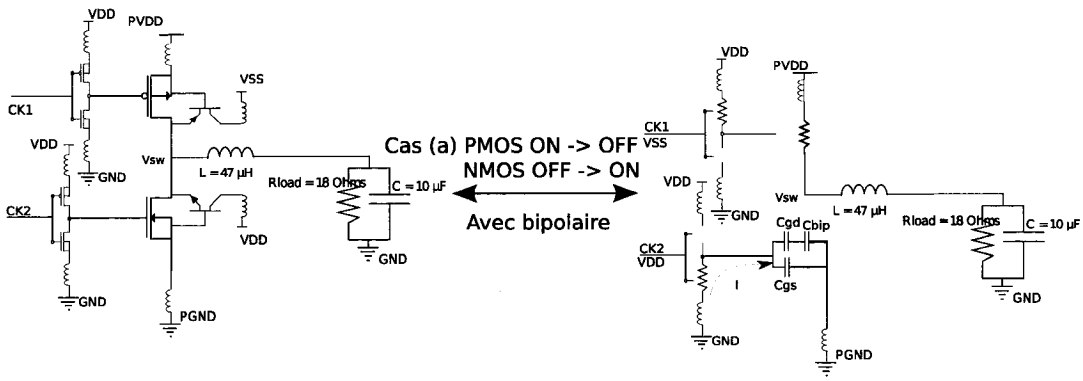
Dans le but de comparer les résultats de simulations avec les résultats expérimentaux, il faut tenir compte de tous les éléments nécessaires au test du circuit afin de modéliser le plus fidèlement possible le comportement réel du circuit. Dans ce but, un circuit imprimé de test (PCB : Printed Circuit Board) a été réalisé (voir la partie 2.5.2) pour mesurer les différents chemins de courant. Ce PCB rajoute des chemins inductifs et résistifs dont il faut tenir compte dans le modèle. C'est pour cela que les caractéristiques du PCB fabriqué ont été recueillies expérimentalement et ajoutées au modèle de simulation. L'inductance rajoutée sur chacun des chemins est d'environ 150 nH et de quelques ohms pour la résistance de chemin. Ce rajout permet de rendre compte le mieux possible des éléments parasites apportés par le test du circuit.

De plus, la durée du recouvrement des modes de fonctionnement est allongée à 250 ns afin de se placer dans la même configuration que celle du test expérimental (voir la partie 2.5.2).

Les courbes suivantes montrent que les phénomènes sont identiques à ceux vus précédemment exceptés que les signaux oscillent maintenant à une fréquence caractéristique d'environ 84 MHz. Cette oscillation est probablement due à la création du canal du NMOS : le courant entrant dans la grille du NMOS afin de former le canal du NMOS fait résonner la structure RLC formée par les inductances de boîtier, du PCB, la capacité de grille du NMOS et les capacités du puits profond N (Cf figure2.29). La capacité de grille du NMOS est évaluée en simulation à environ 8 pF (représentant 2856 NMOS en parallèle chacun de dimension W/L = 1800nm / 350 nm) , lorsque le NMOS est dans son état "OFF". La somme des inductances peut être évaluée à environ 350 nH et la somme des capacités est d'environ 9 pF (Cf. figure 2.29 a)), ce qui fait une fréquence de résonance de la centaine de MHz



(a) sans bipolaire



(b) avec bipolaire

FIG. 2.29 Réseau RLC responsable de l'oscillation

$\left(f = \frac{1}{2\pi\sqrt{LC}}\right)$ pouvant être l'une des causes des oscillations observées en simulations. L'ajout des bipolaires rajoute une capacité parasite dans le réseau RLC, d'où l'observation d'une diminution de la fréquence d'oscillation de 96 MHz à 84 MHz. La capacité est alors évaluée dans ce second modèle (Cf. figure2.29 b)) à 9.43 pF. Les valeurs des capacités ont été trouvées en simulant les deux types de circuits à l'aide d'une simulation AC.

La figure 2.30 montre le même comportement que pour le modèle sans PCB, la différence réside principalement dans la fréquence de résonance de l'oscillation. Par contre un phénomène intéressant est mis en valeur en allongeant la durée de recouvrement des modes de conduction. Le potentiel Vsw subit deux phénomènes

d'oscillation : le premier tout de suite après la chute rapide à -1.5 V jusqu'au temps 1.18055 ms et le second de la fin du dernier jusqu'au temps 1.18076 ms. Les deux phénomènes ont sensiblement la même fréquence d'oscillation, cependant le premier est fortement amorti alors que le second est très faiblement amorti. Le premier est dû à la fermeture du canal du transistor PMOS impliquant l'activation des chemins de courants par les bipolaires, tandis que le second est dû au maintien du canal du NMOS. Dans ce cas ci, un courant est injecté par la grille du NMOS et entre dans la structure RLC vu plus haut. Ce courant injecté permet de maintenir le canal formé, bien que le signal à la grille ne commande pas cela. Ce phénomène n'apparaissait pas dans les parties précédentes car la deuxième oscillation était masquée par la première amortie et parce que le signal de contrôle de la grille du NMOS commandait rapidement la formation du canal. La figure 2.31 b) montre les courants entrant par la grille du transistor NMOS, ainsi que ceux sortant par le "bulk" du transistor du même transistor. On peut remarquer qu'ils oscillent à environ 80 MHz.

Au niveau des courants traversant les transistors, les comportements sont également les mêmes. Cependant les niveaux de courants sont moins élevés. En effet, lorsque les transistors sont dans un mode de conduction stable (PMOS "ON" ou bien NMOS "ON"), les courants les traversant sont plus faibles que dans les simulations précédentes : de l'ordre de 35 mA, en comparaison aux 50 mA pour les modèles précédents. Ceci est dû au fait qu'en prenant en compte le modèle du PCB, on prend aussi en compte la partie résistive des fils de connexions, ainsi les tensions présentes sur la puce sont moins élevées, d'où la valeur des courants.

Cependant, le phénomène observé lorsque les deux transistors sont "OFF" est toujours bien visible, notamment au niveau de la différence entre le courant provenant du drain du transistor dénommé "I PMOS Drain" respectivement "I NMOS Drain" (tenant compte du courant provenant du canal du transistor et de la jonction drain-

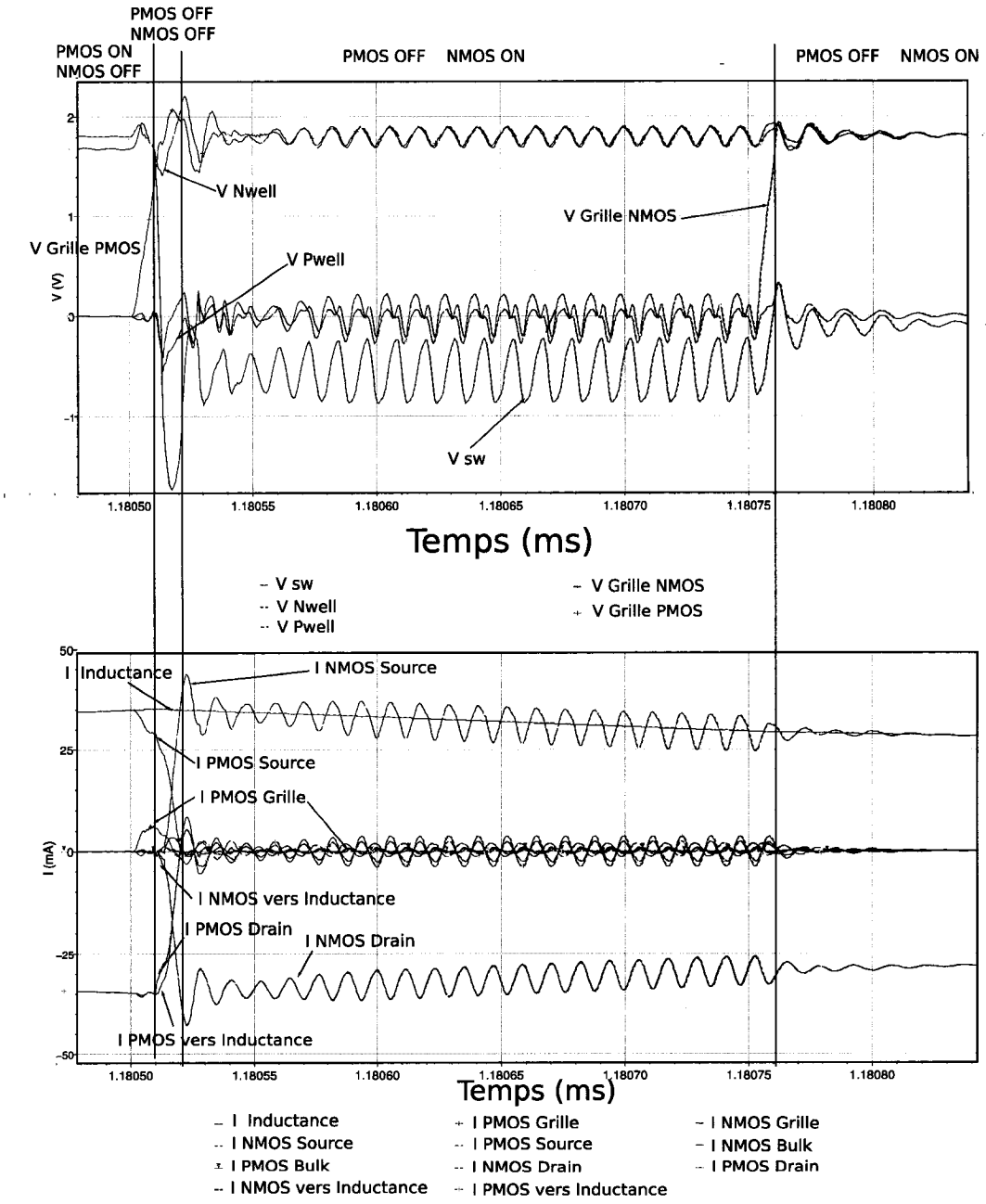


FIG. 2.30 Tensions principales et Courants des transistors pour la transition de type (a) prenant en compte le modèle du boîtier et du PCB

puits) et le courant se dirigeant vers l'inductance provenant de la région du même transistor dénommé "I PMOS vers inductance" respectivement "I NMOS vers inductance" (tenant compte en plus du courant provenant du bipolaire parasite). Cette différence montre qu'une partie du courant ne provient pas des chemins classiques offerts par les transistors, mais bien des chemins offerts par les bipolaires parasites.

Si l'on observe en détail les courants traversant les bipolaires parasites (figure 2.31), on peut remarquer que ces courants diminuent très peu en valeur absolue par rapport aux simulations précédentes. Prenons l'exemple du courant de base du pnp qui est au maximum de 4.25 mA, alors qu'il était avec un modèle incluant seulement le boîtier de 5mA. Cette baisse représente une chute de 15 %, mais elle reste relativement faible par rapport à la baisse totale du courant traversant les canaux des transistors (environ 30 % : de 50 mA à 35mA). En outre, on observe même une augmentation des courants traversant le bipolaire npn, qui dans le cas de l'émetteur npn passent de 1.5 mA (modèle incluant le boîtier) à 1.8 mA. Quant à la tension base émetteur du bipolaire npn, nous pouvons remarquer que celle-ci augmente fortement. Un pic à plus de 1.5 V est observé, puis elle se stabilise aux alentours de 500 mV. Ces larges variations sont reliées aux fluctuations intenses du potentiel Vsw. Le niveau de la tension Vbe montre qu'une activation partielle du bipolaire est possible.

Du fait du niveau des courants traversant les bipolaires (quelques mA), il est nécessaire de prendre en compte leur rôle dans le transport du courant.

La figure 2.33 compare le potentiel de la sonde pour différents modèles : avec ou sans bipolaire en incluant la modélisation du boîtier et du PCB et avec bipolaire en incluant seulement la modélisation du boîtier. La prise en compte du PCB augmente fortement la présence de signaux parasites au niveau de la sonde. Par ailleurs, la prise en compte des bipolaires dans le modèle a une influence notable

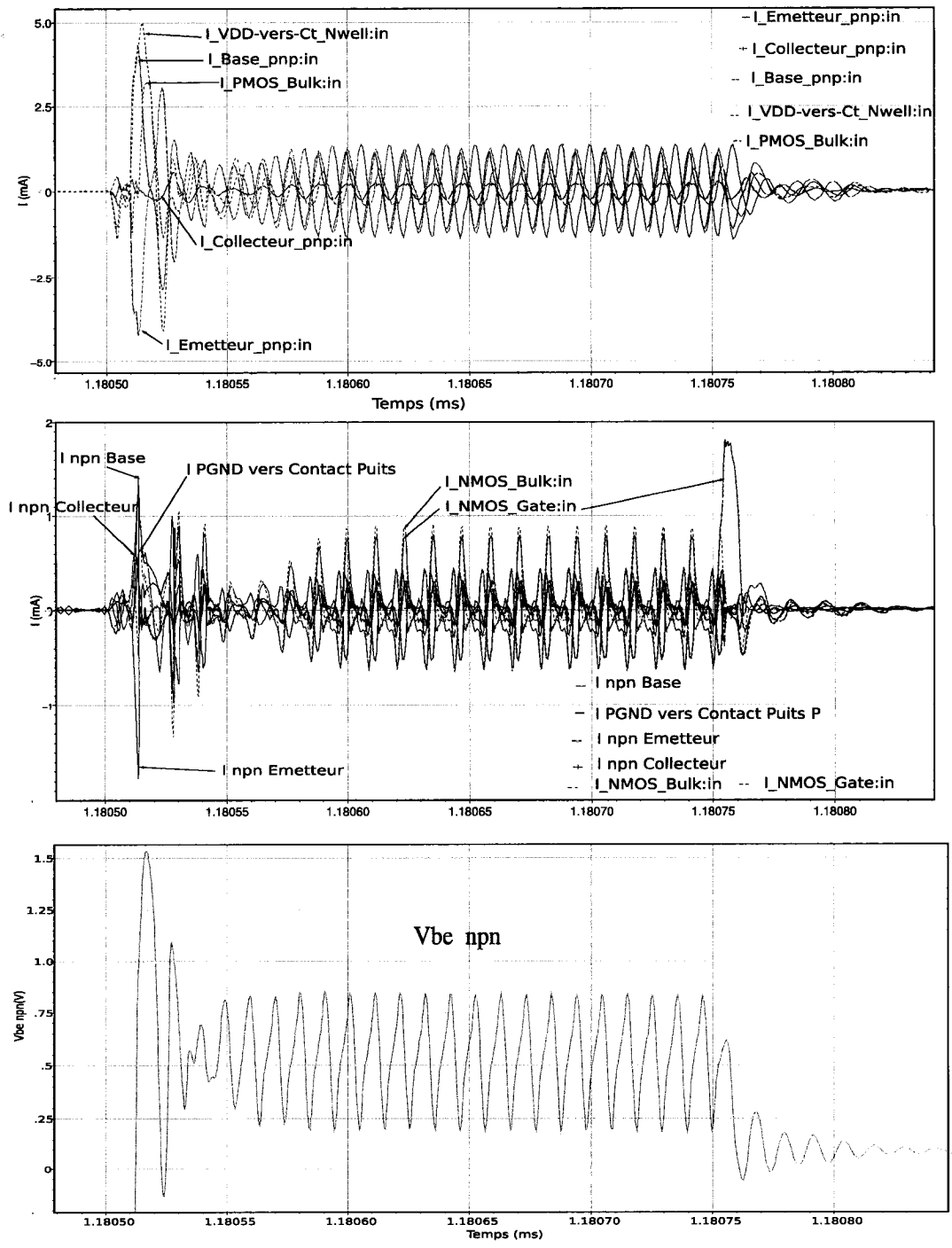


FIG. 2.31 Courants pnp, npn et la tension Vbe du npn pour la transition de type (a) en prenant en compte le modèle du boîtier et du PCB

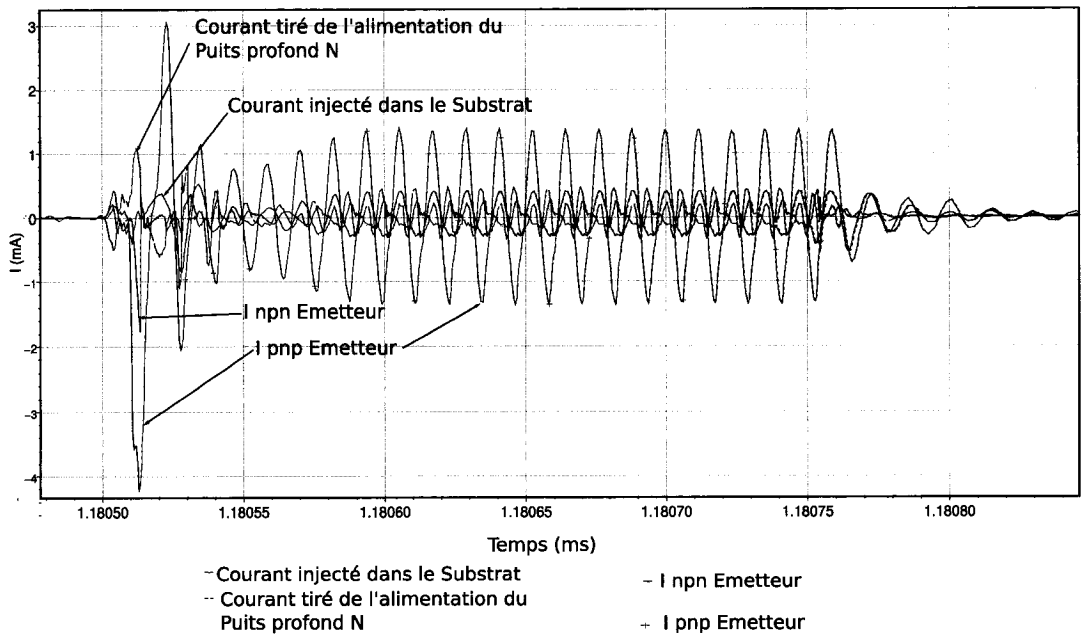


FIG. 2.32 Courants injectés dans le substrat et les alimentations pour la transition de type (a) en prenant en compte le modèle du boîtier et du PCB

sur la valeur maximale de la tension de la sonde. Une augmentation de 10 % du potentiel peut être observée. De plus la fréquence d'oscillation est également changée, mais cette modification reste très légère. En effet si l'on considère les modèles incluant les éléments parasites du boîtier et du PCB, la fréquence passe de 96 MHz pour le modèle ne comportant pas les bipolaires à 84 MHz. Ce changement est dû principalement à l'ajout des capacités parasites des bipolaires, d'où la réduction de la fréquence.

A titre de comparaison la figure 2.34 donne la tension DC de sortie. En régime permanent, la tension se stabilise à 533 mV.

La prise en compte de la modélisation du PCB a permis d'obtenir un modèle de comparaison utile pour comprendre les résultats expérimentaux. L'ajout du PCB a un impact important sur les niveaux des courants passants dans les canaux des transistors, sans pour autant changer la répartition des courants entre les différents

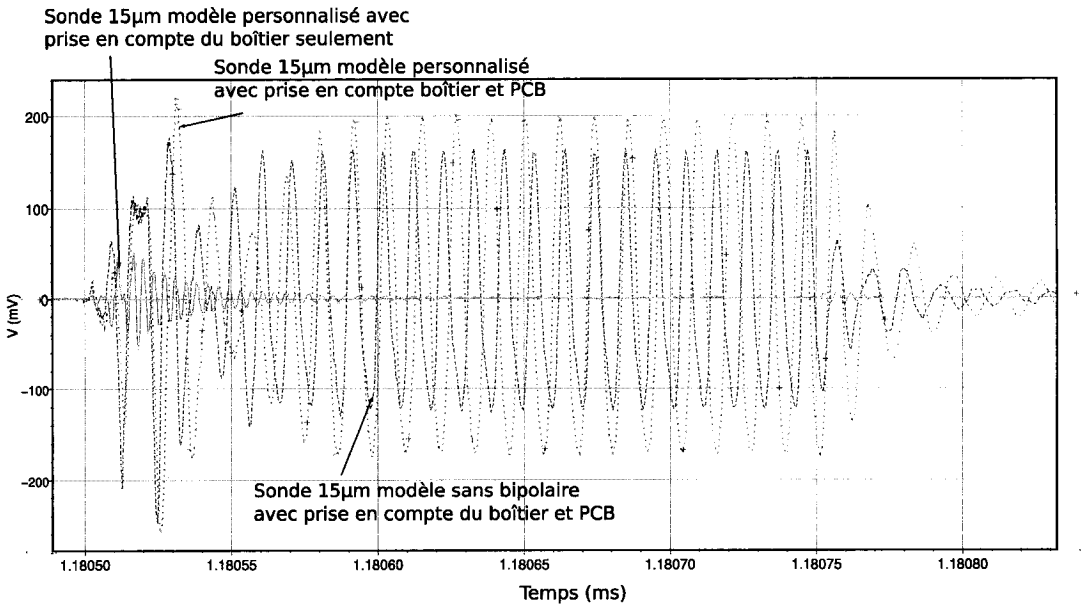


FIG. 2.33 Comparaison du potentiel du substrat à 15 µm de l'agresseur pour le modèle personnalisé prenant en compte le modèle du boîtier et du PCB (rouge), le modèle sans les bipolaires en prenant en compte le modèle du boîtier et du PCB (bleu), le modèle personnalisé prenant en compte seulement le modèle du boîtier (rose)

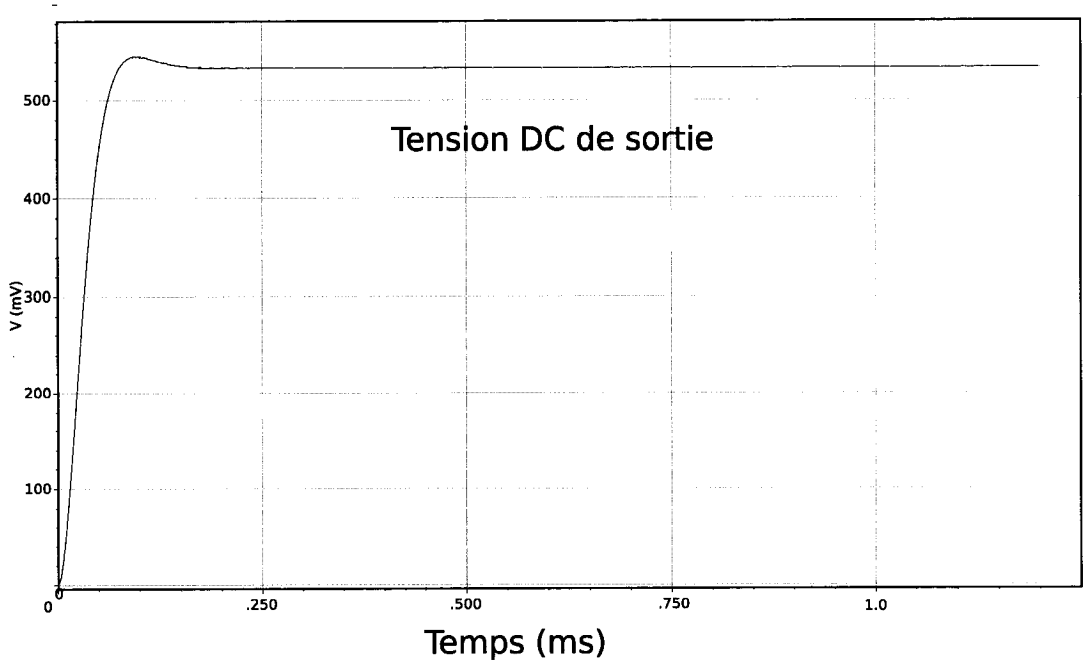


FIG. 2.34 Tension de sortie DC en tenant compte du boîtier et du PCB

chemins.

2.5 Résultats expérimentaux

Le but de cette partie est de valider les simulations et le modèle du substrat avec des résultats expérimentaux. Les résultats expérimentaux sont obtenus à l'aide d'une puce fabriquée par la CMC en technologie mixte CMOS 0.18 µm de la TSMC comportant 6 couches de métallisation et une couche de polysilicium. Cette partie présente le fonctionnement du hacheur série à redressement synchrone intégré sur la puce, ainsi que le bruit injecté lors de son fonctionnement.

2.5.1 Puces fabriquées

Plusieurs puces différentes ont été fabriquées comprenant différentes versions du convertisseur et un amplificateur à large bande passante (ICFPMVB1 ICFPMIB2). Le but de la puce ICFPMVB1 est de mesurer le potentiel du substrat à différentes distances d'un agresseur. Cette mesure s'effectue à l'aide d'un amplificateur à entrée et sortie différentielles à faible gain sur une large bande passante de 100 kHz à 1 GHz. Malheureusement, cet amplificateur n'a pas donné les résultats escomptés (seulement le DC de l'amplificateur fonctionne). Le développement de la puce ICFPMIB2 fait suite aux récents progrès dans l'analyse et la compréhension des phénomènes d'injection du bruit par un convertisseur. De nouveaux chemins d'injection de bruit dans le substrat et les alimentations ont en effet été identifiés, et le but de cette puce est de mesurer les courants transportés par ces chemins. Ainsi, un convertisseur adapté a été conçu : il comporte le même nombre de transistors que le convertisseur dit "original", la différence réside dans la manière de brancher les différents modules entre eux. Chaque connexion aux différents modules est isolée, afin de pouvoir mesurer le courant propre associé à chaque bloc. La figure 2.35 suivante illustre cette conception modifiée. Par ailleurs une connexion directe au substrat a été ajoutée, afin de mesurer le bruit à une distance d'environ 15 µm de l'agresseur.

2.5.2 Résultats expérimentaux

Les résultats expérimentaux sont obtenus à partir d'une carte de circuit imprimé (en anglais PCB : Printed Circuit Board). La puce et les composants discrets sont directement implantés sur cette carte et permet d'obtenir de meilleurs résultats qu'avec une plaquette de test classique. Le design du PCB est donné en annexe II.

2.5.2.1 Description du mode opératoire

Le but du mode opératoire est de placer le convertisseur dans les conditions où l'on pourra observer les mêmes phénomènes qu'en simulation. Pour cela on alimente le convertisseur à 1.8V à l'aide d'un bloc d'alimentation. Les signaux des horloges Ck PMOS et Ck NMOS sont générés à l'aide d'un générateur de signaux carrés. Le générateur permet de décaler dans le temps les deux signaux d'horloge et donc ainsi obtenir le recouvrement des modes de conduction des transistors voulu. Pour des raisons d'observabilité à l'oscilloscope des phénomènes, la configuration retenue pour le recouvrement des signaux est de 250 ns. Même si cette configuration ne se réalise pas dans un comportement normal, les phénomènes observés sont de même nature que si le recouvrement était seulement de 15 ns. L'intérêt principal est qu'il est plus facile de les observer. Les signaux envoyés oscillent entre 0 et 1.8 V, à une fréquence de 1 MHz. Les composants discrets utilisés et implantés sur le PCB sont une résistance de 18 Ohms (avec 5 % de précision), une capacité de 10 µF et une inductance de 47 µH avec un facteur de qualité de 2.5 (pour une plage de fréquence du Khz). Afin de sonder les tensions nous utilisons un oscilloscope numérique. Pour mesurer les courants des différents chemins, nous utilisons une sonde ampèremétrique qui permet de mesurer des courants de l'ordre du mA.

2.5.2.2 Fonctionnement

La configuration du circuit de test permet de faire fonctionner le convertisseur dans les mêmes conditions qu'en simulation. La figure 2.36 montre les signaux des deux horloges ainsi que le potentiel Vsw. Quatre modes de fonctionnement peuvent être distingués selon le mode d'opération des transistors PMOS et NMOS.

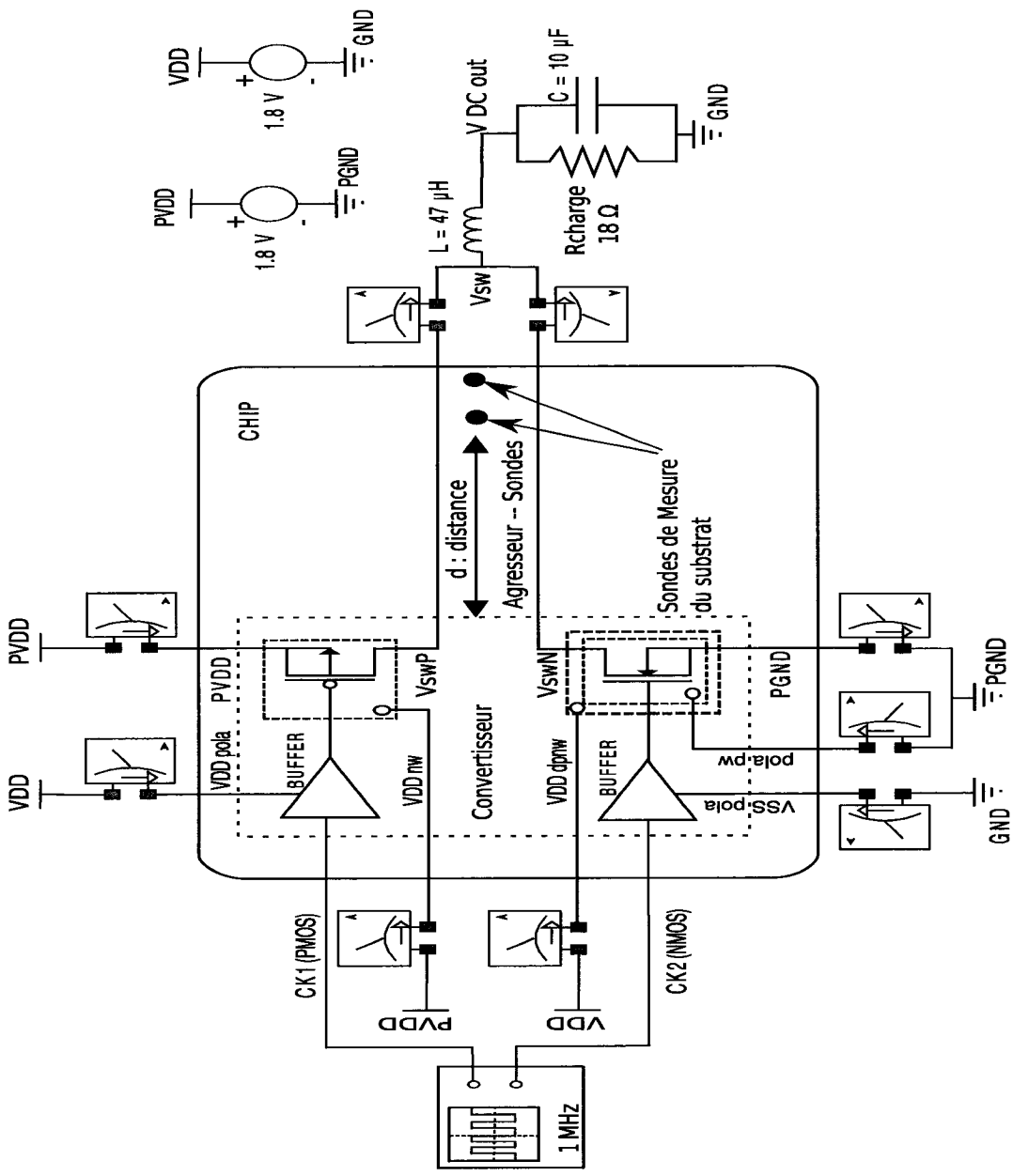


FIG. 2.35 Circuit de test du convertisseur

- **Dans le mode A (PMOS ON et NMOS OFF)** :

Les signaux des horloges ck PMOS et ck NMOS sont tous les deux à 1.8 V. Ce qui permet après passage par les tampons de commander à 0 V les grilles des transistors PMOS et NMOS. D'où le mode de fonctionnement de chacun des transistors. La tension Vsw est par conséquent égale à PVDD soit environ 1.8 V. La figure 2.37 expose les courants sortant par les drains et sources des transistors NMOS et PMOS. Le courant traversant la source représente le courant empruntant le canal des transistors. Dans cette phase A, on remarque que seulement du courant passe par le PMOS (environ 35 mA). Pour comparaison, nous obtenions également en simulation un courant de ce niveau durant cette phase. Le courant traversant le NMOS est nul, ce qui est normal, du fait de la valeur des signaux de contrôle qui commande seulement la création du canal du PMOS.

- **Dans le mode B (PMOS OFF et NMOS OFF)** :

Les signaux des horloges ck PMOS et ck NMOS sont respectivement à 0 et 1.8 V. Ce qui permet après passage par les tampons de commander respectivement les grilles des transistors PMOS et NMOS à 1.8 V et 0 V. C'est cette transition que l'on veut observer, et c'est lorsque les deux transistors deviennent "OFF" que l'injection de bruit est la plus grande. La tension Vsw, après un court instant de quelques nanosecondes chute de 1.8 V à environ -1 V. Le comportement expérimental est le même que celui observé en simulation, c'est à dire que l'inductance force la création de nouveaux chemins de courant et notamment active le canal du transistor NMOS. La tension Vsw oscille autour de -0.75 V à une fréquence de 80 MHz. Au niveau des courants des transistors exposés à la figure 2.37, on peut voir que du courant traverse le canal du PMOS bien que les signaux de contrôle commandent sa fermeture. Ceci met en valeur le rôle de l'inductance qui s'oppose à la fermeture des chemins de courants. Dans un deuxième temps, on peut voir que ce courant

chute et que le courant traversant le canal du NMOS augmente et se stabilise à 35 mA. Comme observé en simulation, l'inductance force la création du canal du NMOS, bien qu'aucun signal de contrôle ne commande cela. C'est l'inductance qui le permet, en forçant la chute du potentiel Vsw à -1 V puis sa stabilisation aux alentours de -0.75V.

– **Dans le mode C (PMOS OFF et NMOS ON)** :

Les signaux des horloges ck(PMOS) et ck(NMOS) sont tous les deux à 0 V. Ce qui permet après passage par les tampons de commander à 1.8 V les grilles des transistors PMOS et NMOS. La tension Vsw revient à un niveau normal proche de 0 V. Au niveau des courants, on n'observe aucune modification, ce qui est normal car le canal du NMOS est déjà formé.

– **Dans le mode D (PMOS ON et NMOS ON)** :

Les signaux des horloges ck(PMOS) et ck(NMOS) sont respectivement à 1.8 et 0 V. Ceci permet après passage par les buffers de commander respectivement les grilles des transistors PMOS et NMOS à 0 V et 1.8 V. Les deux transistors conduisent, c'est pour cela que la tension Vsw est à une tension intermédiaire entre 1.8 V et 0 V soit environ 1 V. Ce mode entraîne la conduction des deux transistors ce qui se traduit par d'importants courants traversant les transistors. Respectivement 115 mA entrent par le drain du NMOS et 150 mA entrent dans la source du PMOS. Au final, le courant traversant l'inductance est bien maintenu à 35 mA.

La figure 2.38 expose la tension DC de sortie et montre le bon fonctionnement du convertisseur qui donne en sortie une tension stable d'environ 500mV, comme observé en simulation. Cette valeur dépend fortement du rapport cyclique utilisé pour les horloges.

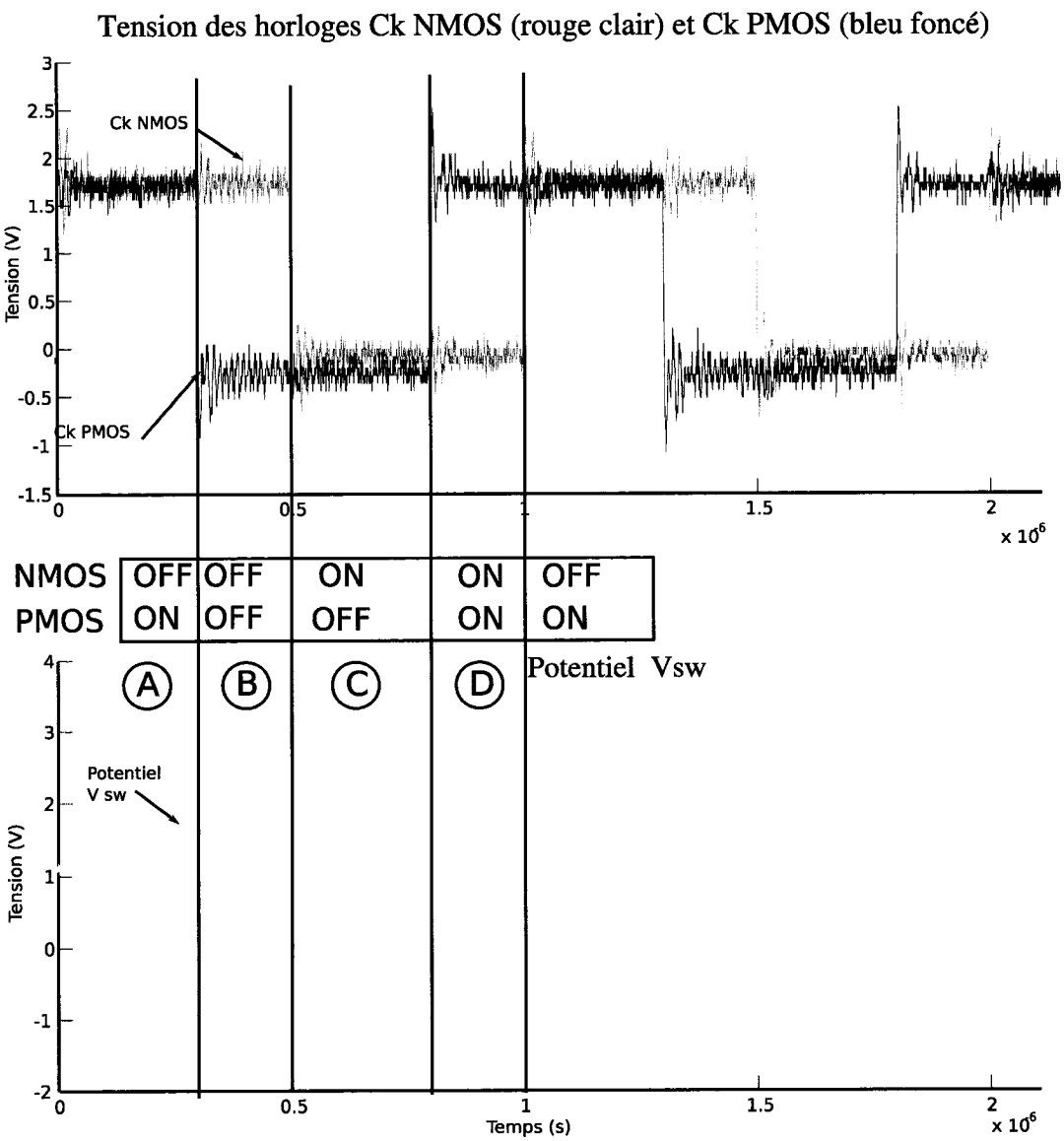


FIG. 2.36 Signaux expérimentaux des horloges de contrôles ck PMOS et ck NMOS, ainsi que du potentiel Vsw

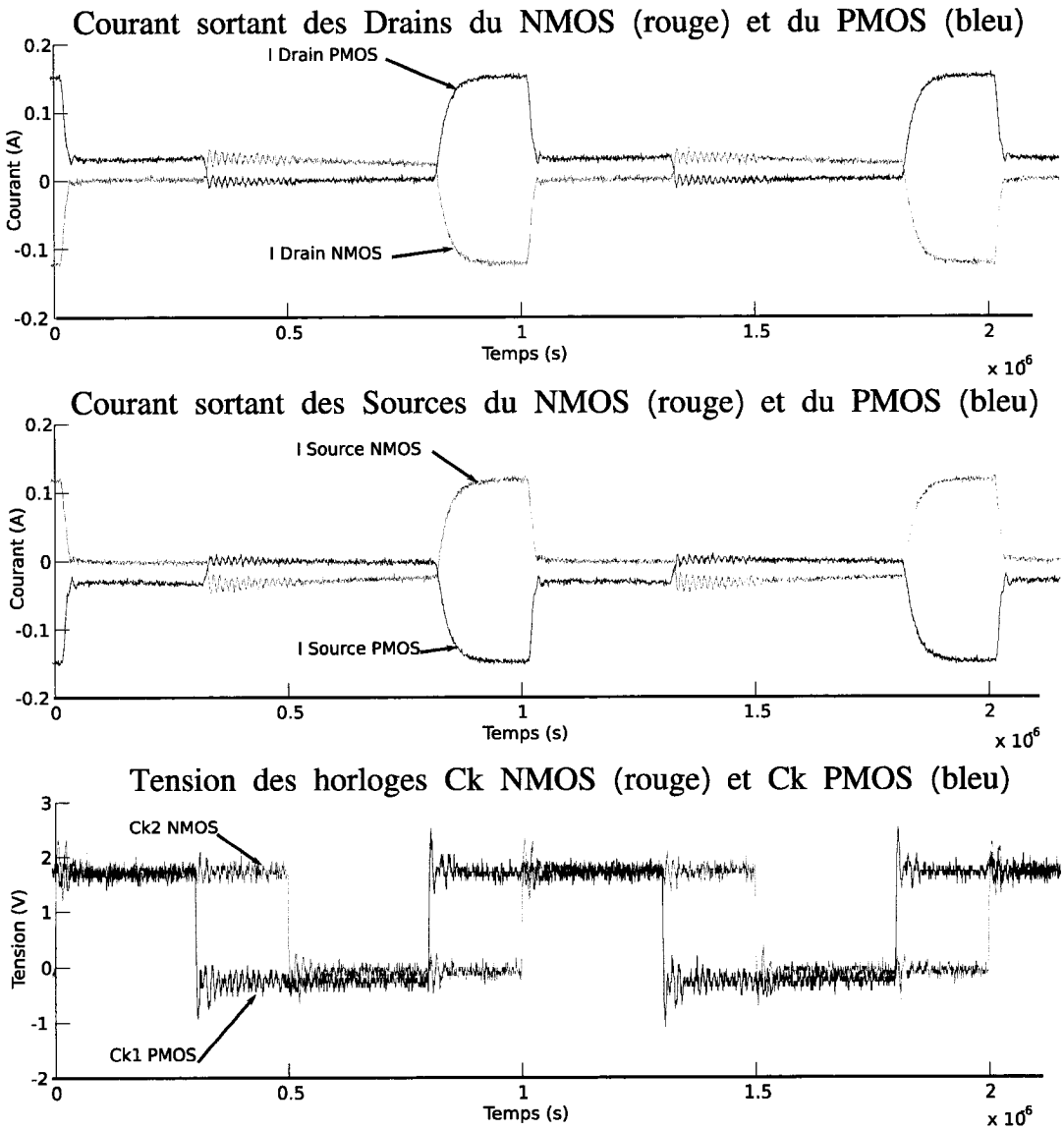


FIG. 2.37 Courants entrant dans les transistors NMOS et PMOS

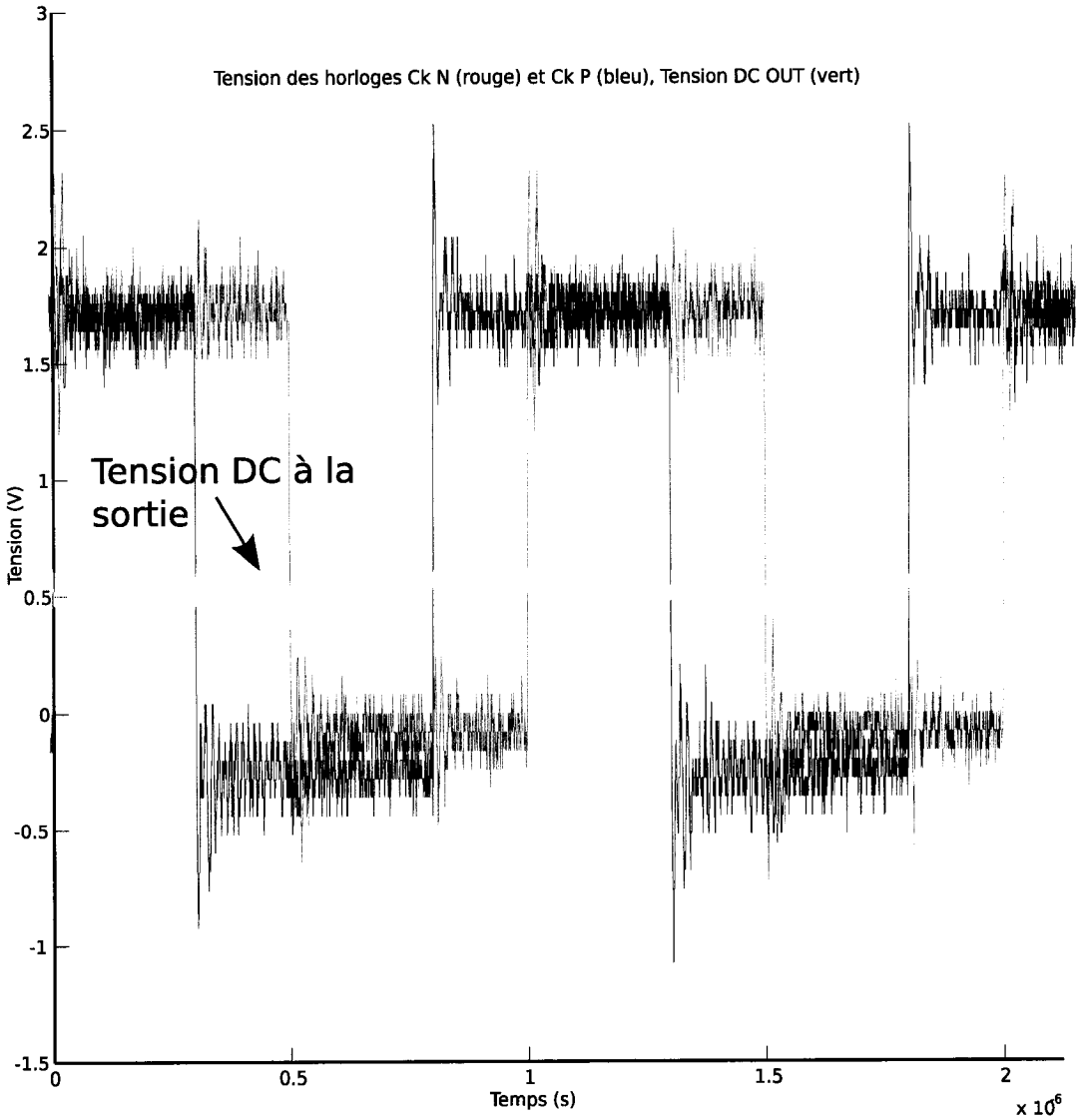


FIG. 2.38 Tension expérimentale Vout DC et les signaux d'horloges Ck PMOS et Ck NMOS

2.5.2.3 Courants injectés dans les alimentations et le substrat

Dans cette partie, nous nous intéressons aux courants injectés dans le substrat et les alimentations lorsque les deux transistors sont "OFF" (figure 2.39) et que l'inductance provoque la création de nouveaux chemins de courant. C'est dans ce cas-ci que les perturbations induites sur le substrat et les alimentations sont les plus importantes. Les courbes proviennent des résultats expérimentaux obtenus sur la même puce que précédemment.

Soulignons le fait que nous avons filtré les signaux à l'aide d'un filtre passe bas de Chebychev de type II ayant une fréquence de coupure de 10 MHz. Ce filtre permet d'atténuer les composantes fréquentielles associées aux oscillations induites par le boîtier et l'environnement de test. Ces composantes sont néfastes à la visibilité des courants auxquels on s'intéresse.

La figure 2.39 met en valeur la chute du potentiel Vsw de 1.5 V jusqu'à la valeur crête atteignant -1 V, puis son oscillation autour de -0.75 V à la fréquence caractéristique de 80 MHz. Ces oscillations sont dues à la présence du boîtier et du PCB. Elles sont du même ordre de fréquence que celles obtenues en simulation. On remarque également les deux phénomènes oscillatoires vu précédemment en simulation. Le premier phénomène est moins amorti qu'en simulation, tandis que l'amplitude du second est beaucoup moins importante que ce que l'on observait en simulation. La première oscillation est due à la fermeture des chemins classiques de courants et donc à l'utilisation d'autres chemins de courants offerts par les bipolaires. La deuxième oscillation est due à l'établissement du canal du NMOS et à son maintient bien qu'aucun signal ne commande sa création. Ces deux phénomènes oscillatoires observés en expérimentation montrent la pertinence du modèle élaboré. La seule différence réside dans l'amortissement de ces oscillations, cela est sûrement dû à une mauvaise estimation de la résistance des traces du PCB.

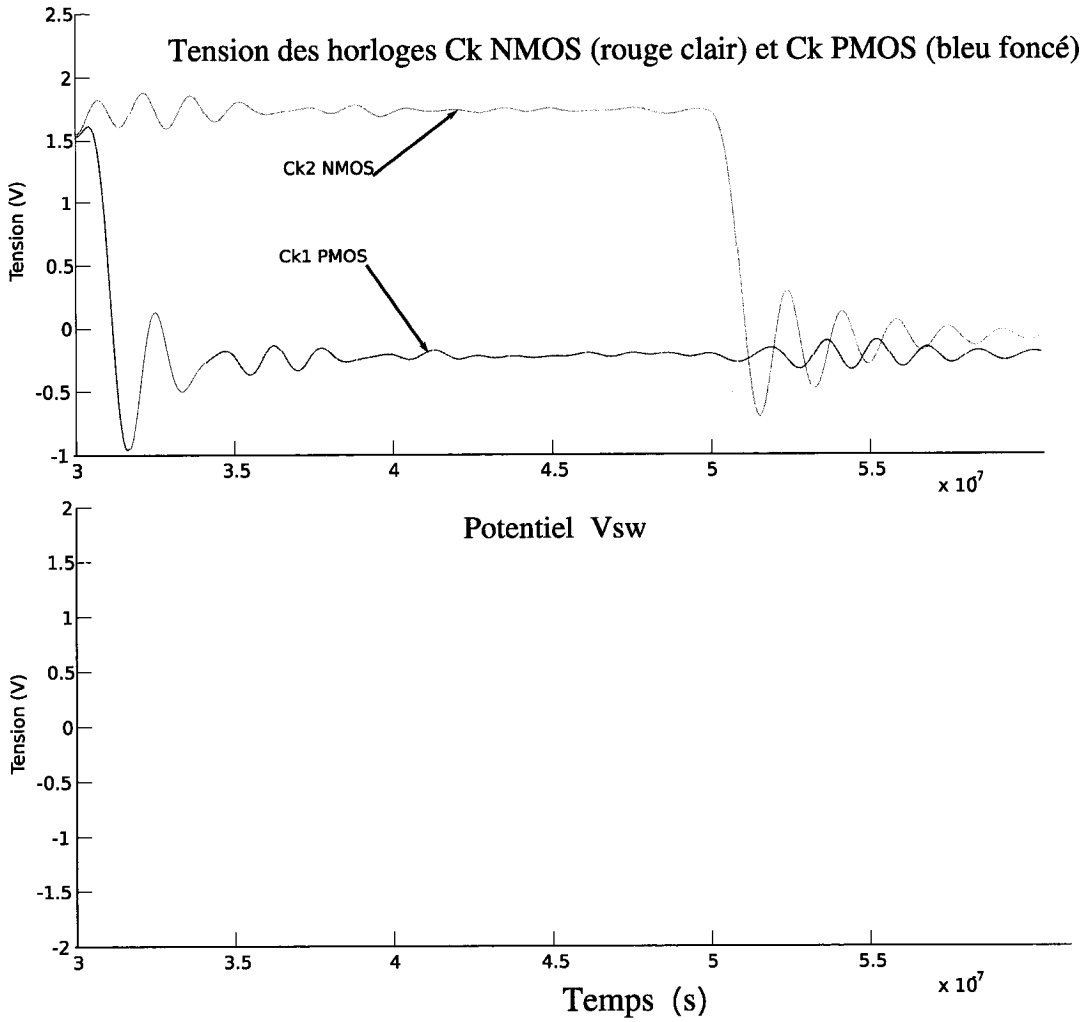


FIG. 2.39 Zoom sur les signaux expérimentaux des horloges de contrôles ck PMOS et ck NMOS, ainsi que du potentiel Vsw

Afin d'identifier les nouveaux chemins de courants, nous nous intéressons au bilan de courant dans les régions propres à chaque transistor. Pour le transistor PMOS, la figure 2.40 compare le courant sortant par le drain du PMOS et le courant entrant par la source du PMOS. Ces deux courants devraient être identiques, s'il n'existait qu'un seul chemin de courant, celui offert par le canal du transistor. Cependant l'inductance s'oppose à la fermeture du canal du PMOS en créant de nouveaux chemins, à travers la jonction Puits N/Drain et le bipolaire pnp. Les courants entrant dans le Nwell et dans le substrat montrent l'activité de ces chemins. Le courant entrant dans le substrat représente le courant entrant dans un anneau de garde entourant le puits N. Ces courants oscillent à 80 MHz, car ils entrent en résonance avec le boîtier et les traces présentes sur le PCB. Cependant le fait d'avoir filtré les signaux permet de rendre lisible leur activité. Au temps 3.3e-7 (s), la fermeture du canal du PMOS est compensée par les courants entrant dans le puits N à hauteur de 2 mA et par le courant entrant dans le substrat à hauteur de 1.5 mA. Temporellement, la chute du potentiel Vsw correspond avec l'activité des courant sur le puits N et le substrat. Cette activité montre l'existence de chemins de courants non classiques permettant de compenser la fermeture du canal du PMOS.

Pour le transistor NMOS, la figure 2.41 expose le courant empruntant le canal du transistor, ainsi que les chemins tels que le bipolaire parasite et la jonction drain/puits P. On peut voir qu'au temps 3.3e-7 (s), les courants du drain et de la source ne se superposent pas, ce que l'on observait aussi en simulation. Cette différence souligne qu'une partie du courant injecté dans le drain ne provient pas du canal mais d'autres chemins. C'est à cet instant là que l'on observe un pic de courant au niveau du Puits P et du Puits N profond de l'ordre du mA. Presque 3 mA sont donc prélevés de l'alimentation du puits profond N et empruntent le chemin offert par le bipolaire npn. Le chemin offert par la jonction drain/puits P ne reste cependant pas inactif, comme le montre le pic à 8 mA au niveau du courant

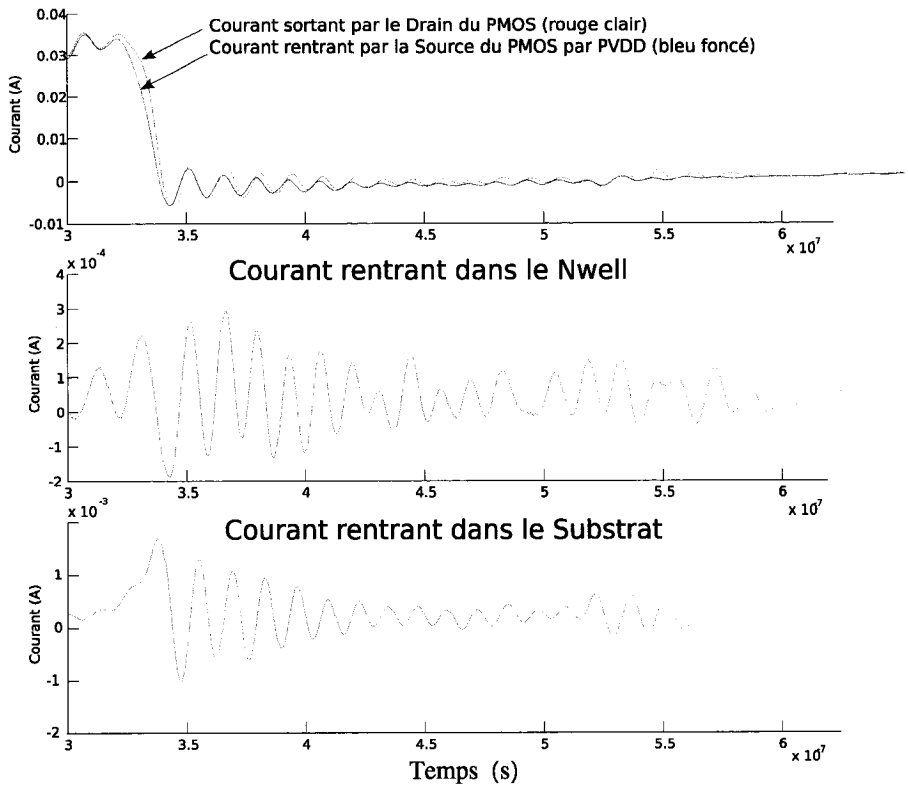


FIG. 2.40 Zoom sur les courants entrant et Sortant du PMOS, sur les courants entrant dans le substrat et dans le puits N

entrant dans le puits P. L'activité de chemins non classiques est donc clairement démontrée.

2.5.2.4 Bruit du substrat

Au niveau du potentiel du substrat (figure 2.42), on observe également des oscillations à 80 MHz amorties avec un pic maximal à presque 110 mV qui est du même ordre de grandeur que ce que l'on observe en simulation (200mV). En effet, le modèle tenant compte des bipolaires et comportant à la fois une modélisation du boîtier et du PCB permet d'obtenir de telles variations au niveau de la sonde. Les oscillations sont dues comme précédemment à la présence des inductances du boîtier en série avec celles introduites par le PCB. Le pic à -110 mV apparaît lors de la fermeture du canal du PMOS et lors de la chute rapide du potentiel Vsw de l'inductance. L'activité du convertisseur perturbe donc fortement le potentiel du substrat. Des pics à 100 mV sur le substrat sont effectivement néfastes pour des applications analogiques et même numérique.

2.5.2.5 Etude fréquentielle

Une analyse fréquentielle du bruit (figure 2.43) présent sur le substrat permet de révéler un pic élevé à la fréquence de 80 MHz, due aux inductances du boîtier et du PCB. Cette analyse fréquentielle a été réalisée avant filtrage. Le filtre passe bas à 10 MHz utilisé précédemment permet d'atténuer cette composante à 80 MHz, sans la faire complètement disparaître, du fait de son niveau élevé. On retrouve également une composante néfaste à 1 MHz (fréquence de l'horloge de commandes des transistors de puissances), et les harmoniques supérieures de l'horloge. Ce bruit à 1 MHz, bien que faible (moins de -100 dBm) peut être gênant pour des applications

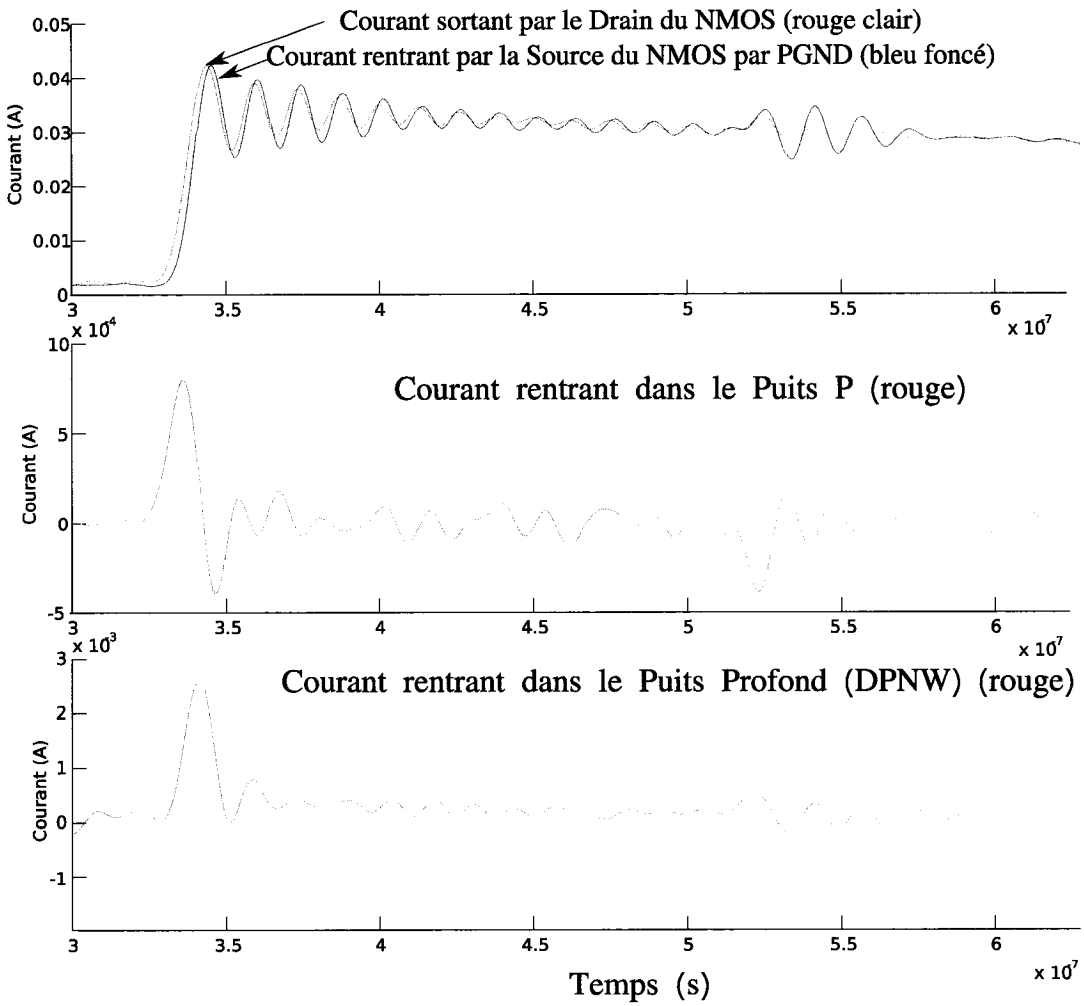


FIG. 2.41 Zoom sur les courants entrant et Sortant du NMOS, sur les courants entrant dans le puits P et dans le puits profond N

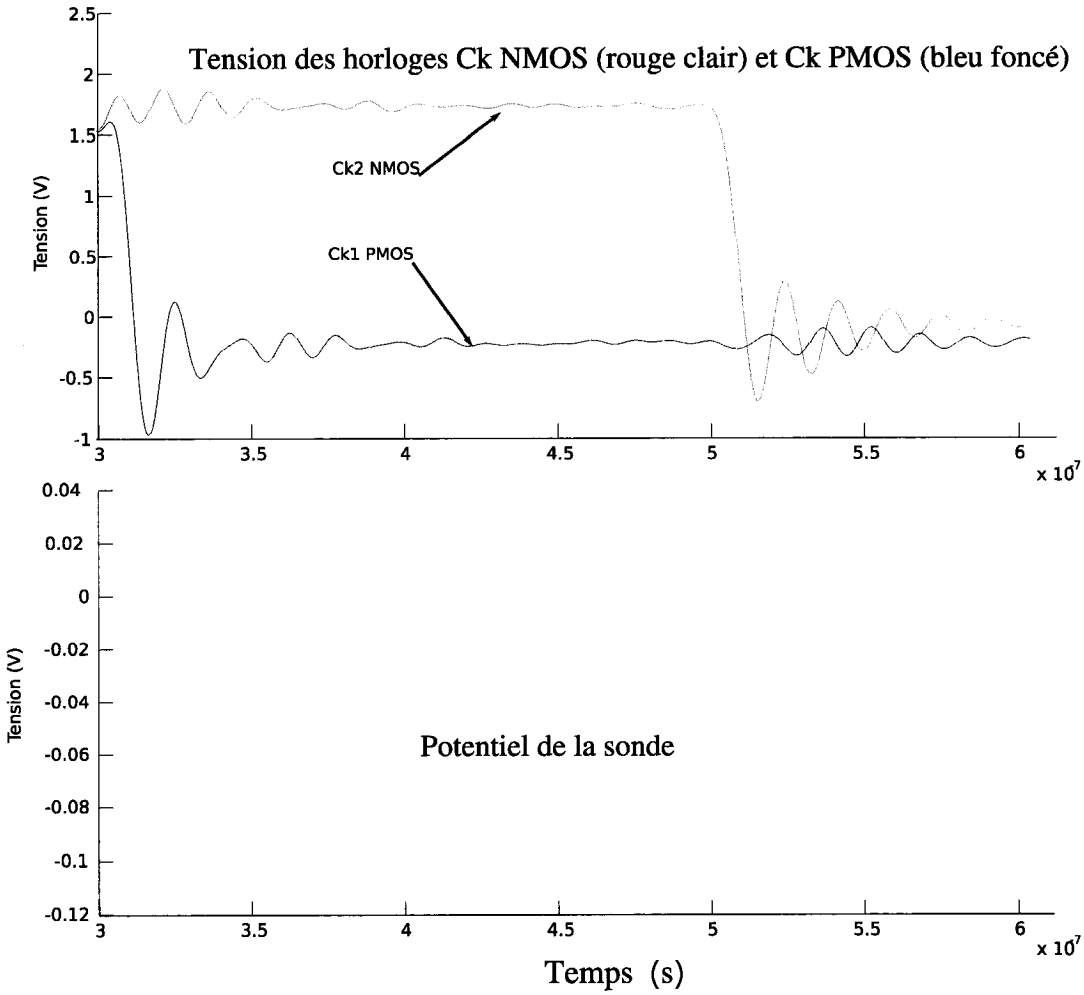


FIG. 2.42 Potentiel de la sonde

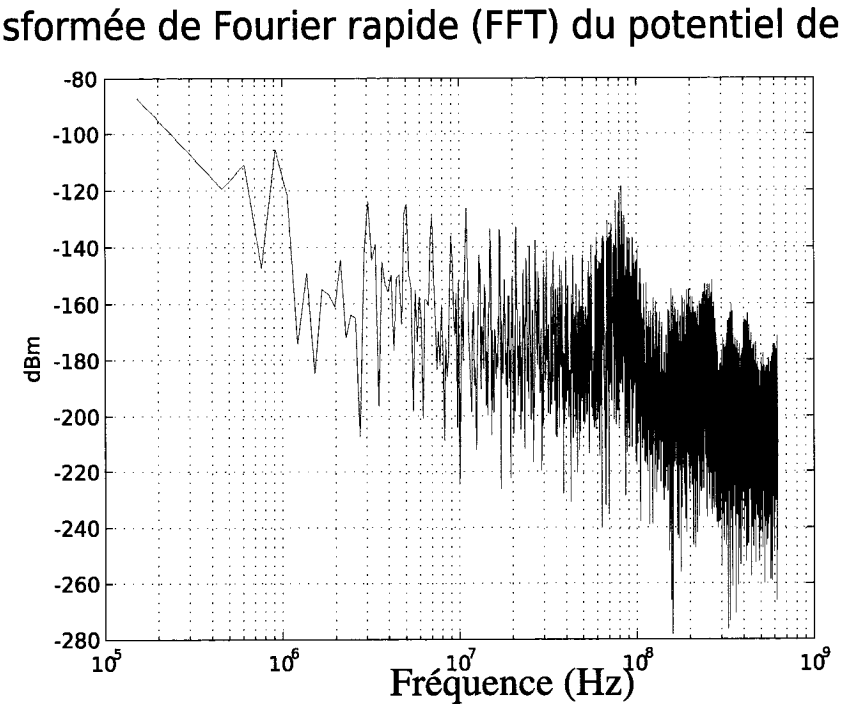


FIG. 2.43 Transformée de Fourier rapide du potentiel (FFT) de la sonde

fonctionnant à ces fréquences. Cependant le bruit injecté par le convertisseur est en proportion plus élevée, et il est présent à des fréquences supérieures au MHz. La résonance à 80 MHz est due principalement aux structures de test permettant de mesurer l'activité du convertisseur, sans celles-ci cette résonance se situe à des fréquences plus élevées (supérieures à 250 MHz).

2.5.3 Discussion sur les résultats expérimentaux et les simulations

La mesure du bruit de substrat injecté par un convertisseur de puissance est difficile étant donné que le simple fait de mesurer de façon externe ce bruit perturbe le résultat. En effet, nous avons du rajouter des structures pour pouvoir mesurer les courants empruntant de nouveaux chemins. Ces structures comportent des fils et rajoutent des inductances. Une mesure expérimentale de l'inductance parasite des

traces du PCB et de ces fils a donné une valeur de l'ordre de la 150 nH. Le bruit au niveau du potentiel du substrat est alors largement dû à ces inductances parasites, et l'impact sur le bruit des nouveaux chemins de courant est noyé.

Cependant certaines conclusions peuvent être tirées des mesures de courants observées en les comparants avec les résultats de simulations. Les courants entrant dans le Puits profond N, dans le Puits N et le Puits P témoignent d'une activité des chemins modélisés par notre modèle personnalisé. Les mêmes ordres de grandeurs pour ces courants (mA) ont été observés que ce soit en simulation ou en expérimentation. Par ailleurs le niveau de bruit au niveau de la sonde est comparable pour l'expérimental et la simulation de l'ordre de la centaine de mV, montrant que notre modèle s'approche bien de la réalité. De plus le modèle tient compte des éléments parasites du PCB et du boîtier, dont les paramètres ont été ajustés sur des mesures expérimentales faites sur le PCB.

Au niveau fréquentiel, le bruit présent sur le substrat se situe à des fréquences supérieures à 1 MHz. Il peut être nuisible pour des applications fonctionnant à ces fréquences.

La conclusion de l'étude est que lors de la commutation des transistors de puissance, un non recouvrement des modes de conduction (lorsque les deux transitors sont "OFF") entraîne l'injection de bruit dans le substrat et les alimentations. Cette injection de courant se fait par des chemins non classiques offerts par les transistors bipolaires verticaux. L'utilisation d'un modèle seulement résistif et capacitif du substrat ne permet pas de mettre en évidence l'activation de ces chemins de courant. Un modèle personnalisé tenant compte de ces transistors bipolaires est donc nécessaire afin d'estimer correctement le bruit injecté. Dans cette étude, l'isolation offerte par les puits N et les puits profond N s'est révélée beaucoup moins performante que ce que SubstrateStrom nous donnait.

CHAPITRE 3

MODÉLISATION DE L'INJECTION DE BRUIT DANS LE SUBSTRAT PAR UN LASER

Le but de ce chapitre est de modéliser électriquement l'impact d'un laser sur un circuit sensible. Dans ce chapitre nous utiliserons une modélisation adaptée du substrat pour simuler le comportement électrique du circuit sensible soumis à une perturbation laser. Nous démontrerons ensuite qu'une modélisation purement résistive et capacitive du substrat est inadéquate pour caractériser de telles perturbations. Nous mettrons alors en évidence la nécessité d'une modélisation personnalisée du substrat permettant d'incorporer à la fois des composants parasites et une modélisation de l'impact des charges créées par le laser. Finalement nous validerons notre modèle à l'aide des résultats expérimentaux réalisés sur une puce fabriquée.

3.1 Système laser et montage optique

Dans cette partie, le système expérimental complet est présenté : de la source de bruit au circuit sensible. Ce système permet de positionner la perturbation laser dans le voisinage du circuit sensible et de mesurer son effet sur ce circuit. Nous évoquerons successivement la source de bruit que représente le laser associé à la résistance diffusée, puis le montage optique nécessaire à la création du lien résistif, et enfin l'oscillateur en anneaux jouant le rôle du circuit perturbé par l'injection de charge. Tous ces éléments sont exposés dans de plus amples détails dans (Wild, 2005).

3.1.1 Montage laser

Système optique : Le laser utilisé pour faire fondre le silicium est un laser vert de type Nd :YAG doublé en fréquence. La longueur d'onde du faisceau est de 532 nm, ce qui lui permet de passer à travers tous les diélectriques sans trop d'absorption en ce qui concerne la technologie TSMC 0.18 µm. Une estimation grossière de la puissance absorbée par chaque diélectrique serait d'environ 10 %. Ceci n'est pas le cas de la technologie IBM 130 nm pour laquelle le faisceau laser n'atteint pas le silicium. A la sortie de la source du laser, le faisceau continu a une puissance que l'on peut faire varier de 50 mW à 10 W. Le montage optique (Cf. figure 3.1) permet quant à lui de focaliser le faisceau laser sur une résistance diffusée et permet de contrôler les caractéristiques de l'impulsion laser. Pour créer une impulsion de forme voulue à partir d'un faisceau continu, un modulateur acousto-optique est utilisé. Celui-ci permet de diffracter la lumière lorsqu'il est soumis à des vibrations acoustiques de fréquence donnée. Le montage, grâce à un diaphragme, permet de laisser passer seulement le premier ordre du faisceau diffracté (représentant 60 % du faisceau total). Le contrôle du modulateur est obtenu grâce à une tension comprise entre 0 (aucune vibration n'est appliquée sur le modulateur, par conséquent le faisceau lumineux ne passe pas le diaphragme) et 1 V (maximum du faisceau passe le diaphragme pour ensuite parcourir le reste du montage). Cette tension est générée à l'aide d'une carte de prototypage Stratix, produisant la forme d'impulsion souhaitée. Dans cette étude, on utilise une forme carrée dont la durée peut varier de 50 ns à 200 ns. Par la suite un ensemble de lentilles et de miroirs permet de focaliser le faisceau sur l'échantillon se trouvant sur une table de positionnement 3 axes. Celle-ci permet de disposer la Résistance Diffusée par Laser (LDR) sous le foyer de focalisation du faisceau. Sa résolution sur l'axe vertical est de 1 µm, tandis que sa résolution sur les axes horizontaux est de 0.1 µm.

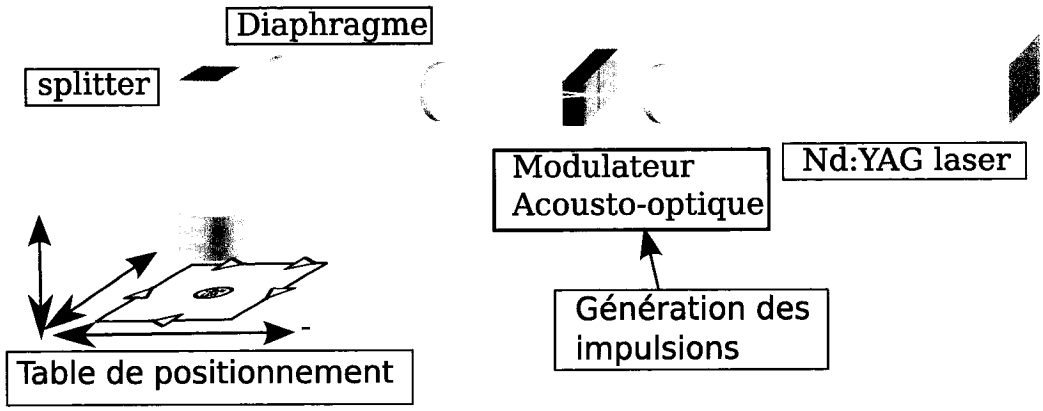


FIG. 3.1 Montage optique

La puissance du faisceau qui arrive au niveau du silicium de la puce a été estimée expérimentalement à environ 20 % de la puissance qui sort de la source du laser. Cette absorption tient compte du passage dans les diélectriques, des pertes dans les lentilles et de la perte de puissance due au passage seulement du premier ordre du faisceau diffracté par le modulateur acousto-optique.

3.1.2 Résistance diffusée par laser (LDR)

La cible du laser est une résistance diffusée ajustable non connectée au reste du circuit. La résistance LDR est de type P, selon la figure 1.6. Le laser est focalisé sur le gap entre les deux régions P dont se compose la résistance LDR. L'énergie d'un photon du faisceau du laser est de 2.33 eV, ce qui est supérieur à l'énergie de la bande interdite du silicium ($E_g = 1.12eV$). Par conséquent l'impulsion laser induit des paires électron-trou dans le silicium qui vont migrer dans le substrat pour atteindre les circuits avoisinants et les perturber.

3.2 Circuit Sensible : Oscillateur en Anneaux

L'oscillateur en anneau est composé de 4 inverseurs et d'une porte NAND qui permet de déclencher l'oscillation. Cette porte NAND fonctionne comme un inverseur lorsque l'oscillation est déclenchée. La fréquence d'oscillation est caractéristique de la taille des inverseurs. Dans notre cas les inverseurs sont dimensionnés pour osciller à une fréquence d'environ 370 MHz. Plusieurs versions de cet oscillateur ont été fabriquées. Une version dite de calibration, isolée du reste du circuit, a pour rôle de donner une fréquence d'oscillation de référence qui permet d'étalonner le rapport de conversion Fréquence Tension (voir 3.2). Les autres versions permettent de mesurer l'impact des charges en fonction de la distance cible laser - Inverseurs de l'oscillateur. Trois distances sont déclinées : 20, 30, 40 µm.

Le but du circuit de test est de reproduire à la sortie de la puce une image de la perturbation de la fréquence d'oscillation induite par les charges. L'observation directe de la fréquence de fonctionnement de l'oscillateur en anneau est impossible pour des modifications de l'ordre de centaines de nanosecondes, temps caractéristique de la durée de l'impulsion laser. C'est pour cela qu'un convertisseur Fréquence Tension (FVC) est utilisé afin d'obtenir en sortie de la puce une information lisible de la perturbation. La tension générée, image de la fréquence est ensuite amplifiée pour pouvoir être observée sur un oscilloscope. La figure 3.2 présente le système générant en sortie de la puce la perturbation induite par le laser.

Dans (Wild et al., 2005), il a été montré que la fréquence d'oscillation du circuit présenté plus haut augmentait lorsque le circuit était soumis à une impulsion laser en son centre (voir 3.3). Le but de l'étude présentée ici est d'identifier les phénomènes responsables de la modification de fréquence et de les modéliser électriquement pour reproduire le comportement de l'oscillateur soumis à une impulsion laser.

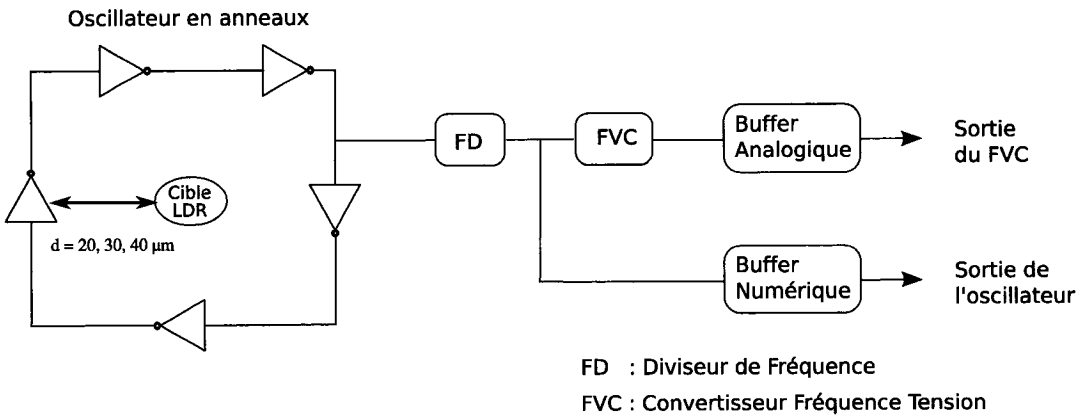


FIG. 3.2 Schéma bloc du système permettant d'observer les modifications de la fréquence d'oscillation

3.3 Résultats expérimentaux

Le but de cette section est de présenter les résultats expérimentaux obtenus au laboratoire avec le circuit de test vu précédemment. Dans un premier temps nous verrons comment calibrer le circuit de conversion fréquence-tension, puis nous exposerons les résultats des mesures électriques de la variation de fréquence de l'oscillateur. Le circuit est alimenté avec une tension fixe de 1.8 V. Les mesures électriques sont faites à l'aide d'un oscilloscope numérique.

3.3.1 Calibration du circuit de mesures électriques

Pour obtenir une mesure précise de la variation de fréquence, il faut tout d'abord étalonner le rapport de conversion entre la tension de sortie et la fréquence d'oscillation du circuit. Pour cela, nous mesurons à la fois la sortie du FVC et la sortie de l'oscillateur pour deux oscillateurs en anneaux différents (un de référence et un autre de test).

Dans la suite des tests expérimentaux, nous étudions le circuit de test d'une puce en

particulier. Dans le cas considéré, l'oscillateur de référence oscille à une fréquence de $8 \times 33\,MHZ = 264\,MHz$ pour une tension de sortie de 720 mV, tandis que l'oscillateur de test (distance cible - inverseurs 30 µm) fonctionne à $8 \times 37\,MHz = 296\,MHz$ pour une tension de sortie de 500 mV. Le rapport de conversion fréquence-tension dépend fortement des caractéristiques de fabrication, ainsi que des tensions d'alimentation du circuit. Dans le cas considéré, cette conversion peut s'exprimer avec l'équation suivante :

$$FVC(mV) = \frac{5.425 \times 10^5 mV.MHz}{f} - 1337\,mV \tag{3.1}$$

Ainsi, nous pouvons calculer la variation de fréquence de l'oscillateur à partir de la donnée de la tension grâce à l'équation 3.2 :

$$\Delta f(MHz) = 0.144 \times \Delta FVC(mV) \tag{3.2}$$

Par la suite, nous donnerons la variation relative de la fréquence de l'oscillateur afin de pouvoir comparer entre eux les résultats. La variation relative correspond au rapport de la variation maximale de tension sur le niveau de tension correspondant à l'oscillateur non perturbé.

La figure 3.3 montre un résultat typique pour un oscillateur en anneaux de rayon 30 µm (distance cible inverseur). Une impulsion laser de durée 100 ns à une puissance laser de 600 mW est envoyée au centre de l'oscillateur. En sortie, une modification d'environ 100 mV est observée en sortie du FVC correspondant à une variation relative d'environ 20 %.

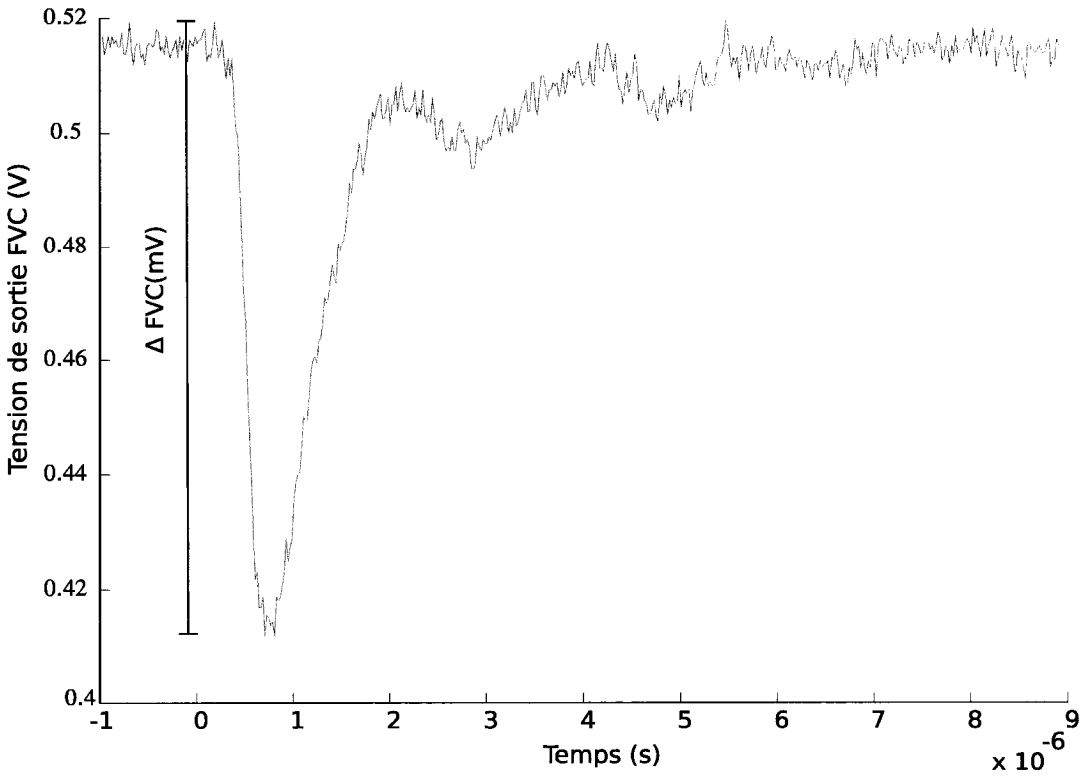


FIG. 3.3 Variation de la sortie du FVC pour une impulsion laser de durée 100 ns et de puissance 600 mW.

3.3.2 Estimation de la puissance

Afin de comparer les résultats d'expérience et les simulations, il faut avoir une estimation la plus précise possible de la puissance laser se rendant au niveau du silicium de la puce. Le faisceau lumineux avant d'arriver au silicium traverse le montage optique et 6 couches diélectriques (considérées identiques) en technologie 0.18 µm. L'alignement du montage optique a un impact critique sur la puissance absorbée. Cette absorption peut être mesurée à l'aide d'un wattmètre et est comprise dans une fourchette de 60 à 90 %. Quant à l'absorption de chaque diélectrique, elle peut être estimée à environ 10 %.

Au final, la puissance du faisceau se rendant au niveau du silicium représente environ 5 à 20 % de la puissance en sortie du laser, dépendamment de l'alignement du montage optique.

3.3.3 Variation de la fréquence en fonction de la puissance

Dans cette étude, nous caractériserons le comportement de l'oscillateur en fonction de la puissance du laser. La durée de l'impulsion est un paramètre qui reste constant et égal à 100 ns. Alors que l'on s'attendait à observer une croissance monotone de la variation maximale de la tension de sortie du FVC avec la puissance, les résultats expérimentaux présentés à la figure 3.4 montrent l'existence d'un plateau et même d'une légère chute vers une puissance de 900 mW.

Pour des basses puissances (0 à 900 mW), la variation maximale du FVC augmente rapidement avec la puissance, puis à partir de 900 mW, cette variation maximale plafonne. La figure 3.5 montre la variation de la sortie du FVC pour trois basses puissances différentes. A partir de cette cassure à 900 mW, la variation maximale

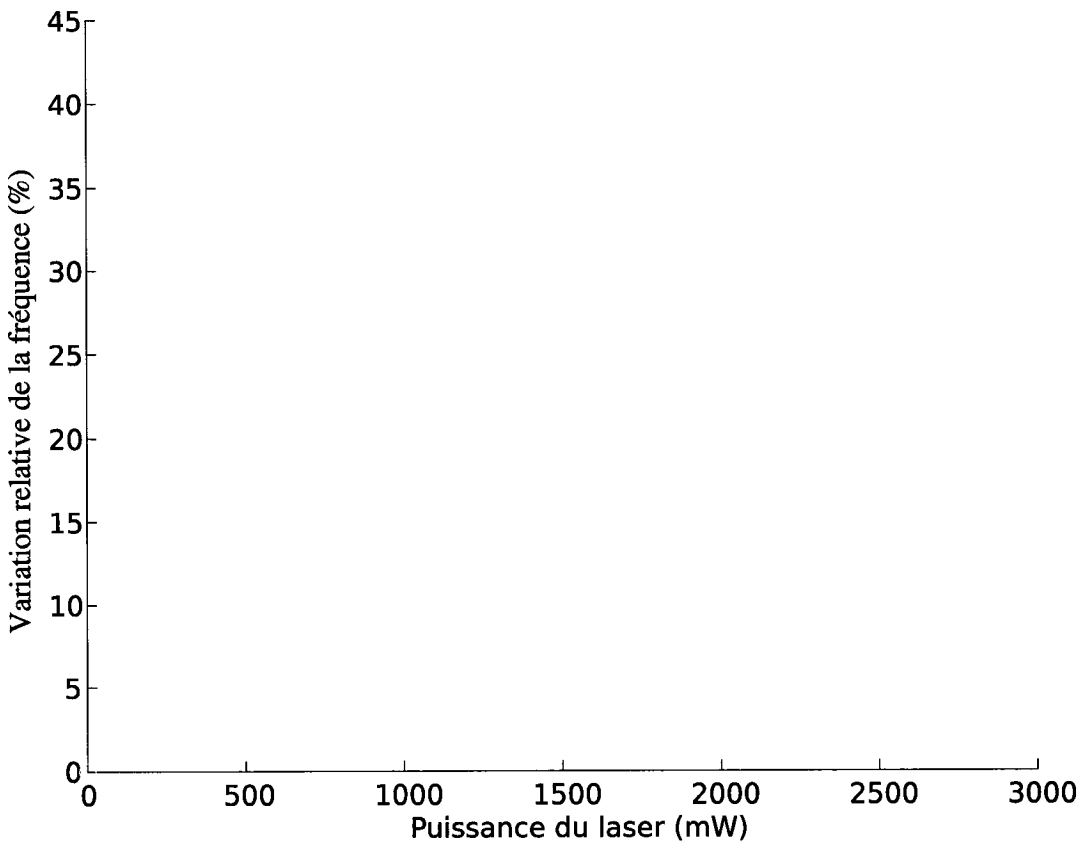


FIG. 3.4 Variation relative de la sortie maximale du FVC en fonction de la puissance de l'impulsion laser de durée 100 ns

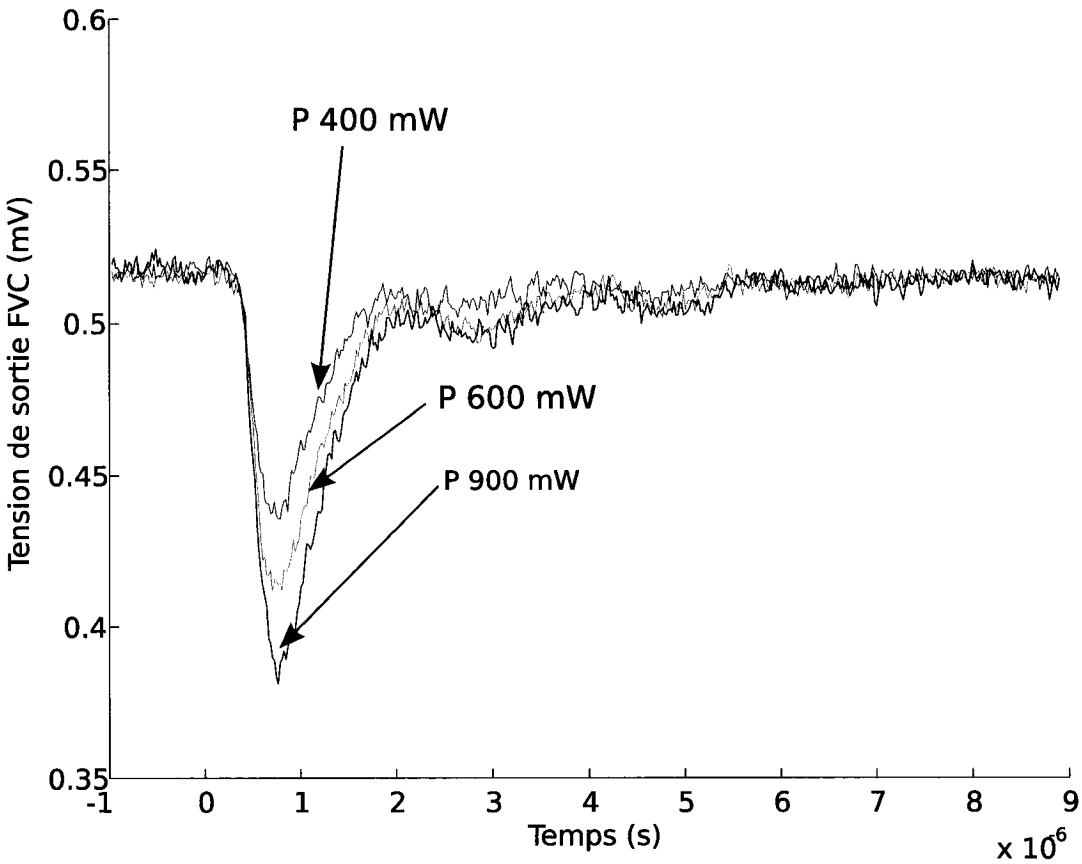


FIG. 3.5 Variation relative de la sortie maximale du FVC en fonction de la puissance de l'impulsion laser de durée 100 ns

du FVC n'augmente plus et se stabilise autour d'une variation relative égale à 25 %. La figure 3.6 expose le phénomène observé pour ces puissances moyennes (de 1 W à 1.6 W). Enfin pour des puissances supérieures à 1.6 W, la variation maximale du FVC augmente à nouveau fortement avec la puissance. La figure 3.7 donne les tensions de sortie du FVC pour différentes hautes puissances.

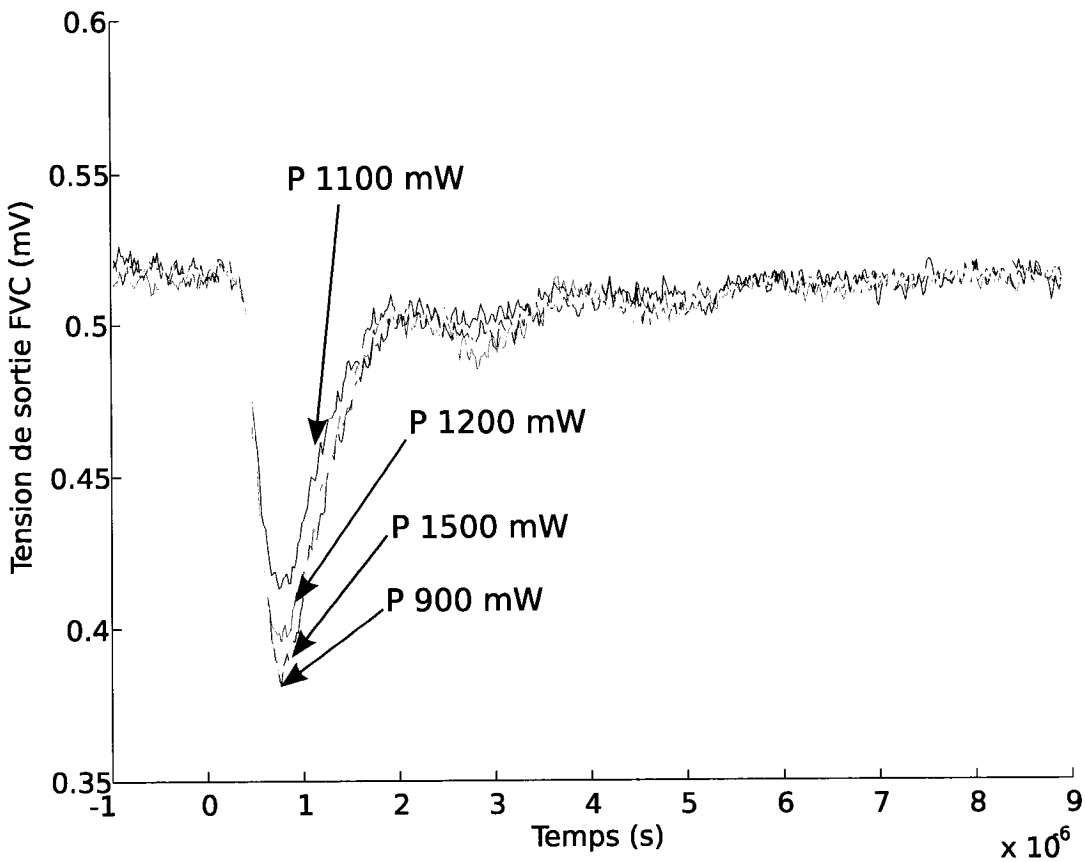


FIG. 3.6 Variation relative de la sortie maximale du FVC en fonction de la puissance de l'impulsion laser de durée 100 ns

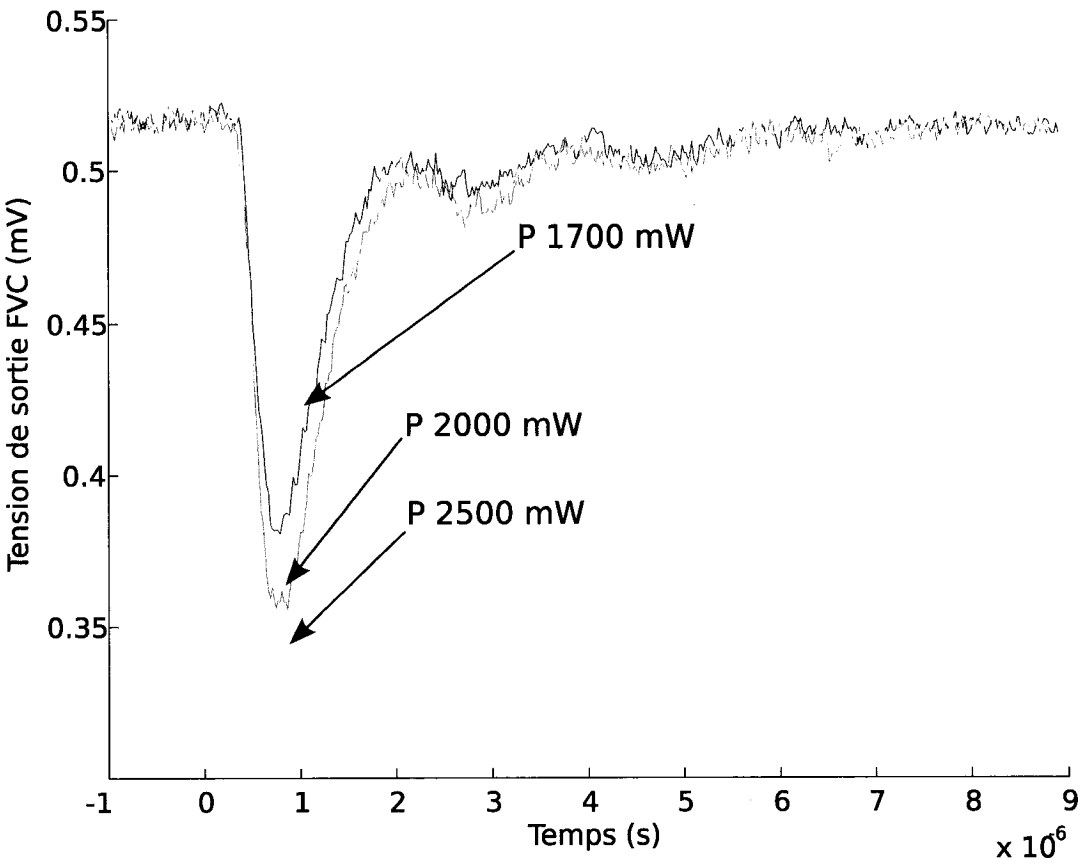


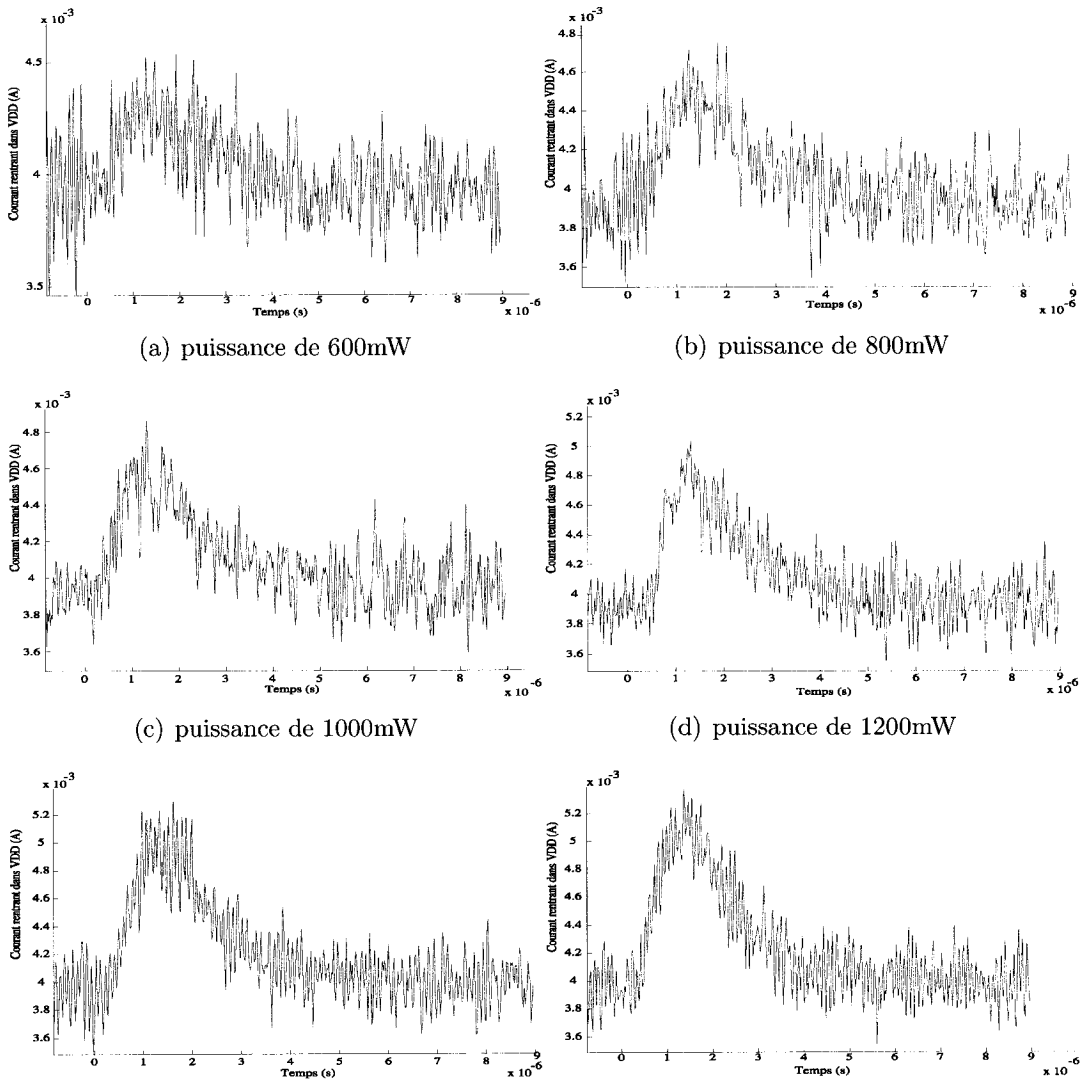
FIG. 3.7 Variation relative de la sortie maximale du FVC en fonction de la puissance de l'impulsion laser de durée 100 ns

3.3.4 Courant collecté au niveau des alimentations

La mesure du courant collecté au niveau des alimentations (VSS : masse et VDD : alimentation à 1.8 V) donne une idée des charges créées par le laser. Les charges sont collectées par les puits N connectés à VDD et les contacts au substrat connectés à VSS. Ces lieux de collection se retrouvent disséminés dans toute la puce. Puisqu'elles migrent dans le substrat, les charges peuvent être collectées loin de leur zone d'injection. Les résultats expérimentaux de mesure du courant tiennent compte de tous ces lieux de collection sans distinction.

La figure 3.8 expose le courant entrant dans l'alimentation VDD en fonction du temps pour différentes puissances. Elle permet de mettre en évidence la création des charges dans le substrat par le laser et leur collection par les puits N polarisés. On peut remarquer par exemple que pour une puissance de 1000 mW au niveau du laser, une augmentation d'environ 0.5 mA (par rapport au courant consommé du au fonctionnement propre du circuit de test) est observée sur le courant collecté.

La figure 3.9 montre le même phénomène observé que pour la variation de la tension du FVC en fonction de la puissance. Le courant augmente rapidement pour de faibles puissances (de 600 mW à 1000mW), puis l'augmentation est beaucoup plus faible pour des puissances moyennes. En effet, de 1000 mW à 1600 mW l'augmentation n'est que de 0.3 mA, alors qu'elle était de 0.4 mA entre 600 et 1000 mW. Finalement à haute puissance (supérieur à 1600 mW) l'augmentation du courant en fonction de la puissance est de nouveau importante.



(a) puissance de 600mW

(b) puissance de 800mW

(c) puissance de 1000mW

(d) puissance de 1200mW

(e) puissance de 1400mW

(f) puissance de 1600mW

FIG. 3.8 Variation du courant entrant dans l'alimentation VDD pour des impulsions laser d'une durée de 100 ns et de puissance variant de 600 mW à 1600 mW.

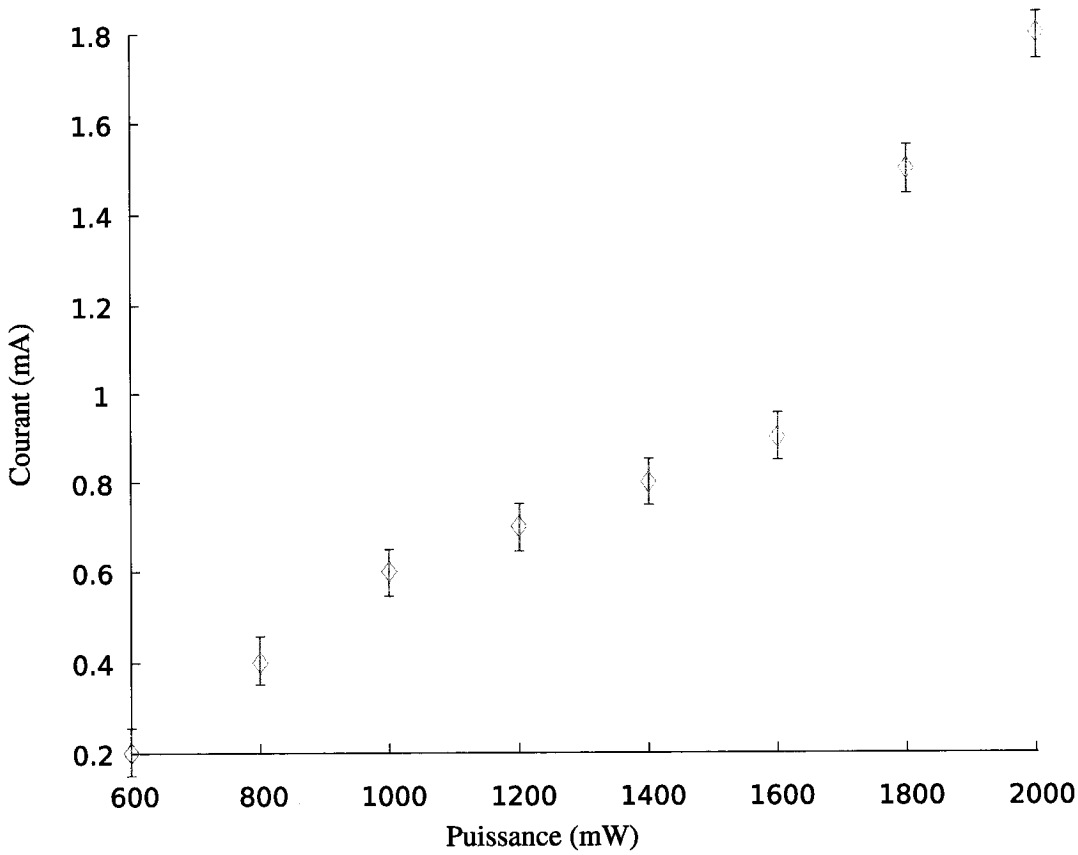


FIG. 3.9 Courant collecté par les alimentations en fonction de la puissance du laser

3.4 Explication des phénomènes responsables de la modification de la fréquence d'oscillation

3.4.1 Modélisation d'un inverseur

Afin de comprendre la provenance de la variation de fréquence, il faut tout d'abord identifier les paramètres liés à l'oscillation. Celle-ci est étroitement liée aux caractéristiques des inverseurs constituant l'anneau. Parmi ces caractéristiques nous pouvons distinguer :

- ***Les dimensions W et L des grilles des transistors formant l'inverseur***

Ces paramètres définissent à la fois la valeur de la capacité d'entrée de l'inverseur et le courant de charge et de décharge de l'étage suivant. Une estimation du premier ordre permet de relier proportionnellement la capacité d'entrée de l'inverseur au produit de l'aire (W*L) par la capacité de l'oxyde de grille :

$$C_g \propto W.L.C_{ox} \tag{3.3}$$

Quant à la capacité de l'oxyde de grille, elle dépend de la technologie de fabrication utilisée.

Par ailleurs le courant traversant les transistors dépend également de ces deux paramètres selon les équations :

NMOS :

$$I_D = \frac{\mu_n C_{OX}}{2} * W/L\,(V_{GS} - V_{thN})\ \ Courant\,de\,décharge\,de\,l'inverseur \tag{3.4}$$

PMOS :

$$I_D = \frac{\mu_p C_{OX}}{2} * W/L\,(V_{SG} - |V_{thP}|)\ \ Courant\,de\,charge\,de\,l'inverseur \qquad (3.5)$$

Ces deux paramètres sont fixés une fois pour toutes avec la fabrication et définissent ainsi une fréquence d'oscillation propre de fonctionnement. L'impulsion laser n'étant pas focalisée directement sur les transistors, il est donc peu probable que ces deux paramètres puissent être modifiés suffisament pour modifier la fréquence d'oscillation de façon transitoire.

- **Les tensions d'alimentation**

Les tensions d'alimentation ont une influence sur les courants de charge et de décharge, au niveau de la tension V_{GS}, car $V_{GS} = V_{SG} = VDD$ lors de la charge ou de la décharge. Le laser pourrait avoir une influence sur les tensions d'alimentation en provoquant un court-circuit, hors expérimentalement aucun court-circuit des alimentations n'est observé.

- **Les polarisations du substrat et du puits N ont une influence majeure sur les tensions de seuil des inverseurs par « *effet de substrat* ».**

Les équations 3.6 et 3.7 suivantes soulignent cette dépendance :

$$V_{thN} = V_{thN0} + \gamma.\sqrt{2.\phi_F + V_{SB}} \qquad (3.6)$$

$$V_{thP} = V_{thP0} - \gamma.\sqrt{2.|\phi_F| + V_{BS}} \qquad (3.7)$$

avec $\gamma = (\sqrt{2q\epsilon_S N_A})/C_{OX}$

Une conséquence directe des ces équations est qu'une hausse du potentiel du substrat (respectivement une baisse du potentiel du puits N) implique une baisse de la tension de seuil du transistor NMOS (respectivement une hausse de la tension de seuil du transistor PMOS). Les tensions de seuil des transistors caractérisent les frontières entre les modes d'opération des transistors fonctionnant en commutateurs (conducteurs "ON" ou non conducteurs "OFF"). Ainsi si la tension de seuil du NMOS diminue et que celle du PMOS augmente, l'inverseur composé de ces deux transistors commute plus rapidement d'un état logique à l'autre. Par ailleurs, les tensions de seuil ont une influence sur le courant de charge et de décharge des inverseurs selon les équations précédentes 3.4 3.5. Par exemple, une baisse de la tension de seuil du NMOS permet d'augmenter le courant de décharge. Des simulations sous Spectre de l'oscillateur en anneaux soumis à des variations de potentiel du substrat et des puits N ont montré qu'une hausse de 20 % de la fréquence d'oscillation pouvait être observée lorsqu'on appliquait une hausse de 500 mV (respectivement une baisse de 500mV) au substrat (respectivement au puits N). Ces modifications de tensions entraînent par ailleurs une baisse de V_{thN} de 488.1 mV à 317.1 mV et pour V_{thP} une hausse de -460 mV à -258.7 mV pour le PMOS. Une impulsion laser pourrait donc modifier les potentiels du substrat et des puits N et ainsi modifier la fréquence de fonctionnement de l'inverseur.

Fort de cette compréhension au niveau électrique sur le comportement de l'oscillateur, il reste à comprendre comment le laser agit sur ces différents paramètres et sur lesquels en particulier.

3.4.2 Modélisation de l'impact de charges sur une jonction

Le phénomène d'injection de charges par un laser focalisé est bien connu. Lors de la création du lien résistif par le laser, des charges sont créées dans le substrat au

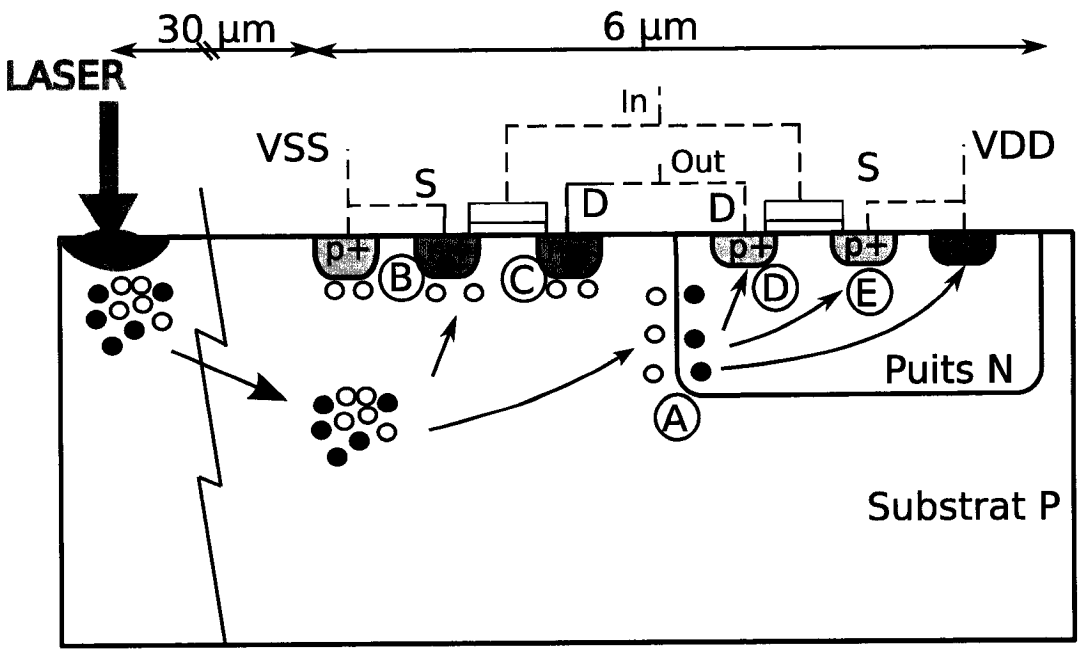


FIG. 3.10 Injection de charges par le laser et migration des charges

centre de l'oscillateur en anneau et migrent ensuite pour atteindre les inverseurs de l'oscillateur (figure 3.10).

Ces charges sont captées par des jonctions PN présentes dû à la présence d'un fort champ électromagnétique en polarisation inverse. Les trous s'accumulent dans la partie dopée P de la jonction tandis que les électrons sont éjectés hors de la zone d'appauvrissement pour s'accumuler dans la partie N. L'accumulation de ces charges de part et d'autre de la jonction implique une hausse du potentiel des zones dopées P et une baisse du potentiel des zones dopées N. Ces charges sont ensuite évacuées par les alimentations. Au niveau électrique, ce phénomène peut se modéliser par une source de courant aux bornes de la jonction. Ce courant est orienté de la zone N vers la zone P de la jonction.

D'après la figure 3.10, plusieurs lieux d'injection de courant peuvent être identifiés correspondant aux différentes jonctions PN : A (Puits N substrat), B (Source du

NMOS), C (Drain du NMOS), D (Drain du PMOS), E (Source du PMOS). Le niveau de collection des charges par les différentes jonctions dépend principalement du champ électrique appliqué dans la zone appauvrie et de la dimension de la jonction. On peut en outre considérer qu'elles sont atteintes en même temps et de la même façon par la vague de charges. Par ailleurs, le champ électrique est intimement lié aux potentiels appliqués aux bornes de la jonction. La jonction A est polarisée en inverse du fait de la polarisation du puits N (à l'alimentation positive VDD) et du substrat (à l'alimentation négative VSS), elle possède donc le champ électrique le plus élevé. De plus, l'aire du puits N (jonction A) est 25 fois plus grande que les autres jonctions B,C,D,E. Par conséquent, la jonction N collecte la majorité des charges du substrat. L'influence des autres lieux de collection de charges sera négligée par la suite.

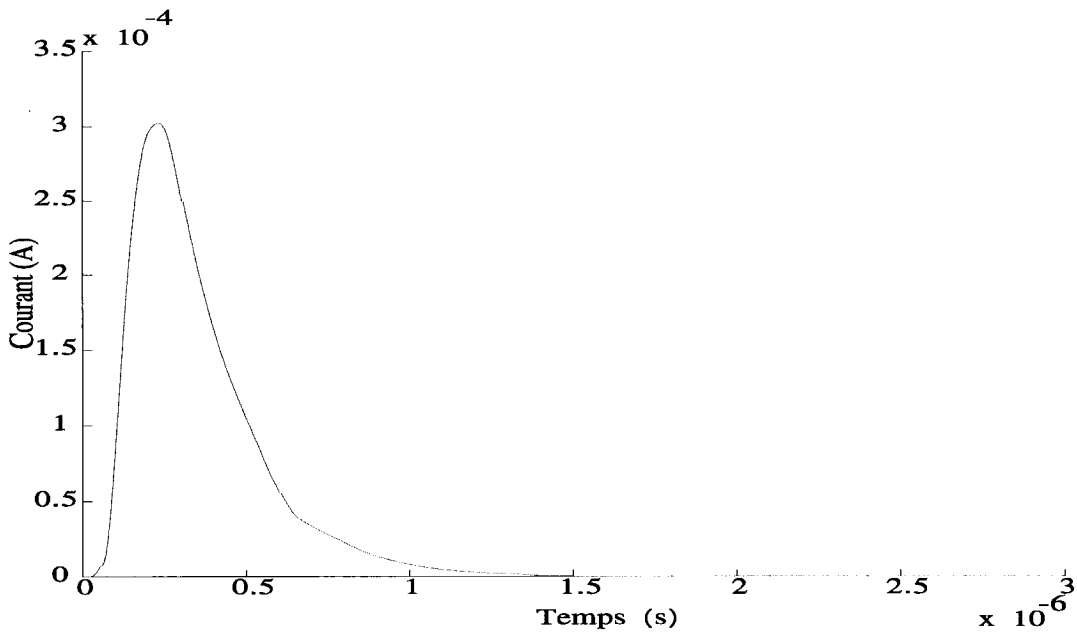
Afin de déterminer le nombre de charges injectées par le laser, des simulations par éléments finis (Boulais et al., 2007) ont été réalisées, permettant de prendre en compte la fonte du silicium et l'élévation de température. Ce modèle élaboré par Boulais (Boulais et al., 2007) se base sur les équations de transport couplées aux équations de chaleur prenant en considération la hausse de température du silicium. Ce modèle permet de calculer le nombre de charges injectées par interaction entre le laser et le silicium. Ensuite la distribution des porteurs de charges est déterminée en utilisant les équations de continuité et de Poisson. Le modèle tient également compte de la recombinaison et de la génération des porteurs. Finalement, les distributions en fonction de l'espace et du temps des porteurs de charges et des potentiels sont obtenues.

Par conséquent, le courant entrant dans une jonction PN peut être estimé en fonction de la puissance de l'impulsion laser et de la distance entre la cible laser et la jonction. Dans ce modèle, certains paramètres comme la mobilité et le temps de recombinaison des porteurs peuvent être ajustés en accord avec les données physiques

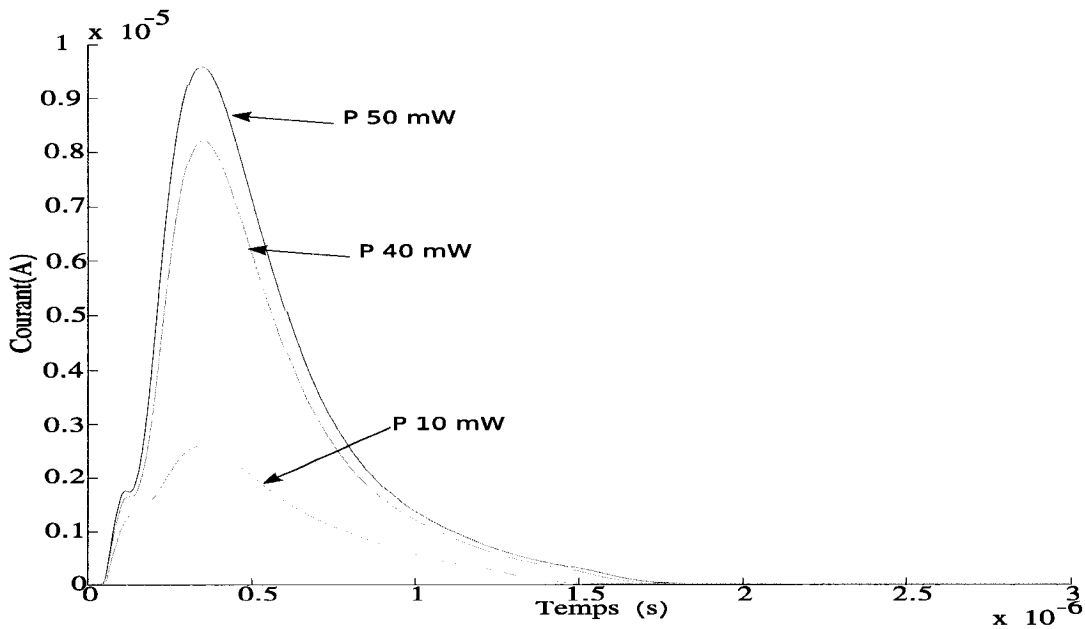
du substrat. Lors de la fabrication des circuits intégrés, le silicium du substrat est cristallin. Le substrat subit ensuite de nombreux stress, qu'ils soient mécaniques, thermiques, ou dus aux changements de phase du silicium suite à de nombreuses impulsions laser de fortes puissances. La structure cristalline du silicium, à l'endroit où le laser a irradié, est alors modifiée. La taille des grains et les joints entre les grains sont donc affectés par ces stress successifs, modifiant alors la mobilité des électrons. La mobilité des porteurs de charges devrait se situer entre la mobilité du silicium cristallin égale à 1350 $cm^2/$ (V.s) à 300 K et celle du silicium amorphe de l'ordre de 1 à 2 $cm^2/$ (V.s) à 300 K. Comme la valeur exacte de la mobilité n'est pas connue, Boulais et al. (Boulais et al., 2007) ont proposé que la mobilité des porteurs de charges à utiliser dans les simulations soit un facteur $\beta \leq 1$ de la mobilité des électrons.

Le paramètre β est un paramètre à ajuster permettant de décrire les résultats expérimentaux. Les simulations montrent que si β est égal à 1 (mobilité du silicium cristallin), le courant maximal arrivant dans la jonction est de l'ordre de 300 µA (Cf. figure 3.11 a)), ce qui est en dehors du domaine de validité du modèle électrique (voir 3.6.2). Le β utilisé typiquement (voir 3.6.3) est de l'ordre de 0.2, ce qui donne des mobilités moyennes approchant celles du silicium polycristallin de 300 $cm^2/$ (V.s) à 300 K.

Le profil du courant pourra être ensuite inclus dans une modélisation électrique afin d'observer le comportement du circuit. Un exemple des profils de courant pour plusieurs puissances est exposé à la figure 3.11 b). Pour cet exemple, le temps de recombinaison τ pour ces porteurs est fixé à 150 ns et le rapport β est de 0.2. Ces simulations par éléments finis ont également mis en évidence la variation du potentiel du substrat.



(a) beta 1, tau 100 ns, Puissance simulée de 100 mW



(b) beta 0.2, tau 100 ns, Puissance simulée variant de 10 à 50 mW

FIG. 3.11 Courants entrant dans le puits N pour différentes puissances laser simulées (tiré de (Boulais et al., 2007))

3.5 Modélisation adaptée du substrat

3.5.1 Nécessité d'un modèle du substrat

Dans le modèle électrique du circuit complet il est important de tenir compte du substrat, car celui-ci permet de connecter entre elles les différentes parties du circuit. Celles-ci ne sont alors plus considérées comme isolées, et les variations des potentiels du substrat et des puits peuvent ainsi modifier le comportement global du circuit par effet de substrat comme vu à la section précédente. La modélisation électrique de la collection des charges par les jonctions doit être en plus incorporée dans le modèle électrique de l'oscillateur en anneau afin de caractériser son comportement soumis à une impulsion laser. Pour cela, nous rajoutons cette source dans le modèle du substrat (figure 3.12). Sans un modèle du substrat, l'action sur l'oscillateur de cette source de courant est inexistante, car les courants injectés n'ont aucune influence sur les tensions de polarisation. Le substrat est donc nécessaire car il permet de relier l'injection de courant aux alimentations par un lien résistif. Ainsi lorsqu'on injecte un courant aux bornes des jonctions, ce courant implique une chute de tension dans le puits N et une hausse pour le potentiel du substrat.

3.5.2 Modèle capacitif et résistif inadéquat

Une modélisation seulement résistive et capacitive du substrat ne peut correctement reproduire les phénomènes dus à l'injection de charge. En effet, les jonctions polarisées en inverse sont modélisées par leur capacité. Cependant la collection de charges implique de larges variations de tension du substrat et du puits N, et donc la polarisation de la jonction Puits N - Substrat change avec l'injection de charge. Une modélisation statique de la diode par une capacité dont la valeur est fixée

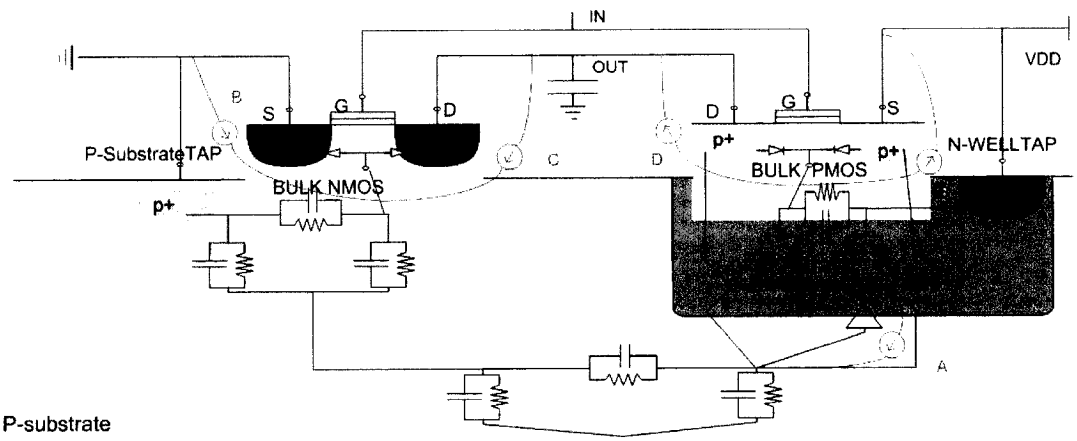


FIG. 3.12 Modèle personnalisé du substrat

(correspondant à sa polarisation inverse) est donc inadéquate. Il est alors impossible de modéliser correctement la collection de charges en ajoutant une source de courant à ses bornes. Par ailleurs, les larges variations de tension peuvent impliquer l'activation partielle de transistors bipolaires parasites.

3.5.3 Modèle augmenté incorporant des composants parasites

Le modèle présenté à la figure 3.12 est obtenu à partir du logiciel Substrate Coupling Analysis (SCA). A partir du modèle seulement résistif et capacitif, nous avons ajouté nos propres modèles de diodes pour la jonction entre le puits N et le substrat, ainsi que des bipolaires parasites verticaux. Tous ces modèles sont fournis par la TSMC pour la technologie 180 nm et ont été dimensionnés en accord avec le dessin des masques envoyé à la fabrication. L'avantage de ce modèle augmenté est que les variations des potentiels sont maintenant prises en compte par les dispositifs rajoutés. Le substrat n'est plus seulement modélisé de façon statique, mais il devient sensible aux perturbations de potentiel induites par l'injection de charges.

3.6 Résultats de simulations

Le comportement électrique de l'oscillateur a été simulé avec le simulateur Spectre en tenant compte à la fois des éléments parasites des circuits (capacités des fils....), des inductances du boîtier, et du modèle du substrat.

3.6.1 Fonctionnement normal non soumis à une illumination

Lorsque l'oscillateur n'est soumis à aucune source d'illumination, il oscille en simulation à environ 370 MHz sans tenir compte du modèle du substrat. L'ajout du modèle personnalisé réduit la fréquence d'oscillation à environ 340 MHz. Expérimentalement, l'oscillateur fabriqué fonctionne à une fréquence proche de 300 MHz. L'ajout d'un modèle du substrat permet donc de mieux s'approcher du comportement observé en expérimentation.

3.6.2 Impact d'une impulsion laser sur le fonctionnement

Afin de simuler le comportement de l'oscillateur soumis à une impulsion, nous injectons un courant dans la jonction puits N - substrat obtenu grâce aux simulations par éléments finis. Le modèle électrique inclut une modélisation du substrat vue dans la section précédente.

Le courant de la figure 3.13, provenant du modèle par éléments finis, est utilisé pour simuler l'impact du laser de puissance au niveau du silicium égale à 50 mW et de 100 ns de durée d'impulsion. Un temps de recombinaison (τ) de 150 ns et un rapport β de 0.2 ont été utilisés pour calculer le courant. La réponse en sortie du FVC, présentée à la figure 3.14 montre une variation de la tension du FVC de 520 mV à environ 380 mV. Cette augmentation de fréquence correspond à une

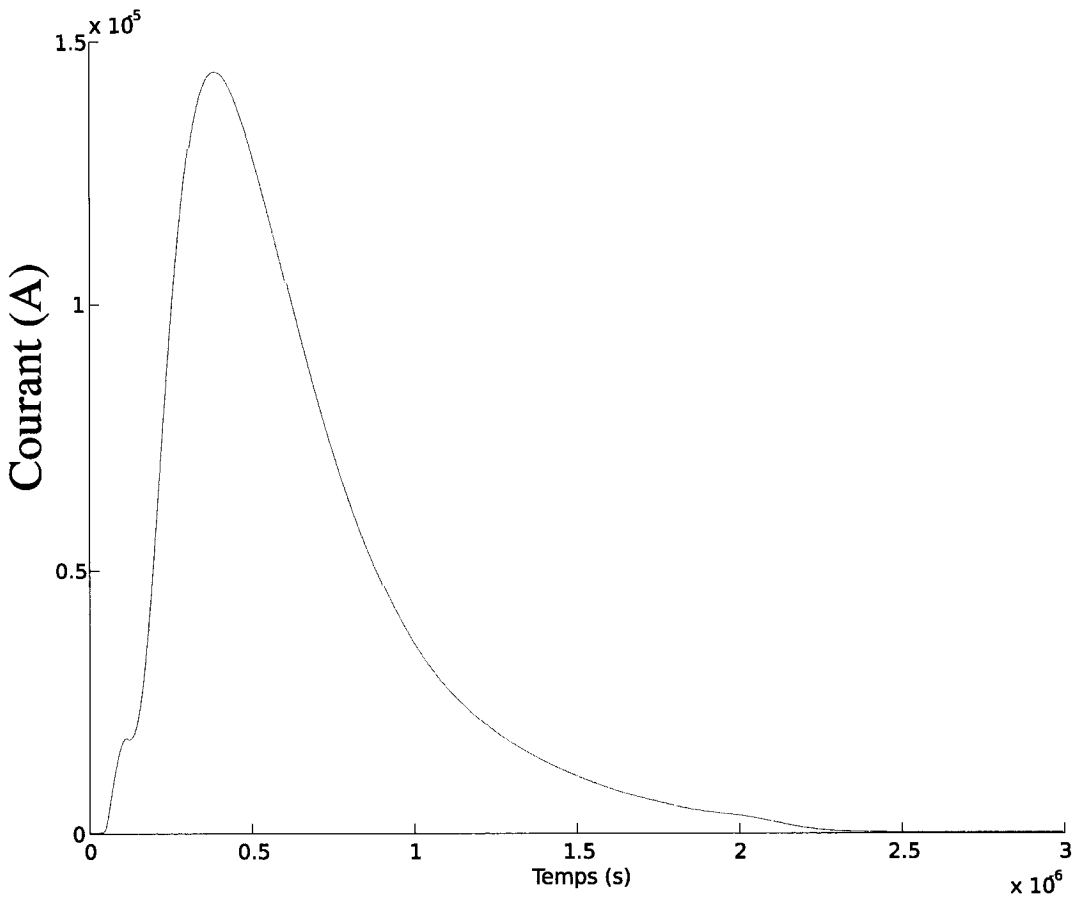


FIG. 3.13 Courant injecté dans le puits N pour une puissance laser simulée de 50 mW

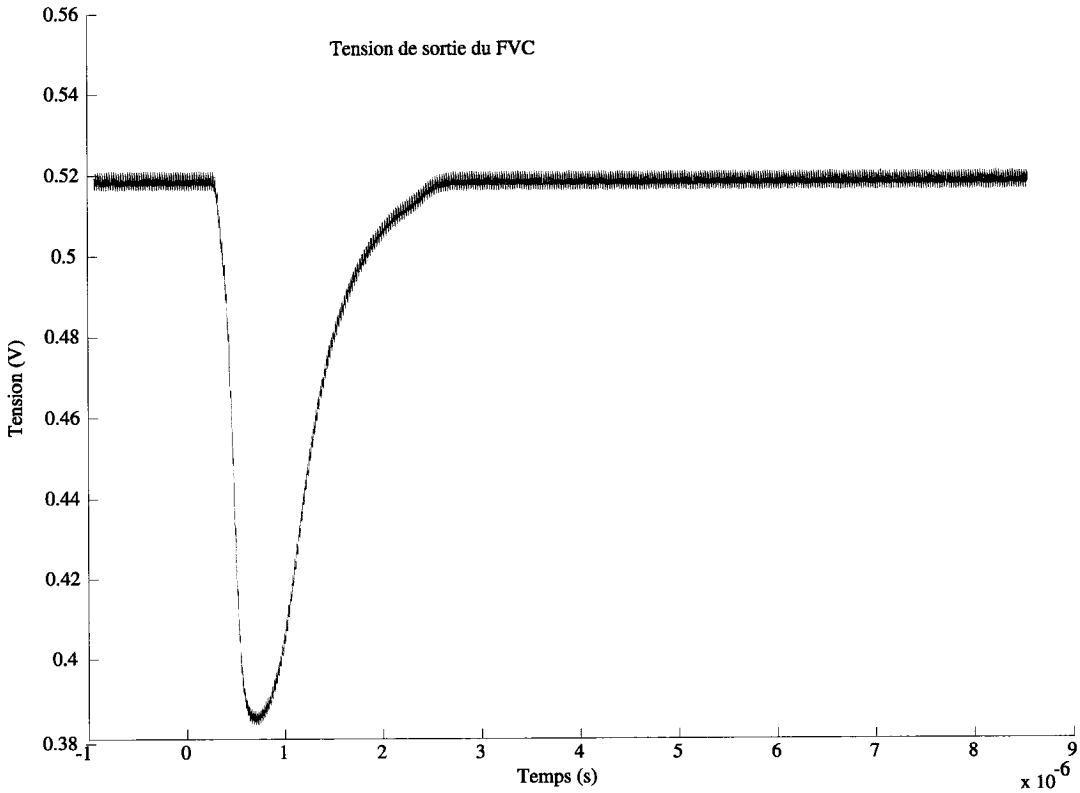


FIG. 3.14 Simulation de la tension du FVC soumis à une impulsion laser associé au courant injecté de la figure 3.13

variation relative de 27 % et correspond relativement bien à ce qui est observé expérimentalement.

Le modèle présenté couplant un modèle électrique avec une modélisation physique permet de reproduire l'augmentation de fréquence observée en expérimentation lorsqu'on illumine le centre de l'oscillateur avec un laser.

Par ailleurs, l'injection de courant dans le puits N permet de modifier les potentiels du substrat et du puits N. Pour la même simulation on observe une modification d'environ 700 mV des potentiels (voir figure 3.15). Cela permet de modifier par effet de substrat les tensions de seuil des transistors. Par conséquent la fréquence d'oscil-

lation augmente. Par ailleurs, les transistors bipolaires parasites jouent également un rôle dans l'augmentation de la fréquence en injectant du courant directement dans le drain du PMOS et ainsi en augmentant les courants de charge et de décharge des inverseurs.

La figure 3.15 montre également que, pour de tels paramètres du modèle ($\beta = 0.2$ et $\tau = 150ns$) permettant d'obtenir un courant maximal injecté de 15 µA, la jonction PN est pratiquement court-circuité. Un courant maximal plus élevé court-circuiterait la jonction et ferait donc sortir le modèle de son domaine de validité. En effet, expérimentalement aucun court-circuit n'est observé. Un courant maximal de l'ordre de la dizaine de µA correspondant à un β de l'ordre de 0.2 permet donc de rester dans un fonctionnement normal du système où le modèle est valide.

Ces résultats de simulations montrent l'intérêt de l'utilisation d'un modèle personnalisé du substrat afin de modéliser l'injection de charges causée par un laser focalisé. Le modèle électrique permet de prendre en compte l'impact des charges arrivant sur les jonctions, et donc de reproduire le comportement observé expérimentalement.

3.6.3 Ajustement des paramètres du modèle aux résultats expérimentaux

La partie précédente a montré que le modèle présenté permettait de décrire les phénomènes observés expérimentalement. Afin de valider le modèle complet, il faut ajuster les paramètres du modèle (β et τ) pour que les courbes obtenues en simulation se confondent aux résultats expérimentaux. Une première itération grossière a déjà été faite pour ajuster les deux paramètres à des valeurs permettant à la fois de décrire globalement les phénomènes observés expérimentalement et de rester

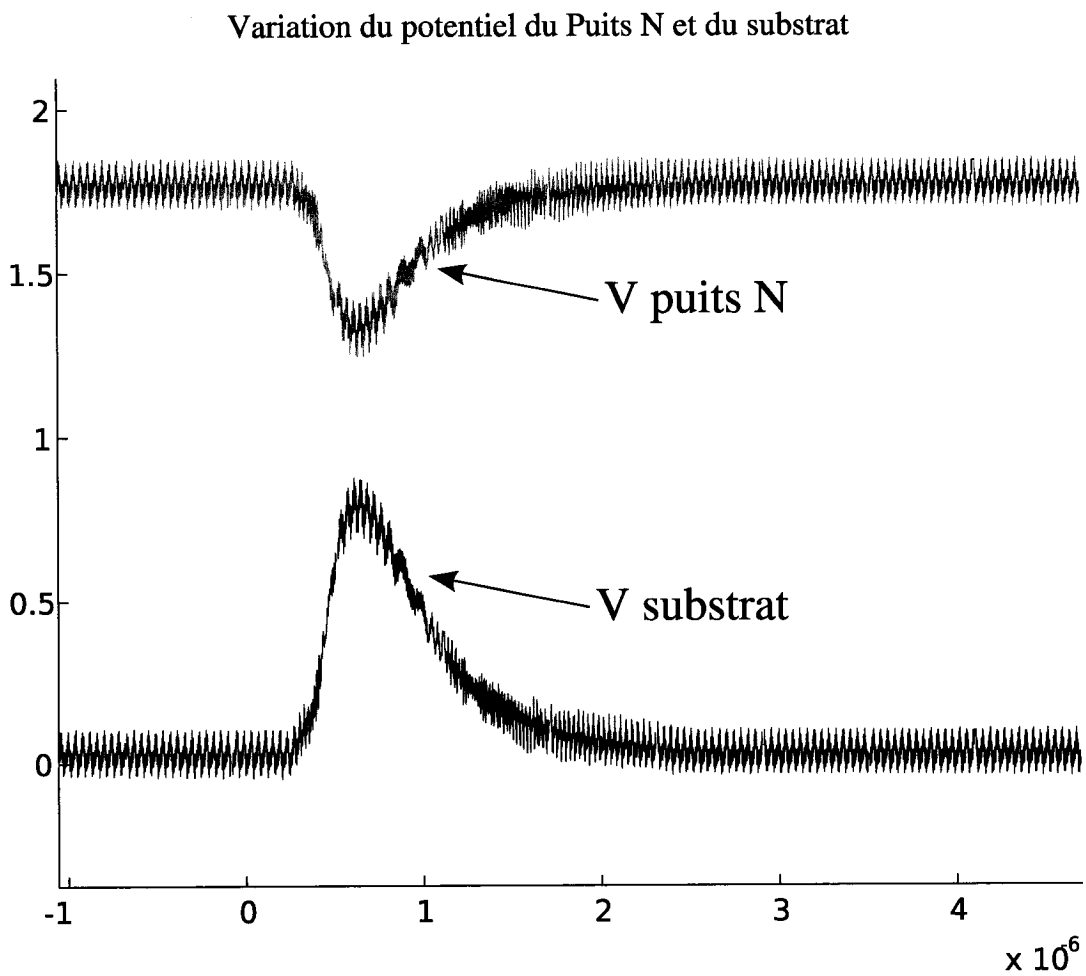


FIG. 3.15 Variation des potentiels du substrat et du puits N pour une injection de courant correspondant à une puissance laser de P=50 mW avec $\beta = 0.2$ et $\tau = 150ns$

dans les limites de validité du modèle électrique quant au courant injecté dans la jonction (de l'ordre de la dizaine de µA). Cette première itération a abouti sur : $\beta = 0.2$ et $\tau = 150ns$.

Ces deux paramètres influent sur la forme du courant injecté au niveau de sa durée temporelle et de son pic maximal. L'ajustement au niveau de la puissance a été fait en premier lieu en considérant l'absorption mesurée de la puissance du laser par le montage optique, puis un raffinement a été nécessaire afin d'aligner le pic maximum de la variation maximale du FVC obtenu expérimentalement avec celui obtenu en simulation. Un rapport d'environ 17 a été choisi entre la puissance expérimentale en sortie du laser et la puissance du faisceau simulée sur le silicium, ce qui correspond à une puissance au niveau du silicium d'environ 6 % de la puissance en sortie du laser. Ce chiffre peut paraître anormalement faible, mais il faut garder à l'esprit que la puce testée a subi de nombreuses impulsions laser. Cela peut avoir altéré les diélectriques de façon optique, et par conséquent causé une absorption plus importante. En outre, le montage optique est très sensible, et un mauvais alignement de tous les dispositifs entraine un perte importante de puissance.

Ajustement de τ : Le temps de recombinaison des porteurs influe à la fois sur la durée temporelle de l'injection de courant et sur le pic maximal du courant. En effet, si l'on augmente le temps de recombinaison, pour une distance donnée de la cible laser, moins de charges se sont recombinées. Au niveau du puits N, il y a donc plus de charges qui entrent, d'où un pic de courant maximal plus élevé. De plus si τ est plus élevé, les charges mettent plus de temps à se recombiner et cette augmentation de temps se retrouve au niveau du courant.

La figure 3.16 montre la variation de la tension du FVC pour différents τ, la puissance et la mobilité des porteurs étant respectivement fixées à 50 mW au niveau

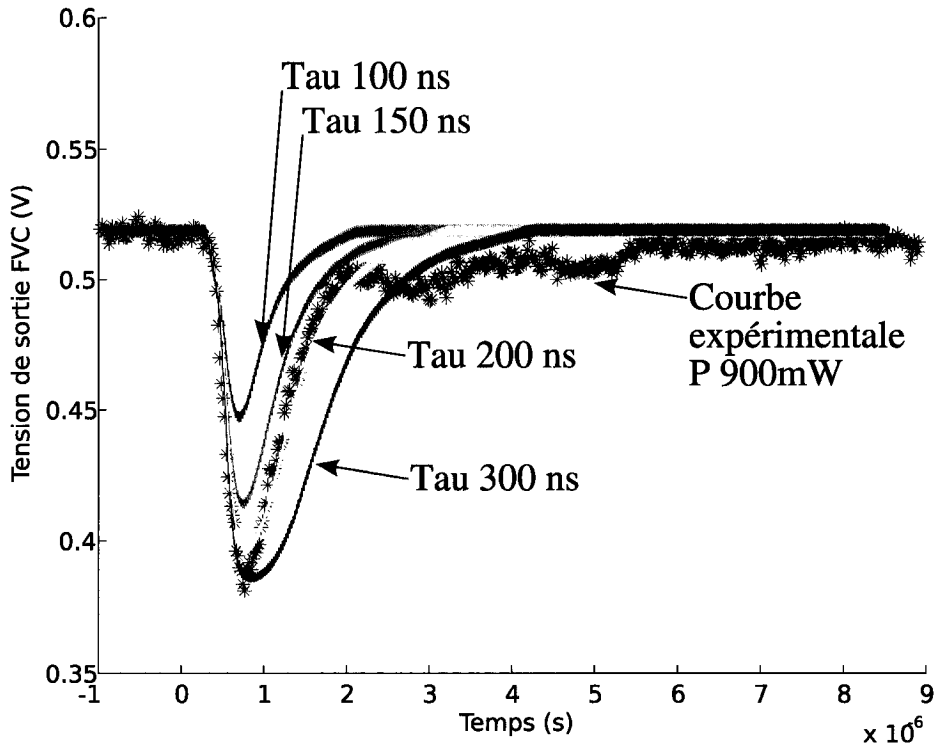


FIG. 3.16 Influence du paramètreτ sur la variation du FVC, P=50 mW et $\beta = 0.15$

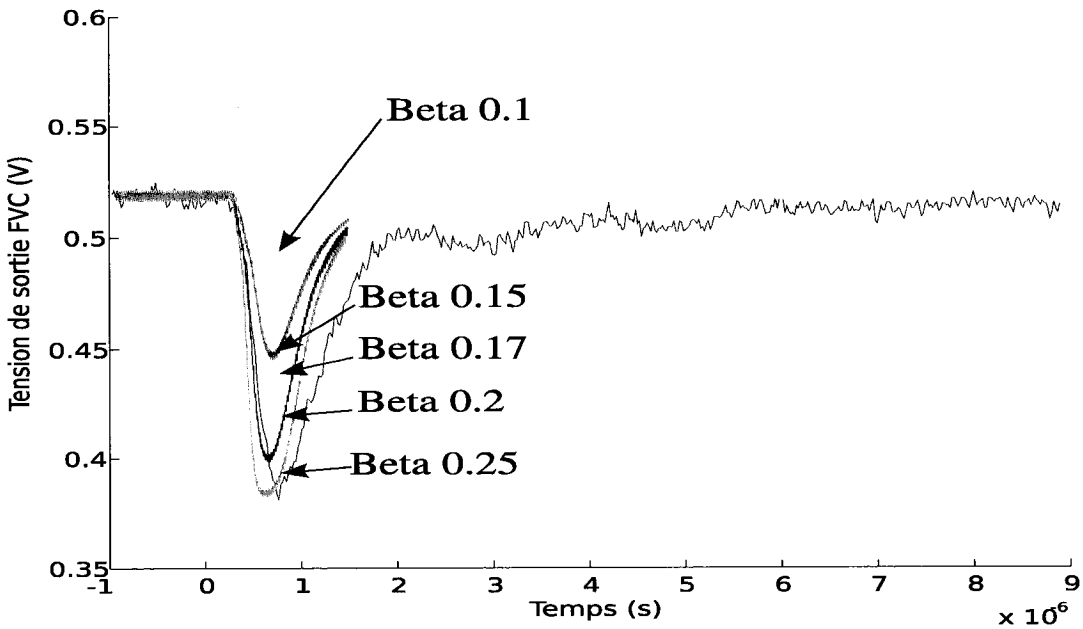
silicium et $\beta = 0.15$. Nous pouvons observer que plus τ augmente plus la variation maximale du FVC est grande. De plus, lorsque le temps de recombinaison augmente, le minimum de la sortie du FVC se déplace dans le temps et le temps caractéristique de retour à l'équilibre de l'oscillateur est plus grand. En modifiant τ nous pouvons donc ajuster la forme temporelle de la réponse en sortie du FVC.

La figure 3.16 montre que pour un $\tau = 200$ ns la forme temporelle s'approche correctement des résultats expérimentaux.

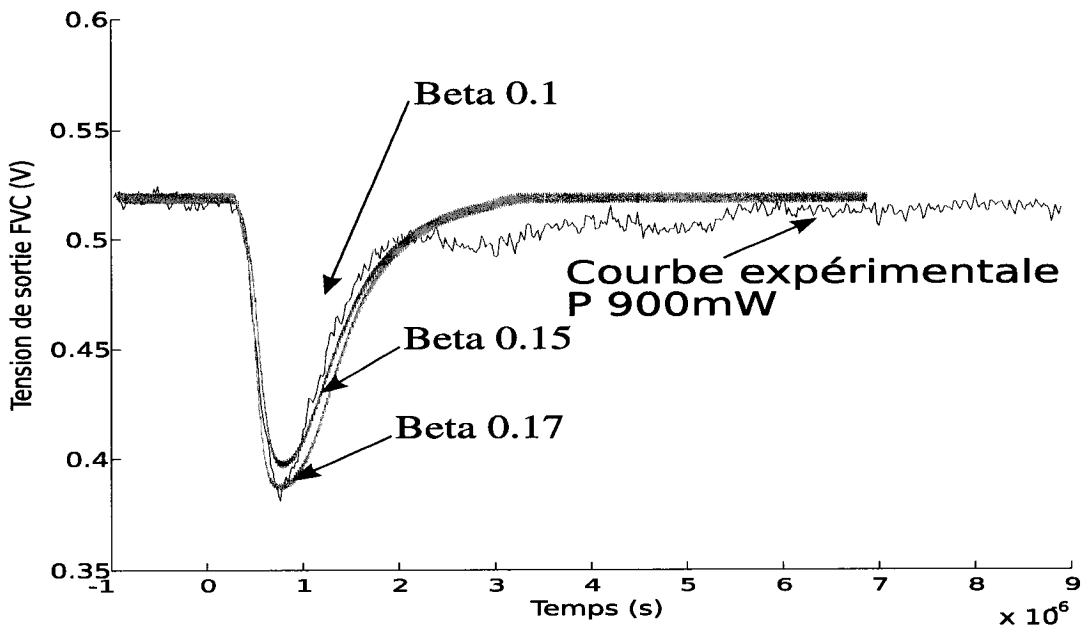
Ajustement de β : Le paramètre β permet quant à lui de modifier la hauteur du pic de courant et donc de modifier le minimum de la tension de sortie du FVC.

La figure 3.17 a) expose la variation de la tension du FVC en fonction du temps pour différentes valeurs de β pour un τ de 100 ns. On peut remarquer que plus β est grand, plus la variation maximale de la tension du FVC augmente. Un premier intervalle pour la valeur du paramètre β pourrait se situer entre 0.15 et 0.20. La courbe 3.17 b) prend de plus en compte l'ajustement du paramètre τ égal à 200 ns. Pour un β de 0.15, la sortie du FVC se comporte presque comme la courbe expérimentale. Une valeur de 0.17 permet de coller encore mieux à l'expérimental au niveau de la hauteur du pic.

Dans cette section nous avons tout d'abord montré que le modèle électrique incorporant une modélisation physique de l'injection de charges permettait de simuler le comportement de l'oscillateur soumis à une impulsion laser en son centre. De plus nous avons ajusté certains paramètres du modèle pour que les simulations collent plus finement à l'expérimental. Cela a été fait en restant pour les deux paramètres dans des intervalles en accord avec ce qui a été physiquement fabriqué.



(a) tau 100ns beta 0.1 0.15 0.17 0.2 0.25



(b) tau 200 ns beta de 0.1 et 0.15

FIG. 3.17 Influence du paramètre β sur la variation du FVC, P=50 mW

3.7 Confrontation des résultats de simulation et expérimentaux

Dans cette section, nous allons confronter notre modèle aux différents résultats expérimentaux afin de valider sa robustesse. Les paramètres du modèle sont ceux déduits de la partie précédente.

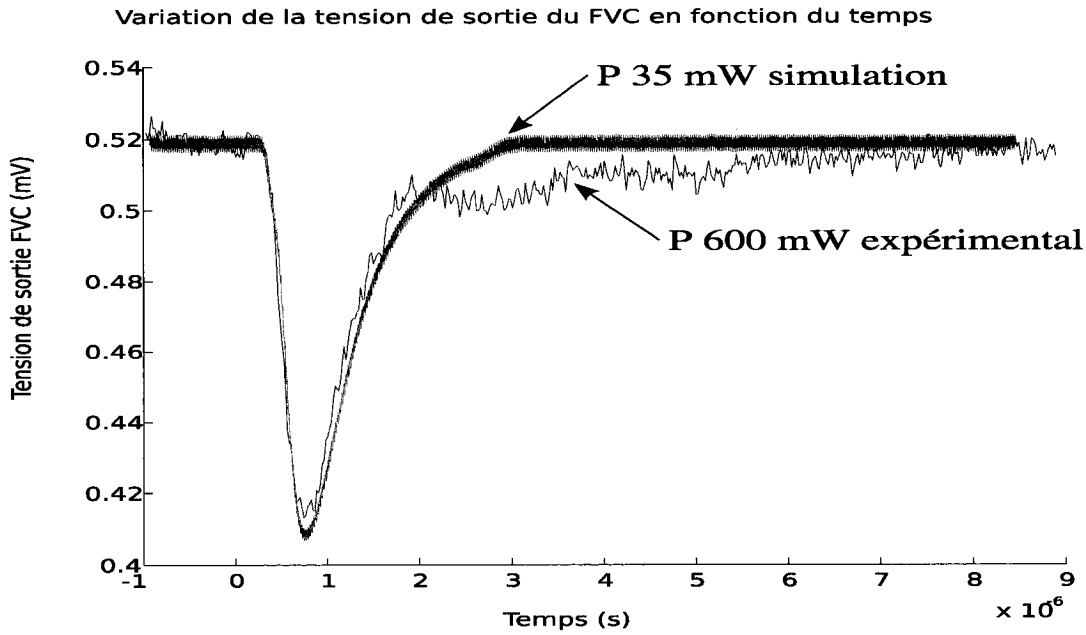
3.7.1 Robustesse du modèle

Le but de cette section est de tester l'exactitude du modèle face à la variation du paramètre puissance. Pour cela nous le confrontons à diverses puissances (600 mW 3.18 a), 1700 mW 3.18 b)). Les courbes montrent que le modèle permet de reproduire fidèlement le comportement expérimental.

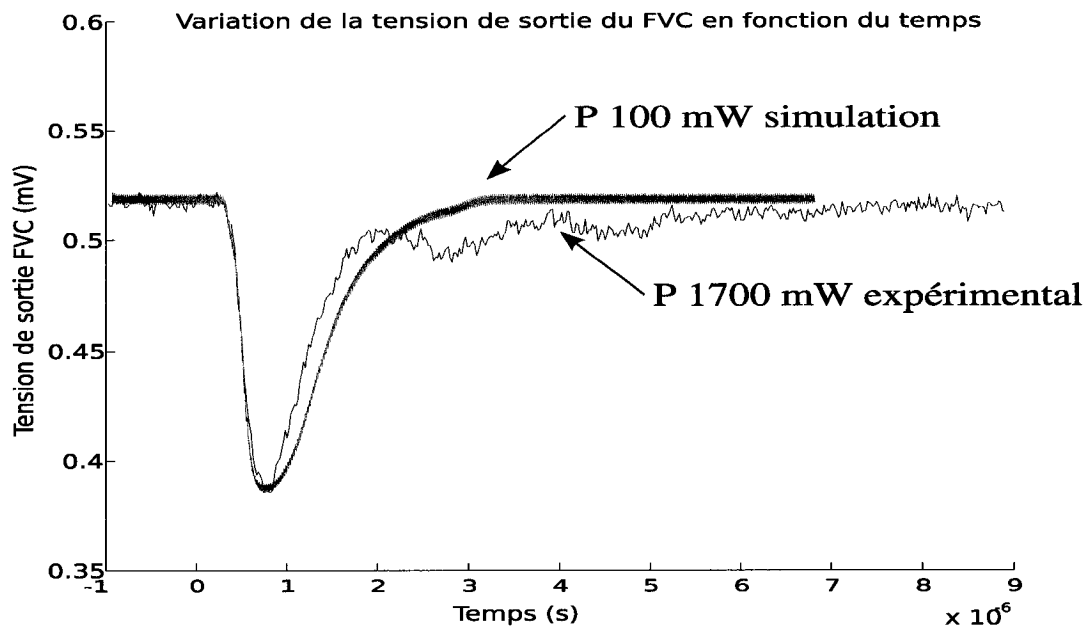
3.7.2 Variation de la fréquence en fonction de la puissance

La figure 3.19 expose différents résultats de simulation pour différents paramètres du modèle. Le même phénomène que celui observé en expérimentation est visible : pour de faibles puissances, la variation maximale du FVC augmente rapidement, puis pour des valeurs moyennes de puissance cette variation maximale plafonne. Le modèle nous reproduit qualitativement le comportement du système jusqu'à des puissances moyennes.

Trois phénomènes différents correspondant à trois pentes différentes peuvent être observés. En effet, la pente de la partie à faible puissance de la figure 3.19 est plus importante que la pente à haute puissance. Cela peut s'expliquer par le fait qu'à faible puissance, les réflexions du faisceau incident sont moins importantes et ne perturbent pas le fonctionnement de l'oscillateur. Ces réflexions sont d'autant plus importantes lorsque le silicium fond. En effet le coefficient de réflexion du silicium



(a) Puissance 600 mW



(b) Puissance 1700 mW

FIG. 3.18 Robustesse du modèle pour deux puissances

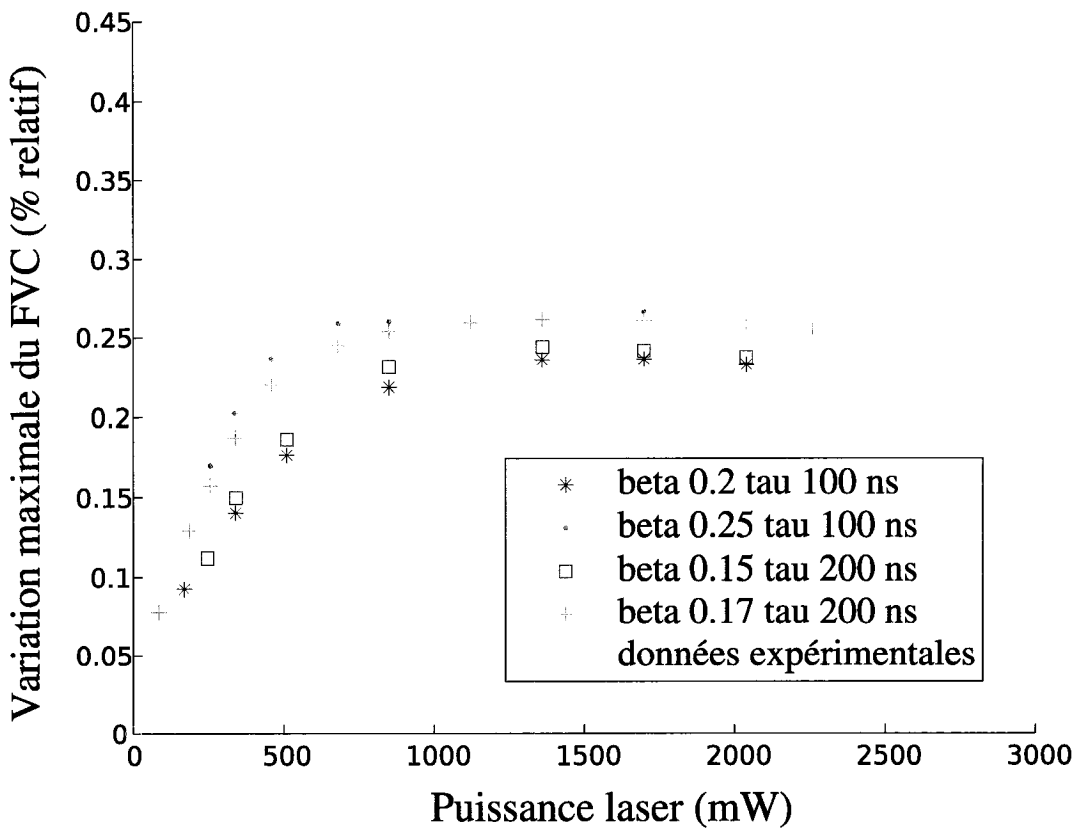


FIG. 3.19 Variation du maximum de variation du FVC en fonction de la puissance : simulation versus expérimentation

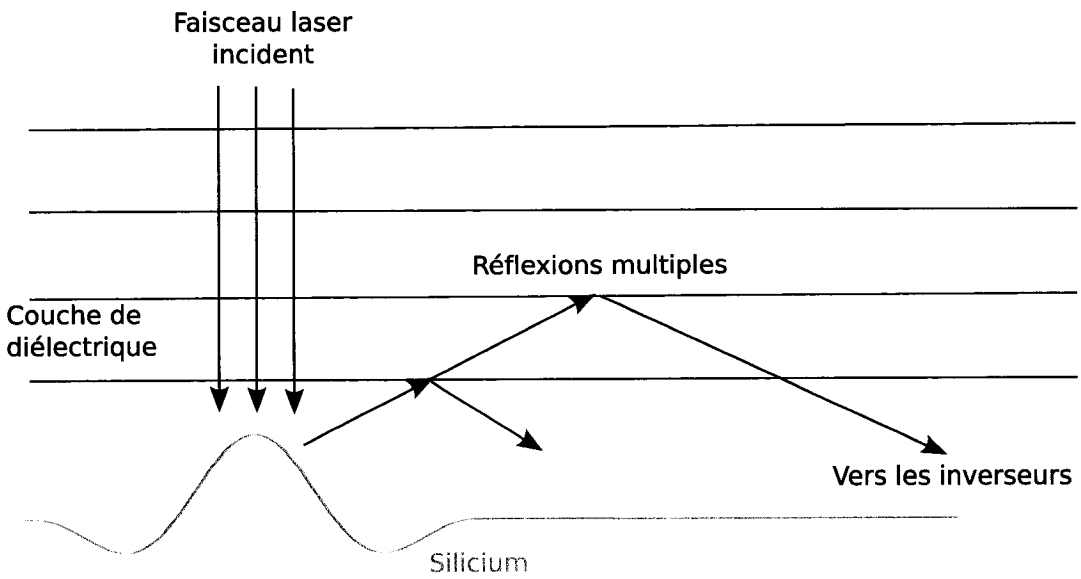


FIG. 3.20 Structure géométrique responsable des multiple réflexions (figure non à l'échelle)

fondu est supérieur à celui du silicium liquide. De plus, après la fonte, le silicium se resolidifie en prenant un forme non plane (dite forme "sombrero") telle que présentée à la figure 3.20, réfléchissant le faisceau incident dans toutes les directions. A une puissance laser supérieure à 1.5 W le silicium commence à fondre augmentant alors la puissance du faisceau réfléchi. A haute puissance, ces réflexions permettent d'injecter des charges un peu partout dans la puce, affectant à la fois l'oscillateur mais aussi les circuits réalisant la mesure (diviseur de fréquence, convertisseur fréquence tension). Ainsi le fonctionnement global du circuit est modifié et cela peut expliquer le comportement à haute puissance. La partie à moyenne puissance représente la transition entre les deux phases précédentes. La quantité de charges injectées au niveau de la cible laser plafonne, alors que les réflexions parasites ne sont pas encore assez puissantes pour créer des charges partout sur la puce.

3.7.3 Courant collecté par les alimentations

La comparaison du courant recueilli au niveau des alimentations pour les simulations et les expérimentations permet de valider la quantité de charges simulées qui ont été injectées dans le substrat puis recueillies par les alimentations. La figure 3.21 c) donne le courant collecté pour une puissance laser simulée d'environ 50 mW. Ce courant doit être comparé avec celui obtenu en expérimentation pour une puissance de 900 mW. Un hausse d'environ 115 µA est observée en simulation. Cependant il faut mettre à l'échelle cette valeur, car ce courant recueilli correspond aux charges collectées au niveau des 5 inverseurs de l'oscillateur. Il faut donc tenir compte des charges qui ne sont pas directement collectées par les inverseurs, mais qui sont collectées plus loin. Les charges collectées sont celles qui restent à la surface du substrat, les autres qui s'enfoncent dans le substrat tout de suite après leur création se recombinent avant d'être collectées. Nous nous contentons donc d'une représentation 2D de la migration et de la collection des charges. L'impulsion laser injecte des charges sur 2π radians, seulement 25/30 radians sont collectés par les inverseurs (5 inverseurs de dimensions 5 µm à une distance de 30 µm de la cible laser). En supposant que la jonction puits-substrat absorbe toutes les charges qui l'atteignent de façon directe, un rapide calcul permet d'estimer le courant total simulé à 870 µA. En expérimentation nous obtenions une valeur plus proche des 600 µA. Nous obtenons donc le même ordre de grandeur, la différence peut être due au fait que l'on considère que les charges sont collectées à une distance de 30 µm de la cible laser. Or ce n'est pas le cas réellement car il faudrait tenir compte de la recombinaison de ces charges avant leur collection par les alimentations.

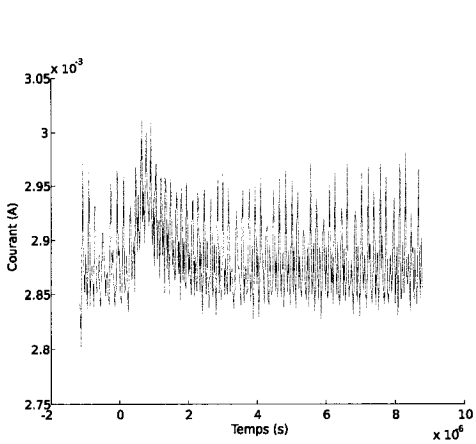
Les figures 3.21 a) et 3.21 b) montrent la hausse de courant pour des basses puissances de 430 et 500 mW, tandis que la figure 3.21 d) l'expose pour une puissance moyenne de 1450 mW. On observe le même phénomène que celui observé en simula-

tion pour des basses puissances : le courant augmente rapidement. Après une mise à l'échelle il est d'environ 330 µA (45 µA non mis à l'échelle) pour une puissance laser correspondante de 430 mW, de 600 µA pour une puissance de 500 mW et de 827 µA pour une puissance de 1450 mW. A moyenne puissance, le comportement est différent de l'expérimentation car on ne tient pas compte des réflexions parasites qui commence à avoir un impact non négligeable. En effet, en expérimentation le courant avait tendance à augmenter légèrement, alors que dans notre modèle celui-ci diminue, car nous ne tenons pas compte de ces réflexions qui augmentent le nombre de charges injectées proches des lieux de collection.

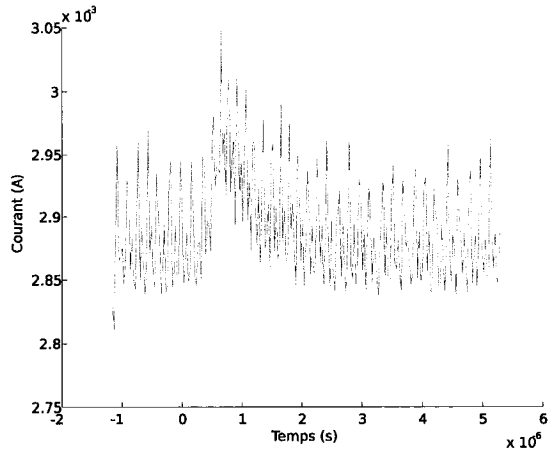
A haute puissance (supérieur à 1.7 W), on observe expérimentalement une hausse rapide du courant. Ceci est dû au fait que les réflexions du faisceau laser ont un impact plus important, car les faisceaux réfléchis sont alors assez puissants pour créer des paires électron-trou dans le substrat. Ainsi les charges ne sont plus seulement créées dans le voisinage de la cible au centre de l'oscillateur, mais partout sur la puce. Leur collection est donc plus importante, et de plus elles se recombinent moins avant d'être collectées. Effectivement, la distance entre leur lieu de création et leur lieu de collection se réduit, car la puce est couverte de contacts servant à polariser le substrat et les puits N. Par conséquent, le courant expérimental entrant dans VDD augmente fortement. Nous n'avons pas modélisé ce phénomène avec notre modèle.

3.7.4 Conclusion et limites du modèle

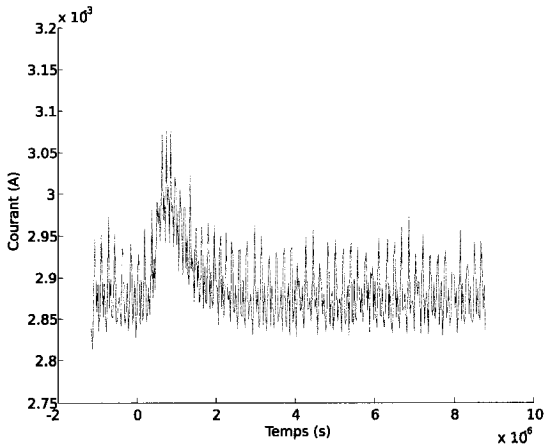
Le modèle présenté permet de simuler le comportement d'un oscillateur en anneau soumis à une perturbation laser en son centre. Il tient compte de l'élévation de température du substrat et de la fonte du silicium. Ce modèle permet de décrire parfaitement les phénomènes d'injection de charges dans le substrat à basse et



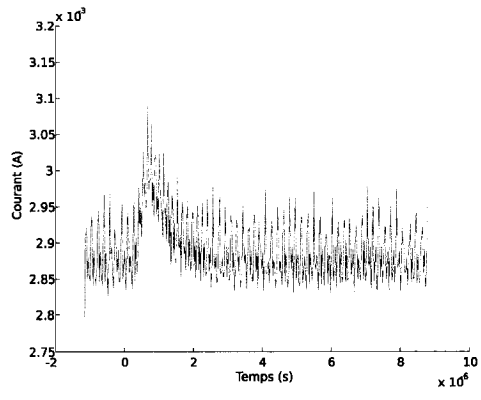
(a) puissance simulée de 27 mW correspondant en expérimentation à 430 mW



(b) puissance simulée de 30 mW correspondant en expérimentation à 500 mW



(c) puissance simulée de 50 mW correspondant en expérimentation à 900 mW



(d) puissance simulée de 85 mW correspondant en expérimentation à 1450 mW

FIG. 3.21 Courant collecté par l'alimentation VDD obtenu par simulation

moyenne puissance (inférieures à 1.6 W). Les charges migrant dans le substrat modifient les potentiels du substrat et des puits N, engendrant ainsi l'augmentation de fréquence observée en expérimentation. Seule une modélisation adaptée du substrat tenant compte des jonctions (puits N - substrat) et des éléments parasites tels que les transistors bipolaires verticaux permet de reproduire correctement l'impact d'un laser sur le substrat. Grâce à cette modélisation du substrat, les variations de potentiels dues à l'injection de charges ont impact sur les inverseurs de l'oscillateur, expliquant ainsi la variation de fréquence. Notre modèle permet de décrire qualitativement le comportement de l'oscillateur en fonction de la puissance du laser.

Cependant ce modèle ne permet pas de décrire correctement les phénomènes à haute puissance. Du fait des réflexions, des charges sont injectées dans le substrat n'importe où sur toute la puce et même directement dans les fils métalliques transportant les signaux ou permettant d'alimenter les circuits. Le comportement du circuit est alors grandement perturbé. Un modèle plus complexe tenant compte des réflexions induisant de l'injection de charges dans les fils due aux réflexions permettrait d'obtenir une estimation plus précise du comportement à haute puissance. Cependant nous sommes limités par la puissance de calcul des ordinateurs et la taille en mémoire qu'occupe le modèle physique.

CONCLUSION

Bilan du travail accompli

L'objectif principal de cette maîtrise était d'étudier les phénomènes de couplage au substrat et ainsi de comprendre comment un circuit dit "agresseur" peut affecter un autre circuit sensible, que l'agresseur soit un convertisseur DC-DC ou bien des charges injectées par un laser. Dans un circuit intégré, le substrat représente la base à partir de laquelle tous les circuits seront implantés. Ainsi il est un lien électrique entre toutes les différentes parties du circuit, il faut donc absolument tenir compte de sa présence et lui donner la place qu'il mérite dans la modélisation électrique au même titre qu'un transistor ou une résistance. L'objectif connexe était donc de modéliser avec précision le substrat en tenant compte des conditions particulières relatives à l'utilisation d'un convertisseur de puissance ou d'un laser. Finalement l'objectif final était d'obtenir un modèle prédisant les perturbations induites par un laser ou un convertisseur DC-DC.

En premier lieu, il a fallu maîtriser les outils permettant d'extraire les caractéristiques du substrat afin d'obtenir un modèle électrique du substrat. A partir d'un premier modèle de base, nous avons pu identifier et estimer les couplages au substrat. Ceci a été réalisé à la fois pour le convertisseur DC-DC et pour l'injection de charges par laser. Ces premiers modèles du substrat ont dû ensuite être optimisés pour tenir compte des larges variations de tension découlant de l'activité du convertisseur ou de l'injection de charges. En effet, ces variations violent les conditions d'élaboration d'un modèle seulement résistif et capacitif du substrat. Avec ce modèle optimisé comportant des éléments parasites du substrat (transistors bipolaires, diodes), une compréhension étendue des phénomènes d'injection de bruit a pu être élaborée.

Par la suite, fort de cette compréhension des chemins d'injection de bruit, nous avons conçu et fabriqué un circuit de test pour le convertisseur DC-DC. Ce circuit de test associé à une plaquette de test avait pour but de mesurer le courant traversant les chemins de courants offerts par les transistors bipolaires, non pris en compte par un modèle classique du substrat. Les tests proprement dits des puces fabriquées ayant été effectués, nous avons constaté que les transistors bipolaires jouaient un rôle important dans l'injection de bruit lors du fonctionnement d'un convertisseur de puissance et que l'isolation des puits N et des puits profond N était par conséquent beaucoup moins bonne que prévu (bruit au niveau du substrat 30 fois plus élevé avec une modélisation des bipolaires).

Dans le même temps, des tests de l'injection de charges sur un oscillateur ont été menés afin de comprendre et de modéliser plus en détail les phénomènes entraînant l'augmentation de fréquence déjà connu. Ces tests expérimentaux ont été réalisés à plus basses puissances. Cette étude est la continuation du travail accompli par Guillaume Wild, et s'inscrit dans un projet plus vaste de modélisation physique des phénomènes d'interaction laser-matière. Un modèle "mixte" a été élaboré réunissant une modélisation physique permettant de quantifier l'injection de charges dans le substrat, et une modélisation électrique du substrat permettant, à l'aide d'une source de courant aux bornes des jonctions PN, de répercuter l'impact de ces charges sur l'oscillateur. Ce modèle prend en compte l'élévation de température du substrat et la fonte du silicium. Les variations de potentiel découlant de l'injection de charges sont prises en compte par le modèle et modifient par effet de substrat les caractéristiques des inverseurs de l'oscillateur.

Finalement, cette maîtrise met en évidence le rôle primordial que le substrat joue en microélectronique. Une modélisation raffinée du substrat est nécessaire afin de pouvoir décrire correctement tous les phénomènes.

Perspectives de recherche future

Ces travaux ont permis de mettre en évidence l'existence de nouveaux chemins d'injection de bruit dans le substrat et les alimentations. D'autres techniques de mesures de ces activations de chemins pourraient être envisagées afin d'améliorer la lisibilité des résultats. Par exemple l'acquisition du bruit de substrat ou des courants injectés pourrait être faite directement sur la puce à l'aide d'un circuit dédié, ce qui permettrait de s'affranchir du bruit résiduel associé à l'utilisation d'une plaquette de test. Au niveau de la modélisation du substrat, un travail perpétuel est nécessaire afin de caractériser le mieux possible le profil de dopage du substrat des technologies de fabrication récentes. De nombreux axes de recherches peuvent être explorés, notamment l'intégration directe des dispositifs parasites (bipolaires verticaux) dans les logiciels d'extraction du substrat afin de rendre plus facile et plus performante l'analyse du bruit de substrat.

Du point de vue de la modélisation de l'injection de charges, l'utilisation de logiciel de simulation "mixtes" ouvre la porte à de nombreuses modélisations de composants ajustables par laser et l'impact de leurs intégrations sur des circuits analogiques de précision. Grâce à ces logiciels, il est possible de visualiser en temps réel le comportement d'un circuit, lorsque par exemple on ajuste la valeur d'une résistance par laser. Par conséquent, le cycle de développement de tels dispositifs physiques est réduit, car leur comportement électrique pourrait être évalué avant qu'ils soient fabriqués, processus long et coûteux.

RÉFÉRENCES

ALEXANDER, D. R. (2003). Transient ionizing radiation effects in devices and circuits. *Nuclear Science, IEEE Transactions on*, **50**(3), 565–582.

ANDREI, C., VALORGE, O., CALMON, F., VERDIER, J., AND GONTRAND, C. (2004). Impact of substrate perturbation on a 5 ghz vco spectrum. In *Microelectronics, 2004. ICM 2004 Proceedings. The 16th International Conference on*, pages 684–687.

BADAROGLU, M., WAMBACQ, P., VAN DER PLAS, G., DONNAY, S., GIELEN, G. G. E., AND DE MAN, H. J. (2006). Evolution of substrate noise generation mechanisms with cmos technology scaling. *Circuits and Systems I : Regular Papers, IEEE Transactions on [Circuits and Systems I : Fundamental Theory and Applications, IEEE Transactions on]*, **53**(2), 296–305.

BLALACK, T. AND WOOLEY, B. A. (1995). The effects of switching noise on an oversampling a/d converter. In *Solid-State Circuits Conference, 1995. Digest of Technical Papers. 42nd ISSCC, 1995 IEEE International*, pages 200–201, 367.

BONOMI, D., BOSELLI, G., TRUCCO, G., AND LIBERALI, V. (2006). Effects of digital switching noise on analog voltage references in mixed-signal cmos ics. In *SBCCI '06 : Proceedings of the 19th annual symposium on Integrated circuits and systems design*, New York, NY, USA, pages 226–231. ACM Press.

BOULAIS, E., BINET, V., DEGORCE, J.-Y., SAVARIA, Y., AND MEUNIER, M. (2007). Modeling charge injection in silicon irradiated by a pulsed focused laser and its effect on sensitive circuits. *En preparation*.

BOULGHASSOUL, Y., BUCHNER, S., MCMORROW, D., POUGET, V., MASSENGILL, L. W., FOUILLAT, P., HOLMAN, W. T., POIVEY, C., HOWARD, J. W., SAVAGE, M., AND MAHER, M. C. (2004). Investigation of millisecond-long analog

single-event transients in the lm6144 op amp. *Nuclear Science, IEEE Transactions on*, **51**(6), 3529–3536.

BRIAIRE, J. AND KRISCH, S. (2000). Principles of substrate crosstalk generation in cmos circuits. *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, **19**(6), 645–653.

CHAN, T. Y., CHEN, J., KO, P. K., AND HU, C. (1987). The impact of gate-induced drain leakage current on mosfet scaling. In *Electron Devices Meeting, 1987 International*, volume 33, pages 718–721.

CHAPMAN, G. H. (1992). Laser interconnection techniques for defect avoidance in large-area restructurable silicon systems. *Microelectronics Journal*, **23**, 267–272.

CHARBON, E., GHARPUREY, R., MILIOZZI, P., MEYER, R. G., AND SANGIOVANNI-VINCENTELLI, A. (2001). *Substrate noise : analysis and optimization for IC design*. Kluwer Academic Publishers, Norwell, MA, USA.

CHECKA, N., CHANDRAKASAN, A., AND REIF, R. (2005). Substrate noise analysis and experimental verification for the efficient noise prediction of a digital pll. In *Custom Integrated Circuits Conference, Proceedings of the IEEE 2005*, pages 473–476.

CHOI, Y., CHANG, N., AND KIM, T. (2005). Dc-dc converter-aware power management for battery-operated embedded systems. In *Design Automation Conference, 2005. Proceedings. 42nd*, pages 895–900.

COHEN, S. S., WYATT, P. W., CHAPMAN, G. H., AND CANTER, J. M. (1988). Laser-induced diode linking for wafer-scale integration. *Electron Devices, IEEE Transactions on*, **35**(9), 1533–1550.

DONNAY, S. AND GIELEN, G. (2003). *Substrate Noise Coupling in Mixed-Signal ASICs*. Kluwer Academic Publishers, Boston, MA, USA.

DOUIN, A., POUGET, V., DARRACQ, F., LEWIS, D., FOUILLAT, P., AND PERDU, P. (2006). Influence of laser pulse duration in single event upset testing. *Nuclear Science, IEEE Transactions on*, **53**(4), 1799–1805.

HEIJNINGEN, M. V., BADAROUGLU, M., DONNAY, S., GIELEN, G. G. E., AND MAN, H. J. D. (2002). Substrate noise generation in complex digital systems : efficient modeling and simulation methodology and experiemental verification. *IEEE J. Solid-State Circuits*, **37**.

HEYDARI, P. (2004). Analysis of the pll jitter due to power/ground and substrate noise. *Circuits and Systems I : Regular Papers, IEEE Transactions on [Circuits and Systems I : Fundamental Theory and Applications, IEEE Transactions on]*, **51**(12), 2404–2416.

ITRS (2004). International technology roadmap for semiconductors. *http ://public.itrs.net*.

KESTENBAUM, A. AND BAER, T. (1980). Photoexcitation effects during laser trimming of thin-film resistors on silicon. *Components, Hybrids, and Manufacturing Technology, IEEE Transactions on [see also IEEE Trans. on Components, Packaging, and Manufacturing Technology, Part A, B, C]*, **3**(1), 166–171.

KURSUN, V., NARENDRA, S. G., DE, V. K., AND FRIEDMAN, E. G. (2003). Analysis of buck converters for on-chip integration with a dual supply voltage microprocessor. *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, **11**(3), 514–522.

KURSUN, V., NARENDRA, S. G., DE, V. K., AND FRIEDMAN, E. G. (2004). High input voltage step-down dc-dc converters for integration in a low voltage cmos process. *isqed*, **00**, 517–521.

MAGIEROWSKI, S., INIEWSKIR, K., AND SIU, C. (2005). Substrate noise coupling effect characterization for rf cmos lc vcos. In *IEEE-NEWCAS Conference, 2005. The 3rd International*, pages 199–202.

MEUNIER, M., GAGNON, Y., SAVARIA, Y., LACOURSE, A., AND CADOTTE, M. (2001). Novel laser trimming technique for microelectronics. In Gower, M. C., Helvajian, H., Sugioka, K., and Dubowski, J. J., editors, *Laser Applications in Microelectronic and Optoelectronic Manufacturing VI*, volume 4274, San Jose, CA, USA, pages 385–392. SPIE.

PENG, M. S. AND LEE, H.-S. (2004). Study of substrate noise and techniques for minimization. *Solid-State Circuits, IEEE Journal of*, **39**(11), 2080–2086.

POUGET, V., LEWIS, D., AND FOUILLAT, P. (2004). Time-resolved scanning of integrated circuits with a pulsed laser : application to transient fault injection in an adc. *Instrumentation and Measurement, IEEE Transactions on*, **53**(4), 1227–1231.

SECAREANU, R. M., WARNER, S., SEABRIDGE, S., BURKE, C., BECERRA, J., WATROBSKI, T. E., MORTON, C., STAUB, W., TELLIER, T., KOURTEV, I. S., AND FRIEDMAN, E. G. (2004). Substrate coupling in digital circuits in mixed-signal smart-power systems. *IEEE Trans. Very Large Scale Integr. Syst.*, **12**(1), 67–78.

SECAREANU, R. M., WARNER, S., SEABRIDGE, S., BURKE, C., STAUB, T. E. W. C. M. W., TELLIER, T., AND FRIEDMAN, E. G. (2001). A comparative study of the behavior of nmos and cmos digital circuits under substrate noise. In *Proceedings of the IEEE International Conference on Electronics, Circuits and Systems*, pages 181–184.

SINGH, R., AUDET, Y., GAGNON, Y., AND SAVARIA, Y. (2007). Integrated circuit trimming technique for offset reduction in a precision cmos amplifier. *IEEE International Symposium on Circuits and Systems*.

SOENS, C., CRUNELLE, C., WAMBACQ, P., VANDERSTEEN, G., DONNAY, S., ROLAIN, Y., KUIJK, M., AND BAREL, A. (2003). Characterization of substrate noise impact on rf cmos integrated circuits in lightly doped substrates. In *Ins-*

trumentation and Measurement Technology Conference, 2003. IMTC '03. Proceedings of the 20th IEEE, volume 2, pages 1303–1308 vol.2.

SOENS, C., VAN DER PLAS, G., BADAROGLU, M., WAMBACQ, P., DONNAY, S., ROLAIN, Y., AND KUIJK, M. (2006). Modeling of substrate noise generation, isolation, and impact for an lc-vco and a digital modem on a lightly-doped substrate. *Solid-State Circuits, IEEE Journal of*, **41**(9), 2040–2051.

SOENS, C., VAN DER PLAS, G., WAMBACQ, P., DONNAY, S., AND KUIJK, M. (2005). Performance degradation of lc-tank vcos by impact of digital switching noise in lightly doped substrates. *Solid-State Circuits, IEEE Journal of*, **40**(7), 1472–1481.

SU, D. K., LOINAZ, M. J., MASUI, S., AND WOOLEY, B. A. (1993). Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits. *Solid-State Circuits, IEEE Journal of*, **28**(4), 420–430.

TORIUMI, A., YOSHIMI, M., IWASE, M., AKIYAMA, Y., AND TANIGUCHI, K. (1987). A study of photon emission from n-channel mosfet's. *Electron Devices, IEEE Transactions on*, **34**(7), 1501–1508.

TROUTMAN, R. R. (1986). *Latchup in CMOS technology : the problem and its cure*. Kluwer Academic Publishers, Norwell, MA, USA.

VAN DER PLAS, G., BADAROGLU, M., VANDERSTEEN, G., DOBROVOINY, P., WAMBACQ, P., DONNAY, S., GIELEN, G., AND DE MAN, H. (2004). High-level simulation of substrate noise in high-ohmic substrates with interconnect and supply effects. In *Design Automation Conference, 2004. Proceedings. 41st*, pages 854–859.

VAN DER PLAS, G., SOENS, C., BADAROGLU, M., WAMBACQ, P., AND DONNAY, S. (2005). Modeling and experimental verification of substrate coupling and isolation techniques in mixed-signal ics on a lightly-doped substrate. In *VLSI Circuits, 2005. Digest of Technical Papers. 2005 Symposium on*, pages 280–283.

VAN HEIJNINGEN, M., COMPIET, J., WAMBACQ, P., DONNAY, S., ENGELS, M. G. E., AND BOLSENS, I. (2000). Analysis and experimental verification of digital substrate noise generation for epi-type substrates. *Solid-State Circuits, IEEE Journal of*, **35**(7), 1002–1008.

VINELLA, R. M. AND ANTONICELLI, R. (2006). Analysis of the substrate noise effects due to dc-dc converter integration. In *Research in Microelectronics and Electronics 2006, Ph. D.*, pages 49–52.

WILD, G. (2005). Mesure de l'effet de l'injection de charges par laser sur un circuit oscillant voisin. *Memoire de l'Ecole Polytechnique de Montreal.*

WILD, G., SAVARIA, Y., AND MEUNIER, M. (2005). Characterization of laser-induced photoexcitation effect on a surrounding cmos ring oscillator. In *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, pages 3696–3699 Vol. 4.

XU, M., SU, D. K., SHAEFFER, D. K., LEE, T. H., AND WOOLEY, B. A. (2001). Measuring and modeling the effects of substrate noise on the lna for a cmos gps receiver. *Solid-State Circuits, IEEE Journal of*, **36**(3), 473–485.

YEUNG, T., PUN, A., CHEN, Z., LAU, J., AND CLEMENT, F. J. R. (1997). Noise coupling in heavily and lightly doped substrate from planar spiral inductor. In *Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on*, volume 2, pages 1405–1408 vol.2.

ANNEXE I

ARTICLE ISCAS 2007

Modeling the Substrate Noise Injected by a DC-DC Converter

Vincent Binet and Yvon Savaria
Electrical Engineering Department
Ecole Polytechnique de Montréal
Montréal, QC, Canada
Email : {binet,savaria}@grm.polymtl.ca

Michel Meunier
Engineering Physics Department
Ecole Polytechnique de Montréal
Montréal, QC, Canada
Email : michel.meunier@polymtl.ca

Yves Gagnon
LTRIM Technologies inc
Laval, QC, Canada
Email : yves.gagnon@ltrim.com

***Abstract*— A custom substrate model is proposed to analyze the noise injected by a DC-DC converter. Even if commercial tools extracting substrate parasitic components already exist, they are based on a capacitive and resistive model that can prove inadequate to simulate noise injected by power switching modules, since unusual voltage variations can activate parasitic vertical bipolar transistors. The proposed model includes these components and shows an important impact on victim circuits in the neighborhood of the noise source. Simulations with the proposed model predict a 6 mV noise in the substrate that is a 67-fold increase compared to the 90 μV obtained with a model produced by *SubstrateStorm*. These simulations with our custom model show that deep n-well and n-well noise isolations can be much less effective than expected. The proposed model is directly applicable to exploring the tradeoff between power efficiency and substrate noise injection in integrated DC-DC converters.**

I. Introduction

Over the past several years, System on Chip (SoC) integration has received a lot of attention. In mixed signal SoCs, because sensitive analog circuits need to share a common substrate with RF designs or large digital circuits, significant substrate noise injection due to the gate switching can degrade the performance of their sensitive analog circuits [1], [2]. This is an important issue in the design of mixed signal SoCs. Thus, to reduce the SoC development costs and time to market, some tools have been created to simulate substrate noise coupling like *SubstrateStorm* from Cadence [3]. Tools of this class help designers characterizing the coupling noise and ensuring that it remains at an acceptable level.

With the development of advanced VLSI, digital systems require low output voltage and high output current DC-DC converters that are directly integrated on-chip in the neighborhood of digital and analog circuits. Existing literature deals with the case where large digital blocks comprising several thousand gates that switch simultaneously inject noise in the substrate by capacitive coupling [2]. Even if the resulting substrate noise coupling can be analyzed with commercially available softwares for many types of circuits [2], [4], [5], their application to SoCs having an integrated power switch as a substrate noise injector has never been reported. Existing literature [6] dealing with high-power analog drivers is more focused on the noise behavior of digital circuits in mixed-signal systems and less on the mechanisms of substrate noise injection and creation. In [6], [7], the authors focus on embedded smart-power components treated as noise injectors into the substrate modeled as a distributed RC mesh, and their effects on digital circuitry. Several techniques are proposed to improve noise immunity of digital circuits.

This paper presents an analysis of the substrate noise injected by a synchronous rectifier buck DC-DC converter. A custom substrate model has been developed and compared to models produced by commercial tools. Simulation results show that the substrate noise is underestimated when estimates are obtained using a capacitive and resistive coupling model produced by *SubstrateStorm*. Unusual voltage variations occurring in power switches can activate parasitic vertical bipolar transistors. These components play an important role in the injected currents and we should include them in substrate models to accurately estimate the noise impact on the substrate noise injected by a power converter. Our results also demonstrate that n-well and deep n-well isolations are much less effective than what is predicted with *SubstrateStorm* models. The rest of this paper is organized as follows. Section II describes the circuit environment of the considered DC-DC converter. Section III proposes a custom substrate model adapted to the situation of interest, while Section IV presents simulation results produced with that model and compares them with similar results produced by comparable circuit simulations done with a model generated by *SubstrateStorm*. Finally Section V summarizes our main conclusions.

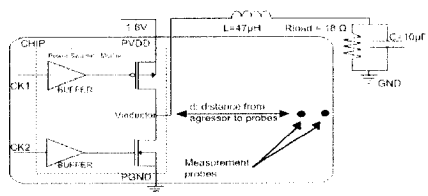


Fig. 1. Circuit design of the synchronous rectifier DC-DC buck converter

1-4244-0921-7/07 $25.00 © 2007 IEEE.

II. Circuit Overview

A. Need for an integrated DC-DC converter

Strong demand for portable devices has led to the need for monolithic on-chip DC-DC converters. To maximize their autonomy, theses devices require high-efficiency and low-voltage power converters. Furthermore, power consumption of SoCs tends to increase, while their supply voltage decreases, which leads to high power supply currents causing concerns regarding power losses. To come up with high density, high-efficiency and low losses circuits, it is crucial to integrate on the same die DC-DC converters, passive components, and various types of circuits (digital, RF and analog) [8].

B. Proposed circuit : Synchronous rectifier DC-DC buck converter

Due to their high efficiency and high density, buck converters are largely used in microprocessor power supplies [8]. In this paper, we propose to study a buck DC-DC power converter, for which the synchronous rectifier is integrated on-chip, and for which the required passive components are left off-chip. This converter, shown schematically in Figure 1 was designed using a 180 nm CMOS process from TSMC [9] and it occupies a 0.05 mm^2 on-chip area. The converter comprises large transistors composed of 11476 basic PMOS transistors and 2856 basic NMOS transistors (W/L=1800nm/300nm). Transistor dimensions were choosen in agreement with design rules for 3.3 V operation. Control signals of these large switches are driven by buffers composed of 30 basic PMOS transistors and 10 basic NMOS transistors with W/L = 2500nm/300nm. With a power supply of 1.8 V, this converter can deliver an output voltage that can be adjusted from 600mV to 1.2 V at an output current varying from 33 mA to 66 mA, depending on the duty cycle of the control signals CK1 and CK2. To evaluate the noise created by the power switches, substrate potential is probed in the neighborhood of the converter with sensitive noise measurement amplifiers. Probe connections to substrate are implemented and modeled as P+ substrate contact at various distances from the edge of the power switches (15, 55, 130 μm). PMOS and NMOS transistors are respectively embedded in n-wells and in deep n-wells to characterize the quality of the isolation these wells can provide.

III. Substrate Modeling

Existing literature on substrate modeling and parasitics extraction [2], [4], [5] is mostly focused on noise coupling injected by large number of switching gates and on coupling mechanisms between circuits and substrate. It is possible to use commercial softwares (*SubstrateStorm, SeismIC, Substrate Coupling Analysis* from Cadence [3]) to extract substrate parasitic components and to build a resistive and capacitive substrate model. The extracted models are based on the following assumptions: (i) the well-substrate junctions are reverse-biased and modeled by their diffusion capacitances; (ii) no latchup occurs during normal operation [2]. These hypotheses make the model complexity more manageable. Furthermore, experiments have shown that the resulting models give accurate estimates of noise injected in the substrate by large digital circuits. However, such models may be inadequate when it comes to simulate noise injected during transients produced by power switches embedded in inductive circuits. Indeed, large potential variations can be observed and the combination of high currents, switching, and inductive components can produce transients outside the normal range of operation found in conventional on-chip digital circuits. As a result, some current paths are not considered in conventional resistive and capacitive substrate models.

In order to correctly model power switches substrate noise injection, we propose a custom model of the substrate that includes vertical bipolar transistors and diodes for well-substrate junctions. Even if bipolar devices are physically present, they are ignored by *SubstrateStorm*. This is justified as potential variations due to large number of switching digital gates are essentially never sufficient to activate them. To elaborate our custom model, we started from the substrate model extracted by the *Substrate Coupling Analysis* software [10]. This tool, available in the Cadence framework, is more flexible than other existing softwares. Indeed, it allowed inserting our own model of the well-substrate junctions and of the vertical bipolar transistors, as shown in Figure 2. The elements added to the substrate model are based on diode and bipolar transistor models provided by TSMC for that technology. Size parameters of these devices were adjusted according to a physical layout of the analyzed circuit.

IV. Simulation Results

Simulations have been performed to investigate whether a capacitive coupling model was sufficient, and as shown in the following, it was found to be inadequate when compared to our custom model.

A. Simulation setup

During switching of the power transistors, the energy stored in the inductor is released to the output circuit. Non overlapping signals CK1 and CK2 should be used to avoid a short circuit current that could severely degrade conversion efficiency. However, if both transistors are off, the energy stored in the inductor can cause severe glitching that degrades power supply integrity. Thus, when switching between the two desired conduction modes, some overlap is necessary, and its duration must be optimized as it causes a tradeoff between power efficiency and signal integrity. Optimizing the duration of that overlap is one application of the proposed model.

In the reported simulations, control signals have a duty cycle of 50% at a frequency of 1 MHz. For a 1.8 V power supply, this setup produces a 900 mV DC output in a load consuming 50 mA current. A 15 ns overlap of the control signals is used.

B. SubstrateStorm results

Simulations have shown large variations of wells and substrate potentials when both transistors are switching. Indeed, n-well potential decreases to 1.5 V and the p-well goes down

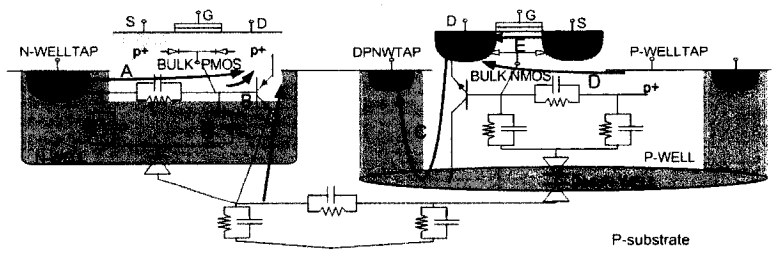


Fig. 2. Custom model with current paths

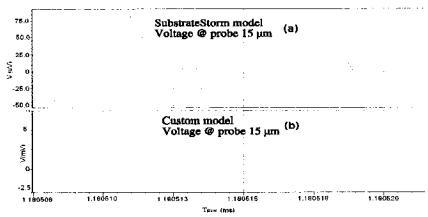


Fig. 3. Noise injected, voltage at probe 15 μm for both models

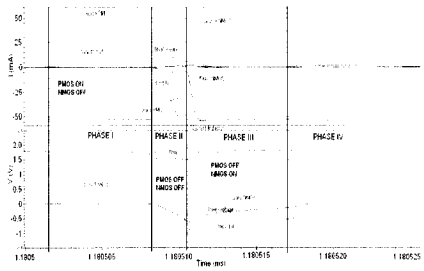


Fig. 4. Main currents and voltages during transitions

to -550 mV. At the same time, the voltage drop across the inductor decreases rapidly to -1.9 V, forces Vinductor node to -1 V (see Fig. 4). The inductor reacts to the tendency for the current to change by activating new current paths. Possible paths include body diodes, parasitic bipolars, and source activation of the MOS transistors. All these paths exist in parallel. As only some of these paths are included in the *SubstrateStorm* derived model, very little current is injected in the substrate in simulations based on models obtained with this tool, and the wells appear to provide excellent isolation. For instance, noise injection of 90 μV peak are observed, as shown in Figure 3(a) and such voltages could be considered negligible.

It is remarkable, however, that some potentials that can activate bipolar devices are observed. Indeed, the base emitter voltage for the npn (emitter: drain NMOS, base: p-well, collector: deep n-well) reaches 400 mV, that is enough to put the bipolar on the verge of its active region. However, parasitic vertical bipolar are not included in the *SubstrateStorm* model. This suggests that a model based only on capacitive coupling is inadequate to describe substrate noise in that case.

C. Results for our custom model.

Simulations with our proposed enriched model show approximately the same voltage variations as the one obtained from *SubstrateStorm*, but with very different current paths distribution. This is possible as the three identified types of

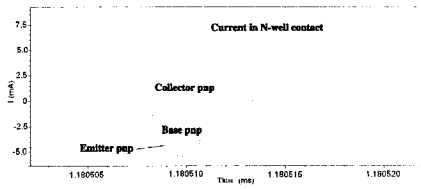


Fig. 5. Pnp current during power switch transition

parallel parasitic devices that may be activated have similar voltage activation thresholds.

To show the significant difference on substrate noise injection, we focus on the same transitions (Fig. 4) and external transient conditions. Using our custom enriched model, during the PMOS channel turn-off, the current decrease is compensated by a new path. Some current is still passing through the PMOS body diode (path A in Fig. 2), but the majority of the current now passes through the bipolar pnp (path B). In fact, of the 9 mA passing through n-well contact, 5.5 mA uses path B, and 3.5mA uses the body diode conduction (path A), as shown in Fig. 5. The peak current injection into the

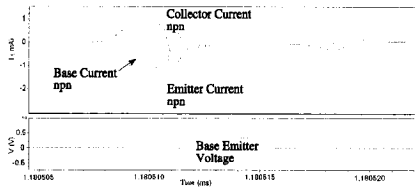


Fig. 6. Npn currents and base emitter voltage during power switch transition

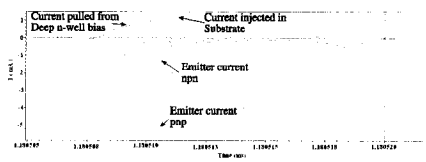


Fig. 7. injected current into the substrate and power supply

substrate is 1.5 mA max. Both paths partly conduct due to junction capacitance, but the mildly active bipolar device adds a new current path into the substrate. Interestingly, it does so without changing much the global circuit behavior. Indeed, at the same time, current is also injected by the NMOS region to compensate channel turning off. The inductor activates new current paths when its voltage drop reaches -1.9 V, the voltage base emitter for the npn bipolar is almost 400 mV, putting the bipolar at the verge of its active region (Fig 6). Therefore, a significant part of the current coming from the p-well bias goes through the bipolar transistor. This third current path (C) is predominant over the original path through the body diode (D). In fact, one can notice a 2 mA current from the deep n-well bias (Fig. 7) . The included vertical bipolar transistor has a low beta, of about 1, which is consistent with a rather large base current of more than 1 mA pulled from power supply. The fifth path (E) is also present in *SubstrateStorm* simulations is the NMOS channel. This path is source activated (the Drain shown in Fig. 2 acts in fact as the NMOS source) before the gate signal turns it on. This is due to the inductor voltage drop of -1.9 V yielding a gate drain drop of (500 mV) that is enough to turn on the MOS transistor (threshold voltage of about 400 mV).

To summarize, in spite of little change of observed voltages and external currents imposed by the environment, the current distribution over the multiple parallel paths was changed significantly. As some currents are injected into the substrate, resulting substrate noise changes by a very large factor. For instance, Fig 3 shows the substrate voltage picked up at 15 μm by a probe for both models. *SubstrateStorm* simulations predict a noise of 90 μV, which is very small, while the enriched model predicts a 6 mV noise Fig. 3(b), which is 67 times larger. This level of substrate noise could be a serious problem for sensitive analog circuits. These results show that well isolation can be much less effective than expected when simulations are conducted with capacitive substrate models extracted by *SubstrateStorm*.

V. CONCLUSION

This paper has presented a new substrate model that includes vertical bipolar transistors and has given new insights on the noise injection mechanism. It was shown that switching observed in normal operation of DC-DC converters, and unusual potential variations observed can activate vertical parasitic bipolars. When such bipolar transistors are included in the substrate model, simulations results show a 67-fold increase in substrate noise level, from 90 μV to 6 mV, as observed at 15 μm by a substrate probe. This shows that deep n-well and n-well isolation can be much less efficient than predicted with capacitive models such as those extracted by *SubstrateStorm*. The proposed model is directly applicable to exploring the tradeoff between power efficiency and substrate noise injection in integrated DC-DC converters.

VI. ACKNOWLEDGEMENTS

This work would not be possible without technologies (TSMC 180nm) and tools (*Cadence*, *SubstrateStorm*, *Substrate Coupling Analysis*) supplied by CMC Microsystems. This work was partly supported by LTRIM technologies and by the Natural Sciences and Engineering Research Council of Canada.

REFERENCES

[1] N. Checka, A. Chandrakasan, and R. Reif, "Substrate noise analysis and experimental verification for the efficient noise prediction of a digital pll," in *Custom Integrated Circuits Conference, Proceedings of the IEEE 2005*, pp. 473–476, 18–21, 2005.

[2] S. Donnay and G. Gielen, *Substrate Noise Coupling in Mixed-Signal ASICs*. Boston, MA, USA: Kluwer Academic Publishers, 2003.

[3] "SubstrateStorm, SeismIC, Substrate Coupling Analysis from Cadence." [Online]. http://www.cadence.com.

[4] D. Kosaka and M. Nagata, "Equivalent circuit modeling of guard ring structures for evaluation of substrate crosstalk isolation," in *ASP-DAC '06: Proceedings of the 2006 conference on Asia South Pacific design automation*, (New York, NY, USA), pp. 677–682, ACM Press, 2006.

[5] M. V. Heijningen, M. Badaroughu, S. Donnay, G. G. E. Gielen, and H. J. D. Man, "Substrate noise generation in complex digital systems: efficient modeling and simulation methodology and experiemental verification," *IEEE J. Solid-State Circuits*, vol. 37, 2002.

[6] R. M. Secareanu, S. Warner, S. Seabridge, C. Burke, J. Becerra, T. E. Watrobski, C. Morton, W. Staub, T. Tellier, I. S. Kourtev, and E. G. Friedman, "Substrate coupling in digital circuits in mixed-signal smart-power systems," *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 12, no. 1, pp. 67–78, 2004.

[7] R. M. Secareanu, S. Warner, S. Seabridge, C. Burke, T. E. W. C. M. W. Staub, T. Tellier, and E. G. Friedman, "A comparative study of the behavior of nmos and cmos digital circuits under substrate noise," in *Proceedings of the IEEE International Conference on Electronics, Circuits and Systems*, pp. 181–184, 2001.

[8] V. Kursun, S. G. Narendra, V. K. De, and E. G. Friedman, "High input voltage step-down dc-dc converters for integration in a low voltage cmos process," *isqed*, vol. 00, pp. 517–521, 2004.

[9] "TSMC, Taiwan Semiconductors Manufacturing Company." http://www.tsmc.com.

[10] "Substrate coupling analysis for rf circuits from cadence." White Paper, May 2001.

ANNEXE II

PCB

