

UNIVERSITÉ DE MONTRÉAL

CARACTÉRISATION DE LA GIGUE ET DE L'ÉTALEMENT
SPECTRAL DU CIRCUIT DDPS

MAX-ÉLIE SALOMON

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION
DU DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES
(MICRO-ÉLECTRONIQUE)

JUILLET 2007

©Max-Elie Salomon, 2007



Library and
Archives Canada

Bibliothèque et
Archives Canada

Published Heritage
Branch

Direction du
Patrimoine de l'édition

395 Wellington Street
Ottawa ON K1A 0N4
Canada

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 978-0-494-35698-2

Our file Notre référence

ISBN: 978-0-494-35698-2

NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.


Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé :

CARACTÉRISATION DE LA GIGUE ET DE L'ÉTALEMENT
SPECTRAL DU CIRCUIT DDPS

Présenté par : SALOMON Max-Elie

En vue de l'obtention du diplôme de : Maîtrise ès sciences appliquées

A été dûment accepté par le jury d'examen constitué de :

M. BOYER François-R., PhD, président

M. KHOUAS Abdelhakim, PhD, membre et directeur de recherche

M. SAVARIA Yvon, PhD, membre et codirecteur de recherche

M. LANGLOIS Pierre, PhD, membre

Remerciements

J'aimerais remercier M. Abdelhakim Khouas pour m'avoir au départ accueilli au sein du Groupe de Recherche en Microélectronique (GRM) en me proposant de travailler sur le sujet de cette recherche, en collaboration avec Yvon Savaria. Le support financier obtenu de la part de ce dernier, ainsi que par la compagnie Gennum, fut indispensable à la poursuite de mes travaux de recherche. La patience dont ont fait preuve mes directeurs de recherche, ainsi que les nombreux conseils et suggestions obtenus lors de l'écriture d'articles ou lors de l'interprétation de résultats sont grandement appréciés.

Je tiens également à remercier Nathalie Lévesque, commis aux affaires étudiantes au sein du département de génie électrique, pour sa bonne humeur et son empressement à m'aider à m'y retrouver dans le processus administratif de mes études. Un grand merci également à Ghyslaine Éthier-Carrier, secrétaire du GRM, pour sa gestion des activités du GRM.

Résumé

Cet ouvrage présente un algorithme automatisé pouvant prédire à la fois la position et l'amplitude des raies spectrales causées par les diverses sources de gigue affectant de façon périodique le signal produit par synthèse directe numérique de phase (DDPS). L'algorithme présenté a permis de réduire de plusieurs minutes à une fraction de seconde le temps de requis pour calculer de façon précise le contenu spectral du signal de sortie. Ceci a par la suite permis d'effectuer des analyses plus approfondies en automatisant le calcul de la variation des performances spectrales selon les paramètres d'opération. Il en ressort des principes généraux guidant le design du circuit en fonction des contraintes à respecter.

Certaines applications du DDPS (communications) nécessitent un contenu spectral propre. Cette nouvelle connaissance du lien entre le mode de fonctionnement du circuit et ses performances spectrales, qui découle de la possibilité d'effectuer des calculs sur des centaines de configurations, nous mène à explorer des modifications au circuit DDPS. Celles-ci améliorent les performances en réduisant l'amplitude du niveau de bruit, et en modifiant le profil spectral du signal produit. Finalement, une architecture hybride alliant le DDPS à une boucle de verrouillage de phase est également explorée. Elle permet à toutes fins pratiques d'éliminer les raies hors-bande. Les résultats sont issus de simulations et la comparaison de l'allure du spectre avec et sans les améliorations proposées dénote une atténuation de l'amplitude des raies spectrales nuisibles, aussi connues sous le terme de « spurs ». Par exemple, pour l'une des techniques explorées,

une réduction de 20dB l'amplitude du bruit entourant la fréquence d'horloge générée a été obtenue.

Abstract

This thesis presents an automated algorithm for predicting both the position and the magnitude of spurs generated by different sources of jitter on a periodic signal. The case being studied here is the Direct Digital Period Synthesis (DDPS), a relatively new frequency synthesis architecture. An algorithm is presented that allows to reduce the computation time needed to accurately compute the spectrum of the signal and its spurious frequencies content from several minutes to a fraction of a second. This is a process that took a long time when it had to be performed by simulation. This improvement has in turn allowed performing deeper analyses when automating computation of spectral performance related to DDPS operating conditions. Some general principles are deduced that help guide circuit design according to various constraints.

Some DDPS applications (communications) require a clean spectral output. The new knowledge of the link between DDPS operation and its spectral performance, spurred by the possibility to compute the spectrum for hundreds of configurations, leads us to explore modifications to the circuit. These improve the performance by reducing the magnitude of the noise level, and by modifying the spectral profile of the DDPS output. Finally, a hybrid architecture combining a DDPS to a phase-locked loop is also explored. It basically allows removing out of band spurs. The results from simulations comparing the spectra of the proposed improvements with the regular DDPS show a decrease in the magnitude of unwanted spurs. For example, for one of the techniques explored, an

example shows a reduction of 20 dB in the magnitude of noise surrounding the generated clock frequency.

Table des matières

Remerciements.....	iv
Résumé.....	v
Abstract.....	vii
Table des matières.....	ix
Liste des tableaux.....	xii
Liste des figures	xiii
Liste des sigles et abréviations.....	xv
1 Introduction.....	1
1.1 Les circuits de synthèse de fréquence.....	1
1.2 Applications	2
1.2.1 Télécommunications	2
1.2.2 Audio/Video.....	4
1.3 Objectifs de cette recherche	6
1.4 Organisation du mémoire.....	8
2 Revue de la littérature pertinente	10
2.1 Concepts utiles.....	11
2.1.1 Gigue.....	11
2.1.2 Quantification	12
2.1.3 Spectre fréquentiel	12
2.1.4 Circuit LFSR.....	16

2.1.5	Circuit de modulation delta sigma	17
2.2	Circuits de Synthèse de fréquence	20
2.2.1	Circuits de synthèse indirecte	20
2.2.2	Synthèse directe	24
2.3	Fonctionnement du DDPS	27
2.3.1	Générateur de transitions	28
2.3.2	Accumulateur	32
2.3.3	Sélection des transitions.....	33
2.3.4	Exemple de fonctionnement	34
2.3.5	Synthèse de fractions non binaires.....	34
2.4	Synthèse de fréquence et modélisation spectrale.....	36
2.5	Synthèse de fréquence et amélioration spectrale	39
3	Simulation et observation du spectre du DDPS.....	41
3.1	Distinction entre les niveaux de périodicité.....	42
3.2	Modèle de simulation.....	43
3.3	Utilisation du modèle de simulation	45
3.4	Liens entre les périodicités et le spectre	46
4	Modèle de prédiction spectrale du DDPS	48
4.1	Étude du cycle réel du signal de sortie.....	48
4.2	Positions des spurs	54
4.3	Analyse de Fourier basée sur l'étude du cycle	55
4.4	Algorithme	58

4.5	Formule analytique compacte pour les raies dues uniquement à la troncature.....	59
4.6	validation de l'algorithme.....	62
4.6.1	Méthodologie de validation	63
4.6.2	Observation des résultats	64
4.7	Étude des effets du mésappariement.....	67
4.7.1	Paramètres de l'étude	67
4.7.2	Interprétation des résultats	69
5	Paramètres de design et amélioration des performances du DDPS	73
5.1	Choix des paramètres d'opération	74
5.1.1	Choix du nombre de phases	74
5.1.2	Choix de la fréquence de référence.....	76
5.1.3	Taille de l'accumulateur	77
5.1.4	Généralisation sur le choix de la valeur P_h	78
5.2	Ajout de bruit à l'aide d'un LFSR.....	79
5.3	Ajout de bruit par Modulation delta sigma	82
5.4	Filtrage par la méthode de PLL	85
5.4.1	Principe et application au DDPS.....	85
5.4.2	Résultats de simulation	87
6	Conclusion	89
	Références.....	93

Liste des tableaux

Tableau 1 – Fréquences de réception et d'émission d'un appareil portable GSM.....	3
Tableau 2 – Échantillonnage requis par diverses applications	5
Tableau 3 – Synchronisation Audio/Vidéo.....	6
Tableau 4 – Contenu de l'accumulateur et selection des phases ($Ph = 9 + \frac{1}{4}$, $2^M = 16$) ..	34
Tableau 5 – Exemple des niveaux de cyclicité du DDPS.....	50
Tableau 6 – Exemple où $R = 2$	52
Tableau 7 – Sous groupes de selection de cellules	53
Tableau 8 – Séquence du résidu dans l'accumulateur.....	61
Tableau 9 – Résultats de comparaison des raies.....	66
Tableau 10 – Temps de simulation	67
Tableau 11 – Exemples de vecteurs de mésappariement selon la valeur crête en %.....	68
Tableau 12 – Résultats du SNR pour diverses conditions de mésappariement et valeurs de Ph	69
Tableau 13 - Comparaison de DDPS opérant au même Ph	77

Liste des figures

Figure 1 – Spectre: a) d'une sinusoïde et b) d'une onde carrée	13
Figure 2 – Sommes des sinusoïdes d'une onde carrée (1, 2 et 3 premiers termes)	14
Figure 3 – Spectre d'une onde carrée additionnée de bruit blanc	15
Figure 4 – LFSR correspondant au polynome $x^{11} + x^{13} + x^{14} + x^{16} + 1$	16
Figure 5 – Modulateur delta sigma de type MASH3	18
Figure 6 –MASH3 avec la logique de correction	19
Figure 7 – Architecture d'un "Phase-Locked Loop" (PLL).....	21
Figure 8 – PLL de type "fractional-N"	22
Figure 9 – "Delay-Locked Loop"	23
Figure 10 – Synthèse Numérique Directe (DDS)	24
Figure 11 – Principe de fonctionnement du DDPS.....	26
Figure 12 – Schéma du DDPS	28
Figure 13 – Phases générées par une boucle de délais.....	30
Figure 14 – Signaux Ck0 à Ck7 générés par 4 inverseurs en paire différentielle.....	31
Figure 15 – Circuit de sélection des transitions	33
Figure 16 – Contenu spectral de l'horloge générée par le DDPS.....	41
Figure 17 – Modèle de simulation du DDPS dans Simulink.....	43
Figure 18 – Spectres pour l'exemple choisi a) absence de mésappariement b) présence de mésappariement	46
Figure 19 - Exemple lié aux instants de transition T_i	57

Figure 20 – Comparaison des résultats spectraux.....	64
Figure 21 – Valeurs en dB du SNR pour Ph allant de 1 à 16	70
Figure 22 – Mésappariement suivant une distribution en gradient.....	72
Figure 23 - Rapport SNR théorique selon le nombre de cellules (courbes servant uniquement à relier les points calculés)	75
Figure 24 - Rapport SNR en intégrant l'effet du mésappariement (courbes servant uniquement à relier les points calculés)	76
Figure 25 – Circuit issu du jumelage entre un LFSR et le DDPS	80
Figure 26 - Amélioration spectrale suite à l'ajout de bruit avec un LFSR.....	81
Figure 27 – Jumelage entre le DDPS et un modulateur delta sigma	83
Figure 28 - Amélioration spectrale suite à l'ajout d'un modulateur Delta Sigma	83
Figure 29 – PLL synchronisé au circuit DDPS.....	86
Figure 30 – Amélioration du spectre par la technique du PLL.....	88

Liste des sigles et abréviations

ADC : Analog to Digital Converter

DAC : Digital to Analog Converter

DCDL : Digitally Controlled Delay Line

DDPS : Direct Digital Period Synthesizer

DDS : Direct Digital Synthesizer

DFT: Discrete Fourier Transform

DLL: Delay-Locked Loop

FFT: Fast Fourier Transform

GSM: Global System for Mobile Communications

LAN: Local Area Network

LFSR: Linear Feedback Shift Register

LUT: Look-up Table

LSB: Least Significant Bit

NTSC: National Television Standards Committee (norme de télévision
américaine)

PAL: Phase Alternated Line (norme de télévision européenne)

PDA: Personal Digital Assistant

PLL: Phase-Locked Loop

RMS: Root Mean Square

SNR: Signal to Noise Ratio

UMTS: Universal Mobile Telecommunications System

VCO: Voltage Controlled Oscillator

W-CDMA: Wideband Code Division Multiple Access

1 Introduction

1.1 LES CIRCUITS DE SYNTHÈSE DE FRÉQUENCE

Les circuits et systèmes numériques utilisés en microélectronique, qu'il s'agisse d'un processeur, d'un circuit à application spécifique ou de tout autre type de circuit, se classent soit dans la catégorie des systèmes asynchrones, soit dans celle des systèmes synchrones. La plupart des circuits numériques utilisés de nos jours sont de type synchrone; ils requièrent la présence d'une horloge pour synchroniser à l'aide de registres les opérations effectuées par les transistors constituant la logique interne.

Cette horloge est un signal périodique dont la fréquence de répétition s'exprime généralement en Hertz, une unité qui signifie le nombre de répétitions par seconde. La fréquence à laquelle opère un circuit donné dépend de plusieurs facteurs liés à son utilisation prévue. Cependant, un circuit est tout de même soumis à des limites de fréquence imposées par ses caractéristiques physiques.

D'autre part, et c'est particulièrement le cas lorsqu'un circuit doit respecter un protocole de communication de données, une série de normes et de standards peut dicter la ou les fréquences d'opération. Dans un tel cas, il importe de disposer d'un signal ayant une fréquence précise et stable, ou même d'un signal pouvant alterner entre plusieurs valeurs de fréquence prédéterminées. Les circuits de synthèse de fréquence, dont celui à l'étude dans ce mémoire, visent à produire de tels signaux.

1.2 APPLICATIONS

1.2.1 Télécommunications

Les progrès dans le domaine des télécommunications ont engendré une quantité croissante de produits et applications disponibles au public. Par exemple, la technologie Bluetooth (ROGERS, G.S., 2003) est utilisée pour la synchronisation entre ordinateurs, organisateurs personnels (PDA) et téléphones cellulaires. Elle permet aussi l'utilisation d'appareils sans fils tels que microphones, écouteurs, claviers, etc. On dit que la gamme d'applications est appelée à s'accroître. Pour ce qui est de la plage de fréquences utilisée, ce système opère dans une bande non attribuée se situant au-dessus de 2.4 GHz. Pour la plupart des pays, la plage allouée est de 2.4 - 2.4835 GHz et elle est séparée en canaux d'une largeur de 1MHz.

Un second exemple d'application des circuits de synthèse de fréquence se situe au niveau de la téléphonie cellulaire (POOLE, I., 2006). Parmi les technologies dites de deuxième génération (2G), on retrouve la norme GSM (la plus importante, ayant dépassé le milliard d'utilisateurs mondialement en Février 2004). Cette norme utilise des bandes autour de 900MHz, 1800MHz ou 1900MHz, selon le système appliqué par le pays d'utilisation. En Amérique du Nord, la bande de 1900MHz est utilisée, bien que les appareils soient habituellement tri bande. Au niveau de la synthèse de fréquence, un appareil tri bande doit être en mesure de pouvoir émettre les fréquences incluses dans les plages contenues dans le tableau 1. L'espacement entre les différents canaux au sein d'une plage de fréquence est de 200 kHz.

Tableau 1 – Fréquences de réception et d'émission d'un appareil portable GSM

Bande	Réception	Émission
900 MHz	935-960 MHz	890-915 MHz
1800 MHz	1805-1880 MHz	1710-1785 MHz
1900 MHz	1930-1990 MHz	1850-1910 MHz

Présentement, la transition est imminente vers une technologie de troisième génération (3G). Permettant de bénéficier d'un échange accru de données et images, le passage vers la 3G a pour prétention de révolutionner l'usage du téléphone portable. Une technologie candidate probable est la Universal Mobile Telephone Service (UMTS). Cette norme utilise la norme W-CDMA, qui fixe des exigences plus strictes au niveau de la pureté spectrale. Il s'agit donc d'un secteur où il y aura des efforts dans le développement et la recherche de circuits de synthèse de fréquence permettant à faible coût de respecter les nouvelles normes.

Finalement, un dernier exemple d'application de la synthèse de fréquence au domaine des télécommunications est au niveau de la couche physique des réseaux LAN sans fils (DRURY, G., 2001). Ces réseaux sont de plus en plus omniprésents dans les écoles, hôtels, cafés ainsi que dans les domiciles. La tendance est vers l'accroissement du débit, ainsi que l'intégration dans le processeur des ordinateurs portables. Ils utilisent en général la bande 2.4 GHz comme pour Bluetooth, mais s'en distinguent par leur plus haut débit de données et leur distance d'opération accrue.

1.2.2 Audio/Video

Au niveau des applications audio et vidéo, il existe une variété de formats numériques nécessitant des fréquences d'horloge différentes (FISCHER, W., 2004). Le format vidéo 4:2:2, par exemple, est un format représentant l'image par sa décomposition en trois signaux. L'un de ces signaux véhicule l'information correspondant à la luminance (Y) et les deux autres l'information correspondant à la chrominance (Cr et Cb). Comme le nom du format l'implique, le rapport entre le taux d'échantillonnage du signal Y (13,5 MHz) est le double de celui des signaux Cr et Cb (6,75 MHz). Lorsque l'on souhaite multiplexer ces signaux, pour les combiner sur une seule interface, l'horloge dont on doit disposer doit fonctionner à une cadence qui correspond à la somme totale, soit 27 MHz. Il s'agit aussi de la fréquence utilisée au sein d'applications faisant appel au format de compression mpeg-2, comme c'est le cas pour les DVD. Suivant la même logique, la version « widescreen » du format 4:2:2 widescreen, avec ses pixels additionnels par ligne, nécessite une horloge de 36 MHz.

Il est plausible qu'un appareil soit conçu pour traiter des images vidéo numériques respectant les formats numériques 4:2:2 (aussi bien régulier que widescreen), mais également des images numérisées à partir des formats analogiques NTSC et PAL (dont les fréquences porteuses se situent à 3,579545 MHz et 4,43361875 MHz respectivement). Suite à la numérisation de ces signaux NTSC ou PAL, la fréquence des signaux numériques est forcément un multiple de la porteuse du signal analogique. Ce multiple correspond en fait au taux d'échantillonnage appliqué, soit le nombre d'échantillons par cycle. Par exemple, un sur-échantillonnage par un facteur de 8 signifie que l'appareil en

question doit également contenir les fréquences de référence 28,63636 MHz et 35,46895 MHz.

Supposons ensuite que cet appareil soit conçu pour synchroniser une des sources vidéo numériques décrites au paragraphe précédent avec une trame audio numérique. Cette trame audio est habituellement issue de l'échantillonnage d'un signal analogique selon un taux de 32 kHz, 44,1 kHz ou de 48 kHz, selon la norme utilisée par l'application:

Tableau 2 – Échantillonnage requis par diverses applications

Application	Échantillonnage Audio
Caméscope miniDV	32 kHz
CD audio, mp3	44,1 kHz
Télé numérique, DVD, cinéma	48 kHz

Lorsqu'un signal ainsi numérisé est ensuite recomposé en signal audio, on a habituellement recours à la technique du sur échantillonnage. Celle-ci vise à réduire la complexité du convertisseur numérique à analogique. En effet, pour une précision de conversion donnée, il est possible de réduire la complexité du convertisseur en l'opérant à plus haute fréquence. À titre d'exemple, on peut augmenter la précision d'un convertisseur de 20 bits en utilisant la moyenne de plusieurs échantillons consécutifs. En travaillant avec la moyenne de 128 échantillons, on peut ainsi espérer augmenter la précision d'une valeur de 7 bits additionnels. Les échantillons additionnels sont reconstruits par interpolation, et un modelage du bruit est effectué sur les bits additionnels. Après une multiplication par 128 de la vitesse du convertisseur par rapport

au signal qu'il doit traiter, les fréquences nécessaires pour le signal audio deviennent donc 4,096 MHz, 5,6448 MHz et 6,1440 MHz.

Tableau 3 – Synchronisation Audio/Vidéo

		Fréquence Audio		
		4,0960 MHz	5,6448 MHz	6,1440 MHz
Fréquence vidéo	27,00000 MHz	$\frac{512}{4475}$	$\frac{392}{1875}$	$\frac{256}{1125}$
	28,63636 MHz	$\frac{5632}{39375}$	$\frac{616}{3125}$	$\frac{2816}{13125}$
	35,46895 MHz	$\frac{81920}{709379}$	$\frac{112896}{709379}$	$\frac{122880}{709379}$
	36,00000 MHz	$\frac{128}{1125}$	$\frac{98}{625}$	$\frac{64}{375}$

Lors du montage entre l'une des sources vidéo avec l'une des sources audio, il est important de ne pas perdre la synchronisation entre l'image et le son. Par conséquent, le circuit de synthèse de fréquence de cet appareil doit être en mesure de générer les rapports de fréquence exacts contenus au tableau 3, issu de (CALBAZA, D.E., & SAVARIA, Y., 2000b), car autrement une certaine accumulation de l'erreur entre l'image et le son se fera avec le temps.

1.3 OBJECTIFS DE CETTE RECHERCHE

Le développement de la microélectronique, notamment dans le domaine des réseaux sans fil et de la télévision numérique, entraîne une forte demande pour des circuits de synthèse d'horloge de haute performance, entièrement intégrés sur une puce et de faible coût. L'horloge servant à synchroniser ces circuits doit souvent être produite à

partir de la multiplication par un rapport fractionnaire exact d'une horloge globale de référence. Diverses techniques de synthèse de fréquence sont en mesure d'établir ce rapport fractionnaire. Elles introduisent néanmoins des imperfections découlant de leur principe de fonctionnement qui nuisent aux performances, tant au niveau temporel qu'au niveau du spectre fréquentiel.

Une des imperfections du circuit de synthèse numérique directe de phase DDPS (CALBAZA, D.E., & SAVARIA, Y., 2000) et (CALBAZA, D.E., & SAVARIA, Y., 2002), objet de cette étude, est son spectre fréquentiel impur. Préalablement à ce travail de recherche, la visualisation de ce spectre fréquentiel nécessitait une simulation temporelle à partir d'une modélisation utilisant un outil tel que SIMULINK, suivie d'une analyse fréquentielle avec la fonction de transformée rapide de Fourier. Cette technique demande un temps de calcul très élevé. Suite à certains travaux, une formule semi-empirique, mais fonctionnant pour tous les cas testés, fut disponible pour le calcul direct de la position et de l'emplacement des raies spectrales (IZZOUGHAGEN, B., & KHOUAS, A., & SAVARIA, Y., 2004). Elle a permis une économie de temps de modélisation, mais elle ne tient compte que d'une seule des deux sources majeures de raies spectrales indésirables, communément appelées spurs.

Cette étude a donc pour objet de mettre au point un modèle analytique permettant de prédire la position ainsi que l'amplitude des raies spectrales indésirables dues aux deux causes majeures de bruit du circuit DDPS, soit la troncature de l'accumulateur de phase et le mésappariement entre les phases choisies. De plus, à partir de ce modèle, nous

avons souhaité faire l'étude des performances lors de différentes conditions d'utilisation, pour ensuite suggérer le choix optimal des paramètres et/ou des modifications au circuit.

1.4 ORGANISATION DU MÉMOIRE

Ce premier chapitre a eu pour but de mieux comprendre les domaines d'application du circuit à l'étude. Les circuits de synthèse de fréquence sont donc utiles entre autres pour des applications de télécommunication, d'audio et de vidéo numérique.

Le prochain chapitre consiste en une revue de littérature. Nous aborderons certaines notions de base à propos de la synthèse de fréquence. Nous y verrons la distinction entre les circuits de synthèse indirecte et les circuits de synthèse directe en observant des exemples de circuits répandus, tout en s'attardant plus longuement sur le circuit DDPS et à son principe de fonctionnement. Nous aborderons le concept de la gigue, une forme de bruit affectant les signaux d'horloge et nous observerons des exemples de spectre dans le domaine fréquentiel, un outil très important pour la visualisation de la pureté spectrale des circuits de synthèse de fréquence. De plus, nous effectuerons un bref survol des travaux d'autres auteurs ayant fait des recherches sur des notions similaires à celles qui sont présentées dans le présent ouvrage.

On entre dans le vif du sujet à partir du troisième chapitre, où nous proposons un modèle de simulation du circuit DDPS qui permet d'obtenir l'allure du spectre du signal de sortie. Ce modèle permet de tirer quelques conclusions par rapport aux sources de raies spectrales, à la lumière du fonctionnement du circuit et de l'observation du spectre.

Au quatrième chapitre, nous présentons l'analyse menant à une modélisation algorithmique du spectre du circuit DDPS. Cette modélisation a fait l'objet d'un article de conférence (SALOMON, M.-E., KHOUAS, A, SAVARIA, Y., 2005). Une analyse du signal, comme nous le verrons en détails, mène à l'élaboration d'un algorithme calculant l'allure de la réponse fréquentielle du circuit en fonction des paramètres d'opération. On retrouve également une confirmation de l'équivalence entre les résultats obtenus par l'algorithme et ceux issus d'une simulation.

Au chapitre 5, nous voyons comment l'algorithme peut être utilisé pour évaluer rapidement différentes conditions d'opération du DDPS, à des fins d'optimisation du circuit. Finalement, diverses modifications à l'architecture du circuit sont proposées. Les résultats de calculs permettent de voir l'influence des divers degrés de liberté dont on dispose lors de la conception du circuit.

Le sixième chapitre vise à proposer des améliorations ou modifications au circuit DDPS. Ces modifications cherchent surtout à modifier le profil spectral du signal de sortie, dans le but de diminuer la quantité de bruit nuisible.

La conclusion permettra de faire le point sur les progrès effectués dans ce domaine de recherche et de les placer dans le contexte plus global des circuits de synthèse de fréquence.

2 Revue de la littérature pertinente

Nous ferons référence au long de cet ouvrage à quelques concepts qu'il est bon de présenter ici. La section 2.1 porte sur les notions de gigue, de quantification et de spectre fréquentiel qu'il est bon de clarifier avant d'entrer davantage dans le sujet. À la section 2.2, nous observerons les circuits de synthèse de fréquence les plus répandus, ainsi qu'un résumé sommaire du fonctionnement de ces circuits.

L'un des aboutissements du présent travail de recherche est la mise au point d'un algorithme de calcul permettant de calculer rapidement l'allure du spectre fréquentiel du signal émis par un circuit de type DDPS. Au niveau de la littérature existante, il s'agit d'une nouveauté, ce qui est en partie dû au fait que l'utilisation du circuit DDPS n'est pas très répandue. À la section 2.3, nous nous pencherons sur le détail du circuit DDPS tel qu'on le retrouve dans la littérature.

Certains auteurs se sont déjà penchés sur la question de la modélisation spectrale des circuits de synthèse de fréquence. Ils ont travaillé sur les circuits de synthèse de fréquence que nous verrons, et leur approche est quelque fois similaire à celle qui est proposée ici pour le circuit DDPS. À la section 2.4, nous survolons les résultats de leurs travaux, en précisant les similarités avec le cas à l'étude ainsi que les différences justifiant une nouvelle approche.

De plus, un autre objectif des travaux présentés dans ce mémoire est de proposer des suggestions de modification au circuit DDPS, dans le but d'en améliorer les performances au niveau spectral et/ou au niveau de la gigue. Il est donc intéressant de se

pencher sur ce que d'autres auteurs ont eu à dire sur le sujet, concernant les autres circuits de synthèse de fréquence sur lesquels ils ont travaillé. Ceci fera l'objet de la section 2.5.

2.1 CONCEPTS UTILES

2.1.1 Gigue

La gigue est une forme de bruit affectant les signaux d'horloge (VAN DE BEEK, R.C.H., & KLUMPERINK, E.A.M., & VAUCHER, C.S., & NAUTA, B., 2002). Elle se résume comme étant une variation indésirable des intervalles entre fronts d'horloge successifs, alors que dans un cas idéal ces intervalles seraient tous égaux. Par rapport à une période de longueur idéale, les transitions d'une horloge où on retrouve de la gigue comportent donc une certaine erreur dans le temps; elles ont lieu soit un peu avant, soit un peu après l'instant idéal.

Il existe deux types principaux de gigue. La première est une variation rapide au niveau de la phase, résultant dans le raccourcissement ou l'allongement intermittent de la période. Elle peut être aléatoire ou cyclique. La gigue crête à crête est donc une métrique représentant la différence entre la phase maximale et la phase minimale du signal d'horloge dans le temps. Afin de déterminer la variation entre des périodes adjacentes, toutes les périodes consécutives doivent être mesurées. La gigue de période crête à crête correspond au pire cas de gigue de cycle à cycle (i.e. la plus grande différence entre deux périodes consécutives).

Le deuxième type de gigue est une accumulation de l'erreur de phase dans le temps; c'est donc la différence entre le moment où a lieu le front d'horloge et le moment idéal pour ce même front d'horloge. Il est possible qu'une faible gigue de cycle à cycle

engendre après un certain temps une gigue de phase élevée. La gigue de phase RMS correspond à l'écart-type de la gigue de phase. Cette valeur peut être exprimée en degrés, en radians ou en secondes.

2.1.2 Quantification

Le phénomène de quantification réfère à l'erreur causée par la précision limitée des éléments de circuits numériques. Nous verrons avec l'exemple du circuit DDS (2.2.2), qu'une quantification se produit lorsqu'on ignore les bits les moins significatifs de la phase (exprimée sur M bits) de façon à n'utiliser que les P bits les plus significatifs pour accéder aux valeurs de la table de conversion. Par conséquent, une partie de la précision contenue dans l'information de la phase n'est pas représentée par la table de conversion.

On observe à nouveau une quantification due à la précision limitée sur les valeurs contenues dans une mémoire servant de table de conversion. La table de conversion du circuit DDS contient les valeurs du signal sinusoïdal en fonction de la phase, mais une certaine erreur existe, compte tenu du nombre de bits utilisés pour représenter le signal, ce qui limite la précision des valeurs stockées. Il est donc probable que la valeur sur la courbe sinusoïdale ne puisse être exprimée en utilisant le nombre de bits disponibles dans l'emplacement alloué en mémoire, causant ainsi une erreur de quantification.

2.1.3 Spectre fréquentiel

Nous introduisons dans cette sous-section le concept de spectre fréquentiel. Selon la théorie de Fourier, tout signal réel peut être considéré comme composé d'une somme

de signaux sinusoïdaux (en nombre infini si nécessaire) à des fréquences différentes (KREYSIG, E., 1999). Le graphe du spectre d'un signal est gradué selon la fréquence en abscisse, et selon l'amplitude en ordonnée. C'est donc l'amplitude de cette décomposition en signaux sinusoïdaux que nous observons. Par exemple, si un signal consiste en une sinusoïde pure, alors son spectre ne sera composé que d'une raie à la fréquence d'oscillation de cette sinusoïde. De plus, l'amplitude de cette raie sera celle de l'amplitude d'oscillation. Cet exemple est illustré à la figure 1a), où on retrouve le spectre d'un signal sinusoïdal de 50 MHz. Il est à noter que la raie spectrale, qui devrait être une raie discrète à 50 MHz, prend une forme légèrement évasée en raison de la numérisation du signal sinusoïdal utilisé pour tracer la courbe.

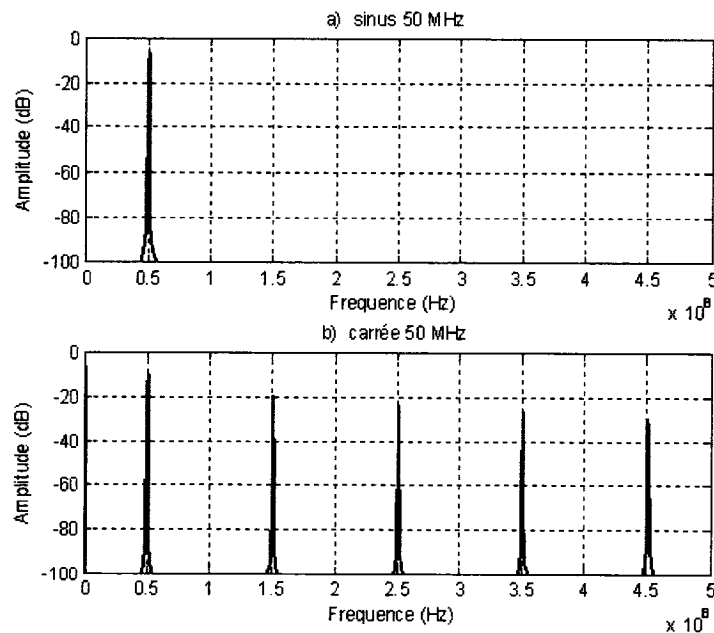


Figure 1 – Spectre: a) d'une sinusoïde et b) d'une onde carrée

Ensuite, pour illustrer la théorie de Fourier énoncée au paragraphe précédent, prenons un signal formé d'une somme de sinusoïdes. Les signaux d'horloge prennent souvent la forme d'une onde carrée. Selon la théorie de Fourier, une onde carrée de période 2π se compose de la somme de sinusoïdes suivante :

$$\sum_{n=1}^{\infty} b_n \cdot \sin(n \cdot x), \quad \text{où } b_n = \frac{2}{n\pi}(1 - \cos n\pi) \quad (1)$$

La figure suivante montre comment l'addition de termes à la somme permet de s'approcher progressivement d'une onde carrée.

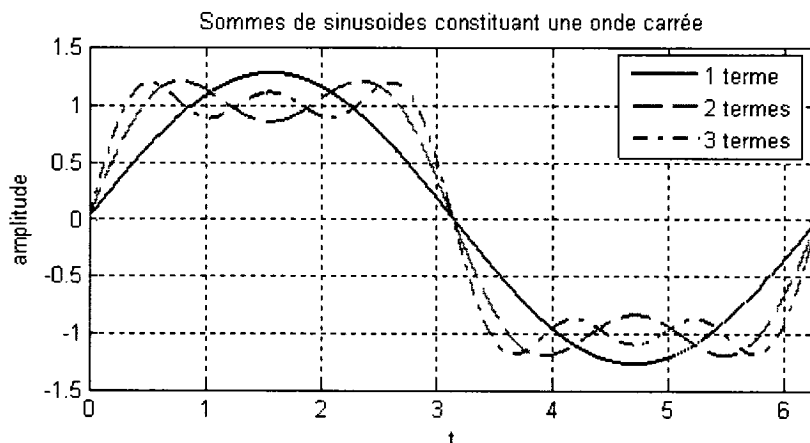


Figure 2 – Sommes des sinusoïdes d'une onde carrée (1, 2 et 3 premiers termes)

Si nous observons le spectre d'un tel signal dans le domaine fréquentiel, nous verrons apparaître des raies aux endroits déterminés par les fréquences d'oscillation des sinusoïdes qui composent le signal d'onde carrée, comme à la figure 1 b) pour une onde carrée de 50 MHz.

Pour terminer cette brève discussion sur le spectre des signaux, notons que les signaux observables, comme par exemple un signal d'horloge, ne correspondent pas à une sinusoïde idéale, ou à une onde carrée idéale. Une quantité plus ou moins importante

de bruit s'ajoute généralement au signal désiré. Ce bruit peut avoir diverses causes, liées aux paramètres du circuit utilisé pour produire le signal. À titre d'exemple, citons les fluctuations dans la source d'alimentation, ou les interférences électromagnétiques. Un type particulier de bruit qui serait distribué de façon uniforme le long de l'axe des fréquences porte le nom de bruit blanc. La figure 3 représente notre signal carré de la figure 1 b), auquel se rajoute maintenant une certaine quantité de bruit blanc.

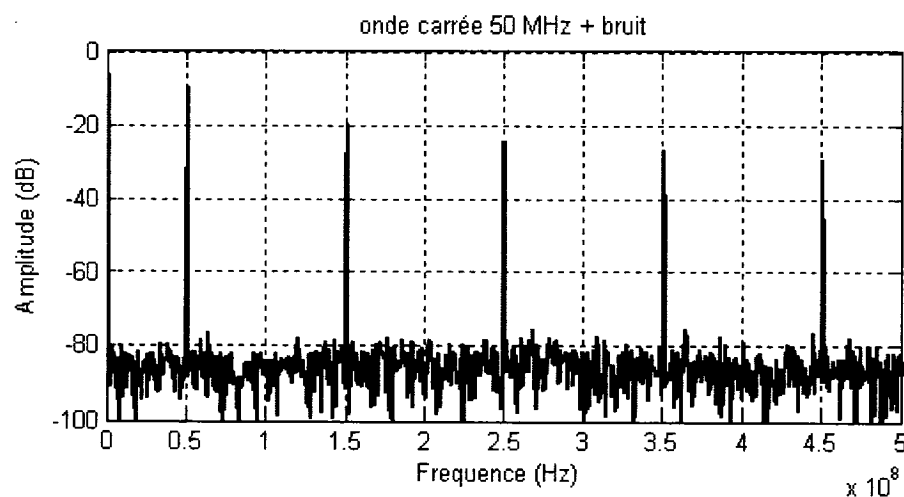


Figure 3 – Spectre d'une onde carrée additionnée de bruit blanc

Nous voyons donc comment un bruit dans le circuit peut s'additionner au signal. Dans le circuit DDPS à l'étude, la cause majeure d'imperfection du contenu spectral consiste en une erreur périodique. Celle-ci est liée de façon intrinsèque au fonctionnement normal du circuit. La distribution du bruit n'est pas uniforme comme dans le cas d'un bruit blanc. Il restera donc au cours de cet ouvrage à caractériser la distribution de ce bruit, dans le but d'observer l'allure du spectre et de guider les paramètres de conception.

2.1.4 Circuit LFSR

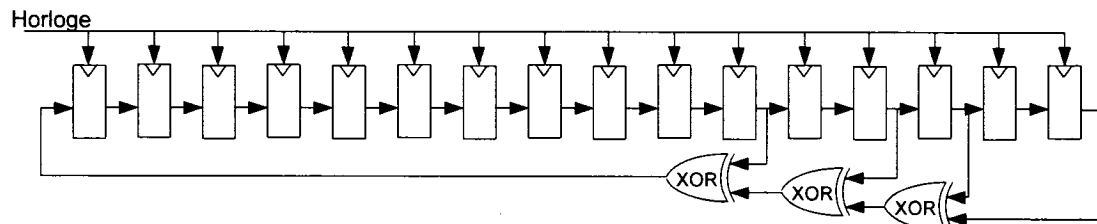


Figure 4 – LFSR correspondant au polynome $x^{11} + x^{13} + x^{14} + x^{16} + 1$

Le LFSR (Linear Feedback Shift Register), dont l'architecture est schématisée à la figure 4, est fréquemment utilisé comme générateur de nombres pseudo aléatoire (JOHN, M., & SMITH, S., 1997). Il s'agit en fait d'un simple registre à décalage où le bit d'entrée est une fonction linéaire des bits composant son état. La fonction utilisée est le XOR. Comme ce circuit comporte un nombre fini d'états, il entre éventuellement dans un cycle de répétition. Si cette fonction de rétroaction est bien choisie, on obtient une séquence avec un temps de répétition très long et qui semble par conséquent aléatoire. Les propriétés du LFSR, c'est à dire le fait que la valeur représentée par l'ensemble de ses bits varie d'un cycle à l'autre de façon équiprobable entre 0 et 1 avec une valeur moyenne de 0,5, jumelé au fait que le cycle de répétition soit très long, font en sorte qu'il soit parfois utilisé comme générateur de nombres aléatoires.

À partir d'un contenu initial nommé la semence (seed), la séquence des valeurs produites est entièrement déterministe. La longueur de la séquence d'un LFSR comportant un certain nombre de registres est influencée par le choix de sa fonction de rétroaction. En effet, on peut choisir lesquels parmi les bits de la chaîne seront ceux qui serviront à déterminer la prochaine valeur. Dans le cas de la figure 4, la fonction de

rétroaction correspond au polynôme $x^{11} + x^{13} + x^{14} + x^{16} + 1$. Les exposants correspondent à la position des bits de rétroaction, et le terme 1 ne correspond pas à un bit en tant que tel. Lorsque ce polynôme correspond à un LFSR maximal, la longueur de la séquence est alors de 2^{N-1} , où N est le nombre de registres de la chaîne. On appelle alors cette séquence une MLS (maximal length sequence). Pour aider les concepteurs de LFSR, des tables ont été compilées pour indiquer quels bits font partie de la fonction de rétroaction pour une longueur de registre donnée (ALFKE, P., 1996).

2.1.5 Circuit de modulation delta sigma

La modulation delta sigma est une technique mise au point à l'origine pour être utilisée dans les circuits de conversion analogique à numérique (ADC) ou numérique à analogique (DAC). Dans ces circuits, on retrouve une quantité finie de niveaux de conversion, variant selon le nombre de bits du circuit. Par conséquent, une certaine erreur de conversion due à la quantification (section 2.1.2) est inévitable lors de la conversion.

Le principe à la base de l'architecture delta sigma consiste à mesurer l'erreur de quantification afin de l'intégrer, pour ensuite compenser cette erreur. La modulation delta sigma retire à la gigue du circuit son caractère déterministe. De plus, elle module le bruit pour que celui-ci se retrouve surtout vers les hautes fréquences (ZARKESHVARI, F., & NOEL, P., & KWANIEWSKI, T., 2005). En raison du fait que les variations entre les incréments de phase contenus dans la séquence de sélection varient de façon aléatoire et par des valeurs plus élevées que la distance entre deux niveaux de quantification, les raies spectrales résultant d'une périodicité des erreurs de phase sont évitées.

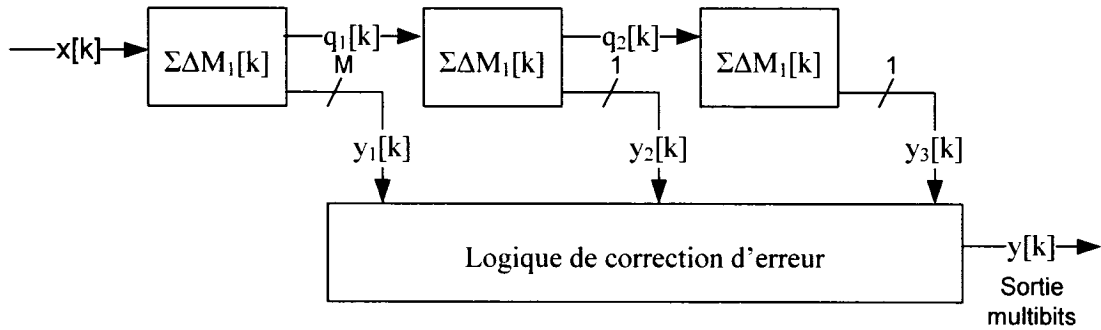


Figure 5 – Modulateur delta sigma de type MASH3

Plusieurs types de modulateurs delta sigma se retrouvent dans la littérature. En général, on peut les distinguer selon qu'ils soient linéaires ou en cascade (ZARKESHVARI, F. et al., 2005). De plus, ils sont caractérisés par leur ordre, qui correspond au nombre d'accumulateurs. Nous nous intéresserons plus tard dans cet ouvrage au modulateur en cascade d'ordre 3, présenté à la figure 5. Nous le choisissons car un modulateur dit linéaire est instable lorsqu'il s'agit de représenter les fractions proche de 0 ou de 1. Un modulateur en cascade comme celui choisi ne pose pas ce problème.

Pour présenter les équations régissant le fonctionnement du modulateur de la figure 5, utilisons la notation en z , où z^{-1} symbolise une unité de temps d'échantillonnage.

Pour un simple accumulateur, l'équation de la sortie est de:

$$y_1(z) = x(z) + z^{-1}r_1(z) - r_1(z), \text{ ou}$$

$$y_1(z) = x(z) - (1 - z^{-1})r_1(z)$$

Lorsque trois accumulateurs sont disposés en cascade, comme c'est le cas ici, les équations pour les sorties des trois accumulateurs sont respectivement :

$$y_1(z) = x(z) - (1 - z^{-1})r_1(z)$$

$$y_2(z) = r_1(z) - (1-z^{-1})r_2(z)$$

$$y_3(z) = r_2(z) - (1-z^{-1})r_3(z)$$

Comme telle, la somme de ces équations cumulerait une certaine erreur qu'il est facile d'annuler en ajoutant des fonctions logiques additionnelles, dont les équations sont représentées à la figure 6. Après le passage à travers les blocs ombragés de cette figure, nous aboutissons avec les termes qui suivent :

$$y_1(z) = x(z) - (1-z^{-1})r_1(z)$$

$$y_2(z) * (1-z^{-1}) = (1-z^{-1})r_1(z) - (1-z^{-1})^2 r_2(z)$$

$$y_3(z) * (1-z^{-1})^2 = (1-z^{-1})^2 r_2(z) - (1-z^{-1})^3 r_3(z)$$

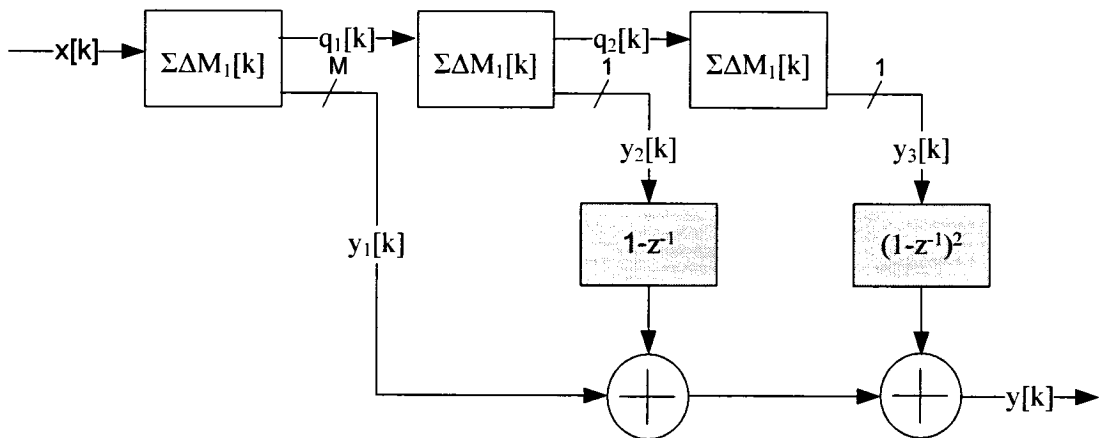


Figure 6 –MASH3 avec la logique de correction

L'équation en z du terme de sortie, soit la somme des signaux y_1 , y_2 et y_3 , est donc de:

$$Y(z) = x(z) - (1-z^{-1})^3 r_3(z).$$

Elle est donc similaire à l'équation d'un accumulateur à un étage, mais le terme en z modulant le reste de l'addition est d'ordre 3.

2.2 CIRCUITS DE SYNTHÈSE DE FRÉQUENCE

Les circuits de synthèse de fréquence (KROUPA, V.F., 2003) peuvent être classés dans l'une des deux catégories suivantes: la synthèse directe ou la synthèse indirecte. Les circuits de synthèse indirecte se basent habituellement sur la présence d'une boucle de rétroaction. Un oscillateur, ou une ligne à délais, est ajusté en mesurant un signal correspondant à l'erreur entre la fréquence de son oscillation en comparaison à celle désirée. Le signal de sortie est donc produit par un élément de circuit dont on ajuste la fréquence. L'exemple le plus connu de ce type de circuit est la boucle à verrouillage de phase, ou PLL. Pour ce qui est des circuits à synthèse directe, le signal de sortie est reconstruit de toutes pièces; il appartient au domaine numérique du traitement de signal. Les sections 2.2.1 et 2.2.2 présentent des exemples courants de circuits de synthèse de fréquence, en démontrant sommairement leur fonctionnement.

2.2.1 Circuits de synthèse indirecte

2.2.1.1 Le PLL

Le PLL (GARDNER, F.M., 1980, BEST, R.E., 1984) est le plus ancien des circuits de synthèse de fréquence indirecte. Il s'agit d'une boucle d'asservissement où un oscillateur est contrôlé de façon à ce que sa période et sa phase se verrouillent à celles d'un signal d'entrée. La figure 7 représente schématiquement l'allure générale d'un PLL.

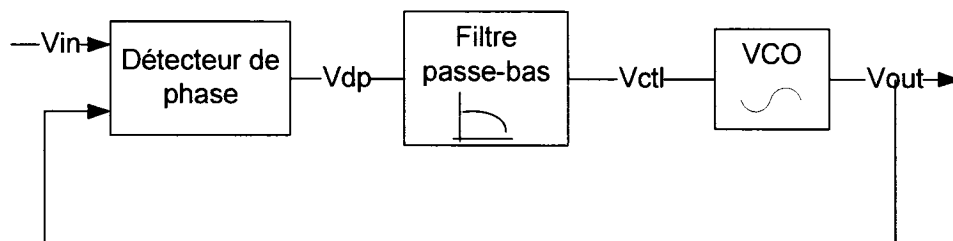


Figure 7 – Architecture d'un "Phase-Locked Loop" (PLL)

Le détecteur de phase reçoit les signaux V_{in} et V_{out} et émet un signal haut ou bas, selon que la phase du signal issu de l'oscillateur (V_{out}) est en retard ou en avance sur celle de la référence V_{in} . Ce signal V_{dp} , en moyenne égal à la différence de phase, servira à contrôler l'asservissement de l'oscillateur, mais passe d'abord à travers un filtre passe-bas. À la sortie de ce filtre, le signal stabilisé V_{ctl} sert au contrôle d'un oscillateur dont la fréquence d'oscillation est contrôlée par une tension (Voltage Controlled Oscillator, ou VCO). Le PLL illustré aura pour effet de générer un signal de sortie ayant la même fréquence que celle de l'entrée, de façon à maintenir l'égalité $F_{out} = F_{in}$. Par contre, en insérant un diviseur par N dans la boucle, la boucle cherchera plutôt à maintenir l'égalité $F_{out}/N = F_{in}$, donc une fréquence de sortie $F_{out} = N \cdot F_{in}$.

Par conséquent, la valeur de la fréquence de sortie peut être ajustée en variant le rapport de division N . Comme la résolution sur le contrôle de la fréquence de sortie est égale à la valeur de la fréquence d'entrée F_{in} , on peut également ajouter un diviseur à l'entrée pour bénéficier d'une résolution plus élevée. Cependant, plus on utilise une valeur petite comme référence, plus la largeur de bande du PLL devra être petite (BEST, R.E., 1984). Or une bande étroite nuira à l'acquisition de fréquence en augmentant le temps requis.

2.2.1.2 Synthèse Fractionnaire

Le circuit Frac-N (MUER, B., 2003) est un circuit de synthèse fractionnaire indirecte basé sur le PLL de la section précédente. Il permet de générer des signaux dont la fréquence est un multiple fractionnaire de l'horloge de référence. L'avantage majeur par rapport au PLL classique est que pour une résolution donnée dans le choix de la fréquence de sortie, le Frac-N permet d'utiliser une fréquence de référence élevée. Avec la largeur de bande plus élevée que celle-ci permet, il en résulte un temps d'acquisition nettement plus favorable.

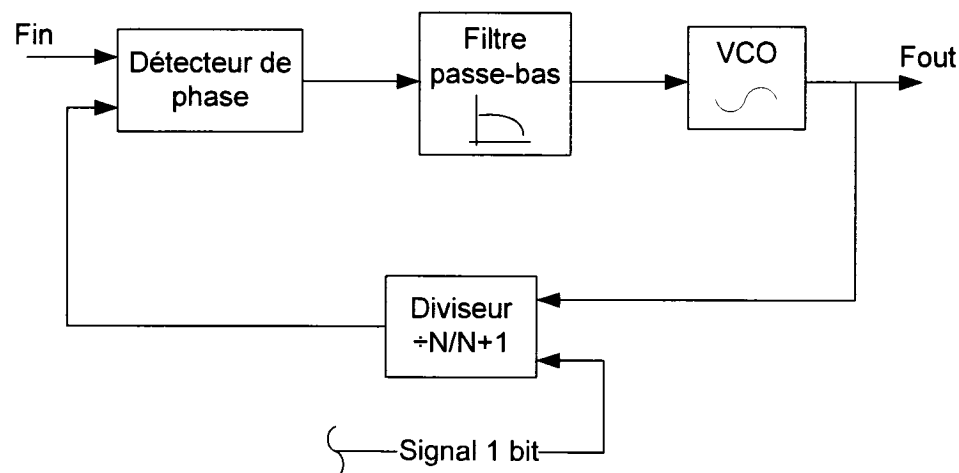


Figure 8 – PLL de type "fractional-N"

Observons à la figure 8 une particularité de ce circuit en ce qui a trait au rapport de division. Celui-ci est variable et alterne entre N et $N+1$. Le rapport de division effectif du circuit correspond à la valeur moyenne du diviseur dans le temps. Par exemple, alterner successivement entre 2 et 3 résulte en une division par 2,5.

2.2.1.3 Delay Locked Loop

Le Delay Locked Loop, ou DLL, est un circuit qui permet, tout comme le PLL, de générer un signal de sortie verrouillé sur un signal de référence reçu en entrée (STEPHENS, D.R., 2002). Au lieu de contenir un oscillateur, celui-ci est remplacé par une ligne à délais. Cette ligne à délais est constituée de cellules dont la valeur du délai peut être ajustée en y appliquant une tension de commande plus ou moins élevée. Cette topologie est représentée à la figure 9.

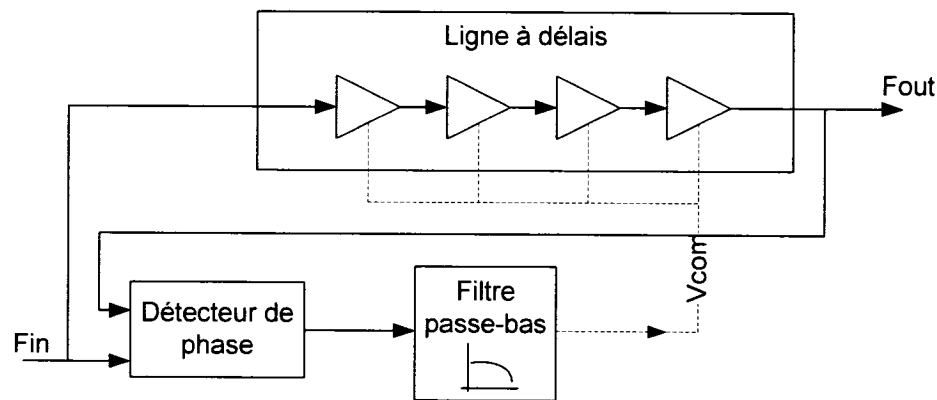


Figure 9 – "Delay-Locked Loop"

Un front sur l'horloge de référence traverse et atteint la sortie de la ligne à délais après un temps équivalent à la somme du délai des cellules. L'objectif du DLL est d'égaliser le délai des cellules avec la période de l'horloge. Pour y arriver, les fronts sortant de la ligne à délais sont comparés avec ceux de l'horloge de référence. Si nécessaire, le délai total est augmenté ou diminué.

Un circuit de type DLL est utile pour récupérer un signal d'horloge à partir d'une référence bruitée. Son filtre lui confère une stabilité qui diminue la quantité de gigue, cette variation erronée de la position temporelle d'un front d'horloge présentée à la section 2.1.1. De plus, le signal sortant de la ligne à délais n'est pas influencé par celui des

périodes précédentes comme c'est le cas avec un oscillateur en boucle dans lequel le signal est re-circulé. Cependant, il est moins évident d'obtenir une sortie dont la fréquence soit un multiple de celle de l'horloge de référence. En effet, comme le signal ne traverse qu'une fois la ligne à délais, on ne peut pas insérer dans la boucle un compteur de périodes comme dans le cas du PLL. Il faut pour multiplier la fréquence recourir à une technique de sélection de phases.

2.2.2 Synthèse directe

2.2.2.1 Direct Digital Synthesis

La synthèse numérique directe (DDS) est une méthode issue du domaine du traitement de signal (GOLDBERG, B., 1996, KROUPA, V.F. 1998); à partir d'une base de temps discrète, un signal périodique est généré avec une fréquence choisie. On cherche habituellement à générer un signal sinusoïdal, mais il est possible de générer un signal triangulaire, carré, ou toute autre forme périodique.

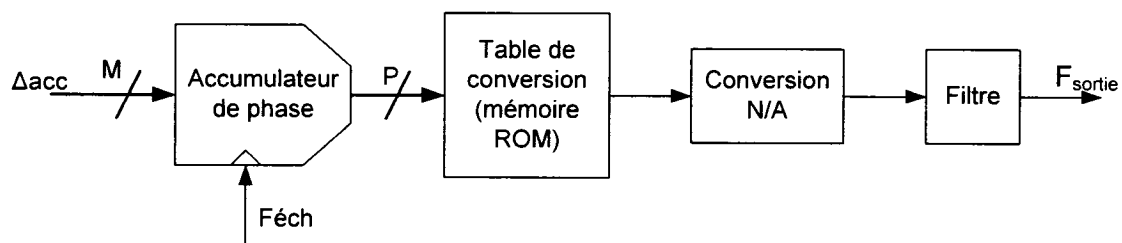


Figure 10 – Synthèse Numérique Directe (DDS)

La partie numérique d'une implémentation du circuit DDS est divisée en deux parties distinctes montrées à la figure 10 : un générateur de phase (l'accumulateur) et un convertisseur de phase à signal. Dans un premier temps, l'accumulateur de phase génère la séquence de phase à partir de la fréquence d'échantillonnage et d'une valeur

d'incrément de phase Δ_{acc} . Cet accumulateur est constitué de N bits et peut donc accumuler jusqu'à une valeur de 2^N-1 avant de déborder et de recommencer à 0. Cette plage de 0 à 2^N-1 correspond à un cycle complet, soit une durée de 2π rad. En dénotant par Δ_{ACC} la valeur d'incrément de phase qui sera ajoutée à chaque échantillon de l'horloge d'entrée, le rapport entre la période d'échantillonnage et la période du signal produit est équivalent au rapport entre la valeur de l'incrément Δ_{ACC} et le cycle de l'accumulateur 2^N :

$$\frac{T_{éch}}{T_{sortie}} = \frac{\Delta_{ACC}}{2^N} \quad (2)$$

Par conséquent, l'équation pour la fréquence de sortie devient :

$$F_{sortie} = \frac{F_{éch} \cdot \Delta_{ACC}}{2^N} \quad (3)$$

À la sortie de l'accumulateur, la phase est encodée sur N bits. Pour chacune des valeurs que peut prendre cette phase, il est possible d'attribuer une valeur correspondante pour l'amplitude. Typiquement, ces valeurs sont stockées dans une table de conversion (*lookup table* : LUT). Il est donc possible qu'une LUT de 2^N valeurs soit trop grande pour être implantée de façon réaliste. Dans ce cas, nous notons par 2^P le nombre de valeurs dans la LUT, où P est un nombre de bits inférieur ou égal à N.

À la sortie de la LUT, on retrouve la valeur numérique de l'amplitude du signal. Un DAC convertit cette valeur en valeur analogique. Le signal ainsi obtenu est ensuite filtré.

2.2.2.2 Direct Digital Period Synthesizer (DDPS)

Le principe d'opération du DDPS (CALBAZA, D.E., & SAVARIA, Y., 2000) est illustré à la Figure 11. On y suppose premièrement la présence de différents signaux de même période, mais ayant différentes phases. La partie de droite de la figure 11, représente ces signaux, numérotés Ck0 à Ck3 :

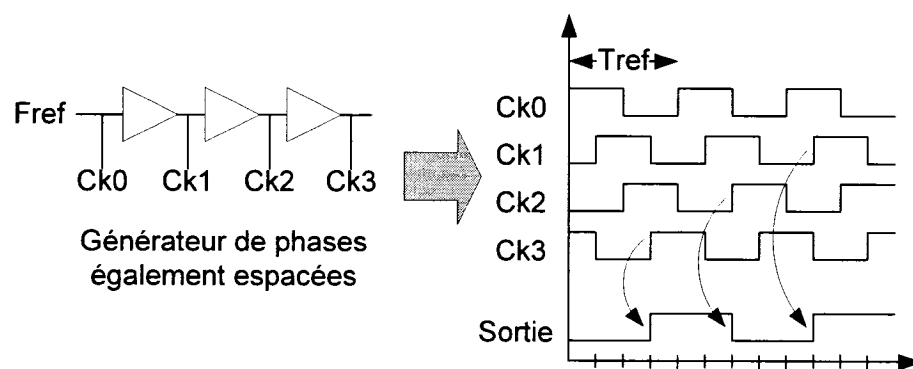


Figure 11 – Principe de fonctionnement du DDPS

Les phases des signaux Ck0 à Ck3 sont également réparties au sein de la période d'horloge T_{ref} . Ce sont des signaux qui peuvent être obtenus par exemple en verrouillant une ligne à délais soigneusement balancée à un signal d'horloge de référence ayant une fréquence stable. Une telle ligne à délais, représentée de façon schématique par la partie de gauche de la Figure 11, sera présentée plus en détails à la section 2.3.1, où nous y verrons notamment les détails de son implantation. Pour l'instant, il suffit de remarquer que ces signaux sont répartis de façon équidistante dans le temps à l'intérieur de leur même période.

Ces signaux sont ensuite choisis dans un ordre approprié. La sélection d'un signal a pour effet de générer une transition sur le signal de sortie. L'exemple de la figure 11 montre un signal de sortie obtenu par le choix de chaque troisième transition. Ce nombre

de sauts de phase séparant deux transitions de sortie prend ici une valeur entière. Il est toutefois possible d'avoir des rapports intermédiaires lorsque l'on permet au circuit d'alterner entre deux nombres de transition consécutifs.

Par exemple, en alternant successivement entre un saut de 3 phases et un saut de 4 phases, on obtiendrait un délai effectif de 3,5 phases. L'avantage majeur d'utiliser une technique à sélection de phases est qu'elle augmente la résolution d'un oscillateur. En effet, par rapport à un oscillateur qui ne serait pas constitué de cellules dont les signaux sont individuellement accessibles, un oscillateur à phases multiples génère des transitions de sortie situées à des instants qui seraient inaccessibles. Par le fait même, cette résolution accrue a pour effet de préserver la gigue du signal de sortie à une valeur plus faible. Intuitivement, ceci s'explique par le fait qu'une transition ne s'éloigne pas de son instant idéal par un délai plus important que la distance entre deux phases consécutives.

D'autre part, en cherchant à reproduire des ratios fractionnaires nécessitant une alternance dans le nombre de saut de phases, la période du signal de sortie fluctue de façon régulière. Nous observerons plus en profondeur au chapitre 3 comment ceci résulte en une diminution de la pureté spectrale.

2.3 FONCTIONNEMENT DU DDPS

La figure 12 montre la structure du DDPS. Ce dernier est constitué de trois blocs principaux : un accumulateur de phase, un sélecteur de transitions ainsi qu'un générateur de transitions. Les prochaines sous-sections décriront un par un chacun de ces blocs. On

peut également se référer aux articles de CALBAZA, D.E. et SAVARIA, Y. (2000a, 2002).

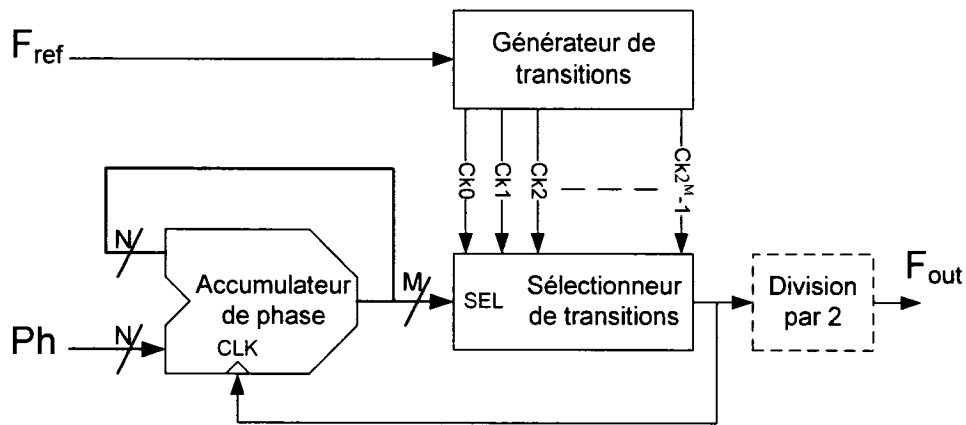


Figure 12 – Schéma du DDPS

2.3.1 Générateur de transitions

Le générateur de transitions a pour fonction de générer une série de versions décalées dans le temps du signal de référence, comme nous l'avons vu à la figure 11 (section 2.2.2). Le DDPS de la figure 12 comporte un générateur fournissant 2^M phases distinctes, dénotées ici par les signaux $Ck0$ à $Ck2^{M-1}$. Idéalement, les transitions des signaux produits par le générateur de transitions sont uniformément distribuées à l'intérieur de la période de référence T_{ref} . En réalité cependant, des variations dans le procédé de fabrication font en sorte que chaque cellule n'a pas précisément la même valeur de délai. Par conséquent, il existe des fluctuations autour de la valeur nominale de l'espacement entre les phases que nous attribuons au mésappariement, un léger déséquilibre entre les cellules constituant la ligne à délais (EL SHEIKH, M., HAFEZ, A., 2003).

Parmi les diverses façons d'implanter le générateur de transitions, citons l'utilisation d'un synthétiseur de type DLL (Section 2.2.1), une option intéressante pour la génération des phases du DDPS. Également, l'utilisation d'un oscillateur à phases multiples, verrouillé selon le principe du PLL (Section 2.2.1) est également très intéressante, en raison du rapport de multiplication qu'on peut fixer entre la fréquence d'oscillation et la fréquence de référence. Dans un tel cas, l'oscillateur du PLL est utilisé comme générateur de transitions et doit être en mesure de générer plusieurs phases.

Pour obtenir cet oscillateur à multiples phases, une façon simple est de boucler un nombre impair d'inverseurs (JOHNS, D.A., MARTIN, K., 1997). En effet, un inverseur qui reçoit à son entrée un signal haut ou bas produit en sortie l'inverse de ce signal. Par conséquent, cette boucle n'a pas d'état stable; les signaux entre les cellules d'inversion chercheront continuellement à osciller entre les états haut et bas. Le délai de propagation à travers ces cellules d'inversion (le temps requis pour transmettre un changement d'état) déterminera la fréquence d'oscillation de la boucle.

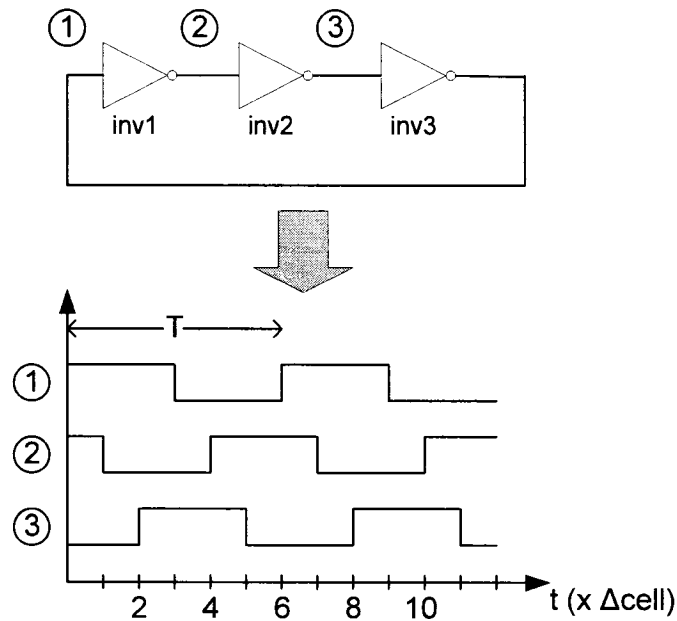


Figure 13 – Phases générées par une boucle de délais

La figure 13 illustre l'opération de ce type d'oscillateur; un front montant sur un signal engendre un front descendant sur le signal suivant, après un délai correspondant à Δ_{cell} , soit le délai de propagation à travers une cellule d'inversion. Par conséquent, une période complète est donnée par $2 \cdot n_{cell} \cdot \Delta_{cell}$, où n_{cell} est le nombre (impair) de cellules dans la boucle. Les signaux 1, 2 et 3 de la figure 10 sont donc également répartis au sein d'une période globale de $6 \cdot \Delta_{cell}$, où Δ_{cell} est le délai de propagation à travers une cellule d'inversion.

Pour ajuster la fréquence d'oscillation de la boucle d'inverseurs, on module la quantité de courant alimentant ces cellules, de façon à influencer leur temps de réaction à un changement d'état. Cet ajustement se fait en variant la tension sur un transistor qui permettra à plus ou moins de courant d'alimenter la cellule. De cette façon, la fréquence

d'oscillation de la boucle est contrôlée par une tension, d'où l'expression "Voltage Controlled Oscillator".

Une deuxième façon de réaliser un VCO est par l'utilisation d'inverseurs différentiels (JOHNS, D.A., MARTIN, K., 1997). Cette méthode offre l'avantage de pouvoir utiliser un nombre pair de cellules d'inversion. En effet, comme les cellules utilisent une paire de signaux, il suffit d'introduire un croisement dans les signaux de la boucle pour qu'elle soit instable et oscille, et ce même avec un nombre pair de cellules. Cette situation est schématisée à la figure 14.

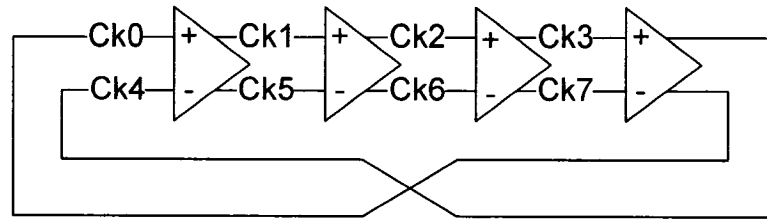


Figure 14 – Signaux Ck0 à Ck7 générés par 4 inverseurs en paire différentielle

L'avantage d'utiliser une telle boucle est l'obtention d'un nombre de phases égal au double du nombre de cellules, n_{cell} . Il est donc possible de générer un nombre de phases qui soit une puissance de deux (2^{M+1} , car $n_{cell}=2^M$), ce qui facilite la conception des autres composantes du circuit DDPS. En sachant la période T_{ref} du signal auquel la boucle est verrouillée, ainsi que le nombre de phases dans le générateur de transitions, on peut déterminer l'espacement temporel entre deux phases, Δ_{phase} , qui nous sera utile lors d'équations subséquentes:

$$\Delta_{phase} = \frac{T_{ref}}{2^{M+1}} \quad (4)$$

2.3.2 Accumulateur

L'accumulateur de phase du DDPS détermine la séquence de sélection des transitions. Cette séquence est produite par l'accumulation d'un incrément de phase Ph à chaque cycle. Cet incrément de phase représente le nombre de phases séparant deux transitions consécutives du signal de sortie et fixe par le fait même le rapport entre les fréquences d'entrée et de sortie du DDPS. Soit un nombre de phases égal à 2^M , des formules peuvent être déduites pour exprimer les rapports entre les périodes et les fréquences d'entrée versus sortie. Les formules suivantes tiennent également compte de la division finale par 2 qui fait partie du circuit DDPS comme on le voit à la figure 12 :

$$T_{out} = \frac{T_{ref}}{2^M} \cdot Ph \cdot 2 \quad (5)$$

$$f_{out} = \frac{f_{ref} \cdot 2^{M-1}}{Ph} \quad (6)$$

L'incrément de phase Ph se représente sur N bits, où le nombre N de bits est supérieur au nombre M de bits servant à adresser la ligne à délais. Ainsi, les $N - M$ bits les moins significatifs de l'accumulateur de phase représentent une fraction de phase qui s'accumule de cycle en cycle. Lorsqu'il y a débordement, cette fraction se manifeste sur la sélection de phase comme un délai de phase additionnel. Nous adoptons la notation suivante, dans laquelle W est le nombre entier de phases dans Ph et X/Y la partie fractionnaire :

$$Ph = W + X / Y \quad (7)$$

2.3.3 Sélection des transitions

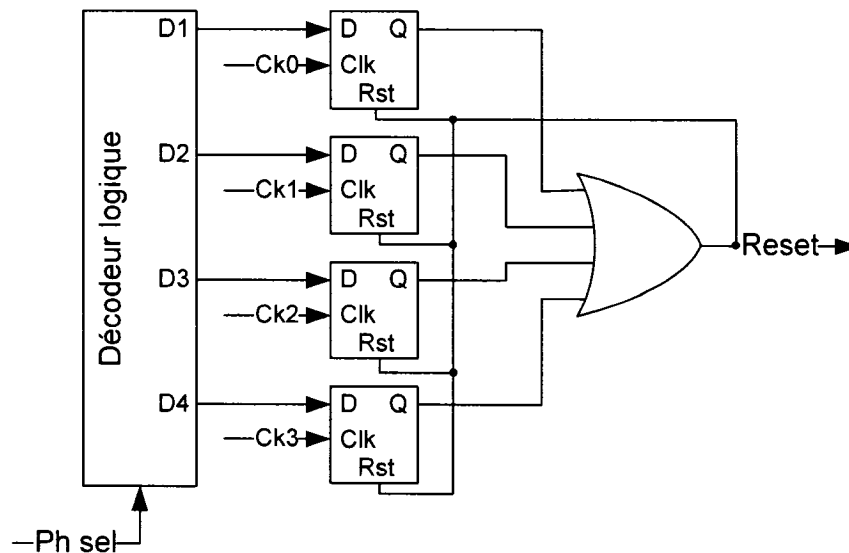


Figure 15 – Circuit de sélection des transitions

Le sélecteur de transitions, représenté à la figure 15 agit en quelque sorte comme un multiplexeur qui serait à l'épreuve des aléas, ces signaux parasites qui influencent le fonctionnement des circuits asynchrones. Il permet à la phase choisie par l'accumulateur d'être vers la sortie lors d'un cycle donné. Une fois le sélecteur déclenché par le front montant de la phase choisie, il envoie une impulsion. Cette impulsion est utilisée d'une part pour mettre à jour le contenu de l'accumulateur de phase et d'autre part pour générer une transition sur le signal de sortie, en inversant l'état d'une bascule bistable qui convertit ainsi le train d'impulsions en une onde quasi-carrée. Le fait que la mise à jour de la sélection de phase soit déclenchée par son propre signal de sortie permet au DDPS de produire des périodes de sortie plus courtes que celle obtenue en référence. C'est une particularité qui distingue le DDPS des architectures à contrôle de ligne à délais DCDL comme celles proposées par NIEZNANSKI, J. (1998) ou McCUNE, E. (1993).

2.3.4 Exemple de fonctionnement

Le tableau 4 présente un exemple montrant l'accumulation d'une valeur d'incrément de phase Ph égale à $9 + \frac{1}{4}$. La colonne b) montre le contenu de l'accumulateur pour les 8 premiers cycles. La troncation de ces valeurs résulte en la sélection des transitions montrées à la colonne c). Finalement, la colonne d) montre que les sauts de phase, exprimés en termes de nombre de cellules, alternent périodiquement entre W et $W+1$. Bien que les transitions ne soient pas en leurs positions temporelles idéales, après un certain nombre de cycles, la période devient en moyenne celle désirée.

Tableau 4 – Contenu de l'accumulateur et sélection des phases ($Ph = 9 + \frac{1}{4}$, $2^M = 16$)

a)	b)	c)	d)
Cycle	Phase accumulée	Phase choisie	Saut de phase ($\times \Delta_{cell}$)
1	$9 + \frac{1}{4}$	Ck9	9
2	$2 + \frac{1}{2}$	Ck2	9
3	$11 + \frac{3}{4}$	Ck11	9
4	5	Ck5	10
5	$14 + \frac{1}{4}$	Ck14	9
6	$7 + \frac{1}{2}$	Ck7	9
7	$0 + \frac{3}{4}$	Ck0	9
8	10	Ck10	10

2.3.5 Synthèse de fractions non binaires

Le nombre N de bits dans l'accumulateur de phases d'un DDPS peut restreindre la capacité du circuit à exprimer de façon exacte certaines valeurs d'incrément de phase Ph . Certaines valeurs de Ph doivent être approximées par la plus proche valeur possible. À titre d'exemple, supposons qu'un circuit DDPS donné comporte un accumulateur de 12

bits et que la fréquence que l'on cherche à générer nécessite une valeur de Ph de $9 + 2/5 = 9,4$. Compte tenu de la précision de 12 bits, cette valeur devra obligatoirement être approximée par 9,39990234375 ou par 9,400146484375, les deux valeurs les plus proches. L'emploi de l'une ou l'autre de ces valeurs causera une accumulation de gigue dans le temps, ce qui peut être particulièrement néfaste lorsque l'horloge produite doit servir à des fins de synchronisation.

Une solution à ce problème (CALBAZA, D.E., & SAVARIA, Y., 2000b) consiste à alterner entre deux valeurs d'incrément de phase $Ph0$ et $Ph1$, qui sont respectivement des valeurs d'approximation immédiatement supérieure et immédiatement inférieure de la valeur d'incrément de phase Ph , mentionnées dans l'exemple du paragraphe précédent. Sans perte de généralité, sur un total de Y périodes d'horloge, $Ph0$ est présenté à l'accumulateur A fois, et $Ph1$ est présenté B fois. Les valeurs A et B peuvent être choisies de telle sorte que $A + B$ soit égal à Y , respectant ainsi l'équation :

$$A \cdot Ph0 + B \cdot Ph1 = Y \cdot Ph \quad (8)$$

Cette approche permet de se prémunir contre l'accumulation de l'erreur d'approximation. Une façon simple d'alterner entre les valeurs $Ph0$ et $Ph1$ consiste en la modulation du bit « carry-in » de l'accumulateur. Un circuit faisant usage de cette solution est proposé et décrit dans (CALBAZA, D.E., & SAVARIA, Y., 2000b).

2.4 SYNTHÈSE DE FRÉQUENCE ET MODÉLISATION SPECTRALE

Le but du présent travail est d'analyser et d'interpréter le contenu spectral du signal de sortie du circuit DDPS, afin d'en arriver à des conclusions permettant d'optimiser les paramètres de conception ou de suggérer des modifications à apporter au circuit. Une première étape consiste à modéliser le spectre produit. Ceci permet, à l'aide d'un ensemble de formules mathématiques, de prévoir l'allure du spectre en fonction des paramètres d'opération du circuit. Ce genre d'analyse fut effectué pour des circuits de synthèse de fréquence plus connus. Comme il peut exister des similitudes au niveau de l'approche utilisée, il est intéressant de se pencher ici sur les travaux existants, pour voir dans quelle mesure ils s'appliquent ou non au cas du DDPS.

Comme nous l'avons vu dans la section précédente, la séquence de sélection des phases dans un circuit DDPS est générée par un accumulateur. Cette caractéristique de fonctionnement le rend similaire au DDS (section 2.2.2), où un accumulateur est utilisé pour adresser une LUT contenant la valeur des amplitudes du signal pour chaque phase correspondant à une adresse mémoire. Plusieurs articles se sont penchés sur le phénomène de la présence de raies dans le spectre fréquentiel du signal produit par le circuit DDS. Comme nous le verrons au chapitre 3, ce phénomène s'observe également dans le cas du circuit présentement à l'étude. C'est pourquoi on doit s'intéresser aux modèles simples et efficaces ayant été mis au point pour prédire la position et l'amplitude des raies spectrales d'un circuit similaire à celui à l'étude.

Une première technique visant à estimer les raies retrouvées dans le spectre du circuit DDS fut présentée par NICHOLAS, H.T., & SAMUELI, H. (1987). Dans cet

article, les auteurs se penchent sur un algorithme de calcul du spectre du DDS tenant compte de l'effet de la troncature des bits les moins significatifs de l'accumulateur de phase. Ils en arrivent à une expression pour l'amplitude, le nombre, et la position des raies spectrales additionnelles communément appelées *spurs* en fonction de la taille de la LUT, de la quantité de troncature et du mot de commande. Ils abordent brièvement le fait qu'il existe également un bruit causé par la précision de la LUT ainsi que par les non-linéarités du convertisseur DAC.

Peu de temps après parut un article (JENQ, Y.C., 1988) où l'auteur se penche davantage sur l'approximation de la sinusoïde emmagasinée dans la LUT, une autre source d'impureté spectrale. Selon l'auteur, « La méthode numérique avec LUT présente plusieurs caractéristiques désirables, telles que la stabilité à haute fréquence ainsi qu'un contrôle précis de la fréquence et de la phase du signal sinusoïdal produit. Cependant, des harmoniques indésirables sont générées lorsqu'on tente de syntoniser différentes fréquences en manipulant le mécanisme d'adressage mémoire au lieu de charger un nouvel échantillon de signal dans la mémoire, ce qui prend du temps et est parfois infaisable. »

KROUPA, V.F. (1993) V.F. fit paraître un modèle pour unifier l'approximation du spectre du DDS. Cependant, son algorithme se base sur des formulations mathématiques plutôt complexes, de sorte que d'autres auteurs se sont penchés par la suite sur des modèles plus simples d'approximations du spectre du DDS. Parmi ceux-ci, il est important de mentionner les travaux de TOROSYAN, A., & WILSON Jr., A. (2001) ainsi que de PIPAY, Z. (2001). Ces auteurs ont présenté des analyses fondées sur

les propriétés de la transformée discrète de Fourier afin de simplifier l'estimation des raies spectrales du DDS. Finalement, une technique pour déterminer ces raies de façon exacte et non par estimation fut récemment présentée par CURTICAPEAN, E., & NIITTYLAHTI, J. (2003).

D'autres travaux de modélisation du profil spectral existent certainement pour les autres circuits de synthèse de fréquence comme le PLL ou encore le Frac-N (Section 2.2.1). Par contre, comme il s'agit de circuits de synthèse analogiques et/ou indirects, les analyses que l'on retrouve concernant leur profil spectral ne s'appliquent pas au DDPS. En effet, bien qu'un PLL soit utilisé pour générer les phases du DDPS, nous verrons plus loin que les effets les plus importants sur la forme du spectre généré par ce circuit seront ceux qui causent une elongation de la périodicité réelle du signal de sortie. Les travaux présentés ici cependant sont basés sur un fondement similaire à ce qui servira à approfondir la modélisation spectrale du DDPS. Il existe non seulement une similitude vis-à-vis le mode de construction du signal (avec un accumulateur de phase) mais on peut également argumenter que l'erreur sur la précision des délais dans un DDPS est assimilable à l'imprécision sur les valeurs stockées dans la LUT pour les amplitudes du signal produit par le DDS, phénomène traité dans les références mentionnées. Cependant, il n'est pas exact de dire qu'il s'agit de phénomènes équivalents. La précision des délais du DDPS est un phénomène temporel. On ne peut donc utiliser les analyses du DDS qui sont basées sur une base de temps que l'on suppose discrète et uniforme. Ce que nous retiendrons de ces travaux, c'est qu'une approche en transformée de Fourier peut simplifier le processus d'analyse, mais que nous devons nous ajuster au fait que l'on ne

dispose pas ici d'une base de temps discrète à proprement parler, puisque l'on ne peut pas considérer le délai d'une cellule de la ligne à délais du DDPS comme un élément temporel discret. En plus de ne pas être un élément discret, le délai d'une cellule n'est pas tout à fait constant. En effet, de légères fluctuations du milieu (température, bruit...) influent sur la valeur du délai. Par contre, comme il s'agit d'une boucle asservie, on considère dans notre analyse que ces phénomènes sont à long terme par rapport à l'intervalle entre un cycle et le prochain où les délais seront presque le même.

2.5 SYNTHÈSE DE FRÉQUENCE ET AMÉLIORATION SPECTRALE

Après avoir présenté à la section précédente les travaux de modélisation de spectre qui servent d'inspiration à l'algorithme qui a été développé au cours des travaux de recherche présentés dans ce mémoire, nous nous penchons ici sur les améliorations aux circuits de synthèse de fréquences qui furent proposés dans le but d'en améliorer le profil spectral, ce que nous cherchons également à faire avec le DDPS.

En ce qui concerne le DDS, le circuit qui présente le plus de similarités avec le DDPS, notons que NICHOLAS, H.T., & SAMUELI, H. , & KIM, B. (1988) suggèrent une technique de compression de la taille de la LUT, pour une précision donnée. Dans le cas du DDPS, où il n'y a pas de LUT mais des phases générées par une ligne à délais, on cherchera plutôt à augmenter la précision de la valeur du délais des cellules de la ligne à délais. À ce sujet, un article de PARK, C., & KIM, O., & KIM, B. (2001) présente un oscillateur à phases multiples opérant à 1,8 GHz et muni d'un circuit d'auto-calibration

lui permettant d'ajuster le mésappariement entre ses cellules. Son utilisation comme générateur de phases au sein du circuit DDPS est donc très prometteuse.

VANKKA, J. (1996) proposa une revue de techniques de réduction des raies spectrales indésirables. Pour plus de détails concernant les propriétés ainsi que leurs avantages et inconvénients, il est intéressant de consulter son article. Il est à noter que son analyse est restreinte aux erreurs de quantification de la phase ainsi que de l'amplitude, phénomènes mentionnés précédemment. Parmi les solutions qu'il propose, notons l'ajout de bruit aléatoire pour appliquer la méthode dite de « *dithering* ». Qu'elle soit appliquée par l'ajout de bruit aléatoire, ou par modulation selon la technique delta-sigma comme proposé dans cet article pour le circuit DDS, nous verrons à l'aide de résultats de simulation comment ces techniques peuvent être intégrées à la conception de circuits DDPS présentant des profils spectraux différents.

De façon similaire, ZARKESHVARI, F., & NOEL, P., & KWANIEWSKI, T. (2005) ont récemment fait paraître un article où ils revoient les techniques de conception du circuit Fractional-N à interpolation de phase. Ils y mentionnent la possibilité d'utiliser un générateur de séquence aléatoire pour convertir les raies spectrales en gigue. Ils présentent aussi diverses topologies de modulateurs delta-sigma, qui sont ensuite comparées dans un tableau récapitulatif selon leurs propriétés (stabilité, modelage du bruit, etc.).

3 Simulation et observation du spectre du DDPS

Avant d'aborder l'analyse du modèle mathématique du DDPS, il faut observer la corrélation qui existe entre la forme du spectre du DDPS et son principe de fonctionnement (présenté à la section 2.3). À la lumière de l'exemple de fonctionnement de la section 2.3 et plus particulièrement en observant le contenu du tableau 4, le lecteur attentif a peut-être remarqué que ce signal est soumis à deux niveaux de périodicité. Nous ferons la distinction entre ces niveaux de périodicité à la section 3.1. Ensuite, nous nous pencherons aux sections 3.2 et 3.3 sur le modèle de simulation répliquant le comportement du circuit DDPS dans l'environnement Simulink de Matlab (MATLAB, 1992). Ce modèle nous servira à tracer le spectre du signal produit, que nous observerons pour en souligner (section 3.4) la corrélation avec les niveaux de périodicité discutés préalablement. Notons que la plage choisie est celle de 0 à $2 \cdot f_{\text{sortie}}$. En prolongeant le spectre, on observerait les harmoniques supérieures du signal carré, aisément filtrables.

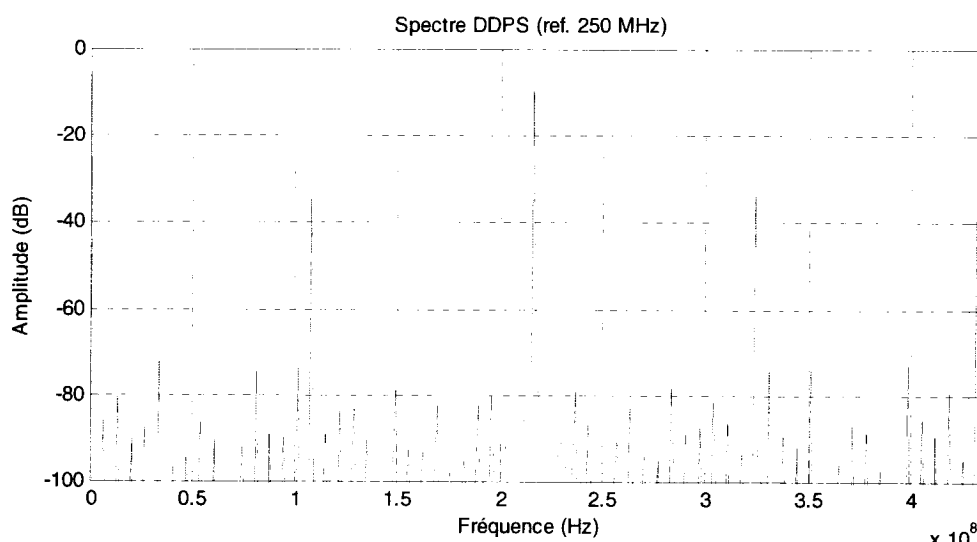


Figure 16 – Contenu spectral de l'horloge générée par le DDPS

3.1 DISTINCTION ENTRE LES NIVEAUX DE PÉRIODICITÉ

Premièrement, nous avons observé dans la dernière section la troncature du contenu de l'accumulateur, des N bits qu'il contient aux M bits servant à la sélection de l'une des phases. Ceci a causé l'apparition d'une périodicité plus longue que celle de la simple période de l'horloge produite. L'exemple du tableau 4 de la section 2.3, dont l'incrément de phase ($\Phi = 9 + 1/4$) a un dénominateur de 4, requiert quatre cycles pour l'obtention d'une période moyenne correcte. Ce niveau de périodicité légèrement plus longue que le cycle nominal produit ce que nous appellerons un cycle de troncature, dont la période sera appelée T_{trunc} .

Ensuite, penchons nous sur la sélection des phases en tant que tel. Bien que le cycle de troncature défini au paragraphe précédent se répète de façon cyclique, avec la même séquence au niveau des sauts de phases, il faut noter que d'un cycle T_{trunc} au prochain, il ne s'agit pas des mêmes cellules (signaux de phase) qui sont choisies. Éventuellement cependant, la séquence de sélection sera répétée. Il s'agit du second niveau de périodicité qu'il faut définir dans le cadre de cette recherche sous le terme de cycle de mésappariement. Nous élaborons sur la nécessité d'identifier et de distinguer ces deux niveaux de périodicité au chapitre 4.

3.2 MODÈLE DE SIMULATION

Le circuit DDPS, dont l'explication du fonctionnement fait l'objet du présent chapitre, fut modélisé avec la suite de modélisation graphique Matlab Simulink, un logiciel de la compagnie Mathworks. Cette section discute du modèle permettant d'effectuer une simulation temporelle du DDPS, ainsi que de son utilité dans le contexte de cette présente recherche.

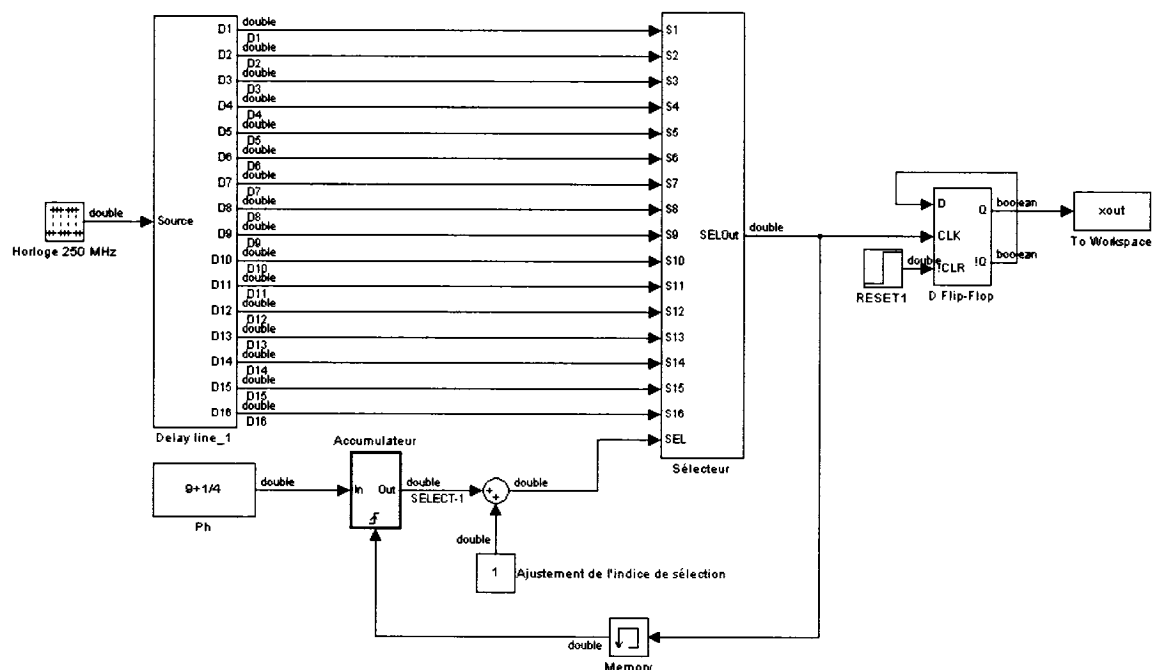


Figure 17 – Modèle de simulation du DDPS dans Simulink

La figure 17 est une représentation du modèle tel qu'il apparaît dans l'environnement Simulink. Il est constitué des blocs énumérés précédemment en début de chapitre. Il est opéré sur une base de temps discrète. Son générateur de phases est constitué d'une horloge dont la période est réglée en nombre d'échantillons, et dont le signal est propagé à travers une chaîne d'éléments de délais. Le délai d'un élément est lui

aussi fixé en nombre d'échantillons, et on prend soin de respecter l'égalité entre le nombre total d'échantillons liés aux délais et le nombre d'échantillons contenus dans une période. Par exemple, une ligne à délais de 16 cellules synchronisée sur une période de 1600 échantillons peut être constituée de 16 délais de 100 échantillons chacun.

On peut se demander pourquoi ne pas simplement utiliser une période de 16 échantillons, avec un échantillon de délai entre chaque signal de phase. Le temps de simulation serait ainsi réduit à son minimum. Ce qui nous en empêche est en fait le souci d'émuler le comportement physique d'un circuit réel; il est hautement improbable que tous les éléments de délai du circuit aient précisément le même délai, et ce peu importe le soin pris pour égaliser les éléments lors de la conception. Dans notre modèle, en allouant un nombre élevé d'échantillons à la valeur d'un délai, il est possible d'introduire ces fluctuations autour de la valeur nominale d'un délai. Par exemple, plutôt qu'une ligne de 16 délais de 100 échantillons, nous pouvons choisir de définir une ligne dont les délais ont des valeurs de 101, 99, 100 échantillons (en respectant une somme de 1600). De cette façon, on modélise l'effet du mésappariement entre les cellules. En contrepartie, le temps de simulation est nettement plus long.

Pour ce qui est des autres composantes du circuit DDPS, elles se composent de blocs standard tels des multiplexeurs et des bascules. La taille de l'accumulateur peut être ajustée en fonction du nombre de bits désiré pour l'incrément Φ .

3.3 UTILISATION DU MODÈLE DE SIMULATION

Le modèle de simulation présenté à la section précédente permet de sauvegarder en mémoire la valeur du signal de sortie à chaque pas de simulation. À partir de ce signal défini selon une base de temps discrète, nous pouvons appliquer la formule disponible dans Matlab pour la transformée rapide de Fourier (FFT). Nous obtenons ainsi le spectre fréquentiel pour le signal. Afin d'éviter de fausser les résultats, il est essentiel cependant de s'assurer que la quantité de points conservés pour la fonction DFT corresponde à une durée du signal de sortie qui soit exactement un multiple de la longueur d'une période complète telle qu'elle sera décrite au chapitre 4.

Par exemple, supposons que nous souhaitons tracer le spectre d'un DDPS à 16 cellules et dont l'incrément Φ est de $2\pi/16$. De plus, allouons 100 pas de simulation entre les fronts montants des phases consécutives (pour une période de 1600 pas). Nous verrons bientôt comment calculer qu'il faut 180 800 points de simulation pour compléter une période complète. Pour bien faire ressortir les valeurs du spectre sur un graphe, on voudra également calculer les points du spectre situés entre les raies, ce qui nécessitera une simulation qui est un multiple de 180 800. Il est donc important de bien calculer le cycle en fonction des paramètres du circuit lors de la simulation, pour s'assurer d'obtenir les bons résultats spectraux. De plus, il faut noter que le temps de simulation est relativement long. Le modèle Matlab met du temps à simuler la suite d'environ 1 million de valeurs qui doivent ensuite passer par l'équation de la transformée rapide de Fourier. Il est donc fastidieux d'obtenir une figure du spectre comme celle de la figure 18. Nous

verrons à la section 4.6.2 des exemples où les simulations peuvent exiger des temps de calcul allant jusqu'à près d'une heure sur un ordinateur de type AMD Athlon de 2 GHz.

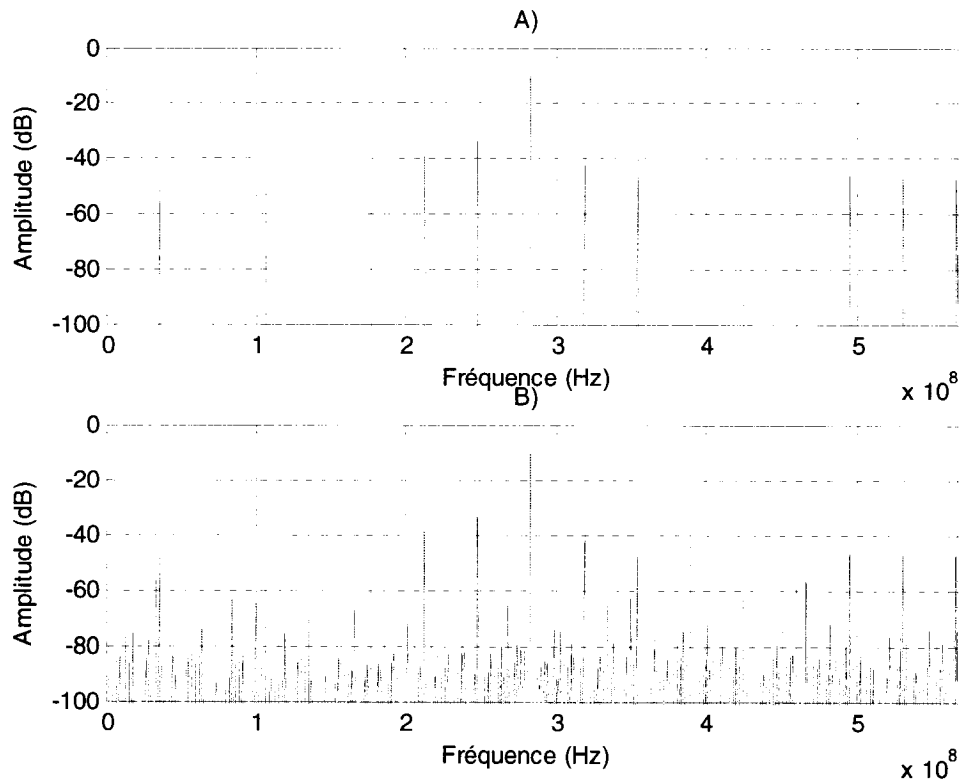


Figure 18 – Spectres pour l'exemple choisi a) absence de mésappariement b) présence de mésappariement

3.4 LIENS ENTRE LES PÉRIODICITÉS ET LE SPECTRE

Observons le spectre de l'exemple choisi de plus près. La partie 19a est obtenue en simulant l'absence de mésappariement entre les cellules alors que celle de la partie 19b est obtenue en allouant des valeurs de mésappariement entre les cellules. Une autre façon de voir cette situation est de se dire que le graphe 19a est issu d'une situation où toutes les cellules ont précisément le même délai, ce qui fait que le cycle n'est pas

allongé par le fait que les cellules choisies ne sont pas les mêmes d'un cycle T_{trunc} au suivant. On remarque dans ce cas que les harmoniques sont plus éloignées que dans le cas où le cycle est allongé par la présence de mésappariement et où des raies additionnelles coexistent et viennent s'insérer entre les raies dues à la troncature. Nous aurons l'occasion de nous pencher davantage sur le positionnement de ces raies lors de la présentation de l'algorithme de traçage du spectre au chapitre 4. L'utilité de bien déterminer la période réelle du signal de sortie découle du lien qui existe entre cette périodicité et la position des raies spectrales. De plus, une analyse de Fourier sera présentée et celle-ci requiert l'intégration sur une période complète du signal.

4 Modèle de prédiction spectrale du DDPS

4.1 ÉTUDE DU CYCLE RÉEL DU SIGNAL DE SORTIE

Le cycle de troncature a été défini au chapitre 3 comme étant la séquence périodique des incréments de phase. Utilisant la notation de Ph introduite à l'équation 7 comme étant la somme de W et d'une fraction réduite à sa plus simple expression X/Y , nous avons déterminé que la périodicité du cycle de troncature est de Y cycles. Il était aisé de le constater en observant la colonne d) du tableau 4, où l'exemple fourni avait un cycle de répétition de 4 cycles d'horloge. À partir du nombre Ph de sauts de phase par cycle d'horloge et de la longueur temporelle d'une phase Δ_{phase} , nous tirons l'expression suivante qui exprime la longueur d'un cycle de troncature:

$$T_{trunc} = (W \cdot Y + X) \cdot \Delta_{phase} = Y \cdot Ph \cdot T_{ref} \cdot \frac{1}{2^M} \quad (10a)$$

Reprenons notre exemple où Ph était égal à $9 + \frac{1}{4}$. De plus, fixons la fréquence de référence à 250 MHz et la ligne à délais à une longueur de 16 cellules. Dans un tel cas, la période T_{trunc} est égale à:

$$T_{trunc} = 4 \cdot \left(9 + \frac{1}{4}\right) \cdot \frac{1}{250MHz} \cdot \frac{1}{16} = 9,25ns$$

Observons maintenant les effets du mésappariement sur la longueur réelle du cycle. Les transitions choisies d'un cycle de troncature au prochain sont différentes. Par conséquent, un mésappariement entre les cellules d'une ligne à délais causera de petites variations temporelles dans la longueur des cycles de troncature successifs. Cependant, la

séquence de sélection des transitions se répète après un certain nombre de cycles. Pour s'en convaincre, observons le tableau de la page suivante. Il contient la séquence de sélection des cellules pour un incrément de phase de $8+\frac{1}{2}$ lorsque la ligne à délais comporte 16 cellules. La colonne b) représente le contenu de l'accumulateur après l'addition de Ph et la colonne c), la cellule choisie après troncature de la partie fractionnaire.

Dans l'exemple du tableau 5 de la page suivante, un premier niveau de cyclicité est lié à l'accumulation de la partie fractionnaire. Cette cyclicité correspond à l'alternance entre des sauts (colonne d) de 8 et de 9 cellules. Ensuite, on remarque que les cellules ne sont pas les mêmes d'une alternance 8-9 à la prochaine. Lorsque ces cellules n'ont pas un délai exactement égal (en situation de mésappariement), cette variation a une influence sur l'allure du spectre de sortie. Cependant, au cycle 32, le contenu de l'accumulateur ainsi que la cellule choisie nous ramènent dans une situation égale à la case de départ du tableau, et les prochains sauts de phase seront aussi les mêmes.

Tableau 5 – Exemple des niveaux de cyclicité du DDPS

a)	b)	c)	d)
Cycle	Phase accumulée	Phase choisie	Saut de phase ($\times \Delta_{cell}$)
0	0	Ck0	
1	$8+\frac{1}{2}$	Ck8	8
2	1	Ck1	9
3	$9+\frac{1}{2}$	Ck9	8
4	2	Ck2	9
5	$10+\frac{1}{2}$	Ck10	8
6	3	Ck3	9
7	$11+\frac{1}{2}$	Ck11	8
8	4	Ck4	9
9	$12+\frac{1}{2}$	Ck12	8
10	5	Ck5	9
11	$13+\frac{1}{2}$	Ck13	8
12	6	Ck6	9
13	$14+\frac{1}{2}$	Ck14	8
14	7	Ck7	9
15	$15+\frac{1}{2}$	Ck15	8
16	8	Ck8	9
17	$0+\frac{1}{2}$	Ck0	8
18	9	Ck9	9
19	$1+\frac{1}{2}$	Ck1	8
20	10	Ck10	9
21	$2+\frac{1}{2}$	Ck9	8
22	11	Ck11	9
23	$3+\frac{1}{2}$	Ck3	8
24	12	Ck12	9
25	$4+\frac{1}{2}$	Ck4	8
26	13	Ck13	9
27	$5+\frac{1}{2}$	Ck5	8
28	14	Ck14	9
29	$6+\frac{1}{2}$	Ck6	8
30	15	Ck15	9
31	$7+\frac{1}{2}$	Ck7	8
32	0	Ck0	9

Dénotons le nombre de cycles T_{trunc} nécessaires pour repasser par la même séquence de sélection des transitions par R . La véritable période est donc plus longue que celle de T_{trunc} . Cette véritable période du signal d'horloge généré par le DDPS est liée à la fondamentale du spectre (Figure 16). Nous référerons à cette période sous le terme T_{spur} , qui s'exprime par la formule:

$$T_{spur} = Y \cdot Ph \cdot T_{ref} \cdot \frac{R}{2^M} \quad (10b)$$

L'exemple du tableau 5 a été présenté avec un dénominateur de 2 pour des soucis de bréveté. Reprenant l'exemple fourni en introduction au chapitre 3, ($Ph = 9 + \frac{1}{4}$, $F_{ref} = 250 \text{ MHz}$, $N_{cells} = 16$), la période T_{spur} est égale à

$$R \cdot 4 \cdot \left(9 + \frac{1}{4}\right) \cdot \frac{1}{250 \text{ MHz}} \cdot \frac{1}{16} = R \cdot 9,25 \text{ ns}$$

Dans le cas présent, R est égal à 16, ce qui produit une période de 148ns. Ceci correspond à une fréquence de 6,76MHz. Il s'agit de la valeur fondamentale du spectre du signal DDPS de la figure 16. Cette fréquence correspond à la première raie sur le graphe et à l'espacement entre les raies subséquentes.

La valeur du paramètre R est déterminée par une comparaison entre le nombre de sauts de phases dans la ligne à délais et le nombre de phases par cycle de troncature ($Y \cdot Ph = W \cdot Y + X$). Lorsque cette valeur $Y \cdot Ph$ est impaire, chaque phase sera éventuellement choisie, car ajouter une valeur impaire sur une boucle dont la quantité de valeurs est paire nous assure que chacune des 2^M phases obtiendra son tour d'être la première cellule choisie pour un cycle de troncature. La valeur de R dans de tels cas est de 2^M . Dans sa forme classique, le DDPS produira des signaux ayant une valeur R égale à

son nombre de phases 2^M , étant donné qu'en présence de troncature, la valeur du dénominateur Y est un nombre pair (1/4, 1/8, 1/16, etc.). Ceci engendre donc une valeur $Y \cdot Ph$ impaire. Le cas où Y serait un nombre impair égal à 1 implique l'absence de troncature, et alors la valeur $Y \cdot Ph$ peut être paire.

Tableau 6 – Exemple où $R = 2$

a)	b)	c)	d)
Cycle	Phase accumulée	Phase choisie	Saut de phase ($\times \Delta_{cell}$)
0	0	Ck0	
1	13+1/3	Ck13	13
2	10+2/3	Ck10	13
3	8	Ck8	14
4	5+1/3	Ck5	13
5	2+2/3	Ck2	13
6	0	Ck0	14
7	13+1/3	Ck13	13
	...		

Également, en utilisant un circuit DDPS modifié tel que suggéré à la section 3.5 pour exprimer des fractions dont le dénominateur n'est pas une puissance de 2 (1/3, 1/5, 1/7, etc.), $W \cdot Y + X$ peut avoir une valeur paire. Certaines phases peuvent ne jamais être choisies, ce qui diminue le nombre de répétitions R . Par exemple, observons au tableau 6 un cas ne nécessitant que deux répétitions du cycle de troncature pour compléter son cycle de mésappariement. L'expression générale permettant de déterminer la valeur de R est donnée par :

$$R = \frac{2^M}{\gcd(2^M, (W \cdot Y + X))} \quad (11)$$

Où $\gcd()$ est une fonction retournant le plus grand diviseur commun. Puisque les cellules ne sont pas toutes choisies, il peut y exister divers sous-groupes de séquences possibles. Le terme $\gcd(2^M, (W \cdot Y + X))$ correspond au nombre de sous-groupes possibles. Ainsi, dans l'exemple du tableau 6 où on avait une accumulation de $Ph = 13 + 1/3$, il existe en réalité $\gcd(16, 40) = 8$ sous-groupes de choix de cellules possibles, compilées dans le tableau suivant :

Tableau 7 – Sous groupes de selection de cellules

a)	b)	c)							
Cycle	Phase accumulée	Sous groupes de sélection de cellules							
0	0	Ck0	Ck1	Ck2	Ck3	Ck4	Ck5	Ck6	Ck7
1	$13 + 1/3$	Ck13	Ck14	Ck15	Ck0	Ck1	Ck2	Ck3	Ck4
2	$10 + 2/3$	Ck10	Ck11	Ck12	Ck13	Ck14	Ck15	Ck0	Ck1
3	8	Ck8	Ck9	Ck10	Ck11	Ck12	Ck13	Ck14	Ck15
4	$5 + 1/3$	Ck5	Ck6	Ck7	Ck8	Ck9	Ck10	Ck11	Ck12
5	$2 + 2/3$	Ck2	Ck3	Ck4	Ck5	Ck6	Ck7	Ck8	Ck9
6	0	Ck0	Ck1	Ck2	Ck3	Ck4	Ck5	Ck6	Ck7
7	$13 + 1/3$	Ck13	Ck14	Ck15	Ck0	Ck1	Ck2	Ck3	Ck4
	...								

On remarque que le sous-groupe dans lequel on se trouve (colonne c) dépend de la cellule de départ au cycle 0. Les cellules de départ illustrées sont de Ck0 à Ck7. Si la cellule de départ était de Ck8, alors la séquence de sélection serait équivalente à la situation de la colonne pour Ck0. On remarque également que chaque sous-groupe de cet exemple n'utilise que 6 parmi les 16 cellules disponibles, et qu'il ne s'agit pas des mêmes cellules d'un sous-groupe à l'autre. Pour cette raison, le même circuit DDPS peut présenter divers spectres différents, dans les mêmes conditions d'opération,

dépendamment du sous-ensemble de cellules utilisées ou alternativement, dépendamment de la cellule de départ ou du contenu initial de l'accumulateur.

4.2 POSITIONS DES SPURS

La périodicité dont nous avons discuté dans la section précédente est utile pour localiser les raies spectrales dues aux deux phénomènes qui les engendrent (la troncature et le mésappariement). La véritable période, exprimée par l'équation 10, nous donne une période qui correspond à la raie fondamentale, i.e. celle qui se trouve le plus à gauche sur le spectre. En remarquant que toutes les autres raies, y compris celle correspondant au signal de sortie, sont séparées de façon égale, nous pouvons les considérer comme étant des harmoniques de la raie fondamentale issue de la véritable période du signal. L'équation 10 peut être remaniée pour exprimer la valeur de la fréquence de cette raie fondamentale:

$$f_{spur} = \frac{f_{ref} \cdot 2^M}{Y \cdot Ph \cdot R} \quad (12)$$

À partir des équations (6) et (12), nous pouvons exprimer la fréquence du signal de sortie comme un multiple de la raie fondamentale :

$$f_{out} = f_{spur} \cdot \frac{R \cdot Y}{2} \quad (13)$$

Si nous désirons faire abstraction des imperfections de la ligne à délais (mismatch), alors le spectre contiendra uniquement les raies dues à la troncature. Dans un tel cas, la fondamentale f_{spur} aura une valeur plus élevée, étant donné que le nombre de répétitions R requis pour obtenir la périodicité est d'à peine 1 ou 2. Si le dénominateur de

Ph est pair, alors R est égal à 1. Par contre, si le dénominateur est impair, il y a un nombre impair de transitions par cycle de troncature. Par conséquent, deux cycles de troncature sont nécessaires pour obtenir une période complète. Par exemple, avec un dénominateur de 3, trois transitions sont générées par cycle de troncature. Il est donc nécessaire d'avoir un cycle pour passer à travers « haut-bas-haut » et ensuite un second cycle pour effectuer « bas-haut-bas », complétant ainsi la période.

4.3 ANALYSE DE FOURIER BASÉE SUR L'ÉTUDE DU CYCLE

Notre analyse a considéré les raies spectrales comme étant des harmoniques de la fondamentale d'un signal ayant une longue période définie par les effets de troncature et de sélection de cellules. Selon la décomposition en série de Fourier (KREYSIG, E., 1999), une raie d'indice n correspond au n^e terme de la série exponentielle de Fourier. Rappelons-nous qu'un tel terme A_n est exprimé par :

$$A_n = \frac{1}{T_{spur}} \cdot \int_0^{T_{spur}} e^{-jn\omega_{spur}t} \cdot Out(t) dt \quad (14)$$

Dans cette équation, le terme $Out(t)$ est le signal de sortie du DDPS, tel que représenté à la figure 11 et le terme ω_{spur} correspond à $\frac{2\pi}{T_{spur}}$. En développant davantage l'équation 14, il est possible de l'exprimer en tant que somme d'intégrales de fonctions unité, délimitées par les instants de transition du signal de sortie :

$$A_n = \frac{1}{T_{spur}} \cdot \left(\int_{T_1}^{T_2} e^{-jn\omega_{spur}t} dt + \dots + \int_{T_{RY-1}}^{T_{RY}} e^{-jn\omega_{spur}t} dt \right)$$

$$A_n = \frac{1}{T_{spur}} \cdot \sum_{k=1}^{\frac{R.Y}{2}} \int_{T_{(2k-1)}}^{T_{2k}} e^{-jn\omega_{spur}t} dt \quad (15)$$

Après intégration, nous obtenons :

$$A_n = -\frac{1}{jn2\pi} \cdot \sum_{k=1}^{\frac{R.Y}{2}} \left(e^{-\frac{jn2\pi \cdot t}{T_{spur}}} \right) \Bigg|_{t=T_{(2k-1)}}^{t=2k} \quad (16)$$

Finalement, l'amplitude d'une raie d'indice n est donnée par :

$$|A_n| = \left| \frac{1}{n2\pi} \cdot \sum_{k=1}^{\frac{R.Y}{2}} \left(e^{-\frac{jn2\pi \cdot T_{2k}}{T_{spur}}} - e^{-\frac{jn2\pi \cdot T_{(2k-1)}}{T_{spur}}} \right) \right| \quad (17)$$

Les amplitudes des raies telles qu'obtenues par la formule 17 peuvent être calculées aisément avec un logiciel tel que MATLAB, en autant qu'on dispose des instants de transition T_i . Regardons maintenant comment faire pour générer ces valeurs pour qu'elles s'insèrent dans le calcul des termes A_n .

Excluant les variations de délai causées par le bruit, bien que ce soit un procédé stochastique qui engendre le mésappariement, la gigue qui résulte de ce mismatch dans un circuit est déterministe. D'un cycle à l'autre, on s'attend donc à être en mesure de prévoir la gigue accumulée en fonction de l'espacement entre la cellule choisie et la dernière cellule choisie. De plus, si l'on considère une ligne à délais sans rétroaction, telle qu'on en retrouve dans un DLL, la gigue est remise à zéro à chaque nouvelle arrivée de front montant à son entrée, plutôt que d'accumuler la gigue du cycle précédent (KIM, B., & WEIGANDT, T.C., GRAY, P.R. , 1994, VAN DE BEEK, R.C.H., & KLUMPERINK,

E.A.M., & VAUCHER, C.S., & NAUTA, B., 2002). Dans un tel cas, la gigue sur une transition i est exprimée par l'équation 18. Il s'agit simplement de la somme des déviations dues au mésappariement des cellules à partir du début de la ligne à délais jusqu'à la cellule d'indice i . Par exemple, la gigue sur la cellule d'indice 4 est la somme des termes m_1 m_2 m_3 et m_4 , les déviations temporelles des 4 premières cellules.

$$J_i = \sum_{n=1}^i m_n \quad (18)$$

La séquence de choix des transitions doit d'abord être déterminée pour la durée totale de la période T_{spur} . Avec cette séquence de sélection, il est possible de déterminer les temps de transition T_i . À titre d'exemple, la figure 19 contient les temps de transition T_i exprimés en nombre de phases lors de l'opération du DDPS sur 16 cellules avec un incrément de $7 + \frac{3}{4}$ phases. La séquence est alors $[0, 7, 15, 22 \dots]$.

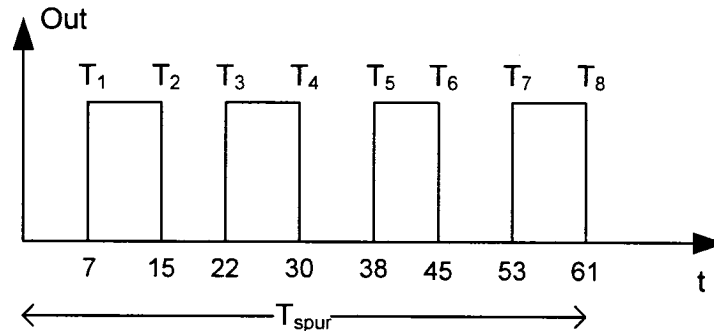


Figure 19 - Exemple lié aux instants de transition T_i

Le but est donc de déterminer les endroits où il y a des transitions dans la valeur du signal Out. Ces valeurs T_i tiennent compte de la troncature, mais doivent également considérer la gigue additionnelle causée par le mésappariement. La troncature s'insère

dans le calcul des T_i par l'utilisation de la fonction $\lfloor \cdot \rfloor$, qui est la fonction plancher retournant la partie entière de son contenu, soit le produit du cycle actuel (i) par le nombre fractionnaire de phases par cycle. Pour ce qui est du mismatch, on ajoute la valeur retournée par l'équation (18). Le résultat est :

$$T_i = \lfloor i \cdot Ph \rfloor \cdot \Delta_{phase} + J_i \quad (19)$$

4.4 ALGORITHME

Pour obtenir le spectre du signal de sortie du DDPS pour une configuration donnée, l'algorithme suivant peut être appliqué :

1. Spécifier les conditions d'opération :
 - a. Fréquence de référence
 - b. Nombre de cellules
 - c. W , X et Y ($Ph = W + X/Y$)
 - d. Vecteur des valeurs de mismatch
2. Calculer les paramètres :
 - a. Période de référence T_{ref}
 - b. Durée d'une phase Δ_{cell}
 - c. Incrément de phase Ph
 - d. Période réelle du signal $T_{mismatch}$
3. Déterminer la séquence de sélection de cellules
4. Déterminer les délais réels en tenant compte du mismatch de chaque cellule en utilisant la formule (13)
5. Déterminer les temps de transition en utilisant la formule (14)

6. Calculer les harmoniques correspondant aux raies à tracer

4.5 FORMULE ANALYTIQUE COMPACTE POUR LES RAIES DUES UNIQUEMENT À LA TRONCATURE

L'algorithme présenté dans la section précédente permet de déterminer toutes les positions et amplitudes des raies du modèle. Dans cette section, une formule analytique plus compacte est présentée, suivant un développement similaire. Cette formule a été présentée en (IZZOUGHAGEN, B., & KHOUAS, A., & SAVARIA, Y., 2004). Elle est plus simple que l'algorithme proposé à la section précédente, mais ne modélise qu'une seule des deux sources de raies identifiées pour le DDPS.

Pour illustrer la dérivation de cette expression analytique, un exemple où le Ph est de 7,625 (7 + 5/8) a été choisi (16 cellules). Dans ce cas, la longueur du cycle de troncature est de $(W \cdot Y + X) = 61$ fois la valeur de la durée d'une phase. Les temps de transition dans ce cycle, tels que déterminés par la séquence de débordement de la fraction de l'accumulateur, sont $T = [7, 15, 22, 30, 38, 45, 53, 61]/61$. En insérant ces valeurs dans l'équation 17, il en résulte l'expression suivante :

$$A_n = -\frac{1}{jn2\pi} \cdot \left(\left(e^{-\frac{jn \cdot 15\pi}{61}} - e^{-\frac{jn \cdot 7\pi}{61}} \right) + \left(e^{-\frac{jn \cdot 30\pi}{61}} - e^{-\frac{jn \cdot 22\pi}{61}} \right) + \left(e^{-\frac{jn \cdot 45\pi}{61}} - e^{-\frac{jn \cdot 38\pi}{61}} \right) + \left(e^{-\frac{jn \cdot 61\pi}{61}} - e^{-\frac{jn \cdot 53\pi}{61}} \right) \right)$$

Après quelques manipulations brièvement survolées ici, l'expression du A_n donnée ci haut peut être réécrite de la façon suivante :

$$\begin{aligned}
 A_n &= -\frac{1}{jn2\pi} \cdot \left(1 - e^{\frac{jn46\pi}{61}}\right) \cdot \left(1 + e^{\frac{jn30\pi}{61}}\right) \cdot \left(1 + e^{\frac{jn60\pi}{61}}\right) \\
 A_n &= \frac{1}{n\pi} \cdot e^{\frac{jn23\pi}{61}} \left(\frac{e^{\frac{jn23\pi}{61}} - e^{\frac{jn23\pi}{61}}}{2j} \right) \\
 &\cdot 2e^{\frac{jn46\pi}{61}} \cdot \left(\frac{e^{\frac{jn46\pi}{61}} + e^{\frac{jn46\pi}{61}}}{2} \right) \cdot 2e^{\frac{jn92\pi}{61}} \cdot \left(\frac{e^{\frac{jn92\pi}{61}} + e^{\frac{jn92\pi}{61}}}{2} \right)
 \end{aligned}$$

Finalement, l'amplitude d'une raie de troncature d'indice n, dans cet exemple, est donnée par l'expression suivante :

$$|A_n| = \left| \frac{4}{n\pi} \cdot \sin\left(\frac{23\pi}{61} \cdot n\right) \cdot \cos\left(\frac{46\pi}{61} \cdot n\right) \cdot \cos\left(\frac{92\pi}{61} \cdot n\right) \right|$$

Effectuer des manipulations similaires sur un nombre d'autres cas a permis à l'auteur de cet article d'en déduire une formule générale décrivant l'amplitude des raies de troncature, qui est énoncé ici. Avec $Y = 2L$, nous obtenons si L est égal à 1 :

$$|A_n| = \frac{1}{n \cdot \pi} \cdot \left| \sin\left(\frac{P \cdot \pi \cdot n}{Ph \cdot 2}\right) \right| \quad (20)$$

Et lorsque $L > 1$, nous obtenons :

$$|A_n| = \frac{2^{L-1}}{n \cdot \pi} \cdot \left| \sin\left(\frac{P \cdot \pi \cdot n}{Ph \cdot 2^L}\right) \cdot \prod_{k=1}^{L-1} \cos\left(\frac{2^k \cdot P \cdot \pi \cdot n}{Ph \cdot 2^L}\right) \right| \quad (21)$$

En (19) et en (20), la valeur de P est déterminée par la longueur d'une séquence dite « quasi-périodique », contenue à l'intérieur même du cycle de troncature. Cette séquence P est représentée par un exemple au tableau 8, où on y voit pour chaque cycle le résidu de l'accumulateur lors de l'accumulation d'une valeur $Ph = 7+5/8$. Par exemple, la deuxième colonne du tableau 2 montre la partie correspondant au reste de l'accumulation du numérateur pour l'exemple où $Ph = 7+5/8$.

Tableau 8 – Séquence du résidu dans l'accumulateur

Cycle	1	2	3	4	5	6	7	8
Reste de l'addition (X)	5	2	7	4	1	6	3	0
Sauts de phase	W	W+1	W	W+1	W+1	W	W+1	W+1
			←	P	→	←	P	→

La troisième ligne du tableau 8 montre le saut de phase pour chaque cycle. Ce saut alterne entre W et $W+1$ phases. La séquence quasi-périodique dans ce cas est de $[W, W+1, W+1]$, représentée par la valeur P . Ceci résulte en une valeur de P qui est $3W+2$, ou 17 dans cet exemple où W est de 5. L'algorithme suivant peut être appliqué pour automatiser le calcul de P , où X et W sont tels qu'à l'équation 7 :

Initialiser P à 0 et Acc à X ;

Tant que Acc est différent de $X-1$ et de $X+1$

$Acc = (Acc + X) \text{ modulo } 2M$;

Si $(Acc < X)$ alors $P = P + (W + 1)$;

Sinon $P = P + W$ --fin du tant que

Retourner P ;

Dans cet algorithme, la valeur P est calculée à l'intérieur de la première quasi-période de la séquence d'accumulation, en commençant par la première itération où $\text{Acc} = X$ et $P = 0$. Après chaque itération, il faut tester si un débordement a eu lieu (à chaque débordement, Acc devient plus petit que X) et à la valeur de P , soit W ou $W+1$ est ajoutée, selon qu'il y ait ou non débordement. L'algorithme se termine lorsque $\text{Acc} = X - 1$ ou $X + 1$.

4.6 VALIDATION DE L'ALGORITHME

Lors de la présentation du principe de fonctionnement du DDPS au chapitre 3, il fut mentionné que la troncature de l'accumulateur de phase et le mésappariement entre les cellules du générateur de phases, en modifiant la cyclicité du signal, sont les deux sources d'harmoniques manifestées sous forme de raies sur le spectre du signal de sortie. La section 4.5 proposait deux moyens de déterminer la position et l'amplitude de ces raies spectrales sans avoir recours à un modèle de simulation du circuit DDPS. Le premier moyen proposé est un algorithme modélisant ces deux sources de raies spectrales. Le deuxième moyen est l'utilisation d'une formule analytique simple et compacte, qui présente toutefois l'inconvénient de ne modéliser parmi les raies que celles étant dues à la troncature. Pour valider ces alternatives à la simulation d'un modèle du circuit DDPS, nous comparons dans cette section les résultats que l'algorithme et la formule compacte permettent d'obtenir avec les résultats issus d'une simulation. Le modèle de simulation du circuit DDPS (Chapitre 3) est réalisé à l'aide de l'outil

SIMULINK de MATLAB. Il est ajusté pour une simulation dans le domaine temporel selon un pas (résolution) d'une picoseconde. La transformée directe de Fourier (DFT) est ensuite appliquée au signal obtenu par simulation, pour observer son spectre dans le domaine fréquentiel.

4.6.1 Méthodologie de validation

Les conditions de test choisies sont les suivantes : une fréquence de référence de 250 MHz et une ligne à délais de 16 cellules. Le mésappariement des cellules de cette ligne à délai varie sans corrélation d'une cellule à l'autre, avec des variations autour de la valeur nominale du délai d'une cellule atteignant jusqu'à 5%. L'incrément de phase Φ est réglé à $7 + 5/8$. Selon la formule spécifiant la fréquence de sortie du générateur DDPS en fonction de ses paramètres de fonctionnement, ces paramètres engendrent une fréquence de sortie de 262,295 MHz (l'équation 6 du chapitre 2). De plus, l'équation 12 permet de calculer le positionnement des raies; elles se situent à des intervalles de 4,098MHz. Cependant, la formule compacte ne considère que les raies de troncature. Toujours selon la formule, celles-ci sont situées à intervalles de 65,57 MHz. Notre stratégie de validation consiste à calculer les harmoniques obtenues par l'algorithme ainsi que par la formule compacte. Comme nous connaissons l'intervalle entre les raies, il nous est possible de comparer l'amplitude des raies obtenues par calcul avec celles apparaissant sur le spectre du signal obtenu par simulation suite à une transformée de Fourier. Ceci fait l'objet de la prochaine sous-section.

4.6.2 Observation des résultats

La prédiction du positionnement des raies se fait en comparant l'allure des raies calculées avec celles du spectre obtenu par simulation. La figure 20 illustre cette comparaison. La partie du haut est issue de la simulation, celle du centre est obtenue avec l'algorithme de calcul et la partie du bas avec la formule compacte.

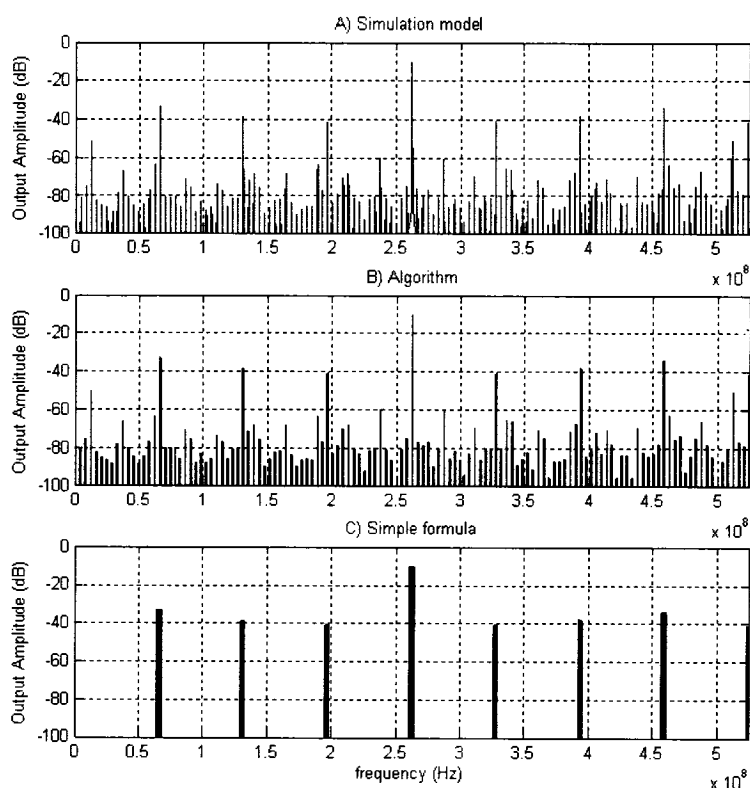


Figure 20 – Comparaison des résultats spectraux

À la figure 20, on observe une correspondance entre les raies respectives, tel que prévu par les équations 6 et 12. En inspectant les raies, on constate que les raies correspondantes ont des amplitudes très similaires, bien que la densité des raies soit

moins élevée lorsque la formule compacte est utilisée étant donné que les raies dues au mésappariement ne sont pas représentées.

Cette absence de mésappariement peut être assimilée à l'hypothèse que l'on fait lorsque l'on suppose la ligne à délais comme étant idéale, c'est-à-dire sans mésappariement. Une telle hypothèse mène à une situation qui fut observée par rapport à une autre catégorie de circuit, le DDS, dans un ouvrage de TOROSYAN, A., & WILSON Jr., A. (2001). Les auteurs ont remarqué que l'effet de la troncature pouvait être isolé et modélisé comme si le reste du circuit était idéal. C'est ce qu'on observe également ici, puisque les amplitudes des raies de troncature respectives sont égales, qu'il y ait présence ou non de mismatch.

Le tableau 9 approfondit la comparaison en cours. Les trois colonnes de droite montrent les résultats des trois méthodes de calcul (simulation complète dans le domaine temporel, algorithme complet et formule simplifiée). La colonne « harmonique » réfère à l'harmonique, par rapport à la fondamentale décrite par l'équation 12. Les lignes ombragées du tableau 9 représentent les raies dues à la troncature. Les autres lignes sont uniquement une partie des autres raies qui apparaissent lorsque le mésappariement est présent. La formule simple et compacte ne peut prédire de telles raies, mais les deux autres méthodes le peuvent.

Tableau 9 – Résultats de comparaison des raies

Harmonique	Simulation (dB)	Algorithme (dB)	Formule simple (dB)
16	-33,252	-33,252	-33,252
32	-38,844	-38,843	-38,843
48	-41,005	-41,003	-41,003
60	-85,984	-86,439	N/A
61	---	-312,615	N/A
62	-81,098	-80,7628	N/A
63	-74,638	-75,162	N/A
64	-10,004	-10,004	-10,004
65	-76,488	-77,098	N/A
66	-79,444	-79,211	N/A
67	-76,736	-76,917	N/A
68	-89,477	-89,972	N/A
80	-41,249	-41,248	-41,246
96	-38,510	-38,509	-38,507
112	-34,465	-34,465	-34,462
128	-41,968	-41,967	-41,963

L'observation de ces résultats montre que les résultats sont pratiquement équivalents d'une méthode à l'autre. Pour toutes les raies spectrales dont l'amplitude excède -70 dB, les différences d'amplitude sont négligeables. Par contre, pour les raies dont l'amplitude est inférieure à -70 dB, certaines différences sont observées. Elles peuvent être dues à la précision des calculs et au plancher de bruit dans les simulations. Par exemple, on remarque que l'harmonique 61 s'annule sur le spectre de simulation, elle n'a donc pas de valeur associée et se fond dans le bruit numérique inhérent à la simulation. Par contre, l'algorithme retourne une valeur de -312 dB, ce qui revient également à dire que la raie est absente. D'autre part les temps de simulation varient largement. À ce sujet, le tableau 10 contient une comparaison des temps de simulation. Comme on le constate, le temps de simulation est d'autant plus long que le dénominateur

de Ph est élevé. La ligne du bas montre qu'une simulation prenant près d'une heure peut être remplacée par des calculs durant moins d'une seconde, par l'utilisation de l'algorithme proposé.

Tableau 10 – Temps de simulation

Ph	Type de spur	Modèle SIMULINK	Algorithme	Formule compacte
$4 + \frac{2}{5}$	Troncature	4,02 min	47 ms	---
	Mismatch	4,02 min	47 ms	---
$7 + \frac{5}{8}$	Troncature	7,52 min	63 ms	31 ms
	Mismatch	7,52 min	63 ms	---
$5 + \frac{13}{32}$	Troncature	59,40 min	469 ms	62 ms
	Mismatch	59,40 min	469 ms	---

*AMD Athlon 2 GHz + 512 MB RAM

4.7 ÉTUDE DES EFFETS DU MÉSAPPARIEMENT

Dans cette section, l'algorithme présenté et validé dans les sections 4.4 à 4.6 est utilisé pour effectuer une série de calculs visant à évaluer l'influence du niveau ainsi que de la distribution du mésappariement (*mismatch*).

4.7.1 Paramètres de l'étude

Le rapport signal à bruit (SNR) sera utilisé comme élément de comparaison entre les diverses configurations de mésappariement à évaluer. Cette métrique se définit comme étant le rapport entre la puissance de la composante spectrale correspondant au signal de sortie, versus la somme de la puissance contenue dans l'ensemble du contenu spectral (en incluant les raies additionnelles dues au mésappariement et à la troncature, considérées comme du bruit). Les paramètres du DDPS servant à cette analyse consistent

en une ligne à délais de 16 phases et une fréquence de référence de 250 MHz. La représentation du mésappariement consiste quant à elle en un vecteur contenant les déviations de chacune des 16 cellules par rapport au délai nominal d'une telle cellule. Le Tableau 11 contient des exemples de vecteurs de mésappariement pouvant être insérés dans notre approche de calcul. Il s'agit de valeurs exprimées en ps représentant la déviation positive ou négative autour d'un délai de cellule nominal de 250 ps.

Tableau 11 – Exemples de vecteurs de mésappariement selon la valeur crête en %

Niveau de mésappariement	Exemples de vecteurs
0% de 250 ps	[0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0]
2% de 250 ps	[4,75 -1,44 -1,63 4,48 -1,85 3,87 4,91 -1,86 -1,78 -3,68 -3,39 2,23 -2,27 4,26 -2,44 -4,18] [-2,33 5,91 0,36 -0,63 -0,89 -0,38 -0,10 1,88 -2,84 -3,65 0,55 4,66 5,31 -1,39 -2,43 -4,03]
10% de 250 ps	[0,80 25,47 12,97 -10,57 20,76 10,24 -14,51 -10,84 9,16 10,30 -2,67 7,56 1,37 -19,00 -19,84 -21,20] [1,24 -13,76 4,80 19,76 -9,76 -12,63 16,22 16,03 -13,61 -13,58 -4,89 14,95 -11,52 3,98 17,17 -14,40]

À partir de ces conditions d'analyse, le rapport signal à bruit a été calculé pour des valeurs d'incrément de phase (Ph) allant de 1 à 16, espacées entre elles de 1/16. Afin de s'assurer qu'une valeur de SNR soit représentative au niveau statistique, celle-ci est calculée à partir d'une moyenne de 100 évaluations utilisant des vecteurs de mésappariement différents. Ces vecteurs sont conçus pour respecter les niveaux de mésappariement conformément aux exemples de vecteurs présentés dans le tableau 11. Pour chaque niveau de mésappariement, il existe donc un ensemble de 100 vecteurs

généralisés aléatoirement. Avant la conversion en dB, une moyenne des 100 SNR est effectuée. Ceci mène à une série de calculs permettant d'obtenir une valeur représentative du SNR pour une valeur donnée de Ph, en fonction d'un taux de mésappariement donné. Ces séries de calculs furent répétées pour des niveaux de mésappariement de type délai idéal (0%) ainsi que des variations de 2% et de 10% crête par rapport à la valeur nominale du temps de délai. Le tableau 12 présente un extrait des résultats de cette étude du SNR, pour les valeurs de Ph allant de 5,75 à 6,25.

Tableau 12 – Résultats du SNR pour diverses conditions de mésappariement et valeurs de Ph

Ph	SNR (dB)		
	0%	2%	10%
5 3/4	16,559	16,548	16,259
5 13/16	16,305	16,295	16,023
5 7/8	16,410	16,400	16,132
5 15/16	16,369	16,360	16,098
6	infini	43,887	29,122
6 1/16	16,392	16,383	16,132
6 1/8	16,485	16,475	16,223
6 3/16	16,480	16,471	16,224
6 1/4	16,831	16,821	16,563

4.7.2 Interprétation des résultats

À partir de l'étude décrite en 4.7.1, une différence importante peut être observée dans le comportement du spectre de sortie, selon que l'incrément Ph prenne une valeur entière ou non. Plus particulièrement, une valeur entière pour Ph signifie qu'il n'y a pas lieu de tronquer des bits moins significatifs de façon à pouvoir adresser la ligne à délais. Dans de tels cas sans troncature, les valeurs du SNR sont nettement plus élevées que dans les cas où il y a présence de troncature. La figure 21 est un graphe reliant les valeurs du

SNR calculées pour des valeurs de Ph allant de 1 à 16 en incréments de 1/16, selon la méthode présentée à la section 4.7.1.

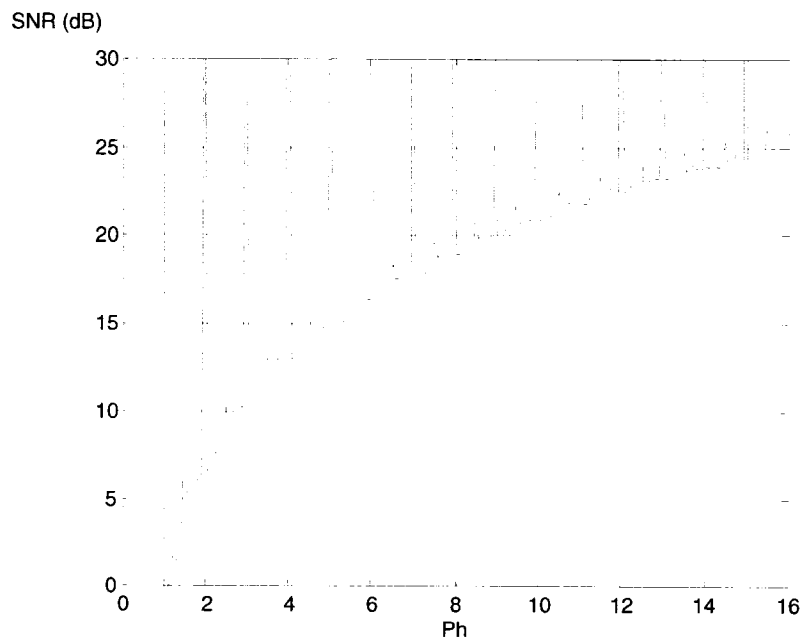


Figure 21 – Valeurs en dB du SNR pour Ph allant de 1 à 16

La figure 21 permet de constater clairement que pour les valeurs entières de Ph, des pics apparaissent sur la courbe. En ce qui concerne la hauteur de ces pics, ils représentent théoriquement une valeur en dB infinie sur la plage 0 à $2 \cdot f_{\text{out}}$ si la ligne à délais est idéale. En effet, l'utilisation d'un Ph entier assure que toutes les transitions du signal de sortie sont à leur position idéale. Autrement dit, l'absence de composante additionnelle au signal résulte en un spectre pur ne contenant pas d'autre composantes spectrales que celles associées au signal généré. Ajouter du mésappariement à cette ligne à délais introduit cependant un niveau de périodicité engendré par la séquence de sélection des cellules, causant l'apparition de raies à intervalles réguliers. De plus, l'amplitude de ces raies est proportionnelle à la quantité de gigue causée par ces cellules

de délai. Il en résulte que le rapport SNR dans le cas des Φ entiers est hautement dépendant du taux de mismatch. Par exemple, l'étude de la section précédente comparant des niveaux de mésappariement de 2% et 10% du délai nominal d'une cellule montre un déclin du SNR de 43,9 à 29,1 dB lorsque Φ est réglé à 6 (Tableau 12).

D'autre part, lorsque Φ contient une composante fractionnaire (ce qui est habituellement le cas car c'est ce qui donne au DDPS sa flexibilité), des spurs de troncature apparaissent dans le spectre du signal de sortie. Puisque celles-ci sont d'amplitude plus élevée que les raies ajoutées par la présence de mésappariement, elles ont tendance à être la composante dont l'influence domine le rapport SNR. Il en résulte que le mésappariement a peu d'effet sur le rapport SNR de la sortie, tant que celui-ci est de niveau faible ou modéré. C'est ce qu'on peut remarquer en comparant les valeurs de SNR calculées pour une ligne à délais idéale (sans mésappariement) avec les valeurs de SNR issues de lignes à délais ayant 2% et 10% de mésappariement; on remarque des différences de moins de 1 dB (tableau 12).

En résumé, les résultats de notre analyse des effets du niveau de mésappariement et de sa distribution sur le spectre du signal produit montrent que pour la plupart des cas d'opération du DDPS (lorsque l'incrément de phase Φ est fractionnaire), le mésappariement a peu d'effet sur le rapport SNR. En effet, l'énergie cumulée dans les raies spectrales additionnelles dues au mésappariement demeure une fraction très petite de l'énergie totale contenue dans le signal. De plus, avec 100 essais pour chaque valeur de Φ , il a été découvert que l'écart type σ sur les valeurs de SNR est très faible. Les distributions de mésappariement générées aléatoirement utilisées pour cette analyse sont

utiles pour établir une base de comparaison commune entre les niveaux de mésappariement. Cependant, dans une implantation du circuit au niveau d'un circuit réel, ce mésappariement aurait tendance à suivre une distribution plutôt du type gradient que purement aléatoire, en raison des propriétés physiques du substrat sur lequel le circuit est gravé. Ce phénomène est représenté schématiquement à la figure 22. L'utilisation d'une distribution de mésappariement comme celle-ci n'influence pas le fait que le bruit de sortie est dominé par les raies dues à la troncature et non par celles dues au mésappariement.

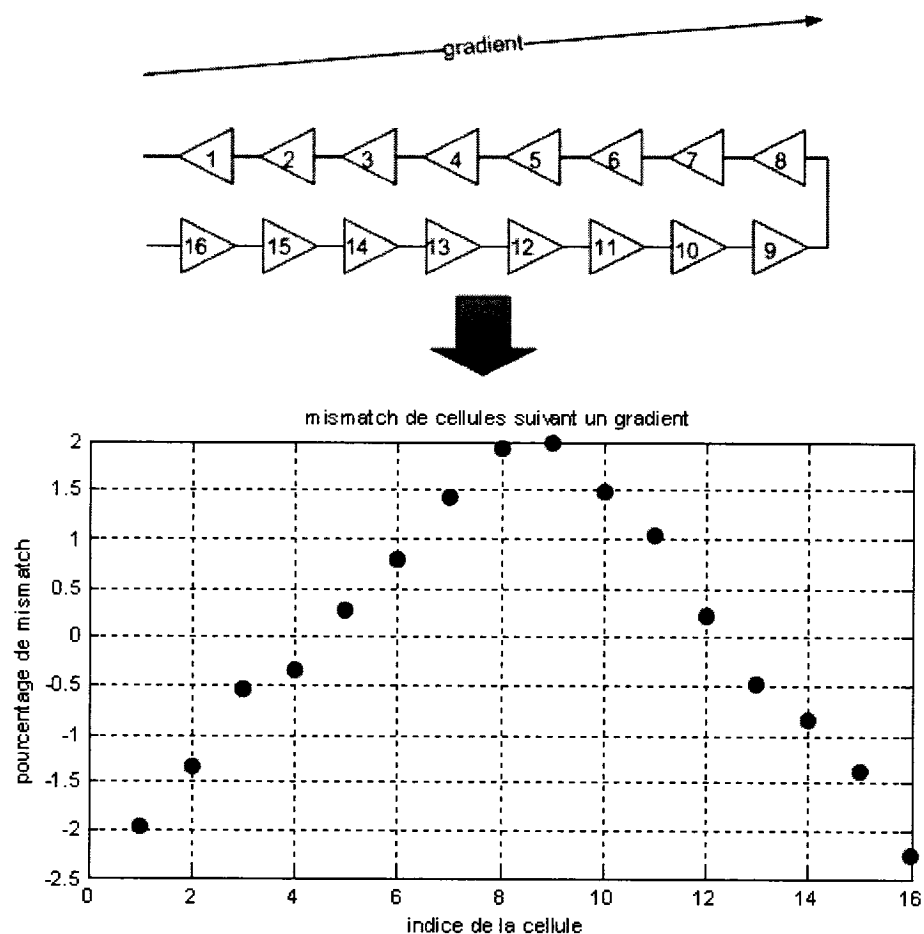


Figure 22 – Mésappariement suivant une distribution en gradient

5 Paramètres de design et amélioration des performances du DDPS

L'étude du fonctionnement du circuit DDPS permet la prédiction du contenu spectral de son signal de sortie en fonction des paramètres du circuit et des conditions d'opération. Le fonctionnement du circuit est présenté au chapitre 2 et une analyse menant à un algorithme de calcul des composantes spectrales fut détaillée au chapitre 4. Suite aux observations des résultats qui y sont décrits, on peut maintenant approfondir l'étude des décisions qui doivent être prises au cours du design d'un circuit DDPS. La section 5.1 se penche sur le choix des paramètres comme le nombre de phases ou la fréquence d'opération.

La troncature du contenu de l'accumulateur, présente lors de la synthèse de la majorité des fréquences synthétisables par un circuit DDPS, est une forme de quantification dans le domaine temporel tirant sa raison d'être dans la nécessité de choisir la transition disponible la plus proche possible de l'instant idéal, tout en respectant la résolution imposée par la ligne à délais. Celle-ci est composée d'un nombre fini de phases également réparties entre elles (chapitre 2). Les erreurs de quantification que ceci engendre sont fortement corrélées entre elles. En effet, ces erreurs suivent un cycle qu'il est facile de déterminer.

Avec le DDPS, cette erreur cyclique se manifeste par des raies spectrales indésirables (Chapitre 3). S'il était possible de briser cette cyclicité, la corrélation dans les termes d'erreur de troncature qui est à l'origine de la présence de spurs disparaîtrait. Les sections 5.2 et 5.3 visent à étudier les moyens d'accomplir cette tâche.

Finalement, la section 5.4 étudie la possibilité d'éliminer les raies spectrales en réalisant un filtre dont la fréquence centrale s'ajuste à la fréquence générée par le circuit. La solution à l'étude est l'ajout d'un PLL à la sortie du circuit DDPS.

5.1 CHOIX DES PARAMÈTRES D'OPÉRATION

Les paramètres du DDPS que nous cherchons à optimiser ici sont :

- Le nombre de phases;
- La fréquence de référence;
- La taille de l'accumulateur.

5.1.1 Choix du nombre de phases

L'analyse qui a été effectuée consiste à modifier le nombre de phases tout en gardant constant le rapport entre la fréquence de sortie et celle à l'entrée F_{ref}/F_{out} (en changeant la valeur de Ph). Pour un même ratio F_{ref}/F_{out} , il est possible de calculer la valeur théorique de son SNR pour un DDPS à 16 cellules, 32 cellules, et ainsi de suite. Il suffit d'appliquer l'algorithme et de calculer la puissance du signal de sortie par rapport à la puissance des autres raies qui apparaissent. Si l'on ne considérait pas l'effet du mésappariement (situation théorique), la figure 23 montre qu'il serait possible d'augmenter constamment le SNR en ajoutant des cellules. En effet, les courbes de la figure 23 relient des points exprimant le même ratio F_{ref}/F_{out} mais avec des nombres de cellules indiqués en abscisse. Certaines courbes divergent hors de la portée du graphe; il s'agit des cas où Ph est devenu un entier lorsque l'on cherche à garder F_{ref}/F_{out} constant

et que le nombre de cellules est doublée (exemple $Ph = 11,5$ à 16 cellules $\rightarrow Ph = 23$ à 32 cellules).

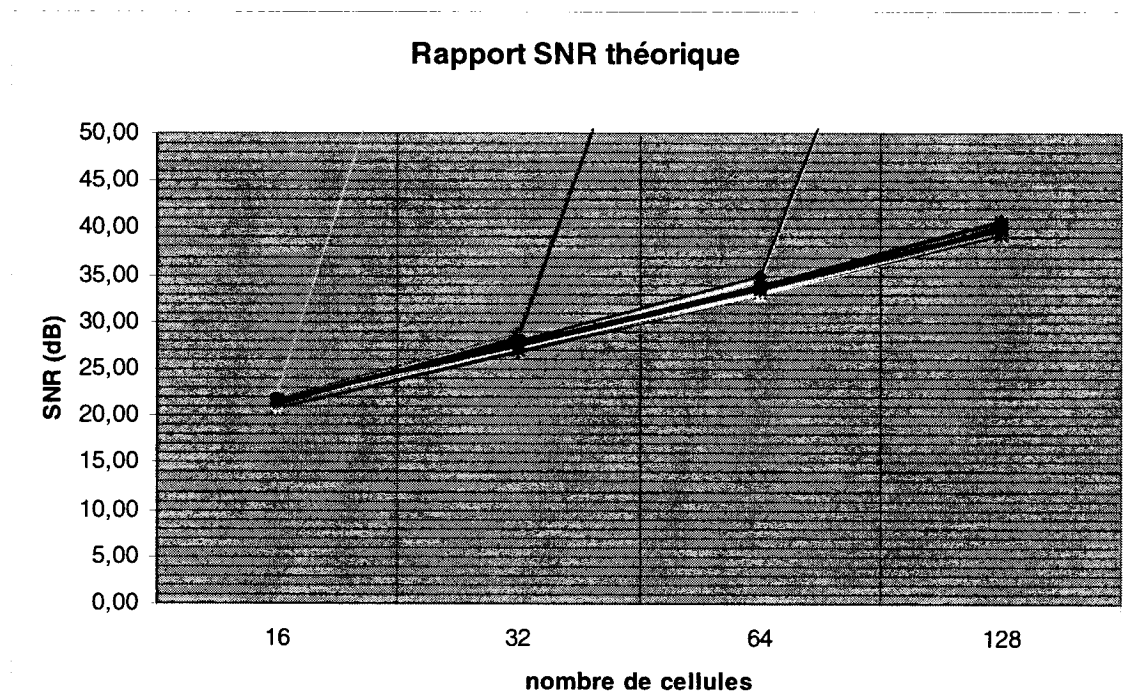


Figure 23 - Rapport SNR théorique selon le nombre de cellules (courbes servant uniquement à relier les points calculés)

En réalité cependant l'effet du mésappariement implique une situation différente de celle évoquée par la figure 23. La figure 24 montre ce qui se passe lorsqu'un DDPS opérant à 250MHz est soumis à des mésappariements pouvant aller jusqu'à 12,5 ps autour de la valeur nominale de la valeur de ses délais. Il va sans dire qu'une valeur de 12,5 ps prendra de plus en plus d'importance en augmentant le nombre de cellules, étant donné que son pourcentage en fonction de la valeur nominale de chaque délai augmente. À la figure 24, on constate qu'on peut espérer augmenter le rapport SNR en augmentant le nombre de cellules jusqu'à 64. La conclusion est qu'il existe un nombre optimal de

cellules et que l'utilisation de l'algorithme permet de choisir le nombre de cellules en fonction de la précision prévue du délai de celles-ci.

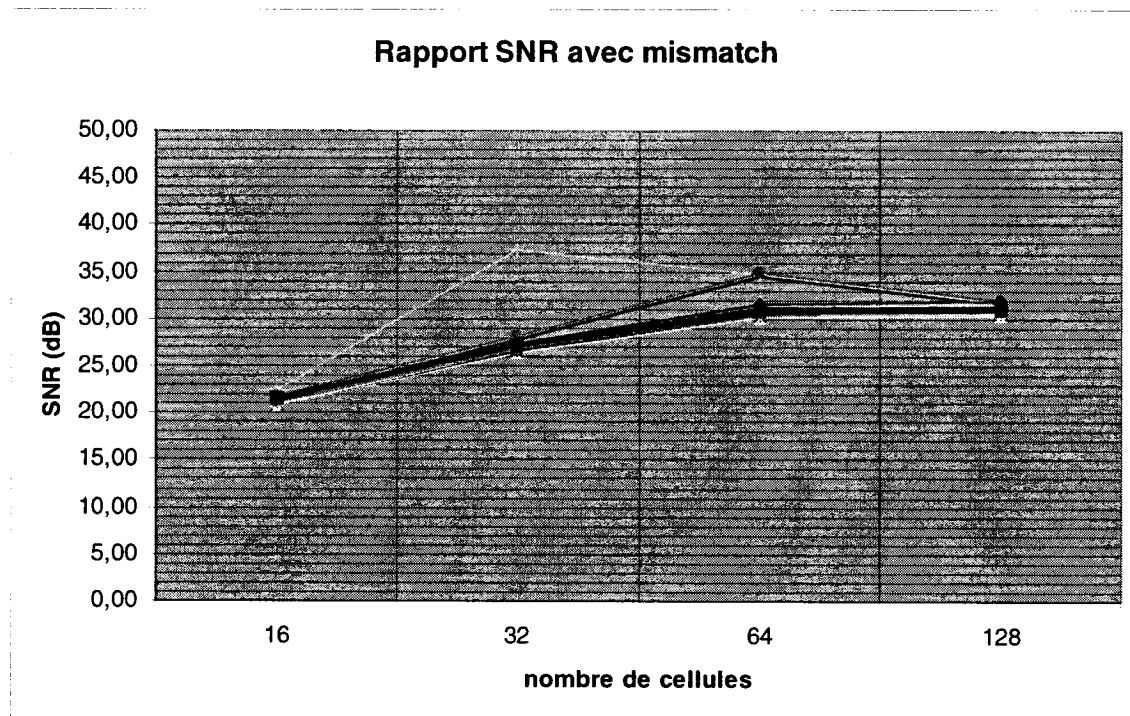


Figure 24 - Rapport SNR en intégrant l'effet du mésappariement (courbes servant uniquement à relier les points calculés)

5.1.2 Choix de la fréquence de référence

Pour une fréquence de sortie donnée, deux méthodes se démarquent pour augmenter la valeur de Ph : 1) augmenter le nombre de phases et/ou 2) augmenter la fréquence de référence. L'équation de la fréquence de sortie (3) montre bien que l'une ou l'autre solution a pour effet de permettre l'utilisation d'une valeur plus élevée pour Ph . À titre d'exemple, le tableau 13 montre la comparaison entre deux DDPS opérant avec la même valeur pour Ph . La différence entre les deux cas est que la fréquence de référence

F_{ref} et le nombre de cellules N_{cells} ont été changés, tout en gardant le ratio F_{out}/F_{ref} constant.

Tableau 13 - Comparaison de DDPS opérant au même Ph

Ph	16 cellules, 500 MHz		32 cellules, 250 MHz	
	SNR (dB)	Écart-type (dB)	SNR (dB)	Écart-type (dB)
3 + 3/4	12,951	0,008	12,941	0,015
3 + 25/32	12,640	0,008	12,630	0,014
3 + 13/16	12,667	0,008	12,657	0,014
3 + 27/32	12,700	0,008	12,690	0,014

Les résultats du tableau 13 sont tirés de moyennes de 100 essais effectués avec des distributions aléatoires du mésappariement, respectant un niveau allant jusqu'à 2% de fluctuation autour de la valeur nominale du délai d'une cellule. Utilisant l'algorithme proposé, ces calculs peuvent être effectués de manière relativement rapide. La conclusion de ces résultats est que le fait d'augmenter F_{ref} ou d'augmenter N_{cells} donnent des résultats sensiblement identiques au niveau du rapport SNR. Cependant, il est plus difficile d'équilibrer un grand nombre de cellules à délais, et l'écart type est sensiblement plus élevé avec un nombre accru de cellules. Augmenter la fréquence F_{ref} peut donc être une solution préférable lorsque possible.

5.1.3 Taille de l'accumulateur

Le nombre de bits dans l'accumulateur détermine la proximité maximale qu'il est possible d'obtenir entre le signal et sa plus proche raie spectrale due à la troncation (déterminée par l'équation 13). Le nombre de bits est donc lié à la valeur maximale pour

la valeur de Y dans l'équation 7. Par exemple, avec 12 bits, Y peut atteindre la valeur 4096.

Il peut exister des applications où la proximité fspur de la première raie spectrale est une spécification. Par exemple, supposons une application où l'on sait que le signal sera filtré selon une largeur de bande de 100 kHz. Il est possible que dans une telle application on s'aperçoive qu'il est inutile d'avoir un accumulateur de plus de 10 bits car une précision plus élevée sur la fraction introduirait des raies dans la bande passante.

Par conséquent, le choix de la taille de l'accumulateur se fait en fonction des paramètres de design liés à l'espacement désiré entre les raies spectrales.

5.1.4 Généralisation sur le choix de la valeur Ph

Observons premièrement la progression du rapport SNR avec l'augmentation de l'incrément de phase Ph qui a été présentée à la figure 21. Concentrant notre attention sur les cas avec présence de troncature (i.e. entre les pics), nous remarquons une certaine tendance qui indique que l'utilisation de valeurs plus élevées pour Ph résulte en de meilleures valeurs pour le SNR. De plus, doubler la valeur de Ph (lorsque l'on reste en présence de troncature) a pour effet de doubler (ajouter 6 dB à) la valeur du SNR. Par exemple $5 + 7/8$ correspond à un SNR de 16,40 dB, alors que $11 + 3/4$ correspond à un SNR de 22,64. Ce comportement est constant à travers la plage de Ph testée. Lorsque doubler la valeur de Ph engendre une valeur entière, l'amélioration du SNR est encore meilleure, bien qu'elle présente une forte dépendance au niveau de mésappariement, tel que décrit à la section précédente.

5.2 AJOUT DE BRUIT À L'AIDE D'UN LFSR

Comme mentionné dans l'introduction de ce chapitre, il est intéressant de se pencher sur des techniques permettant de briser la périodicité de la séquence de sélection des phases. Le but d'une telle pratique est de disperser l'énergie concentrée sur des pointes correspondant aux raies spectrales sur une plus large bande où un bruit de niveau inférieur se substitue à ces raies. La solution étudiée dans la présente section est l'ajout de bruit aléatoire à la séquence de sélection de phases. On réfèrera à une telle technique sous le terme en anglais « *dither* » (REINHARDT, V., & SHAHRIARY, I., 1989). Le circuit choisi pour l'ajout de ce bruit est le LFSR, présenté au chapitre 2.

Rappelons-nous que le contenu du LFSR peut être vu comme une fraction variant entre 0 et 1, avec une valeur moyenne de 0,5. Pour jumeler le LFSR au DDPS, son contenu est additionné à la fraction déjà présente dans l'accumulateur sous forme des bits moins significatifs (LSB) avant que ne s'effectue la troncature. De cette façon, le bruit aléatoire n'est pas accumulé, tout en influençant la sélection de la phase. De cette façon, la sortie de l'accumulateur est décalée en moyenne de $\frac{1}{2}$ phase, et la périodicité dans la sélection des phases disparaît à toute fin pratique. La figure 25 représente schématiquement le circuit résultant pour cette technique de *dither*.

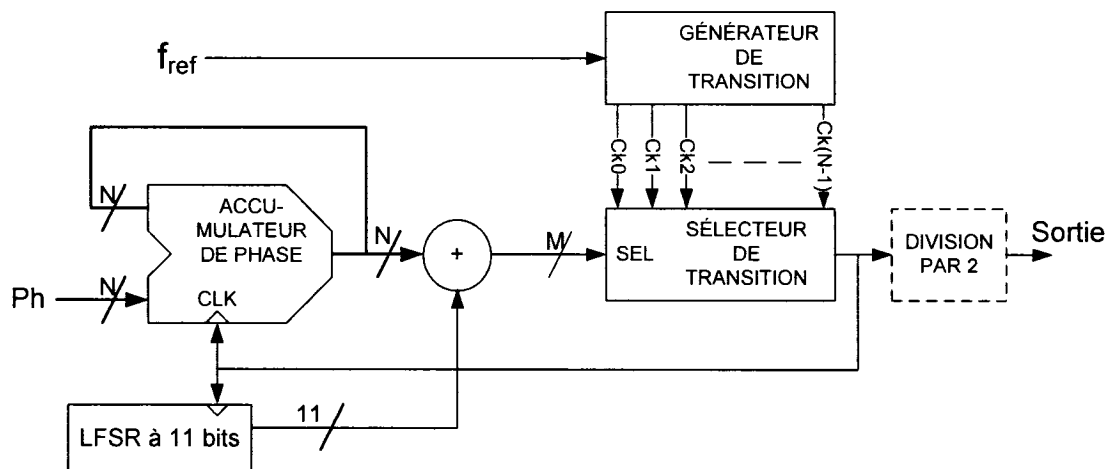


Figure 25 – Circuit issu du jumelage entre un LFSR et le DDPS

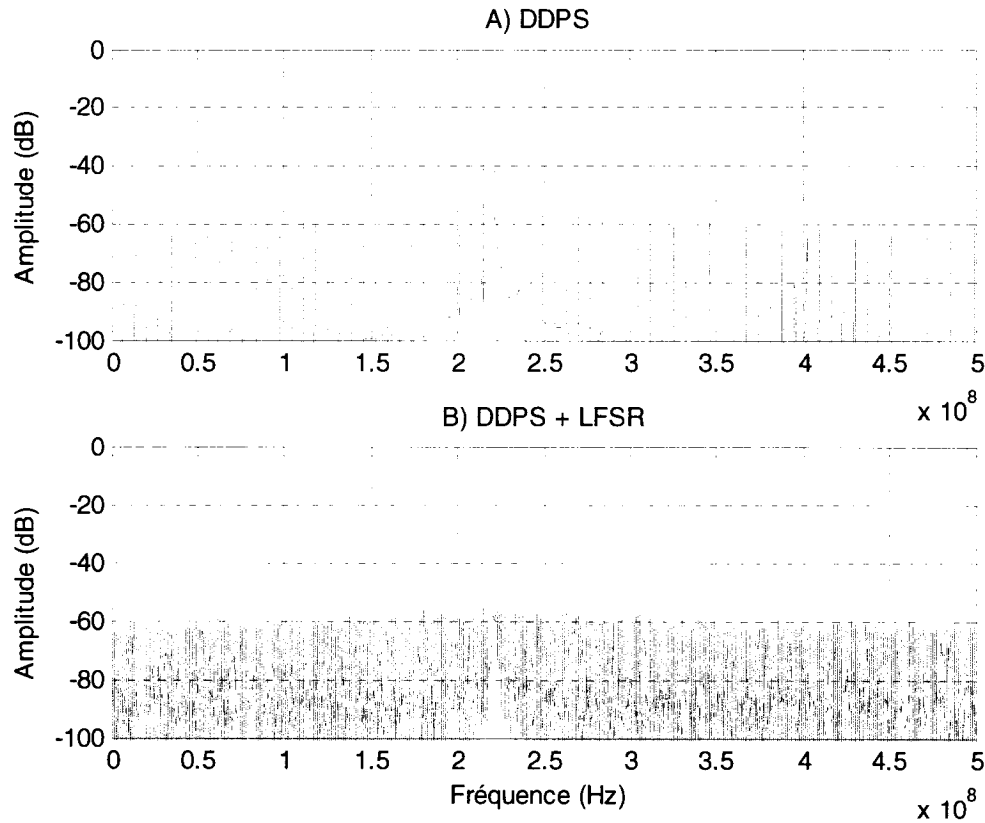


Figure 26 - Amélioration spectrale suite à l'ajout de bruit avec un LFSR

La figure 26 montre le résultat de l'ajout d'un LFSR au modèle de simulation présenté à la section 3.2. On y voit la comparaison entre le spectre de sortie habituel (27A) et le spectre suite à l'ajout de bruit aléatoire via un LFSR de 11 bits (27B). L'exemple choisi consiste en un DDPS de 16 cellules opérant à 250 MHz, avec un Ph de $9 + 1/64$. Cette valeur de Ph où une fraction plutôt petite s'ajoute à un entier exprime bien les cas limites où des raies de troncature, les plus déterminantes dans l'expression du SNR, se retrouvent en quantité importante et de façon rapprochée à la fréquence produite. Étant donné la longue cyclicité d'un DDPS opérant dans ces conditions, le modèle fut simplifié en fixant le pas de simulation à la valeur d'une phase de la ligne à délais. Conséquemment, les raies dues au mésappariement sont omises de cette analyse et le

temps de simulation ramené à une valeur raisonnable par rapport à une simulation où une phase de la ligne à délais était d'une centaine ou plus de pas de simulations. Ce gain de deux ordres de grandeur sur la complexité du modèle permet néanmoins d'observer l'effet de brouillage dans la sélection des phases sur le spectre obtenu.

La quantification de la sortie de l'accumulateur du DDPS fait normalement en sorte que la séquence de sélection de phases alterne de façon cyclique entre des sauts de N ou $N+1$ phases. La solution consistant en l'addition de bruit aléatoire s'avère efficace pour briser cette périodicité. Cependant, il existe un compromis qui est l'accroissement du plancher de bruit, comme le montre la figure 26B. Les raies adjacentes au signal, qui sont souvent les plus aptes à avoir une influence néfaste, sont passées d'environ -35dB à environ -55dB, ce qui dénote une nette amélioration.

5.3 AJOUT DE BRUIT PAR MODULATION DELTA SIGMA

Une autre technique visant à briser la périodicité de la séquence de sélection des phases est la modulation delta sigma. Ce type de modulateur est présenté au chapitre 2. On retrouve à la figure 27 ce modulateur intégré à l'architecture du DDPS. Il génère sur trois bits une valeur fluctuant d'un cycle à l'autre mais dont la moyenne dans le temps est liée à la valeur (fixe) qu'on lui présente à l'entrée. Il est utilisé pour représenter une fraction, qui lui est soumise avec une précision de 12 bits à son entrée. Cette fraction correspond à la composante fractionnaire de Φ . La sortie du modulateur est additionnée à la composante entière de Φ avant que la somme de ces deux composantes soit présentée à l'accumulateur du circuit DDPS.

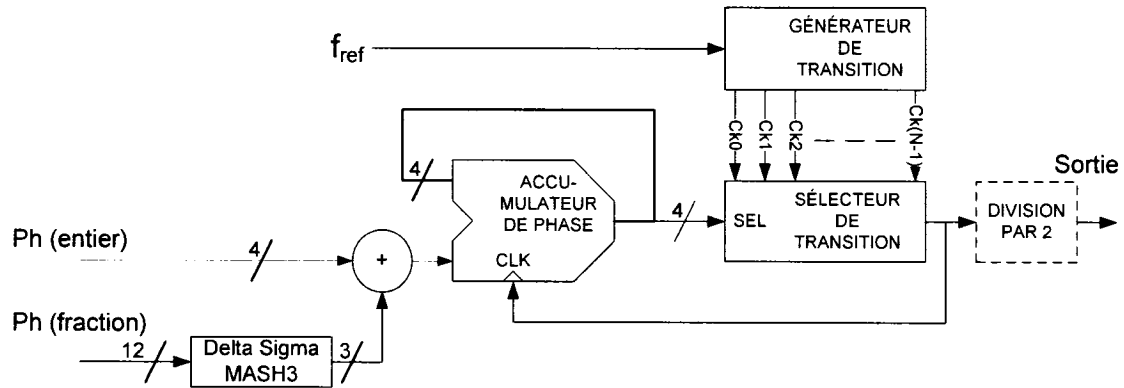


Figure 27 – Jumelage entre le DDPS et un modulateur delta sigma

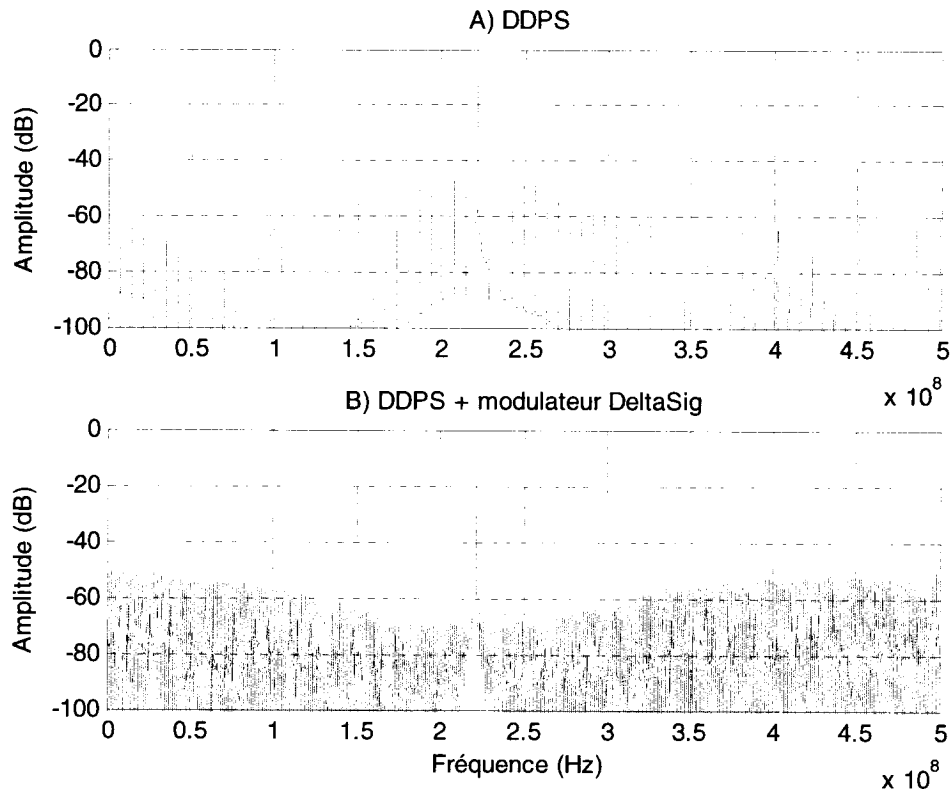


Figure 28 - Amélioration spectrale suite à l'ajout d'un modulateur Delta Sigma

La figure 28 montre l'effet de l'ajout d'un modulateur delta-sigma au modèle SIMULINK. On peut y comparer le spectre de sortie du circuit non modifié (29A) avec le spectre du circuit comportant modulateur delta-sigma multi étages d'ordre 3 (MASH3,

29B). L'exemple choisi, à fin de comparaison avec le LFSR, est un DDPS de 16 cellules opérant à 250 MHz, avec un Ph de $9 + 1/64$. Il permet de comparer l'allure du spectre pour ce type de cas où une faible fraction s'ajoute à un entier, causant des raies de troncature rapprochées de la fréquence produite. Pour ce qui est du modèle de simulation, il s'agit comme dans le cas du LFSR, d'un modèle simplifié pour accélérer le temps de calcul en excluant les raies dues au mésappariement. Ceci permet de gagner deux ordres de grandeur sur la complexité du modèle, tout en permettant d'observer l'effet de la modulation de la sélection des phases sur le spectre obtenu.

La quantification de la sortie de l'accumulateur du DDPS fait normalement en sorte que la séquence de sélection de phases alterne de façon cyclique entre des sauts de N ou N+1 phases. La solution consistant en l'ajout d'un modulateur delta-sigma s'avère efficace pour briser cette périodicité. Cependant, il existe un compromis qui est l'accroissement du plancher de bruit, comme le montre la figure 28B. Contrairement à la solution de l'ajout de bruit aléatoire observée à la figure 26B, on remarque que le modulateur a un effet de modelage sur le bruit, (i.e. il atténue davantage le bruit pour les fréquences rapprochées, et moins pour les fréquences éloignées). Cette solution, bien que techniquement plus complexe que l'ajout d'un simple LFSR, peut s'avérer avantageuse lorsque l'on cherche à minimiser les raies adjacentes au signal; tous paramètres confondus, les raies produites sont encore plus faibles que lors de la simulation présentée à la figure 26. Les raies des environs du signal, qui avaient été atténuées d'environ -35dB à environ -55dB, se retrouvent maintenant à -65dB.

5.4 FILTRAGE PAR LA MÉTHODE DE PLL

Le circuit DDPS produit un signal pouvant être ajusté suivant une résolution élevée, tout en présentant l'avantage d'avoir une faible gigue. Cependant, son contenu spectral est plutôt élevé, en majeure partie dû à la quantification du contenu de l'accumulateur ainsi qu'au mismatch analogique entre les phases, comme l'a montré notre analyse spectrale du chapitre 4. Cette présente section introduit une technique permettant de réduire les raies à des amplitudes négligeables lorsqu'elles tombent hors de la bande passante naturelle d'un PLL utilisé comme filtre de sortie.

5.4.1 Principe et application au DDPS

La sortie du DDPS est caractérisée au niveau de son spectre par des raies dont les positions peuvent être prédites en raison de la nature déterministe du signal. Pour purifier ce spectre, on cherche ici à passer le signal à travers un filtre. Considérant la plage élevée de valeurs de fréquences permises par le DDPS, un filtre avec des paramètres statiques n'est pas convenable. Un PLL permettra cependant un filtrage selon des propriétés de bande passante constantes sur sa plage de réglage en fréquence. En verrouillant un filtre PLL à la sortie du DDPS, la fréquence centrale du filtre suivra la fréquence du signal de sortie. Toute composante spectrale (raie) se trouvant hors de la bande passante du filtre sera atténuée. Il existe un compromis qui consiste en la perte d'une propriété intéressante du DDPS; celle de pouvoir changer instantanément la fréquence. Le temps requis pour un changement de fréquence devient dépendant de la bande passante du PLL de sortie; les propriétés d'un PLL faisant en sorte qu'une bande passante plus étroite demande un

temps d'acquisition de fréquence plus long. Une bande passante suffisamment large doit donc être allouée pour respecter d'éventuelles contraintes au niveau du temps de changement de fréquence. Cependant, elle laissera davantage de composantes spectrales se propager.

Le DDPS, comme présenté au chapitre 2, nécessite un diviseur par deux comme étape de sortie. Ce diviseur est nécessaire pour convertir les impulsions produites par le sélecteur de transitions en un signal d'horloge ayant un rapport cyclique de 50%. En revanche, lors de la synchronisation avec un PLL muni d'un détecteur de phase, cette contrainte sur le rapport cyclique peut être relâchée. Modifier le circuit DDPS pour produire des impulsions assez longues pour que le détecteur de phase du PLL s'y verrouille permet d'éliminer la présence du diviseur par 2. Cette modification peut consister en l'ajout de délais dans le sélecteur de transitions. Le circuit résultant est montré à la figure 29. La modification par rapport au DDPS étudié est symbolisée par l'ajout d'un élément qui produit des impulsions de forme déterminées précédant le PLL.

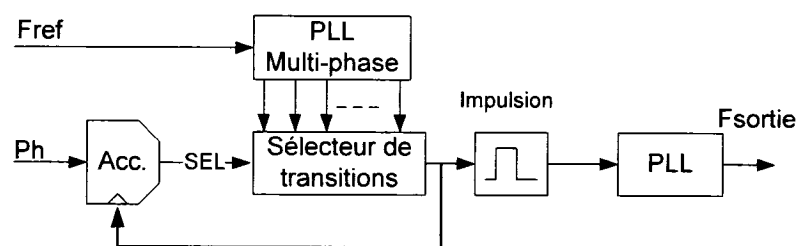


Figure 29 – PLL synchronisé au circuit DDPS

Ce circuit présente également des similarités avec l'architecture à double boucle (AYTUR, T., & KHOURY, J., 1997). Cependant, nous conservons ici la faible gigue du circuit DDPS et le changement de fréquence instantané pour le premier étage.

En libérant le circuit de son diviseur de sortie, la valeur de la fréquence de sortie est optimisée. Avec exactement les mêmes éléments de circuit, de plus hautes fréquences sont rendues possibles. Le segment critique reste le même et est équivalent au temps requis pour mettre à jour l'accumulateur et choisir la prochaine phase. Par contre, le même mot de contrôle Ph produit maintenant une fréquence de sortie étant deux fois plus élevée. Conséquemment, pour une même fréquence de sortie, la contrainte sur le chemin critique est réduite de moitié. Dans la prochaine section, la modification introduite ici est comparée avec un DDPS ordinaire, nécessitant un PLL multiplicateur par 2 pour produire la même fréquence de sortie.

5.4.2 Résultats de simulation

Les modèles de DDPS furent simulés dans le domaine temporel en utilisant un modèle SIMULINK, et ensuite convertis dans le domaine fréquentiel à l'aide de la fonction FFT de Matlab. La figure 30 montre une comparaison entre le spectre du signal de sortie avec ou sans un PLL verrouillé à la sortie du DDPS. Les paramètres choisis pour cette simulation consistent en une référence de 400MHz et un mot d'incrément de phase Ph de $7 + 1/64$ phases sur un total de 16 phases. Ceci résulte en une fréquence de sortie de 456,125 MHz et des *spurs* distantes de 891 Hz. Le spectre du bas de la figure 30 montre une forte atténuation de l'amplitude des raies spectrales lorsque le PLL est utilisé.

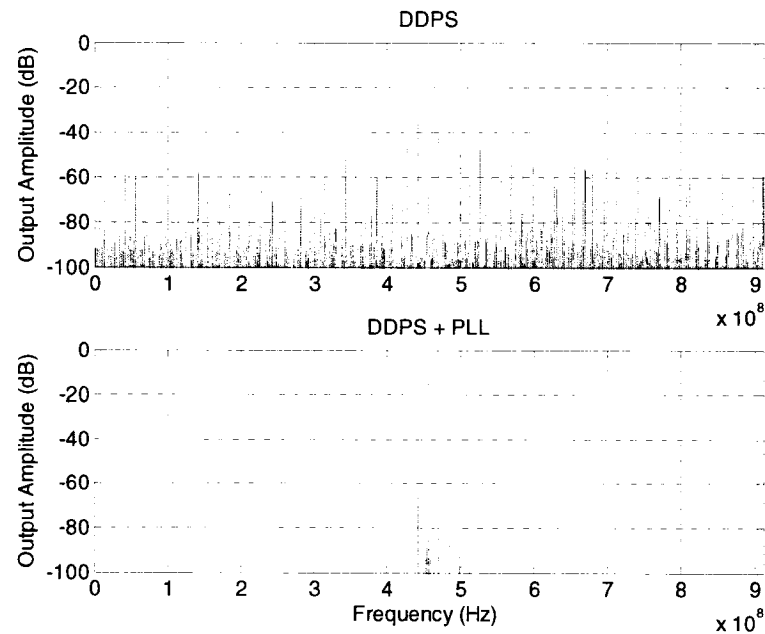


Figure 30 – Amélioration du spectre par la technique du PLL

Le spectre issu de l'amélioration par la technique du PLL semble très intéressant en raison de l'atténuation des raies à proximité de la fréquence produite et de l'élimination des raies en dehors de la bande passante du PLL. Cependant, il ne faut pas perdre de vue que l'on sacrifie un avantage majeur du circuit DDPS sur les techniques de synthèse indirecte, soit sa capacité de changer de fréquence de façon instantanée. De plus, ce circuit nécessite une part de conception analogique additionnelle et les raies qui subsistent sont très difficiles à éliminer.

6 Conclusion

Le développement de la microélectronique, notamment dans le domaine des réseaux sans fil et de la télévision numérique, a entraîné une forte demande pour des circuits de synthèse d'horloge de haute performance, entièrement intégrés sur une puce et de faible coût. L'horloge servant à synchroniser ces circuits doit souvent être produite à partir de la multiplication par un rapport fractionnaire exact d'une horloge globale de référence. Diverses techniques de synthèse de fréquence sont en mesure d'établir ce rapport fractionnaire. Elles introduisent néanmoins un bruit découlant de leur principe de fonctionnement et nuisant aux performances, tant au niveau temporel qu'au niveau du spectre fréquentiel.

Le circuit de synthèse numérique de phase (DDPS) fut l'objet de cette étude. Son principe de fonctionnement, relativement simple, repose sur la décomposition en phases également espacées d'une horloge de référence. Par la sélection de ces phases, une horloge de sortie est construite. Le rapport entre les fréquences de l'horloge produite et de celle à l'entrée peut être fractionnaire, et il est possible d'obtenir une excellente précision sur ce rapport. Cette technique a l'avantage de présenter une faible gigue temporelle. En effet, l'écart entre les oscillations de l'horloge produite et les oscillations d'un signal idéal est environ équivalent à l'espacement entre deux phases, c'est-à-dire une fraction de la période de l'horloge d'entrée.

Une étude approfondie de ce circuit fut exécutée. Avant cette étude, la visualisation du spectre fréquentiel nécessitait la simulation temporelle avec un modèle

SIMULINK, suivie d'une analyse fréquentielle sur ce résultat de simulation, selon la fonction de la transformée rapide de Fourier (FFT). Cette technique demande un temps de calcul très élevé. Les travaux présentés ici ont permis d'établir un modèle analytique pouvant prédire la position ainsi que l'amplitude des raies spectrales indésirables dues aux deux causes majeures de bruit du circuit DDPS.

Ce premier volet de la recherche a permis de caractériser aisément les performances spectrales en fonction des paramètres d'opération. Le deuxième volet de cette recherche fut de s'attaquer au fait que ce spectre fréquentiel ne soit pas pur, par la proposition d'améliorations au circuit. L'objectif était de produire une horloge à haute fréquence qui soit une fraction exacte de l'horloge de référence, tout en ayant le minimum d'étalement spectral.

Suite aux analyses montrant que des deux sources de bruit principales du circuit DDPS (le mésappariement entre les phases d'horloge et la troncation des bits de l'accumulateur de phase), c'est la troncation qui a un effet déterminant sur la puissance du bruit total à la sortie, le deuxième volet fut axé sur l'atténuation des raies dues à cette source de bruit.

Les méthodes explorées furent celles visant à briser la périodicité du cycle de sélection des phases, avec des techniques adaptées d'autres applications, comme l'utilisation de la modulation delta-sigma ou l'ajout de bruit aléatoire. Celles-ci n'avaient jamais été vérifiées pour le circuit DDPS. Une autre solution explorée fut l'emploi d'une boucle de verrouillage de phase (PLL), caractérisée par une bande passante restreinte. En synchronisant la sortie du circuit DDPS à un PLL, toute composante spectrale n'entrant

pas dans la bande passante est filtrée, améliorant ainsi la réponse en fréquence. En atténuant les composantes spectrales hors bande, le spectre de l'horloge produite s'approche davantage de celui d'une sinusoïde idéale.

Les résultats de simulation présentés au chapitre 5 permettent de valider la faisabilité des solutions retenues. L'ajout de bruit aléatoire, que ce soit avec le LFSR ou le modulateur Delta-Sigma, a permis d'abaisser le niveau des composantes spectrales, surtout dans les alentours de la fréquence produite. De ces deux solutions, c'est les LFSR qui est le plus simple à implanter; il s'agit d'une simple chaîne à décalage munie de fonctions de rétroaction XOR. Le modulateur Delta-Sigma est d'une complexité accrue, mais permet d'abaisser de quelques décibels additionnels le niveau de bruit à proximité de la raie centrale.

Pour ce qui est de l'emploi d'une boucle à verrouillage de phase de type PLL, c'est surtout en s'éloignant de la fréquence produite qu'on observe l'effet le plus marqué. Étant naturellement muni d'une certaine largeur de bande, il atténue certes l'amplitude des raies situées près de la fréquence centrale, mais les raies disparaissent à toutes fins pratiques à mesure que l'on s'en éloigne. Contrairement aux deux autres solutions présentées, il s'agit d'une composante analogique que l'on ajoute au circuit DDPS. Elle peut être plus coûteuse à implanter en termes d'espace et de consommation. De plus, le temps de transition d'une fréquence à l'autre, qui est instantané avec le DDPS, doit maintenant être soumis au temps de verrouillage du PLL.

En ce qui a trait aux travaux futurs qui pourraient faire suite à cette étude du circuit DDPS, il serait intéressant de se pencher sur la possibilité d'obtenir un circuit de

synthèse de fréquence entièrement numérique et constitué de cellules normalisées. Un tel circuit limiterait l'intervention lors de la conception et pourrait faire appel aux progrès des logiciels de placement et routage. Le circuit DDPS pourrait ainsi inspirer de nouvelles architectures de synthèse de fréquence pour des applications nécessitant une fréquence ajustable.

Références

ALFKE, P. (1996), Efficient Shift Registers, LFSR Counters, and Long Pseudo-Random Sequence Generators, *Xilinx Application Note XAPP 052 July 7, 1996 (Version 1.1)*.

AYTUR, T., & KHOURY, J. (1997), Advantages of Dual-Loop Frequency Synthesizers for GSM Applications, *Circuits and Systems, ISCAS*, (Vol. 1, 17 – 20).

BEST, R.E. (1984), *Phase-locked loops : theory, design, and applications*, New York : McGraw-Hill.

CALBAZA, D.E., & SAVARIA, Y. (2000a), A direct digitally delay generator, *CAS 2000 International Semiconductor Conference Proceedings*, (Vol. 1, pp. 87-90).

CALBAZA, D.E., & SAVARIA, Y. (2000b), Direct digital frequency synthesis of low-jitter clocks, *Proceedings of the 2000 IEEE custom integrated circuits conference*, pp. 31-34.

CALBAZA, D.E., & SAVARIA, Y. (2002), A direct digital period synthesis circuit, *IEEE Journal of Solid-State Circuits*, 37(8), 1039-1045.

CURTICAPEAN, E., & NIITTYLAHTI, J. (2003), Exact analysis of spurious signals in direct digital frequency synthesizers due to phase truncation, *Electronics Letters*, 39 (6), 499-501.

DRURY, G. (2001), *Coding and modulation for digital television*, Boston : Kluwer Academic Publishers.

EL SHEIKH, M., HAFEZ, A. (2003), Phase mismatch in Phase Switching Frequency Dividers, ICM 2003, pp. 106-109

FISCHER, W. (2004), *Digital television : a practical guide for engineers*, Berlin : Springer.

GARDNER, F.M. (1980), Charge-Pump Phase-Lock Loops, *IEEE Transactions on Communications* (Vol. COM-28, No. 11, pp. 1849-1858).

GOLDBERG, B. (1996), *Digital techniques in frequency synthesis*, New York: McGraw-Hill.

IZZOUGHAGEN, B., & KHOUAS, A., & SAVARIA, Y. (2004), Spurs modeling in direct digital period synthesizers related to phase accumulator truncation, *Proceedings of the 2004 International Symposium on Circuits and Systems, ISCAS '04*, (Vol. 3, pp. 389-92).

JENQ, Y.C. (1988), Digital spectra of nonuniformly sampled signals. II. Digital look-up tunable sinusoidal oscillators, *IEEE Transactions on Instrumentation and Measurement*, 37 (3), 358-362.

JOHN, M., & SMITH, S. (1997), *Application-Specific Integrated Circuits (ASICs... the book)*, Addison-Wesley. Consulté le 29 juin 2007, tire de EDACafé.com: <http://www.edacafe.com/books/ASIC/>

JOHNS, D.A., MARTIN, K. (1997), *Analog Integrated Circuit Design*, John Wiley & Sons.

KIM, B., & WEIGANDT, T.C., GRAY, P.R. (1994), PLL/DLL system noise analysis for low jitter clock synthesizer design, *Proceedings of the 1994 International Symposium on Circuits and Systems*, (Vol. 4, 31-34).

KREYSIG, E. (1999), *Advanced engineering mathematics* (8^e éd.), New York: Wiley.

KROUPA, V.F. (1993), Discrete spurious signals and background noise in direct frequency synthesizers, *Proceedings of the 1993 IEEE International Frequency Control Symposium*, pp. 242-250.

KROUPA, V.F. (1998), *Direct Digital Frequency Synthesizers*, IEEE Press.

KROUPA, V.F. (2003), *Phase lock loops and frequency synthesis*, Chichester, England : Wiley.

MATLAB (1992), *The Student edition of MATLAB: student user guide*, Englewood Cliffs, NJ: Prentice Hall.

McCUNE, E. (1993), Digital Frequency Synthesizer And Method With Vernier Interpolation, *Brevet américain US 5247469*. Washington, DC: U.S. Patent and Trademark Office. Consulté sur freepatentsonline: <http://www.freepatentsonline.com/5247469.htm>

MUER, B. (2003), *CMOS fractional-N synthesizers : design for high spectral purity and monolithic integration*, Boston: Kluwer Academic Publishers.

NICHOLAS, H.T., & SAMUELI, H. (1987), An analysis of the output spectrum of a direct digital frequency synthesizer in the presence of phase-accumulator truncation, *Proceedings of the 41st Annual Frequency Control Symposium*, pp. 495-502.

NICHOLAS, H.T., & SAMUELI, H., & KIM, B. (1988), The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects, *Proceedings of the 42nd Annual Frequency Control Symposium*, pp. 357 – 363.

NIEZNANSKI, J. (1998), An alternative approach to the ROM-less direct digital synthesis, *IEEE Journal of solid state circuits*, 33(1), 766-769.

PARK, C., & KIM, O., & KIM, B. (2001), A 1.8-GHz self-calibrated phase-locked loop with precise I/Q matching, *IEEE Journal of Solid-State Circuits*, 36 (5), pp. 777 – 783.

PIPAY, Z. (2001), Numerical distortion in single-tone DDS, *Proceedings of the 2001 IEEE Instrumentation and Measurement Technology Conference*, (Vol. 2, pp. 720-724).

POOLE, I. (2006), *Cellular communications explained : from basics to 3G*, Amsterdam, Pays-Bas : Elsevier Newnes.

REINHARDT, V., & SHAHRIARY, I. (1989), spurless fractional divider, direct digital synthesizer and method, *Brevet américain US 4 815 018*, Washington, DC: U.S. Patent and Trademark Office. Consulté sur freepatentsonline: <http://www.freepatentsonline.com/4815018.html>

ROGERS, G.S. (2003), *An introduction to wireless technology*, Upper Saddle River, NJ: Prentice Hall.

SALOMON, M.-E., KHOUAS, A, SAVARIA, Y. (2005), A complete spurs distribution model for direct digital period synthesizers, *IEEE International Symposium on Circuits and Systems, ISCAS 2005*, (Vol. 5, pp. 4859-4862).

STEPHENS, D.R. (2002), *Phase-locked loops for wireless communications : digital, analog, and optical implementations* (2^e éd), Boston: Kluwer Academic.

TOROSYAN, A., & WILSON Jr., A. (2001), Analysis of the output spectrum for direct digital frequency synthesizers in the presence of phase truncation and finite arithmetic precision, *Proceedings of the 2nd International Symposium on Image and Signal Processing and Analysis, ISPA 2001*, pp. 458-463.

VANKKA, J. (1996), spur reduction techniques in sine output direct digital synthesis, *Proceedings of the 1996 IEEE International Frequency Control Symposium*, pp. 951 – 959.

VAN DE BEEK, R.C.H., & KLUMPERINK, E.A.M., & VAUCHER, C.S., & NAUTA, B. (2002), On jitter due to delay cell mismatch in DLL-based clock multipliers, *Proceedings of the 2002 International Symposium on Circuits and Systems*, (Vol. 2, 396-399).

ZARKESHVARI, F., & NOEL, P., & KWANIEWSKI, T. (2005), PLL-Based Fractional-N Frequency Synthesizers, *Proceedings. Fifth International Workshop on System-on-Chip for Real-Time Applications*, 2005, pp. 85-91.