POLYPUBLIE

Détecteurs de phase et de fréquence complémentaires destinés aux applications de haute précision des boucles à verrouillage de phase

Mathieu Renaud

Document en libre accès dans PolyPublie
Open Access document in PolyPublie

Date	2005
Type	Mémoire ou thèse / Dissertation or Thesis Mémoire de maîtrise/Master's thesis
URL de PolyPublie PolyPublie URL	https://publications.polymtl.ca/7675/
Conditions d'utilisation Terms of use	© Tous droits réservés / All rights reserved
Référence Citation	Renaud, M. (2005). Détecteurs de phase et de fréquence complémentaires destinés aux applications de haute précision des boucles à verrouillage de phase [Mémoire de maîtrise, École Polytechnique de Montréal]. PolyPublie. https://publications.polymtl.ca/7675/

Détails de la thèse
Thesis details

Directeurs de recherche Advisors	Yvon Savaria, & Abdelhakim Khouas
Programme Program	Non spécifié

Ce fichier a été téléchargé à partir de PolyPublie, le dépôt institutionnel de Polytechnique Montréal
This file has been downloaded from PolyPublie, the institutional repository of Polytechnique Montréal
https://publications.polymtl.ca

UNIVERSITÉ DE MONTRÉAL

DÉTECTEURS DE PHASE ET DE FRÉQUENCE COMPLÉMENTAIRES DESTINÉS AUX APPLICATIONS DE HAUTE PRÉCISION DES BOUCLES À VERROUILLAGE DE PHASE

MATHIEU RENAUD

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION DU

DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES

(GÉNIE ÉLECTRIQUE)

JUILLET 2005

© Mathieu Renaud, 2005

Library and Archives Canada

Published Heritage Branch

395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque et Archives Canada

Direction du Patrimoine de l'édition

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence
ISBN: 978-0-494-16844-8
Our file Notre référence
ISBN: 978-0-494-16844-8

NOTICE:
The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:
L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé:

DÉTECTEURS DE PHASE ET DE FRÉQUENCE COMPLÉMENTAIRES DESTINÉS AUX APPLICATIONS DE HAUTE PRÉCISION DES BOUCLES À VERROUILLAGE DE PHASE

Présenté par : RENAUD Mathieu

En vue de l'obtention du diplôme de : Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de :

M. SAWAN Mohamad, Ph.D., président

M. SAVARIA Yvon, Ph.D., membre et directeur de recherche

M. KHOUAS Abdelhakim, Ph.D. membre et codirecteur de recherche

M. BRAULT Jean-Jules, Ph.D., membre

© Mathieu Renaud, 2005

Remerciements

Je tiens à remercier Isabelle pour sa grande patience et ses nombreux encouragements qui ont pu me soutenir, et grâce auxquels j'ai pu mener à terme ce fastidieux projet qu'est la maîtrise.

Évidemment, un énorme merci à mon directeur de recherche Yvon Savaria pour ses nombreux conseils techniques et philosophiques qui ont su me guider. Un modèle d'inspiration.

Un chaleureux merci à mes parents Thérèse et Jacques ainsi qu'à ma sœur Rachel et mon frère Guillaume. Ils ont su m'influencer à poursuivre mes études au niveau de la maîtrise.

Je tiens à saluer Hugues Langlois qui m'a fait converger vers la microélectronique analogique et mixte plutôt que vers un monde binaire.

Yves Gagnon de LTRIM Technologies Inc., sans qui mon sujet de recherche aurait peut-être été différent. Merci d'avoir créé le besoin.

Un gros merci bien spécial à tous mes amis qui n'ont cessé de me rebattre les oreilles avec leurs : « as-tu fini ta ... maîtrise? ». Vous vous reconnaissez.

Finalement, je tiens à saluer Marc-André Cantin et Louis-Pierre Lafrance, sans qui la maîtrise aurait été moins amusante.

Résumé

Après une introduction sur la boucle à verrouillage de phase (PLL) et une discussion de sa grande utilité dans les applications microélectroniques modernes, on démontre, au travers d'un synthétiseur de fréquence, l'importance de réduire au minimum le bruit de phase du signal périodique généré par ce dernier. Une analyse des sous-circuits composant la PLL et une modélisation mathématique de celle-ci permettent d'identifier les points d'entrée des sources de bruit dominantes. Connaissant alors ses points faibles, on présente une revue des différentes méthodes et circuiteries déjà exploitées dans la littérature. À travers une analyse des différentes limites et lacunes de ces techniques, on découvre l'intérêt de poursuivre plus loin la recherche sur de nouveaux détecteurs de phase et de fréquence de haute précision.

Trois nouveaux détecteurs sont proposés et analysés. Le premier détecteur s'adresse directement aux deux principaux points faibles de cette classe de circuits: la zone morte et la fuite de la référence, c'est-à-dire les composantes spectrales de la référence réussissant à se faufiler au travers des différents blocs de la PLL pour se retrouver dans le spectre du signal de sortie. La topologie originale proposée ne présente aucune zone morte malgré les variations de procédé. De plus, elle laisse fuir un minimum de battements dus aux commutations de la référence. Ce premier détecteur se distingue par le fait qu'il puisse fonctionner avec des signaux aux rapports cycliques différents. Il est aussi capable de fonctionner autant avec des signaux sinusoïdaux que carrés.

Le second détecteur a été proposé afin de palier à une lacune du premier : un faible gain autour d'un déphasage de $\pm\pi$ et un faible gain général à hautes fréquences. Il possède toutes les caractéristiques du premier à l'exception d'une seule : il est sensible aux différences de rapport cyclique.

Bien que très performantes, les deux versions du détecteur de phase ne sont pas toujours suffisantes. Le nouveau détecteur de fréquence complémentaire à trois états présenté au chapitre 4 permet d'augmenter la plage de détection et d'exploiter le parallélisme sans souci.

Réunis, le détecteur de phase et le détecteur de fréquence complémentaire à trois états composent un nouveau détecteur de phase/fréquence. Ce dernier possède alors une plage de détection très large (limitée en fait par l'Oscillateur Commandé par Tension (l'OCT)), une absence de zone morte, une présence minimale de fuite de la référence et n'exige aucun compromis entre le bruit de phase et la vitesse de convergence. Des différences de phase aussi petites que quelques centièmes de pico secondes ont pu être observées en simulation par le détecteur. De plus, des simulations temporelles ont montré un potentiel de réponse transitoire très rapide sans toutefois introduire un excès de bruit dans la boucle.

Finalement, afin de caractériser correctement un prototype du détecteur de phase proposé, une méthode de test embarquée est présentée. Une succession de problèmes ont cependant empêché à plusieurs reprises d'obtenir un prototype fonctionnel.

Abstract

After a brief introduction on Phase-Locked Loops (PLL) and a look at their use in modern microelectronics, it is shown, in a frequency synthesiser context, how important it is to reduce as much as possible the phase noise at the output of the phase-locked loop. A PLL's sub-circuit analysis added to a mathematical model of the PLL brings out the main noise sources and how they interact with the PLL. Knowing its weakness, a review of known circuits and PLL design techniques is presented. A deeper analysis of their limitations leads us to focus on high precision phase and frequency detectors.

Three new detectors are proposed and analysed. The first one addresses the two main weaknesses of conventional phase and frequency detectors: the dead-zone and the reference leakages, i.e. the reference spectral components leaking through the modules composing the PLL to the output signal spectrum. Its original topology eliminates the dead-zone in spite of process variations. Moreover, the reference leakages are reduced to a minimum. This first detector has the particularity of being insensitive to the duty-cycle of its input signals. It can thus detect phase, either from sinusoidal or square wave signals.

A second proposed detector was proposed to solve shortcomings of the first one that has a weak gain around $\pm\pi$ phase difference and that has a low gain at high frequencies. It keeps all the good features of the first version but one: it is sensitive to input signal duty-cycle.

In spite of their good performances, there is always a need for detectors with better performances. Thus a new complementary three states frequency detector is introduced in chapter 4. Based on a parallel structure, it provides a wider frequency detection range.

Joined together, the phase detector and the complementary frequency detector give a new phase/frequency detector capable of frequency detection over a wide range, offering no dead-zone and a minimal reference leakage. Moreover, it gets rid of the classical tradeoff between phase noise and settling time. Indeed, transient simulations have shown a large potential for fast acquisition system without adding noise to the loop. Moreover, other simulations have shown that the detector can detect phase difference as small as few hundredth pico seconds.

Finally, to validate the proposed concept a prototype integrated phase detector was designed and implemented together with an embedded test technique. Unfortunately, the circuit does not work due to a combination of problems that made the prototype integrated circuit not functional.

Table des matières

Remerciements *iv*

Résumé *v*

Abstract *vii*

Table des matières *ix*

Liste des figures *xii*

Liste des tableaux *xv*

Liste des sigles et abréviations *xvi*

CHAPITRE 1. Introduction *1*

1.1 La boucle à verrouillage de phase (PLL) **2**

1.2 Le synthétiseur de fréquence **5**

(a) Gain en boucle fermée du synthétiseur de fréquence 7

(b) Largeur de bande du synthétiseur de fréquence 8

1.3 Les composantes de la PLL **8**

(a) Le détecteur de phase et/ou de fréquence 9

(b) La pompe de charge 21

(c) Le filtre passe-bas (FPB) 22

(d) L'oscillateur commandé par une tension 23

(e) Le diviseur de fréquence 23

1.4 Problématique de la pureté spectrale 24

(a) Instabilité intrinsèque d'un oscillateur 24

(b) Impact du bruit de phase : Mixage direct et réciproque 26

(c) Les sources de bruit dans un synthétiseur de fréquence 29

(d) Fuites de la référence 32

(e) La zone morte 33

1.5 Compromis bruit/vitesse 35

1.6 Détecteurs de phase sans zone morte 36

1.7 Le parallélisme 39

1.8 Problématique restante 40

1.9 Présentation des chapitres 42

CHAPITRE 2. Détecteur de phase : version 1 45

2.1 Introduction 45

2.2 Structure et opération 46

2.3 L'implémentation du détecteur de phase (DP) 53

2.4 Résultats de simulation 56

2.5 Simulation Monte Carlo 60

2.6 Conclusion 62

CHAPITRE 3. Détecteur de phase : version 2 64

3.1 Introduction 64

3.2 Améliorations du détecteur de phase 65

3.3 Sommaire des résultats atteints 73

CHAPITRE 4. Détecteur de fréquence (DF) complémentaire à trois états 74

4.1 Introduction 74

4.2 Détection de phase vs fréquence du détecteur de phase/fréquence (DPF) à trois états 74

4.3 Description du DF complémentaire à trois états 75

4.4 Simulation du parallélisme 77

4.5 Conclusion 80

CHAPITRE 5. Méthode de caractérisation embarquée 82

5.1 Introduction 82

5.2 La technique à évolution de phase linéaire 82

5.3 Mise en pratique 86

5.4 Résultats expérimentaux 88

5.5 Synthèse des résultats 89

CHAPITRE 6. Conclusion 90

Références 94

Annexe A 98

Liste des figures

Figure 1-1 Architecture d'une PLL de base 3

Figure 1-2 PLL montée en synthétiseur de fréquence. 6

Figure 1-3 Interprétation graphique de la différence de phase 11

Figure 1-4 Évolution linéaire de la différence de phase pour une légère différence de fréquence 12

Figure 1-5 Évolution de la différence de phase pour une grande différence de fréquence 12

Figure 1-6 Entrées et sortie du multiplieur exploité comme détecteur de phase analogique 14

Figure 1-7 Entrées et sortie du détecteur de phase numérique OU Exclusif (OUX) 16

Figure 1-8 Fonction de transfert moyenne du détecteur de phase OU Exclusif 17

Figure 1-9 Entrées et sortie du détecteur de phase numérique bistable SR 18

Figure 1-10 Fonction de transfert moyenne du détecteur de phase bistable SR 18

Figure 1-11 Détecteur de phase/fréquence (DPF) à trois états 19

Figure 1-12 Entrées et sorties du détecteur de phase numérique DPF pour une différence de phase 20

Figure 1-13 Entrées et sorties du détecteur de phase numérique DPF pour une différence de fréquence 20

Figure 1-14 Fonction de transfert moyenne du détecteur de phase/fréquence (DPF) 21

Figure 1-15 Modèle conceptuel de la pompe de charge utilisée en sortie du détecteur phase/fréquence (DPF) 22

Figure 1-16 Transformation du bruit de tension en bruit de phase temporel (jitter) 25

Figure 1-17 Modulation de bruit 1/f autour d'une porteuse 26

Figure 1-18 Introduction du bruit dans un récepteur hétérodyne (inspiré de [26]) 28

Figure 1-19 Introduction des sources dans un synthétiseur de fréquence 29

Figure 1-20 Illustration conceptuelle de la zone morte 34

Figure 1-21 Conceptualisation du détecteur de phase échantillonneur bloqueur analogique 38

Figure 1-22 Conceptualisation du détecteur de phase non séquentiel 39

Figure 2-1 Diagramme bloc d'un synthétiseur de fréquence exploitant le détecteur de phase proposé 46

Figure 2-2 Modèle comportemental du détecteur de phase proposé. 49

Figure 2-3 Activité aux nœuds d'intérêt du détecteur de phase proposé. 49

Figure 2-4 Fonction de transfert du DP proposé (simulé à f_R=125MHz) 51

Figure 2-5 Fréquence instantanée de l'OCT lors d'un processus de poursuite de la PLL convergeant vers une fréquence de 250MHz 52

Figure 2-6 Fréquence instantanée de l'OCT lors d'un processus de poursuite de la PLL convergeant vers une fréquence de 2.5GHz 52

Figure 2-7 Implémentation au niveau transistor du détecteur de phase proposé 53

Figure 2-8 Implémentation au niveau transistor de la porte logique Non-OU équilibrée 54

Figure 2-9 Visualisation des noeuds V_{CMD} et V_{DP} et du courant i_{CTC}, lors de la convergence d'une PLL exploitant le détecteur de phase proposé à une fréquence de 250MHz 57

Figure 2-10 Visualisation des noeuds V_{CMD} et V_{DP} et du courant i_{CTC}, lors de la convergence d'une PLL exploitant le détecteur de phase proposé à une fréquence de 2GHz 58

Figure 2-11 Visualisation des signaux S_R et S_d d'une PLL verrouillée avec des rapports cycliques inégaux 59

Figure 2-12 Comportement d'une PLL exploitant le détecteur de phase proposé pour de petites différences de phase (1°, 0.5°, 0.1°, 0.01°, -0.01°, -0.1°, -0.5° et -1°) à f_R = 2GHz 60

Figure 2-13 Étude Monte Carlo de la fonction de transfert du détecteur de phase proposé. 62

Figure 3-1 Modèle comportemental du détecteur amélioré 66

Figure 3-2 Les trois états R, C et T du détecteur amélioré, lorsque S_R devance S_d 66

Figure 3-3 Les trois états R, C et T du détecteur proposé au chapitre 2, lorsque S_R devance S_d 67

Figure 3-4 Fonctions de transfert du détecteur amélioré et du détecteur du chapitre 2 pour f_R=400MHz 68

Figure 3-5 Implémentation au niveau transistor du détecteur de phase amélioré 70

Figure 3-6 Fonction de transfert du détecteur amélioré pour f_R=4GHz (de $-\pi$ à π) 72

Figure 3-7 Fonction de transfert du détecteur amélioré pour f_R=4GHz (de -5ps à 5ps) 73

Figure 4-1 Le détecteur de fréquence (DF) complémentaire à trois états 76

Figure 4-2 Tensions aux nœuds importants du DF complémentaire lorsque f_d est plus élevé que f_R. 77

Figure 4-3 Schéma bloc d'une PLL montée en synthétiseur de fréquence, exploitant la combinaison parallèle du détecteur de phase du chapitre 3 et du détecteur de fréquence complémentaire à trois états 79

Figure 4-4 Tracés des tensions de sortie des détecteurs de phase et de fréquence illustrés à la figure 4-3, lorsque cette même PLL converge à une fréquence f_R de 1.6GHz 79

Figure 4-5 Tracé de la tension de commande V_{CMD} de l'OCT illustré à la figure 4-3, lorsque cette même PLL converge à une fréquence f_R de 1.6GHz 80

Figure 4-6 Tracé précis de la tension de commande V_{CMD} de l'OCT illustré à la figure 4-3 lorsque cette même PLL converge à une fréquence f_R de 1.6GHz 80

Figure 5-1 Schéma bloc du test embarqué permettant le traçage de la fonction de transfert d'un détecteur de phase 84

Figure 5-2 Évolution périodique idéale de la différence de phase $\Delta\varphi = \varphi_1 - \varphi_2$, entre deux signaux périodiques possédant une faible différence de fréquence. 85

Figure 5-3 Simulation au niveau transistor de la technique de caractérisation embarquée 86

Liste des tableaux

Tableau 1-1 Tableau récapitulatif des caractéristiques fondamentales des différents détecteurs de phase 41

Tableau 5-1 Quelque définitions utiles. 83

Tableau A-1 Tableau récapitulatif des variations absolues et relatives des transistors PMOS et NMOS. 100

Liste des sigles et abréviations

AM	De l'anglais *Amplitude Modulation* : Modulation en amplitude
bpb	Bruit Passe-Bas
bph	Bruit Passe-Haut
CTC	Convertisseur d'une Tension vers un Courant.
DP	Détecteur de Phase.
DPF	Détecteur de Phase et de Fréquence (phase/fréquence).
DF	Détecteur de Fréquence.
FM	De l'anglais *Frequency Modulation* : Modulation en fréquence
FPB	Filtre Passe-bas
FR	Fréquences Radio
OCT	Oscillateur commandé par une tension.
OL	Oscillateur Local
PC	Pompe de Charges
PLL	De l'anglais *Phase-Locked Loop* : Boucle à verrouillage de phase.

CHAPITRE 1. Introduction

Afin de bien comprendre les motivations ayant amené le développement des recherches sur les détecteurs de phase et les détecteurs de fréquence de haute précision, une mise en contexte doit être faite. Tout d'abord, on doit introduire les applications dans lesquelles ces détecteurs sont utilisés. On doit ensuite comprendre les différentes problématiques pour lesquelles les détecteurs actuels ne sont toujours pas entièrement satisfaisants.

Dans la première section de ce chapitre, on introduit la boucle à verrouillage de phase PLL, de l'anglais *Phase-Locked Loop*, au cœur de laquelle se trouvent généralement les détecteurs dont il est question. On y couvre différentes utilisations du PLL afin de sensibiliser le lecteur à leur importance dans les applications microélectroniques modernes.

Une seconde section aborde avec plus de profondeur le synthétiseur de fréquence, une application spécialisée des PLL, ayant une sensibilité accrue aux différentes problématiques présentées plus loin dans ce chapitre.

Une familiarisation avec les différents circuits pouvant constituer la PLL est nécessaire, afin de bien comprendre leurs interactions et leurs rôles dans les problématiques exposées. Une attention particulière est évidemment accordée au détecteur de phase/fréquence. Étant donné son rôle particulier, une discussion sur la phase et la fréquence est présentée en tout début de section.

Les différentes problématiques exposées dans les dernières sections de ce chapitre tournent toutes autour d'un même point : le bruit présent en sortie de la PLL. On définit ce bruit en expliquant son impact négatif pour une application bien particulière : la communication sans fil. Bien que cette contrainte se retrouve dans toutes les applications énumérées à la première section, nous fournissons un exemple assez convaincant pour justifier les recherches.

Pour conclure, on discute diverses solutions proposées dans la littérature et qui ont pour objectif de réduire le bruit de phase en sortie de la PLL. On termine ce chapitre en soulevant certaines lacunes restantes en dépit des solutions existantes, ce qui motive les recherches effectuées. Finalement, une dernière section introduit le reste du mémoire.

1.1 La boucle à verrouillage de phase (PLL)

La boucle à verrouillage de phase (PLL) est un système à rétroaction, permettant dans sa plus simple configuration de synchroniser, en phase et en fréquence, deux signaux périodiques. Généralement, le premier signal est une référence alors que le second est généré à même la PLL. Ces signaux peuvent être de formes variées, mais ils se retrouvent généralement sous la forme de sinusoïdes ou d'horloges digitales, c'est-à-dire un signal périodique de forme carrée. La figure 1-1 illustre une configuration populaire de base d'une PLL propice à plusieurs applications simples citées plus bas.

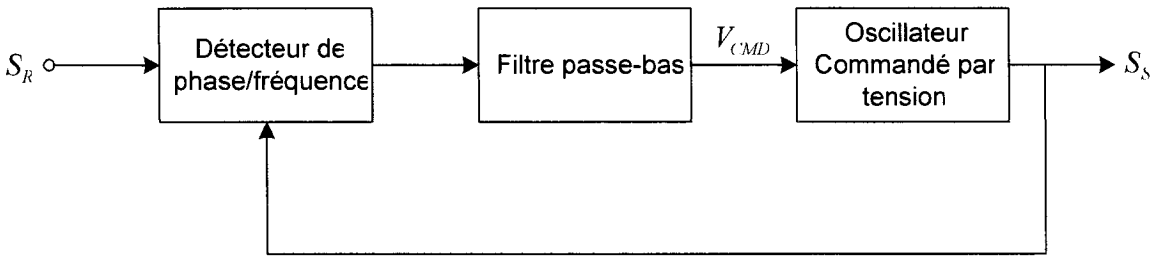


Figure 1-1 Architecture d'une PLL de base

De façon très simple, le comportement de ce système peut être décrit comme suit : Imaginons que le signal S_R, de fréquence f_R est une horloge qui se trouve en avance sur le signal S_S, de fréquence $f_S = f_R$ (voir figure 1-1). Le détecteur de phase/fréquence produira alors un courant positif qui, au travers du filtre (vu ici plus simplement comme un intégrateur de charge), fera croître le signal de commande V_{CMD}. Ce dernier s'occupe alors d'accélérer la cadence de l'oscillateur qui, par le fait même, permet au signal S_S de rattraper le signal S_R. De façon similaire, si la fréquence de S_S est inférieure à celle de S_R, la partie fréquence du détecteur de phase/fréquence produira aussi un signal positif. Ceci permettra en bout de ligne l'augmentation de la fréquence de S_S.

Voici deux applications simples exploitant ce principe :

- *Filtrage*

  La PLL peut filtrer le bruit présent sur un signal de référence. La PLL devient alors un filtre passe-bas centré sur la fréquence du signal en entrée. Notons que le filtre n'est pas linéaire, étant donné qu'il ne conserve aucune information sur l'amplitude du signal. Il ne fait que reproduire un signal plus stable.

- *Synchronisation*

  La PLL synchronise plusieurs signaux distribués dans un système quelconque.

  Au-delà de la simple synchronisation, la PLL peut se retrouver à la base de systèmes plus complexes et très variés dans le domaine des communications. En voici quelques exemples :

  - *Recouvrement d'horloge.*

    Dans ce premier exemple très populaire, le signal en entrée est une suite de données digitales modulées et émises par un système de communication. La PLL sert alors à construire un signal périodique synchronisé sur ces données, pour fournir au récepteur une horloge permettant de manipuler le signal reçu.

  - *Démodulation fréquentielle (FM)*

    Lorsque la PLL est verrouillée sur un signal d'entrée, les variations de la tension V_{CTR} sont proportionnelles aux variations en fréquence de ce dernier. Ainsi, si le signal d'entrée est un signal modulé en fréquence, le signal V_{CTR} devient la sortie démodulée.

  - *Démodulation d'amplitude (AM)*

    Un signal modulé en amplitude attaquant une PLL peut être multiplié par sa porteuse, c'est-à-dire la fréquence de sortie de cette même PLL, pour démoduler le signal à basse fréquence.

1.2 Le synthétiseur de fréquence

Le synthétiseur de fréquence est une application spécialisée de la PLL, pour laquelle les problématiques exposées plus loin dans ce chapitre sont les plus gênantes. En effet, l'intérêt porté à ce système vient de son architecture particulière, qui sensibilise énormément la PLL aux différentes sources de bruit et complique considérablement la tâche visant à atteindre de hautes performances. Le synthétiseur devient donc le cas de figure par excellence autour duquel les discussions auront lieu, et pour lequel des solutions seront présentées. On considère que la solution la plus performante, dans le contexte particulier du synthétiseur de fréquence, sera généralement la solution la plus performante pour n'importe quelle application de la PLL.

Le synthétiseur de fréquence exploite la PLL pour multiplier la fréquence d'un signal de référence. Son rôle est de pouvoir générer un signal périodique de fréquence programmable à partir d'une référence unique. À titre d'exemple, à l'intérieur d'un système de communication sans fil, le synthétiseur sert d'oscillateur local (OL) permettant la démodulation du signal reçu. La programmation du synthétiseur permet alors de naviguer d'un canal à l'autre. La figure 1-2 présente la configuration d'une PLL réalisant un synthétiseur de fréquence. On remarque à l'intérieur de cette boucle, outre le noyau formant une PLL de base, un diviseur de fréquence dans le chemin de contre-réaction.

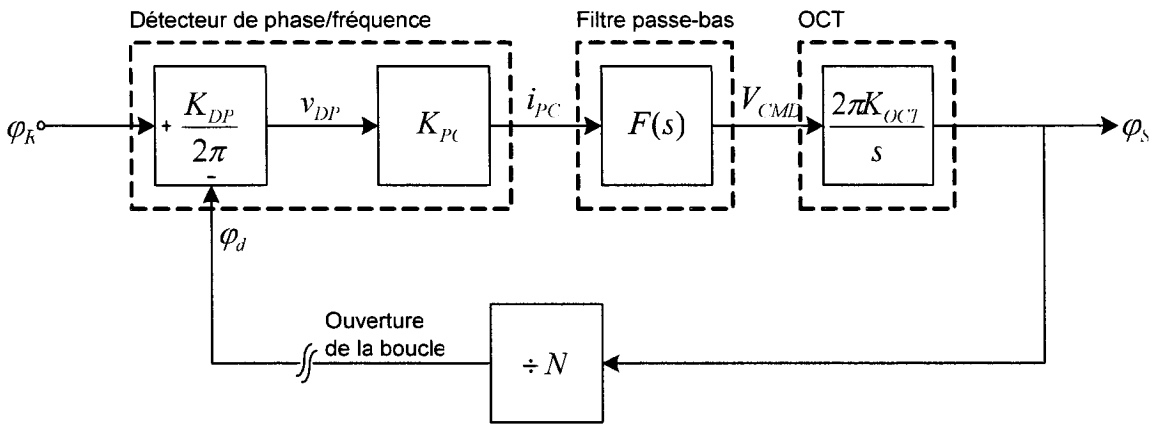


Figure 1-2 PLL montée en synthétiseur de fréquence.

De façon générale, le synthétiseur de fréquence (tout comme la PLL) est un système non linéaire, principalement dû à la non-linéarité des détecteurs de phase/fréquence utilisés. Par contre, en analysant le système et en choisissant comme variable d'intérêt les phases φ_R et φ_S des signaux de référence S_R et de sortie S_S, il est coutume de faire l'approximation d'une linéarité locale [23]. On assume que, pour tout détecteur ainsi que pour de faibles différences de phase,

$$v_{DP} = \frac{K_{DP}}{2\pi} \cdot (\varphi_R - \varphi_d) \tag{1.1}$$

φ_d est la phase du signal S_d, lui-même étant le signal produit par le diviseur. K_{DP} est le gain du détecteur de phase/fréquence.

On note à la figure 1-2 l'ajout du terme d'intégration (*1/s* dans le domaine de Fourier) à l'oscillateur commandé par tension (OCT). En effet, l'analyse du synthétiseur étant faite dans le domaine de la phase, on doit passer du domaine fréquentiel de l'OCT au domaine de la phase par cette intégration (voir section 1.3).

(a) Gain en boucle fermée du synthétiseur de fréquence

Le synthétiseur étant modélisé comme un système linéaire, on utilise la théorie de la commande pour décrire le comportement du synthétiseur de fréquence. Sans s'étendre sur les détails, définissons certaines variables utiles à la compréhension de la suite du document. Tout d'abord, le gain en boucle ouverte se définit comme suit :

$$G(s)=\frac{\varphi_d}{\varphi_R}=\frac{K_{DP}}{2\pi}\cdot K_{CP}\cdot F(s)\cdot\frac{2\pi K_{OCT}}{s}\cdot\frac{1}{N} \tag{1.2}$$

Le gain en boucle fermée $H(s)$ se définit tel que

$$H(s)=\frac{G(s)}{1+G(s)}=\frac{K_{DP}K_{PC}F(s)K_{OCT}\cdot\frac{1}{N}}{s+K_{DP}K_{PC}F(s)K_{OCT}\cdot\frac{1}{N}} \tag{1.3}$$

Puisque

$$\varphi_d=\frac{\varphi_S}{N} \tag{1.4}$$

la fonction de transfert relative à la phase de sortie $\varphi_S(s)$ et à la phase de référence $\varphi_R(s)$ est donc

$$\Rightarrow\frac{\varphi_S(s)}{\varphi_R(s)}=N\frac{\varphi_d(s)}{\varphi_R(s)}=N\cdot H(s) \tag{1.5}$$

La même fonction de transfert donne aussi la relation entre les fréquences f_R et f_S. Elle représente bien le comportement d'un filtre passe-bas (tel que mentionné dans l'exemple *Filtre* à la section 1.1) avec un gain *dc* de N agissant sur la phase (donc la fréquence), confirmant la multiplication fréquentielle faite par le synthétiseur. Par contre, malgré l'apparence d'un filtre passe-bas donnée par ce modèle mathématique, il faut comprendre

que la phase et la fréquence de sortie représentent la dérivation autour de la fréquence de repos de l'oscillateur f_0. La PLL est donc en fait un filtre passe-bande centré sur la fréquence f_S.

(b) Largeur de bande du synthétiseur de fréquence

La largeur de bande f_C se définit telle que

$$|G(j2\pi f_C)| = 1 \tag{1.6}$$

c'est-à-dire la fréquence de coupure à -3dB en boucle fermée. On comprend que la largeur de bande du synthétiseur est fonction du gain $K = \frac{K_{DP} K_{PC} K_{OCT}}{N}$ de la boucle et de la bande passante du filtre passe-bas f_{FPB} (voir les équations 1.2 et 1.6). En augmentant les valeurs de ces variables, la largeur de bande du synthétiseur augmente. Notons qu'il n'y a aucun lien direct entre la fréquence de coupure f_C de la PLL et la fréquence f_R du signal S_R. En fait, la fréquence f_C désigne la rapidité avec laquelle la PLL peut réagir à une variation de la fréquence f_R.

1.3 Les composantes de la PLL

Dans la présente section sont exposées les différentes composantes constituant la PLL. Une description plus approfondie de leur rôle, leur comportement et leur construction y est abordée. Le niveau de détails du traitement est ajusté selon l'importance de chaque type de module dans le contexte de ce mémoire.

(a) Le détecteur de phase et/ou de fréquence

Étant donné le sujet traité à l'intérieur de ce mémoire et afin de bien comprendre et de bien justifier les choix pris dans le cadre de cette recherche, une attention particulière est portée à l'introduction aux détecteurs de phase et/ou de fréquence.

Avant d'entreprendre une revue des différents détecteurs conventionnels reconnus à travers la littérature, quelques réflexions concernant les relations existant entre la phase et la fréquence des signaux périodiques doivent être exposées.

(i) Relations entre la phase et la fréquence

1) Définition de la différence de phase

En premier lieu, définissons la phase φ d'un signal périodique de fréquence f, en référence au temps $t_0 = 0$ comme suit :

$$\varphi(t) = 2\pi \int_{t_0}^{t} f \cdot dt = 2\pi \cdot ft + \varphi_0 \tag{1.7}$$

où φ_0 est la phase à t_0.

Dans le cadre de cette recherche, l'intérêt est porté sur la différence de phase $\Delta\varphi(t) = \varphi_R(t) - \varphi_d(t)$. Définissons donc, de façon purement mathématique, la différence de phase ou l'erreur de phase comme suit :

$$\Delta\varphi(t) = 2\pi \int_{t_0}^{t} (f_R - f_d) \cdot dt = 2\pi \cdot \Delta ft + \Delta\varphi_0 \tag{1.8}$$

On constate alors que la différence de phase est fonction du temps, seulement si les deux signaux périodiques ne sont pas de même fréquence. Le cas échéant, la différence de phase reste constante et égale à $\Delta\varphi_0 = \varphi_{R_0} - \varphi_{d_0}$. Quoique toujours juste, cette définition de la différence de phase devient contre intuitive lorsque la différence de fréquence est trop élevée.

De façon complémentaire et plus conceptuelle, la différence de phase $\Delta\varphi_0$ peut se définir, en se référant au graphique 1-3, comme suit :

$$\Delta\varphi_0 = \frac{2\pi \cdot \Delta t}{T_R} \tag{1.9}$$

tel que $-\pi < \Delta\varphi_0 \leq \pi$.[1]

La fenêtre de temps $\Delta t = \min(t_A, t_B)$ sépare le moment où chacun des signaux périodiques croise, par une montée, une valeur commune. $T_R = \frac{1}{f_R}$ est la période du signal de référence S_R.

[1] Par convention, il a été choisi de contenir le cercle trigonométrique à $\pm\pi$ plutôt que de 0 à 2π. Ce choix a été fait en fonction de la nature des détecteurs de phase développés dans le cadre de cette recherche. Cette motivation s'éclaircira au cours du document. Notons que d'autres détecteurs de phase peuvent utiliser l'autre convention. Du point de vue mathématique, il n'y a aucune différence. Par contre, d'un point de vue comportemental, la PLL ne répondra pas de la même façon.

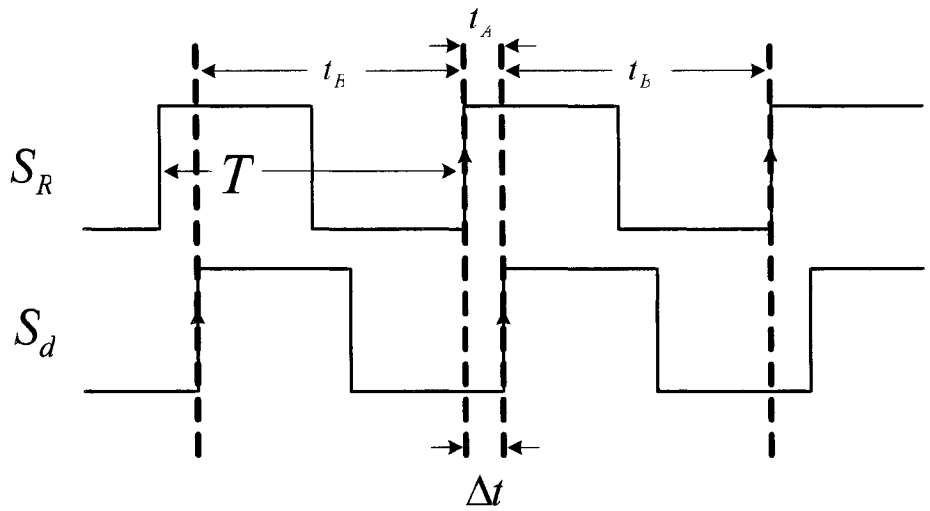


Figure 1-3 Interprétation graphique de la différence de phase

Dans le cas où les fréquences ne sont pas égales, cette définition montre bien l'évolution linéaire temporelle de la différence de phase. Les figures 1-4 et 1-5 exposent deux cas légèrement différents. Dans le premier cas, une légère différence de fréquence illustre bien cette évolution de la phase. De son côté, le deuxième cas propose de façon plus radicale la possibilité d'une différence de phase plus élevée que π, et même 2π, lorsqu'il y a une différence entre les fréquences. On doit cependant noter que les différences de phase y étant illustrées, ne respectent plus la définition donnée plus tôt en ne choisissant pas $\Delta t = \min(t_A, t_B)$. Rappelons que ce choix dépend de la nature du détecteur en cause, et qu'il est convenable de prendre comme instant de référence la montée du signal de référence.

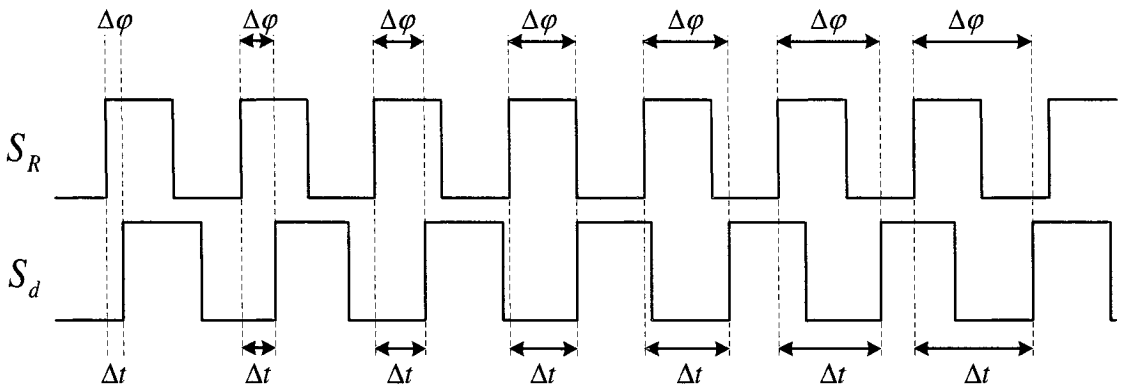


Figure 1-4 Évolution linéaire de la différence de phase pour une légère différence de fréquence

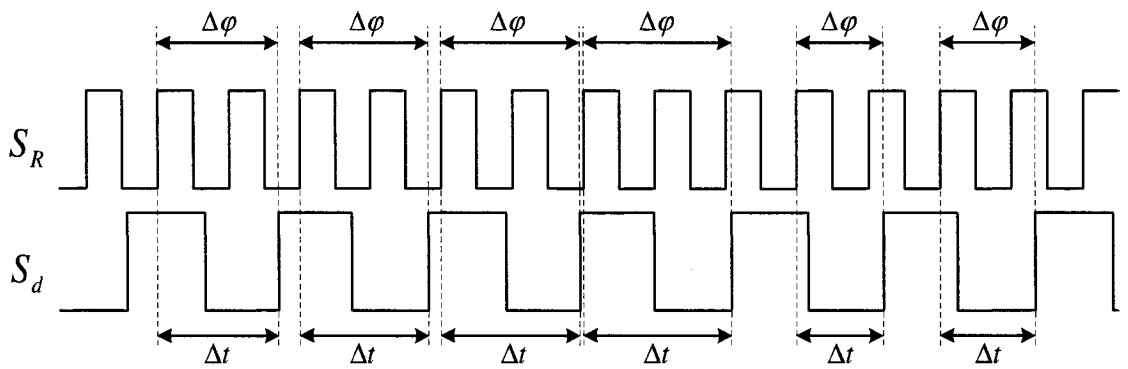


Figure 1-5 Évolution de la différence de phase pour une grande différence de fréquence

La différence de phase $\Delta\varphi$ peut, lorsque $f_R \neq f_S$, se définir comme suit :

$$\Delta\varphi = \frac{2\pi \cdot \Delta t}{T_R} \tag{1.10}$$

tel que $-\infty < \Delta\varphi \leq \infty$ où Δt est défini tel que démontré sur les graphiques ci-haut.

2) Différence de phase instantanée

Profitons de ces quelques démonstrations pour introduire la notion de différence de phase instantanée. On doit être conscient qu'il est impossible, à partir d'un événement transitoire, tel que la montée successive des deux signaux périodiques, de connaître la relation de phase ou de fréquence réelle existant entre les deux signaux. Il est en effet

impossible de prévoir la différence de phase qui sera mesurée au prochain événement et il est logiquement impossible de conclure si les fréquences sont identiques lorsque la différence de phase mesurée se situe entre les bornes $\pm\pi$. C'est pour cette raison qu'il est de mise de parler de différence de phase instantanée, plutôt que de différence de phase. Dorénavant, la notion d'instantanéité sera implicitement reliée aux termes différence de phase et erreur de phase.

3) Couverture des différents détecteurs

À la lumière de ces définitions (équations 1.8 à 1.10) et à titre de résumé, deux constats peuvent être émis en toute logique :

$$\Rightarrow \text{si } f_R = f_d,$$

$$\Delta\varphi(t) = \Delta\varphi_0 \tag{1.11}$$

$$\text{tel que } -\pi < \Delta\varphi \leq \pi$$

$$\Rightarrow \text{si } f_R \neq f_d,$$

$$\Delta\varphi(t) = \Delta ft + \Delta\varphi_0 \tag{1.12}$$

$$\text{tel que } -\infty < \Delta\varphi(t) \leq \infty$$

Il est maintenant possible de conclure qu'un détecteur de phase devra posséder une plage de détection de $\pm\pi$ autour de son point d'équilibre, qu'un détecteur de phase/fréquence aura une plage illimitée de part et d'autre de son point d'équilibre et que, par conséquent,

un détecteur de fréquence aura une plage de détection illimitée autour de son point d'équilibre excluant la région $\pm\pi$.

(ii) Le détecteur de phase

Le détecteur de phase est destiné à générer une tension moyenne proportionnelle à la différence de phase existant entre les deux signaux le nourrissant. Ces derniers peuvent être analogiques ou digitaux. On associe le qualificatif analogique aux détecteurs de phase produisant un signal de sortie continu, et le qualificatif digital à ceux produisant une sortie pulsée. Qu'il soit analogique ou digital, le détecteur peut accueillir des signaux sinusoïdaux ou pulsés.

1) Le multiplieur analogique

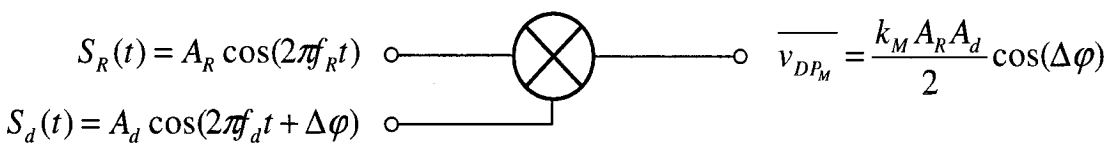


Figure 1-6 Entrées et sortie du multiplieur exploité comme détecteur de phase analogique

Le multiplieur analogique est le plus simple exemple de détecteur de phase analogique. Ce détecteur produit en sortie un signal dont la composante à basse fréquence est fonction de la différence de phase existant entre les deux signaux situés à l'entrée. Attaqué par des sinusoïdes, le détecteur agit tel que démontré par les équations suivantes :

$$S_R(t) = A_R \cos(2\pi f_R t) \tag{1.13}$$

$$S_d(t) = A_d \cos(2\pi f_d t + \Delta\varphi) \tag{1.14}$$

$$v_{DP_M}(t) = k_M \cdot A_R \cos(2\pi f_R t) \cdot A_d \cos(2\pi f dt + \Delta\varphi) \tag{1.15}$$

$$v_{DP_M}(t) = \frac{k_M A_R A_d}{2} \cos[2\pi(f_R + f_d)t + \Delta\varphi] + \frac{k_M A_R A_d}{2} \cos[2\pi(f_R - f_d)t - \Delta\varphi] \tag{1.16}$$

Lorsque le multiplieur analogique se définit comme un détecteur de phase, on doit supposer que $f_R = f_d$. Ainsi,

$$v_{DP_M}(t) = \frac{k_M A_R A_d}{2} \cos(\Delta\varphi) + \frac{k_M A_R A_d}{2} \cos[2\pi(f_R + f_d)t + \Delta\varphi] \tag{1.17}$$

Vu la présence d'un filtre passe-bas en aval du détecteur de phase dans une PLL, il est juste de définir la tension de sortie comme une tension moyenne.

$$\overline{v_{DP_M}} = \frac{k_M A_R A_d}{2} \cos(\Delta\varphi) \tag{1.18}$$

Notons que le même raisonnement est applicable dans le cas d'entrées pulsées. La composition harmonique du signal est modulée et filtrée de la même façon que la raie spectrale centrale du signal. De plus, dans le cas où les deux fréquences ne sont pas similaires, la démonstration précédente nous permet de conclure que le signal moyen en sortie devient nul. C'est pourquoi le multiplieur analogique ne peut servir uniquement que de détecteur de phase. Une dernière constatation moins avantageuse démontre que la tension moyenne de sortie dépend de l'amplitude des signaux en entrée du détecteur. En général cette propriété n'est pas désirable quand le détecteur est inséré dans une PLL.

2) *Le OU Exclusif*

La porte logique OU Exclusif constitue la plus simple forme de détecteur de phase digital. Tel que démontré dans la figure 1-7, chaque fenêtre de temps coïncidant à un déphasage non nul exerce une tension logique haute en sortie du détecteur. Ainsi, sur un cycle, la tension moyenne $\overline{v_{DP_{OUX}}}$ (pointillé) générée par le détecteur de phase est directement proportionnelle à l'erreur de phase entre les deux signaux.

Il est à noter que la relation existant entre l'erreur de phase et la tension moyenne de sortie est intimement reliée au rapport cyclique (*duty cycle*) des deux signaux en entrée. Notons de plus, sans s'y attarder pour le moment, que le signal de sortie génère des pulsations à deux fois la fréquence des signaux en entrée.

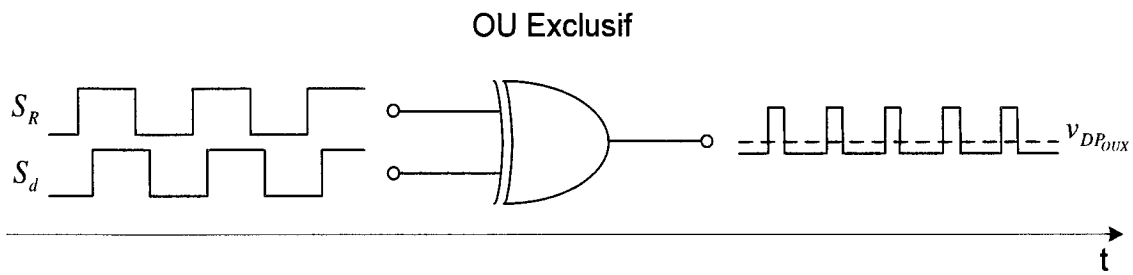


Figure 1-7 Entrées et sortie du détecteur de phase numérique OU Exclusif (OUX)

La figure 1-8 résume très bien le comportement de ce détecteur en y traçant sa fonction de transfert, i.e. la tension moyenne $\overline{v_{DP_{OUX}}}$ de sortie vis-à-vis l'erreur de phase $\Delta\varphi$ entre les deux signaux. On y voit que la valeur moyenne de la tension de sortie produite par le détecteur de phase atteint zéro lorsque le déphasage est autour de $-\frac{\pi}{2}$. Ce déphasage statique peut être plus ou moins convenable selon l'application. Toutefois, il peut être

annulé ailleurs dans la PLL à l'aide de circuiteries supplémentaires. Une dernière constatation ressortant de la fonction de transfert démontre que le détecteur de phase possède une région de détection monotone limitée à $\pm\pi/2$ autour de son point d'équilibre. Ceci confirme son incapacité à détecter une différence de fréquence car le détecteur ne fonctionne correctement que dans un intervalle de déphasages limité.

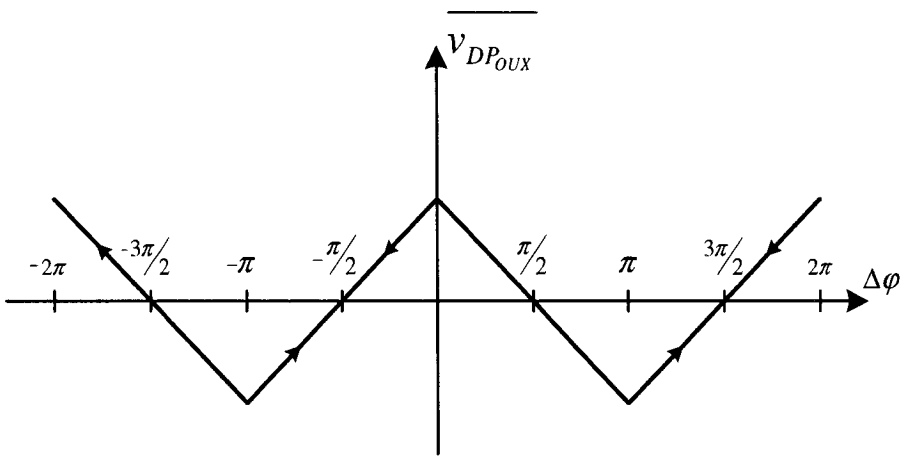


Figure 1-8 Fonction de transfert moyenne du détecteur de phase OU Exclusif

3) Le bistable SR

Une façon simple de pallier à la dépendance du détecteur XOR au rapport cyclique est d'utiliser un bistable 'Set-Reset' en guise de détecteur. Un exemple simple, à la figure 1-9, illustre le comportement d'un tel détecteur. La figure 1-10 présente la relation existant entre la tension moyenne de sortie $\overline{v_{DP_{SR}}}$ (pointillé) et la différence de phase $\Delta\varphi$. Encore une fois, le point d'équilibre n'est pas situé à $\Delta\varphi = 0$ mais, plutôt à $\Delta\varphi = \pm\pi$. Les pulsations générées en sortie ont la même fréquence que les signaux périodiques en

entrée, et la plage couverte par ce détecteur est identique à celle du OU Exclusif, c'est-à-dire $\pm\pi$ autour de son point d'équilibre.

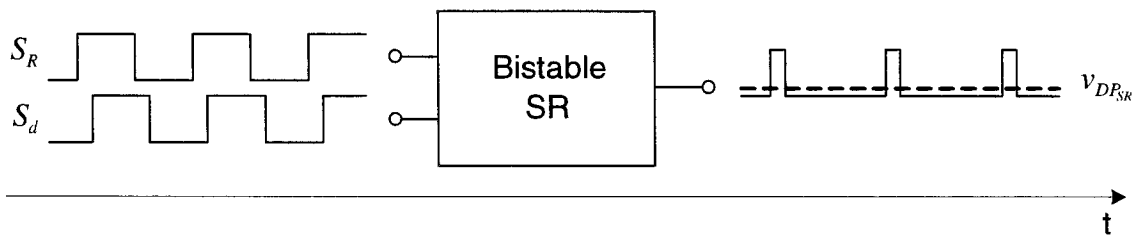


Figure 1-9 Entrées et sortie du détecteur de phase numérique bistable SR

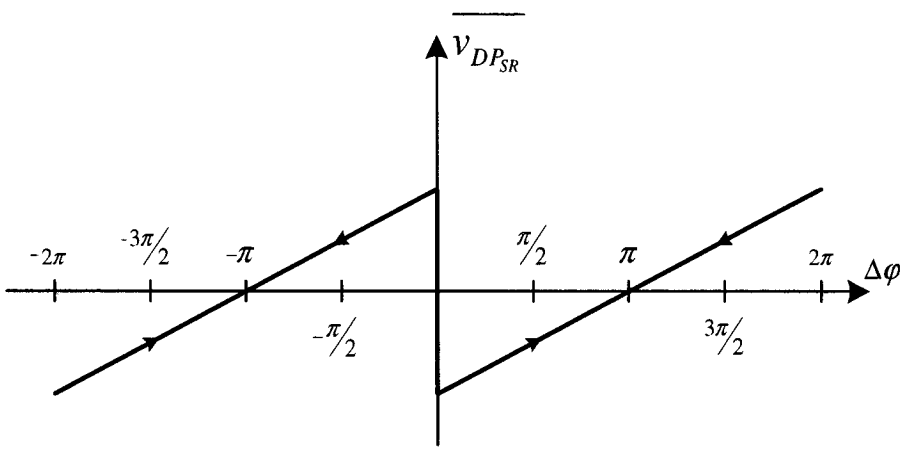


Figure 1-10 Fonction de transfert moyenne du détecteur de phase bistable SR

4) Le détecteur de phase/fréquence DPF à trois états

Les deux détecteurs digitaux présentés en 2) et 3) sont limités à la détection de phase uniquement. Il leur est impossible de percevoir correctement des différences de phase plus grandes que $\pm\pi$. Lorsqu'une grande différence de fréquence est présente, le signal de sortie du détecteur, qui excède sa plage de détection monotone, une fois passé par un filtre passe bas, produit un signal moyen de 0. Pour résoudre ce problème, une solution encore fréquemment utilisée de nos jours a été proposée par C.A. Sharpe en 1976 [22] : le détecteur de phase/fréquence à trois états. Avant d'entreprendre le survol de son

fonctionnement, on doit remarquer sur la figure 1.11 que ce détecteur possède une sortie différentielle. Lorsqu'un signal effectue une montée, la sortie lui étant affectée devient d'un niveau logique haut, jusqu'au moment où l'autre signal effectue à son tour une montée et procède à une remise à zéro (voir la figure 1.12). De la même façon qu'avec la porte logique OU Exclusif ou le bistable SR, on obtient sur cette sortie un signal moyen proportionnel à la différence de phase. La seconde tension de sortie associée à la seconde entrée passe aussi au niveau haut lors de cette dernière montée. La remise à zéro lui permet de rester à ce niveau seulement un court instant, idéalement de durée négligeable. Ce détecteur possède trois états. Celui-ci peut indiquer que le signal de référence est en retard $\left(\overline{v_{DP_{DPF}+}} < \overline{v_{DP_{DPF}-}}\right)$ sur le second signal, qu'il est en avance $\left(\overline{v_{DP_{DPF}+}} > \overline{v_{DP_{DPF}-}}\right)$ ou que les deux signaux évoluent côte à côte $\left(\overline{v_{DP_{DPF}+}} = \overline{v_{DP_{DPF}-}}\right)$.

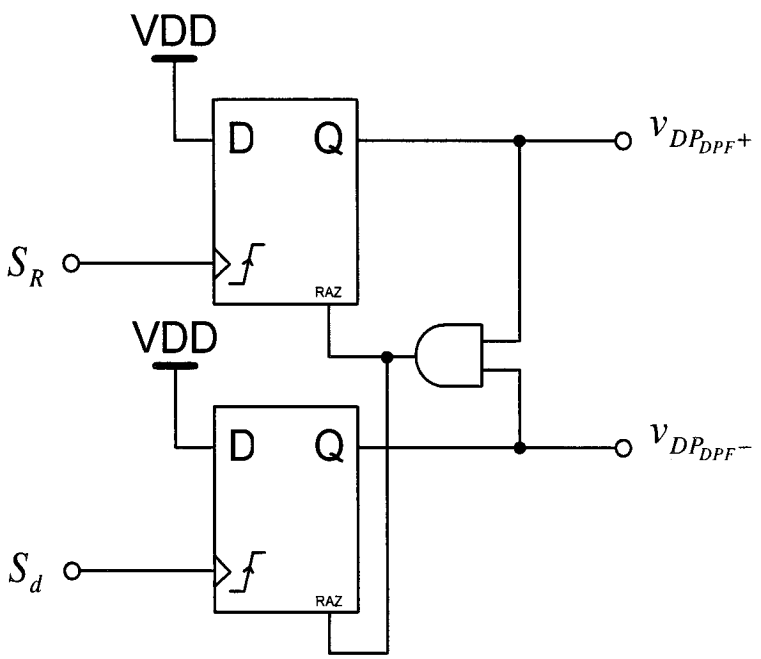


Figure 1-11 Détecteur de phase/fréquence (DPF) à trois états

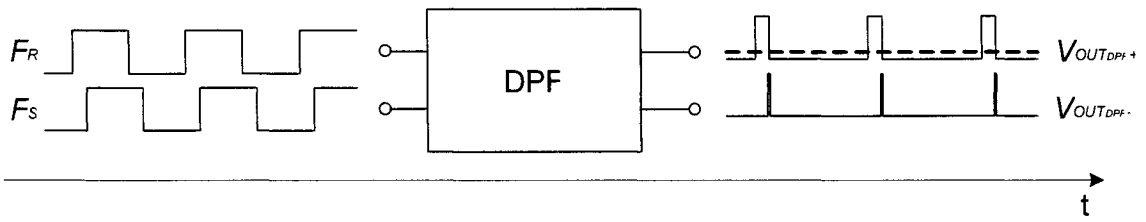


Figure 1-12 Entrées et sorties du détecteur de phase numérique DPF pour une différence de phase

Ce détecteur se distingue des précédents par la montée du second signal, qui s'effectue après que le premier ait passé à travers une phase supérieure à π. Tel que démontré par la figure suivante, on peut obtenir en sortie des tensions restant au niveau haut pour une durée plus longue que π.

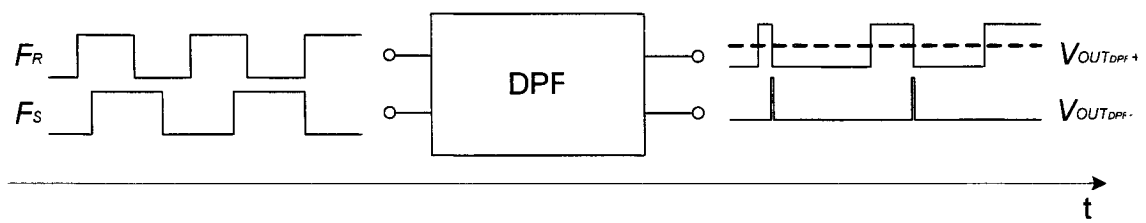


Figure 1-13 Entrées et sorties du détecteur de phase numérique DPF pour une différence de fréquence

La figure suivante illustre la relation existant entre la tension de sortie $\overline{v_{DP_{DPF}}} = \overline{v_{DP_{DPF}+}} - \overline{v_{DP_{DPF}-}}$ et l'erreur de phase $\Delta\varphi$. On constate que la région de détection est illimitée autour du point central $\Delta\varphi = 0$. En effet, en dépit de la discontinuité de la fonction, le signe de la différence de phase est correctement détecté pour les grandes différences de phase, qui se produisent notamment lorsqu'il y a une différence de fréquence substantielle. C'est pour cette raison que ce détecteur peut à la fois repérer des différences de phase ainsi que des différences de fréquence.

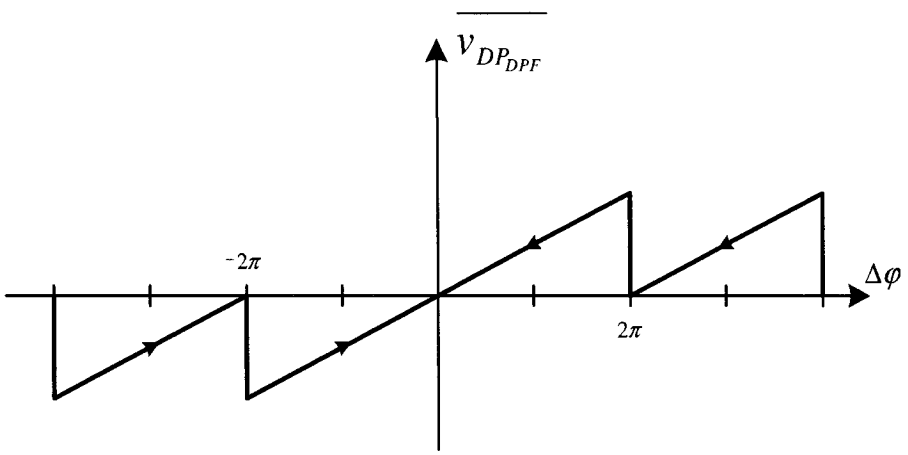


Figure 1-14 Fonction de transfert moyenne du détecteur de phase/fréquence (DPF)

(b) La pompe de charge

De façon systématique, on ajoute une pompe de charge en sortie du détecteur de phase/fréquence à trois états. Elle possède généralement une entrée bipolaire et une sortie unipolaire (figure 1-15). La pompe permet au détecteur d'attaquer le filtre passe-bas avec une puissance accrue et contrôlée, sans toutefois que ce dernier soit trop lourdement chargé en sortie. On verra plus tard que cette charge supplémentaire pourrait réduire les performances du détecteur. De plus, le contrôle du gain permet une meilleure manipulation du comportement de la PLL.

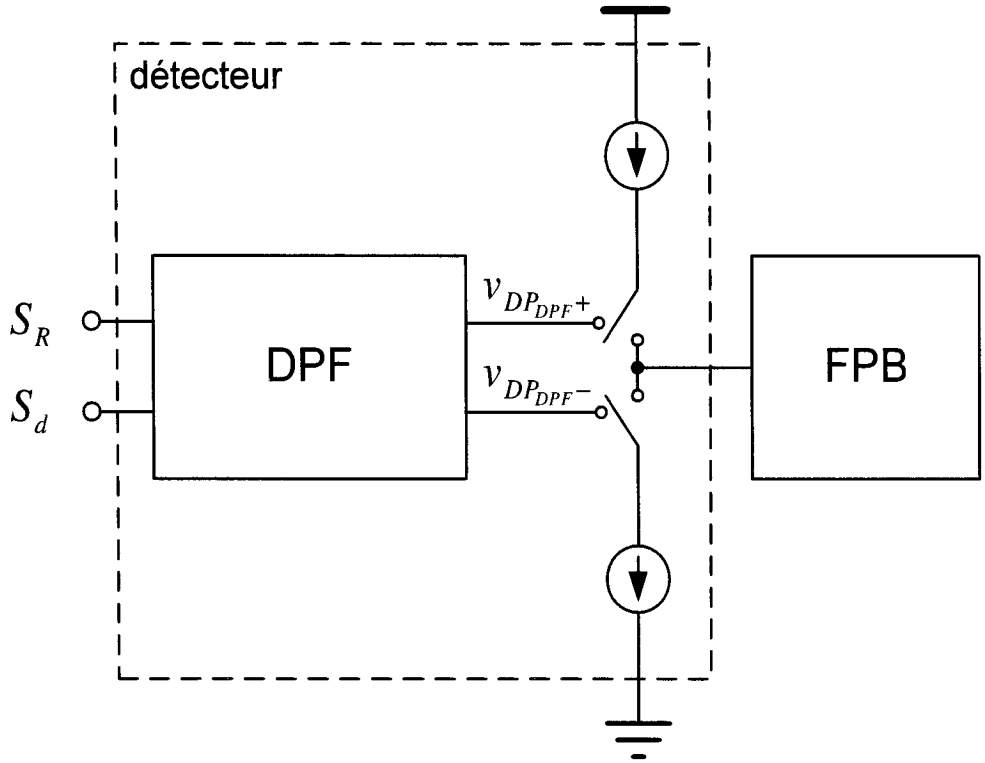


Figure 1-15 Modèle conceptuel de la pompe de charge utilisée en sortie du détecteur phase/fréquence (DPF)

(c) Le filtre passe-bas (FPB)

Le filtre passe-bas possède deux fonctions. Du point de vue analytique, il permet de manipuler la fonction de transfert de la PLL, afin de réaliser les compromis nécessaires à ce que cette dernière remplisse les spécifications demandées, selon la théorie de la commande. D'un point de vue comportemental ou plus intuitif, il permet, tel un réservoir, d'accumuler les charges électriques poussées ou tirées par la pompe de charge. Il en résulte donc une tension DC commandant l'oscillateur. Ainsi, le filtre atténue une certaine partie des parasites attaquant l'oscillateur comandé par tension, permettant une oscillation plus stable.

(d) L'oscillateur commandé par une tension

L'oscillateur commandé par tension (OCT) est un des blocs les plus importants dans la PLL. C'est cet oscillateur qui déterminera en grande partie les performances de la PLL. En effet, la plage maximale de fréquence pouvant être couverte par la PLL est limitée par ce dernier. De plus, étant donné sa relation tension/fréquence, l'oscillateur transformera toute source de bruit venant de sa tension de commande en bruit de phase ou en instabilité fréquentielle. Il est important de retenir que la pureté du signal généré par l'oscillateur reste toujours dépendante de la pureté de la tension de commande V_{CMD}. Cette notion est mise en évidence par la relation suivante :

$$f_S = f_0 + K_{OCT} V_{CMD} \tag{1.19}$$

$$= f_0 + K_{OCT} \left(V_{CMD} + v_n(t) \right) \tag{1.20}$$

$$= f_S + f_n(t) \tag{1.21}$$

(e) Le diviseur de fréquence

Un diviseur de fréquence peut être construit de différentes manières. Il est important de réaliser le fait qu'il est un circuit purement digital donc, qu'il produit des signaux carrés. Dans la plupart des applications, le rapport de division N est programmable. Une façon simple de réaliser une telle fonction est de nourrir un compteur digital programmable qui produira un signal «*overflow* » à tous les N cycles. Comme il a été vu précédemment, la fréquence en sortie de la PLL sera un multiple entier de la fréquence de référence. Ainsi, le plus petit incrément de fréquence en sortie est dicté par cette dernière. Notons qu'il est

aussi possible de réaliser des diviseurs fractionnaires qui permettront de multiplier la fréquence de référence par $N + F$ où $0 \leq F < 1$. Par ce principe, il est possible d'obtenir un incrément de fréquence plus petit que la fréquence de référence. On appelle ce diviseur un diviseur fractionnaire.

1.4 Problématique de la pureté spectrale

Afin de bien mettre en évidence la problématique de la pureté spectrale, choisissons un domaine d'application des plus capricieux vis-à-vis d'une telle caractéristique. En communication sans fil à fréquence radio (FR), le synthétiseur de fréquence est indispensable à la réalisation d'un oscillateur local (OL), permettant la modulation et la démodulation des signaux émis ou transmis. Il sera démontré dans cette section de quelle façon les performances d'un système radio sont reliées à la pureté spectrale de l'oscillateur local. De plus, les différentes sources de bruit venant polluer la pureté spectrale de l'OL seront décrites et mises en contexte. À la lumière de ces nouvelles observations, un nouveau regard sera porté sur les détecteurs de phase présentés à la section 1.3 a).

(a) Instabilité intrinsèque d'un oscillateur

En pratique, tout oscillateur possède intrinsèquement une fréquence plus ou moins stable. L'instabilité de cette dernière provient des différentes sources de bruit présentes aux différentes bornes et nœuds internes de l'oscillateur. L'alimentation et la masse sont des sources de bruit externes auxquelles s'ajoute le bruit produit par chacun des éléments

actifs ou passifs constituant l'oscillateur. Deux phénomènes sont principalement responsables de la transformation de ces sources de bruit V_{bruit} ou I_{bruit} en instabilité fréquentielle [15, 17]. Le premier est la superposition (l'addition) des signaux bruités sur le signal d'oscillation S_{OL}. À titre d'exemple, la figure 1-16 montre un signal S_{OL} additionné d'un bruit ne passant pas par zéro à $t = t_0$. De cette façon, d'un cycle à l'autre, la phase du signal varie de manière aléatoire tel que démontré sur l'image de droite.

Sur certains nœuds de l'oscillateur, le bruit peut être modulé pour se greffer autour de la porteuse, c'est-à-dire le signal S_{OL}. La figure 1-17 représente ce principe dans le domaine fréquentiel. Il est à noter que chacun de ces deux phénomènes donne le même effet, qu'il soit représenté dans le domaine temporel ou fréquentiel.

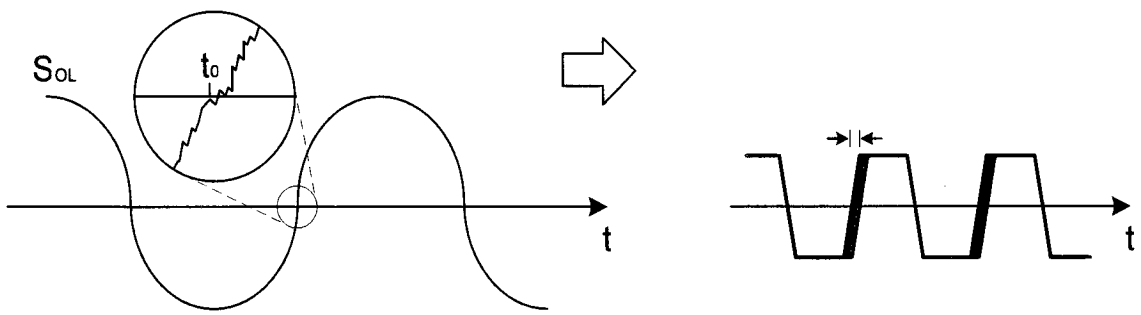


Figure 1-16 Transformation du bruit de tension en bruit de phase temporel *(jitter)*

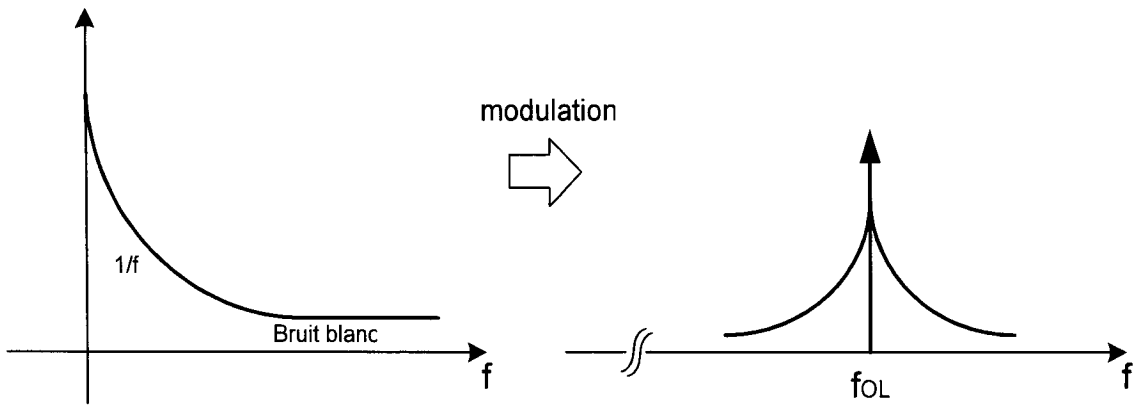


Figure 1-17 Modulation de bruit *1/f* autour d'une porteuse

Dans le cas plus particulier d'un oscillateur commandé par une tension (OCT), on doit, en plus de ses sources de bruit intrinsèques, additionner la puissance du bruit occasionné par les parasites présents à sa borne de commande (section 1.3 d). Pour l'instant, on doit garder à l'esprit qu'une différence existe entre le bruit intrinsèque de l'oscillateur et le bruit généré par la tension de commande. Ces deux sources de bruit ne seront pas traitées de la même façon lors de la conception de la PLL. On y reviendra plus tard.

(b) Impact du bruit de phase : Mixage direct et réciproque

Considérons le récepteur hétérodyne de la figure 1-18. L'antenne capte un signal de fréquence radio S_{fr} qui est, une fois filtré, composé du signal désiré S_{ds}, et d'un signal adjacent non désiré S_{nds} n'ayant pas été coupé suffisamment par le filtre FR. Un mixeur permet d'effectuer une conversion vers le bas du domaine des fréquences radio FR vers celui des fréquences intermédiaires FI. Dans une situation idéale, en l'absence de bruit de phase sur l'oscillateur local, on retrouverait en sortie un signal S_{dem} étant la conversion vers le bas du signal présent à la fréquence f_{ds}. Par contre, le bruit de phase

greffé autour de S_{OL} vient polluer le signal S_{dem} par mixage direct et réciproque. Le mixage direct consiste à superposer le bruit de phase de S_{OL} au signal S_{ds} converti vers le bas à $f_{fi} = f_{ds} - f_{OL}$. De la même manière, le mixage réciproque, consiste à superposer ce bruit de phase au signal non désiré adjacent S_{nds} converti vers le bas à $f_{nds} - f_{OL}$ (voir figure 1-18). Le filtre FI possédant une bande passante minimale, l'énergie amenée à proximité de f_{fi} par mixage réciproque ne peut être complètement rejetée. Il en résulte ainsi un signal S_{dem} pollué par le signal non désiré S_{nds}.

La dégradation du signal d'intérêt à la fréquence f_{fi} est donc proportionnelle à l'amplitude du signal S_{nds} et à la puissance du bruit de phase greffé à l'oscillateur local. Outre l'importance accordée à la conception même de l'oscillateur pour minimiser son bruit intrinsèque, on comprend qu'il est d'autant plus important de réduire au minimum toute source pouvant potentiellement venir polluer la tension de commande de l'OCT. De façon générale, les oscillateurs, OCT, PLL ou synthétiseurs sont caractérisés par un bruit de phase dont les unités sont le dBc/Hz @ f_m Hz. Cette donnée indique un niveau de densité de puissance de bruit (dB) à une fréquence distante de f_m (Hz) de la porteuse ou *carrier* (le c dans dBc).

La section qui suit expose les différentes sources de bruit pénétrant à l'intérieur de la PLL. On en extirpera les plus dommageables, pour ensuite mieux les comprendre.

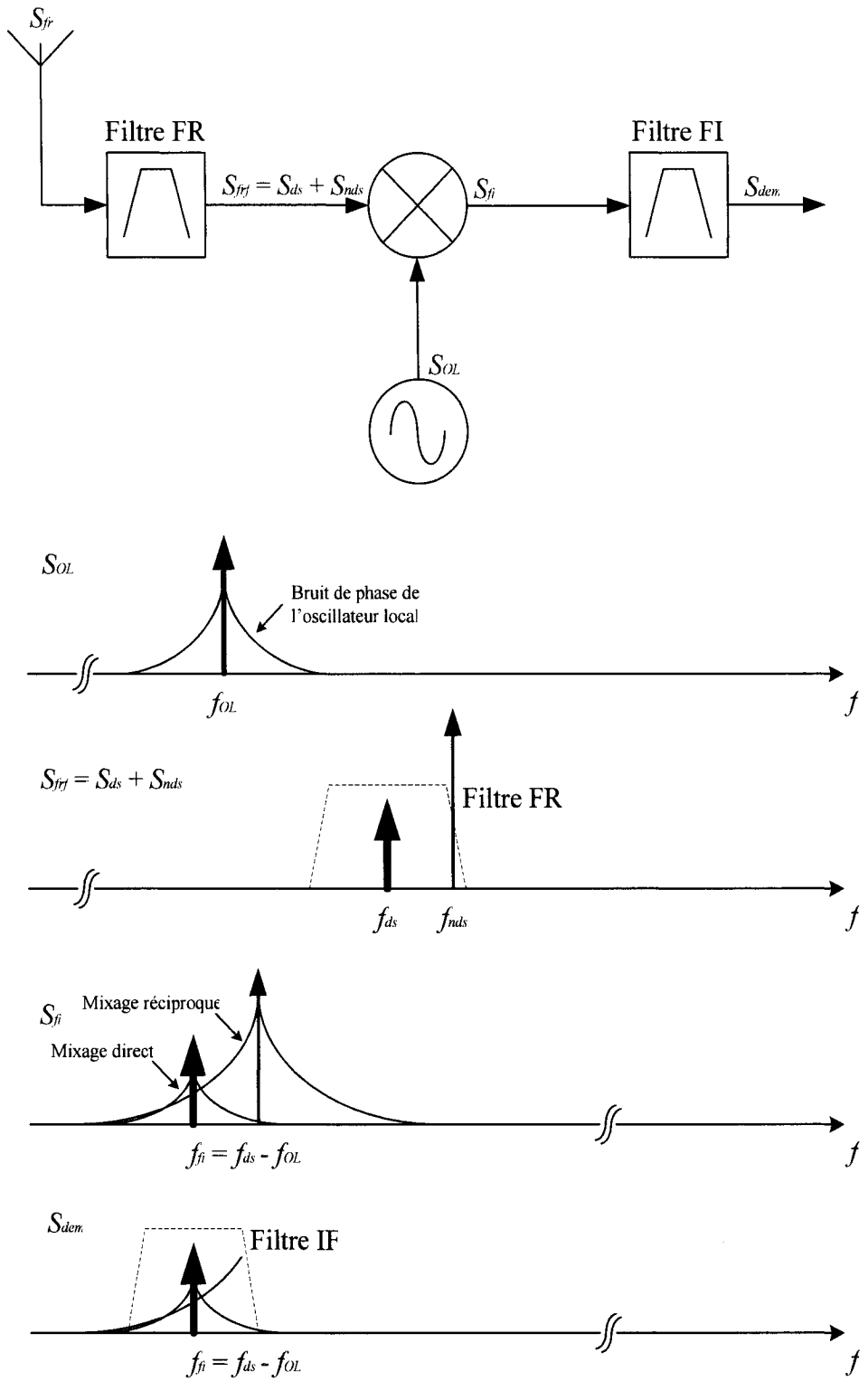


Figure 1-18 Introduction du bruit dans un récepteur hétérodyne (inspiré de [26])

(c) Les sources de bruit dans un synthétiseur de fréquence

Maintenant que nous connaissons l'importance de minimiser toutes les sources de bruit potentielles, voyons de quelles façons les différentes sources de bruit viennent polluer la sortie du système. Le bruit de phase généré par l'ensemble des blocs composant le synthétiseur de fréquence peut être modélisé par plusieurs sources additives [26]. La figure 1-19 illustre ces différentes sources.

Les bruits de phase $\phi_R, \phi_{ZM}, v_{bDP}, i_{bPC}, v_{bFPB}$, ϕ_{OCT} et ϕ_N représentent respectivement le bruit présent dans le signal de référence S_R, le bruit de phase équivalent produit par la zone morte du détecteur de phase (voir section 1.4 (e)), le bruit produit par le détecteur de phase principalement composé de fuites de la référence (voir section 1.4 (d)), le bruit provenant de la pompe de charge, le bruit apporté par le filtre passe-bas, le bruit de phase intrinsèque à l'oscillateur commandé par tension et finalement, le bruit généré par le diviseur de fréquence digital.

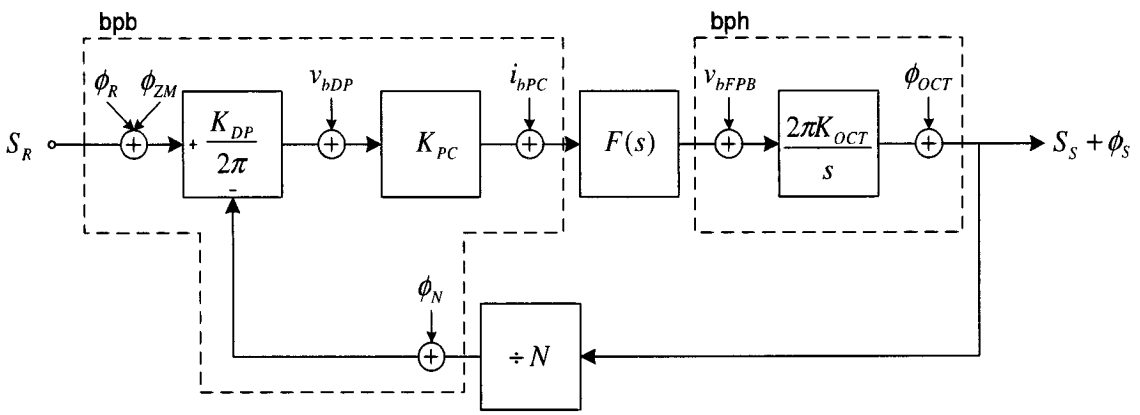


Figure 1-19 Introduction des sources dans un synthétiseur de fréquence

Tout dépendamment de leur position dans la boucle (figure 1-19), ces différentes sources de bruit sont sujettes, lorsque transférées à la sortie de la boucle fermée, à une fonction de transfert passe-bas (*bruit passe-bas* bpb) lorsqu'en amont du filtre; ou encore à une fonction de transfert passe-haut (bph) lorsqu'en aval. C'est la largeur de bande f_C définie en 1.2 (b) qui vient déterminer la fréquence de coupure basse et haute de ces deux fonctions de transfert. Ainsi, à une fréquence relative de modulation f_m, la puissance du bruit de phase de sortie $\phi_S^2(f_m)$ peut être définie de la façon suivante :

$$\phi_S^2(f_m) = \phi_{bpb}^2(f_m) + \phi_{bph}^2(f_m) \tag{1.22}$$

où

$$\phi_{bpb}^2 = N^2 \left| H(j2\pi f_m) \right|^2 \left(\phi_R^2(f_m) + \phi_{ZM}^2(f_m) + \phi_N^2(f_m) + \frac{v_{bDP}^2(f_m)}{K_{DP}^2 / 4\pi^2} + \frac{I_{bPC}^2(f_m)}{K_{DP}^2 K_{PC}^2 / 4\pi^2} \right) \tag{1.23}$$

et

$$\phi_{bph}^2 = \left| T_{ph}(j2\pi f_m) \right|^2 \left(v_{bFPB}^2(f_m) \cdot \frac{K_{OCT}^2}{f_m^2} + \phi_{OCT}^2(f_m) \right) \tag{1.24}$$

où

$T_{ph}(s) = \dfrac{1}{1+G(s)}$ représente la fonction de transfert passe-haut (ph) en fonction de $G(s)$ présenté à l'équation 1.2.

On note que, tout dépendamment à quelle source de bruit elle réfère, la fréquence f_m peut être relative à la fréquence nulle (DC) ou à la fréquence de l'oscillateur. En effet,

une fois modulées au travers de l'OCT, toutes les sources de bruit distantes de f_m par rapport à l'origine se verront superposées à une fréquence f_m relative à f_{OCT}.

En observant les relations existantes entre les différentes sources de bruit, on observe que leurs contributions respectives au bruit total de sortie $\phi_S(f_m)$ ne sont pas toutes équivalentes. Il sera plus avantageux d'abaisser la puissance de certaines sources plutôt que d'autres, afin de réduire de façon significative le bruit de phase du signal de sortie. On remarque, en premier lieu, que le bruit intrinsèque de l'oscillateur $\phi_{OCT}(f_m)$ et celui introduit par le filtre passe-bas $v_{bFPB}(f_m)$ subissent une atténuation aux fréquences de modulation f_m plus basse que la largeur de bande f_C. De ce fait, une grande part de leur contribution se voit filtrée [2, 26] et n'est généralement pas dominante en sortie du système. L'impureté $\phi_R(f_m)$ de la référence échappe au contrôle du concepteur et ne peut être atténuée que par l'utilisation même de la PLL (exemple du filtre en 1.1). Autrement dit, il ne s'agit pas d'un bruit ajouté par le système. En général, seules les sources de bruit $\phi_{ZM}(f_m), v_{bDP}(f_m)$, $I_{bPC}(f_m)$ et $\phi_N(f_m)$ forment un ajout significatif et potentiellement contrôlable. Les diviseurs de fréquence produisent en fait un bruit blanc de puissance relativement faible [11] dominé par le bruit du détecteur de phase/fréquence [2].

En résumé, étant donné leur position dans la boucle et leur nature même, les sources de bruit $\phi_{ZM}(f_m)$, $v_{bDP}(f_m)$ et $I_{bPC}(f_m)$, générées par le détecteur de phase/fréquence ainsi que la pompe à charge, dominent le comportement bruité du synthétiseur pour $f_m < f_C$ et

ont tout intérêt à être amoindries. Ce sont donc deux de ces trois principales sources de bruit qui attireront notre attention pour la suite du document. Le bruit $I_{bPC}(f_m)$ généré par la pompe de charge ne sera pas étudié dans le présent document, puisque cette dernière sera remplacée par un convertisseur tension-courant. Bien évidemment, le bruit de ce convertisseur sera aussi sujet à un gain $\frac{4\pi^2}{K_{DP}K_{PC}}$ et devra être conçu en conséquence. Ce sujet ne sera par contre pas couvert. Ainsi, avant de poursuivre, expliquons plus en détail de quoi sont constituées les sources $\phi_{ZM}(f_m)$ et $v_{bDP}(f_m)$.

(d) Fuites de la référence

La source $v_{bDP}(f_m)$ est principalement constituée des fuites de la référence étant formée des composantes spectrales du signal S_R réussissant à se faufiler au travers du détecteur de phase. Bien qu'atténuées par le filtre passe-bas, ces composantes spectrales viennent se placer autour de la porteuse S_S ou S_{OL} dans le contexte du récepteur. Ainsi, une fuite de fréquence f_R sera modulée vers le haut aux fréquences $f_m = f_{OL} \pm f_R$. Sans perte de généralité et pour fins de démonstration, il peut arriver que les différents canaux d'un système de communication soient distants d'une fréquence équivalente à la fréquence de référence f_R, c'est-à-dire $f_{nds} - f_{ds} = f_R$. Il s'en suit, par un mixage réciproque, un signal bruité superposé directement à la fréquence f_{fi}.

Lors de la présentation des détecteurs de phase classiques à la section 1.3 a) ii), il a été noté que les détecteurs de phase analogique et OU Exclusif possédent en sortie une

composante spectrale $2f_R$. Par ailleurs, les détecteurs SR et DPF possédent une composante spectrale égale à f_R. Notons cependant que, de tous les détecteurs classiques présentés plus haut, seul le DPF possède un point d'équilibre à $\Delta\varphi = 0$. Ainsi, par son principe de fonctionnement, seul le détecteur DPF ne laisse fuir intrinsèquement aucun signal lorsque la PLL est verrouillée. Autrement dit, contrairement aux autres détecteurs, la largeur des impulsions générées par ce dernier devient nulle lorsque la différence de phase devient elle aussi nulle. Donc, seul un signal DC est produit à l'équilibre. Alliée à sa capacité de détecter les différences de fréquence, cette propriété fait de ce détecteur un choix de prédilection adopté par pratiquement tous les concepteurs devant réaliser un système de haute performance.

Par contre, ce détecteur est affligé d'un défaut qui l'empêche d'être élevé à titre de détecteur idéal : il possède une zone morte.

(e) La zone morte

La zone morte ($\phi_{ZM}(f_m)$) du détecteur de phase/fréquence DPF est une petite région pour laquelle le détecteur possède un gain nul. Elle est causée par la nature séquentielle du détecteur. Lorsque la phase se situe à l'intérieur de cette zone, la PLL se comporte comme si elle était ouverte. L'oscillateur agit alors sans aucune compensation. À ce moment, aucune réduction du bruit intrinsèque de l'oscillateur ne peut être effectuée (voir section 1.5). Pire encore, l'inertie de la PLL jumelée aux différents courants de fuite présents dans la boucle entraîneront un comportement chaotique de la fréquence f_S. Bien

qu'en théorie le bruit de phase devrait se limiter à la grandeur de la zone morte, il est possible qu'en pratique ce soit bien plus grave. En effet, en atteignant une des bornes de la zone, le détecteur DPF produira une impulsion pour corriger l'erreur de phase. Ce faisant, il est possible que l'erreur de phase atteigne ou dépasse l'autre borne de la zone morte pour ainsi osciller au-delà de chacune de ses bornes, positive et négative. La grandeur de la zone morte est une dimension absolue qui dépend principalement de la technologie utilisée. C'est donc dire que plus la fréquence d'utilisation du détecteur est élevée, plus la zone morte est apparente et problématique. La figure 1-20 illustre bien la zone morte, tant au niveau de la fonction de transfert du détecteur qu'au niveau conceptuel, où une balle représentant la phase ne cesse de rebondir entre les limites de la zone morte. La réaction du système à la zone morte peut alors être interprétée comme une source de bruit de phase en entrée du détecteur de phase ($\phi_{ZM}(f_m)$) [18].

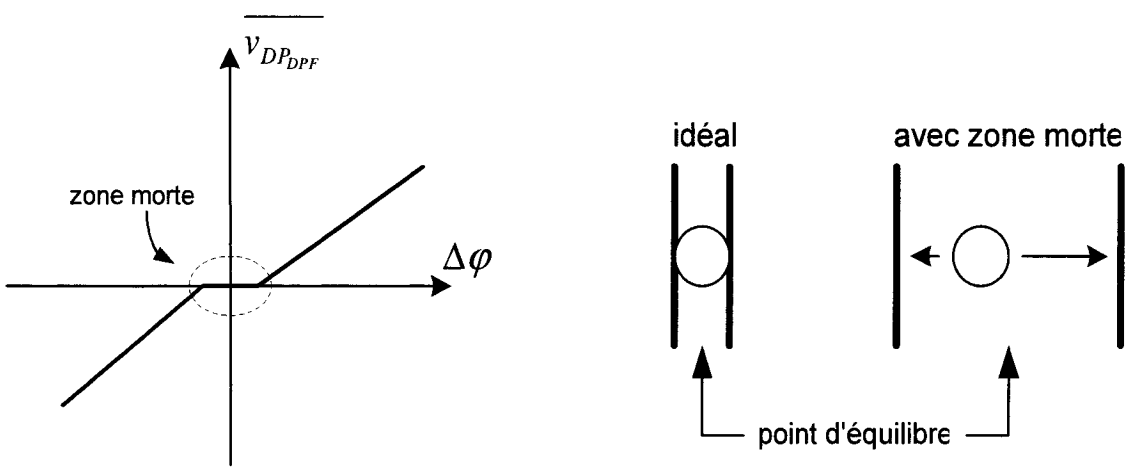


Figure 1-20 Illustration conceptuelle de la zone morte

1.5 Compromis bruit/vitesse

Afin de réduire la contribution des sources de bruit dominantes ($\phi_{ZM}(f_m)$ et $v_{bDP}(f_m)$), une première solution intuitive serait d'abaisser le gain du détecteur de phase/fréquence pour les atténuer à la source avant qu'elles ne dégradent le comportement du système. D'un autre point de vue, puisque la bande passante f_C est reliée au gain $K = \frac{K_{DP}K_{PC}K_{OCT}}{N}$ de la boucle (voir équations 1.2 et 1.6), on parvient à abaisser la fréquence de coupure f_C, ce qui filtre de façon plus convaincante l'amplitude de ces mêmes sources. Par contre, agissant de la sorte, un double compromis se présente. En premier lieu, on vient réduire la capacité du système à réagir rapidement aux changements. Ceci empêche le synthétiseur de se verrouiller rapidement, situation non souhaitable dans la plupart des applications couvertes par les PLL. En second lieu, il peut arriver, selon l'application, que le fait d'abaisser f_C amène le bruit intrinsèque de l'OCT à devenir plus dominant (plage réduite du filtre passe-haut). De façon générale, la littérature parle plutôt du premier compromis [10].

Étant donné l'existence de ce compromis, le temps maximal de verrouillage exigé par les spécifications dicte une borne inférieure $f_{C\min}$ qui représente la situation où les sources $\phi_{ZM}(f_m)$ et $v_{bDP}(f_m)$ sont les moins dérangeantes, étant donné les exigences. Étant ainsi limité pour plusieurs applications de hautes performances, deux solutions plus avantageuses n'exigeant aucun compromis se présentent.

La première consiste à tronquer, à leur origine même, les sources $\phi_{ZM}(f_m)$ et $v_{bDP}(f_m)$ en concevant de nouveaux détecteurs de phase sans zone morte et avec un minimum de fuite de la référence. Nous verrons dans la section suivante les quelques détecteurs sans zone morte existant dans la littérature.

La seconde solution consiste à utiliser le parallélisme. Cette solution maintenant largement étendue à travers la littérature [3, 4, 7, 8, 9, 14, 16] permet de concevoir des PLL ou des synthétiseurs à deux vitesses. La section 1.7 introduit plus en détail ce concept.

1.6 Détecteurs de phase sans zone morte

Il a été démontré dans les sections précédentes que le détecteur de phase/fréquence DPF, même si, très attrayant, possède une caractéristique très indésirable à haute fréquence : la zone morte. Il a aussi été démontré que le détecteur de phase/fréquence est de façon générale, un goulot d'étranglement dans la conception des PLL ou synthétiseurs de fréquence de haute performance. En effet, ses imperfections sont celles qui ont le plus de répercussions sur le bruit de phase du système. Afin de concevoir des systèmes moins bruyants sans toutefois réduire la rapidité du système en abaissant f_C, certains détecteurs de phase/fréquence sans zone morte ont été récemment présentés dans la littérature.

Le premier de ceux-ci [1] est un détecteur de phase précis basé sur un échantillonneur bloqueur analogique. Il donne une réponse approximativement linéaire et ne possède

ainsi aucune zone morte ($\phi_{ZM}(f_m) = 0$). De plus, sa nature analogique plutôt que digitale (sortie pulsée) annule pratiquement toute fuite de la référence ($v_{bDP}(f_m) \approx 0$). Cependant, sa fonction de transfert dépend de la forme du signal S_d provenant du chemin de rétroaction de la boucle. En effet, il se comporte de façon précise seulement lorsqu'une sinusoïde lui est présentée. Ainsi, il n'est pas utilisable dans toutes les applications de la PLL, particulièrement pour le synthétiseur de fréquence. La figure 1-21 donne une bonne idée de son fonctionnement. En effet, lorsqu'un front montant est détecté sur le signal de référence, le détecteur échantillonne durant une courte période de temps l'amplitude du signal de retour S_d. Ainsi, à cet instant et jusqu'au prochain front montant, le détecteur génère une tension de sortie proportionnelle à l'amplitude instantanée du signal sinusoïdal S_d. Le détecteur produit une tension nulle lorsque le front montant de la référence est synchronisée avec une phase nulle du signal sinusoïdal, c'est-à-dire lorsque son amplitude instantanée est aussi nulle. La fonction de transfert du détecteur correspond donc à une sinusoïde.

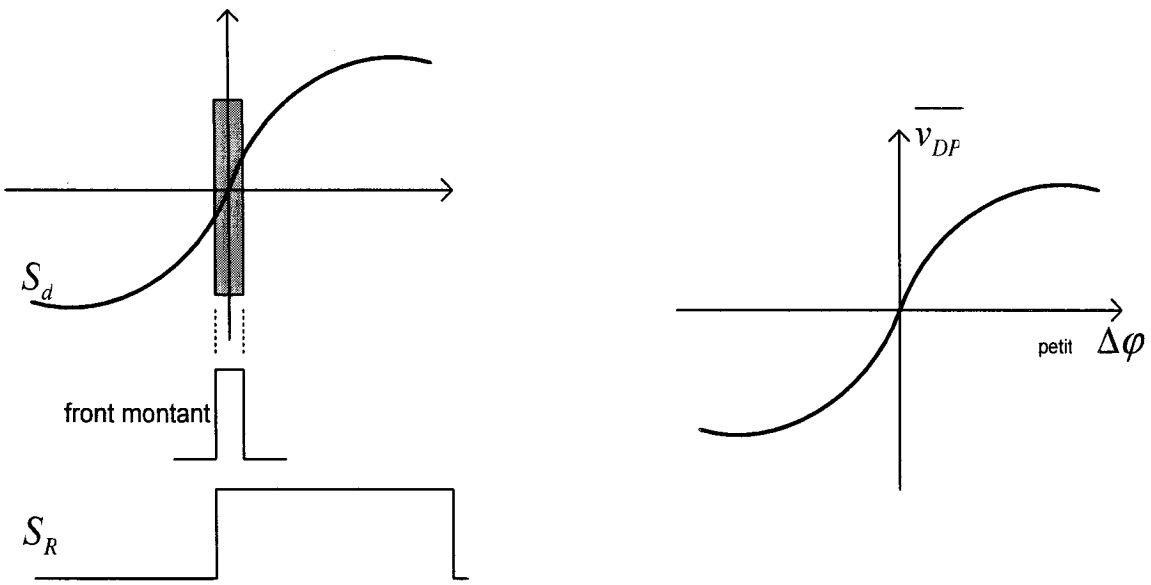


Figure 1-21 Conceptualisation du détecteur de phase échantillonneur bloqueur analogique

Le deuxième détecteur [24, 25] est un simple détecteur de phase non séquentiel dépourvu de zone morte ($\phi_{ZM}(f_m)=0$). On peut résumer son principe de fonctionnement en mentionnant que le détecteur génère, par combinaisons logiques du signal de référence S_R, deux signaux intermédiaires fenêtrés par le signal de retour S_d. Cette fenêtre, représentée par la région assombrie sur la figure 1-22, permet la génération des signaux de sortie *haut* et *bas*. À l'équilibre $\Delta\varphi = \pi$, les deux signaux *haut* et *bas* sont de durées égales et forment en moyenne un signal différentiel nul.

Malheureusement, la génération de tels signaux, même à l'équilibre, provoque une fuite de la référence au travers du signal ($v_{bDP}(f_m)\neq 0$) ce qui est une caractéristique indésirable. D'autres détecteurs ayant des caractéristiques similaires ont été proposés par différents auteurs tel qu'en [12].

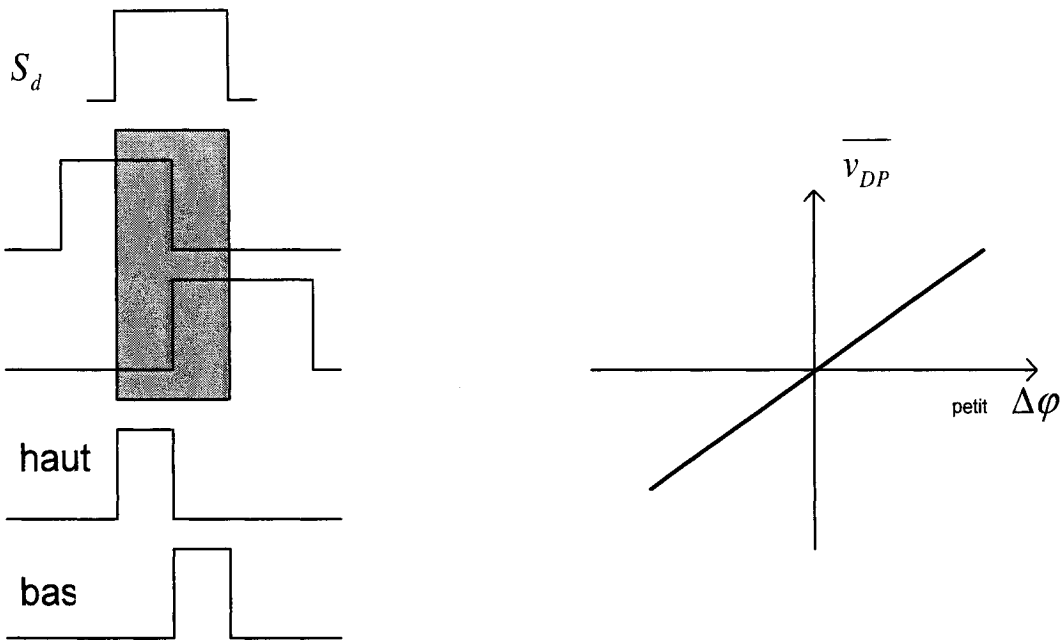


Figure 1-22 Conceptualisation du détecteur de phase non séquentiel

1.7 Le parallélisme

Bien que certains détecteurs de phase sans zone morte existent, ils ne peuvent pas toujours répondre aux besoins. Les deux détecteurs présentés à la section 1.6 sont en effet, comme on l'a vu, plus ou moins limités, malgré l'absence de zone morte. Étant donné ces faiblesses, il est intéressant d'exploiter un concept qui a été présenté par plusieurs concepteurs [3, 4, 7, 8, 9, 14, 16]: le parallélisme. Par cette solution, il est à nouveau possible de briser le compromis bruit/rapidité pour obtenir le meilleur des deux mondes, et ce, sans avoir sous la main un détecteur de phase de haute performance tels que ceux décrits en 1.6.

À quelques variantes près, l'idée générale est d'amener le synthétiseur, via une boucle parallèle de large bande (f_C élevé), à l'intérieur d'une région où les fréquences f_R et

f_d sont voisines et à l'aide d'une seconde boucle à bande étroite (f_C faible) gouverne la convergence finale de la fréquence et de la phase. Ce faisant, le système se trouve rapidement près de l'équilibre où une bande étroite favorisera le rejet du bruit de phase du système.

1.8 Problématique restante

Jusqu'à maintenant, nous savons qu'il existe des détecteurs de phase très performants, plus ou moins bien adaptés au problème du synthétiseur de fréquence. Nous savons aussi qu'une solution exploitant le parallélisme permet de concevoir des détecteurs de phase de haute performance. Cependant, un bémol doit être apporté à cette dernière solution.

Pour minimiser de façon optimale le bruit de phase du synthétiseur, lorsqu'il est verrouillé, un gain minimal devrait être prescrit au détecteur de phase utilisé dans la boucle à bande étroite ou à faible gain. Ce faisant, lorsque le synthétiseur est verrouillé, une très faible réduction du bruit intrinsèque de l'OCT est possible (1.4-c).

Or, en exploitant tout de même un détecteur de phase privé de zone morte et de fuite de la référence dans une boucle à bande étroite, un système prenant avantage du parallélisme aura la qualité de permettre une f_C optimale (bruit de l'OCT vs le reste de la boucle) à l'équilibre, tout en procurant un maximum de rapidité au système. De plus, la détection de fréquence en parallèle donne la liberté de choisir un détecteur de phase, plutôt qu'un détecteur de phase/fréquence.

Malencontreusement, nous avons vu qu'aucun détecteur de phase pouvant être exploité à l'intérieur d'un synthétiseur de fréquence n'offre à la fois l'absence d'une zone morte et l'élimination des fuites de la référence.

Le présent document propose deux versions d'un même détecteur de phase qui répondent à ce besoin. Le tableau qui suit résume les caractéristiques des détecteurs de phase présentés.

Tableau 1-1 Tableau récapitulatif des caractéristiques fondamentales des différents détecteurs de phase

Détecteur	Zone Morte	Fuites de la référence	Détection en fréquence	Utilisable dans un synthétiseur
OU Exclusif		√		√
Bistable SR		√		√
DPF	√	√	√	√
Échantillonneur bloqueur analogique				
DP non séquentiel		√		√
DP chapitre 2				√
DP chapitre 3				√

On doit comprendre que la boucle à large bande agissant comme détecteur de fréquence doit être complètement déconnectée du système lors de l'approche du point de repos. En

effet, toute perturbation venant de cette boucle à gain élevé viendrait brouiller la pureté de la seconde boucle, ou pire encore, viendrait l'empêcher de se verrouiller. Malheureusement, les détecteurs de phase/fréquence ou de fréquence utilisés dans la littérature ne sont pas complètement éteints lorsque la seconde boucle prend le relais [4, 6, 7, 8, 9, 14, 16]. Ainsi, le système devient vulnérable aux imperfections de ces détecteurs. Cette vulnérabilité est d'autant plus élevée lorsque le gain de la boucle à large bande est grand, on ne peut alors pas pousser au maximum la rapidité du système.

En plus de proposer deux versions d'un nouveau détecteur de phase de très grande précision, ce mémoire propose un nouveau détecteur de fréquence à trois états. Ce dernier se retire complètement de la boucle au moment où le détecteur de phase prend le contrôle de cette dernière.

1.9 Présentation des chapitres

Il est important de noter que l'ensemble des recherches exposées dans ce document n'a pas comme seul objectif la réalisation d'un synthétiseur de fréquence de haute performance. On tente de présenter des solutions pouvant être exploitées dans n'importe quelle application couverte par la PLL. De plus, contrairement à d'autres solutions présentées dans la littérature, on tente de n'imposer aucune restriction quant aux choix des autres composantes formant les systèmes exploitant la PLL. À titre d'exemple, plusieurs solutions imposent l'utilisation d'OCT spéciaux [9, 16]. Or, la conception d'un oscillateur de haute performance demeure un important défi en soi, et on ne désire pas lui

imposer des contraintes ou caractéristiques supplémentaires risquant de limiter ses performances. Dans cette optique, deux variantes d'un même détecteur de phase deviennent intéressantes selon l'application. Les détecteurs sont présentés dans un contexte d'application relativement général, en essayant de faire ressortir les principales caractéristiques qui les mettent en valeur.

Le chapitre 2 présente la première version développée d'un nouveau détecteur de phase de haute précision. Ce détecteur a la particularité d'être insensible au rapport cyclique (*duty-cycle*). Ce chapitre constitue la matière d'un article de conférence présenté à l'*International Symposium On Circuits and Systems* de IEEE en 2002 [20]

Le chapitre 3 présente une version plus performante du même détecteur de phase. Ce gain de performance se fait par contre au détriment de l'insensibilité au rapport cyclique. Notons cependant que dans une application telle qu'un synthétiseur de fréquence, cette caractéristique n'a pas d'importance.

Le chapitre 4 décrit un nouveau détecteur de fréquence à trois états complémentaire au détecteur de phase présenté aux chapitres 1 et 2, optimisant l'exploitation du parallélisme. Réuni à la matière du chapitre 3, ce chapitre forme le contenu d'un second article de conférence présenté à l'*International Symposium On Circuits and Systems* de IEEE en 2003 [21].

Le chapitre 5 décrit une méthode de test embarquée permettant de caractériser expérimentalement la fonction de transfert d'un détecteur de phase. Le but de cette méthode de test est entre autre de confirmer l'absence de zone morte.

Finalement, au chapitre 6, une conclusion souligne les différentes contributions apportées par cette recherche en soulevant quelques directions intéressantes à suivre, afin de pousser plus loin cette dernière.

CHAPITRE 2. Détecteur de phase : version 1

2.1 Introduction

Dans ce chapitre, un nouveau détecteur de phase ayant été le sujet d'un article de conférence présenté à l'*International Symposium On Circuits and Systems* de IEEE en 2002 [20] est proposé et analysé. On y démontre que sa structure différentielle amène plusieurs avantages sur les détecteurs déjà présentés. En plus de l'absence de zone morte et d'une très basse activité digitale réduisant les fuites de la référence, sa structure permet une insensibilité aux bruits en mode commun et donne une relation linéaire à chaque cycle d'horloge. Contrairement à une relation linéaire moyenne (dans le temps), cette dernière caractéristique rend les approximations linéaires plus justes lors de la modélisation d'une PLL.

En considérant la référence de phase égale au moment où le signal croise la tension d'activation (*threshold*) v_t d'un transistor *n*, ce détecteur peut trouver la différence de phase entre deux signaux périodiques de forme arbitraire. Ce dernier peut alors être utilisé avec des signaux sinusoïdaux aussi bien qu'avec des signaux carrés, et peut donc très bien s'introduire dans un synthétiseur de fréquence ou dans toute autre application de la PLL. Le concepteur possède par le fait même l'entière liberté dans son choix d'oscillateur ou de nomenclature de sa PLL.

2.2 Structure et opération

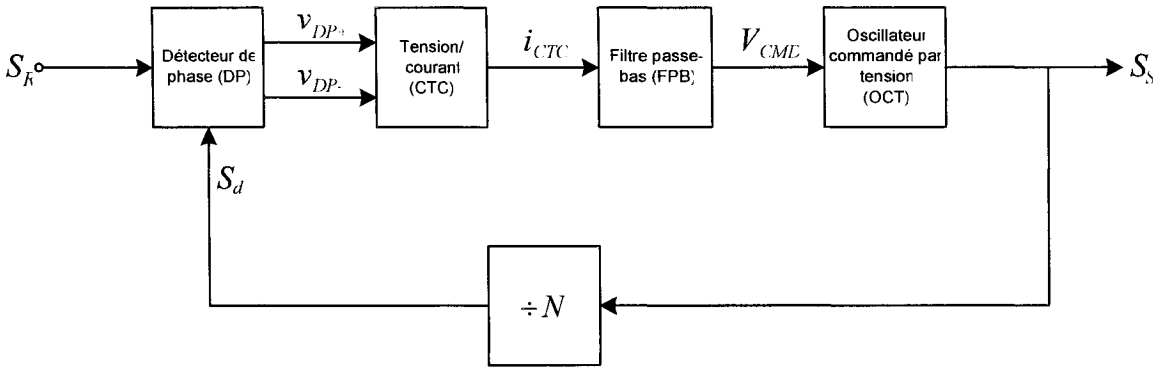


Figure 2-1 Diagramme bloc d'un synthétiseur de fréquence exploitant le détecteur de phase proposé

Tel qu'illustré à la figure 2-1, la tension de sortie analogique et différentielle du détecteur alimente un amplificateur à transconductance, ou conceptuellement, un convertisseur de tension vers un courant (CTC). La conventionnelle pompe de charge est ainsi remplacée par le convertisseur proposé. De ce fait découlent plusieurs avantages expliqués plus loin dans ce chapitre.

L'idée générale se cachant derrière ce DP consiste à présenter au CTC, à chaque période, une tension rafraîchie, linéairement proportionnelle à la différence de phase $\varphi_R - \varphi_d$ présente à l'entrée du détecteur. Pour y parvenir, un courant est intégré via un condensateur préalablement et périodiquement vidé de ses charges. La fenêtre d'intégration temporelle correspond à l'intervalle durant lequel les deux signaux comparés ne sont pas au même niveau logique. La figure 2-2 propose un modèle comportemental du détecteur de phase. On y aperçoit des interrupteurs (*P*), des sources de courant (*I*) commutées et des capacités.

La figure 2-3 montre certains signaux typiques présents aux nœuds significatifs. On y note que les condensateurs *C1* et *C2* sont vidés à tous les cycles au travers des portes de transmission *P2* et *P5*. C'est-à-dire quand les deux signaux périodiques se situent à un niveau logique bas, lorsque $\overline{S_R} \bullet \overline{S_d}$ est vrai.

Lorsque $S_R = 1$ et $S_d = 0$, seulement les interrupteurs *P1* et *P6* sont fermés. À ce moment, le courant $i(S_R)$ charge *C1* à l'instant où la tension v_{C2} est copiée au nœud v_{DP-}. En réalité, v_{C2} est entièrement copié vers v_{DP-} seulement si $C2 << Cp2$. Autrement, un transfert limité de charge a lieu : un transfert proportionnel au rapport de grandeur entre les deux capacités. Dans le but d'alléger la présente démonstration, supposons que la tension est parfaitement copiée aux bornes de la capacité parasite. Évidemment, tant qu'il n'y a aucune charge accumulée aux bornes de *C2*, v_{DP-} demeure virtuellement à la masse. Alors, lorsque S_d devient haut, l'interrupteur *P1* est ouvert et l'interrupteur *P3* fermé pour copier la tension v_{C1}, linéairement proportionnelle à l'erreur de phase, au nœud v_{DP+}.

La dernière étape a lieu lorsque S_R descend à zéro. À ce point, l'interrupteur *P6* s'ouvre et *P4* se ferme pour charger *C2*. Le premier cycle est alors complété et les condensateurs *C1* et *C2* seront déchargés dès la première étape du cycle suivant, lorsque $\overline{S_R} \bullet \overline{S_d} = 1$.

Il est à noter que *C2* a été déchargé avant qu'il ait été copié sur v_{DP-}. On observe que seulement la capacité chargée immédiatement après la remise à zéro ($\overline{S_R} \bullet \overline{S_d} = 1$) sera

copiée vers la sortie. De cette manière, le DP ne propose aucun signal v_{DP-} au CTC lorsque S_R précède S_d. Symétriquement, le DP ne génère aucun signal v_{DP+} si S_R succède S_d.

En se référant à la figure 2-3, on note que les tensions v_{DP+} et v_{DP-} sont rafraîchies à la fin de chaque nouveau cycle et ce, sans redescendre vers la masse. Cette dernière propriété permet, pour une même consommation, d'accroître le gain du détecteur en comparaison aux systèmes plus communs utilisant la pompe à charge. De plus, elle permet pour un même gain moyen (sur une période), donc une même largeur de bande de la PLL, un comportement moins bruyant. Autrement dit, on peut se permettre une plus grande largeur de bande tout en gardant un niveau de bruit peu élevé puisqu'il n'y a alors aucune fuite de la référence.

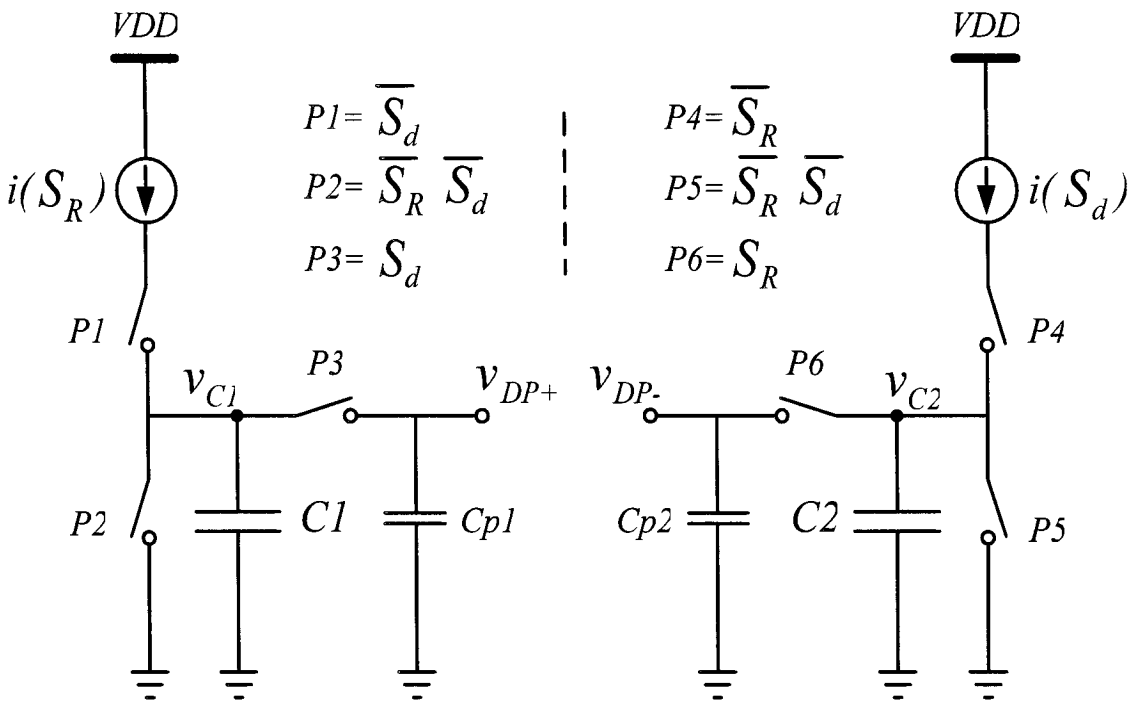


Figure 2-2 Modèle comportemental du détecteur de phase proposé.

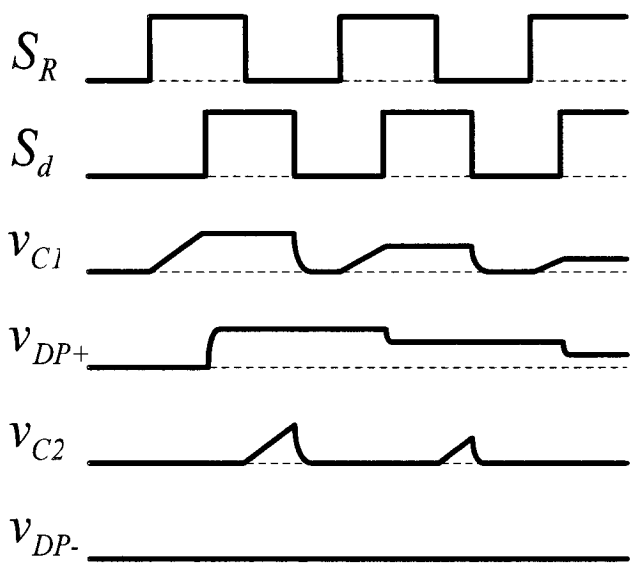


Figure 2-3 Activité aux nœuds d'intérêt du détecteur de phase proposé.

L'analyse du modèle comportemental exposé à la figure 2-2 peut laisser croire que le détecteur de phase est contaminé par une zone morte intrinsèque équivalente à $t_{P1} + t_{P4}$,

sous laquelle les interrupteurs *P1* et *P4* n'auraient pas suffisamment de temps pour se fermer et charger *C1* et *C2*, ce qui est faux. En pratique, *P1* et *S4* conduisent déjà lorsque la période de décharge, dictée par *P2* et *P5*, se termine. Les sources de courant sont nominalement éteintes durant le cycle de décharge. Par contre, elles s'activent légèrement avant que les interrupteurs *P2* et *P5* s'ouvrent. Ainsi, au tout début d'une phase de transfert, lorsque *P3* ou *P6* sont fermés, les capacités *C1* et *C2* ont déjà été chargées et ce, même si la différence de phase est nulle. De cette façon, la plus petite différence de phase entre les deux horloges modifie tout de même un peu la tension différentielle entre v_{DP+} et v_{DP-}, ce qui permet une détection sans zone morte. Le comportement de poursuite lorsque S_R suit S_d est exactement le même étant donné la symétrie du DP.

Lorsque simulée au niveau transistor avec des horloges ayant un rapport de cycle de 50%, la fonction de transfert du détecteur (Fig.2-4) se comporte de façon plutôt linéaire jusqu'à environ 90°. On verra au chapitre suivant qu'au-delà de 150°, le gain chute jusqu'à une valeur nulle près de 180°. Autour de ce point se trouve un point d'équilibre instable au travers duquel la PLL peut passer sans problème, comme en témoignent les simulations exposées aux figures 2-5 et 2-6.

Lorsque la PLL est verrouillée, les deux sorties v_{DP+} et v_{DP-} se trouvent à un potentiel près de la masse. Les seuls signaux nourrissant le CTC proviennent des différentes sources de bruit, et principalement des courants de fuite passant au travers des portes de transmission. Par contre, puisqu'à cet instant les signaux fuyants sont en phase, ils se

voient annulés par l'entrée différentielle du CTC. C'est de cette façon que le détecteur de phase rejette les fuites de la référence.

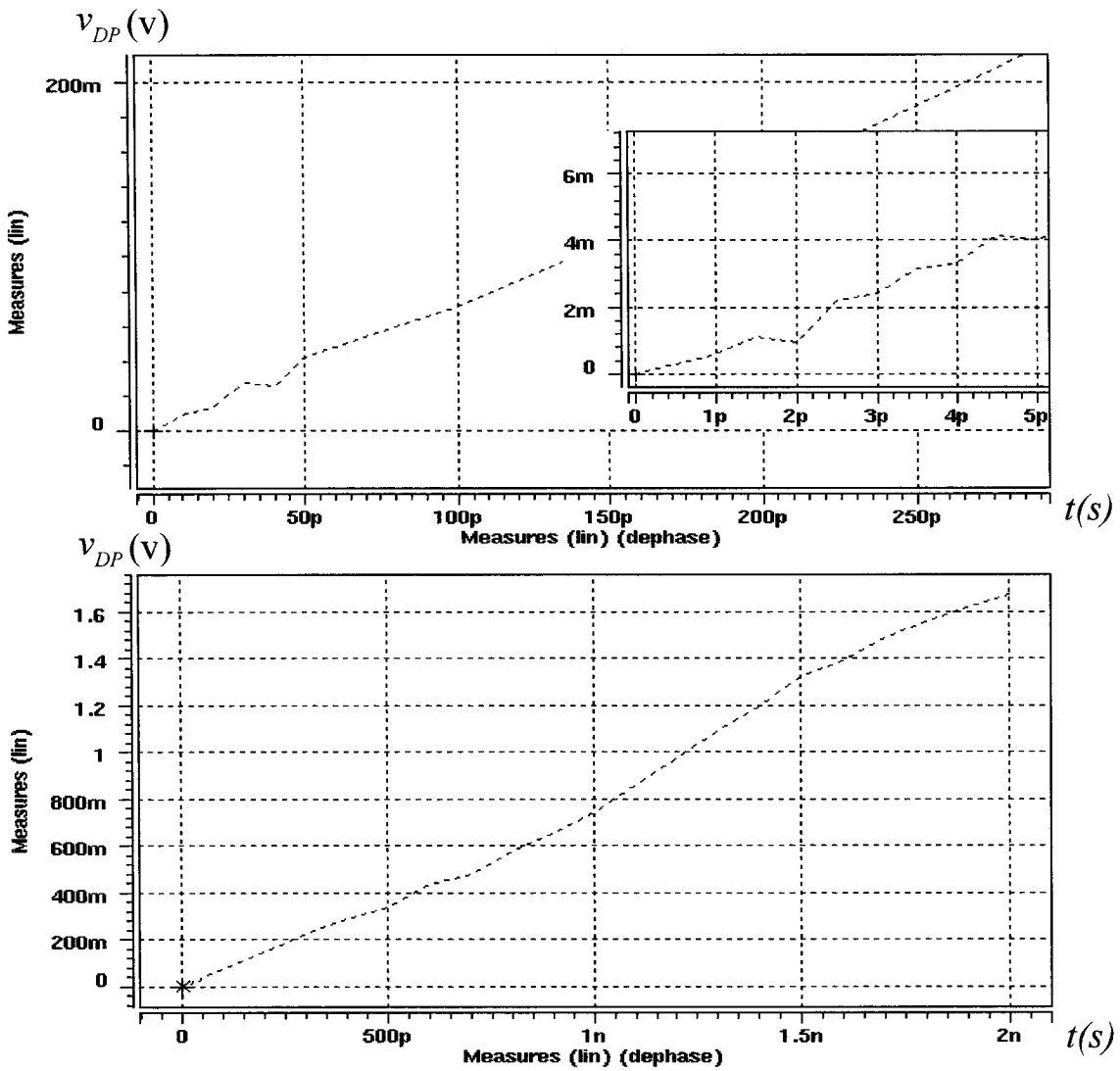


Figure 2-4 Fonction de transfert du DP proposé (simulé à f_R=125MHz)

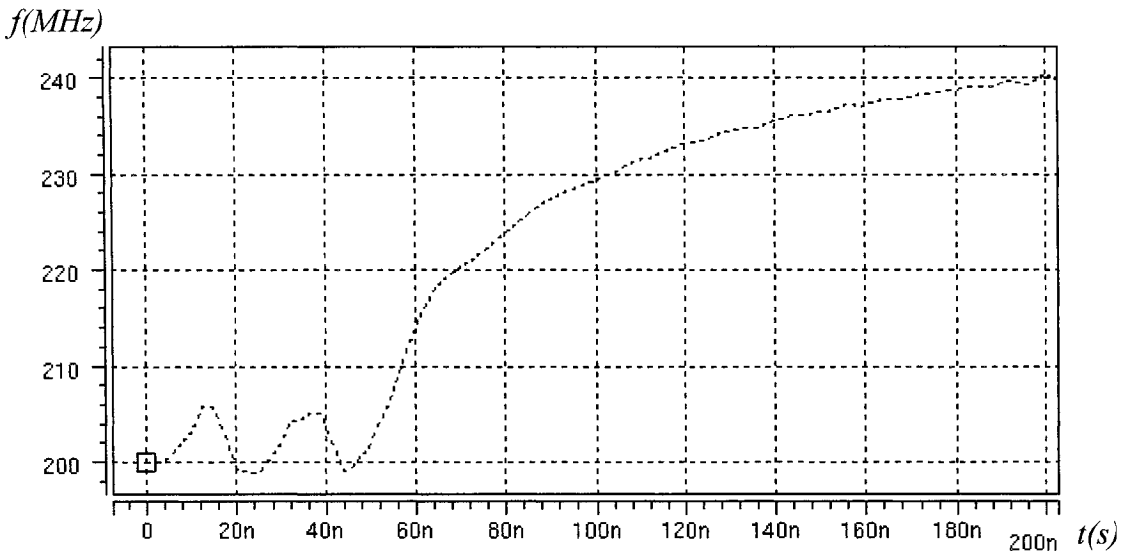


Figure 2-5 Fréquence instantanée de l'OCT lors d'un processus de poursuite de la PLL convergeant vers une fréquence de *250MHz*

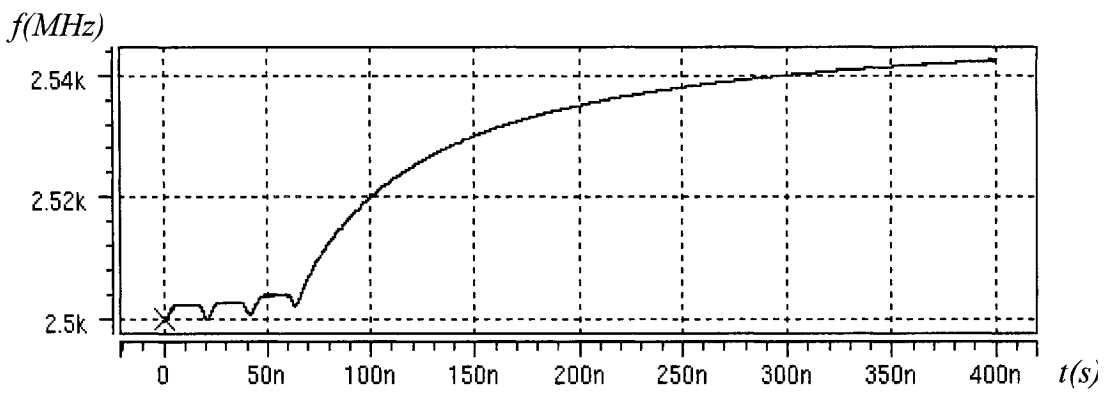


Figure 2-6 Fréquence instantanée de l'OCT lors d'un processus de poursuite de la PLL convergeant vers une fréquence de *2.5GHz*

Une propriété importante du détecteur de phase proposé dans ce chapitre réside dans le fait que le comportement en mode poursuite soit uniquement régi par le croisement sur une montée des signaux S_R et S_d et de la tension v_{tn}. Ainsi, la détection est insensible aux rapports cycliques des signaux comparés.

2.3 L'implémentation du détecteur de phase (DP)

L'implémentation au niveau transistor du détecteur de phase est détaillée aux figures 2-7 et 2-8. Chacun des interrupteurs *P1*, *P3*, *P4* et *P6* est fait de portes de transmission CMOS (*M1-M8*). De simples transistors nMOS (*M9-M10*) sont utilisés pour former les interrupteurs *P2* et *P5*. Les transistors *Mb1* à *Mb6* forment deux sources de courant contrôlées par les signaux S_R et S_d.

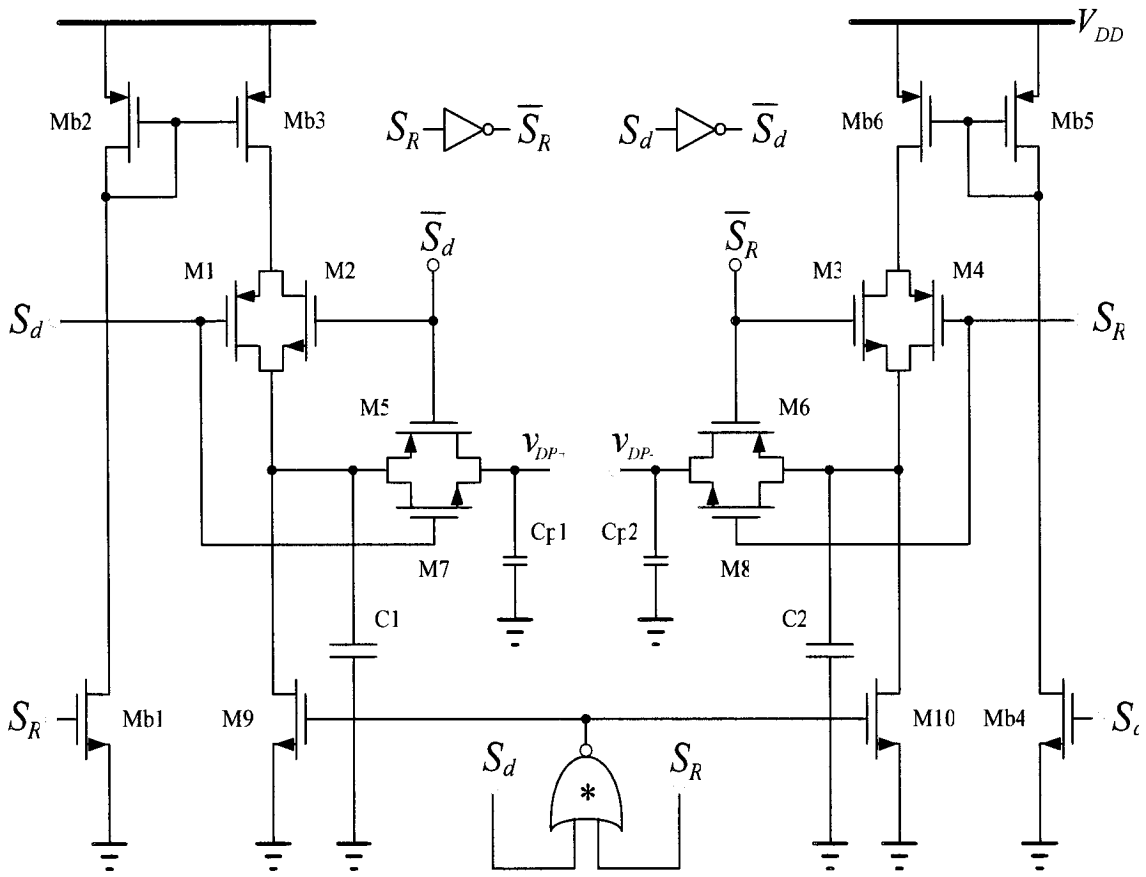


Figure 2-7 Implémentation au niveau transistor du détecteur de phase proposé

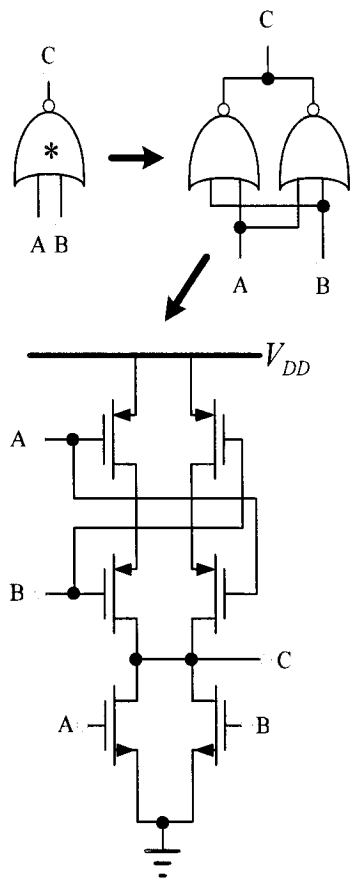


Figure 2-8 Implémentation au niveau transistor de la porte logique Non-OU équilibrée

Dans une configuration minimale, les capacités *Cp1* et *Cp2* représentent les capacités parasites des grilles aux entrées du CTC. Puisque le CTC devrait posséder des transistors relativement larges pour minimiser les erreurs dues aux variations paramétriques du procédé de fabrication, les capacités *Cp1* et *Cp2* peuvent devenir relativement importantes. Choisir *C1* et *C2* plus larges que ces dernières permet d'augmenter le gain du détecteur. Par contre, ceci réduit sa bande passante en limitant l'inertie du cycle précédent. Par ailleurs, en devenant trop larges, il devient difficile de les charger à plein potentiel en un seul cycle. Il apparaît très clair qu'un compromis doit être effectué à ce niveau et ce, particulièrement lorsque le détecteur est utilisé à haute fréquence. Par contre, à l'intérieur de la boucle de la PLL, le pôle généré par le DP sera généralement éloigné de celui généré par le filtre passe-bas. On peut alors le négliger et se concentrer à concevoir le détecteur en fonction de son gain. Encore une fois, le manque de gain à ce niveau de la boucle peut être compensé ailleurs dans la boucle. Or, il peut devenir important de le maximiser pour réduire la sensibilité de ce sous-bloc face au bruit.

Pour générer $\overline{S_R}$ et $\overline{S_d}$, de simples inverseurs CMOS équilibrés sont utilisés. L'implémentation de la porte logique *Non-OU* est détaillée à la figure 2-8. Cette porte *Non-OU* équilibrée par ses entrées entrecroisées possède une tension d'activation symétrique qui donne au détecteur de phase une relation intrinsèque parfaitement symétrique. La topologie du détecteur de phase requiert seulement 26 transistors et deux condensateurs. Les transistors *Mb1, Mb4 et M1 à M8* peuvent être de taille minimale pour réduire la taille du détecteur ainsi que les charges parasites.

2.4 Résultats de simulation

Toutes les simulations présentées dans cette section ont été produites à l'aide de HSPICE et ce, avec un CTC et un oscillateur commandé par tension (OCT) idéaux, dans le but d'isoler les imperfections du détecteur de phase (DP). Des suiveurs ont été ajoutés aux deux entrées pour produire des simulations réalistes. Le filtre passe-bas est simplement formé d'une capacité en parallèle au CTC, formant un taux RC dicté par la résistance de sortie de ce dernier.

Le comportement théorique du détecteur de phase décrit dans la deuxième section donne une assez bonne représentation du comportement simulé autour des quelques centaines de MégaHertz (Fig.2-9).

À plus haute fréquence, deux GigaHertz par exemple, le comportement diffère. En effet, à de telles fréquences, les capacités *C1* et *C2* ne sont jamais complètement déchargées avant que ne s'amorce le cycle suivant. Néanmoins, ceci n'empêche pas le DP de détecter ni la PLL de poursuivre et de verrouiller. Tel que démontré à la figure 2-10, la PLL verrouille. Cependant, le point de repos des tensions v_{DP+} et v_{DP-} n'est plus à la masse, mais quelque part près de 0.4 volt. De plus, les deux nœuds tendent à se suivre l'un et l'autre, ce qui réduit le gain du détecteur de phase à haute fréquence. Ainsi donc, pour conserver une bande passante ou un gain suffisant, on doit compenser à l'aide du CTC. Par ailleurs, puisque le DP reste tout de même éteint lorsque la boucle est verrouillée, un plus large gain du CTC n'entraînera pas une augmentation des activités parasites résultantes.

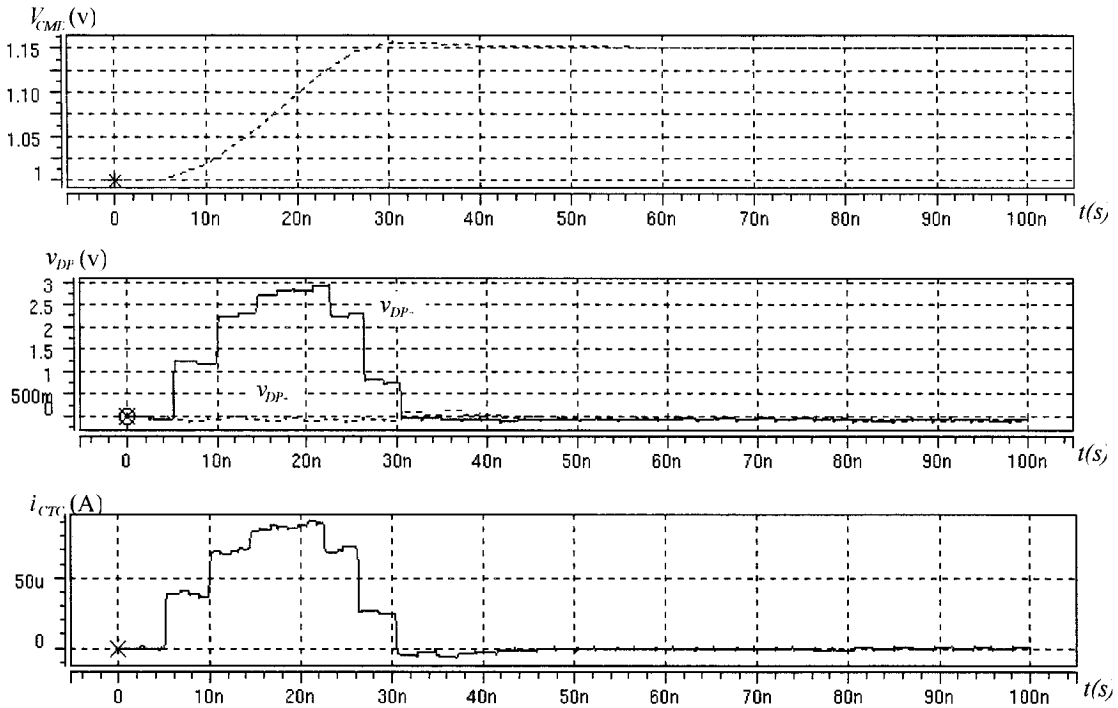


Figure 2-9 Visualisation des noeuds V_{CMD} et V_{DP} et du courant i_{CTC}, lors de la convergence d'une PLL exploitant le détecteur de phase proposé à une fréquence de *250MHz*

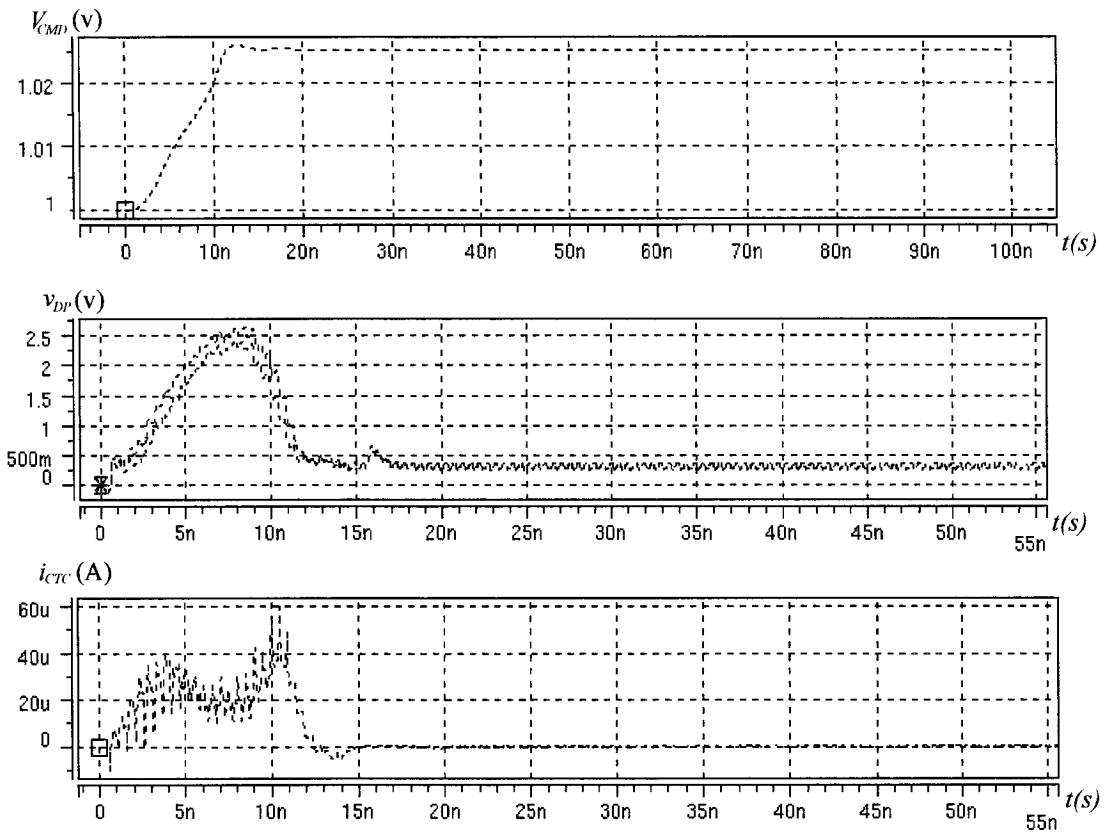


Figure 2-10 Visualisation des noeuds V_{CMD} et V_{DP} et du courant i_{CTC}, lors de la convergence d'une PLL exploitant le détecteur de phase proposé à une fréquence de *2GHz*

Tel que discuté plus haut, le DP proposé peut être au repos sans erreur de phase statique, même si les rapports de cycle des horloges diffèrent entre eux et même s'ils ne sont pas de 50%. Cette caractéristique est exposée à la figure 2-11.

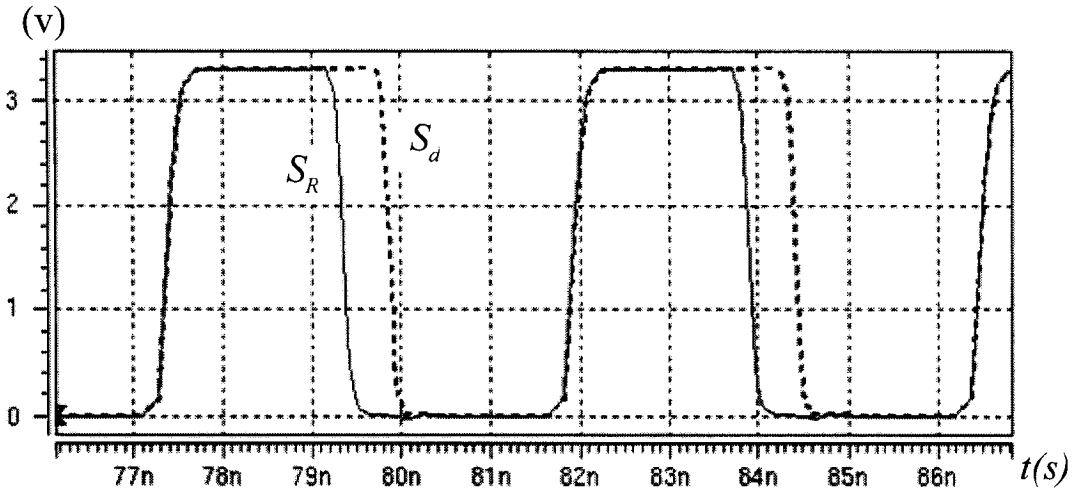


Figure 2-11 Visualisation des signaux S_R et S_d d'une PLL verrouillée avec des rapports cycliques inégaux

Un dernier résultat de simulation à la figure 2-12 expose la précision du détecteur de phase proposé pour de petits sauts de phase. Cette simulation démontre que la nature intrinsèque du DP peut détecter avec justesse des différences de phase aussi petites que 0.01° sur une référence de 2 GigaHertz.

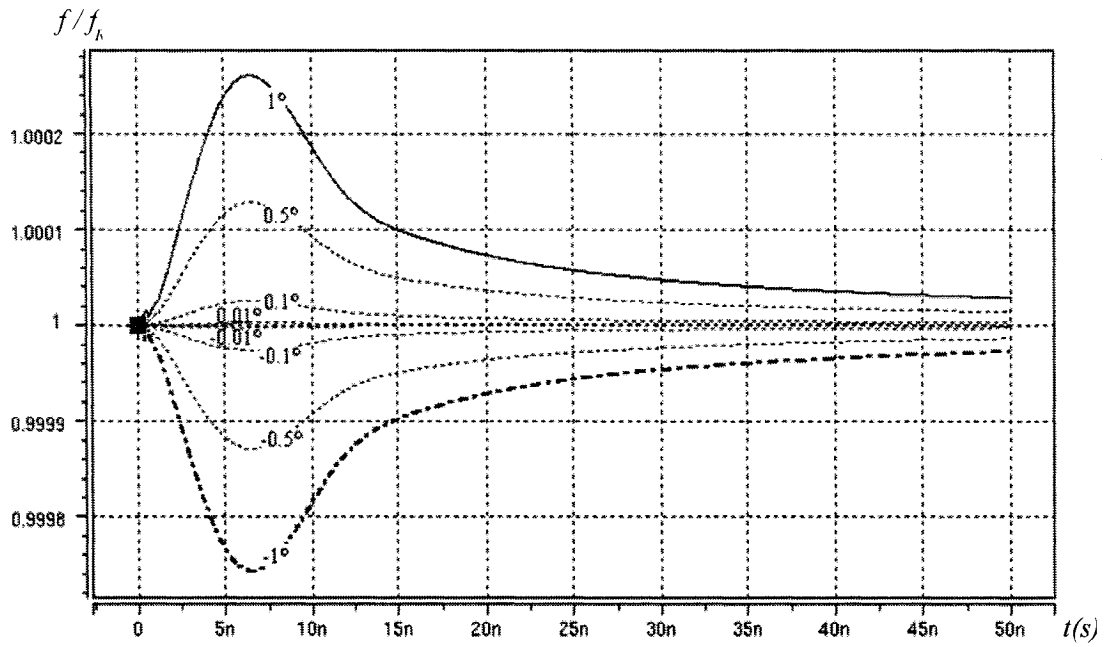


Figure 2-12 Comportement d'une PLL exploitant le détecteur de phase proposé pour de petites différences de phase (1°, 0.5°, 0.1°, 0.01°, -0.01°, -0.1°, -0.5° et -1°) à f_R = 2GHz

2.5 Simulation Monte Carlo

En comprenant que les variations du procédé de fabrication influencent surtout les sources de courant et les capacités, ainsi que de façon très négligeable les portes de transmission, l'analyse du détecteur de phase laisse supposer que les variations du procédé de fabrication n'occasionnent rien de plus qu'une asymétrie de la fonction de transfert, c'est-à-dire des gains différents pour v_{DP+} et v_{DP-}. Par contre, une analyse plus poussée du comportement réel des tensions v_{DP+} et v_{DP-} (un déphasage positif, $v_{DP-} \neq 0$ tel que le veut le modèle idéal) suggère un décalage de la tension de sortie v_{DP}. Autrement dit, lorsque la PLL est verrouillée, donc $v_{DP} = 0$, une erreur de phase statique demeure.

Une analyse Monte Carlo permet de faire varier de façon aléatoire, en simulation, les différents paramètres régissant le comportement des transistors tels que leur g_m et v_{th}. Cette étude permet d'effectuer une analyse statistique de la robustesse d'un circuit face aux variations du procédé de fabrication. Plus de détails concernant l'analyse Monte Carlo sont reportés à l'annexe A.

La figure 2-13 étale trente différentes fonctions de transfert d'un détecteur de phase comme celui présenté dans ce chapitre. Tel que supposé, on s'aperçoit que les différentes courbes illustrent toutes un comportement similaire sans zone morte. Comme prévu, uniquement un décalage et une légère asymétrie viennent différencier les courbes. On peut donc conclure, qu'après une telle simulation, le circuit est robuste et ne présentera statistiquement jamais de zone morte malgré les variations de procédé.

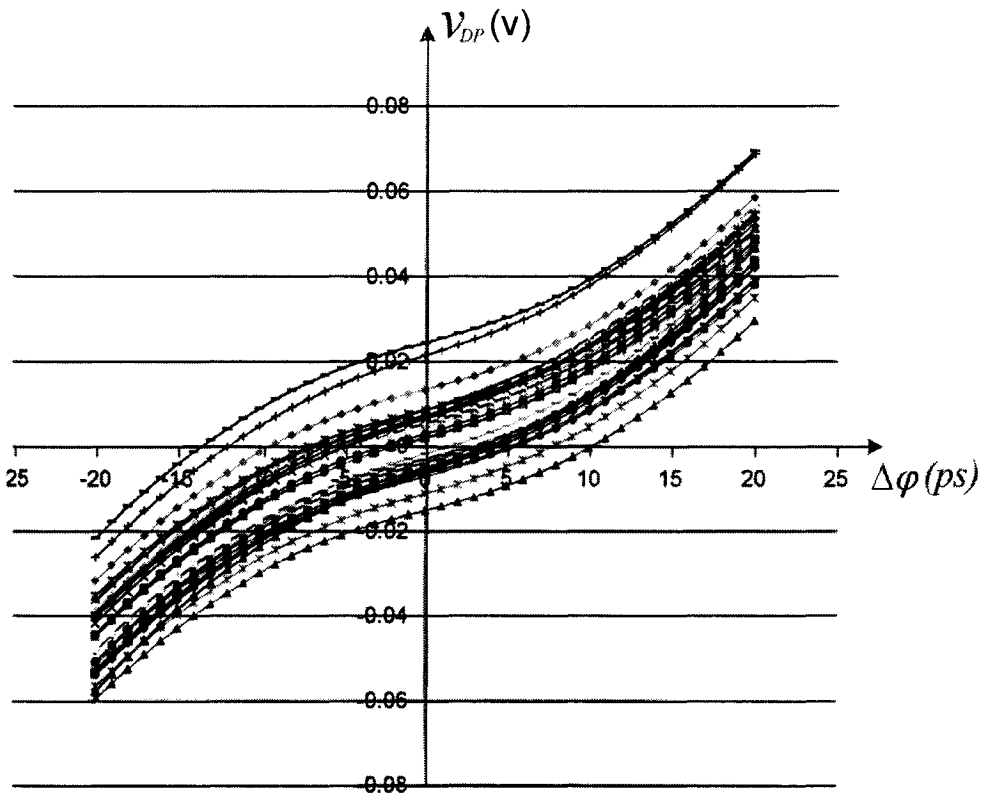


Figure 2-13 Étude Monte Carlo de la fonction de transfert du détecteur de phase proposé.

2.6 Conclusion

En conclusion, ce chapitre a su introduire une première version d'un nouveau détecteur de phase. Ce détecteur a la particularité de fonctionner avec des horloges ayant des rapports cycliques inégaux et une composition harmonique arbitraire. Sa faible activité en termes de nœuds internes qui commutent réduit l'émission de commutation bruit telle que les fuites de la référence. Il est constitué de 26 transistors et produit d'excellentes performances, même lorsque la plupart des éléments sont de taille minimale. Les simulations démontrent que ce détecteur de phase peut facilement opérer jusqu'à 2 Gigahertz dans la technologie CMOS 0.35 micron de la TSMC. Sa topologie symétrique

et différentielle propose aussi une faible sensibilité au bruit en mode commun. Il demeure précis et sans zone morte à petites différences de phase et ce, jusqu'aux plus hautes fréquences d'opération. De plus, une analyse Monte Carlo démontre sa robustesse face aux variations de procédé et il démontre aussi qu'aucune zone morte n'est introduite par de telles variations. Ce DP a donc des propriétés très enviable entre autre pour la réalisation de synthétiseurs de fréquence.

CHAPITRE 3. Détecteur de phase : version 2

3.1 Introduction

Le détecteur de phase proposé au chapitre 2 comporte toutes les caractéristiques souhaitées pour être utilisé avec beaucoup d'intérêt dans une structure où il serait exploité en parallèle à une structure de détection de la fréquence. Cependant, il peut être amélioré s'il est utilisé là où les rapports cycliques sont assurément de 50% (la sortie d'un diviseur de fréquence par exemple). En effet, le détecteur proposé au chapitre 2 a un très faible gain lorsque le déphasage à l'entrée est près de ±180 degrés, ce qui réduit la vitesse d'acquisition lorsque la PLL passe à travers cette région. De plus, même s'il est précis à haute fréquence, son gain y est faible et sa sortie nécessite une amplification. Ceci mène à une détérioration du rapport signal à bruit.

Les chapitres 3 et 4 présentent deux nouveaux détecteurs complémentaires. Le premier est une version améliorée du détecteur de phase présenté au chapitre 2. Les modifications apportées sont cependant faites au détriment de son insensibilité au rapport cyclique. Le détecteur de phase du chapitre 2 demeure alors intéressant sous certaines applications plus spécifiques, où les rapports cyclique ne sont pas égaux. Le chapitre 4 est une suite logique du présent chapitre qui introduit un détecteur de fréquence (DF) complémentaire aux détecteurs de phase des chapitres 2 et 3. Notons que les chapitres 3 et 4 forment le corps d'un article de conférence présenté à l'*International Symposium On Circuits and Systems* de IEEE en 2003 [21]

3.2 Améliorations du détecteur de phase

Le détecteur de phase proposé dans ce chapitre est donc une version améliorée, sous certains aspects, du détecteur décrit au chapitre 2. Son fonctionnement général est semblable, à l'exception de son état de remise à zéro (raz) qui dégradait de façon significative les performances autour de ±180 degrés de différence de phase, ou lorsque le détecteur fonctionnait près des fréquences limites de la technologie. Afin de mieux comprendre la différence, rappelons les principales caractéristiques décrivant ce type de détecteur. On assume que sa tension de sortie différentielle alimente un CTC différentiel au lieu de l'habituelle pompe de charge (PC). Encore une fois, l'idée derrière ce type de détecteur est de présenter, au CTC différentiel, une tension différentielle rafraîchie à chaque cycle et linéairement proportionnelle à la phase présente aux entrées. Pour ce faire, un courant est intégré à l'intérieur d'un condensateur préalablement déchargé à chaque cycle et ce, de chaque côté du détecteur. C'est la façon de décharger le condensateur qui définit la différence entre les deux versions du détecteur de phase. La fenêtre d'intégration temporelle correspond à l'intervalle durant laquelle les deux horloges comparées ne sont pas au même niveau logique. On considère la référence de phase comme étant le moment où le signal d'entrée (sinusoïdal ou d'une autre forme) croise la tension V_t d'un transistor n.

Le circuit conceptuel de la version améliorée du détecteur de phase est illustré à la figure 3-1. À titre de comparaison, les signaux principaux sont explicités aux figures 3-2 et 3-3 pour chacune des deux versions : la nouvelle version en 3-2 et celle du chapitre 2 en 3-3.

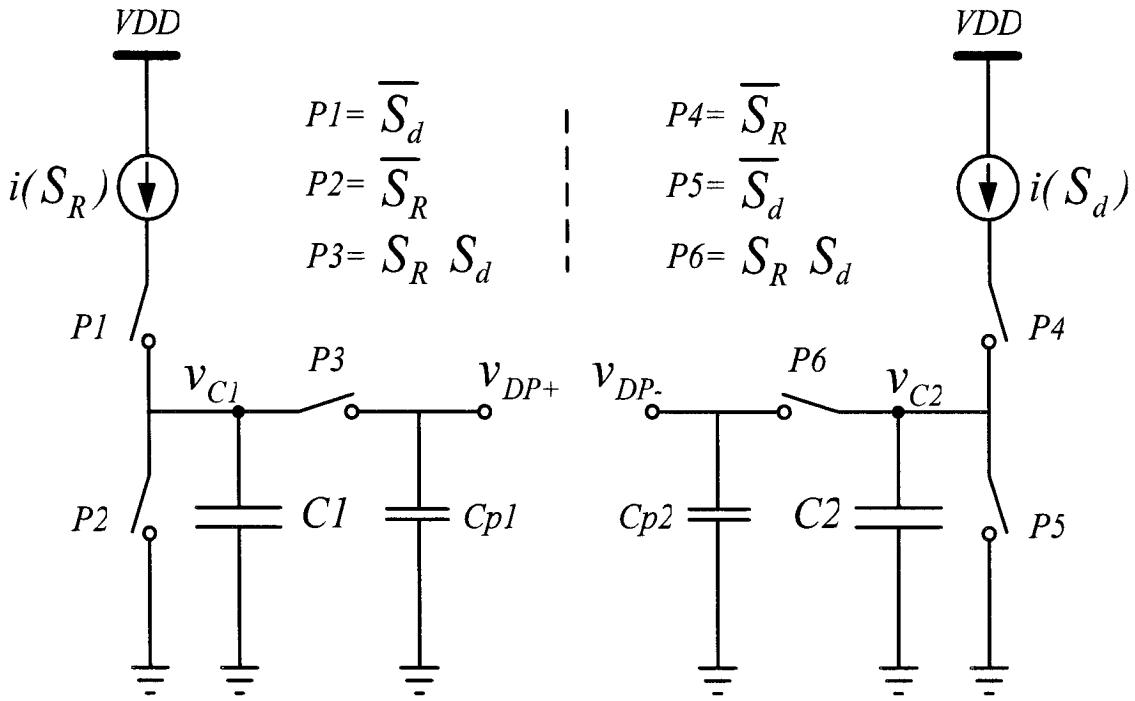


Figure 3-1 Modèle comportemental du détecteur amélioré

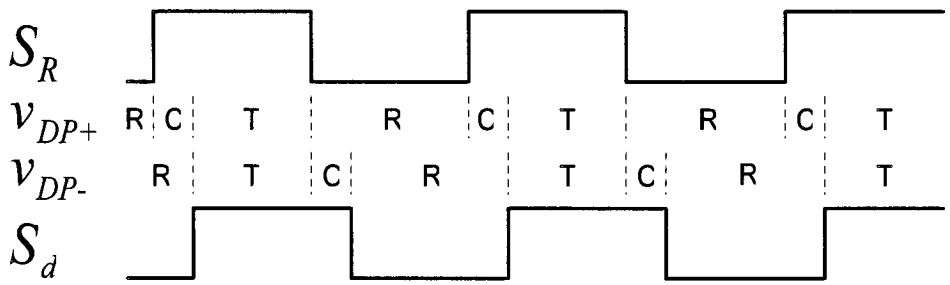


Figure 3-2 Les trois états *R*, *C* et *T* du détecteur amélioré, lorsque S_R devance S_d

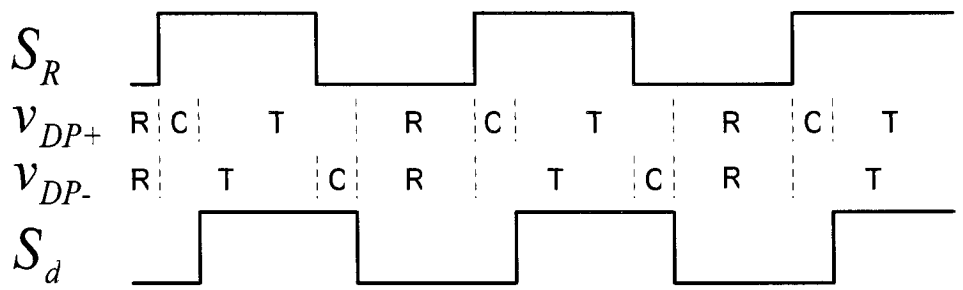


Figure 3-3 Les trois états *R*, *C* et *T* du détecteur proposé au chapitre 2, lorsque S_R devance S_d

Les figures 3-2 et 3-3 représentent deux signaux d'entrée hors phase S_R et S_d. Trois états ressortent de ces formes d'onde. Le premier est l'état remise-à-zéro *R* où les condensateurs d'intégration sont déchargés. Le second état est celui de charge *C*, durant lequel la source de courant pousse des charges à l'intérieur de la capacité. Finalement, le troisième état est le transfert *T* où la tension aux bornes de la capacité est copiée à la sortie. Tel que montré aux figures 3-2 et 3-3, les côtés haut et bas des deux DP ne progressent pas dans le même ordre. Sur le côté ou la phase est en avance étiqueté v_{DP+}, les trois états évoluent dans l'ordre *R-C-T* alors que sur le côté de v_{DP-}, ils progressent dans l'ordre *R-T-C*. Ainsi, le côté qui correspond à v_{DP-} transfère seulement un voltage préalablement mis à la masse, alors que le côté v_{DP+} transfère une tension linéairement proportionnelle à la différence de phase. Dans cet exemple, puisque l'horloge S_d est en retard sur S_R, le DP donne une sortie positive, comme désiré. On note que le circuit est complètement symétrique et donnera une sortie négative dans le cas où S_d précède S_R.

La principale différence entre les deux DP réside dans l'état *R*. Dans la version du chapitre 2, la remise-à-zéro intervient quand les deux signaux d'entrée sont à un niveau

logique bas. Conséquemment, lorsque la différence de phase approche 180 degrés, la remise à zéro n'a pas suffisamment de temps pour vider complètement la capacité. Ainsi, un gain réduit se manifeste en approchant ±180 degrés. Ce problème est illustré avec un cercle dans la figure 3-4. De plus, près de la fréquence maximale d'opération, l'intervalle de remise à zéro est largement réduit et les deux côtés du détecteur tendent à se suivre, provoquant alors une chute de gain plus marquée pour le DP du chapitre 2.

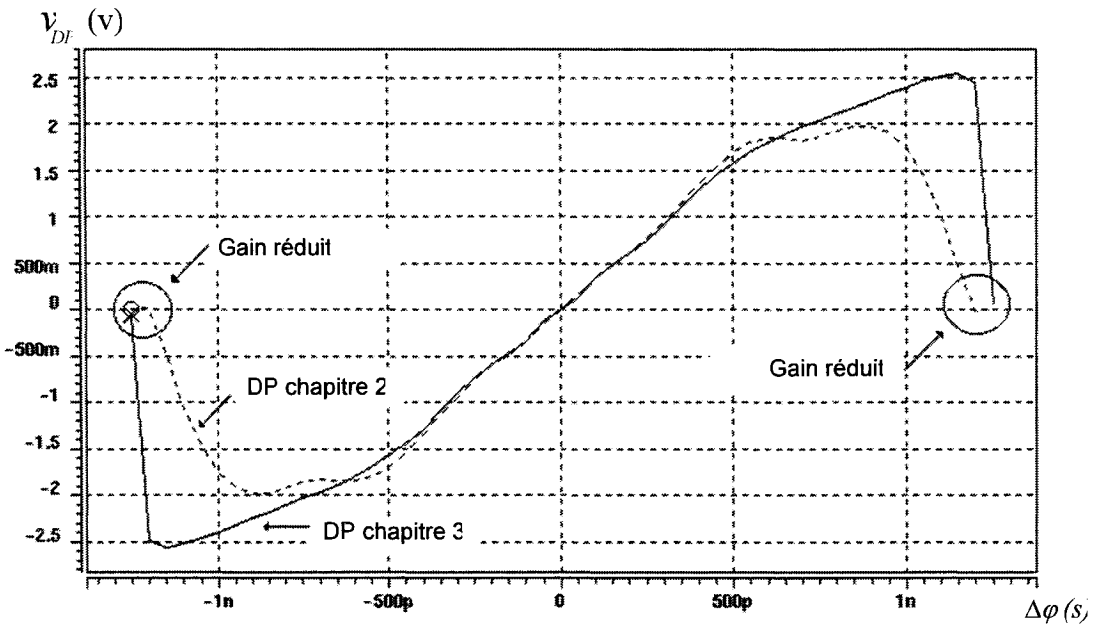


Figure 3-4 Fonctions de transfert du détecteur amélioré et du détecteur du chapitre 2 pour f_R=400MHz

Même si les deux DP restent capables de reconnaître de très petites différences de phase, le rapport signal à bruit se dégrade plus pour le DP du chapitre 2 pour lequel le signal recueilli est plus petit. Pour résoudre ce problème, la nouvelle version du DP a, pour n'importe quelle différence de phase, une pleine demi-période pour mettre à la masse les deux condensateurs. Ainsi, ce dernier DP possède toujours assez de temps pour

compléter cette tâche et ce, même à la fréquence d'opération la plus élevée. Pour permettre cette pleine demi-période de remise à zéro, l'état de transfert *T* est réduit au moment où les deux entrées sont à un niveau logique haut. On note cependant que cette modification n'est pas si banale.

En effet, tel que détaillé à la figure 3-5, l'ouverture et la fermeture des portes de transmission *P3* et *P6* (figure 3-1) ne peut être faite de façon séquentielle à partir de portes logiques ET contrôlant ces dernières. Faire de la sorte introduirait une zone morte dans le DP. Effectivement, un délai équivalent au délai de transmission de la porte serait ajouté à la phase de transfert de charge *C* et celle-ci empièterait alors sur le début de la phase de remise-à-zéro *R*. On réduirait ainsi considérablement la quantité de charges transmises, donc le niveau de tension de sortie. Il va de soi que pour de faibles différences de phase, le gain se verrait alors grandement atténué, ce qui produirait une zone morte. Voilà pourquoi la fonction logique ET est plutôt réalisée à partir de portes de transmission en série.

Notons cependant que ces modifications de la première version, au profit d'un meilleur gain à haute fréquence et d'un meilleur gain lorsque le déphasage avoisine 180 degrés amènent la perte d'une caractéristique potentiellement intéressante : l'insensibilité au rapport cyclique. En effet, la nouvelle version du détecteur possède une phase de remise-à-zéro *R* indépendante de chaque côté du détecteur. Comme elle est maintenant fonction de l'état logique bas des signaux d'entrée, la remise-à-zéro peut ne pas être de même durée de chaque côté du détecteur et ainsi introduire un décalage statique à la sortie. On

peut cependant facilement palier à ce problème si des diviseurs par deux sont utilisés pour assurer un rapport cyclique de 50% des signaux comparés.

On note également, suite à la convergence de la PLL, que l'intervalle de charge *C* tend à avoir une durée nulle, et la remise à zéro se produit à l'instant où les sources de courant sont éteintes. Ainsi, aucune puissance n'est consommée pour charger et décharger les intégrateurs lorsque la différence de phase est nulle. Ce mécanisme de charge contribue une large part de la puissance consommée par le DP lorsque la différence de phase est grande.

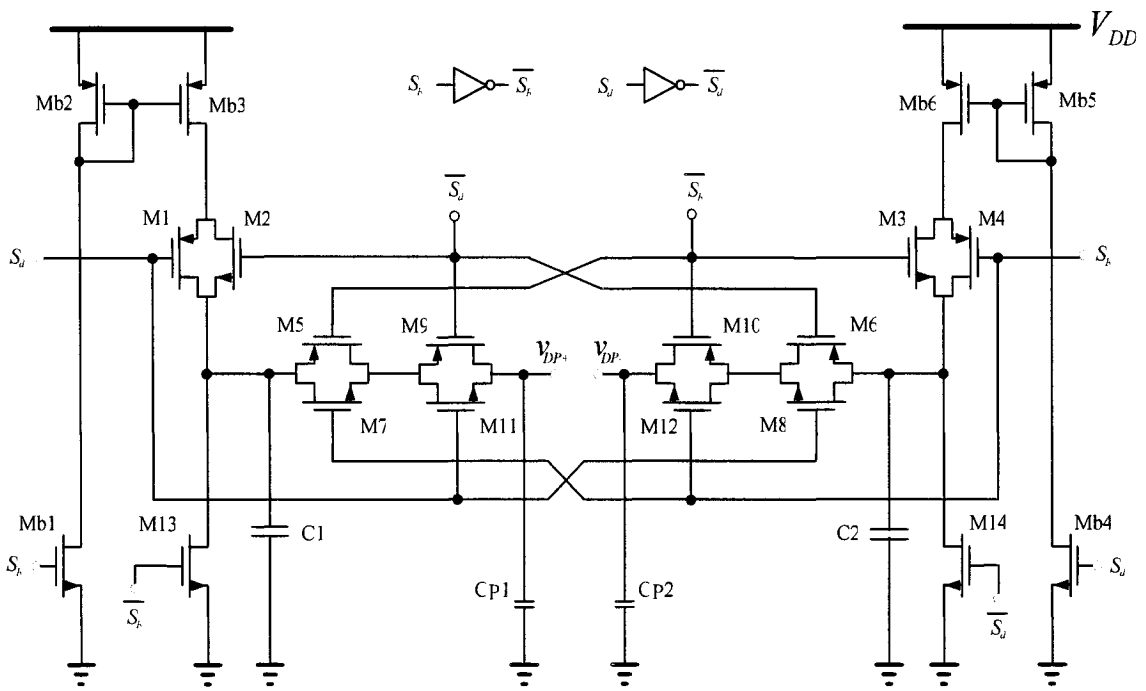


Figure 3-5 Implémentation au niveau transistor du détecteur de phase amélioré

Tout comme le détecteur du chapitre précédent, le présent détecteur possède une topologie différentielle et symétrique, ce qui permet une très faible sensibilité au bruit en mode commun. De plus, lorsque la PLL est verrouillée, les fuites des horloges à travers

les portes de transmission de chaque côté du détecteur sont en phase et ont la même amplitude. Ainsi, en mode différentiel, toutes ces fuites sont annulées.

Les figures 3-4, 3-6 et 3-7 présentent les fonctions de transfert simulées (au niveau transistor) du détecteur de phase pour deux fréquences différentes. En 3-4, les entrées ont une fréquence de 400MHz (la réponse correspondante du détecteur du précédent chapitre y est représenté à titre de comparaison) et la fonction de transfert est caractérisée avec un pas de simulation de 50ps. En 3-6, la fréquence est de 4GHz. Le pas de simulation de cette simulation est de 5ps. La figure 3-7 présente une région agrandie de la fonction de transfert pour des signaux d'entrée de 4GHz où le pas de simulation est de $0.1ps$ pour les différences de phase allant de $-2ps$ à $2ps$, et de $0.5ps$ pour les différences allant au-delà de $2ps$. Malgré l'interpolation linéaire effectuée entre chacun de ces pas, cette figure révèle que le détecteur de phase n'a pratiquement aucune zone morte, même à 4GHz. Cette caractéristique est due au principe de fonctionnement d'ouverture avant arrêt (souvent appelé *make before break*), tout comme pour le DP du chapitre précédent.

Puisque la période d'intégration est proportionnelle à la période de l'horloge entrante, le gain devrait aussi lui être proportionnel. Cependant, lorsque l'amplitude approche VDD, la capacité se sature si le courant choisi est trop grand pour la fréquence d'opération (voit figure 3-4). Ainsi, le gain ne reste pas proportionnel pour l'entière bande de fréquence allant de 400MHz à 4GHz. Toutefois, il est possible de choisir un courant pour lequel le DP conserve une bonne fonction de transfert avec un bon gain sur une large bande de fréquence. Ainsi, il peut être utilisé comme un élément de calibrage fin à même une PLL

à large bande de capture, sans même nécessiter un contrôle sur le gain du détecteur. Contrôler les sources de courant devrait améliorer le comportement du détecteur sur toute la bande, qui pourrait aussi être élargie. Il est à noter que dans les résultats rapportés, le gain à haut déphasage décroît à haute fréquence. Ceci est dû à l'état de transfert T raccourci.

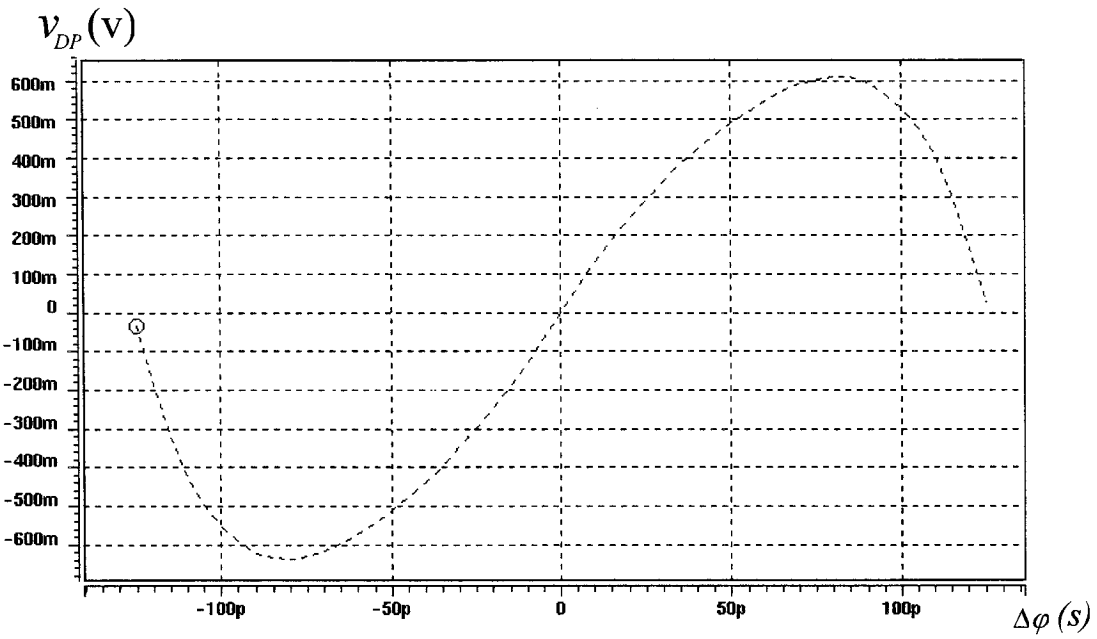


Figure 3-6 Fonction de transfert du détecteur amélioré pour f_R=4GHz (de $-\pi$ à π)

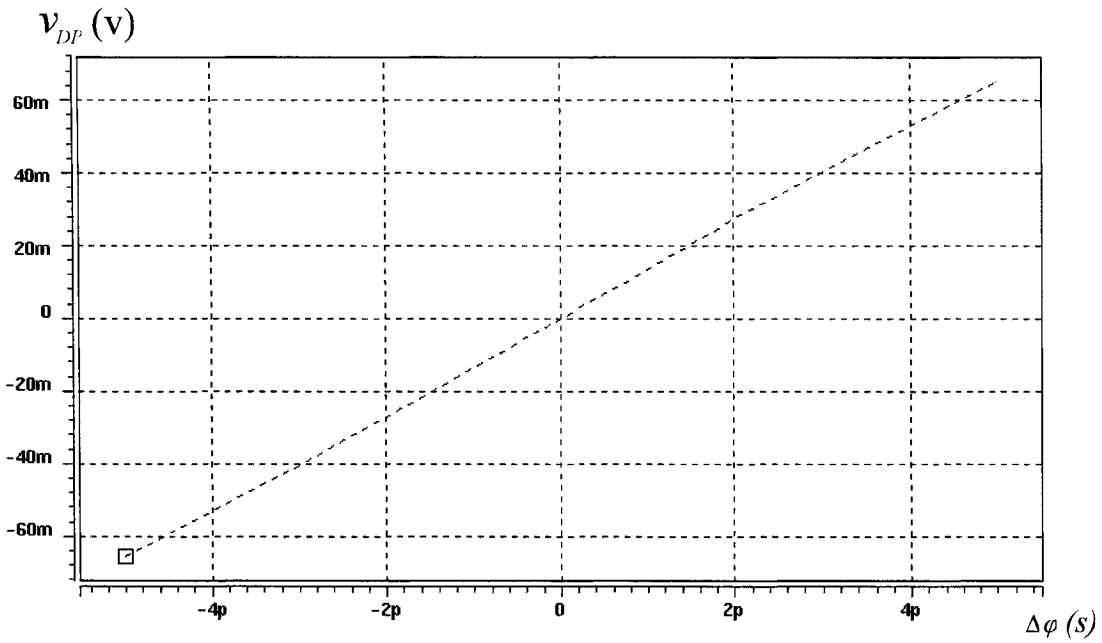


Figure 3-7 Fonction de transfert du détecteur amélioré pour f_R=*4GHz* (de -*5ps* à *5ps*)

3.3 Sommaire des résultats atteints

Une variante du détecteur présenté au chapitre 2 vient d'être proposée. En sacrifiant la capacité du DP à opérer avec des rapports de cycles inégaux, cette nouvelle version possède un gain plus élevé autour des régions $\pm\pi$ et se caractérise par un gain beaucoup plus élevé à haute fréquence. Ceci vient fortement augmenter son rapport signal à bruit. De plus, on a pu observer par simulation que le nouveau détecteur ne possède aucune réduction significative du gain à faible déphasage et ce, même à des fréquences d'opération allant jusqu'à 4 GHz. Ce qui propose l'absence de zone morte. Le détecteur possède aussi une relation tension/phase relativement linéaire sur une bonne partie de sa couverture.

CHAPITRE 4. Détecteur de fréquence (DF) complémentaire à trois états

4.1 Introduction

Les détecteurs de phase présentés aux chapitres 2 et 3 possèdent une région de détection monotone limitée à $\pm\pi$ autour de 0°, tel que stipulé à la section 1.3. Jumelés à un détecteur de fréquence couvrant les différences de phase plus grandes, en valeur absolue, que $\pm\pi$, ces détecteurs approchent d'un comportement idéal pour la mise en application du principe de parallélisme introduit à la section 1.7. De plus, la combinaison de ces deux éléments forme un nouveau détecteur de phase/fréquence possédant une région de capture illimitée.

4.2 Détection de phase vs fréquence du détecteur de phase/fréquence (DPF) à trois états

Le détecteur de phase/fréquence (DPF) à trois états introduit par C.A. Shape [22] est un détecteur classique très connu, toujours très utilisé de nos jours. Cependant, la détection de phase faite par ce DPF n'est pas aussi précise que celle des détecteurs de phase présentés dans ce mémoire. Le DPF de Shape a une zone morte et il fonctionne avec des pulsations logiques : deux caractéristiques indésirables pour les applications de PLL à faible bruit. Cependant, sa détection en fréquence demeure très intéressante. Rappelons ici l'idée se cachant derrière ce DPF classique : après une remise à zéro, si une entrée produit un front montant, une impulsion indique alors à la sortie que l'entrée qui lui est

associée précède la seconde entrée. Cette impulsion demeure haute jusqu'à ce que la seconde entrée produise aussi un front montant. Ceci est la contribution de phase de ce détecteur et cela peut déceler des différences de phase dans l'intervalle $\pm 360°$. En fait, la pulsation reliée à la différence de phase ne peut rester haute plus longtemps que la période de l'horloge la plus rapide à l'entrée. Évidemment, s'il n'y a pas de différence de fréquence, les deux périodes sont égales, ce qui est sensé. Cependant, si une entrée est assez rapide pour produire plus de front montant que la seconde, sa pulsation associée en sortie sera de plus longue durée que la période de l'entrée la plus rapide, c'est-à-dire sa propre période. Ceci génère une détection fréquentielle à la sortie du détecteur.

4.3 Description du DF complémentaire à trois états

Le détecteur de fréquence (DF) complémentaire à trois états proposé dans ce chapitre agit comme un filtre logique. Seulement les impulsions plus longues que la moitié d'une période peuvent produire un signal à la sortie du détecteur. Ainsi, toutes les différences de phase en dessous de $\pm 180°$ seront ignorées. Les détecteurs de phase proposés dans les chapitres précédents s'occupent de telles différences de phase. Le nouveau détecteur de fréquence complémentaire à trois états est illustré à la figure 4-1. La figure 4-2 illustre son opération à l'aide d'un exemple concret. Il est clairement montré que les impulsions Q1 et Q2 dues aux différences de phase instantanées inférieures à 180° sont automatiquement filtrées par le second étage. On note aussi que Q1 et Q2 sont les sorties du détecteur DPF classique, alors que v_{DF+} et v_{DF-} sont des versions filtrées de ces même signaux. Cet exemple assume que les deux entrées ont un rapport cyclique de 50%.

Si cela s'avérait faux, des diviseurs par deux pourraient être utilisés pour rectifier la situation. Malgré tout, un rapport cyclique différent n'empêcherait pas la détection de fréquence de se faire correctement. Uniquement la valeur limite de 180° du filtre logique changerait, forçant ainsi le détecteur de phase à travailler un peu plus, ou un peu moins.

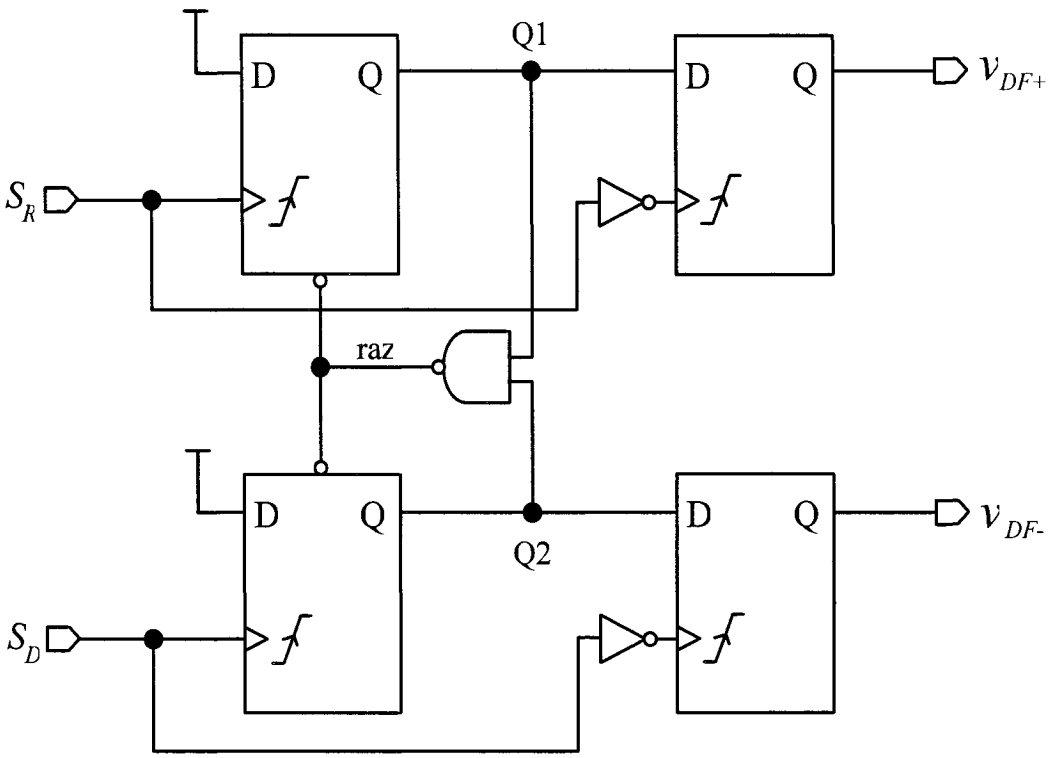


Figure 4-1 Le détecteur de fréquence (DF) complémentaire à trois états

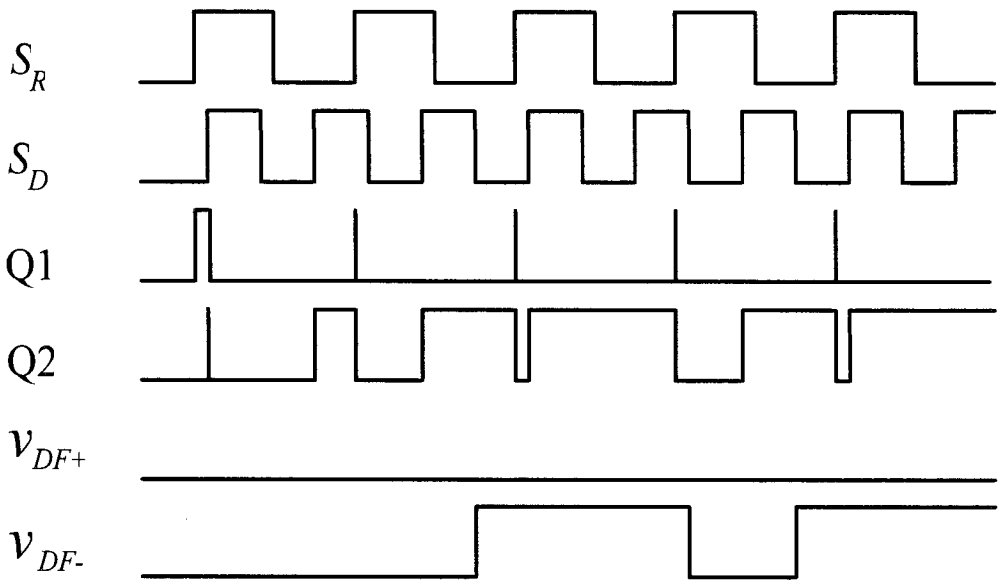


Figure 4-2 Tensions aux nœuds importants du DF complémentaire lorsque f_d est plus élevé que f_R.

D'autres détecteurs de fréquence numériques exploitent un principe similaire à celui proposé dans cette section. Le détecteur de phase/fréquence quad-D [13] tire aussi avantage, comme son nom l'indique, de quatre bascules D. Il est utilisé pour augmenter le gain du détecteur phase/fréquence DPF lorsque les deux fréquences en entrées ne sont pas identiques. Cette amélioration permet à la boucle d'atteindre plus rapidement son point de convergence, tout comme dans notre cas. Un autre détecteur, proposé en [5] exploite aussi l'idée des quatre bascules D. Celui-ci, par contre, permet seulement d'indiquer à un système extérieur que la boucle n'est pas verrouillée, en détectant la présence d'une différence de fréquence.

4.4 Simulation du parallélisme

Le DF complémentaire à trois états proposé ici peut être combiné au détecteur de phase proposé plus haut, pour obtenir une PLL à large bande de poursuite ayant une faible

sensibilité au bruit, aucune zone morte et ne produisant aucune pulsation parasites lorsque verrouillée. Étant donné son comportement linéaire, le DP nécessite un CTC plutôt qu'une traditionnelle pompe de charge pour alimenter le filtre passe-bas. De façon opposée, pour pousser le gain de la boucle en mode de poursuite fréquentielle, le détecteur de fréquence alimente une pompe à charge qui filtrera tous les parasites ou signaux indésirables provenant du détecteur lorsque celui-ci est éteint. La figure 4-3 présente un diagramme bloc d'une PLL exploitant les deux détecteurs complémentaires.

Pour démontrer l'interaction entre les deux détecteurs, une simulation est présentée aux figures 4-4, 4-5 et 4-6. La simulation fut exécutée à l'aide du simulateur HSPICE en utilisant une PLL non optimisée. Pour isoler la contribution du DF complémentaire et du DP à l'intérieur de la boucle, tous les blocs, à l'exception de ces derniers, sont des éléments idéaux. L'OCT a un gain de 400MHz/V avec une fréquence de repos de 1.2 GHz. La fréquence de référence f_R est de 1.6GHz. La pompe de charge a un gain dix fois supérieur à celui du CTC. Dans la figure 4-5, la tension de commande alimentant l'OCT idéal V_{CMD} montre un verrouillage potentiellement rapide de la PLL. La figure 4-4 divise les contributions de chaque détecteur durant l'acquisition. Dans la figure 4-6, V_{CMD} est agrandi pour montrer que les deux détecteurs n'introduisent pas de pulsations parasites lorsque la PLL est verrouillée. Encore une fois, tous les modules sont idéaux, à l'exception des deux détecteurs. Notons aussi que même s'il y a des fluctuations sur les signaux v_{DP+} et v_{DP-} du DP, celles-ci sont en phase et de même amplitude. Elles sont donc annulées par le CTC différentiel, comme mentionné aux chapitres 2 et 3.

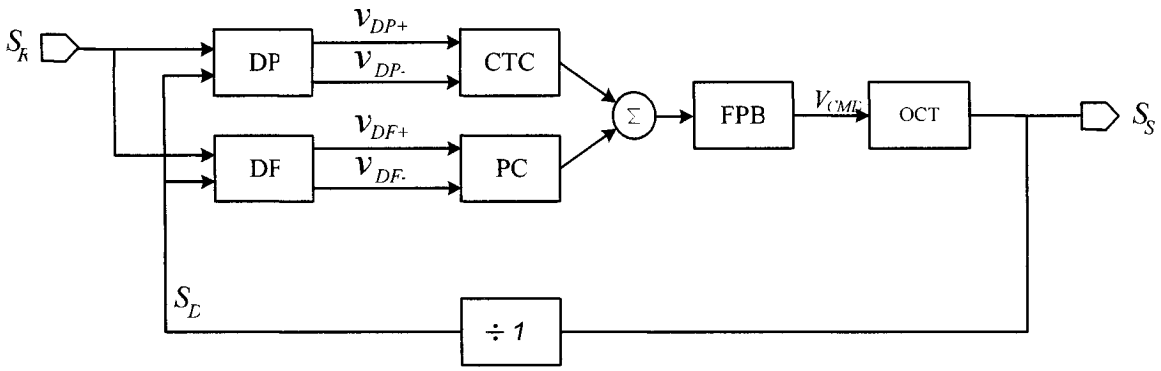


Figure 4-3 Schéma bloc d'une PLL montée en synthétiseur de fréquence, exploitant la combinaison parallèle du détecteur de phase du chapitre 3 et du détecteur de fréquence complémentaire à trois états

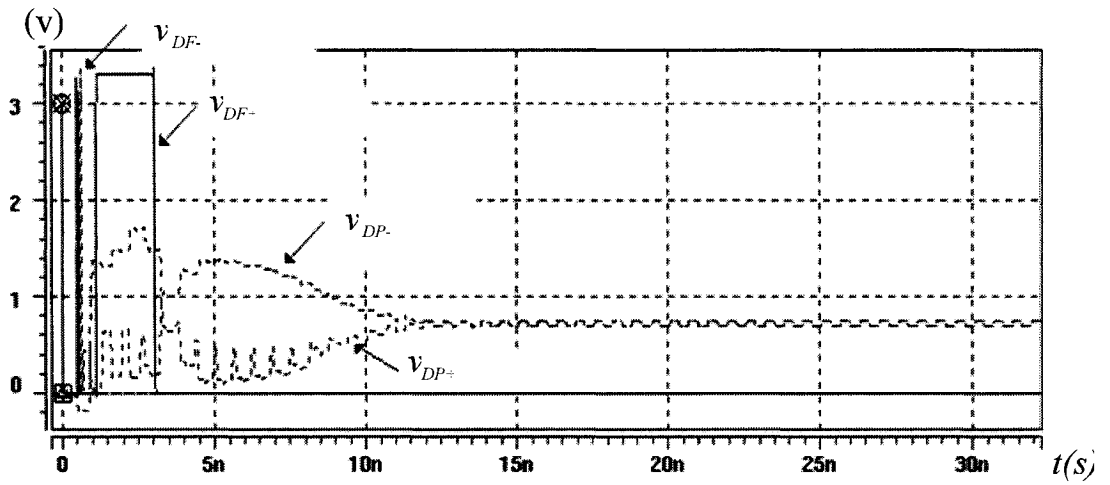


Figure 4-4 Tracés des tensions de sortie des détecteurs de phase et de fréquence illustrés à la figure 4-3, lorsque cette même PLL converge à une fréquence f_R de *1.6GHz*

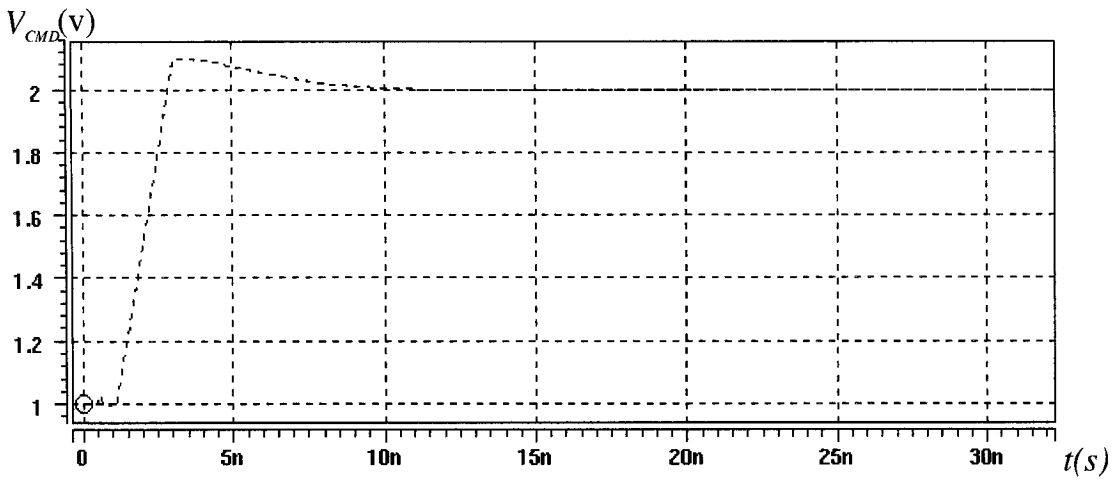


Figure 4-5 Tracé de la tension de commande V_{CMD} de l'OCT illustré à la figure 4-3, lorsque cette même PLL converge à une fréquence f_R de *1.6GHz*

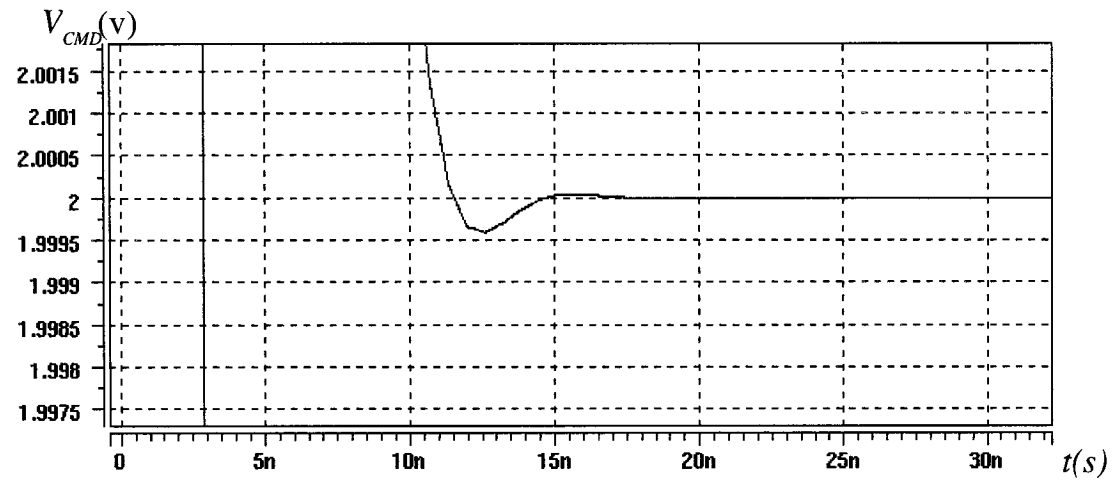


Figure 4-6 Tracé précis de la tension de commande V_{CMD} de l'OCT illustré à la figure 4-3 lorsque cette même PLL converge à une fréquence f_R de *1.6GHz*

4.5 Conclusion

Un nouveau détecteur de fréquence a été introduit. Il est possible de lui associer un gain très élevé sans contaminer la PLL. En effet, le DF étant complètement retiré de la boucle lorsque cette dernière est verrouillée, aucune pulsation parasite provenant des signaux

comparés ne viendra se greffer au reste de la boucle. De plus, aucun déséquilibre dû aux variations de procédé ne viendra compromettre la comparaison de fréquence pour empêcher la PLL de converger. En combinant cet élément aux détecteurs de phase des chapitres 2 ou 3 naît un nouveau détecteur de phase/fréquence. Ce dernier possède alors toutes les qualités désirées pour les applications de haute performance. Le nouveau DPF possède une plage de détection illimitée, une zone morte nulle et ne laisse passer aucune fuite de la référence, en plus de réduire de façon considérable l'introduction de bruit en mode commun par sa topologie différentielle.

CHAPITRE 5. Méthode de caractérisation embarquée

5.1 Introduction

Afin de pouvoir caractériser de façon expérimentale la fonction de transfert des détecteurs de phase proposés aux chapitres 2 et 3, une méthode de test bien conçue doit être appliquée. En effet, puisque le détecteur de phase opère à des fréquences allant bien au delà des fréquences de coupure typiques des entrées/sorties d'une puce de circuit intégré, il est très difficile de faire entrer les signaux de test nécessaires à l'intérieur du circuit intégré. Il faut donc utiliser des oscillateurs internes pour stimuler le détecteur de phase sous test.

Malheureusement, même s'il est possible d'obtenir deux signaux périodiques de fréquences équivalentes, il est impossible de connaître leur différence de phase statique. Caractériser le détecteur de phase point par point devient alors irréalisable.

Le présent chapitre propose une technique de caractérisation permettant de tracer sur un oscilloscope la fonction de transfert du détecteur de phase sous test.

5.2 La technique à évolution de phase linéaire

La technique présentée dans ce chapitre permet d'observer, en seulement quelques étapes, la relation complète entre la phase de $\Delta\varphi = \varphi_R - \varphi_d$ et la tension de sortie $v_{DP} = v_{DP+} - v_{DP-}$ d'un détecteur de phase analogique, tel que ceux présentés aux

chapitres 2 ou 3. Cette technique utilise simplement deux signaux périodiques S_1 et S_2 calibrés pour avoir une très faible différence de fréquence. Il est démontré dans les sections suivantes qu'il est possible d'ajuster le pas de la caractérisation du DP et ce, sans se soucier des variations de procédé affectant les différents circuits utiles à cette mesure embarquée.

Avant d'aborder les détails de cette technique, définissons quelque termes à l'aide du tableau suivant:

Tableau 5-1 Quelque définitions utiles.

T_1, f_1, φ_1	Période, fréquence et phase du signal S_1 (fig. 5-1).
T_2, f_2, φ_2	Période, fréquence et phase du signal S_2 (fig. 5-1).
T, f	Période, fréquence sous laquelle le DP est testé.
ε	Différence de temps entre T_1 et T_2.
N	Nombre naturel
T_p, f_p	Période et fréquence du signal v_{DP} (fig. 5-1 et 5-2).
Res	Résolution de l'incrément de phase (à chaque sortie rafraîchie du DP)

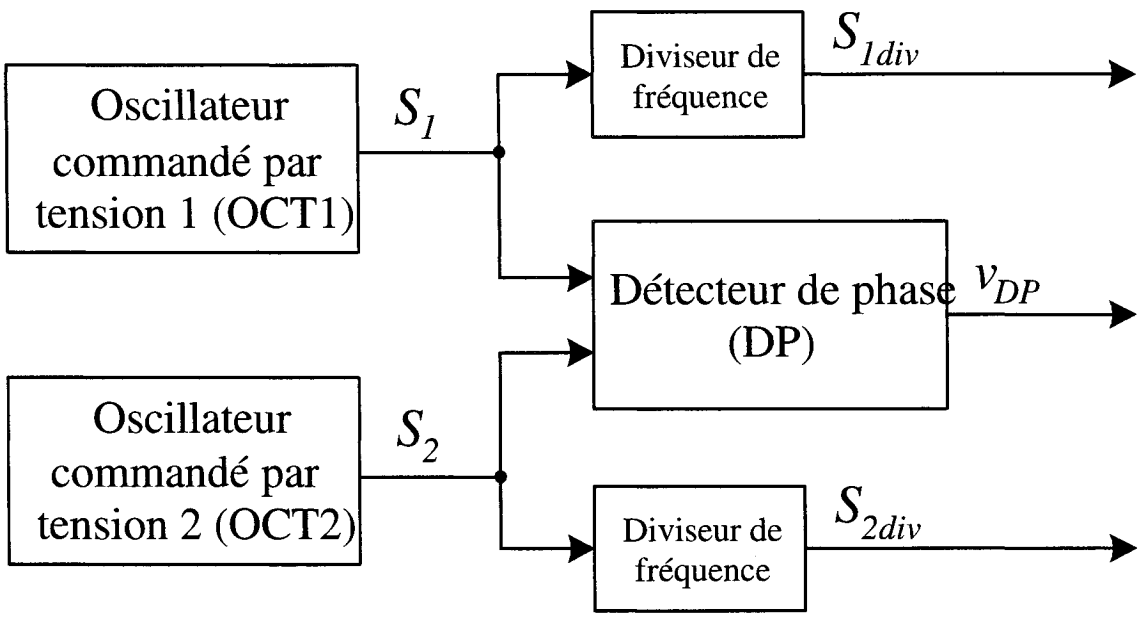


Figure 5-1 Schéma bloc du test embarqué permettant le traçage de la fonction de transfert d'un détecteur de phase

Maintenant, supposons que

$$T_1 = T \tag{5.1}$$

$$T_2 = T_1 + \varepsilon \tag{5.2}$$

où

$$\varepsilon = \frac{T_1}{N} \tag{5.3}$$

ainsi, à chaque N cycles, les signaux S_1 et S_2 s'alignent ensemble pour donner une différence de phase nulle. Nous pouvons donc déduire que

$$T_p = N \cdot T_1 = N \cdot T \tag{5.4}$$

et, puisque le détecteur rafraîchit sa sortie à chaque cycle,

$$res = \varepsilon \tag{5.5}$$

Ainsi, selon l'équation 5.4 et sachant que la phase est l'intégrale dans le temps de la différence de fréquence (équation 1.8) la différence de phase progresse linéairement sous la forme d'une onde périodique en dents de scie, de période T_p, tel que décrit à la section 1.3 et tel qu'illustré à la figure 5-2.

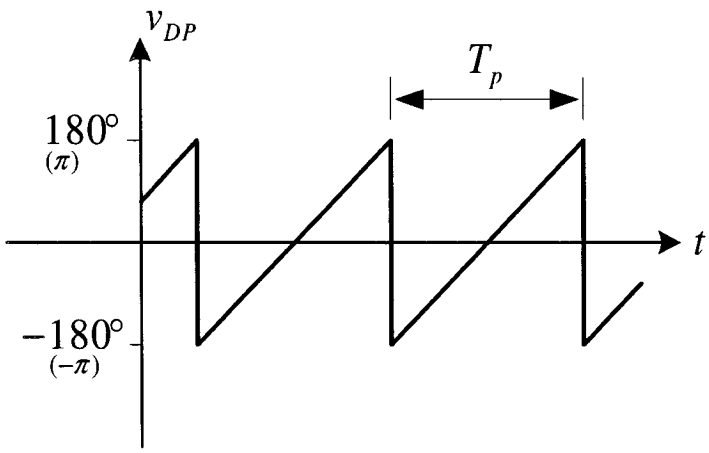


Figure 5-2 Évolution périodique idéale de la différence de phase $\Delta\varphi = \varphi_1 - \varphi_2$, entre deux signaux périodiques possédant une faible différence de fréquence.

Afin de bien illustrer le principe, prenons un exemple numérique simple. Choisissons

$$f = 2GHz \Rightarrow T_1 = T = 500ps \tag{5.6}$$

et

$$T_2 = 500.1ps \tag{5.7}$$

alors,

$$N = 5000 \tag{5.8}$$

et

$$T_p = 2.5\mu s \Rightarrow f_p = 0.4MHz \tag{5.9}$$

Dans ce cas :

$$res = \varepsilon = 0.1ps \Rightarrow 0.072^{\circ} \tag{5.10}$$

Cet exemple numérique a été simulé au niveau transistor avec HSpice. La sortie périodique v_{DP} représentant la fonction de transfert du DP est illustrée à la figure 5-3. La résolution de cette fonction de transfert, tracée périodiquement dans le temps, est définie par la variable *res*. Cela signifie qu'à chaque $500ps$ (T_1) une différence de phase $\Delta\varphi = res = 0.1ps$ s'ajoute à l'entrée du DP. C'est aussi à chaque $500ps$ que le détecteur rafraîchit sa sortie différentielle v_{DP}, traçant ainsi la fonction de transfert avec la résolution *res*.

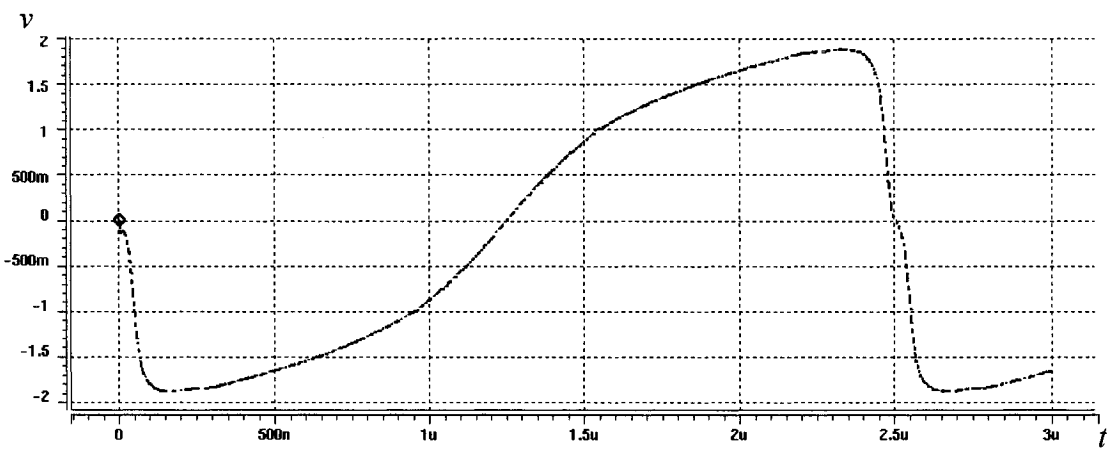


Figure 5-3 Simulation au niveau transistor de la technique de caractérisation embarquée

5.3 Mise en pratique

Puisque les variations de procédé en fabrication empêchent de connaître avec exactitude les fréquences f_1 et f_2 des OCT1 et OCT2, on doit pouvoir visualiser sans trop de

difficulté ces fréquences à l'extérieur du circuit intégré, afin de pouvoir les contrôler. Un diviseur de fréquence permet, avec un minimum d'effort, de connaître les fréquences f_1 et f_2 évoluant à l'intérieur du circuit intégré. À partir des signaux S_{1div} et S_{2div}, on peut grossièrement calibrer les fréquences internes de telle sorte que

$$f_2 \approx f_1 = f \tag{5.11}$$

Lorsque les signaux S_1 et S_2 sont à des fréquences rapprochées, il devient possible de voir le signal v_{DP} évoluer de façon périodique à la sortie du DP. En ajustant avec finesse la fréquence f_2, on contrôle la période T_p de la fonction de transfert périodique tracée par v_{DP}. On note qu'il est important de bien choisir le type d'OCT pour commander, avec précision, les petites variations de fréquence. Un oscillateur à deux entrées de commande où l'une d'elles possède un très faible gain est un bon exemple. On remarque que la fréquence f_p doit être suffisamment basse pour que l'amplitude de v_{DP} ne soit pas atténuée par le filtre passe-bas formé par les inductances et capacités parasites des interconnexions menant jusqu'aux appareils de mesures. Typiquement, une fréquence inférieure à $50MHz$ devrait suffire. Connaissant T_p et T_1, il est possible de calculer la valeur de *res*. On peut ainsi tracer sur un oscilloscope la fonction de transfert du détecteur de phase sous test avec la résolution souhaitée.

Outre le fait de ne pas atténuer l'amplitude du signal v_{DP}, il y a deux avantages à choisir T_p aussi grand que possible : la résolution *res* devient de plus en plus fine à mesure que T_p augmente et le bruit de phase présent sur les signaux S_1 et S_2 devient négligeable si

ε est suffisamment petit. Ceci s'explique tout simplement par le fait qu'une petite différence de phase $\Delta\varphi = n\varepsilon$ nécessite une durée de nT_1 pour être complètement couverte par la progression du signal v_{DP}. Ainsi, si T_p est grand, ε est petit et n a besoin d'être grand pour couvrir ce même $\Delta\varphi$. Naturellement, n étant grand, le bruit de phase dont la moyenne est faite sur un plus grand nombre de périodes devient de plus en plus négligeable.

On note aussi qu'il est avantageux de tracer, à l'oscilloscope, la moyenne entre plusieurs périodes de la fonction de transfert périodique. On réduit ainsi, de façon plus marquée, l'influence du bruit dans le système.

5.4 Résultats expérimentaux

À plusieurs reprises, on a tenté d'obtenir, sans succès, un prototype testable : une première ronde de fabrication a été refusée par la Société Canadienne de Microélectronique (*Canadian Microelectronics Corporation* (CMC)) suite à un problème de communication. Une seconde ronde de fabrication a par la suite été annulée par la CMC, alors qu'une troisième s'est avérée défaillante et une quatrième a été retardée. Lors de la troisième tentative, un lien métallique, effacé par erreur lors du routage final des dessins de masques, a rendu une source de courant flottante. Malheureusement, c'est cette source de courant qui devait alimenter le détecteur de phase. Aucun résultat n'a donc pu être récupéré. La puce réalisée au quatrième essai en collaboration avec la société LTRIM était aussi défaillante. En effet, il a été observé que les tensions de

commande des deux OCTs (section 5.2) n'avaient aucune influence sur la fréquence produite par ces derniers. De plus, les sorties différentielles du détecteur de phase semblaient flottantes et ne présentaient qu'une image affaiblie des signaux S_{1div} ou S_{2div} par couplage capacitif. En analysant la cellule qui a été envoyée, on observe qu'il y a malheureusement eu une légère translation de la cellule (probablement lors du routage finale de celle-ci). Par le fait même, certaines lignes trop courtes ne sont plus connectées aux plots. C'est le cas des signaux de commande et de l'alimentation positive du détecteur de phase.

5.5 Synthèse des résultats

Une technique de caractérisation embarquée permet, sans se soucier des variations de procédé, de tester expérimentalement le comportement de détecteurs de phase analogique tel que ceux proposés aux chapitres 2 et 3. Malheureusement, cette technique de caractérisation donne une quantité limitée d'informations. En effet, même si elle permet de tracer la fonction de transfert réelle du détecteur, il est impossible de connaître le décalage de phase équivalent en entrée du détecteur. De plus, aucune information n'est disponible à propos des fuites possibles de la référence. Outre le gain du détecteur, seule l'absence d'une zone morte peut être démontrée par une telle caractérisation.

CHAPITRE 6. Conclusion

Après avoir introduit la boucle à verrouillage de phase (PLL) et présenté sa grande utilité dans les applications microélectroniques modernes, on a su démontrer, au moyen d'un synthétiseur de fréquence, l'importance de réduire au minimum le bruit de phase du signal périodique généré par cette dernière. Une analyse des sous-circuits composant la PLL et une modélisation mathématique de celle-ci ont pu extirper les points d'entrée des sources de bruit dominantes. Connaissant alors ses points faibles, une revue des différentes méthodes et circuiteries déjà exploitées dans la littérature a été présentée. En analysant les différentes limites et lacunes de ces techniques, on découvre l'intérêt de poursuivre plus loin la recherche de nouveaux détecteurs de phase et de fréquence de haute précision.

Trois nouveaux détecteurs ont été proposés. Le premier détecteur introduit par cette recherche s'adresse directement aux deux principaux points faibles : la zone morte et la fuite de la référence. La topologie originale proposée ne présente aucune zone morte, même aux fréquences les plus élevées d'une technologie donnée. De plus, grâce à sa sortie différentielle, toute fuite parasite des commutations de la référence est annulée lorsque la PLL est verrouillée. Bien évidemment, cette qualité se voit affaiblie par le décalage de phase équivalent introduit par les variations de procédé. Par contre, aucune zone morte n'est introduite par de telles variations. Sa topologie différentielle propose aussi une bonne immunité aux sources de bruit en mode commun. Ce premier détecteur

de phase se différencie du second par le fait qu'il puisse fonctionner, sans décalage de phase équivalent, avec des signaux périodiques ayant des rapports cycliques différents. Une de ses grandes qualités réside dans le fait qu'il soit capable de fonctionner autant avec des signaux sinusoïdaux que carrés. Ainsi, le détecteur peut être utilisé aisément dans des synthétiseurs de fréquence.

Le second détecteur proposé possède toutes les caractéristiques du premier à l'exception d'une seule : il est sensible aux différences des rapports cycliques. Ce second détecteur a été proposé en réponse à une lacune du premier. En effet, la fonction de transfert du premier détecteur a une très forte réduction de gain à $\pm\pi$, en plus d'avoir un faible gain à haute fréquence. Par conséquent, la vitesse de convergence est réduite à chaque fois que la phase passe au travers de la région $\pm\pi$. De plus, utilisé à haute fréquence, ce détecteur possède un moins grand rapport signal à bruit, favorisant l'introduction de bruit venant de l'alimentation. Le second détecteur est une alternative très intéressante lorsqu'il est possible de s'assurer de l'équivalence des rapports cyclique des signaux périodiques le nourrissant. Sans cette qualité des signaux d'entrée, le détecteur possède un décalage en sortie. Bien que souvent sans importance, ce décalage vient tout de même permettre à la référence de fuir avec un peu plus d'énergie. Cette version modifiée du détecteur permet, toujours sans zone morte, de concevoir des PLL plus performantes à haute fréquence.

Bien que très performantes, les deux versions du détecteur de phase proposé ne sont pas toujours suffisantes. En effet, ce détecteur doit, dans bien des cas, être jumelé à un détecteur de fréquence. Deux raisons motivent ce jumelage : augmenter la plage de

détection et exploiter le parallélisme. N'importe quel détecteur de fréquence ou de phase/fréquence permettra d'augmenter de façon considérable la plage de détection. Par contre, afin de ne pas ajouter de dysfonctionnement à la boucle, le parallélisme exige que le détecteur de fréquence soit complètement déconnecté du système lorsque le détecteur de phase régit la PLL. Le nouveau détecteur de fréquence complémentaire à trois états présenté au chapitre 4 possède cette caractéristique.

Réunis, le nouveau détecteur de phase et le nouveau détecteur de fréquence complémentaire à trois états composent un nouveau détecteur de phase/fréquence. Celui-ci possède alors une plage de détection illimitée (limitée en fait par l'OCT), une absence de zone morte, une présence minimale de fuite de la référence et n'exige aucun compromis entre le bruit de phase et la vitesse de convergence.

Afin de caractériser correctement un prototype du détecteur de phase proposé, une méthode de test embarquée a été présentée. Cette méthode est cependant limitée. Bien qu'elle puisse facilement tracer la fonction de transfert du détecteur de phase, elle n'est pas complète. En effet, la méthode ne permet pas de mesurer le décalage de la tension de sortie pour un déphasage nul. De plus, il est impossible de connaître l'amplitude ou l'énergie des fuites de la référence. Cette méthode est tout de même suffisante pour présenter la principale qualité du détecteur de phase : l'absence de zone morte.

Malheureusement, de malencontreux événements ont empêché à plusieurs reprises de posséder un prototype testable : une première ronde de fabrication a été refusée, une seconde annulée alors que les troisième et quatrième se sont avérées défaillantes.

Bien que la conception de ce détecteur de phase ait été faite en essayant de le rendre très polyvalent, notre objectif n'a pas été totalement atteint. En exploitant un détecteur de transition, les applications qui visent le recouvrement d'horloge ne peuvent que difficilement utiliser ce nouveau détecteur. Un adaptateur devrait alors être conçu.

Afin de poursuivre cette recherche, plusieurs questions demeurent ouvertes comme la compensation du décalage introduit par les variations de procédé, la mesure de ce décalage et la mesure des fuites de la référence.

Finalement, les trois nouveaux détecteurs proposés dans ce mémoire enrichissent une bibliothèque de détecteurs existante en proposant de nouvelles solutions. Il devient alors possible de concevoir des systèmes toujours plus performants en réponse aux besoins toujours plus exigeants.

Références

[1] ANAND, S. B. RAZAVI, B. 2001. « A CMOS Clock Recovery Circuit for 2.5-Gb/s NRZ Data ». *Solid-State Circuits, IEEE Journal of.* 36 : 3. 432 –439.

[2] BRENNAN, P. V. THOMPSON, I. 2001. « Phase/frequency detector phase noise contribution in PLL frequency synthesizer ». *Electronics Letters*, 37 : 15. 939 -940.

[3] BRYNJOLFSON, I. ZILIC, Z. 2001. «A new PLL Design For Clock Management Applications ». IEEE International Symposium On Circuits and Systems. 4. 814-817.

[4] CHANG, Y-C. GREENEICH, E. W. 1999. « Monolitic phase-locked loop circuits with coarse-steering acquisition aid ». IEEE International Symposium On Circuits and Systems. 2. 561-564.

[5] DEN DULK, R. C. 1988. « Digital PLL lock-detection circuit ». Electronics letters. 24 : 14. 880-882.

[6] DJEMOUAI, A. SAWAN, M. SLAMANI, M. 1998. « High Performance Integrated CMOS Frequency-to-Voltage Converter ». *International Conference on Microelectronics, Tunesia.* 63-66.

[7] FOUZAR, Yousef. SAVARIA, Yvon. SAWAN, Mohamad. 2000. « A new fully integrated CMOS Phase-Locked Loop with low jitter and fast lock time ». IEEE International Symposium On Circuits and Systems. 2. 253-256.

[8] FOUZAR, Yousef. SAVARIA, Yvon. SAWAN, Mohamad. 2001. « A new controlled gain-phase-locked loop technique ». IEEE International Symposium On Circuits and Systems. 4. 810-813.

[9] FOUZAR, Yousef. SAVARIA, Yvon. SAWAN, Mohamad. 2002. « A CMOS Phase-Locked Loop with an Auto-calibrated VCO ». IEEE International Symposium On Circuits and Systems. 3. 177 -180.

[10] GARDNER, F.M. 1979. *Phaselock Techniques.* Deuxième édition. New-York : Wiley. 285p.

[11] HAJIMIRI, Ali. 2001. « Noise in Phase-Locked Loops ». *IEEE Journa of. Soldt-State Circuits.* 31. 1-6.

[12] HATI, A. GHOSH, M. SARKAR. 2002. « Phase detector fo data-clock recovery circuits ». Electronics letters, 38: 4. 161-163.

[13] LEENAERTS, Domine, TANG Johan Van Der, VAUCHER, Cicero 2001. *Cricuit Design fo RF Transceivers.* Première édition. Boston : Kluwer Academic Publishers. 323p.

[14] MASSERSCHMITT, D.G. 1979. « Frequency Detectors for PLL acquisition in timing and carrier recovery ». *IEEE transactions on communications.* 27 : 9. 1288-1295.

[15] McNEILL, John A. 1997. « Jitter in Ring Oscillators ». *IEEE Journal of solid-state circuits.* 32 : 6. 870 – 879.

[16] NONIS, Roberto. DALT, Nicola Da. PALESTRI, Pierpaolo. SELMI, Luca. 2004. « Modeling, design and characterization of new low jitter analog dual tuning LC-

VCO PLL architecture ». IEEE International Symposium On Circuits and Systems. IV. 553 – 556.

[17] RAZAVI, Behzad. 1996. « A Study of Phase Noise in CMOS Oscillators ». *IEEE Journal od solid-state circuits*. 31 : 3. 331 – 343.

[18] RAZAVI, Behzad. 1996. *Monolithic Phase-Locked Loops and Clock Recovery Circuits – Theory and Design*. Première édition. New York : IEEE Press. 498p.

[19] RAZAVI, Behzad. 1998. *RF Microelectronics*. Première édition. Upper Saddle River NJ : Prentice-Hall, Inc. 335p.

[20] RENAUD, M. SAVARIA, Y. 2002. « A linear phase detector for arbitrary clock signals ». IEEE International Symposium on Circuit and Systems. 4. IV-775-IV-778.

[21] RENAUD, M. SAVARIA, Y. 2003. « A CMOS three-state frequency detector complementary to an enhanced linear phase detector for PLL, DLL or high frequency clock skew measurement ». IEEE International Symposium on Circuit and Systems. 3. III-148-III-151.

[22] SHARPE, C. A. 1976. « A 3-state phase detector can improve your next PLL design » *EDN Magazine*. 55 -59.

[23] SMITH, Jack R. 1998. *Modern Communication circuits*. Deuxième édition. New York : Mc Graw Hill. 577p.

[24] TANG, Y. GEIGER, R. L. 2000. « A Non-sequential Phase Detector for PLL-based High-Speed Data/Clock Recovery ». *Circuits and Systems, 2000. Proceedings of the 43rd IEEE Midwest Symposium on*. 1. 428 -431.

[25] TANG, Y. GEIGER, R. L. 2001. « A 2.5GBit/s CMOS PLL for data/clock recovery without frequency devider». IEEE International Symposium On Circuits and Systems. 1 : 1. 256-59.

[26] VAUCHER, Cicero S. 2002. *Architectures for RF Frequency Synthesizers.* Première édition. Boston : Kluwer Academic Publishers. 249p.

Annexe A

Afin de connaître l'impact qu'aurait une variation des procédés de fabrication sur la fonctionnalité d'un circuit, on effectue, par simulation, une analyse Monte Carlo. Cette analyse permet, par l'intervention de variables aléatoires, de faire fluctuer de manière indépendante plusieurs paramètres technologiques intrinsèques aux modèles électriques des transistors. Ces altérations affectent le comportement de ces derniers et affecte par conséquent le fonctionnement d'un circuit.

Les paramètres technologiques sont des variables utilisées pour adapter un modèle de transistor à une technologie de fabrication donnée. Dans le cadre de cette recherche, le modèle dit LEVEL 49 du transistor MOSFET de HSPICE a ainsi été adapté aux paramètres de fonctionnement fournis par la fonderie TSMC.

Lors d'une simulation Monte Carlo, c'est la variation de ces paramètres qui émule la non-reproductibilité absolue et relative des procédés de fabrication. Le résultat d'une telle simulation représente les dispersions possibles du comportement du circuit, comme par exemple, la dispersion d'une tension de sortie, ou la dispersion du gain d'un étage d'amplification.

Lorsqu'un circuit persiste à fonctionner malgré les différentes perturbations introduites dans les modèles des transistors, on peut affirmer que ce dernier sera robuste aux variations des procédés.

Les différentes caractéristiques sujettes aux variations sont les suivantes : l'épaisseur de l'oxyde sous la grille des transistors, la tension de seuil de conduction des transistors, les longueurs effectives des canaux des transistors et les largeurs effectives des canaux des transistors. Ces variables aléatoires sont définies de façons indépendantes pour les transistors de type p et de type n. Les variations (3σ) de ces caractéristiques sont fournies par la fonderie et elles peuvent varier de quelques pourcents en relatif et en absolue. Par exemple, la tension de seuil d'un transistor n en technologie 0.35 micron peut varier de 100mV en absolue et de 10mV en relatif.

On définit la variation absolue comme étant le décalage en groupe des propriétés électriques de plusieurs transistors appartenant à un même circuit et s'étendant sur une portion raisonnablement grande de la puce.

La variation relative se définit comme étant le décalage des propriétés électriques de transistors géographiquement adjacents.

D'autres composantes électriques sont aussi sensibles aux variations des procédés de fabrication. C'est entre autres le cas des capacités et des résistances. Typiquement, la variation relative de la grandeur d'une capacité sera d'environ 20%.

Le tableau de la page suivante présente les grandes lignes des erreurs introduites pour les différents types de variables énumérés plus haut.

Tableau A-1 Tableau récapitulatif des variations absolues et relatives des transistors PMOS et NMOS.

Paramètres	Variation absolue	Variation relative	Valeur nominale
toxn	10 Å	1 Å	75 Å
toxp	10 Å	1 Å	75 Å
dvtn	100 mV	10 mV	0 mV
dvtp	100mV	10mV	0mV
dl	0.04 μm	0.004 μm	0 μm
dw	0.06 μm	0.006 μm	0 μm

page de garde