POLYPUBLIE

Conception d'un convertisseur analogique à numérique 10 bits / 200 MÉ/s pipeliné et calibré numériquement

Dominic Morin

Document en libre accès dans PolyPublie
Open Access document in PolyPublie

Date	2005
Type	Mémoire ou thèse / Dissertation or Thesis Mémoire de maîtrise/Master's thesis
URL de PolyPublie PolyPublie URL	https://publications.polymtl.ca/7650/
Conditions d'utilisation Terms of use	© Tous droits réservés / All rights reserved
Référence Citation	Morin, D. (2005). Conception d'un convertisseur analogique à numérique 10 bits / 200 MÉ/s pipeliné et calibré numériquement [Mémoire de maîtrise, École Polytechnique de Montréal]. PolyPublie. https://publications.polymtl.ca/7650/

Détails de la thèse
Thesis details

Directeurs de recherche Advisors	Yvon Savaria, & Mohamad Sawan
Programme Program	Non spécifié

Ce fichier a été téléchargé à partir de PolyPublie, le dépôt institutionnel de Polytechnique Montréal
This file has been downloaded from PolyPublie, the institutional repository of Polytechnique Montréal
https://publications.polymtl.ca

UNIVERSITÉ DE MONTRÉAL

CONCEPTION D'UN CONVERTISSEUR ANALOGIQUE À NUMÉRIQUE 10 BITS / 200 MÉ/S PIPELINÉ ET CALIBRÉ NUMÉRIQUEMENT

DOMINIC MORIN
DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION
DU DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES
(GÉNIE ÉLECTRIQUE)
NOVEMBRE 2005

© Dominic Morin, 2005

Library and Archives Canada

Published Heritage Branch

395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque et Archives Canada

Direction du Patrimoine de l'édition

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence
ISBN: 978-0-494-16820-2
Our file Notre référence
ISBN: 978-0-494-16820-2

NOTICE:
The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:
L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé :

CONCEPTION D'UN CONVERTISSEUR ANALOGIQUE À NUMÉRIQUE 10 BITS / 200 MÉ/S PIPELINÉ ET CALIBRÉ NUMÉRIQUEMENT

Présenté par : MORIN, Dominic

En vue de l'obtention du diplôme de : Maîtrise ès sciences appliquées

A été dûment accepté par le jury d'examen constitué de :

M. KHOUAS Abdelhakim, Ph.D., president

M. SAVARIA Yvon, Ph.D., membre et directeur

M. SAWAM Mohamad, Ph.D., membre et co-directeur

M. AUDET Yves, Ph.D., membre

REMERCIEMENTS

J'aimerais avant toute chose remercier mon directeur de recherche, Yvon Savaria, pour m'avoir accepté au sein du groupe de recherche en microélectronique. Il m'a guidé tout au long de mes études supérieures, non seulement pour mes recherches, mais aussi dans l'optique de ma carrière professionnelle. En plus de s'être investi dans ce projet, il m'a trouvé un support financier et m'a donné la chance de participer à la formation d'autres étudiants. Je remercie également mon codirecteur de recherche, Mohamad Sawan, ses suggestions et l'aide apportées par lui et ses étudiants ont contribué grandement à la complétion de ce projet.

Ce travail a été supporté financièrement et rendu possible par Gennum Corp. par l'entremise du programme de support financier de Micronet R&D.

Merci à mes collègues, pour leur aide, support et encouragement qu'ils m'ont apportés. Plus particulièrement à Manuel Robert, Tien Bui, Frédéric Normandin, Marie-Ève Grandmaison, Hung Dang, Bruno Tanguay, Ghislain Provost, Kamal El-Sankary, Robert Chebli et Maria Mbaye. Merci également à Alexander Vesey, Ghyslaine E-Carrier, Réjean Lepage, et Martin Paré pour leur support.

Je désire apporter des remerciements spéciaux à mes parents, Florent et Huguette, et à mes frères, Frédéric et Martin qui tout au long de mes études m'ont encouragé et supporté dans des moments souvent difficiles. Merci à tous mes amis pour leur contribution et appui.

RESUMÉ

Les convertisseurs analogique à numérique (CAN) permettent de convertir des signaux du domaine analogique au domaine numérique. Le traitement des signaux est beaucoup plus simple dans le domaine numérique que dans le domaine analogique. Même si le domaine de recherche liée aux CAN est très actif, les architectures standards de convertisseurs atteignent difficilement les spécifications de certaines applications modernes. C'est le cas de la télévision haute définition qui requiert une bonne linéarité et une fréquence d'opération élevée. Pour cette application, l'utilisation d'une architecture pipelinée et parallèle semble être le choix le plus judicieux. Avec cette configuration, il est plutôt facile d'atteindre la cadence de conversion nécessaire, mais à cette vitesse, la linéarité de la fonction de transfert est souvent inadéquate. Ce problème est lié aux non-idéalités des circuits analogiques. C'est pourquoi, il est nécessaire d'améliorer les techniques actuelles.

La technique utilisée pour améliorer la linéarité des CAN dans ce projet est la calibration numérique. Par des traitements numériques, le dispositif permettra de compenser les non-idéalités des circuits analogiques telles que le mauvais mariage des composants, les gains finis et les distorsions provoquées par la nature analogique des éléments. L'utilisation de cette technique permettra aussi de réduire considérablement la complexité des circuits analogiques. Par cette méthode, il est possible d'obtenir un gain en vitesse, car les non-idéalités d'un circuit analogique simple peuvent être compensées

dans le domaine numérique. En effet, un circuit analogique simple et imprécis est beaucoup plus rapide qu'un circuit complexe et précis.

Quoique simple, la technique de calibration numérique utilisée reste néanmoins difficilement applicable pour un convertisseur pipeliné standard. En effet, il est nécessaire d'identifier quels critères doivent être respectés pour que cette technique soit complètement fonctionnelle sur toute la plage de fonctionnement du convertisseur. Afin, de maximiser les résultats du prototype, un modèle mathématique des CAN pipelinés a été utilisé pour déterminer les limitations de la calibration numérique. Aussi un simulateur utilisant une procédure de type Monte-Carlo a été conçu pour valider le concept dans les plages de variation des paramètres pour la technologie utilisée.

Un prototype a été conçu, afin de vérifier le concept de calibration numérique proposé. Les simulations après dessin de masques, montrent que le prototype atteint 200 Méchantillons/s à une précision de 9.8 bits effectifs et ce en utilisant les paramètres qui correspondent aux coins de l'espace des paramètres de la technologie CMOS 0.18μm.

ABSTRACT

Analog to digital converters (ADC) convert signals from the analog world to digital signals. Processing of the converted signals is much simpler in the digital domain than in the analog domain. Even if the research field related to the ADC is very active, standard converter architectures have difficulties to reach the needed specifications of modern applications. It is the case of high definition televisions which require good linearity and high operating frequency. For this application, the use of pipelined and parallel architectures seems to be the most judicious choice. With this configuration, it is easy to reach the necessary conversion rate, but at this speed, the linearity of the transfer function is inadequate. This problem is related to the non-idealities of analog circuits. So, it is essential to improve the current techniques.

The technique used to improve the linearity of ADCs explored in this project is digital calibration. By digital post-processing, the device can be compensated for the non-idealities of the analog circuit such as components mismatch, finite gain and distortions caused by the analog nature of electronic components. This technique reduces considerably the complexity of the analog circuits. Using this technique, it is possible to enhance the operating frequency, because the non-idealities of a simple analog circuit can be compensated in the digital domain. Indeed, a simple and imprecise analog circuit is much faster than a complex and precise circuit.

Though simple in principle, digital calibration is not easily applicable to standard pipelined converters. In fact, criteria must be respected so that this technique is

completely functional over the operating range of the converter. Thus, to help optimize performances of a prototype, a mathematical model of the pipelined ADC was created and used to determine the limitations of digital calibration. Also a simulator using a Monte-Carlo procedure was developed to validate the proposed concept with respect to expected variations of technology parameters.

A prototype was designed, in order to validate the proposed digital calibration method. Post-layout simulations show that the prototype can operate at 200 MS/s with an accuracy of 9.8 effective bits by using corners parameters of the CMOS 0.18μm technology.

TABLE DES MATIÈRES

REMERCIEMENTS iv

RESUMÉ v

ABSTRACT vii

TABLE DES MATIÈRES ix

LISTE DES FIGURES xiii

LISTE DES TABLEAUX xviii

LISTE DES ABBRÉVIATIONS xix

LISTE DES ANNEXES xx

1. CHAPITRE I : INTRODUCTION 1

2. CHAPITRE II : REVUE DE LITTÉRATURE 4

2.1. Convertisseurs analogique à numérique 4

2.2. Spécifications 6

2.2.1. Spécifications statiques : 6

2.2.2. Spécifications dynamiques : 9

2.3. Architecture 10

2.3.1. Convertisseur à approximation successive 10

2.3.2. Convertisseur à intégration 11

2.3.3. Convertisseur Sigma Delta 15

2.3.4. Convertisseur Flash 16

2.3.5. Convertisseurs Flash pliés 17

2.3.6. Convertisseurs à plusieurs étapes 19

2.3.7. Convertisseurs en pipeline 20

2.3.8. Convertisseurs parallèles 21

2.4. Perfectionnements 23

2.4.1. Correction numérique des erreurs 23

2.4.2. Calibration externe 27

2.4.3. Auto-calibration 27

2.5. Choix d'une architecture 37

3. CHAPITRE III : MODÈLE ET CALIBRATION 40

3.1. Modèle des convertisseurs pipelinés 40

3.2. Calibration 43

3.2.1. Architecture 44

3.2.2. Simulation 46

4. CHAPITRE IV : PROTOTYPE 51

4.1. Règles de conception 51

4.2. Spécifications et hypothèses 53

4.2.1. Convertisseur 53

4.2.2. Étages pipelinés et échantillonneur bloqueur 54

4.2.3. Amplificateur opérationnel 59

4.2.4. Comparateur 60

4.3. Conception 60

4.3.1. Amplificateur opérationnel 61

4.3.2. Comparateur 66

4.3.3. Étages pipelinés et échantillonneur bloqueur 69

4.3.4. Réseaux de commutation 72

4.3.5. Générateur d'horloges 74

4.4. Intégration 77

4.4.1. Étages pipelinés et échantillonneur bloqueur 77

4.4.2. Noyau 83

4.4.3. Disposition des plots 84

4.4.4. Circuit intégré final 86

4.4.5. Encapsulation du circuit intégré 86

5. CHAPITRE V : TESTS 88

5.1. Circuit Imprimé 88

5.1.1. Partie Analogique 90

5.1.2. Partie numérique 93

5.1.3. Circuit imprimé final 94

5.2. Banc de test 95

5.3. Résultats préliminaires 97

6. CHAPITRE VI : RÉSULTATS 102

7. CHAPITRE VII : CONCLUSION 106

8. REFERENCES 109

LISTE DES FIGURES

Figure 2.1 – (a) Signal analogique, (b) Signal échantillonné et (c) Signal numérique 5

Figure 2.2 – Exemples illustratifs des INL et DNL 8

Figure 2.3 - Convertisseur à approximations successives 10

Figure 2.4 - Principe de fonctionnement d'un convertisseur à simple pente 12

Figure 2.5 - Chronogramme d'un convertisseur à simple pente 12

Figure 2.6 - Principe de fonctionnement d'un convertisseur à double pente 13

Figure 2.7 - Chronogramme d'un convertisseur à double pente 14

Figure 2.8 - Bloc d'un convertisseur Sigma Delta 15

Figure 2.9 - Modulateur Sigma-Delta du premier ordre 15

Figure 2.10- Convertisseur Flash standard 17

Figure 2.11 - (a) Convertisseur à pliage (b) Fonction de transfert du plieur 18

Figure 2.12 - Convertisseur à plusieurs étapes, deux étapes 19

Figure 2.13 - Convertisseur en pipeline 21

Figure 2.14 - convertisseur parallèle 22

Figure 2.15 - Architecture requise pour la correction numérique des erreurs 23

Figure 2.16 - Fonction de transfert d'un étage de 1.5 bits et de 2 bits 24

Figure 2.17 - Effet d'une tension de décalage sur les fonctions de transfert 25

Figure 2.18 - Exemple de traitement de l'unité de correction d'erreur 26

Figure 2.19 - Architecture de calibration mixte LMS 29

Figure 2.20 – Décomposition d'un convertisseur pipeliné 30

Figure 2.21 – Architecture de calibration numérique simplifiée 31

Figure 2.22 – Architecture de calibration numérique LMS 32

Figure 2.23 – Architecture de calibration numérique par changement de configuration 35

Figure 2.24 – Fonction de transfert des configurations utilisées 36

Figure 3.1 - Convertisseur pipeliné de n étages 40

Figure 3.2 – Modèle d'un étage pipeliné 41

Figure 3.3 - Architecture de calibration numérique 45

Figure 3.4 - Représentation du gain non linéaire utilisé 47

Figure 4.1 - Cheminement de conception 52

Figure 4.2 - Modèle du bruit généré par un convertisseur pipeliné 55

Figure 4.3 - Diagramme simplifié d'un étage pipeliné 58

Figure 4.4 - Chronogramme des signaux de l'étage pipeliné 59

Figure 4.5 - Schéma au niveau des transistors de l'amplificateur opérationnel 61

Figure 4.6 - Circuit de rétroaction du mode commun 61

Figure 4.7 - Disposition des transistors et modules de l'amplificateur opérationnel..... 62

Figure 4.8 - Dessin de masques de l'amplificateur opérationnel..... 62

Figure 4.9 - Réponse dynamique de l'amplificateur opérationnel..... 63

Figure 4.10- Gain DC selon la température de jonction..... 64

Figure 4.11 - Fréquence de gain unitaire selon la température de jonction..... 65

Figure 4.12 - Circuit final du comparateur dynamique..... 66

Figure 4.13 - Disposition des transistors appariés du comparateur..... 67

Figure 4.14 - Dessin de masques du comparateur..... 67

Figure 4.15 - Chronogramme du comparateur..... 68

Figure 4.16- Architecture de l'échantillonneur bloqueur et son diagramme de phase.... 70

Figure 4.17 - Porte de transmission des réseaux de commutation..... 70

Figure 4.18 - Architecture des étages pipelinés..... 71

Figure 4.19 - Diagramme squelettisé du réseau de commutation des étages pipelinés... 72

Figure 4.20 - Diagramme squelettisé du réseau de commutation de l'échantillonneur bloqueur..... 73

Figure 4.21 - Dessin de masques du réseau de commutation (a) des étages pipelinés et (b) de l'échantillonneur bloqueur..... 74

Figure 4.22 - Schéma du générateur d'horloges..... 75

Figure 4.23 - Chronogramme des phases du générateur d'horloges..... 75

Figure 4.24- Disposition des sous modules de l'échantillonneur bloqueur 77

Figure 4.25 - Dessin de masques de l'échantillonneur bloqueur 77

Figure 4.26 - Disposition des sous modules d'un étage pipeliné 78

Figure 4.27 - Dessin de masques d'un étage pipeliné 78

Figure 4.28 - Banc de test des étages pipelinés 79

Figure 4.29 - Temps de stabilisation 80

Figure 4.30 - Gain de l'échantillonneur bloqueur selon son entrée 82

Figure 4.31 - Gain d'un étage pipeliné selon son entrée 82

Figure 4.32 - Disposition des modules du noyau 83

Figure 4.33 - Disposition des plots d'entrée/sortie et d'alimentation 85

Figure 4.34 - Dessin de masques final 86

Figure 4.35 - Connexions des plots aux pins du boîtier 87

Figure 4.36 - Circuit intégré final 87

Figure 5.1 - Modèle d'un condensateur commercial 89

Figure 5.2 - Réponse en fréquence d'un filtre passe-bas basé sur un condensateur commercial 89

Figure 5.3 - Réponse en fréquence d'un filtre passe-bas basé sur une batterie de condensateurs 89

Figure 5.4 - Convertisseur « single-ended » à différentiel 91

Figure 5.5 - Génération du courant de polarisation 92

Figure 5.6 - Architecture des registres de sortie 93

Figure 5.7 - Circuit imprimé final 95

Figure 5.8 - Banc de test final 96

Figure 5.9 - Resynchronisation des étages pipelinés 99

Figure 5.10 - Chronogramme du test de la partie numérique 99

Figure 5.11 - Section problématique du dessin de masques 100

Figure 6.1 - INL avant calibration (résultat typique) 103

Figure 6.2 - DNL avant calibration (résultat typique) 103

Figure 6.3 - INL après calibration (résultat typique) 104

Figure 6.4 - DNL après calibration (résultat typique) 104

LISTE DES TABLEAUX

Tableau 2.1 - Exemple de performance pour une architecture donnée 38

Tableau 3.1- Paramètres du modèle d'un étage pipeliné 42

Tableau 3.2 - Valeurs appliquées aux simulations 48

Tableau 3.3 - Résultats des simulations sans redondance 48

Tableau 3.4 - Résultats des simulations avec redondance 49

Tableau 4.1- Gain DC et fréquence de gain unitaire de l'amplificateur opérationnel pour les paramètres de performance typique et de coin 63

Tableau 4.2- Temps associé à différents cas de figure et paramètres coins du comparateur 68

Tableau 4.3 - Temps de décision maximale du comparateur pour différentes températures de jonction 69

Tableau 4.4 - Temps (ps) associé aux différentes phases du générateur d'horloge pour différents ensembles de paramètres de coins technologiques 76

Tableau 4.5 - Temps de stabilisation (ns) pour T=27°C 81

Tableau 4.6 - Temps de stabilisation (ns) pour T=40°C 81

Tableau 6.1 - Résumé des résultats des simulations 105

LISTE DES ABRÉVIATIONS

ADC Analog to digital converter (CAN)

CAN Convertisseur analogique à numérique (ADC)

CMC Canadian Microelectronics Corporation (SCM)

CMOS Complementary Metal Oxyde Semiconductor

CNA Convertisseur numérique à analogique (DAC)

DAC Digital to analog converter (CNA)

DNL Non-linéarité différentielle (Differential Non Linearity)

ENOB Résolution effective ou Nombre de bits effectifs (Effective Number Of Bits)

INL Non-linéarité intégrale (Integral Non Linearity)

IEEE Institute of Electrical and Electronics Engineers, Inc.

LSB Bit le moins significatif (Least Significant Bit)

MSB Bit le plus significatif (Most Significant Bit)

RMS Valeur efficace (Root Mean Squared)

SCM Société canadienne de microélectronique

SFDR Spurious Free Dynamic Range

SNR Ratio signal sur bruit (Signal to Noise Ratio)

LISTE DES ANNEXES

ANNEXE I : Spécification de base.....114

ANNEXE II : Analyse de la technique de correction des erreurs par redondance.....115

CHAPITRE I

INTRODUCTION

Les choix technologiques actuels nous amènent de plus en plus vers une société du « tout numérique » où l'on décide de restreindre les technologies analogiques. Ceci est explicable par la multitude d'avantages qu'apporte le traitement numérique des signaux. En effet, la conception de circuits numériques permettant le traitement des signaux est beaucoup moins complexe que sa contrepartie analogique, ce qui amène une réduction de coût, une miniaturisation et une flexibilité incomparable. Qui plus est, dans une optique de performance, le traitement numérique est extrêmement stable, robuste et insensible au bruit, ce qui permet d'atteindre de très grandes précisions.

Évidemment, le monde qui nous entoure n'étant que phénomène analogique, les circuits analogiques ne disparaîtront sans doute jamais. De ce fait, les signaux analogiques doivent être numérisés pour ainsi être traités de façon numérique. C'est ici que les convertisseurs analogique à numérique (CAN) sont utilisés en guise de pont entre les deux domaines. La demande croissante en performance des applications, due en grande partie aux avantages qu'offrent les technologies numériques, amène à développer des convertisseurs analogiques à numériques plus performants.

Une application de plus en plus visible est celle de la télévision haute définition (HDTV). Le standard HDTV requiert des CAN de 10 bits opérant à une cadence de 75 Méchantillons/s (MÉ/s) [18], [30]. Pour améliorer la qualité des images, plusieurs

manufacturiers utilisent un échantillonnage à une cadence deux fois plus élevé que le taux de transfert des pixels. Ainsi, avec une fréquence d'échantillonnage de 150 MÉ/s, on obtient une meilleure résolution horizontale, car le nombre de lignes est un paramètre invariant dans le standard HDTV. Les spécifications voulues pour ce projet sont présentées en Annexe I.

Les objectifs de ce projet sont en premier lieu de donner à l'auteur une base dans le domaine de la microélectronique analogique et mixte, ainsi que les connaissances nécessaires à la réalisation de ce projet. En second lieu, il s'agit de déterminer les architectures et techniques nécessaires pour atteindre les spécifications demandées par le standard amélioré HDTV. Finalement, ce projet vise la réalisation d'un prototype intégré pour valider l'architecture proposée.

Dans le but d'identifier les techniques actuelles utilisées en industrie ou en développement dans le milieu de la recherche, une revue de littérature a été effectuée dès le début du projet. Un aperçu de cette revue de littérature sera exposé au deuxième chapitre. De ce chapitre découlent certaines limitations des architectures actuellement utilisées. En effet, le lecteur verra que de nouvelles techniques peuvent être utilisées pour atteindre nos objectifs. C'est ainsi que le troisième chapitre exposera les principes de base de la calibration numérique. Dans ce chapitre, le lecteur pourra voir l'utilisation judicieuse de circuits numériques et analogiques dont les avantages de chacun seront utilisés de façon à atteindre les spécifications visées dans ce projet. Le quatrième chapitre exposera la conception d'un prototype de circuit intégré ayant les spécifications nécessaires au standard HDTV amélioré. Ce chapitre montrera toutes les étapes et choix

de conception du prototype, en débutant par les spécifications jusqu'à l'encapsulation du microcircuit. Afin de tester ce circuit intégré, un plan de test a été élaboré, le cinquième chapitre portera sur ce plan de test. Le sixième chapitre présentera les résultats de simulation au niveau du dessin de masques. En guise de conclusion, le septième chapitre fermera ce mémoire de maîtrise.

CHAPITRE II

REVUE DE LITTÉRATURE

2.1. Convertisseurs analogique à numérique

Les convertisseurs analogique à numérique (CAN), comme leurs noms l'expriment si clairement, sont le lien entre les domaines analogique et numérique. Un signal analogique est un signal arbitraire qui possède la propriété d'être continu en amplitude et en temps, voir figure 2.1.a. Le convertisseur utilise deux opérations pour effectuer sa conversion : L'échantillonnage et la quantification.

Lorsque le signal analogique est échantillonné, ce dernier perd sa propriété de continuité temporelle. Ainsi, le signal analogique échantillonné est idéalement invariant sur une période de temps donnée, voir figure 2.1.b. Par le théorème de Nyquist, un signal peut être reconstruit si ce dernier a été échantillonné à une fréquence égale ou supérieure au double de la fréquence maximale contenue dans le signal.

Le signal devient numérique lorsque l'amplitude du signal échantillonné est quantifiée ou discrétisée, c'est-à-dire que l'amplitude ne peut prendre qu'un nombre fini de valeurs identifiables séparément, voir figure 2.1.c. Le nombre de valeurs ou de codes possibles représente la résolution du convertisseur. La résolution est habituellement exprimée par le nombre de bits pouvant représenter ce nombre. Ainsi, un convertisseur ayant 1024 (2^{10}) valeurs numériques identifiables est un convertisseur de 10 bits. Plus la

résolution est élevée plus le signal quantifié peut être proche du signal analogique échantillonné.

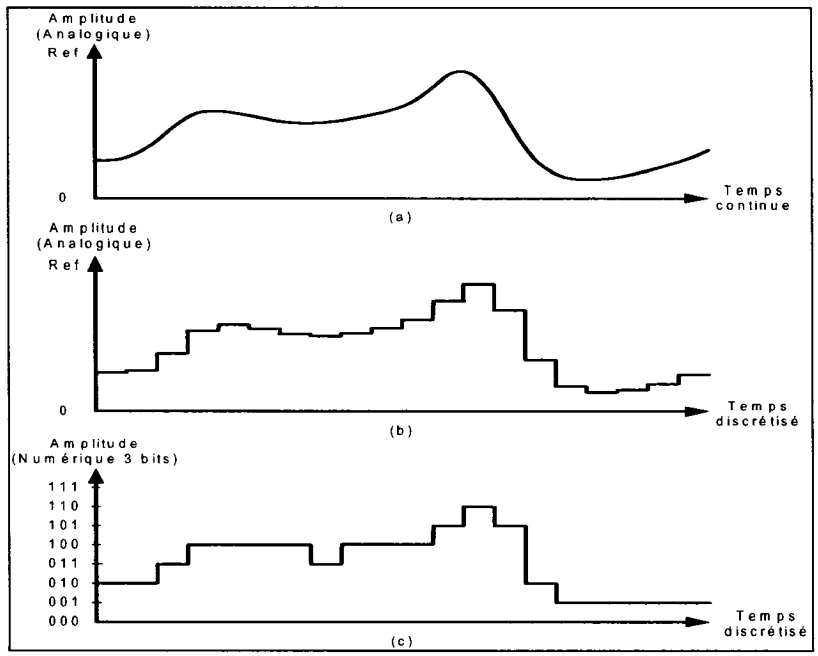


Figure 2.1 – (a) Signal analogique, (b) Signal échantillonné et (c) Signal numérique

Les CAN sont utilisés dès que les caractéristiques d'un signal analogique (tension, courant ou charge) sont nécessaires au fonctionnement d'un dispositif numérique. Par exemple, le simple comparateur d'un thermostat peut être considéré comme un CAN. En effet, le signal est échantillonné au temps de transition du comparateur et discrétisé en deux valeurs possibles. On parle ici d'un CAN ayant une résolution de 1 bit. À un autre extrême, les CAN utilisés dans les systèmes sonores pour audiophiles peuvent avoir une résolution de plus de 24 bits soit près de 16.7 millions de codes possibles. Par contre,

tous ces codes ne sont pas nécessairement justes. En effet, la plupart des CAN audio offrant une précision de 24 bits que l'on retrouve sur le marché ont une exactitude de 16 à 20 bits. Plusieurs phénomènes peuvent causer la dégradation de l'exactitude d'un convertisseur: Le bruit de quantification, le bruit généré par les composants actifs et passifs, et les non-idéalités.

Il existe plusieurs façons de représenter un signal analogique et un code numérique, mais ils sont toujours physiquement analogiques. Ainsi, un signal analogique à convertir peut être soit une tension, un courant, une charge, etc. ; de même que les codes numériques sont représentés par deux niveaux en tension, en courant, etc. Ce document se restreint à la conversion des tensions analogiques en tensions numériques.

2.2. Spécifications

Pour bien comprendre les enjeux, il est primordial de connaître les spécifications reliées aux convertisseurs analogique à numérique. Les spécifications associées au CAN peuvent être de deux types : statique (DC) ou dynamique (AC) [28]. Les spécifications statiques seront décrites en premier lieu pour ainsi en arriver ensuite aux spécifications dynamiques.

2.2.1. Spécifications statiques :

La spécification la plus utilisée est la résolution, elle représente la largeur, en bit, de la sortie du convertisseur. Ainsi, la résolution se réfère au nombre maximal de niveaux

de-quantification que le convertisseur peut représenter. Elle peut aussi être représentée en décibels (dB) à partir de la plage dynamique du convertisseur. La plage dynamique étant le rapport entre la plus grande quantité et la petite quantité pouvant être représentées par le CAN.

La précision d'un convertisseur peut être vue de deux façons ; absolue et relative. La précision absolue est déterminée par la fonction caractéristique du convertisseur en rapport avec une référence provenant d'un standard. Cette dernière inclut tous les défauts qu'un convertisseur peut posséder, elle est habituellement reliée aux erreurs des références. La précision relative ou linéarité est la déviation de la fonction caractéristique d'un convertisseur avec une ligne droite parcourant la plage dynamique du convertisseur. Cette dernière façon est majoritairement utilisée pour caractériser l'exactitude des CAN, elle sera donc utilisée dans ce document.

La linéarité est l'écart entre la courbe caractéristique idéale qui se réduit généralement à une droite de pente déterminée et la courbe caractéristique réelle d'un convertisseur. Elle peut être exprimée soit par l'indice de linéarité intégrale (INL) ou l'indice de linéarité différentielle (DNL). La linéarité intégrale est la différence entre la fonction caractéristique du CAN avec un CAN idéal. Les CAN ayant un nombre de niveaux finis, le INL est déterminé seulement sur les niveaux, plus précisément au centre de ces derniers. Ainsi, l'indice de linéarité intégrale est la différence entre le centre d'un niveau et une ligne droite représentant le CAN idéal.

La linéarité différentielle est la différence entre la largeur d'un niveau du CAN et la largeur de niveau d'un CAN idéal.

Les indices INL et DNL sont exprimés par rapport au bit le moins significatif (LSB) du convertisseur. La figure 2.2 montre un exemple de CAN avec quelques valeurs des indices INL et DNL.

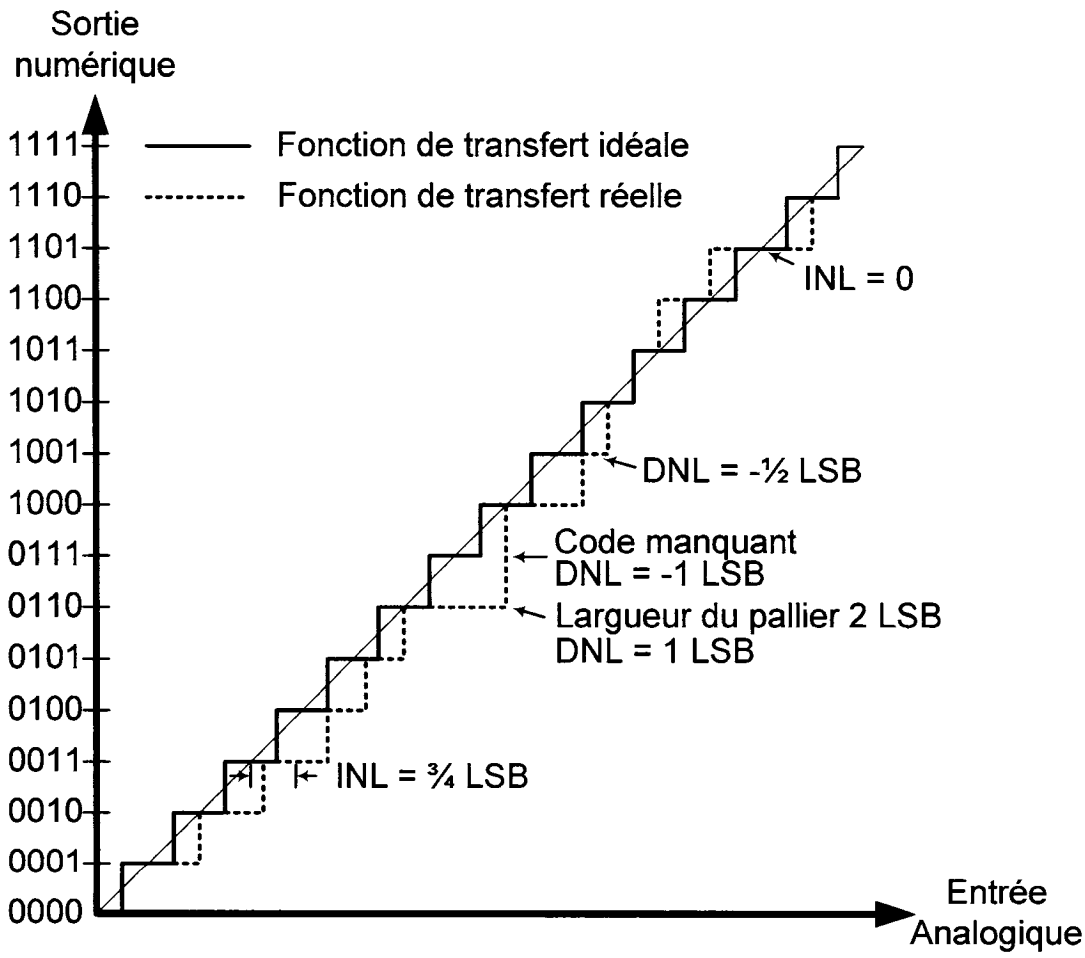


Figure 2.2 – Exemples illustratifs des INL et DNL

2.2.2. Spécifications dynamiques :

Une façon d'évaluer la qualité d'un convertisseur est de déterminer son nombre effectif de bits (ENOB). Ce paramètre provient du rapport signal à bruit (SNR) représenté par l'équation suivante.

$$SNR = 20\log\left(\frac{V_{Signal\,RMS}}{V_{Bruit\,RMS}}\right) \tag{2.1}$$

Pour un convertisseur de n bits de précision, on obtient la relation suivante [11].

$$SNR = 6.02n + 1.76dB \tag{2.2}$$

Ainsi, pour un convertisseur ayant un rapport signal à bruit donné, il est possible de déterminer sa précision en bit. Ce paramètre, exprimé par l'équation 2.3, est appelé nombre effectif de bits

$$ENOB = \frac{SNR - 1.76}{6.02} \tag{2.3}$$

Un autre indice de performance dynamique est le " *spurious free dynamic range* " (SFDR). Ce dernier est évalué à partir de la plus grande raie spectrale produite par le convertisseur. La bande passante analogique du convertisseur est aussi un bon indice de performance de ce dernier, à cette fréquence, le signal analogique a un gain de -3 dB.

2.3. Architecture

Afin de déterminer une architecture ayant le potentiel d'atteindre les spécifications nécessaires à ce projet (voir Annexe 1), il est primordial d'accumuler une connaissance de base des architectures présentement utilisées dans l'industrie. Les prochaines sections exposeront les architectures de base et certaines techniques permettant de les améliorer.

2.3.1. Convertisseur à approximation successive

Les convertisseurs à approximations successives font une recherche binaire sur tous les niveaux possibles de discrétisation en convergeant vers une valeur finale [28]. La figure 2.3 présente le principe standard d'un convertisseur à approximation successive.

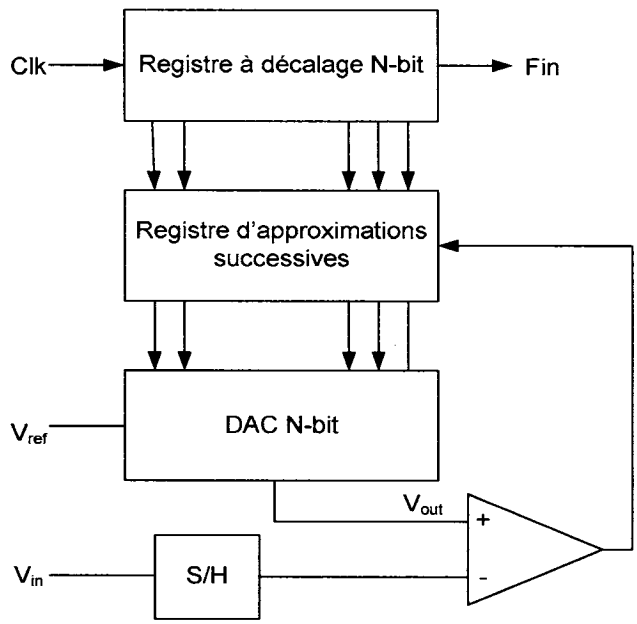


Figure 2.3 - Convertisseur à approximations successives

Les algorithmes optimisés dans une telle architecture sont capables de faire une conversion de N bits en, au plus N essais. Le comparateur utilisé dans cette architecture sert à orienter les essais dans le bon sens. Ce type de convertisseur se retrouve dans les applications dont les résolutions peuvent atteindre 14 bits à une fréquence de conversion de l'ordre de 200 KHz.

2.3.2. Convertisseur à intégration

Un autre type d'architecture permet de faire une conversion en déterminant le temps d'intégration avec un compteur digital. Deux types de convertisseurs à intégration seront expliqués dans cette revue de littérature ; les convertisseurs à simple pente et à double pente. Ces types de convertisseurs sont utilisés dans des applications économiques nécessitant une haute résolution à basse vitesse de conversion [28].

2.3.2.1. Convertisseurs à simple pente

Les figures 2.4 et 2.5 représentent le principe d'une conversion avec un convertisseur à simple pente.

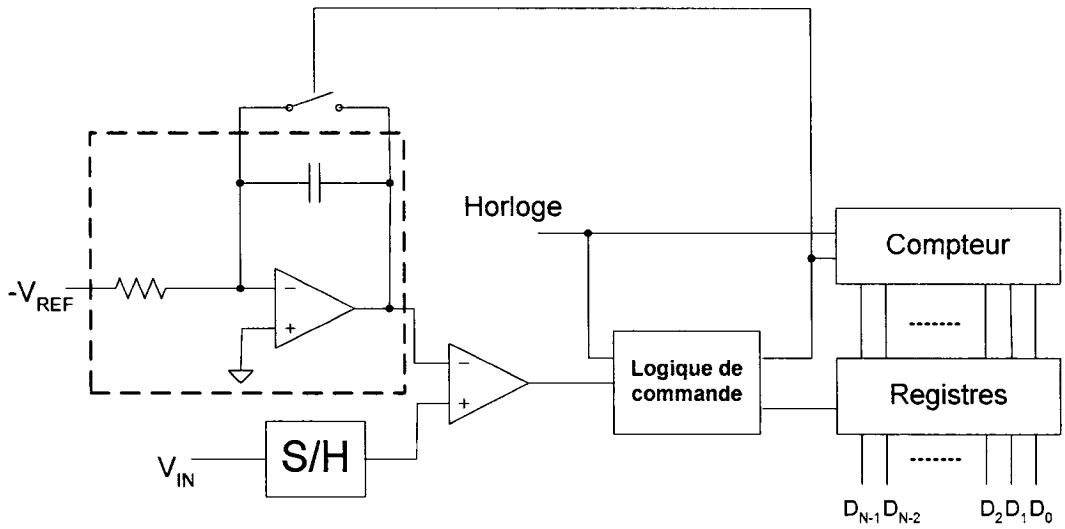


Figure 2.4 - Principe de fonctionnement d'un convertisseur à simple pente

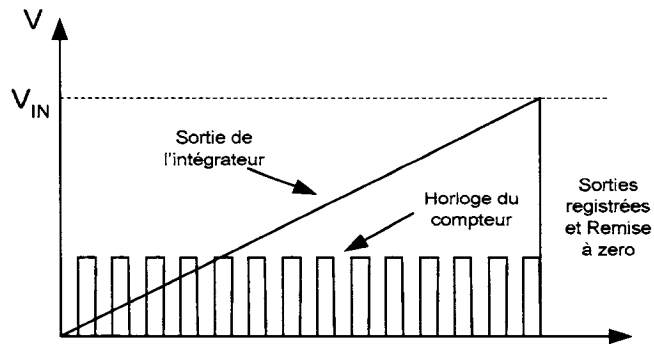


Figure 2.5 - Chronogramme d'un convertisseur à simple pente

La tension de référence est intégrée par un amplificateur opérationnel en configuration intégrateur. La sortie de l'intégrateur est ensuite comparée avec la tension d'entrée du convertisseur. La comparaison commande le compteur digital qui détermine le temps nécessaire pour que l'intégration atteigne la tension d'entrée. Étant donné que

la tension intégrée est constante, la pente produite par l'intégrateur est constante. Ainsi, le temps déterminé par le compteur est directement proportionnel à la tension d'entrée. Par contre, la sortie du convertisseur est fonction de l'entrée et de la valeur du condensateur d'intégration, il est donc primordial de bien fixer cette valeur.

2.3.2.2. Convertisseurs à double pente

Une architecture un peu plus sophistiquée est souvent utilisée, elle peut éliminer certains problèmes liés à l'exactitude des conversions. Les figures 2.6 et 2.7 représentent cette architecture et son chronogramme.

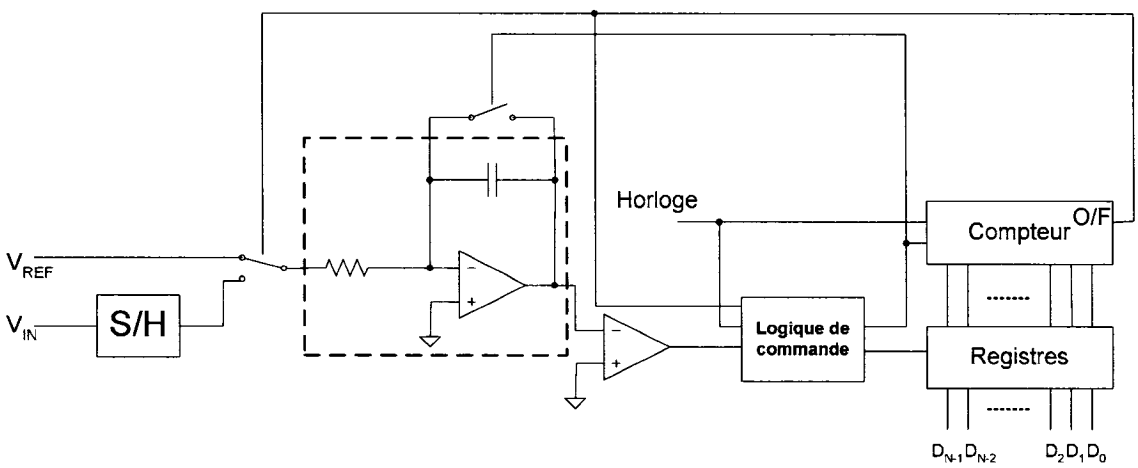


Figure 2.6 - Principe de fonctionnement d'un convertisseur à double pente

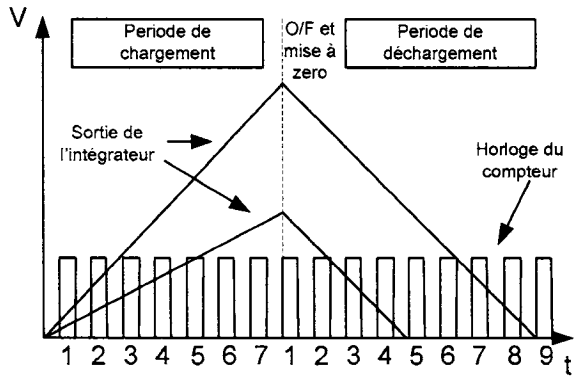


Figure 2.7 - Chronogramme d'un convertisseur à double pente

Ce convertisseur effectue deux intégrations ; une avec la tension d'entrée et l'autre avec la tension de référence. La première intégration est de durée précise, fixée par la limite de dépassement du compteur. Cette première intégration charge le condensateur de l'intégrateur est permet d'atteindre une tension maximale lorsque le compteur dépasse sa limite. La deuxième intégration décharge la capacité d'intégration jusqu'à une tension nulle. Le temps de la décharge est directement proportionnel à la tension d'entrée. En plus, étant donné qu'il y a deux intégrations avec le même intégrateur, la sortie du convertisseur n'est plus fonction du condensateur, mais seulement de la tension d'entrée. Ceci a pour effet de rendre le convertisseur beaucoup plus exact que la configuration à simple pente. Il existe des convertisseurs à double pente d'une précision de 16 bits capable d'opérer à une fréquence de 44 KHz.

2.3.3. Convertisseur Sigma Delta

Les convertisseurs de type Sigma Delta sont des convertisseurs à suréchantillonnage [11], ils échantillonnent un grand nombre de tensions d'entrée pour générer une sortie. La sortie de tels convertisseurs est reliée à la valeur moyenne du signal d'entrée sur la période de suréchantillonnage. La figure 2.8 représente le schéma bloc classique d'un convertisseur Sigma Delta. La figure 2.9 montre en détail les composants d'un modulateur Sigma-Delta du premier ordre, un composant essentiel de ces convertisseurs.

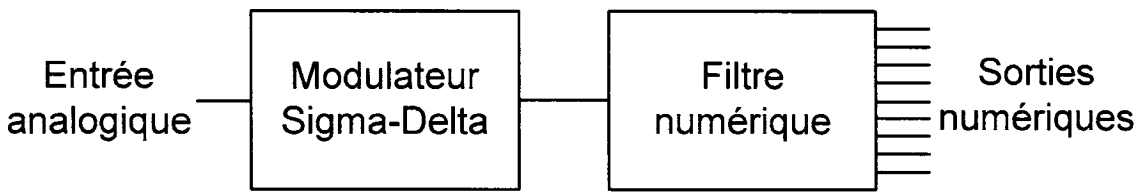


Figure 2.8 - Bloc d'un convertisseur Sigma Delta

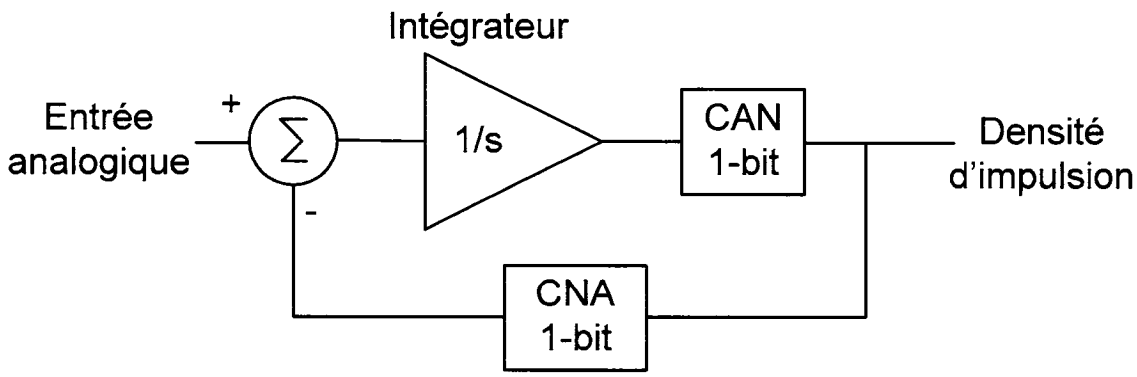


Figure 2.9 - Modulateur Sigma-Delta du premier ordre

Les modulateurs Sigma-Delta génèrent une densité d'impulsion à sa sortie semblable à une modulation de largeur d'impulsion. Le filtre numérique effectue la moyenne associée à la densité d'impulsion. Il est facile de retrouver des convertisseurs Sigma-Delta d'une résolution de 24 bits. Par contre, il est rare d'en trouver un qui opère à plus de 200 KHz.

2.3.4. Convertisseur Flash

Le convertisseur «Full-Flash» est le plus rapide [2] et le plus simple des convertisseurs analogiques. Il compare chaque palier de la fonction de transfert idéale avec la tension d'entrée. Un réseau de comparateurs convertit la tension analogique d'entrée à partir de références analogiques en code de type thermomètre. Ainsi, un décodeur est nécessaire pour la conversion de ce code en un code binaire de pratique plus courante. Les tensions de comparaison sont générées habituellement par une échelle de résistances pondérées. Ces tensions de référence sont divisées en 2^N niveaux analogiques qui sont respectivement comparés avec la tension d'entrée du convertisseur. La figure 2.10 représente un convertisseur de type Flash standard.

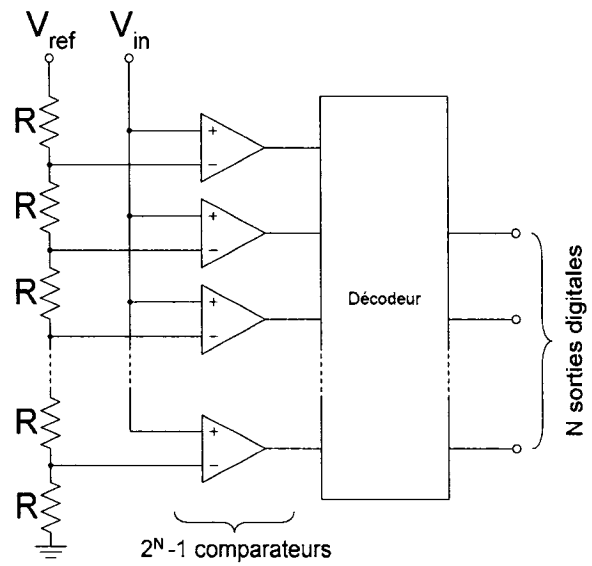


Figure 2.10- Convertisseur Flash standard

Ce type de convertisseur occupe un espace qui croit exponentiellement avec la résolution. Par exemple, un convertisseur de 8 bits nécessite 255 comparateurs. Habituellement, les concepteurs de convertisseurs se limitent à une résolution de 8 bits pour des raisons de surface et de puissance consommée. L'exactitude de ce convertisseur repose sur l'idéalité de l'échelle de résistances et des comparateurs.

2.3.5. Convertisseurs Flash pliés

Les convertisseurs à pliage sont considérés comme des convertisseurs de type Flash. Le principe de ces convertisseurs est de séparer le signal en deux pour être ensuite convertis par deux convertisseurs ayant une plus faible résolution, mais étant beaucoup

plus rapides. La fonction de transfert du module « Plieur » est représentée à la figure 2.11.

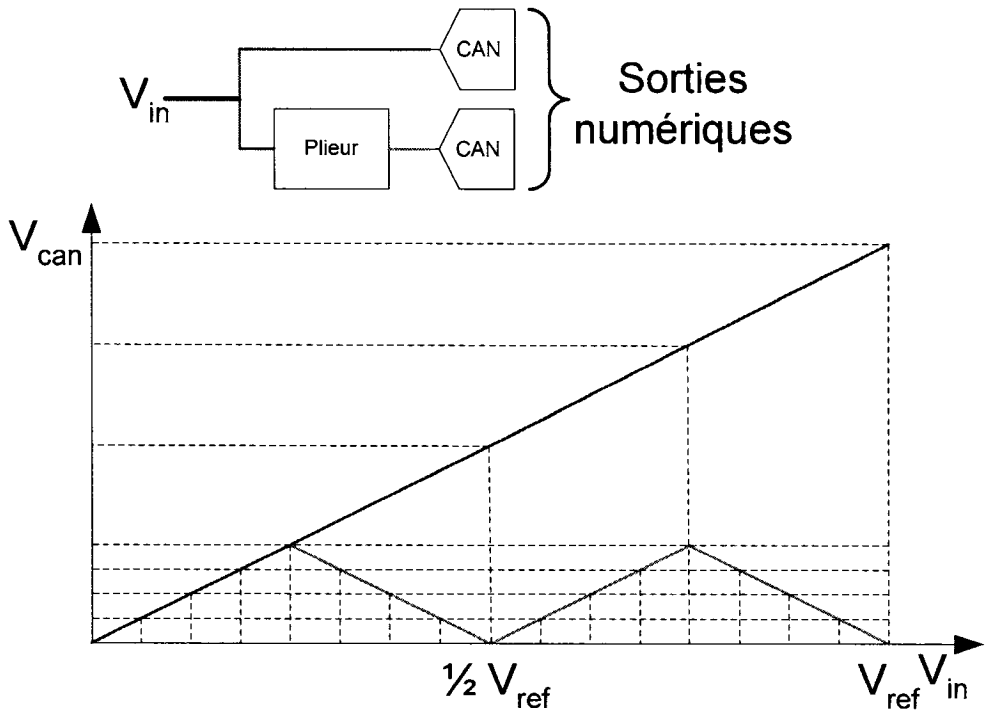


Figure 2.11 - (a) Convertisseur à pliage (b) Fonction de transfert du plieur

Cette configuration permet de séparer les deux CAN indépendamment dans le temps. Ceci signifie que le deuxième convertisseur ne doit pas attendre la fin de la conversion du premier. Ils sont utilisés dans des applications à haute vitesse, mais nécessitant une faible résolution. Les modules « plieurs » sont souvent complexes et non linéaires, ce qui explique que les concepteurs ne les utilisent que dans des applications à basse résolution nécessitant de hautes fréquences d'opération. Par exemple, les convertisseurs qu'on retrouve dans les appareils de mesure de laboratoire performants

peuvent atteindre des fréquences d'échantillonnage de quelques Giga Hertz, mais ils n'ont que 6 ou 7 bits de résolution [28].

2.3.6. Convertisseurs à plusieurs étapes

Un autre type de convertisseur est appelé convertisseur à plusieurs étapes. Le principe de base est présenté à la figure 2.12 avec l'exemple d'un convertisseur à deux étapes. Le CAN est séparé en deux convertisseurs « Flash complet ». Le premier convertisseur donne une estimation grossière de l'entrée, tandis que le second effectue une conversion affinée. Ainsi, la sortie est une concaténation des mots de sortie des deux convertisseurs. Cette architecture permet de réduire considérablement le nombre de comparateurs utilisés dans le convertisseur ; pour un convertisseur « Flash complet » de 8 bits, plus de 255 comparateurs (2^N-1) doivent être utilisés, tandis qu'avec un convertisseur à deux étapes, seulement 30 comparateurs $2(2^{N/2}-1)$ sont nécessaires.

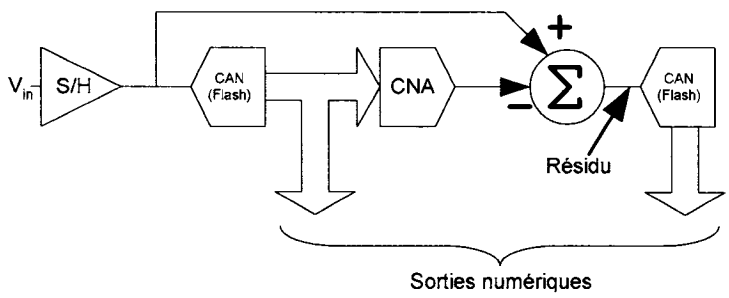


Figure 2.12 - Convertisseur à plusieurs étapes, deux étapes

Cette architecture a un temps de conversion plus important qu'un convertisseur « Flash » complet. Le temps de conversion est multiplié par le nombre d'étage plus le temps nécessaire pour faire la soustraction. Habituellement, le résidu est amplifié avant d'entrer dans un étage subséquent. Ce type de convertisseur nécessite un soin important de la conception du soustracteur et de l'amplificateur de résidu, car dans un convertisseur ayant plusieurs étages, les troncations dues au dépassement de la plage d'entrée sont courantes. Aussi les amplificateurs créent des distorsions et du bruit, ce qui rend encore plus complexe leurs réalisations.

2.3.7. Convertisseurs en pipeline

Étant donné que le dernier étage d'une architecture à plusieurs étapes doit attendre tous les autres étages pour faire sa conversion, la vitesse s'en voit grandement diminuée. Ainsi, il est possible d'utiliser la technique du pipeline pour réduire le temps perdu en attente d'un signal valide. En ajoutant un échantillonneur/bloqueur à la fin de chaque étage d'un convertisseur à plusieurs étapes, les étages de conversion deviennent quasi indépendantes dans le temps. La figure 2.13 montre un schéma bloc d'un convertisseur en pipeline.

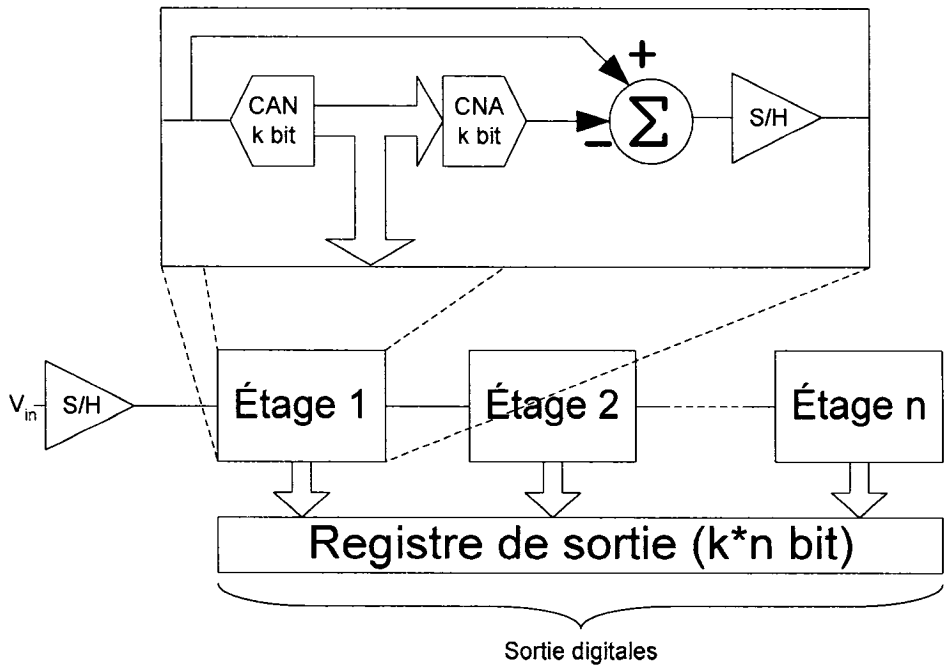


Figure 2.13 - Convertisseur en pipeline

Les registres de sortie doivent synchroniser les mots de chaque étage pour les rendre valide entre eux. De simples registres en cascade font facilement le travail. Ce type de convertisseur est malheureusement plus sensible aux non-idéalités provenant des échantillonneurs/bloqueurs qui sont habituellement porteurs de distorsion. Ce type de convertisseur peut atteindre des cadences de 50 MÉ/s à une résolution de 10 bits.

2.3.8. Convertisseurs parallèles

Lorsqu'une meilleure vitesse de conversion est nécessaire dans une application, les règles du parallélisme peuvent être appliquées. La figure 2.14 présente le principe derrière le parallélisme.

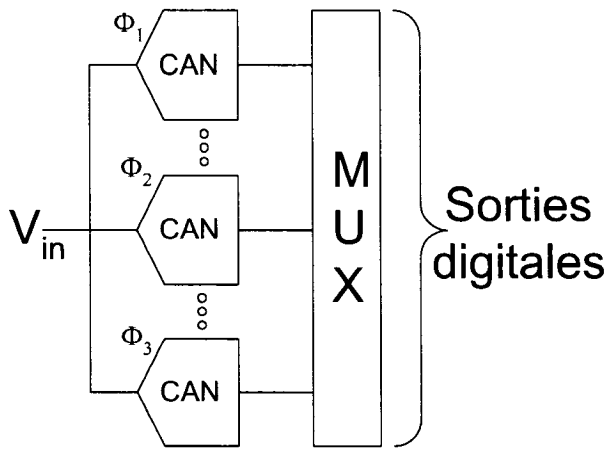


Figure 2.14 - convertisseur parallèle

L'architecture est composée de plusieurs canaux ayant leurs propres convertisseurs. Chaque canal a sa propre phase dans la conversion d'un signal. Ainsi tous les autres canaux sont déphasés par rapport aux autres. Cette architecture permet théoriquement de multiplier la fréquence d'opération par un facteur égalant le nombre de canaux. Par contre, le fait de rajouter des canaux multiplie le matériel utilisé par ce même facteur. Un autre désavantage potentiel est dû à l'appariement non idéal des canaux entre eux, ce qui génère du bruit harmonique dans les conversions à la fréquence du convertisseur pour ainsi diminuer de façon considérable l'indice SFDR.

2.4. Perfectionnements

Pour améliorer les performances en terme d'exactitude, les concepteurs ont élaboré plusieurs techniques ne nécessitant pas d'intervention extérieure. Ces techniques permettent de rendre les convertisseurs insensibles aux variations extérieures. Deux des techniques les plus utilisées dans l'industrie sont expliquées dans cette section; la correction digitale des erreurs par redondance [14] et la calibration.

2.4.1. Correction numérique des erreurs

Cette technique améliore la linéarité des CAN dans les étages d'un convertisseur à plusieurs étapes. À l'aide de la redondance, il est possible après traitement numérique d'obtenir une linéarité accrue. Elle permet de diminuer la sensibilité aux imperfections des comparateurs présents dans les convertisseurs « Flash ». En fait, elle annule les effets de décalage pouvant être présents dans les convertisseurs « Flash » internes. La figure 2.15 représente la structure requise pour effectuer cette correction d'erreur.

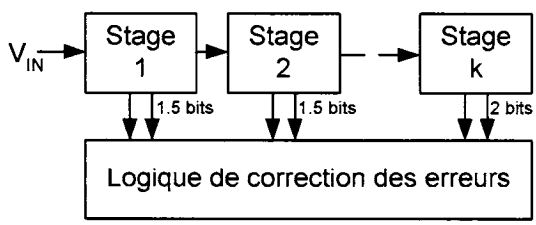


Figure 2.15 - Architecture requise pour la correction numérique des erreurs

Ainsi, ce type d'amélioration n'est possible qu'avec les architectures à plusieurs étapes ou les architectures pipelinées. Les premiers convertisseurs « Flash » ne sont pas de 2 bits mais bien de 1.5 bits bien qu'il y ait 2 lignes de donnée permettant une transmission de 2 bits. La figure 2.16 montre les fonctions de transfert associées à un étage de 1.5 bits et à un étage de 2 bits standard.

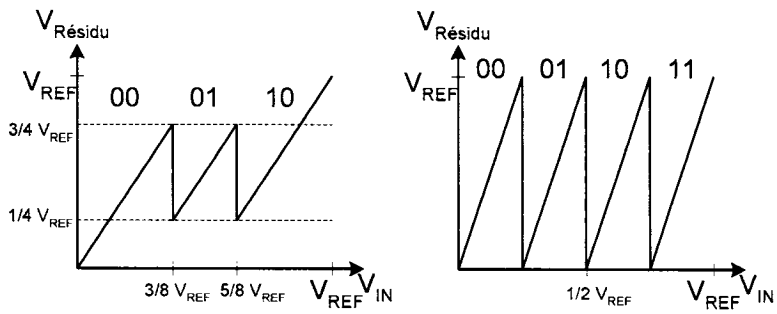


Figure 2.16 - Fonction de transfert d'un étage de 1.5 bits et de 2 bits

Ces fonctions de transfert montrent le cheminent du résidu ($V_{Résidu}$) dans un étage de convertisseur, les discontinuités représentent le moment où un comparateur du CAN bascule dans un autre état. Ainsi, cette discontinuité représente directement les tensions de référence des comparateurs et leur tension de décalage. Un code est manquant dans le convertisseur de 1.5 bits et le résidu n'excède les limites de ¼-¾ V_{REF} qu'aux extrémités de la fonction de transfert. La figure 2.17 montre l'effet d'une tension de décalage sur les fonctions de transfert de convertisseurs de 2 bits et de 1.5 bits.

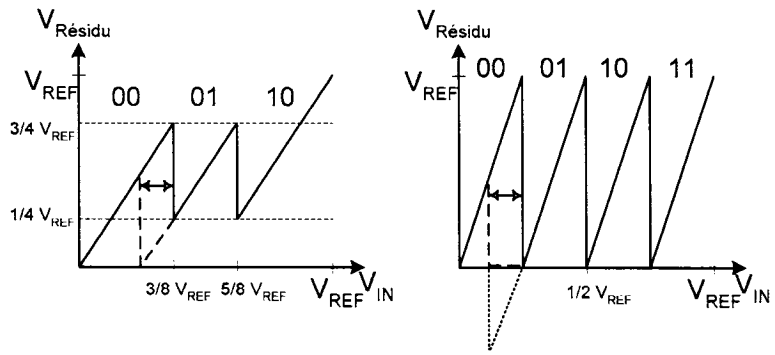


Figure 2.17 - Effet d'une tension de décalage sur les fonctions de transfert

Dans le cas d'un convertisseur de 2 bits, il y a troncation du résidu, ce qui implique une perte d'information ; tandis que dans un convertisseur de 1.5 bits, il n'y a pas ce type de saturation sauf pour une tension de décalage trop grande. Lorsqu'il y a une erreur de décalage dans la fonction de transfert, il y a nécessairement un dépassement de la limite du résidu de ¼-¾ V_{REF} ce qui permet de détecter rapidement les erreurs. Ainsi, lorsque le résidu est inférieur à ¼ V_{REF}, le résultat est nécessairement faux et inférieur à ce qu'il doit être. De l'autre côté de la limite, le résultat est supérieur à la valeur obtenue. À partir de cette méthode de détection des erreurs, les étages subséquents doivent pouvoir d'une certaine façon remédier à la lacune de cet étage. Pour une valeur supérieure à la réalité, il faut additionner un « 1 » logique par-dessus le dernier bit de la valeur erronée. Pour une valeur inférieure à la réalité, il n'y a tout simplement rien à faire, car la valeur associée à la conversion est déjà plus petite que dans un convertisseur standard. De cette façon, il est facile de corriger les erreurs en effectuant une addition standard et en juxtaposant les derniers bits d'un étage au premier de l'étage suivant. La

figure 2.18 montre un exemple de correction d'erreur pour un convertisseur de 8 bits composé de 6 étages de 1.5 bits et d'un dernier de 2 bits standard.

Étage 1	1	0						
Étage 2		0	1					
Étage 3			0	1				
Étage 4				0	1			
Étage 5					0	1		
Étage 6						0	1	
Étage 7							1	0
Sortie	1	1	0	0	0	0	0	0

Figure 2.18 - Exemple de traitement de l'unité de correction d'erreur

Il est essentiel d'utiliser un convertisseur standard au dernier étage pour que le convertisseur parcoure toute la plage de conversion. En effet, si le convertisseur n'est composé que d'étage à redondance, le code le plus élevé ne peut être généré par l'unité de correction des erreurs.

Aussi, il est possible d'utiliser la même logique pour des étages ayant une résolution supérieure ; par exemple, un étage de 2.5 bits. L'annexe II de ce document démontre en détail le fonctionnement de la correction des erreurs par redondance.

2.4.2. Calibration externe

Les manufacturiers utilisent des techniques de calibration externes pour améliorer la linéarité des convertisseurs. Ces techniques consistent habituellement à une calibration matérielle par laser pour ajuster les valeurs relatives des résistances ou des condensateurs utilisés. En plus, certaines architectures permettent une calibration numérique ; les résultats sont traités par une unité logique programmable qui associe les résultats du convertisseur aux résultats réels contenus dans une table de correspondance programmée à la fabrication. Ces techniques ne sont pas robustes, car une variation de l'environnement du circuit peut facilement rendre la calibration inutile.

2.4.3. Auto-calibration

Pour rendre le système insensible aux variations des gains et des tensions de décalage entre les étages d'un convertisseur, les chercheurs ont présentés plusieurs méthodes pour effectuer une calibration interne. Ces différentes méthodes peuvent se regrouper en deux catégories, soit les méthodes analogiques ou mixtes et les méthodes numériques.

2.4.3.1. Auto-calibration mixte

Les méthodes dites analogiques interviennent en modifiant des paramètres matériels du circuit. Les premiers types de convertisseur auto-calibrable [13], [15], modifient les propriétés du convertisseur en ajustant les rapports de capacité des condensateurs. Les

capacités utilisées sont modifiées par l'ajout ou la soustraction d'une capacité en parallèle et parfois même en série. Par exemple, la technique utilisée par Lin [15], détermine si deux condensateurs sont égaux en modifiant quelque peu la configuration d'un étage pipeliné. La technique permet aussi de déterminer le sens de l'inégalité grâce au comparateur déjà utilisé dans l'architecture. Un algorithme permet, en plusieurs essais, de converger vers cette égalité voulue. Ainsi, il est possible d'ajuster le gain et la soustraction des étages pipelinés à la précision voulue. Il faut noter que ces techniques n'utilisent aucun élément de référence, si ce n'est que leur propre tension de référence. Les convertisseurs répertoriés utilisant ce type de calibration opèrent à une cadence maximale de 5 MHz et ont une précision d'une douzaine de bits.

D'autres techniques mixtes, utilisent un convertisseur de référence [3], [8]. Ces convertisseurs de références sont typiquement des convertisseurs mis en œuvre selon une autre architecture qui produit des résultats beaucoup plus exacts, mais qui a une fréquence d'opération relativement lente. Les convertisseurs Sigma-Delta sont souvent utilisés pour cette besogne. La figure 2.19 propose une architecture de calibration mixte [3] utilisant une boucle des moindres moyennes carrées (LMS). Un signal de calibration analogique est converti par un CAN de référence et par le CAN à calibrer. L'algorithme LMS permet de converger vers un gain et une tension de décalage optimale.

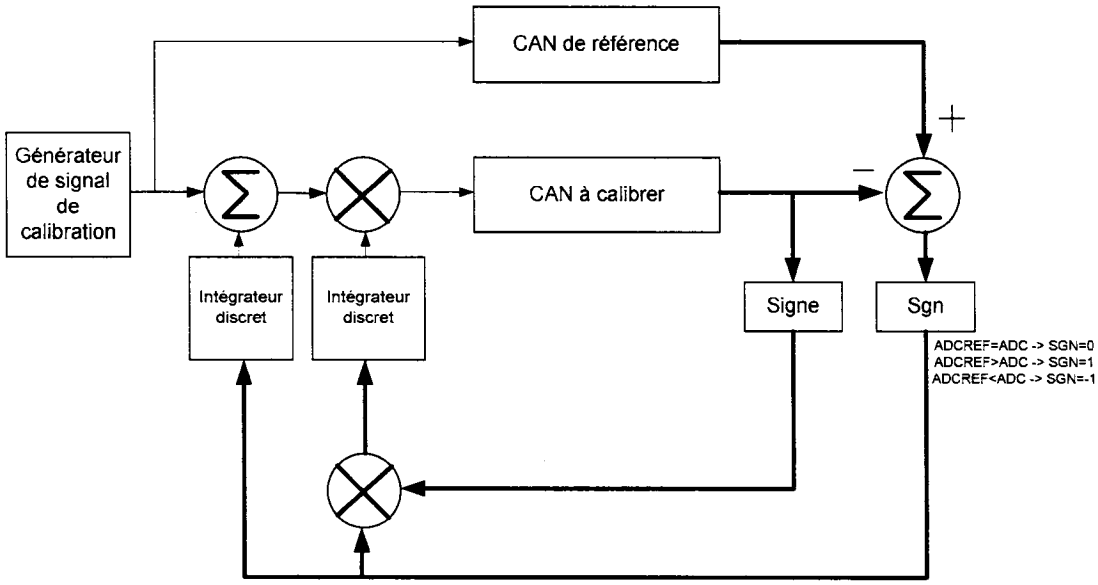


Figure 2.19 - Architecture de calibration mixte LMS

Cette technique vise essentiellement à marier plusieurs canaux parallèles éliminant les problèmes de dégradions du "Spurious Free Dynamic Range" (SFDR). Ainsi, la calibration s'effectue seulement devant chaque canal d'un convertisseur parallèle.

Il est possible d'utiliser cette même architecture et algorithme pour calibrer les étages internes d'un convertisseur pipeliné [16]. En effet, un convertisseur pipeliné peut se décomposer en plusieurs convertisseurs selon la figure 2.20.

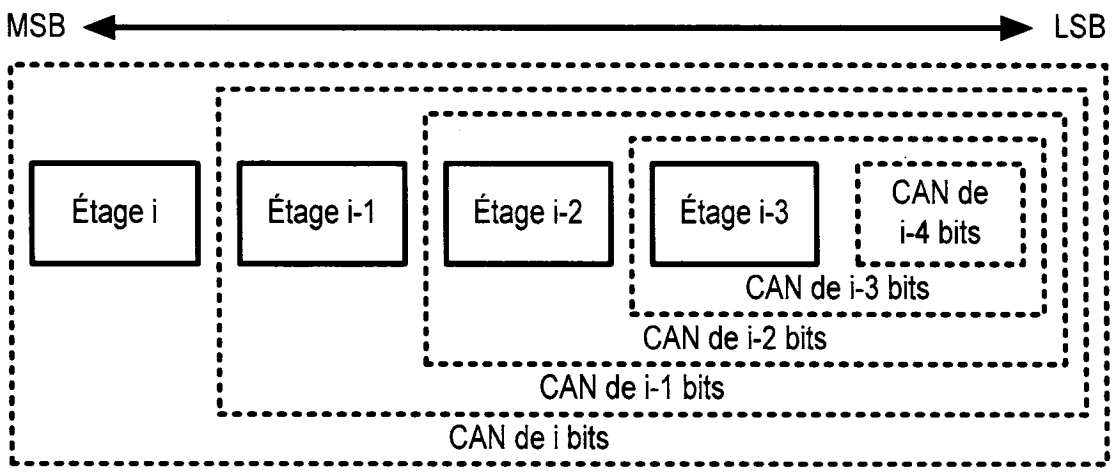


Figure 2.20 – Décomposition d'un convertisseur pipeliné

La calibration commence par le convertisseur le plus petit, l'étage le moins significatif. Lorsque cet étage est calibré, ces caractéristiques maintenant quasi idéales permettent de créer un convertisseur ayant un étage de plus. Maintenant, il est possible de calibrer ce premier étage du nouveau convertisseur sans que l'étage subséquent affecte la calibration. Cette procédure est répétée jusqu'à ce que tous les étages du convertisseur soient calibrés.

Aucune technique de calibration mixte ne peut corriger les erreurs causées par le gain non linéaire ou la distorsion des étages. Ainsi, pour utiliser ce type de technique, il est de mise d'avoir des étages ayant des caractéristiques analogiques très linéaires.

2.4.3.2. Auto-calibration numérique

Les méthodes dites numériques modifient directement la sortie du convertisseur non calibré à partir d'un traitement numérique ou d'une table de correction. La figure 2.21 présente un schéma simplifié de ce type de technique.

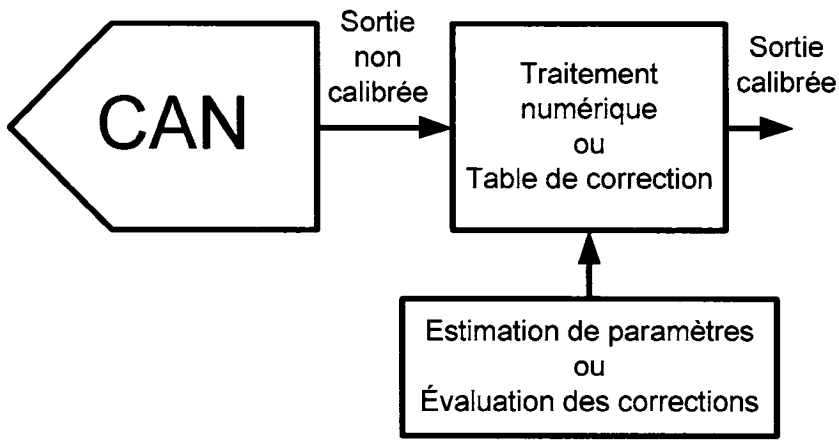


Figure 2.21 – Architecture de calibration numérique simplifiée

Le traitement numérique utilise un modèle du convertisseur ainsi que des paramètres de non-idéalité extraits du convertisseur. Aussi, le convertisseur peut être calibré par une table de correction contenant les codes idéaux associés aux codes non idéaux.

D'une technique à l'autre, seule la façon d'estimer ou d'évaluer les corrections différencie les techniques. Le reste de cette section, portera sur plusieurs façons d'estimer ou d'évaluer les corrections.

La technique suivante proposée par Dyer [7] permet de déterminer le gain adéquat pour compenser un convertisseur. La figure 2.22 montre le schéma bloc de cette architecture de calibration. Cette technique utilise un algorithme des moindres moyennes carrées pour ajuster le gain du convertisseur à calibrer.

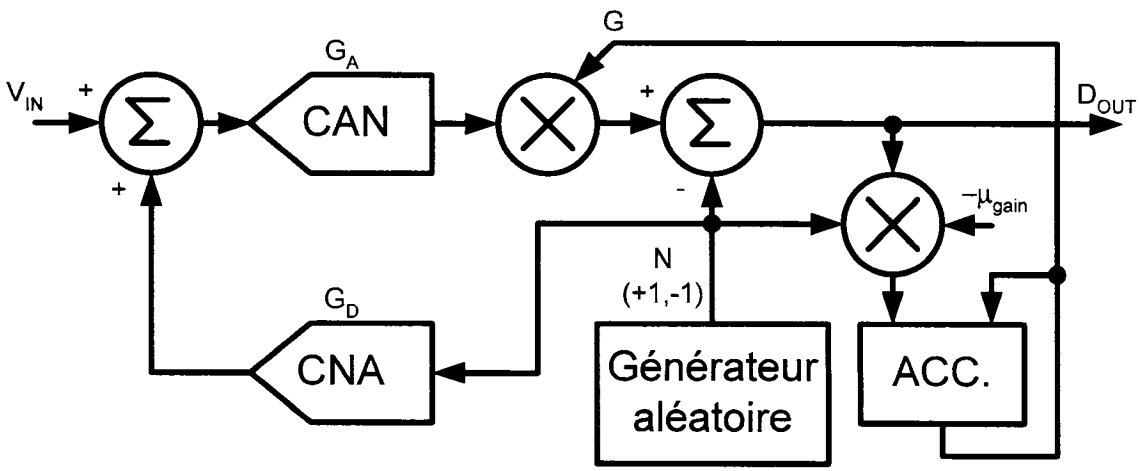


Figure 2.22 – Architecture de calibration numérique LMS

L'équation 2.4 détermine le gain de compensation G où μ_{gain}, N et D_{out} sont respectivement le pas de l'algorithme, une valeur produite par un générateur pseudo-aléatoire et la sortie du convertisseur.

$$G[n+1] = G[n] - \mu gain N[n] Dout[n] \tag{2.4}$$

L'équation 2.5 permet de déterminer la sortie du convertisseur calibré par rapport au gain du CAN sous calibration G_A, du gain du CNA G_D, du gain de compensation, du nombre aléatoire N et de l'entrée analogique.

$$Dout[n] = G_A G[n] Vin[n] + G_D G_A G[n] N[n] - N[n] \tag{2.5}$$

μgain étant le pas utilisé par l'algorithme.

Il est à noter que le signal ajouté avant la conversion est soustrait plus tard dans le traitement numérique. La substitution, de 2.5 dans 2.4 donne,

$$G[n+1] = G[n] + \mu gain - \mu gain G_A G_D G[n] - \mu gain G_A G[n] N[n] S[n] \tag{2.6}$$

En considérant que N[n] possède une moyenne égalant zéro car cette variable est générée par un générateur pseudo aléatoire, alors,

$$\overline{G[n+1]} = \mu gain + \overline{G[n]}(1 - \mu gain G_A G_D) \tag{2.7}$$

Si la moyenne de variable G[n] converge,

$$\lim_{n\to\infty} \overline{G[n+1]} = \lim_{n\to\infty} \overline{G[n]} \tag{2.8}$$

Par substitution de 2.8 dans 2.7,

$$G[\infty] = \frac{1}{G_D G_A} \tag{2.9}$$

Donc,

$$G_A G[\infty] = \frac{1}{G_D} \tag{2.10}$$

L'algorithme de cette technique permet de trouver le gain de compensation (G) pour que le gain du CAN calibré ($G_A G$) soit égal a l'inverse du gain du CNA ($1/G_D$). Cette technique est surtout utile pour marier plusieurs canaux de conversion parallèles car elle ne calibre que le gain global d'un convertisseur. Cette technique ne tient pas compte de la non-linéarité du convertisseur. Une méthode légèrement modifiée permet de compenser les tensions de décalage entre plusieurs canaux.

El-Sankary a développé un algorithme permettant de déterminer les gains de chaque étage d'un convertisseur pipeliné [5]. La technique proposée nécessite des étages ayant plusieurs configurations. C'est en changeant ces configurations fréquemment et en analysant leur réponse dans le domaine fréquentiel qu'elle peut déterminer le gain adéquat pour chaque étage. La figure 2.23 montre le principe de base de cette technique.

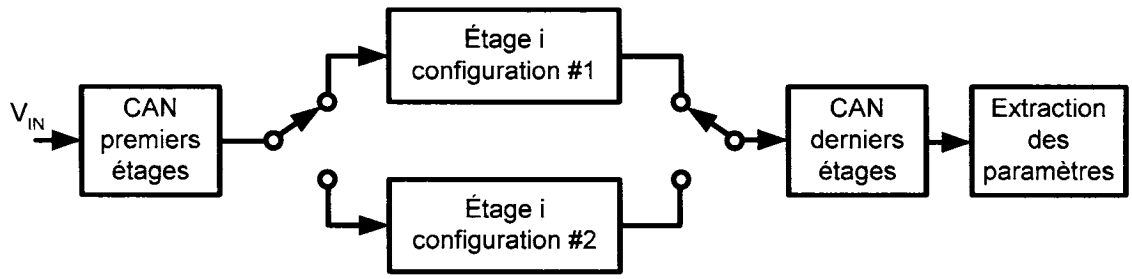


Figure 2.23 – Architecture de calibration numérique par changement de configuration

En se basant sur la théorie de convertisseur parallèle [3], l'erreur de gain entre les deux configurations génère une image de bande lorsque les deux configurations s'interchangent à une fréquence donnée. L'analyse fréquentielle permet d'extraire les ratios de gain entre les configurations utilisées. En obtenant ces ratios de gain, il est possible de déterminer avec précision le gain à utiliser pour chaque étage. Toujours de type linéaire, cette technique ne corrige par les gains non-linéaires. Par contre, elle permet d'ajuster le gain entre chaque étage et ainsi réduire considérablement les spécifications de gain des amplificateurs opérationnels.

Murmann et Boser [17] ont pour leur part utilisé une technique similaire pour leur convertisseur. Leurs étages peuvent se changer en deux configurations, les fonctions de transfert de ces configurations sont présentées à la figure 2.24.

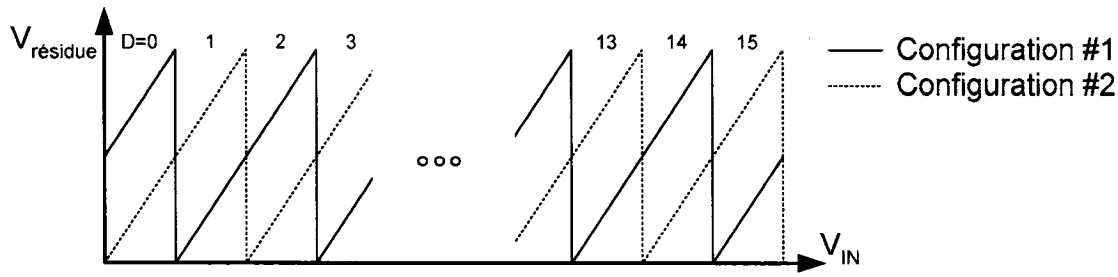


Figure 2.24 – Fonction de transfert des configurations utilisées

Il est à noter que la première configuration correspond à un étage de 4 bits standard tandis que la deuxième configuration correspond à un étage de 4 bits avec redondance.

Par un algorithme d'estimation de paramètre basé sur la statistique, il est possible de déterminer les compensations adéquates des gains non linéaires selon un modèle du troisième ordre. Aussi, l'algorithme tient compte des tensions de décalage et des erreurs présentes dans les CNA internes aux étages. Le prototype créé à partir de cette technique atteint une cadence de 75 MÉ/s avec 11 bits effectifs d'exactitude. Ici, la calibration corrige assez de non-idéalité pour laisser tomber les amplificateurs à rétroaction habituellement nécessaire à cette précision.

Les techniques d'estimation de la linéarité par histogramme telle que celle présentée par Eduri [4], construisent un histogramme de densité de code qui permet de déterminer les non-linéarités et d'estimer les compensations nécessaires. La technique présentée par Eduri construit une table de correspondance à partir des histogrammes de deux CAN. Le premier CAN est le convertisseur à calibrer, le second est un CAN du même type que le

premier mais échantillonne le signal d'entrée avec une atténuation. Le système de calibration construit un histogramme par CAN avec un nombre élevé d'échantillon. Les histogrammes normalisés dans le cas de deux CAN parfaitement linéaires devraient être identiques. L'algorithme tente par la suite de déterminer en premier lieu la tension de décalage et l'atténuation entre les deux CAN. Lorsque ces paramètres sont déterminés, il est possible de déterminer les non-linéarités provoquant les différences entre les deux histogrammes.

D'autre technique de calibration numérique [12], [20] utilisent des façons plus directes pour déterminer les paramètres de compensation. L'injection de signaux de calibration et le forçage d'état de comparateur peuvent déterminer les gains et les tensions de décalage présents dans un étage. La technique proposée par Ravindran [20] permet même l'estimation non linéaire des gains.

2.5. Choix d'une architecture

Le tableau 2.1 présente des exemples de performance provenant de la littérature pour chaque architecture vue précédemment. Il est clair qu'une architecture pipelinée est indispensable pour atteindre les spécifications de ce projet. En effet, c'est la seule architecture qui permet d'obtenir un nombre effectif de bit se rapprochant de 10 à une cadence acceptablement élevée. Comme énoncé dans la section 2.3, ce type de convertisseur peut atteindre des cadences de 50 MÉ/s. Alors, deux choix s'imposent, utilisez la technique de convertisseur parallèle ou améliorer le pipeline pour atteindre les 200 MÉ/s requis avec une résolution de 10 bits.

Tableau 2.1 - Exemple de performance pour une architecture donnée

Architecture	ENOB (bit)	Fréquence d'échantillonnage (É/s)
Approximation successive [21]	8.9	150K
Intégration [10]	12	1K
Sigma Delta [29]	18.5	384K
Flash [27]	5	1.3G
Pliée [24]	5.9	200M
2 étapes [31]	9.67	10M
Pipelinée [6]	9.8	50M
Parallèle/Pipelinée [25]	8.8	200M

Sumanem [25] montre qu'il est possible d'atteindre la cadence voulue en utilisant la technique de parallélisation avec l'architecture pipelinée. Par contre, même en utilisant la technique de correction des erreurs par redondance et une technique numérique d'annulation des tensions de décalage, il est difficile d'atteindre les spécifications de linéarité voulues sans utiliser d'autres techniques.

Ainsi, le choix se portera sur l'utilisation d'un convertisseur pipeliné utilisant une technique de calibration numérique. La calibration analogique étant écartée, car les distorsions produites par les amplificateurs sont très difficilement compensables analogiquement [16]. La calibration numérique permettra d'atteindre les spécifications de linéarité voulues. Pour ce qui est de la vitesse de conversion, la technique de parallélisation pourra être utilisée si nécessaire, car en utilisant la technique de

calibration numérique, il est possible d'utiliser des circuits simples et rapides pour atteindre les spécifications de linéarité.

CHAPITRE III

MODÈLE ET CALIBRATION

3.1. Modèle des convertisseurs pipelinés

Un convertisseur pipeliné de n étages peut être représenté par le modèle de la figure 3.1. Le code de sortie est reconstruit selon les gains numériques (G_0 a G_{n-1}). Ces gains ont pour valeur l'inverse des gains analogiques de chaque étage. Par exemple, si l'étage n-1 est un étage de 1 bit idéal, il faut que son gain analogique soit idéalement de 2^1. Donc, le gain numérique G_{n-1} doit être de $1/2^1$. Pour un convertisseur n'ayant que des étages idéaux standards, les sorties numériques (D_0 à D_{n-1}) peuvent être transposées directement à la sortie, quelle que soit la largeur binaire de chaque étage.

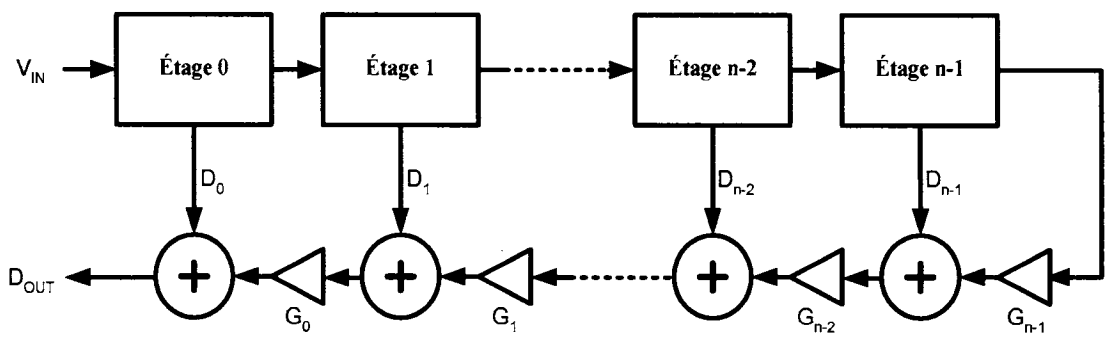


Figure 3.1 - Convertisseur pipeliné de n étages

Il est à noter à cette étape, que l'erreur produite par un premier étage non idéal a un impact $1/G_0$ fois plus important que son étage adjacent.

La figure 3.2 présente le modèle d'un étage pipeline non idéal de n bits. Les différents paramètres qu'on retrouve dans la figure 3.2 sont expliqués au tableau 3.1. Ce modèle a été élaboré à partir d'un modèle simplifié provenant des travaux de Murmann et Boser [17].

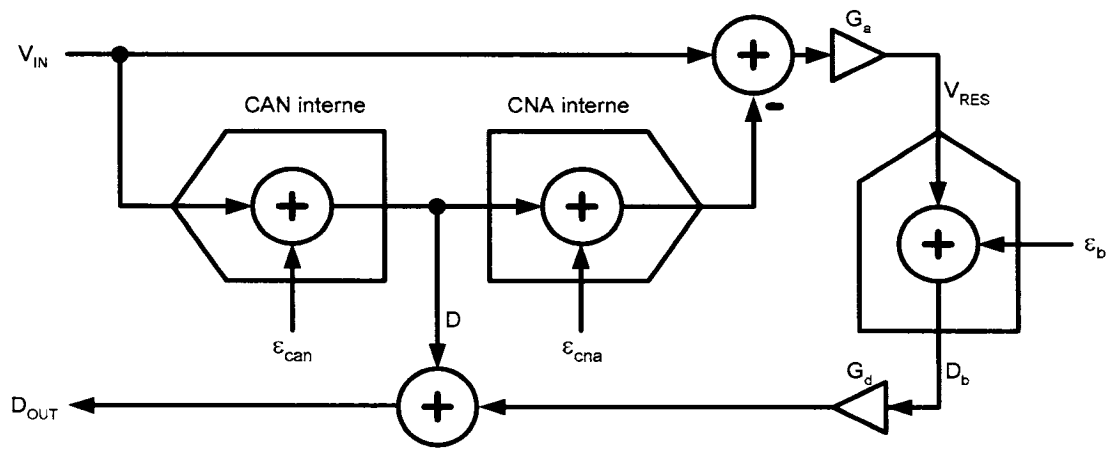


Figure 3.2 – Modèle d'un étage pipeliné

Les équations 3.1 et 3.2 montrent la relation entre la sortie, l'entrée et les différents paramètres de la figure 3.2.

$$D_{OUT} = (V_{IN} + \varepsilon_{CAN}) + (G_d(G_a(V_{IN} - (V_{IN} + \varepsilon_{CAN} + \varepsilon_{CNA})) + \varepsilon_b)) \tag{3.1}$$

$$D_{OUT} = (V_{IN} + \varepsilon_{CAN}) + (G_d(-G_a(\varepsilon_{CAN} + \varepsilon_{CNA}) + \varepsilon_b)) \tag{3.2}$$

La fonction de transfert du gain analogique (G_a) est rarement linéaire sur toute la plage du convertisseur. Pour obtenir une conversion idéale, il faut que D_{OUT} soit égal à V_{IN}. Ainsi, on peut déterminer le gain digital à appliquer pour obtenir une conversion idéale.

$$G_d = \frac{\varepsilon_{CAN}}{G_a(\varepsilon_{CAN} + \varepsilon_{CNA}) - \varepsilon_b} \text{ si } D_{OUT} = V_{IN} \tag{3.3}$$

Tableau 3.1- Paramètres du modèle d'un étage pipeliné

Paramètre	définition
ε_{CAN}	Erreur de quantification et de non-idéalité du CAN interne (fonction de type échelon)
ε_{CNA}	Erreur du CNA interne provenant des non-idéalités (fonction de type échelon)
ε_b	Erreur de quantification et de non-idéalité des étages pipelinés subséquents combinés (fonction de type échelon)
G_a	Gain analogique (comprend les non linéarités)
G_d	Gain digital
V_{RES}	Résidu de conversion de l'étage
D	Code obtenu par l'étage
D_b	Code obtenu par les étages pipelinés subséquents

Il devient donc possible de compenser un convertisseur pipeliné complet en appliquant à la partie numérique une fonction de transfert adéquate. Une autre façon de procéder serait d'appliquer des compensations à chaque étage. De cette façon le terme ε_b est compensé à chaque étage, ainsi l'équation 3.4 devrait être utilisée pour compenser localement les non-idéalités.

$$G_d = \frac{\varepsilon_{CAN}}{G_a\left(\varepsilon_{CAN} + \varepsilon_{CNA}\right)} \tag{3.4}$$

Il va sans dire que ces analyses ne sont valides que si la fonction de conversion possède une fonction inverse. De cette façon, il est possible de trouver l'inverse de la fonction et de linéariser le convertisseur. Pour que la fonction de conversion possède un inverse, il faut que la fonction de conversion soit strictement croissante. En termes pratiques, il faut éviter la saturation et s'assurer que les erreurs des CAN et des CNA internes ne provoquent pas des retours arrière.

3.2. Calibration

Cette section présente un exemple d'architecture de calibration numérique et les simulations effectuées pour la valider. Cet exemple sera utilisé plus tard pour les simulations et l'intégration du circuit intégré réalisé dans le cadre de cette recherche.

3.2.1. Architecture

La figure 3.3 montre une architecture possible et simplifiée de calibration numérique. On peut analyser cette architecture en deux opérations. La première étant l'opération de conversion, l'entrée analogique V_{IN} est dirigée vers le convertisseur sous calibration par un multiplexeur analogique. Le convertisseur effectue la conversion qui sert d'entrée d'adressage d'une mémoire RAM. Dans cette mémoire se retrouve la compensation adéquate pour chaque code de sortie du convertisseur sous calibration. En emmagasinant seulement la compensation et non les codes compensés, il est possible de réduire considérablement la taille de la mémoire à utiliser.

La deuxième opération permet de remplir la mémoire avec une compensation idéale. Un générateur de signaux injecte simultanément un signal de calibration dans le convertisseur sous calibration et dans un convertisseur de référence. Le convertisseur de référence doit posséder la linéarité voulue pour le convertisseur sous calibration. Les convertisseurs de haute précision tels que les convertisseurs Delta Sigma ou à approximations successives ont habituellement une bonne linéarité, mais nécessitent un temps plus important pour effectuer la conversion. Lorsque les conversions sont terminées, la différence entre les deux codes de sortie est enregistrée dans la mémoire. Cette opération doit être effectuée plusieurs fois pour parcourir toute la plage d'entrée du convertisseur sous calibration. De cette façon, chaque code de sortie du convertisseur sous calibration aura sa compensation dans la mémoire.

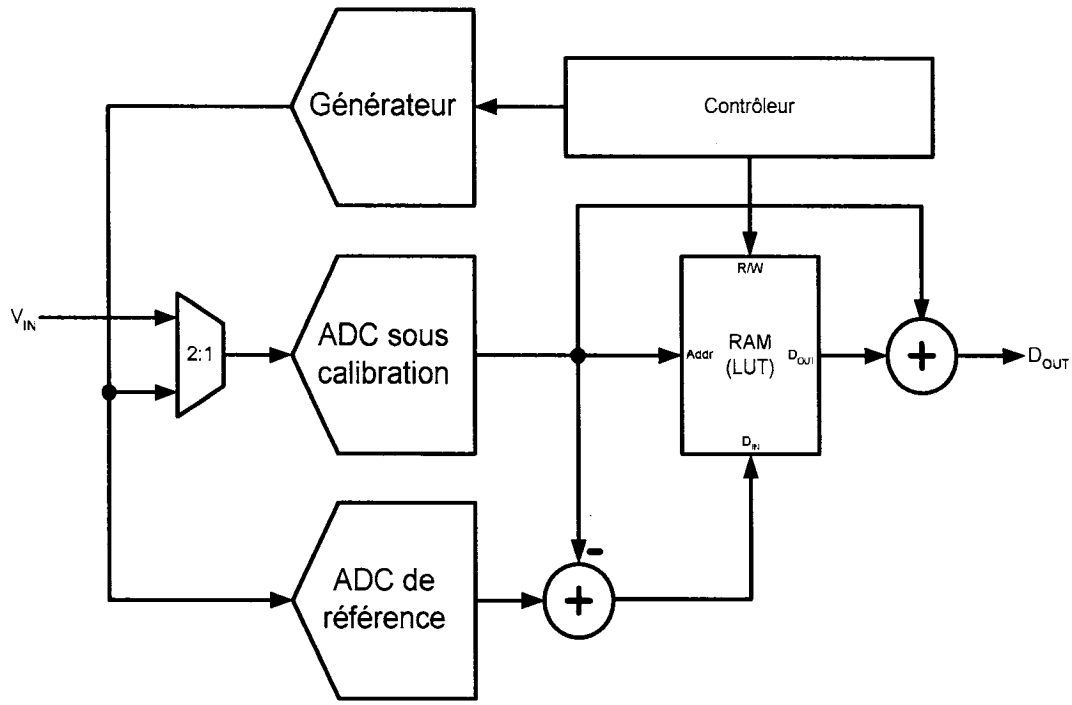


Figure 3.3 - Architecture de calibration numérique

Lorsque l'opération de calibration est terminée, le convertisseur sous calibration est totalement compensé, mais cela ne s'arrête pas là. En effet, tous les dispositifs électroniques sont sujets à des variations environnementales qui ont pour effet de modifier leurs caractéristiques et comportements. Ici, les variations de température sont montrées du doigt. Ainsi, à intervalle régulier ou par monitorage des variations de température, l'opération de calibration doit être répétée.

On voit que la technique de calibration nécessite un arrêt de l'opération normale du convertisseur. Dans certaines applications cet arrêt peut être critique, c'est pourquoi,

certaines techniques permettent de minimiser ou de rendre inexistant ce laps de temps ou il n'y pas de conversion [3].

Étant donné que les deux conversions ne prennent pas le même temps lors de l'opération de calibration, il faut prévoir un dispositif permettant au convertisseur sous calibration d'opérer en mode conversion normale pendant que la conversion lente s'effectue pour réduire les pénalités de calibration.

3.2.2. Simulation

Un simulateur utilisant une procédure de type Monte-Carlo a été conçu en vue d'explorer les limites de la méthode de calibration proposée. Ce simulateur inclut le modèle de la figure 3.2 pour chaque étage. Le simulateur génère des convertisseurs en se basant sur une plage d'erreur délimitée par l'usager. Chaque étage du convertisseur créé possède ses propres caractéristiques aléatoires provenant des plages d'erreur spécifiées. Ce simulateur support la technique de redondance (chapitre II) et il permet l'évaluation de la linéarité sous forme dynamique (ENOB) et statique (INL et DNL). Ce simulateur a été codé en C++ orienté objet permettant une très grande flexibilité tout en assurant une facilité de réutilisation.

Plus de 20 milles convertisseurs ont été générés et caractérisés avant et après calibration. La moitié de ces convertisseurs possèdent que des étages de 1 bit standard tandis que le reste utilise la technique de redondance avec des étages de 1.5 bits. Le tableau 3.2 montre les plages d'erreur appliquées à une série de ces convertisseurs, ces

dernières ont été déterminées arbitrairement à l'aide de simulations analogiques utilisant les paramètres dits de coins technologiques, et des tolérances standards découlant des règles d'appariement. Aussi, ces plages d'erreur ont été sélectionnées en considérant un design analogique rapide ayant des caractéristiques assez modestes en termes de linéarité.

Dans ces simulations, un gain non linéaire d'ordre 2 est utilisé, le paramètre *Gain_nominal* est le gain à 0V tandis que le paramètre *Gain_nonlinéaire* est la variation en pourcentage aux extrémités de la plage dynamique d'entrée (figure 3.4 et équation 3.5). L'hypothèse suivante est donc utilisée : Le gain non linéaire est symétrique et sans décalage car c'est habituellement le cas pour une architecture complètement différentielle.

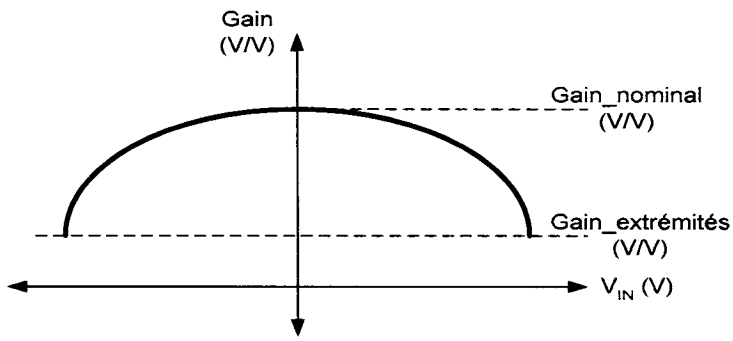


Figure 3.4 - Représentation du gain non linéaire utilisé

$$Gain_nonlinaire(\%) = \frac{\text{Gain nominal} - \text{Gain extrémités}}{\text{Gain nominal}} \tag{3.5}$$

Avant d'effectuer la calibration numérique, le simulateur vérifie si le convertisseur créé peut être calibré. Pour ce faire, il détermine si la fonction de transfert du dit convertisseur possède une fonction inverse.

Tableau 3.2 - Valeurs appliquées aux simulations

	Minimun	Maximun
Gain_nominal (V/V)	1.95	2
Gain_nonlinéaire (%)	0	2
ε_{CAN} *(LSB*)*	-5	5
ε_{CNA}*(LSB*)*	-5	5

*Relatif au premier étage d'un convertisseur de 10 bits.

Les résultats de ces simulations pour une architecture sans redondance sont présentés au tableau 3.3.

Tableau 3.3 - Résultats des simulations sans redondance

	Minimum	Maximum
ENOB (avant calibration) (bit)	5.2	5.55
ENOB (après calibration) (bit)	9.45	9.96
INL (après calibration) (LSB)	±0.22	±0.27
DNL (après calibration) (LSB)	±0.34	±0.51

Les résultats obtenus après ces simulations étaient très similaires à une distribution gaussienne. Ainsi, il est important de stipuler que le minimum des plages relevées dans ce tableau ainsi que dans les autres tableaux de résultats de ces simulations ont été soutirées à 3σ. Par conséquent, on peut dire que 99.8% des résultats obtenus sont dans les plages présentées.

On voit clairement au tableau 3.3 que le convertisseur avant calibration n'était pas très linéaire. En effet, le nombre effectif de bit avant calibration est 5.2 bits sur un maximum de 10 bits. Les paramètres INL et DNL avant calibration n'ont pas été montrés, car le nombre élevé de code manquant rendait tout simplement les résultats incohérents.

Le tableau 3.4 présente les résultats pour une architecture à redondance (voir section 2.4.1), cette architecture est composée de 11 étages de 1.5 bits suivie d'un étage standard de 1 bit.

Tableau 3.4 - Résultats des simulations avec redondance

	Minimum	Maximum
ENOB (après calibration) (bit)	9.56	9.98
INL (après calibration) (LSB)	±0.21	±0.25
DNL (après calibration) (LSB)	±0.35	±0.51

On peut remarquer une certaine amélioration pour chacun des trois paramètres de linéarité. En considérant que la technique de redondance nécessite un comparateur de plus à chaque étage ainsi qu'une logique de décodage, il est superflu d'utiliser cette technique en tandem avec la calibration numérique.

CHAPITRE IV

PROTOTYPE

4.1. Règles de conception

Comme démontré dans le chapitre précédent, la partie analogique d'un convertisseur de haute précision peut être imprécise, la précision étant récupérée après un traitement numérique. En plus, un compromis intéressant, mais souvent très limitatif est celui qui consiste à échanger vitesse et précision. La conception de circuits précis amène souvent l'ajout de circuiteries complexes réduisant la vitesse d'opération. Ainsi, le prototype de convertisseur sera constitué d'une partie analogique imprécise, mais simple et rapide, suivie d'un circuit de linéarisation numérique. Ce chapitre expliquera en détail la conception et l'implémentation du convertisseur sous la forme finale d'un circuit intégré.

Le cheminement de conception présenté à la figure 4.1 a été utilisé pour concevoir le circuit intégré. Chacune des étapes de conception puise les informations nécessaires dans un ensemble de références. Ces dernières proviennent de plusieurs sources, telles que les livres, les articles, les travaux antérieurs et de l'inestimable expérience de collèges. En premier lieu, dans une conception de type modulaire comme celle-ci, les spécifications de base permettent de définir des interfaces entre les différents composants du circuit. L'utilisation de Matlab, du simulateur Monte-Carlo (voir chapitre 3) et des résultats de simulation d'un premier prototype ont permis de déterminer

certaines spécifications et hypothèses de bases. Des descriptions comportementales simulables ont été écrites pour chaque module du convertisseur. Ainsi, une simulation globale de type comportemental a été effectuée à partir de ces modèles principalement écrits en Verilog-A. Chaque module a été conçu au niveau transistor et substitué à la place de son modèle comportemental pour vérifier le bon fonctionnement de l'ensemble. Il va sans dire que les modèles, les spécifications et les hypothèses ont été modifiées à maintes reprises pour compenser plusieurs effets négligés dans les modèles comportementaux. Le même cheminement a été utilisé pour la conception des dessins de masques.

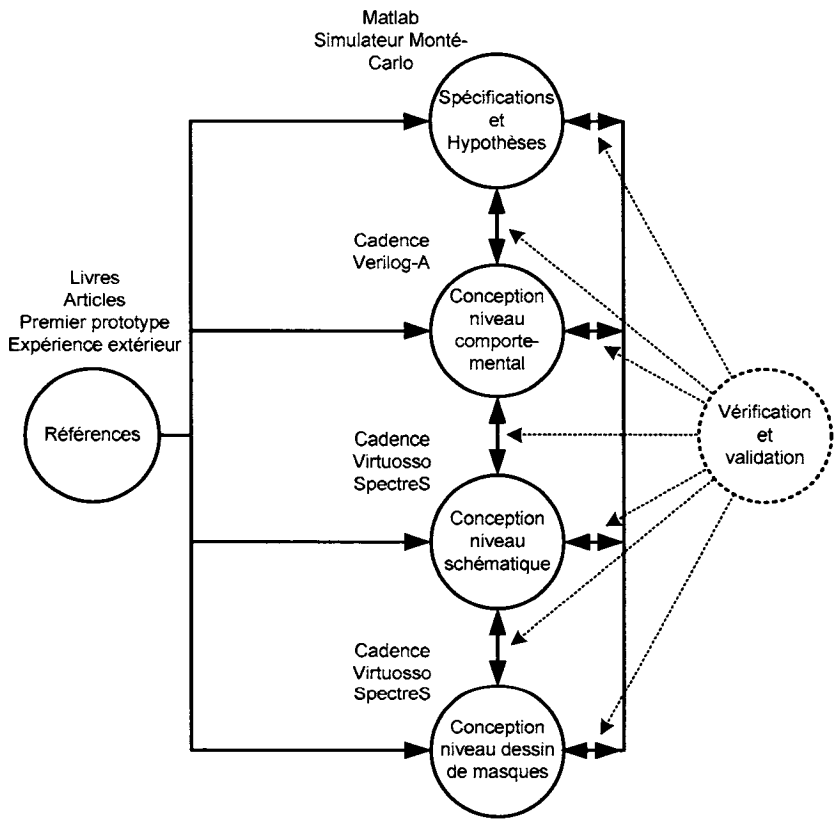


Figure 4.1 - Cheminement de conception

4.2. Spécifications et hypothèses

Une taille de 1000 µm X 2500 µm en technologie CMOS 0.18 µm a été allouée à ce prototype par la société canadienne de microélectronique. Cet espace étant réduit considérablement par les plots d'entrée/sortie et d'alimentation, il a été nécessaire de déterminer à l'avance les dimensions du noyau du convertisseur. Sur la base d'expériences effectuées lors de la conception d'un premier prototype de convertisseur, l'espace nécessaire au noyau analogique se situe approximativement entre 1 mm^2 et 1.5 mm^2. Il ne reste donc plus que 1 mm^2 pour les plots d'entrée/sortie et la partie numérique. Il faut noter que l'intégration interne ou externe de la partie numérique n'amène peut de changement par rapport au nombre de plots de sortie utilisés. Les plots étant indispensables et occupant par expérience beaucoup d'espace, la partie numérique sera donc reléguée à l'extérieur du circuit intégré. Ceci amène beaucoup plus de flexibilité vis-à-vis de l'algorithme de calibration utilisé.

4.2.1. Convertisseur

En accord avec une spécification fournie par la Société Gennum qui a supporté cette recherche, nous visions à réaliser un convertisseur analogique à numérique pouvant opérer à 200 Méga échantillons par seconde. En plus, ce convertisseur doit avoir une résolution supérieure à 10 bits pour pouvoir appliquer le traitement numérique de linéarisation. Aussi, pour permettre le traitement numérique, il faut que la fonction de transfert du convertisseur possède une fonction inverse, voir le chapitre 3.

La consommation de puissance du circuit intégré est une caractéristique importante, ce prototype ne vise néanmoins pas une réduction de la puissance consommée par rapport aux autres circuits intégrés en référence. L'optimisation de la puissance se fera donc plutôt du point de vue d'avoir une dissipation de puissance et de chaleur faisable et conforme à ce que l'on retrouve dans la littérature.

Toujours, en se basant sur les références, il est de mise d'utiliser une architecture différentielle pour désensibiliser le convertisseur aux bruits d'interférences et aux injections de charges possibles [2], [11], [25].

4.2.2. Étages pipelinés et échantillonneur bloqueur

Les étages pipelinés sont principalement conçus avec un amplificateur et des condensateurs commutés [2], [11], [25]. L'utilisation d'étage de 1 bit permet l'optimisation de la vitesse et de la puissance [26].

Pour obtenir une fonction de transfert inversable, il faut que le gain d'un étage de 1 bit soit égal ou inférieur à 2. Pour assurer ce critère, les condensateurs seront choisis pour obtenir un gain en boucle fermé maximum de 2 et ce en ne considérant pas le facteur de gain fini des amplificateurs opérationnels. Ainsi, quel que soit le gain effectif en boucle ouverte de l'amplificateur utilisé, le gain sera toujours inférieur à 2.

Par simulation, le bruit dominant des étages pipelinés et de l'échantillonneur bloqueur provient du bruit thermique des capacités exprimé par la relation suivante :

$$V_{no(rms)}^2 = \frac{kT}{C} \tag{4.1}$$

Où

k : Constante de Boltzmann

T : Température en Kelvin

Alors, la valeur rms de la tension du bruit thermique aux bornes d'une capacité [23] s'exprime par :

$$V_{no(rms)} = \sigma = \sqrt{\frac{kT}{C}} \tag{4.2}$$

La figure 4.2 montre un modèle simplifié du bruit généré par un convertisseur analogique à numérique pipeliné constitué d'étages de 1 bit à condensateurs commutés. Le bruit est habituellement dominé par les condensateurs de rétroaction que nous décrirons plus loin dans ce chapitre. Ce modèle sera utilisé pour déterminer une valeur approximative des capacités à utiliser dans les structures à condensateurs commutés.

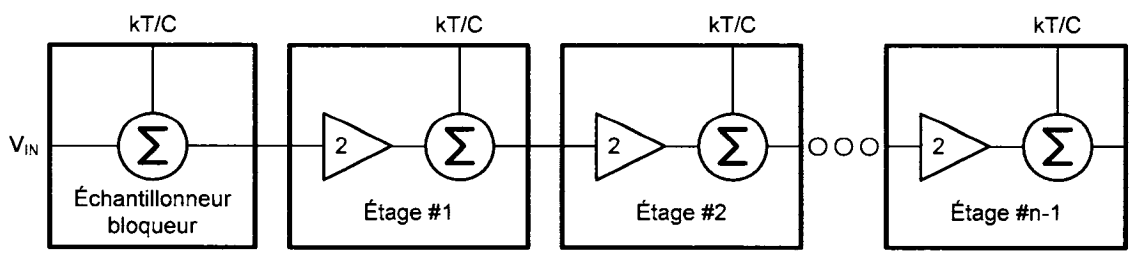


Figure 4.2 - Modèle du bruit généré par un convertisseur pipeliné

Le bruit référencé à l'entrée s'exprime selon la série géométrique suivante :

$$V^2_{no_in(rms)} = \sum_{n=0} \frac{2^{-n} kT}{C} \tag{4.3}$$

Pour simplifier, l'expression suivante peut être utilisée lorsque le nombre d'étages est grand.

$$V^2_{no_in(rms)} = 2\frac{kT}{C} \tag{4.4}$$

Si on considère 3 sigmas comme l'excursion maximale acceptable des événements de bruit, la plage dynamique d'entrée doit être :

$$PD_{IN} \geq 2^{n+1} 3\sqrt{2\frac{kT}{C}} \text{ où n est la précision voulue limitée par le bruit} \tag{4.5}$$

Donc :

$$C \geq 2\frac{kT}{\left(\frac{PD_{IN}}{2^{n+1}3}\right)^2} \tag{4.6}$$

Toujours, en se basant sur les simulations d'un premier prototype réalisé au préalable, l'hypothèse suivante est considéré; La plage d'entrée acceptable au niveau de la distorsion sera de -600mV à 600mV différentiel.

Alors, un convertisseur de 10 bits ayant une plage de 600mV différentielle (1200 mV) doit avoir des condensateurs de rétroaction dont les valeurs sont supérieures à 217 fF lorsqu'il fonctionne à une température de 27°C. Cela dit, cette analyse sommaire, n'est valide que pour un canal unipolaire d'un convertisseur ayant des étages identiques. Il va sans dire que les premiers modules de la chaîne induisent beaucoup plus de bruit que les modules subséquents. En additionnant un facteur de sécurité, les capacités utilisées seront de 600fF pour l'échantillonneur bloqueur et de 300fF pour les étages pipelinés.

Pour respecter le critère de Nyquist, la bande passante doit être supérieure à la fréquence d'échantillonnage (fé) divisé par 2 où fé est fixé à 200 MÉ/s dans ce projet. La stabilisation (±1/2 LSB) du pire des cas doit être atteinte avant le début d'une autre conversion. Les pires cas se retrouvent au milieu et aux extrémités de la plage d'entrée des étages. En effet, lorsque la tension d'entrée égale Vref, 0 (limite inférieur et supérieur) et –Vref, la sortie doit être amenée de zéro à l'une des extrémités de la plage de sortie.

La figure 4.3 montre un diagramme simplifié d'un étage pipeliné à condensateurs commutés. Le bloc *Amplificateur / Soustracteur* est constitué d'un amplificateur complètement différentiel et d'un réseau de condensateurs commutés. Ce bloc permet

l'amplification inférieure à 2 et la soustraction ou l'addition de la référence. Le comparateur utilisé est de type dynamique et il peut retenir sa valeur de sortie selon le niveau de Trk. Les chronogrammes présentés à la figure 4.4 montrent l'évolution des signaux de l'étage pipeliné. Ainsi, les temps de stabilisation de l'amplificateur / soustracteur et du comparateur doivent être inférieurs ou égal à la moitié d'une période d'horloge.

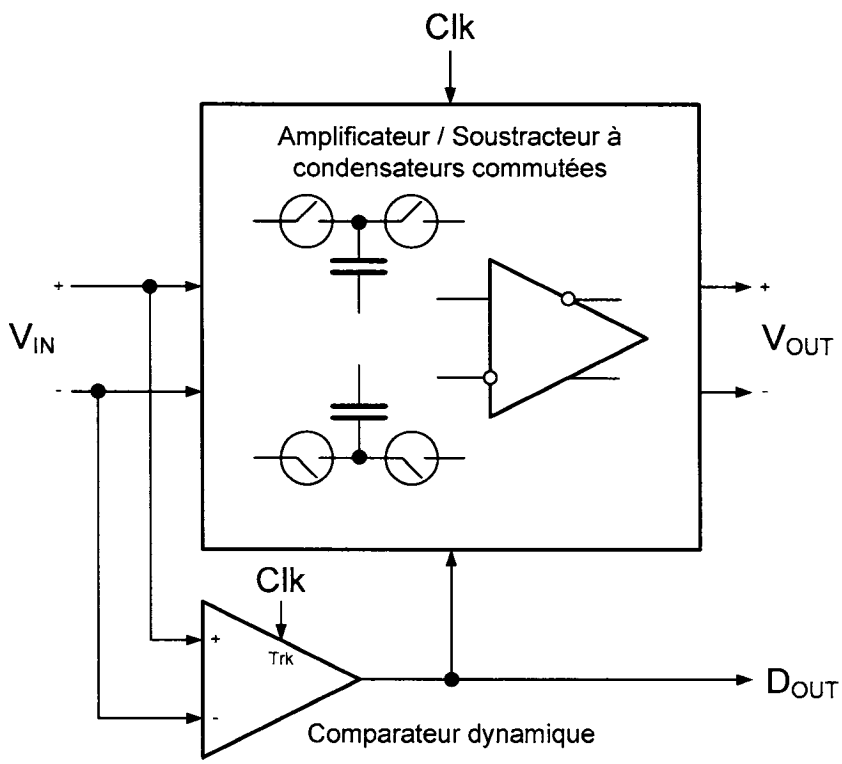


Figure 4.3 - Diagramme simplifié d'un étage pipeliné

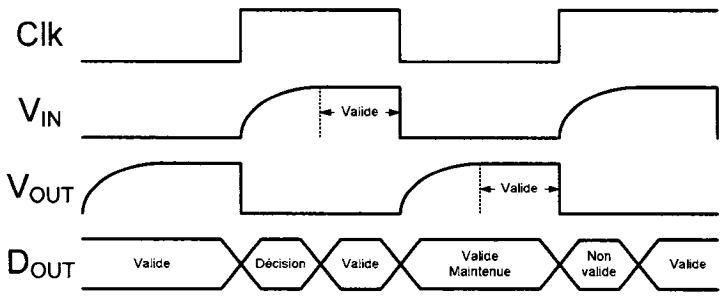


Figure 4.4 - Chronogramme des signaux de l'étage pipeliné

4.2.3. Amplificateur opérationnel

La règle du pouce concernant les amplificateurs opérationnels utilisés dans une structure à condensateurs commutés est que la fréquence de gain unitaire doit être au moins 5 fois supérieure à la fréquence d'opération du circuit. Donc pour un convertisseur fonctionnant à 200 MHz, la fréquence de gain unitaire de l'amplificateur opérationnel doit être d'au moins 1 GHz. L'impédance de l'étage de sortie doit être assez basse pour pouvoir charger en moins de 2.5 ns la charge présente à sa sortie. Selon l'architecture et la capacité du condensateur de rétroaction choisie, cette charge est de l'ordre de deux condensateurs de 300 fF en parallèle.

Cet amplificateur doit être relativement stable vis-à-vis les variations de procédé et de température. En plus, l'application exhaustive des règles d'appariement [9] est de mise, ceci permet que l'amplificateur soit complètement différentiel et augmente considérablement le CMRR et le PSRR. Du point de vue de la consommation de puissance, les amplificateurs ne devront pas consommer plus de 5 mA

4.2.4. Comparateur

Les comparateurs utilisés dans ce circuit doivent pouvoir stabiliser leur décision en moins de 2.5ns. Aussi, ce comparateur doit être de type dynamique, il doit pouvoir retenir sa valeur de sortie sur une demi-période d'horloge, car les tensions d'entrée à comparer ne sont pas valides lors de l'utilisation de la sortie du comparateur. L'entrée de ce comparateur doit présenter une impédance importante pour aider à la stabilisation rapide de la sortie des amplificateurs. Une structure complètement différentielle et respectant les règles d'appariement doit être utilisée.

4.3. Conception

Cette section explique en règle générale la méthodologie utilisée pour optimiser les circuits au niveau schématique jusqu'au niveau dessin de masques.

À partir des équations de second ordre des transistors, une première approximation des dimensions peut être effectuée. Ces mêmes équations permettent ensuite de déterminer les relations régissant les compromis entre les différentes spécifications. Ainsi, des règles simples sont développées pour optimiser rapidement les circuits en effectuant des simulations de type paramétrique.

Bien attendu, il faut tenir compte des règles d'appariement en effectuant le design au niveau schématique. Les règles les plus utilisées sont l'utilisation de longueur de canal non minimale, l'utilisation des centroïdes communs et l'ajout de transistors excédentaires en périphérie [2], [11], [9].

4.3.1. Amplificateur opérationnel

Le schéma 4.5 représente l'architecture de l'amplificateur opérationnel utilisé par tous les modules utilisant un circuit à condensateurs commutés. Ce dernier étant totalement différentiel, il doit utiliser un circuit de rétroaction en mode commun (CMFB) [2] pour que le mode commun des sorties soit fixé à une tension fixe. Ce circuit de rétroaction est présenté à la figure 4.6.

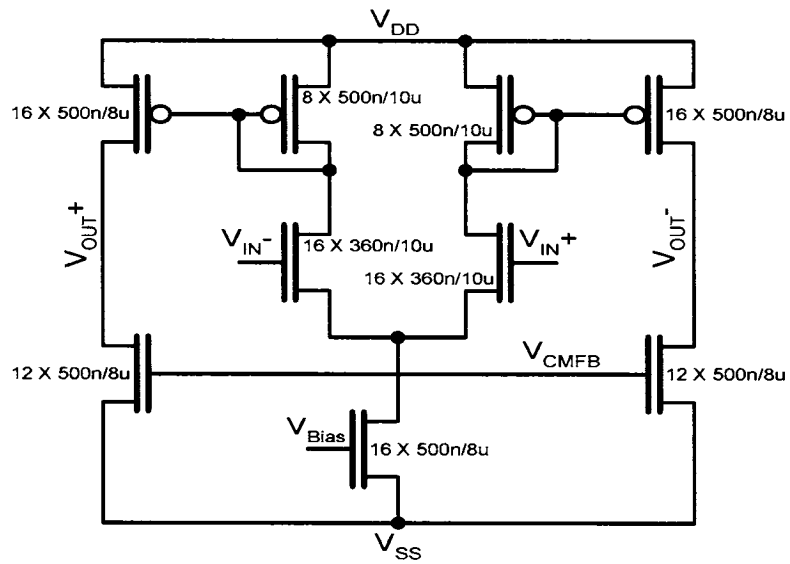


Figure 4.5 - Schéma au niveau des transistors de l'amplificateur opérationnel

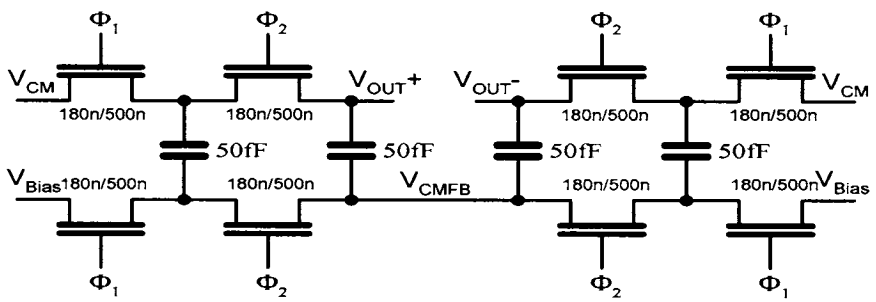


Figure 4.6 - Circuit de rétroaction du mode commun

La figure 4.7 montre la disposition des blocs de transistors agencés ainsi que du circuit de rétroaction du mode commun et des condensateurs. Le dessin de masque de l'amplificateur opérationnel est présenté à la figure 4.8.

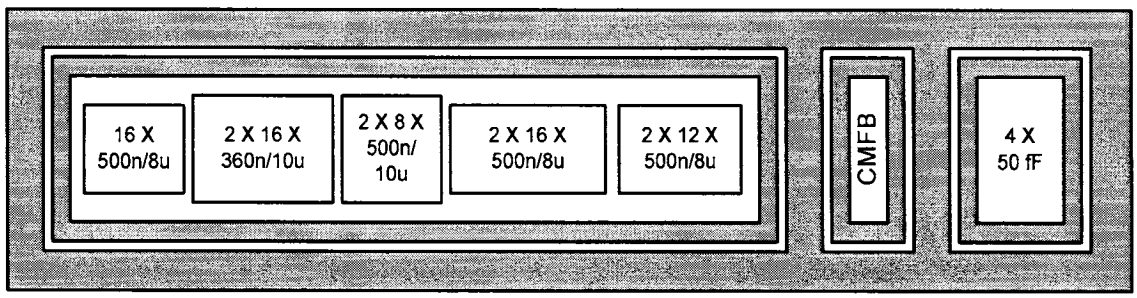


Figure 4.7 - Disposition des transistors et modules de l'amplificateur opérationnel

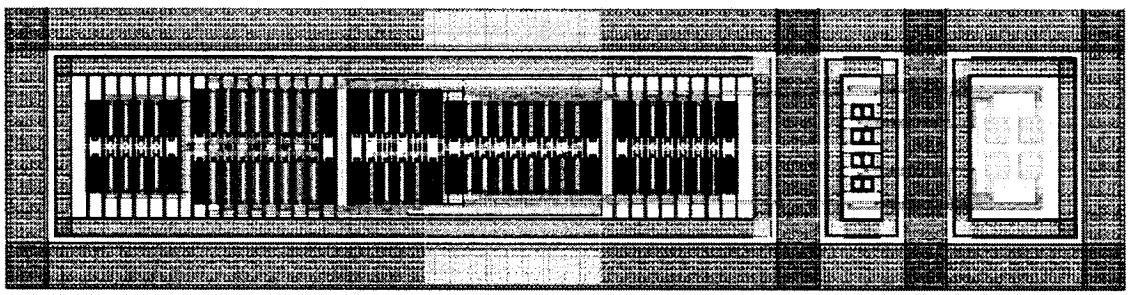


Figure 4.8 - Dessin de masques de l'amplificateur opérationnel

La figure 4.9 montre la réponse dynamique simulée après extraction du dessin de masques pour les paramètres de performance typique et pour une température de 27°C. Le tableau 4.1 montre les résultats pour les différents paramètres de performance toujours à une température de 27°C. Ces simulations ont été effectuées avec une charge

de 600fF présente à la sortie de l'amplificateur pour simuler la charge de l'étage subséquent du pipeline.

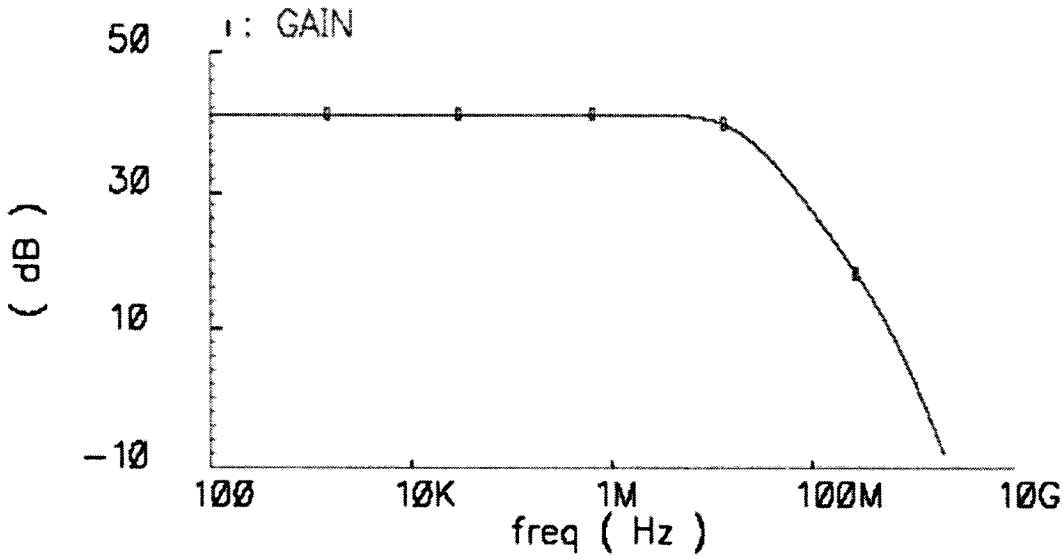


Figure 4.9 - Réponse dynamique de l'amplificateur opérationnel

Tableau 4.1- Gain DC et fréquence de gain unitaire de l'amplificateur opérationnel pour les paramètres de performance typique et de coin

Corner	Gain DC (dB)	Fréquence de gain unitaire (GHz)
TT	40.3	1.10
SS	40.4	1.05
SF	41.2	1.09
FS	40.9	1.11
FF	40.3	1.15

Les graphiques des figures 4.10 et 4.11 montrent respectivement la variation du gain DC et la variation de la fréquence de gain unitaire vis-à-vis de la température de jonction des transistors pour les paramètres de coin donnant le pire des cas. À partir de 45°C, les performances de l'amplificateur opérationnel laissent à désirer. En effet, au-dessus de cette température, le gain DC chute abruptement réduisant la linéarité de l'amplificateur. Bien entendu, cette limitation est inacceptable dans un contexte industriel, mais par contre dans un contexte expérimental, cette limite est acceptable.

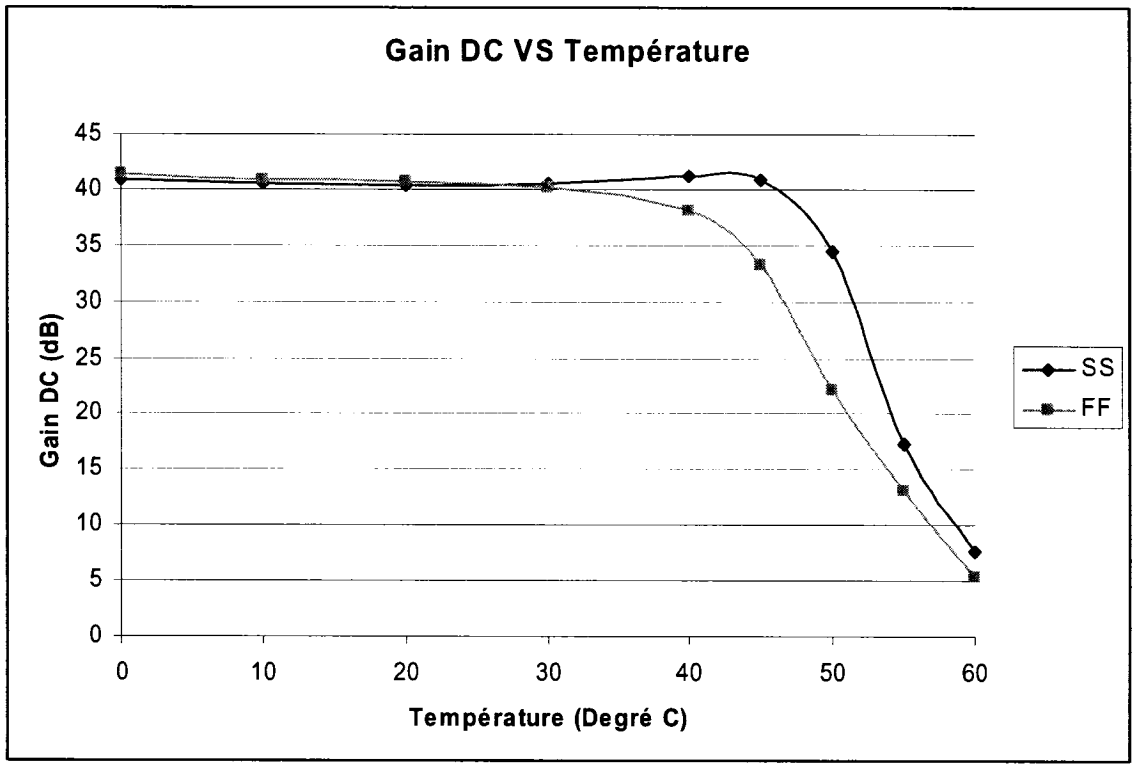


Figure 4.10- Gain DC selon la température de jonction

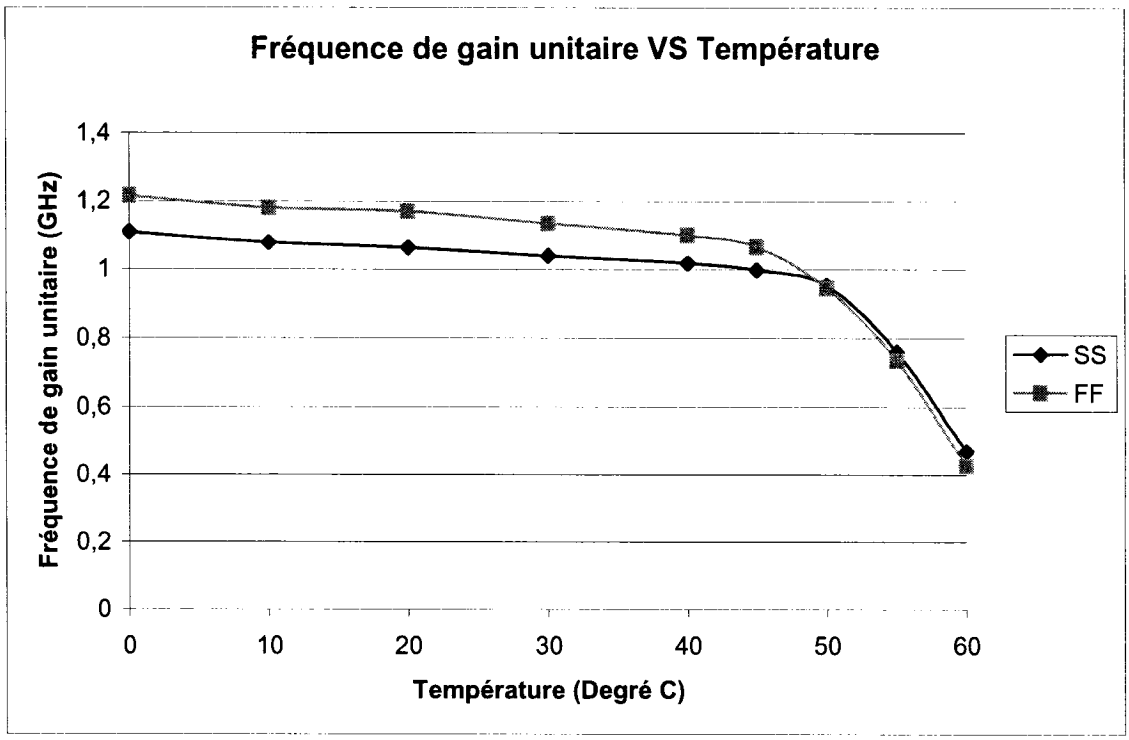


Figure 4.11 - Fréquence de gain unitaire selon la température de jonction

La puissance statique consommée par cet amplificateur est de 7.7mW Selon les simulations transitoires, la puissance dynamique est de 157 µW lorsque l'amplificateur opérant à 200 MHz doit charger des condensateurs de 600fF à 600mV. La puissance dynamique n'aura que peu d'impact, car elle est négligeable devant sa contrepartie statique.

4.3.2. Comparateur

Les comparateurs utilisés dans ce circuit sont composés d'un étage de préamplification [11], d'un circuit dynamique de rétroaction positive [11], d'un amplificateur différentiel auto polarisé [2] et d'un tampon de sortie. La figure 4.12 montre le circuit final des comparateurs.

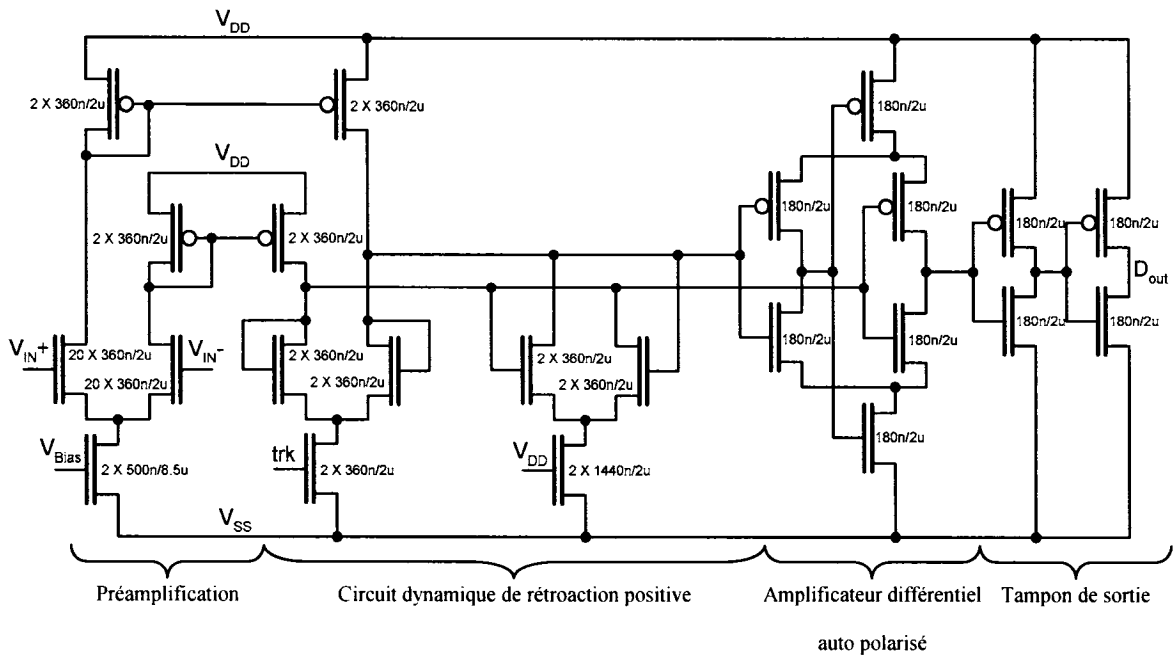


Figure 4.12 - Circuit final du comparateur dynamique

La figure 4.13 montre la disposition des blocs de transistors appariés tandis que la figure 4.14 présente le dessin de masques du comparateur.

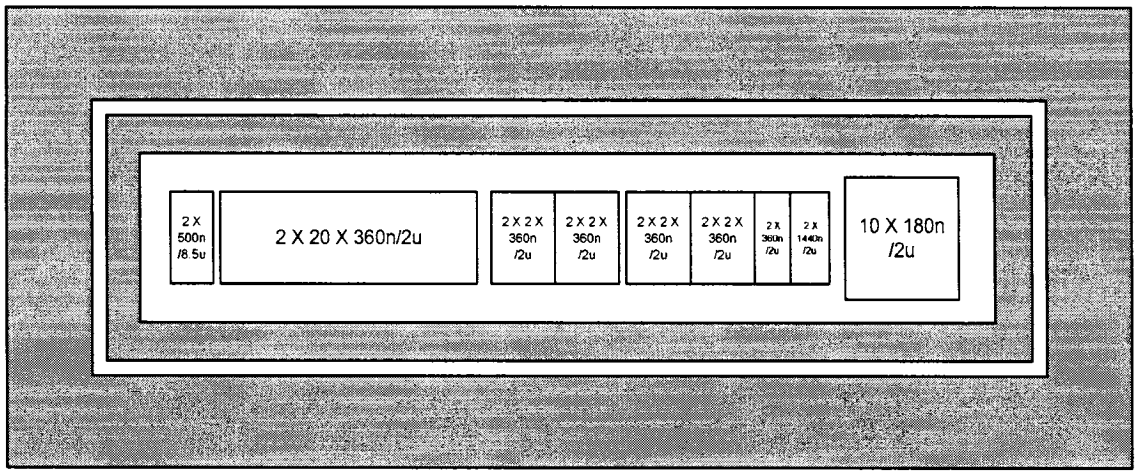


Figure 4.13 - Disposition des transistors appariés du comparateur

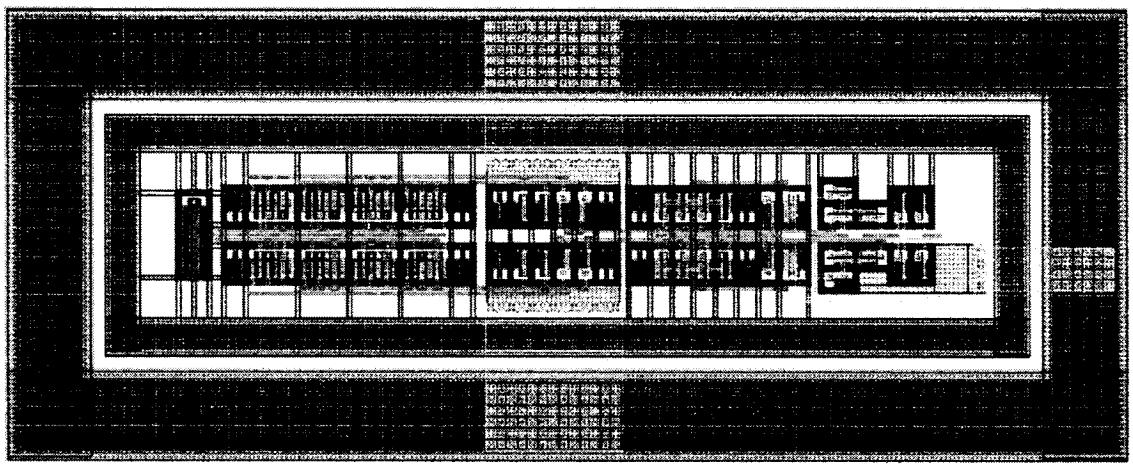


Figure 4.14 - Dessin de masques du comparateur

Le chronogramme se retrouvant à la figure 4.15 montre l'évolution des signaux de sortie selon les tensions d'entrée et le niveau logique Trk permettant de retenir la sortie du comparateur. Les résultats de simulations basées sur les paramètres de coin se

retrouvent au tableau 4.2, on voit que le pire de cas se retrouve au coin SS lors d'une prise de décision du bas vers le haut. Le tableau 4.3 regroupe les simulations du pire des cas selon la température des jonctions des transistors. Il est à noter que T_{plhclk} et T_{phlclk} peuvent être écartés des pires cas car le deux cas de figure associés à ces mesures ne sont pas des événements possibles dans l'architecture des étages.

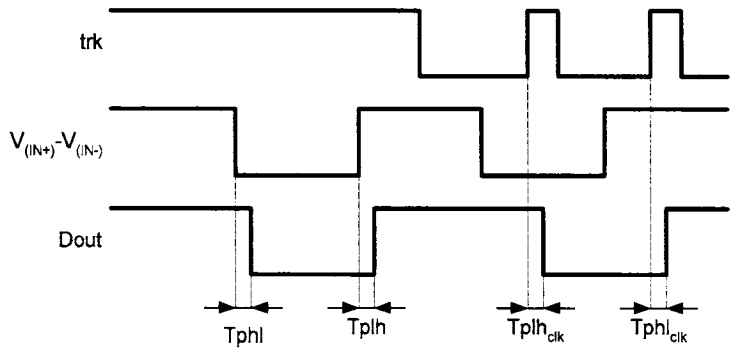


Figure 4.15 - Chronogramme du comparateur

Tableau 4.2- Temps associé à différents cas de figure et paramètres coins du comparateur

Corner	Tphl (ns)	Tplh (ns)	Tplhclk (ns)	Tphlclk (ns)
TT	1.78	1.58	3.06	2.93
FF	1.82	1.04	2.9	2.33
SF	1.79	1.5	3	2.72
FS	1.78	1.65	3.16	3.15
SS	2.13	2.24	3.63	3.71

Tableau 4.3 - Temps de décision maximale du comparateur pour différentes températures de jonction

Température °C	TpLH(ns)
0	2.19
10	2.21
20	2.23
30	2.24
40	2.26
50	2.28
60	2.31
70	2.32
80	2.34
90	2.36
100	2.38

Ainsi, les temps de décision sont toujours inférieurs à une demi-période d'horloge et ce pour tous les cas de coins technologiques et de température testés.

4.3.3. Étages pipelinés et échantillonneur bloqueur

L'échantillonneur bloqueur est de type classique [2], [28]. La figure 4.16 présente l'architecture de l'échantillonneur bloqueur. Les commutateurs sont pour leur part des portes de transmission (voir figure 4.17). En premier lieu, il charge le condensateur C_S avec la tension d'entrée et en un deuxième temps, il maintient cette valeur en mode suiveur par l'amplificateur opérationnel. Cette architecture utilise la technique « bottom plate sampling » [2] qui permet de désensibiliser les circuits aux injections de charges produites par les commutateurs. Ainsi, l'échantillonneur bloqueur doit fonctionner selon trois phases d'horloge: deux phases sans chevauchement et une phase dite avancée (voir

section 4.3.5). Notez que la première porte de transmission après l'entrée est constituée de deux portes de transmission en parallèle, ceci augmente la bande passante de l'échantillonneur bloqueur.

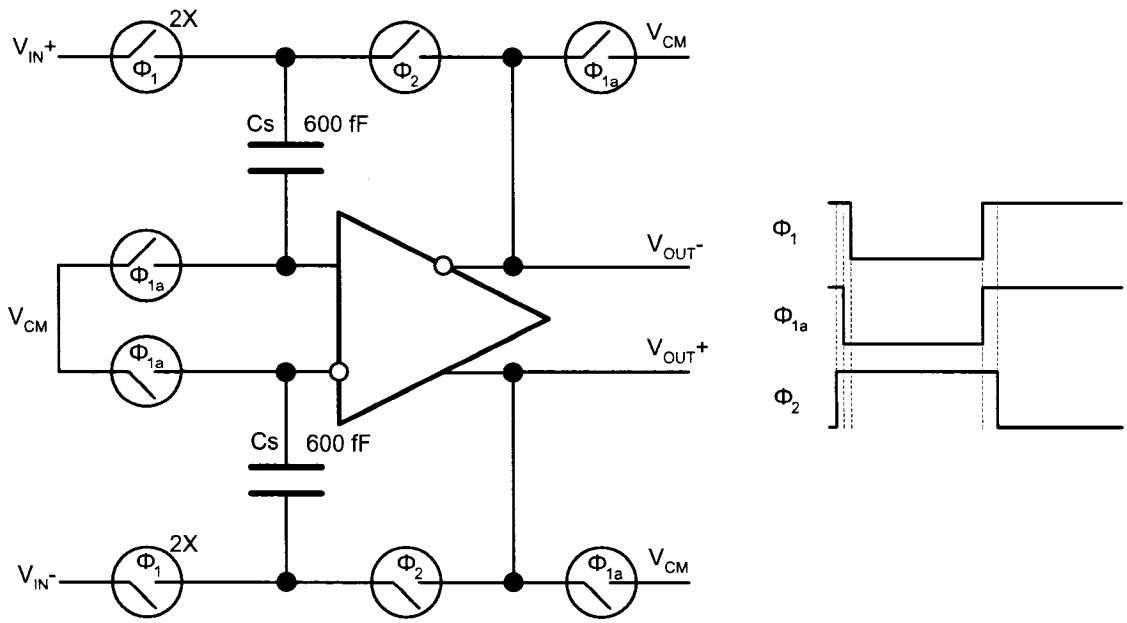


Figure 4.16- Architecture de l'échantillonneur bloqueur et son diagramme de phase

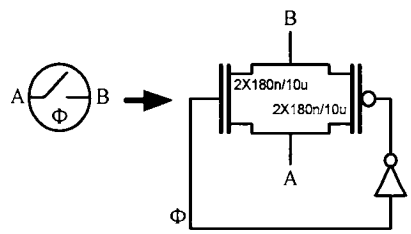


Figure 4.17 - Porte de transmission des réseaux de commutation

La figure 4.18 présente le circuit d'un étage pipeliné [6] qui fonctionne aussi sur deux phases en plus d'utiliser la phase avancée. En premier lieu, la configuration des commutateurs permet le chargement des condensateurs C_S et C_F par la tension d'entrée. En deuxième lieu, la configuration des commutateurs change pour que l'étage devienne un intégrateur de charge. Ainsi, les charges présentent dans C_S sont intégrées dans celles de C_F jusqu'à ce que la différence de potentiel aux bornes de C_S soit nulle. Donc après stabilisation, la tension de sortie est égale à deux fois la tension d'entrée plus au moins la référence selon le niveau logique D_0.

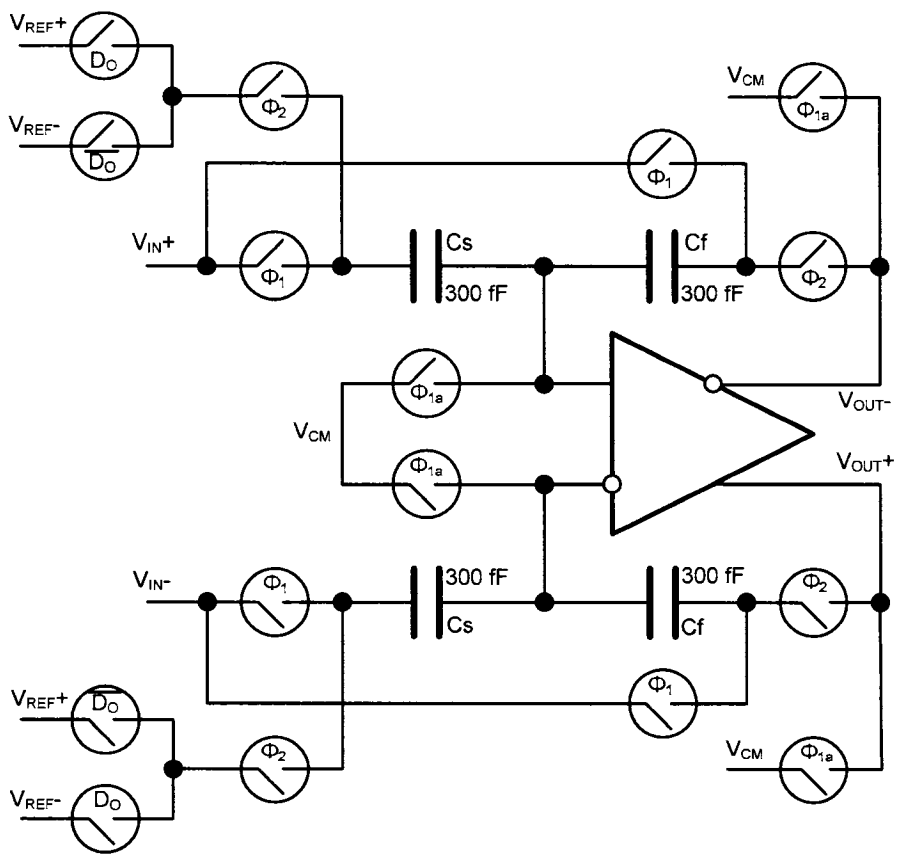


Figure 4.18 - Architecture des étages pipelinés

4.3.4. Réseaux de commutation

Les réseaux de commutation contiennent toutes les portes de transmission des circuits à condensateurs commutées. Pour optimiser la réalisation du réseau de commutation de l'étage pipeliné et sa réutilisation pour l'échantillonneur bloqueur, le diagramme squelettique présenté à la figure 4.19 a été utilisé. La figure 4.20 montre le diagramme squelettique de l'échantillonneur bloqueur. Notons que ce diagramme est très similaire à la partie de gauche du diagramme des étages pipelinés.

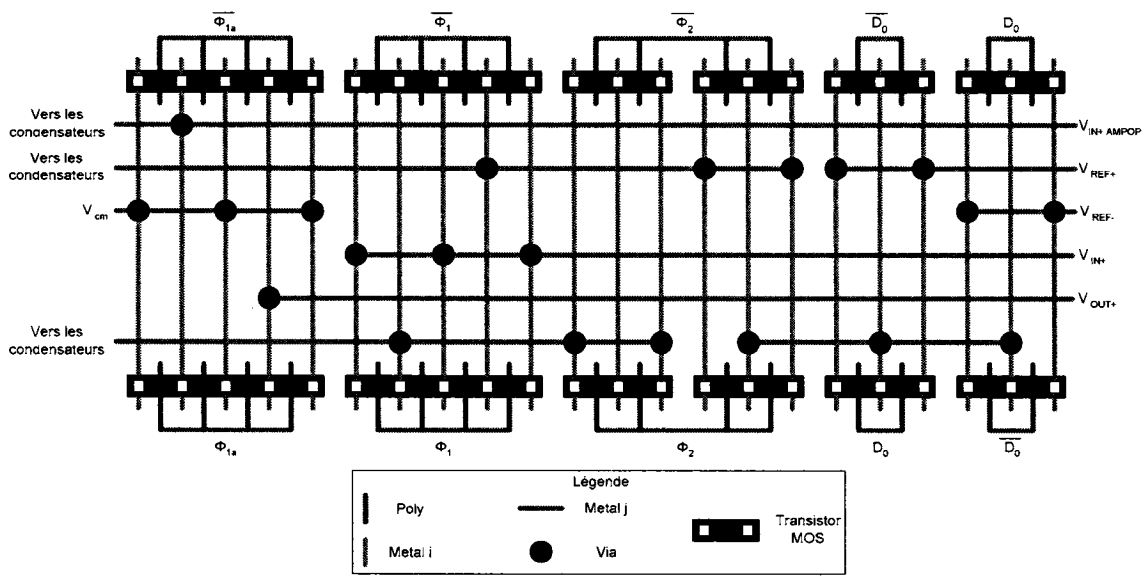


Figure 4.19 - Diagramme squelettisé du réseau de commutation des étages pipelinés

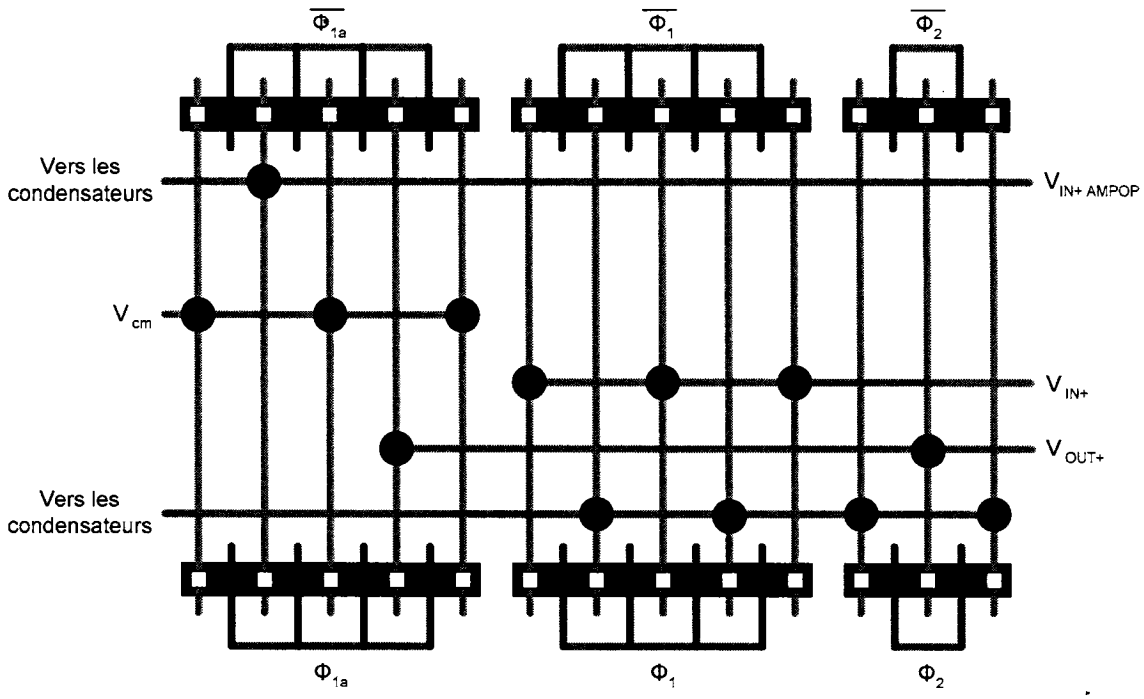
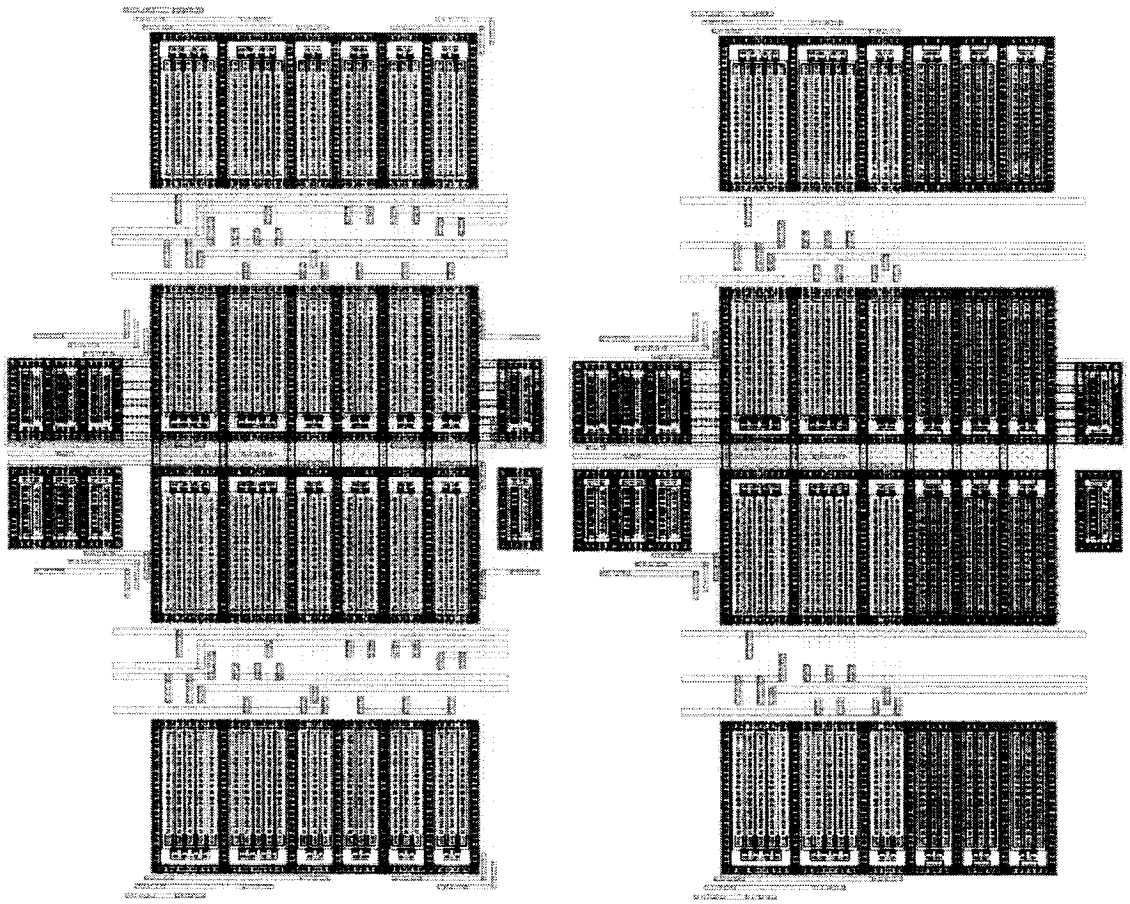


Figure 4.20 - Diagramme squelettisé du réseau de commutation de l'échantillonneur bloqueur

Les dessins de masques réalisés à partir des diagrammes squelettisés se retrouvent à la figure 4.21. La région d'extrême gauche contient les inverseurs des trois phases d'horloge et la région d'extrême droite, l'inverseur de la sortie du comparateur (désactivé pour l'échantillonneur bloqueur).



(a) (b)

Figure 4.21 - Dessin de masques du réseau de commutation (a) des étages pipelinés et (b) de l'échantillonneur bloqueur

4.3.5. Générateur d'horloges

L'architecture choisie pour le générateur d'horloges provient d'une architecture classique de génération d'horloges sans recouvrement [22]. Par contre, elle a été modifiée pour générer les deux phases avancées. La figure 4.22 présente le schéma du

générateur d'horloges tandis que la figure 4.23 montre le chronogramme associé à chacune des phases en sortie.

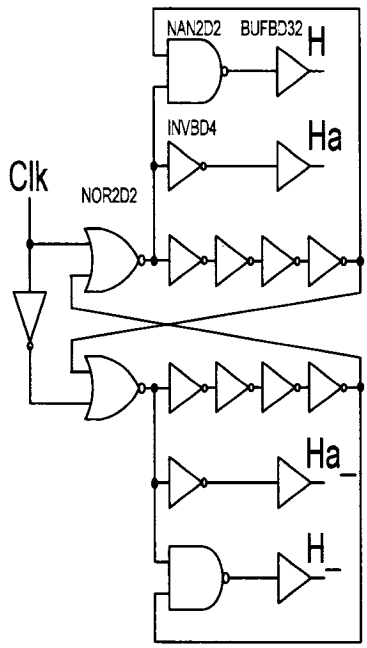


Figure 4.22 - Schéma du générateur d'horloges

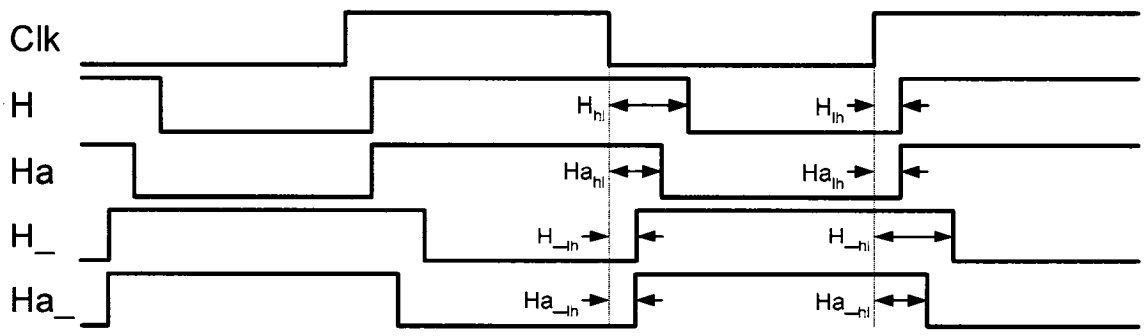


Figure 4.23 - Chronogramme des phases du générateur d'horloges

Les simulations ont été effectuées à partir des modèles des cellules normalisées fournies par la CMC. Les résultats des simulations avec les paramètres de coin pour T=27 °C sont présentés au tableau 4.4.

Tableau 4.4 - Temps (ps) associé aux différentes phases du générateur d'horloge pour différents ensembles de paramètres de coins technologiques

	TT	SS	SF	FS	FF
Hhl	1190	1453	1234	1172	989
Hlh	380	460	387	374	312
Hahl	884	1084	921	878	739
Halh	438	531	446	431	360
H_lh	285	359	305	290	243
H_hl	1290	1580	1333	1283	1077
Ha_lh	330	413	352	331	279
Ha_hl	1000	1215	1024	987	829

On peut noter que la forme requise (celle du chronogramme) est respectée pour tous les coins. Il est aussi intéressant de savoir que la réponse du générateur d'horloge a été testée sur une plage de température allant de 0 à 100°C. Les variations de température affectent peu la forme du chronogramme et produisent des variations maximales de l'ordre de 100 ps sur la plage de température testée.

4.4. Intégration

4.4.1. Étages pipelinés et échantillonneur bloqueur

L'architecture de l'échantillonneur bloqueur et des étages pipelinés étant similaires, la disposition des sous modules dans ces deux éléments sera semblable. Ainsi, il sera plus facile de déterminer une façon d'intégrer les étages et l'échantillonneur. Aussi, ceci permet d'optimiser le travail et le test des dessins de masques. La figure 4.24 présente la disposition des sous modules de l'échantillonneur bloqueur. Le dessin de masque final de l'échantillonneur se retrouve à la figure 4.25. Dans la partie droite du réseau de commutation se retrouve le chemin de donnée analogique, il va du haut vers le bas.

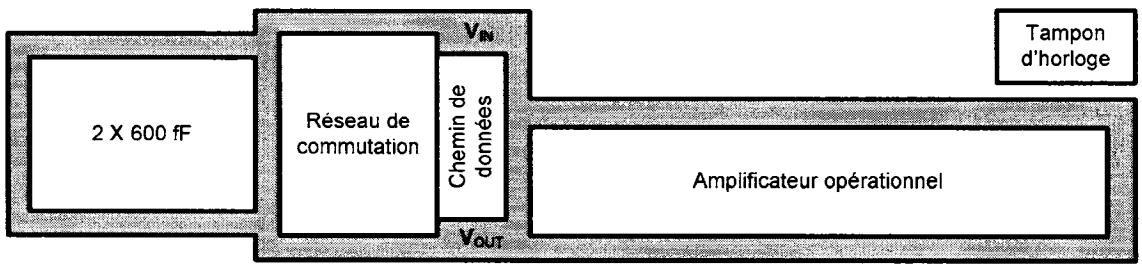


Figure 4.24- Disposition des sous modules de l'échantillonneur bloqueur

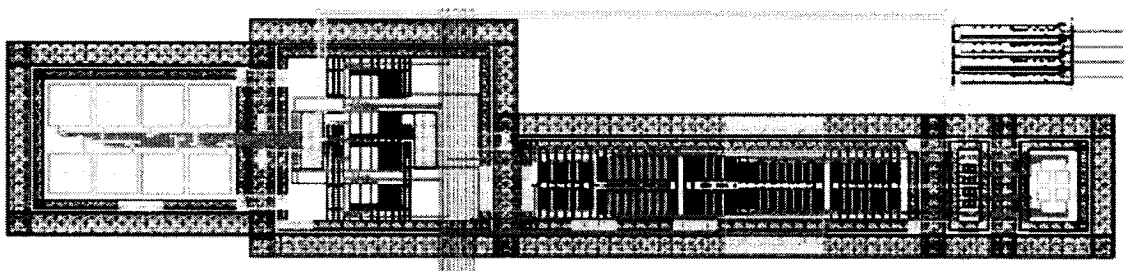


Figure 4.25 - Dessin de masques de l'échantillonneur bloqueur

La figure 4.26 présente, pour sa part, la disposition des sous modules des étages pipelinés. Notez les similitudes entre celui-ci et l'échantillonneur bloqueur. La figure 4.27 montre le dessin de masques final. Le chemin de donnée étant disposé de la même manière, les modules peuvent être juxtaposés l'un sur l'autre, créant ainsi le pipeline.

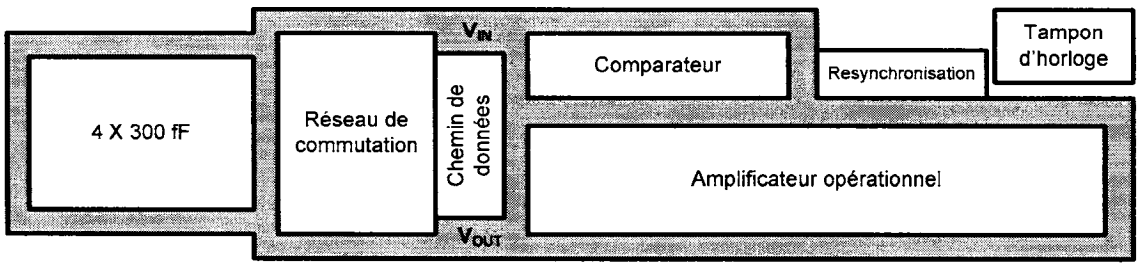


Figure 4.26 - Disposition des sous modules d'un étage pipeliné

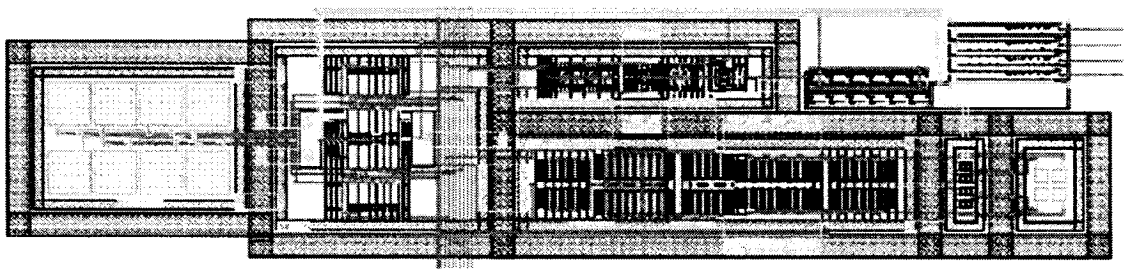


Figure 4.27 - Dessin de masques d'un étage pipeliné

Ces modules étant sensibles aux impédances perçues à l'entrée et à la sortie, une considération importante devra être apportée au banc de test pour que ce dernier reconstitue le même comportement que dans le pipeline final. Le banc de test utilisé pour tester les étages pipelinés est présenté à la figure 4.28. Ce banc de test est composé

de trois étages, l'étage du milieu étant le module sous test. Le premier étage permet de simuler l'impédance perçue à l'entrée du module sous test. Étant donné que la référence de ce module est fixée à zéro, il agit comme un amplificateur de gain 2. Le dernier permet de simuler l'impédance perçue à la sortie. Il est à noter que pour le test du premier étage du pipeline, l'étage 1 de la figure 4.28 devient l'échantillonneur bloqueur. Aussi, le dernier étage est testé avec un étage pipeliné à son entrée.

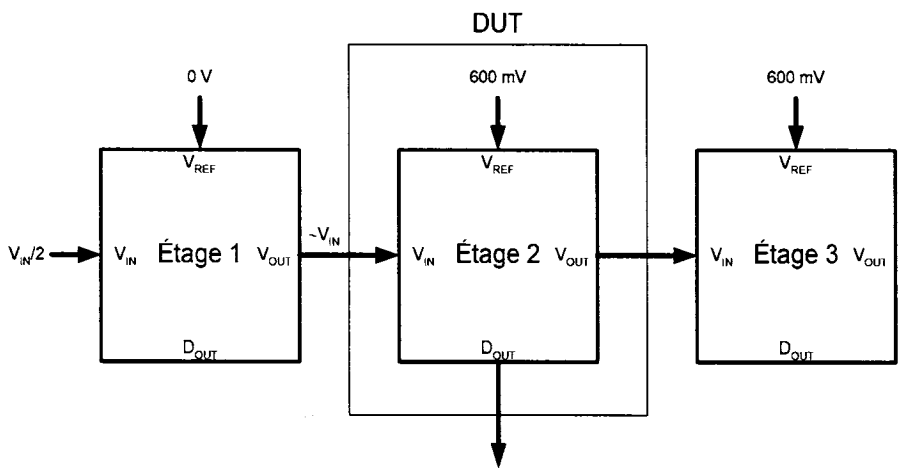


Figure 4.28 - Banc de test des étages pipelinés

Le banc de test de l'échantillonneur bloqueur est similaire, sauf qu'il n'y a pas de premier étage. L'entrée de l'échantillonneur est directement connectée à l'extérieur, ainsi l'impédance d'entrée est considérée comme négligeable.

La technique utilisée pour déterminer le temps de stabilisation est la méthode classique qui consiste à déterminer le temps ou les variations subséquentes sont inférieures à ± ½ LSB telle que présenté à la figure 4.29.

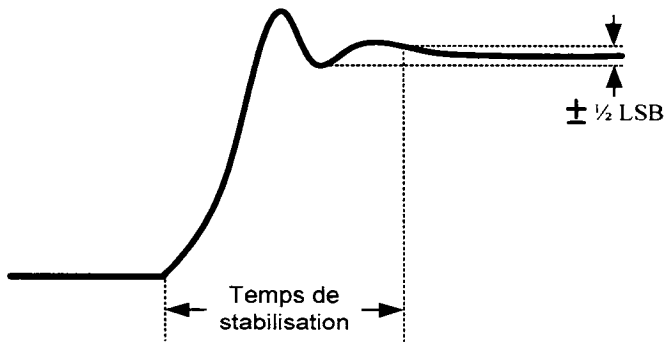


Figure 4.29 - Temps de stabilisation

Les temps de stabilisation d'une phase à ± ½ LSB pour 27°C et 40°C sont respectivement présentés aux tableaux 4.5 et 4.6. On remarque que pour 27°C le temps maximal de stabilisation est de 2.33 ns et 2.8ns pour une température de 40°C. L'opération de conversion s'étalant sur deux phases, le temps maximal d'une conversion est égal à deux fois le temps de stabilisation d'une phase. Ainsi la fréquence d'opération maximale à 27°C et 40°C est respectivement 215 MHz et 179 MHz.

Tableau 4.5 - Temps de stabilisation (ns) pour T=27°C

	+ 1200 mV	- 1200 mV	+ 0 mV	- 0 mV
TT	1.99	1.99	2.33	2.33
FF	1.91	1.91	2.13	2.13
FS	1.94	1.94	2.16	2.16
SF	1.94	1.94	2.33	2.33
SS	1.98	1.98	2.16	2.16

Tableau 4.6 - Temps de stabilisation (ns) pour T=40°C

	+ 1200 mV	- 1200 mV	+ 0 mV	- 0 mV
TT	2.38	2.38	2.80	2.80
FF	2.29	2.29	2.56	2.56
FS	2.33	2.33	2.59	2.59
SF	2.33	2.33	2.79	2.79
SS	2.37	2.37	2.59	2.59

La figure 4.30 montre la caractéristique du gain de l'échantillonneur bloqueur selon le niveau de son entrée. Il est à noter que ce graphique montre deux courbes. La première courbe provient directement des simulations et est caractérisée par un fort bruit numérique de simulation. L'autre courbe représente la régression de la première, c'est elle que nous allons utiliser pour les simulations suivantes.

La figure 4.31 montre la caractéristique du gain d'un étage pipeliné selon son entrée. Ce graphique est aussi composé d'une courbe avec bruit numérique et de sa régression.

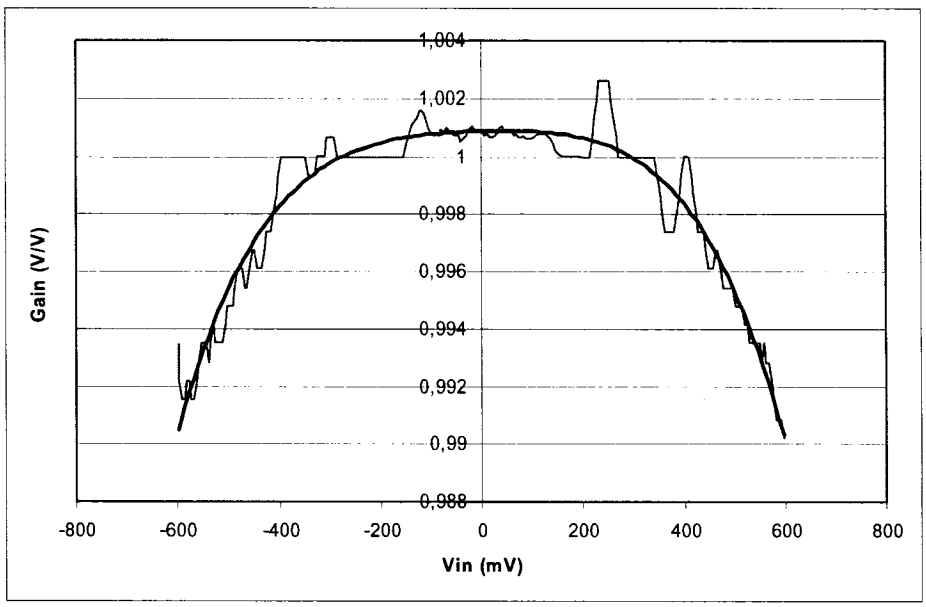


Figure 4.30 - Gain de l'échantillonneur bloqueur selon son entrée

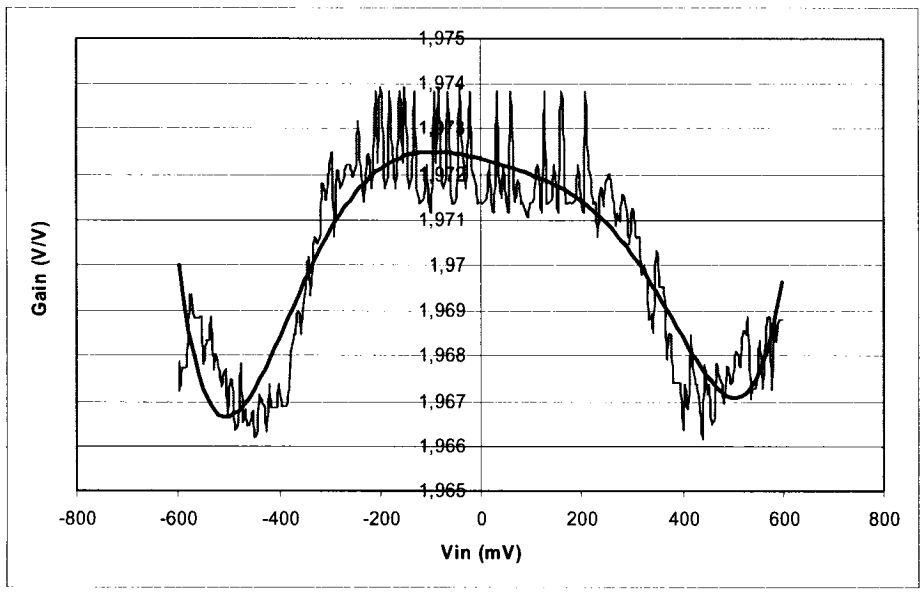


Figure 4.31 - Gain d'un étage pipeliné selon son entrée

4.4.2. Noyau

La figure 4.32 présente la disposition du noyau du circuit intégré. La flèche représente le chemin de donnée créant le pipeline analogique. Quatre arbres de distribution d'horloge en H ont été ajoutés pour synchroniser parfaitement les étages pipelinés, l'échantillonneur bloqueur et le dernier étage composé d'un seul comparateur. Le module de polarisation génère les tensions de polarisation stables nécessaires aux différents modules du circuit intégré.

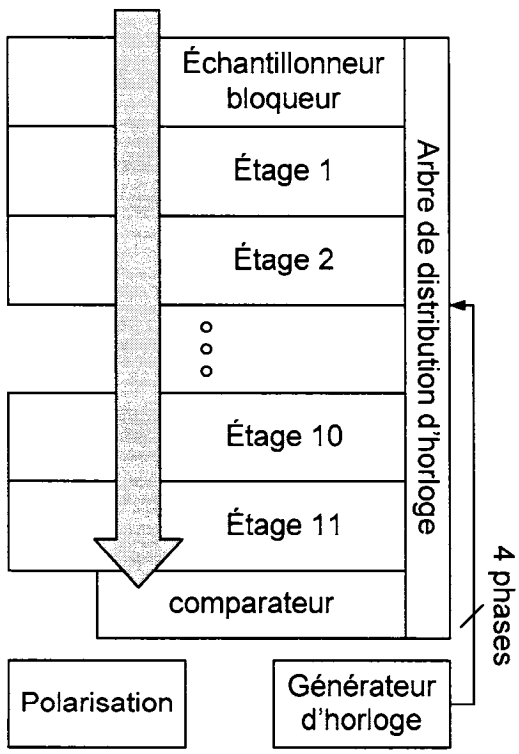


Figure 4.32 - Disposition des modules du noyau

Dû à la grande complexité du circuit intégré, une simulation complète pour caractériser le convertisseur est excessivement longue. Pour vérifier la bonne intégration des modules, une simulation au niveau transistor consistant à remplir le pipeline a été effectuée. En plus, la vérification des courants consommés par l'intégration des circuits a permis de vérifier qu'il n'y avait probablement pas de court-circuit.

4.4.3. Disposition des plots

Le choix final concernant la disposition des plots d'entrée/sortie et d'alimentation est présenté à la figure 4.33. L'utilisation de plots analogiques non standards a permis de réduire de beaucoup l'espace occupé par les plots. Par contre, de cette façon, les trois sections de plots ne peuvent faire la continuation des anneaux d'alimentation. Ainsi, chaque section de plots doit posséder sa propre alimentation ce qui en fait n'est pas un désavantage, car il ne faut pas mélanger les alimentations numériques et analogiques.

Pour la section numérique, les règles de conception de la CMC ont été appliquées. Ainsi, il y a une paire d'alimentation pour quatre plots d'entrée/sortie. Le courant presque négligeable de la partie numérique interne du circuit permet d'ajouter seulement deux plots d'alimentation. Les simulations avec les modèles fournis par la CMC démontrent que la limite du bon fonctionnement des plots de sortie avec une suite de symboles binaires quelconque est de 135 MHz. Cette simulation a été effectuée avec le modèle du boîtier utilisé augmenté d'une charge capacitive standard modélisant la trace

d'une plaquette et l'entrée d'un circuit. Ainsi pour pouvoir atteindre les 200 MÉ/s possibles et visés avec ce circuit, il faudrait créer deux bus intercalés de 12 bits fonctionnant à 100 MHz. Malheureusement, l'espace étant insuffisant, nous avons du nous contenter de 135 MÉ/s.

La partie analogique est composée de 12 plots d'alimentation. En plus de garantir un chemin de faible impédance vers le circuit, ce nombre élevé de plots d'alimentation permet d'éviter le phénomène d'électromigration dans le réseau d'alimentation du circuit.

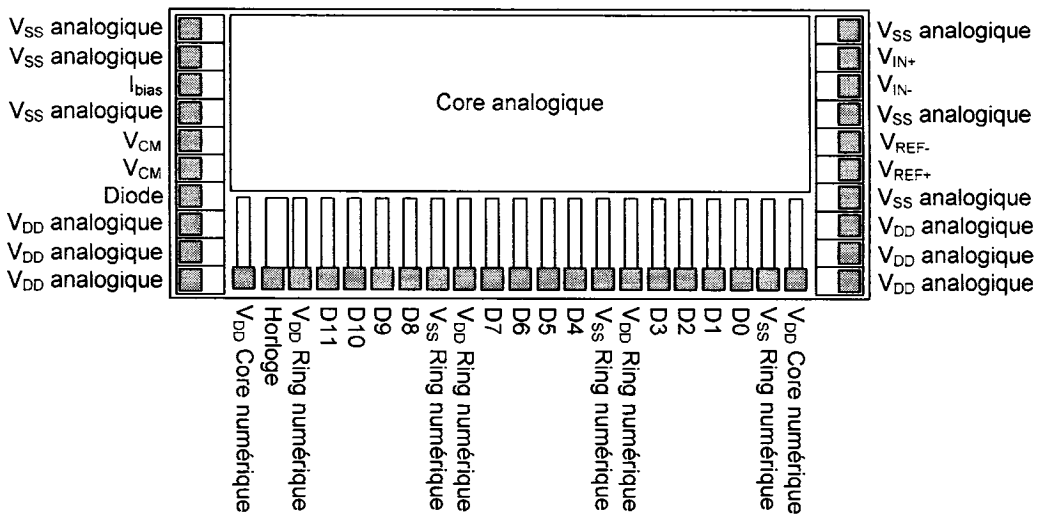


Figure 4.33 - Disposition des plots d'entrée/sortie et d'alimentation

4.4.4. Circuit intégré final

La figure 4.34 présente le dessin de masques final soumis à la fabrication. On peut remarquer que les cellules actives de plots numériques sont constituées de cellules normalisées de type fantôme.

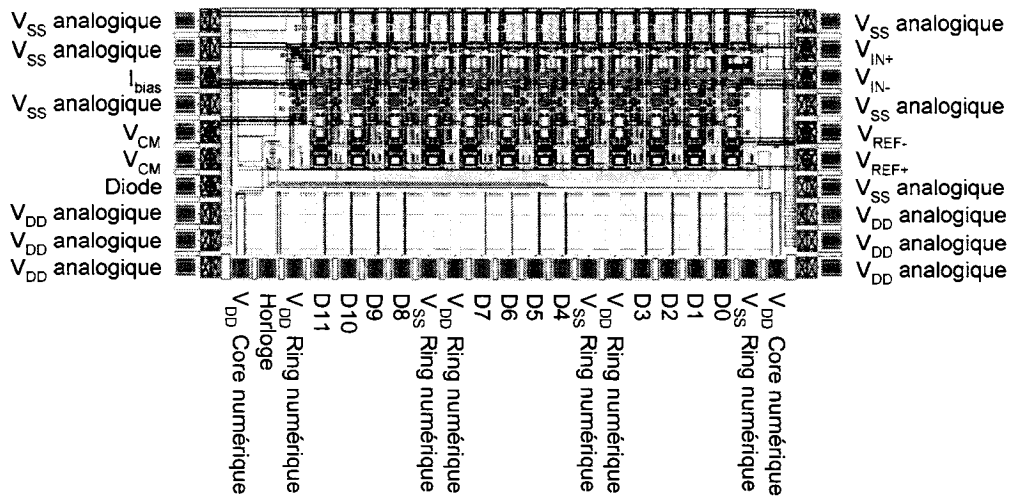


Figure 4.34 - Dessin de masques final

4.4.5. Encapsulation du circuit intégré

Dans un souci d'assurer l'intégrité des signaux, l'encapsulation du circuit intégré doit être fait avec un boîtier comprenant de bonnes caractéristiques fréquentielles. Le boîtier choisi est un CFP 80 broches. Il a une fréquence de coupure de 4.5 GHz en plus d'avoir amplement de broches pour connecter le dé. La figure 4.35 présente les

connexions dans la cavité du boîtier et la figure 4.36 montre le circuit intégré dans sa forme finale.

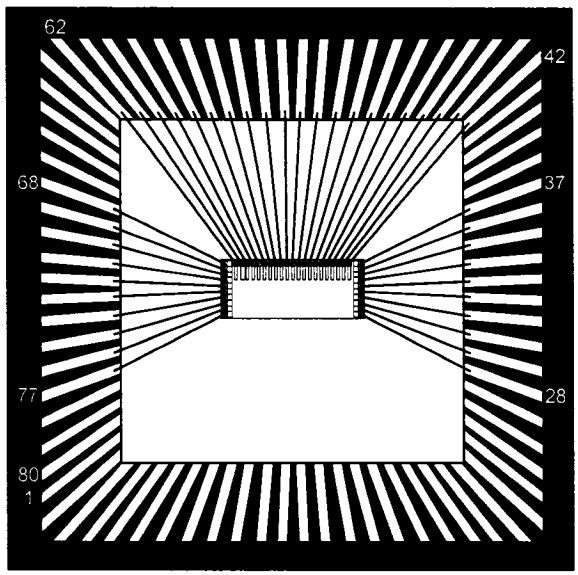


Figure 4.35 - Connexions des plots aux pins du boîtier

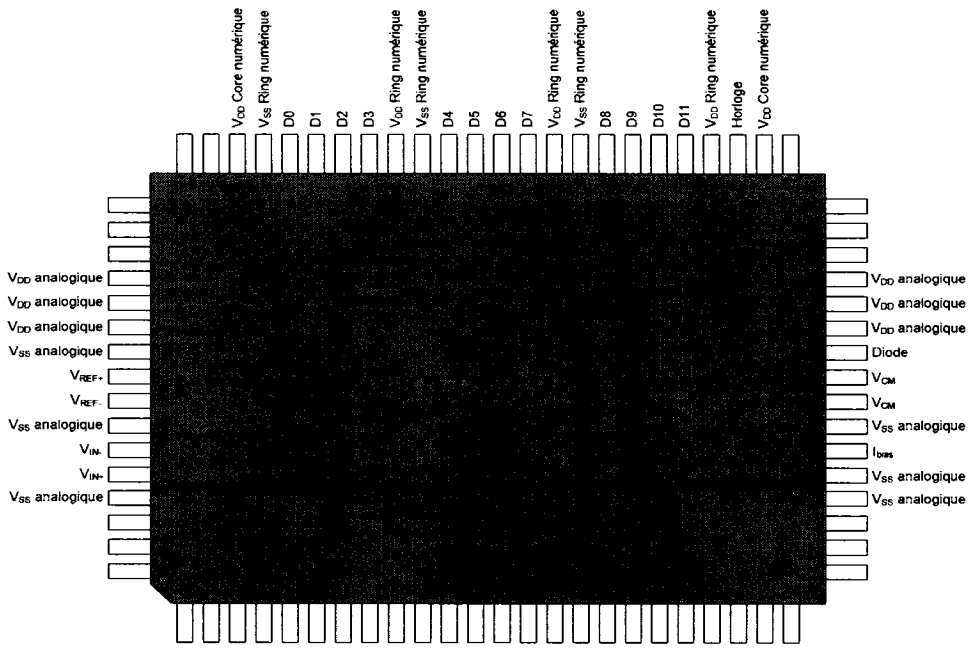


Figure 4.36 - Circuit intégré final

CHAPITRE V

TESTS

5.1. Circuit Imprimé

En vu de tester le circuit intégré, il nous faut un environnement adéquat. Cet environnement doit mettre le circuit intégré à son avantage, donc l'environnement ne doit pas perturber le fonctionnement du convertisseur analogique à numérique. Les éléments de la plaquette de test ne doivent pas induire du bruit ou des distorsions qui compromettent la performance du circuit intégré. Ainsi, le rapport signal à bruit de la plaquette doit être supérieur à 62dB.

Les règles de base de conception d'un circuit imprimé qui ont été utilisées proviennent majoritairement des documents fournis par les manufacturiers des éléments discrets utilisés [1], [19], elles seront exposées ici brièvement.

Une des techniques les plus importantes lors de la conception de circuit imprimé haute vitesse est le découplage des alimentations. L'ajout d'un filtre passe bas permet d'éliminer les fréquences indésirables et d'obtenir une sortie continue stable. Les condensateurs qu'on retrouve sur le marché peuvent être modélisés selon la figure 5.1. Un seul condensateur n'est habituellement pas suffisant pour créer un bon filtre passe-bas car ses imperfections font agir le condensateur comme un filtre passe bande et

laissent passer des hautes fréquences indésirables (voir figure 5.2). Ainsi, il faut ajouter une batterie de condensateurs le plus près possible des broches d'alimentation des circuits intégrés telle qu'illustré à la figure 5.3.

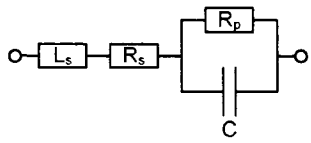


Figure 5.1 - Modèle d'un condensateur commercial

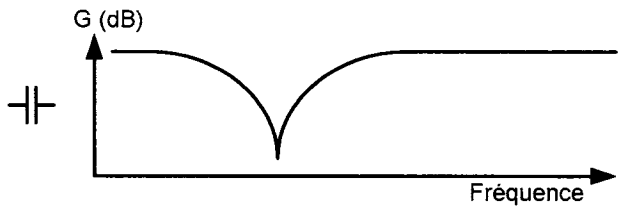


Figure 5.2 - Réponse en fréquence d'un filtre passe-bas basé sur un condensateur commercial

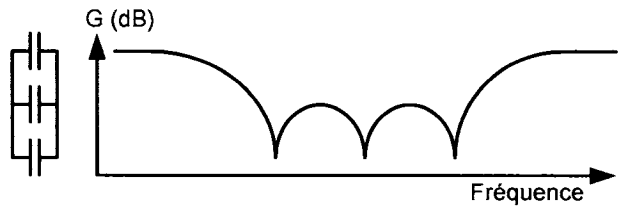


Figure 5.3 - Réponse en fréquence d'un filtre passe-bas basé sur une batterie de condensateurs

Par contre, il faut faire attention à ne pas choisir des valeurs de capacités trop proche l'une de l'autre. Une règle du pouce est qu'il faut choisir des condensateurs avec des écarts d'au moins 2 ordres de grandeur.

Il est toujours important de séparer la partie analogique de la partie numérique. En effet, la partie numérique créer beaucoup de bruit, il faut donc empêcher ce bruit de se retrouver dans la partie analogique qui est très sensible aux bruits. Pour ce faire, nous allons utiliser deux plans de masse reliés par une trace.

5.1.1. Partie Analogique

Les générateurs de signaux utilisent majoritairement des sorties analogiques de type « single-ended », tandis que le circuit intégré reçoit uniquement des signaux d'entrée et de référence de type différentiel. La plaquette de test devra donc être pourvue de deux convertisseurs « single-ended » à différentielle. Deux techniques s'offrent à nous, utiliser un transformateur bipolaire à point centré ou utiliser un amplificateur opérationnel complètement différentiel, telle que celui utilisé dans le circuit. Les transformateurs sont très utilisés dans les circuits de haute vitesse, mais ils ont un petit inconvénient, ils agissent comme des filtres passe bande; Ce qui convient mal aux calibrations lentes, car la tension d'entrée doit être stable un certain temps pour que le convertisseur de haute précision effectue sa conversion. Ainsi, des amplificateurs opérationnels seront utilisés pour réaliser ces circuits. L'amplificateur choisi est le AD8138 de *Analog Devices*. C'est un amplificateur opérationnel complètement différentiel dont le mode commun peut être fixé par l'usager. Sa bande passante est de 320 MHz ce qui est suffisant pour le circuit intégré sous test. La figure 5.4 présente le circuit utilisé pour les deux convertisseurs « single-ended » à différentiel.

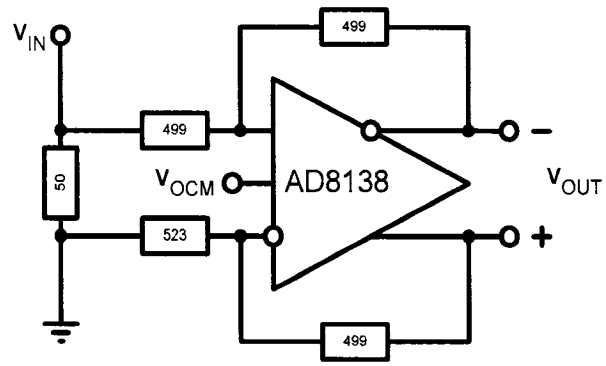


Figure 5.4 - Convertisseur « single-ended » à différentiel

Il s'agit d'un amplificateur de gain unitaire dont le mode commun de sortie V_{OCM} peut être fixé selon les besoins. En plus, l'entrée est adaptée en impédance par une résistance 50Ω car ceci est l'impédance caractéristique des câbles coaxiaux standard et des sorties des générateurs standard. L'adaptation des impédances de sortie sera obtenue par des réseaux de composants R et C utilisés au besoin. Le découplage de ce convertisseur est effectué selon les notes d'application du manufacturier de la feuille de spécifications. Bien entendu, une attention toute particulière doit être apportée à la symétrie d'un circuit différentiel de l'entrée jusqu'aux sorties.

Le courant de polarisation de 750 μA nécessaire au fonctionnement du circuit intégré sous test est généré par une simple résistance découplée par une inductance. La figure 5.5 et l'équation 5.1 résument le calcul de la résistance. Par simulation, on trouve rapidement que V_{DS} du transistor est de 532mV donc la résistance nécessaire est de 1.69KΩ.

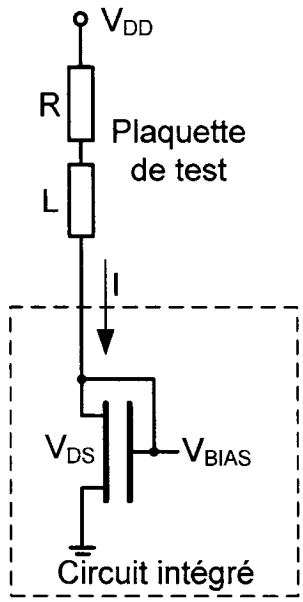


Figure 5.5 - Génération du courant de polarisation

$$R = \frac{V_{DD} - V_{DS}}{I} \tag{5.1}$$

$$R = \frac{1.8V - 532mV}{750\mu A} = 1.69K\Omega \tag{5.2}$$

Un point de mesure sera aussi ajouté à la plaquette pour pouvoir déterminer le courant de polarisation du circuit intégré.

5.1.2. Partie numérique

Afin de maximiser la performance des sorties numériques du circuit intégré sous test, un registre commercial haute vitesse sera ajouté à la plaquette de test. Ce circuit présentera une faible charge aux sorties du convertisseur analogique à numérique tout en permettant de compenser les délais internes du circuit sous test en utilisant une horloge avec délai. Le schéma présentant l'architecture des registres se retrouve à la figure 5.6.

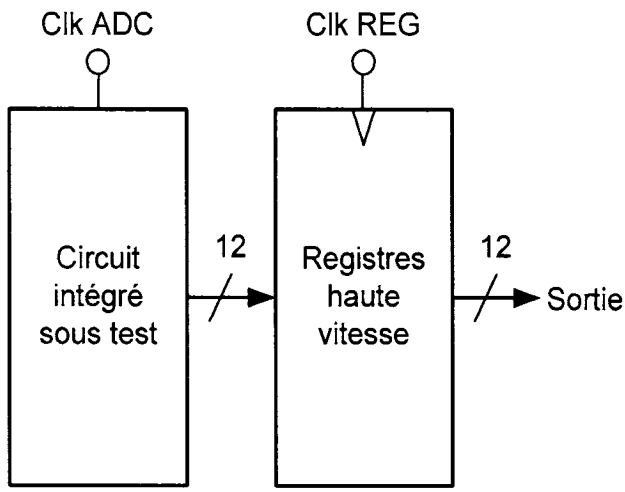


Figure 5.6 - Architecture des registres de sortie

De cette façon, il sera possible de varier le délai entre les deux horloges avec un générateur d'horloge double phase pour déterminer le meilleur point de fonctionnement. Le circuit commercial utilisé est le 74VCX16374, un registre de 16 bits pouvant opérer à 250 MHz. Les deux horloges utilisées sont bien entendu adaptées en impédance avec

une résistance de terminaison de 50Ω pour le circuit sous test et deux de 100Ω pour les registres, car ce dernier fonctionne avec deux signaux d'horloge.

5.1.3. Circuit imprimé final

La figure 5.7 montre le circuit imprimé final comprenant les circuits soudés. On peut facilement voir que la partie analogique (partie de gauche) est séparée de la partie numérique (celle de droite). Les deux plans de masse se retrouvent sous la plaquette, ainsi que la plupart des condensateurs de découplage. Il est à noter que le connecteur nommé DTEMP est branché sur une diode à l'intérieur du circuit sous test. Ceci permettra de déterminer les variations de température interne.

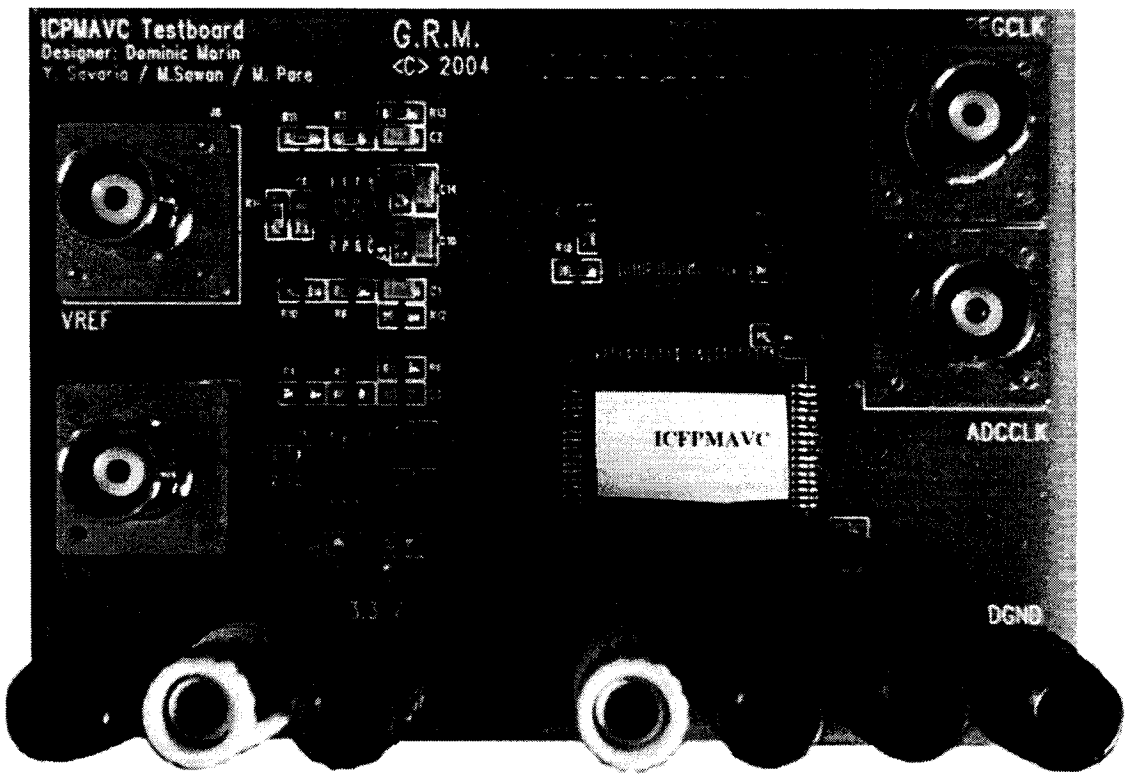


Figure 5.7 - Circuit imprimé final

5.2. Banc de test

Le banc de test est constitué de la plaquette de test ainsi que de plusieurs instruments (voir figure 5.8). Le cœur du système d'instrumentation est l'analyseur logique TLA715 qui peut contrôler tous les autres instruments. Ce dernier acquière les 12 bits de données fournis par la plaquette de test à chaque 10ns, il est synchronisé par l'horloge SYNC. Le générateur de signaux arbitraire 33250A permet de générer les signaux de calibration et le signal de caractérisation. Il peut générer une rampe précise très lente, ce qui est parfait pour déterminer le code de correction pour chaque code de sortie du convertisseur analogique à numérique. Le multimètre Keithley 2002 permet

pour sa part de faire la conversion de référence, il est un convertisseur lent mais très précis dont la précision est de l'ordre de 16 bits effectifs. Lorsque la calibration est terminée, le générateur de signaux peut générer des sinus à plus de 80 MHz sans atténuation.

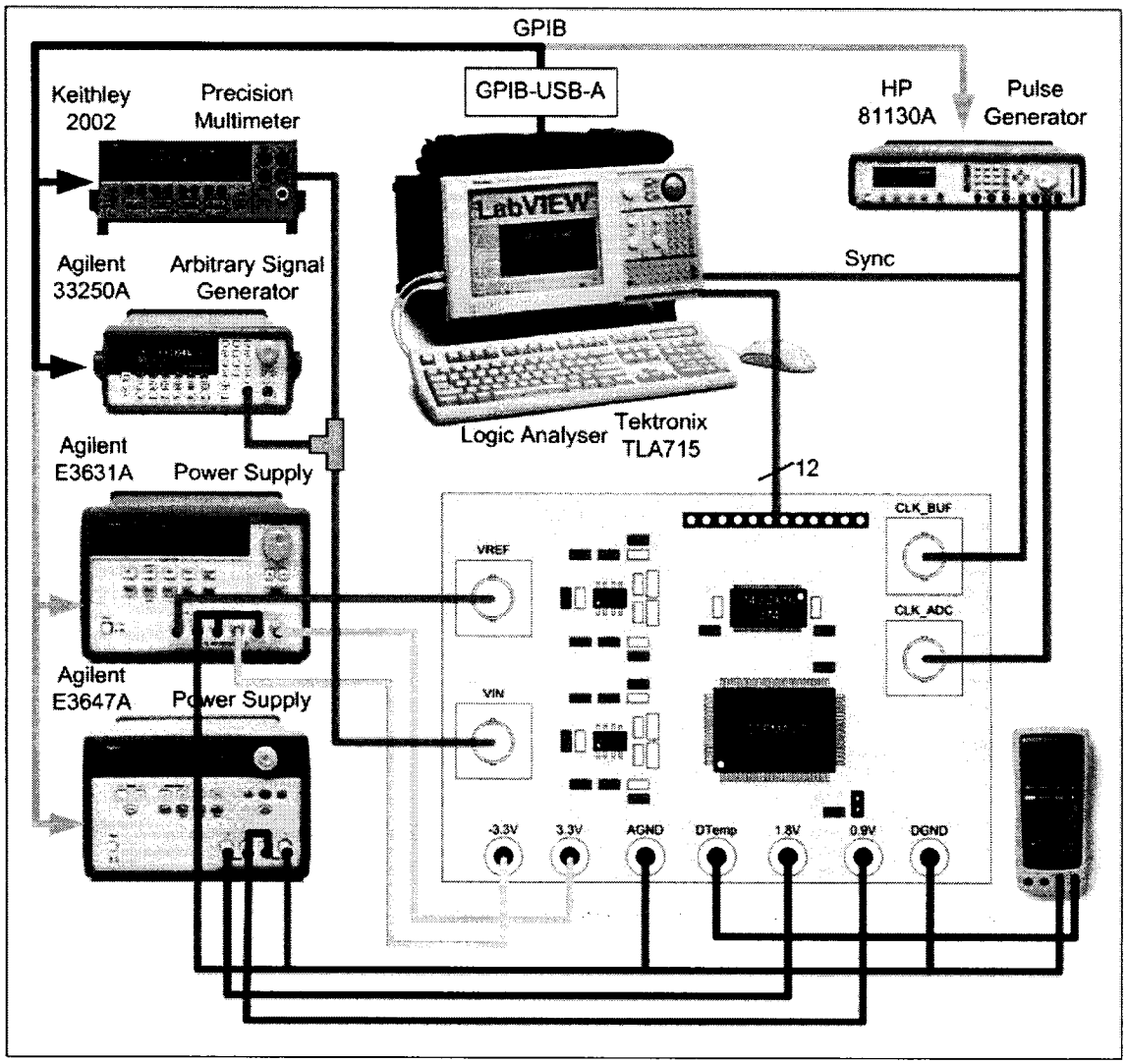


Figure 5.8 - Banc de test final

5.3. Résultats préliminaires

En vue d'effectuer le test final, il est de mise de tester la plaquette et ses composants pour s'assurer de leur bon fonctionnement et leur niveau de bruit et de distorsion.

Le premier test se fera sur les deux convertisseurs « single-ended » à différentiel. Le banc de test se résume à un générateur de signaux branché directement sur la prise BNC V_{REF} et V_{IN}, ainsi qu'a une entrée d'un oscilloscope. En formant une sonde différentielle avec deux sondes de l'oscilloscope, il sera possible de mesurer la sortie différentielle des convertisseurs. Les résultats sont transférés et traités par un PC à l'aide de matlab. Après analyse, le bon fonctionnement du convertisseur est confirmé. En effet, aucune variation de gain n'est notable sur la plage de fonctionnement du générateur de signaux (80 MHz). Ce qui est plus ardu est de déterminer le niveau de bruit et de distorsion du convertisseur. En effet, les oscilloscopes possèdent rarement plus de 8 bits de précision et tombent plus souvent qu'autrement à 6 bits de précision lorsqu'ils sont poussés à leur maximum. Aussi, le bruit numérique généré par l'acquisition est supérieur au bruit accepté par le convertisseur analogique à numérique. Il est donc supposé, sur la base des spécifications des composants utilisés (amplificateur opérationnel, condensateurs et résistances), que le bruit et la distorsion du banc de test sont acceptables et inférieurs au niveau de bruit et distorsion requis. Aussi, une attention particulière à été déployée à la vérification du mode commun du convertisseur. Ce dernier suit scrupuleusement la tension d'entrée du mode commun et permet d'affirmer que les deux convertisseurs sont fonctionnels et respectent les spécifications requises.

En guise de test de la partie numérique, un train binaire, généré par l'analyseur logique, est injecté dans les registres qui fonctionneront à 100 MHz. Le fonctionnement des registres est ainsi prouvé par l'acquisition des sorties du registre par l'analyseur logique.

Aussi, aucune corrélation n'a été observé entre l'horloge, les entrées et les sorties de la partie numérique et les signaux de sortie de la partie analogique, ce qui confirme le bon comportement des plans de masse.

Maintenant, il ne reste plus qu'à tester brièvement le convertisseur analogique à numérique en vue de commencer le test final. Malheureusement, lors de la séquence d'alimentation, les courants notés par les sources de tension de la partie analogique sont anormalement élevés. En plus, les sorties des comparateurs de chaque étage sont collées au niveau logique haut.

Par contre, la partie numérique fonctionne tel que spécifiée. En effet, la resynchronisation des étages est effectuée selon le schéma de la figure 5.9. Sachant que les comparateurs sont collés à « 1 » lorsqu'ils sont alimentés, nous pouvons les forcer à « 0 » en connectant l'alimentation analogique à la masse. Ainsi, le chronogramme présenté à la figure 5.10 montre que la partie numérique du convertisseur fonctionne correctement.

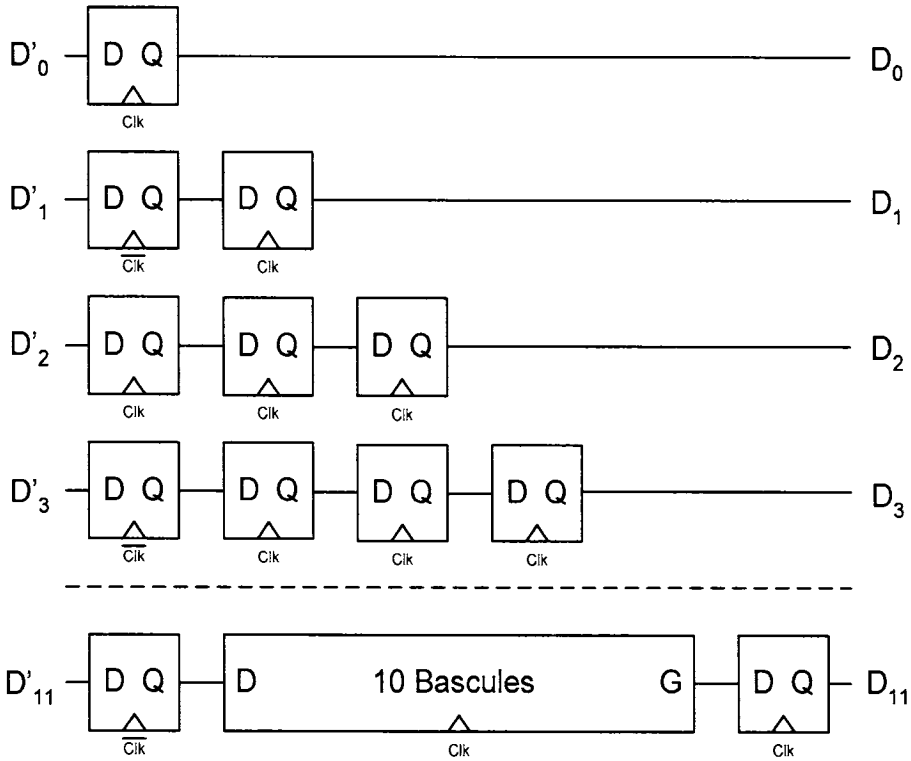


Figure 5.9 - Resynchronisation des étages pipelinés

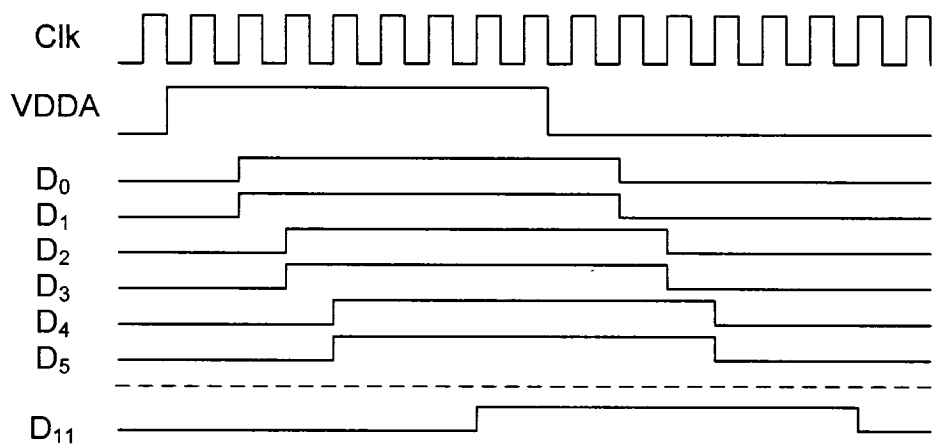
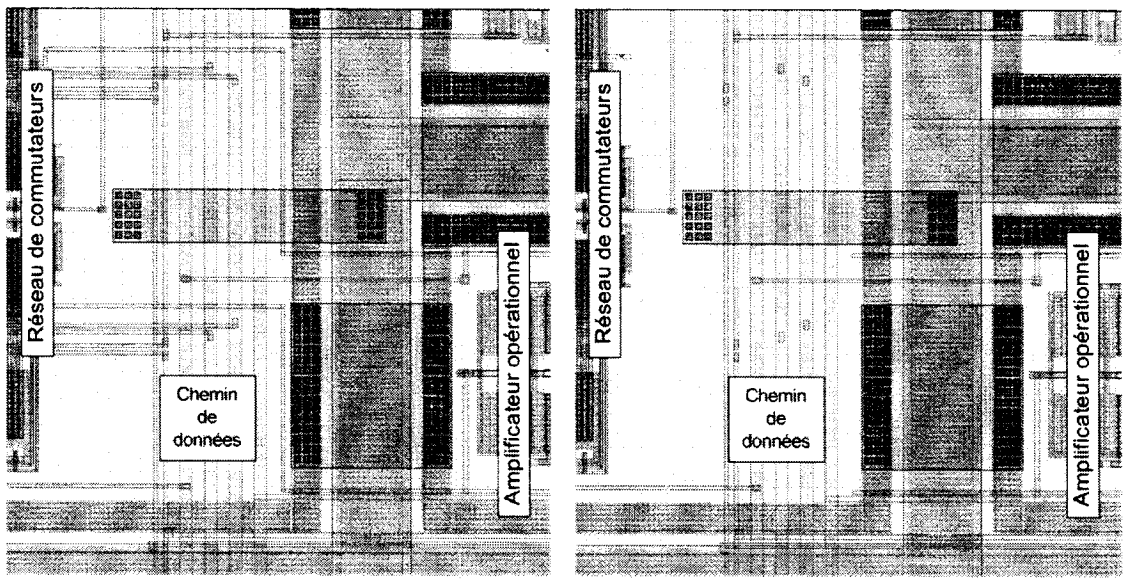


Figure 5.10 - Chronogramme du test de la partie numérique

Après plusieurs simulations, il était très clair que les entrées des amplificateurs opérationnels étaient flottantes. En effet, l'utilisation d'un microscope a montré que le réseau de condensateurs commutés était totalement déconnecté des amplificateurs opérationnels. Après avoir reconverti le fichier GDSII (fichier de fabrication envoyé à la fonderie), le problème était encore plus clair. La figure 5.11 montre la section problématique du circuit avant et après conversion GDSII.



(a) (b)

Figure 5.11 - Section problématique du dessin de masques

(a) avant conversion (b) après conversion

On voit clairement que près d'une dizaine de connexions ont été éliminées par la conversion. Donc, l'utilisation d'une couche définie non nécessaire par le convertisseur de dessin de masques à GDSII a été ciblée comme la source du problème. Cette couche (metal2 NT) a le même comportement avant conversion que la couche normalement utilisée (metal2 DG), alors il est difficile de se rendre compte de ce type d'erreur. Malheureusement, il n'existe pas de façon de régler ce problème sauf en renvoyant un nouveau fichier de fabrication pour un autre circuit intégré.

CHAPITRE VI

RÉSULTATS

Faute de résultats expérimentaux, cette section se consacrera aux simulations finales. Les simulations au niveau des transistors étant très longues, plus de 12 heures pour remplir le pipeline, il a été primordial de trouver une façon d'obtenir des résultats précis sans pour autant utiliser le simulateur Spectre de Cadence.

Ainsi, à partir des résultats obtenus par des simulations effectuées au niveau des transistors des différents circuits du convertisseur, le simulateur Monte-Carlo a été modifié. Ainsi, il tient compte maintenant des gains non linéaires de l'échantillonneur bloqueur, des étages pipelinés et de la réponse en fréquence du boîtier. Chacun des coins technologiques a été extrait pour ainsi être affectés aux plages du simulateur. Pour modéliser les gains non linéaires, les polynômes 4.7 et 4.8 trouvés aux chapitres 4 ont été utilisés. Les fonctions de transfert de chaque coin technologique ayant des formes très similaires, seule la composante du premier ordre est paramétrée aléatoirement. Tous les paramètres extraits des simulations de niveau transistor ont été obtenus pour une tension de 1.8 Volts. La plage d'entrée a été fixée à ± 600 mVolts par canal différentiel. La fréquence d'horloge a été fixée à 200 MHz; ainsi nous devons faire abstraction de la limite associée aux plots de sortie et aux broches du boîtier.

De ce simulateur Monte-Carlo, les spécifications de linéarité, INL, DNL et ENOB ont pu être extraites. Les figures 6.1 et 6.2 montrent les indices INL et DNL avant

calibration pour un exemple typique de convertisseur généré par le simulateur Monte-Carlo. Il est important de stipuler que ces figures sont référencées à 10 bits, même si le convertisseur non calibré possède 12 bits de résolution. Ainsi, un écart de plus de 13 bits de poids faible, en supposant 10 bits de résolution, sépare la fonction de transfert idéale de celle obtenue sans calibration. La figure 6.2 montre que plusieurs codes sont manquants dans ce convertisseur. En effet, lorsque l'indice DNL atteint la valeur -1, il y a nécessairement un code manquant. Le nombre effectif de bits, calculé à partir du SNR (équation 2.3), est de 6.2 bits, ainsi près de 4 bits sont inexact.

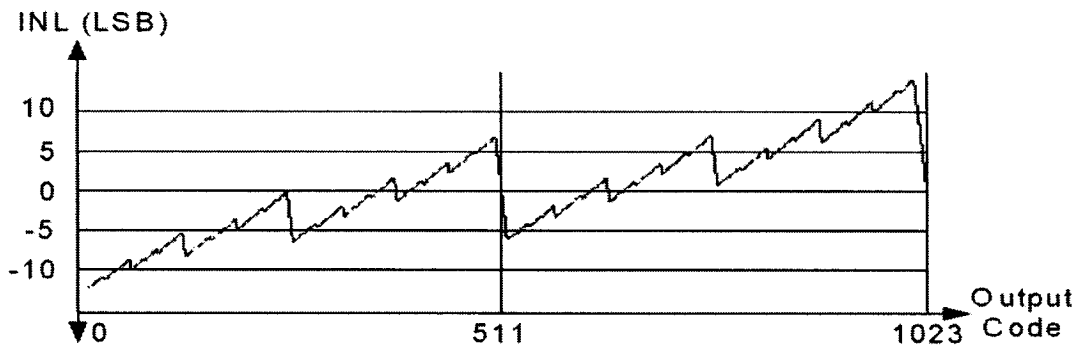


Figure 6.1 - INL avant calibration (résultat typique)

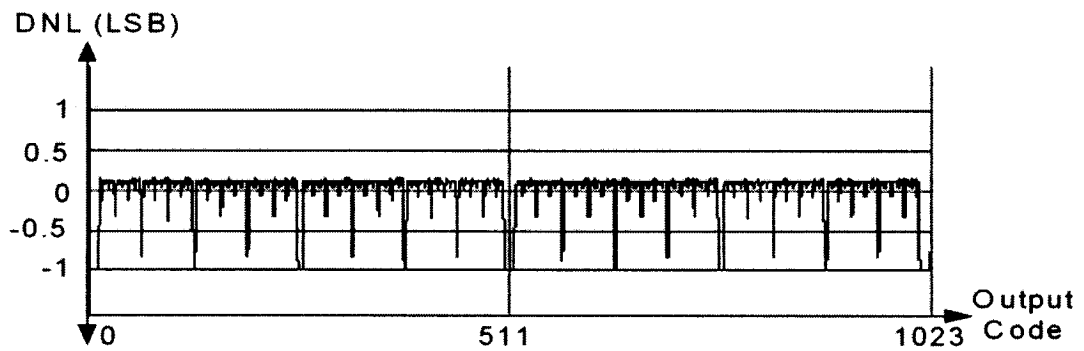


Figure 6.2 - DNL avant calibration (résultat typique)

La figure 6.3 et 6.4 présentent les indices INL et DNL après calibration. Les indices de non-linéarité intégrale et différentielle ne dépassent guerre 0.25 LSB au-dessus et en dessous de la courbe idéale. Le nombre effectif de bits du convertisseur après calibration est de 9.9 bits.

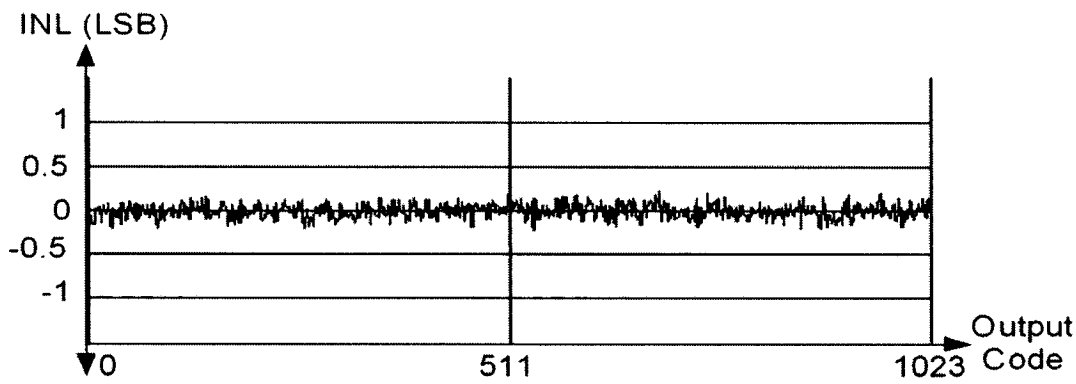


Figure 6.3 - INL après calibration (résultat typique)

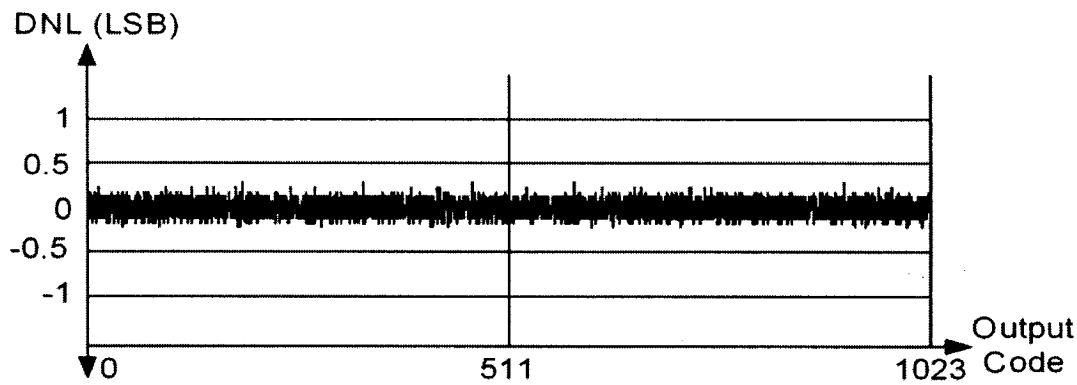


Figure 6.4 - DNL après calibration (résultat typique)

Une simulation niveau transistor de l'échantillonneur bloqueur a permis de déterminer que la bande passante du convertisseur est de l'ordre de 450 MHz pour le pire des cas.

Le tableau 6.1 résume les différents résultats obtenus de ces simulations finales. Les indices de linéarité, INL, DNL et ENOB proviennent d'une compilation de plus de 10000 simulations Monte-Carlo, les valeurs ont été extraites à 3σ.

Tableau 6.1 - Résumé des résultats des simulations

Technologies	CMOS 0.18 µm
Résolution	10 bits
Fréquence d'opération	200 MÉ/s
Surface du circuit analogique	1.1 mm^2
Surface totale estimée	2.5 mm^2
ENOB avant calibration ($f_é/2$)	6.1-6.3 Bits
ENOB après calibration ($f_é/2$)	9.8-9.9 Bits
INL après Calibration	± 0.25 LSB
DNL après Calibration	± 0.5 LSB
Bande passante	≈ 450 MHz
Plage d'entrée	1.2 Vcrête-à-crête
Tension d'alimentation analogique	1.8V
Puissance dissipée	≈ 150mW

CHAPITRE VII

CONCLUSION

Ce travail de recherche aspirait avant tout à prouver qu'il était possible de concevoir un CAN ayant les spécifications nécessaires aux applications modernes dans une technologie accessible. La revue de littérature effectuée a montré que les techniques actuelles arrivaient difficilement à atteindre ces spécifications, surtout du point de vue de la linéarité. Le problème causant cette perte de linéarité est relié aux non-idéalités des circuits analogiques telles que le mauvais mariage entre les composants, le gain fini des amplificateurs opérationnels et la distorsion provoquée par différents phénomènes.

Pour obtenir un convertisseur linéaire, plusieurs techniques peuvent être appliquées. Certaines techniques tentent de linéariser directement la partie analogique des convertisseurs. Ces techniques doivent néanmoins ajouter des circuits analogiques permettant la compensation des non-linéarités. De ce fait, la partie analogique, maintenant beaucoup plus complexe, devient inévitablement plus lente.

Ainsi, une autre technique visant à linéariser les convertisseurs dans le domaine numérique évite de toucher à la partie analogique. Par cela, il est possible de réduire la complexité de la partie analogique pour en augmenter la vitesse et ses non-linéarités tout en les compensant dans le domaine numérique. Cette technique permet d'exploiter au maximum les avantages des deux domaines.

L'architecture retenue pour ce travail, est de type pipelinée. Elle est terminée par une unité de traitement permettant la calibration numérique. Un modèle mathématique des erreurs pouvant être retrouvées dans une architecture pipelinée a été intégré à un simulateur de type Monte-Carlo. Ce simulateur permet de générer aléatoirement des convertisseurs ayant des erreurs dans une plage déterminée. Ainsi, un grand nombre de convertisseurs ont été calibrés pour déterminer les limites de cette architecture.

Par ces résultats, un prototype a été conçu et fabriqué en technologie CMOS de 180nm. Les simulations de ce prototype a permis de prouver que la partie analogique pouvait opérer à une cadence de 200 MÉ/s.

La conception de microcircuit étant très complexe et laissant place à toute sorte d'erreurs de conception possibles, la probabilité de commettre des erreurs est élevée. Entre autre, la partie numérique étant à l'extérieur du microcircuit, il est obligatoire de passer les 200MÉ/s par les plots de sortie. Malheureusement, les plots de sortie standard fournis par la CMC ne peuvent pas vraiment dépasser 135MÉ/s, même avec une faible charge. Faute de place pour paralléliser les sorties, le prototype ne peut donc atteindre les 200 MÉ/s souhaité. Aussi, un problème provenant des amplificateurs opérationnels limite la température interne de fonctionnement à 45°C ce qui est probablement trop bas pour une application commerciale. Une erreur critique et irréparable a aussi été commise dans le dessin de masque du prototype. Une mauvaise couche a été utilisée pour relier les parties analogiques entre elles. Cette couche étant effacée lors de la fabrication, les parties analogiques se sont retrouvées flottantes.

Malgré tout, les simulations au niveau des transistors, ont apportées de nombreuses donnés permettant de valider le concept avec le simulateur Monte Carlo. Ainsi, de nouvelles plages et caractéristiques non linéaires du convertisseur ont été ajoutées à ce simulateur. Les simulations montrent que la calibration permet de rendre linéaire à près de 10 bits un convertisseur pipeliné simple fonctionnant à 200MÉ/s. Néanmoins, ce travail devrait être secondé par un prototype complet et fonctionnel, car dans ce domaine, les erreurs viennent souvent là ou on les attend le moins.

Afin de rendre cette recherche plus intéressante dans le contexte industriel, il serait intéressant de modifier la technique de calibration numérique pour obtenir une calibration en arrière plan [4], [5], [7], [15], [17], [20]. Ces techniques permettent d'effectuer une calibration numérique sans pour autant affecter le fonctionnement normal du convertisseur. Ainsi, la calibration est transparente à l'usager. Aussi, pour augmenter les performances en termes de fréquence d'échantillonnage, il serait intéressant d'utiliser une technique similaire à celle de Murmann et Boser [17]. Cette technique utilise une topologie d'amplification/soustraction en boucle ouverte qui permet de réduire le temps de stabilisation d'un étage pipeliné. Le fait d'utiliser ce type de topologie amène une augmentation des non-idéalités qui peuvent être compensées par la calibration numérique.

REFERENCES

1 ANALOG DEVICES, *Using the AD813X Differential Amplifier.* Analog Devices application notes, Référence: AN-584

2 BAKER, R. Jacob, LI, Harry W., et BOYCE, David E. *CMOS Circuit Design, Layout, and Simulation.* IEEE Press Series on Microelectronic Systems. Piscataway, NJ, United Stated of America, 1997. 902p.

3 DYER, K. C., FU, D., LEWIS, Stephen H., et HURST, P. J. «An Analog Background Calibration Technique for Time-Interleaved Analog-to-Digital Converters». Solid-State Circuits, IEEE Journal of, Volume, 33, Issue: 12, December 1998.

4 EDURI, U. et MALOBERTI, F. «Online Calibration of a Nyquist-Rate Analog-to-Digital Converter Using Output Code-Density Histograms» IEEE transactions on circuit and systems, Volume: 51, Issue: 1, January 20004

5 EL-SANKARY, K. et SAWAN, M. «A New Digital Backgroung Calibration Technique For Pipelined ADC» IEEE International Symposium on Circuit and Systems ISCAS, May 2004

6 EL-SANKARY, K., KASSEM, A., CHEBLI, R. et SAWAN, M. Sawan «Low Power, 10 Bit – 50 MSPS Pipeline ADC Dedicated for Front-End Ultrasonic Receivers» 14th International Conference on Microelectronic, ICM, December 2002

7 FU, D., DYER, K. C., LEWIS, S. H. et HURST, P. J. «A Digital Background Calibration Technique for Time-Interleaved Analog-to-Digital Converters» Solid-State Circuits, IEEE Journal of, Volume: 33, Issue: 12, December 1998

8 GOES, J., VITAL, J.C., ALVES, L., FERREIRA, N., VENTURA, P., BACH, E., FRANCA, J.E. et KOCH, R. «A Low-Power 14-b 5 MS/s CMOS Pipeline ADC with Background Analog Self-Calibration ». IEEE 26rd European Solid-State Circuits Conference, Stockholm, September 2000

9 HASTINGS, Alan *The Art of Analog Layout.* Prentice Hall, 2001, 576p.

10 JEHYUK, Rhee et YOUNGJOONG, Joo « Wide dynamic range CMOS image sensor with pixel level ADC» IEEE Electronics Letters, Volume: 39, Issue: 4, February 2003

11 JOHNS, David A. et MARTIN, Ken *Analog Integrated Circuit Design.* John Wiley & Sons, 1997. 720p.

12 KARANICOLAS, A. N., LEE, H-S. et BACRANIA, K. L. «A 15-b 1-Msample/s Digitally Self-Calibrated Pipeline ADC» Solid-State Circuits, IEEE Journal of, Volume: 28, Issue: 12, December 1993

13 LEE, S-H. et SONG, B-S. «Digital-Domain Calibration of Multistep Analog-to-Digital Converters». Solid-State Circuits, IEEE Journal of, Volume, 27, Issue: 12, December 1992

14 LEWIS, S. H. et GARY, P. R. «A Pipelined 5-Msample/s 9-bit Analog-to-digital Converter». Solid-State Circuits, IEEE Journal of, Volume, SC-22, Issue: 6, December 1987

15 LIN, Y-M., KIM, B. et GRAY, P. R. «A 13-b 2.5-MHz Self-Calibrated Pipelined A/D Converter in 3-μm CMOS». Solid-State Circuits, IEEE Journal of, Volume, 26, Issue: 4, April 1991

16 MORIN, D., NORMANDIN, F., GRANDMAISON, M.-E., DANG, H., SAVARIA, Y. et SAWAN, M. «An Intellectual Property Module for Auto-Calibration of Time-Interleaved Pipelined Analog-to-Digital Converters». International Workshop on System on Chips, Banff, Canada, July 2004

17 MURMANN, Boris et BOSER, Bernhard E. *Digitally Assisted Pipeline ADCs.* Kluwer Academic Publishers, 2004. 155p.

18 POYNTON, C. *Digital Video and HDTV Algorithms and Interfaces.* Morgan Kaufmann. 1st edition, January 2003. 736p.

19 RAMUS, X. *PCB Layout for Low Distortion High-Speed ADC Drivers.* Texas Instruments, Référence: SBAA113, April 2004

20 RAVINDRAN, A., SALVA, A. et LEONARD, J. «Digital Error Correction And Calibration of Gain Non-Linearities in a Pipelined ADC » IEEE International Symposium on Circuit and Systems ISCAS, May 2004

21 SAUERBREY, J., SCHMITT-LANDSIEDEL, D. et THEWES, R. «A 0.5-V 1μW successive approximation ADC» Solid-State Circuits, IEEE Journal of, Volume: 38, Issue: 7, July 2003

22 SAVARIA,Yvon *Conception et vérification des circuits VLSI.* Édition de l'école Polytechnique de Montréal, Montréal. 1988. 416p.

23 SEDRA, Adel S., SMITH, Kenneth C. *Microelectronic Circuits.* Oxford University Press, 1998. 1237p.

24 SEUNG-CHAN, H., YOUNG-CHAN, J., SANG-HUNE, P. et HONG-JUNE P. «An 8-bit 200 MS/s CMOS folding/interpolating ADC with a reduced number of preamplifiers using an averaging technique » 15th Annual IEEE International ASIC/SOC Conference, September 2002

25 SUMANEN, L., WALTARI, M. et HALONEN, K. «A 10-bit 200-MS/s CMOS Parallel Pipeline A/D Converter» Solid-State Circuits, IEEE Journal of, Volume: 36, Issue: 7, July 2001

26 SUMANEN, L., WALTARI, M. et HALONEN, K. «Optimizing the Number of Parallel Channels and the Stage Resolution in Time Interleaved Pipeline A/D Converters» IEEE International Symposium on Circuit and Systems ISCAS, 2000

27 UYTTENHOVE, K., et STEYART, M.S.J. «A 1.8-V 6-bit 1.3-GHz flash ADC in 0.25μm CMOS» Solid-State Circuits, IEEE Journal of, Volume: 38, Issue: 7, July 2003

28 VAN DE PLASSCHE, R. *Integrated Analog-to-Digital and Digital-to-analog Converters.* Kluwer Academic Publishers. Boston, 1994. 664p.

29 WANG, C.B., ISHIZURKA, S. et LIU, B.Y. «A 113-dB DSD audio ADC using a density-modulated dithering scheme» Solid-State Circuits, IEEE Journal of, Volume: 38, Issue: 1, January 2003

30 YOTSUYANAGI, M., ETOH, T. et HIRATA, K. «10-b 50-MHz Pipelined CMOS A/D Converter with S/H». Solid-State Circuits, IEEE Journal of, Volume, 28, Issue: 3, March 1993

31 ZHENGFAN, Z., JIABIN, Z., LIN, F., HUIRAN, S. et ZHAOJI, L. «High-speed 12 bit A/D converter » Communications, Circuits and Systems and West Sino Expositions, IEEE 2002 International Conference on, Volume: 2, July 2002

ANNEXE I

Spécifications de base

Technologies	CMOS 0.18 µm
Résolution	10 bits
Fréquence d'opération	200 MÉ/s
ENOB ($f_e/2$)	> 9.5 Bits
INL après Calibration	< ± 0.5 LSB
DNL après Calibration	< ± 0.5 LSB
Tension d'alimentation analogique	1.8V

ANNEXE II

Analyse de la technique de correction des erreurs par redondance

L'analyse porte sur un convertisseur 3 bits, composé de deux étages. Le premier étant de 1.5 bits suivi par un étage de 2 bits standard. Pour un étage de 1.5 bits, la fonction de transfert doit être analysée sur 8 parties, voir figure AII.1.

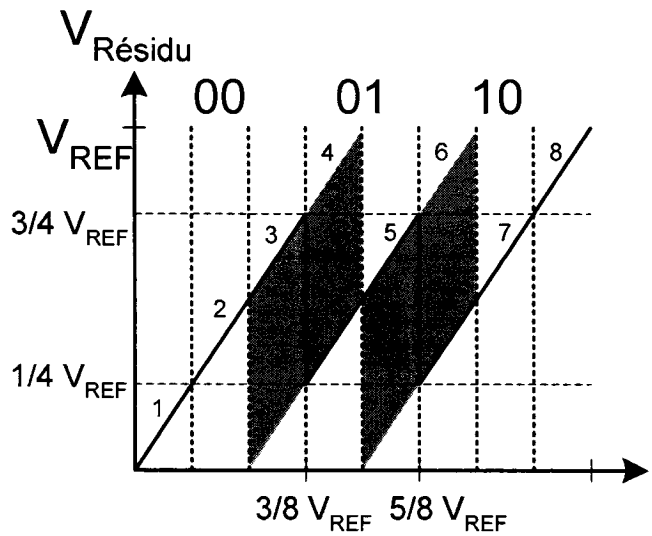


Figure AII.1 : Les 8 parties à analyser

Les régions grises représentent les zones d'incertitude concernant les tensions de décalage des comparateurs sans qu'il y ait saturation dans la fonction de transfert. Le dernier étage doit bien entendu être idéal.

Région #1 : Cette région ne peut être associée à une erreur de décalage car la zone grise n'y a pas accès. Ainsi, le premier étage obtient 00 et la sortie du dernier étage est nécessairement 00 car le résidu ne peut dépasser ¼ V_{REF}.

Étage 1	0	0	
Étage 2		0	0
Résultat	0	0	0

Le résultat est correct et ne peut être modifié par une erreur de décalage sans troncation.

Région #2 : Cette région n'est pas associée à une erreur de décalage. Ainsi, le premier étage doit nécessairement obtenir 00 avec un résidu de ½ à ¼. Par conséquent, le dernier étage (idéal) fournit 01 à sa sortie.

Étage 1	0	0	
Étage 2		0	1
Étage 1	0	0	1

Le résultat est correct et ne peut être modifié par une erreur de décalage sans troncation.

Région #3 : Cette région peut être erronée par une tension de décalage, les deux cas possibles seront considérés.

Si la tension à l'entrée n'est pas associée à une erreur, le résidu est nécessairement entre ½ et ¾ V_{REF} et le mot de sortie est 00. Le dernier étage fait sa conversion et doit nécessairement obtenir 10 puisqu'il est idéal.

Étage 1	0	0	
Étage 2		1	0
Étage 1	0	1	0

Si la tension à l'entrée est associée à une erreur, le résidu est nécessairement inférieur à ¼ V_{REF}, ce qui signifie que le premier étage obtient 01 et le dernier 00.

Étage 1	0	1	
Étage 2		0	0
Étage 1	0	1	0

La tension de décalage ne peut modifier le résultat de cette architecture car pour les deux cas le résultat est le même.

Région #4 : Cette région peut être erronée par une tension de décalage, les deux cas possibles seront considérés.

Si la tension à l'entrée n'est pas associée à une erreur, le résidu est nécessairement entre ¼ et ½ V_{REF} et le mot de sortie est 01. Le dernier étage fait sa conversion et doit nécessairement obtenir 01.

Étage 1	0	1	
Étage 2		0	1
Étage 1	0	1	1

Si la tension à l'entrée est associée à une erreur, le résidu est nécessairement supérieur à ¾ V_{REF}, ce qui signifie que le premier étage obtient 00 et le dernier 11.

Étage 1	0	0	
Étage 2		1	1
Étage 1	0	1	1

La tension de décalage ne peut modifier le résultat de cette architecture car pour les deux cas le résultat est le même.

Région #5 : Cette région peut être erronée par une tension de décalage, les deux cas possibles seront considérés.

Si la tension à l'entrée n'est pas associée à une erreur, le résidu est nécessairement entre ½ et ¾ V_{REF} et le mot de sortie est 01. Le dernier étage fait sa conversion et doit nécessairement obtenir 10.

Étage 1	0	1	
Étage 2		1	1
Étage 1	1	0	0

Si la tension à l'entrée est associée à une erreur, le résidu est nécessairement inférieur à ¼ V_{REF}, ce qui signifie que le premier étage obtient 10 et le dernier 00.

Étage 1	1	0	
Étage 2		0	0
Étage 1	1	0	0

La tension de décalage ne peut modifier le résultat de cette architecture car pour les deux cas le résultat est le même.

Région #6 : Cette région peut être erronée par une tension de décalage, les deux cas possibles seront considérés.

Si la tension à l'entrée n'est pas associée à une erreur, le résidu est nécessairement entre ¼ et ½ V_{REF} et le mot de sortie est 10. Le dernier étage fait sa conversion et doit obtenir 01.

Étage 1	1	0	
Étage 2		0	1
Étage 1	1	0	1

Si la tension à l'entrée est associée à une erreur, le résidu est nécessairement supérieur à ¾ V_{REF}, ce qui signifie que le premier étage obtient 01 et le dernier 11.

Étage 1	0	1	
Étage 2		1	1
Étage 1	1	0	1

La tension de décalage ne peut modifier le résultat de cette architecture car pour les deux cas le résultat est le même.

Région #7 : Cette région ne peut être associée à une erreur de décalage car la zone grise n'y a pas accès. Ainsi, le premier étage obtient 10 et la sortie du dernier étage est nécessairement 10 car le résidu est essentiellement entre ½ et ¾ V_{REF}.

Étage 1	1	0	
Étage 2		1	0
Résultat	1	1	0

Le résultat est correct et ne peut être modifié par une erreur de décalage sans troncation.

Région #8 : Cette région n'est pas associée à une erreur de décalage. Ainsi, le premier étage doit nécessairement obtenir 10 avec un résidu supérieur à ¾ V_{REF} Par conséquent, le dernier étage (idéal) fournit 11 à sa sortie.

Étage 1	1	0	
Étage 2		1	1
Étage 1	1	1	1

Le résultat est correct et ne peut être modifié par une erreur de décalage sans troncation

Toutes les possibilités sur la plage de conversion d'un convertisseur 3 bits ont été analysées. Les erreurs de décalage ou de référence des comparateurs n'induisent pas de faux résultat seulement s'ils ne produisent pas de saturation. Ainsi, le système est tolérant seulement pour des tensions de décalage de ±1/8 de la plage totale, la nécessité que les comparateurs des convertisseurs « Flash » soient quasi-idéals n'est donc plus applicable dans cette situation.

Cette technique ne corrige néanmoins pas les erreurs provenant du CNA des étages, des gains entre les étages, des tensions de décalage globales, des non-linéarités et distorsions des convertisseurs.