

UNIVERSITÉ DE MONTRÉAL

NOUVELLE APPROCHE DE CONCEPTION D'UN CAN PARALLÈLE 1.25-
GIGAÉCHANTILLONS/S UTILISANT LA TECHNIQUE MCML

HUNG DANG

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION
DU DIPLÔME DE MAÎTRISE ES SCIENCES APPLIQUÉES
(GÉNIE ÉLECTRIQUE)

JUIN 2005



Library and
Archives Canada

Bibliothèque et
Archives Canada

Published Heritage
Branch

Direction du
Patrimoine de l'édition

395 Wellington Street
Ottawa ON K1A 0N4
Canada

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 978-0-494-16772-4

Our file Notre référence

ISBN: 978-0-494-16772-4

NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.


Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé:

NOUVELLE APPROCHE DE CONCEPTION D'UN CAN PARALLÈLE 1.25-
GIGAÉCHANTILLONS/S UTILISANT LA TECHNIQUE MCML

présenté par: HUNG DANG

en vue de l'obtention du diplôme de: Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de:

M. AUDET Yves, Ph.D, président

M. SAWAN Mohamad, Ph.D, membre et directeur de recherche

M. SAVARIA Yvon, Ph.D, membre et co-directeur de recherche

M. BRAULT Jean-Jules, Ph.D, membre

*À mes très chers parents, qui m'ont apporté tous
leurs soutiens moral et matériel,*

*À ma famille, qui m'a toujours encouragé dans
chaque démarche de ma vie,*

À mes amis

À Minh-Nhi...

REMERCIEMENTS

Je remercie,

L'ensemble des membres du GRM, et tout particulièrement à mes deux directeurs de recherche Mohamad Sawan et Yvon Savaria pour m'avoir permis d'effectuer ma maîtrise au sein de leur équipe.

Monsieur Yves Audet et Monsieur Jean-Jules Brault d'avoir accepté de participer à l'examen de ce travail.

Mon collègue Abdel Djemouai et les stagiaires Philippe Ménard et Amine Moumain, pour leur apport dans le processus de développement.

Mes collègues du bureau D6207 pour leur sagesse et leur apport technique dans la réalisation de mon projet.

La société canadienne en microélectronique (SCM) pour la fabrication des puces.

Les Fonds sur la Nature et les Technologies du Québec (Nateq) pour l'aide financière.

RÉSUMÉ

Dans le cadre d'application radio configurable (Software Defined Radio - SDR) définie purement par logiciel, le convertisseur analogique à numérique (CAN) doit au moins atteindre une résolution de 6 bits et un taux de 1 giga échantillons par seconde (GÉPS) ou plus. L'architecture parallèle est la plus appropriée pour accéder à de tel taux d'échantillonnage. Néanmoins, elle a le défaut de consommer beaucoup de puissance.

Les objectifs de ce mémoire sont, d'une part, de réaliser avec la technologie CMOS 0.18 μm un convertisseur analogique à numérique parallèle compétitif de 6 bits fonctionnant à une cadence supérieure à 1 GÉPS, et d'autre part, de réduire la consommation de puissance à un niveau inférieur à ceux obtenus dans les travaux existants. À travers ce projet, nous analysons les différentes méthodes permettant de minimiser les tensions de décalage qui affectent la linéarité du convertisseur. Par conséquent, notre objectif est d'obtenir une non linéarité différentielle (Differential Non Linearity – DNL) et une non linéarité intégrale (Integral Non Linearity – INL) inférieures à 0.5 LSB. Nous nous concentrons aussi sur les techniques de décodage du code thermomètre au code binaire, permettant de minimiser les erreurs de conversion. Par ailleurs, une première dans ce domaine est de concevoir un convertisseur parallèle entièrement avec la technique MCML pour optimiser la cadence de conversion et réduire la consommation de puissance, qui, rappelons-le, est notre principal objectif.

Nous avons conçu, modélisé et fait fabriquer une puce dédiée pour valider nos travaux au niveau matériel. La puce fonctionne avec deux sources d'alimentation, 1.2 V et 1.8 V. Les simulations « post-layout » démontrent que le CAN opère à une fréquence maximale de 1.5 GÉPS. À la fréquence de 1.25 GÉPS, la bande passante la plus large

offerte par ce CAN est d'environ 595 MHz. Le CAN consomme 172.0 mW, ce qui représente la moitié de la consommation du CAN CMOS parallèle de 6 bits comparable le plus rapide rapporté à ce jour (1.6 GÉPS).

ABSTRACT

In order to support the popular concept of a fully software defined radio (SDR), analog to digital converters (ADC) must offer at least a 6-bit resolution at 1 gigasamples per second (GSPS) or more. The flash architecture is the most appropriate to achieve such sampling rates. Nevertheless, the architecture dissipates large amounts of power.

The objectives of this master thesis are, on the one hand, to design a competitive 6-bit flash ADC operating at a sampling rate greater than 1 GSPS when implemented with a CMOS 0.18 μm technology, and on the other hand, to reduce its power consumption below existing state of the art ADCs using MCML techniques. Throughout this project, we study various existing methods to minimize the effect of offset voltages at the preamplifier and comparator circuit levels, which adversely affect the linearity of the ADC. We therefore target a differential non linearity (DNL) and an integral non linearity (INL) below 0.5 LSB. Moreover, to minimize the conversion errors, we focus our attention on an efficient decoding scheme that is most appropriate to our design methodology.

The ADC has been designed, modeled and implemented in CMOS 0.18 μm technology to validate our work. The chip works with two supply voltages, 1.2 V and 1.8 V. Post-layout simulations show that the ADC operates at a maximum sampling rate of 1.5 GSPS. The largest bandwidth offered by this ADC is obtained at 1.25 GSPS and is 595 MHz. Its total power consumption is 172.0 mW, which is half the consumption of the fastest comparable CMOS 6-bit flash ADC reported to date (1.6 GSPS).

TABLE DES MATIÈRES

REMERCIEMENTS	v
RÉSUMÉ	vi
ABSTRACT	viii
TABLE DES MATIÈRES	ix
LISTE DES FIGURES	xiv
LISTE DES TABLEAUX	xviii
LISTE DES ABRÉVIATIONS	xx
LISTE DES SYMBOLES	xxiii
LISTE DES ANNEXES	xxvii
CHAPITRE 1 : INTRODUCTION	1
1.1. Motivation	1
1.2. Applications	2
1.2.1. Équipements de test	2
1.2.2. Système de stockage magnétique	2
1.2.3. Télécommunication radio	3
1.3. Nos objectifs	4
1.4. Organisation du mémoire	5
CHAPITRE 2 : NOTIONS SUR LES CAN	6
2.1. Introduction	6
2.2. Concepts de base	7
2.2.1. Bruit de quantification	8
2.2.1.1. Fonction de transfert	9
2.2.1.2. Rapport signal sur bruit	10
2.2.2. Critères de performance	11

2.2.2.1. Non linéarité.....	12
2.2.2.2. Nombre de bits effectifs	13
2.2.2.3. Plage dynamique exempte de parasites	13
2.2.2.4. Résolution effective de la bande passante.....	14
2.2.2.5. Taux d'erreurs de bit	14
2.3. Architectures ultra-rapides	15
2.3.1. Modèle probabiliste de la tension de décalage.....	15
2.3.2. Architecture parallèle	18
2.3.2.1. Description	18
2.3.2.2. Performance des comparateurs	19
2.3.2.3. Avantages et inconvénients.....	19
2.3.3. L'architecture interpolée (Interpolating).....	20
2.3.4. L'architecture pliée (Folding)	21
2.3.5. L'architecture à temps-entrelacé (Time-Interleaving)	22
2.4. Choix de l'architecture parallèle	22
CHAPITRE 3 : REVUE DES CANS ULTRA-RAPIDES	24
3.1. Introduction	24
3.2. Échantillonneur bloqueur (É/B)	25
3.2.1. Motivation	25
3.2.2. Approches	26
3.2.2.1. Pré-échantillonnage.....	26
3.2.2.2. Échantillonnage distribué.....	27
3.3. Moyennage « Averaging »	29
3.3.1. Motivation	29
3.3.2. Concept	30
3.3.3. Problématique	32
3.3.4. Approches et exemples	32
3.3.4.1. Approche de filtre spatial « Spatial Filter »	32
3.3.4.2. Méthode de Scholtens et Vertregt	33

3.4. « Autozeroing » de préamplificateurs	35
3.4.1. Motivation	35
3.4.2. Concept mathématique.....	36
3.4.3. Problème envisageable.....	37
3.5. Décodage et correction d'erreurs	38
3.5.1. Types d'erreurs.....	38
3.5.2. Techniques de correction de bulles	38
3.5.2.1. Décodeur Gray	38
3.5.2.2. Décodeur Q-Gray (Quasi-Gray).....	40
3.5.2.4. Décodeur en arbre « Fat Tree »	41
3.5.3. Techniques pour gérer la métastabilité	42
3.5.3.1. Pipelinage des comparateurs	42
3.5.3.2. Circuits d'arbitrage.....	43
3.6. Approches et innovations.....	44
CHAPITRE 4 : MODÉLISATION DU CAN PARALLÈLE DE 6 BITS	45
4.1. Introduction	45
4.2. Description du MCML.....	46
4.2.1. Performance MCML versus CMOS	47
4.2.2. Conception de la logique MCML	48
4.3. CAN parallèle de 6 bits	49
4.3.1. Architecture dans sa vue d'ensemble.....	49
4.3.2. Pré échantillonneur bloqueur (pré-É/B)	51
4.3.2.1. Schéma électrique et conception.....	51
4.3.2.2. Spécifications ciblées pour le pré-É/B	53
4.3.2.3. Modélisation et optimisation.....	53
4.3.2.4. Résultats de la simulation schématique.....	55
4.3.3. Préamplificateur	56
4.3.3.1. Schéma électrique et conception.....	56
4.3.3.2. Spécifications et résultats de la simulation schématique	58

4.3.4. Réseau de moyennage	58
4.3.4.1. Méthode de conception	58
4.3.4.2. Résultats de la simulation schématique.....	60
4.3.5. Comparateur MCML.....	61
4.3.5.1. Comparateur MCML versus comparateur CMOS	61
4.3.5.2. Conception	61
4.3.5.3. Spécifications et résultats de la simulation du modèle schématique.....	63
4.3.7. Échelle résistive	64
4.3.7.1. Conception	64
4.3.7.2. Résultats de la simulation du modèle schématique.....	65
4.3.8. Décodeur en arbre MCML.....	66
4.3.8.1. Conception	66
4.3.8.2. Spécifications et résultats de simulation du modèle schématique	68
4.3.9. Simulation du modèle schématique du CAN parallèle	68
CHAPITRE 5 : DESSINS DE MASQUES ET RÉSULTATS	72
5.1. Introduction	72
5.2. Dessins de masques.....	73
5.2.1. Précautions pour minimiser les éléments parasites.....	73
5.2.2. Principes de dessins pour réduire le mésappariement.....	75
5.2.3. Astuces et principes de dessins pour minimiser le bruit	76
5.2.4. Autres astuces.....	79
5.2.5. Deep-N-Well et résistance métallique	81
5.3. Résultats des simulations post-layout	82
5.4. Banc de test	86
5.5. Résultats expérimentaux	88
5.6. Comparaison des performances	91
CHAPITRE 6 : CONCLUSION	92
6.1. Travaux futurs	94
RÉFÉRENCES.....	95

ANNEXES	103
---------------	-----

LISTE DES FIGURES

Figure 1.1. Diagrammes blocs typiques pour des architectures de (a) récepteur hétérodyne et de (b) concept du radio configurable.....	4
Figure 2.1. Effet du bruit de quantification sur un signal échantillonné.....	8
Figure 2.2. CAN idéal : (a) Fonction de transfert, (b) erreur de quantification associée...	9
Figure 2.3. Principe de sur-échantillonnage.....	11
Figure 2.4. Illustration des non-linéarités (DNL et INL) des CAN.	12
Figure 2.5. Analyse spectrale et SFDR	14
Figure 2.6. Paire différentielle affichant une tension de décalage (V_{offset}).	15
Figure 2.7. Distribution gaussienne du V_{ref} résultant.....	17
Figure 2.8. Architecture du convertisseur parallèle.	18
Figure 2.9. Architecture du convertisseur : (a) parallèle, (b) interpolé.....	20
Figure 2.10. Architecture du convertisseur (a) parallèle, (b) pliée [16].....	21
Figure 2.11. Architecture du convertisseur à temps-entrelacé.	22
Figure 3.1. Exemple d'occurrence d'une bulle dans un code thermomètre (CT).	25
Figure 3.2. Couplage capacitif entre V_{IN} et l'échelle résistive.	26
Figure 3.3. Pré-échantillonnage utilisant un pré-É/B différentiel [6, 42].	27
Figure 3.4. É/B distribués a) à l'entrée du CAN et, b) derrière la rangée de préamplificateurs.....	28
Figure 3.5. Étage de préamplificateurs d'un CAN flash employant la technique de moyennage.	30
Figure 3.6. Fonctions de transfert des préamplificateurs du réseau de moyennage.....	30
Figure 3.7. Effet de bordure dans le réseau de moyennage.	32
Figure 3.8. Réseau de moyennage et terminaison proposé par H. Pan [41].	33

Figure 3.9. Réseau de moyennage et terminaison proposé par Scholtens et Vertregt [56].	34
Figure 3.10. Préamplificateur avec le principe « autozeroing ».	35
Figure 3.11. La réponse transitoire a) d'un préamplificateur classique, et b) d'un préamplificateur avec « autozeroing ».	36
Figure 3.12. Décodeur Gray conçu via un décodeur 1-parmi-N et un circuit ROM.	39
Figure 3.13. Décodeur en arbre.	42
Figure 3.14. a) Circuit d'arbitrage différentiel [49], et sa b) réponse transitoire.	43
Figure 4.1. Diagramme MCML illustrant (a) sa structure de base, et (b) son circuit à verrou (Latch).	46
Figure 4.2. Conception de la $F = A \oplus B \oplus C$ en logique MCML : (a) à partir du BDD, (b) schéma électrique correspondant.	48
Figure 4.3. Schéma simplifié du CAN parallèle de 6 bits conçu en partie avec les circuits MCML.	50
Figure 4.4. Illustration du pré-É/B : (a) au niveau schématique, (b) circuit RC équivalent, excluant les tampons de sortie, (c) valeur des principaux paramètres.	51
Figure 4.5. Variation de la valeur de R_{on-S1} du PMOS en fonction de V_{IN+} .	54
Figure 4.6. Performances dynamiques en SNDR et SFDR du pré-É/B à $F_s = 1.6$ GÉPS.	55
Figure 4.7. Schéma électrique du préamplificateur différentiel.	56
Figure 4.8. Réseau de moyennage du CAN avec l'ajout de R_{comp} .	59
Figure 4.9. Schéma électrique du comparateur MCML.	61
Figure 4.10. Variations transitoires des niveaux de référence, lorsque $F_s = 1.6$ GÉPS et $F_{IN} = 100$ MHz, dans le cas de (a) $R = 10 \Omega$, et (b) $R = 1 \Omega$.	65
Figure 4.11. Schéma électrique de la porte (a) OU MCML à 2 entrées, (b) ET MCML à 3 entrées, et (c) XOR MCML à 2 entrées, combinée à la structure de circuit à verrou.	67
Figure 4.12. La performance dynamique du CAN en SNDR et en SFDR pour $F_s = 1.4$ GÉPS, simulées avec $\sigma V_{offset-total} = 5$ mV et $\sigma V_{offset-préamp} = 3.8$ mV.	71

Figure 4.13. Performance dynamique du CAN en fonction de F_s , simulée avec $\sigma V_{offset-total} = 5$ mV et $\sigma V_{offset-préamp} = 3.8$ mV.	71
Figure 5.1. Dessin de masques d'un transistor avec rapport W/L élevé (a) en une pièce, (b) séparé en $n = 3$ unités parallèles.	74
Figure 5.2. Dessin de masques d'un contact à un transistor formé (a) d'un seul contact, (b) d'un grand nombre de contacts.	74
Figure 5.3. Configuration de centroïde commun de type « ABBA », pour contrer la variation due aux gradients.	75
Figure 5.4. Configuration de centroïde commun de type « ABBA » avec la présence de « dummies ».	76
Figure 5.5. Anneau de garde (a) section analogique dopée p^+ , b) section numérique offrant une double protection, dopée de p^+ et n^+	77
Figure 5.6. Séparation des alimentations et de la masse entre la section analogique et la section numérique, et entre les anneaux de gardes.	78
Figure 5.7. Techniques de dessins employées pour minimiser le couplage diaphonique (a) en distançant le plus possible deux traces parallèles, (b) en échangeant les couches de métal.	79
Figure 5.8. Échelle résistive (a) connexion linéaire qui génère des complications au niveau du routage dans le plan de masques, et (b) connexion pliée qui facilite le routage dans le plan de masques.	80
Figure 5.9. Routage des signaux d'horloge permettant le biais positif.	81
Figure 5.10. La performance dynamique du CAN en SNDR et en SFDR pour $F_s = 1.25$ GÉPS, simulée au niveau post-layout.	83
Figure 5.11. Performance dynamique du CAN en fonction de F_s , simulée au niveau post-layout dans les coins de procédés (a) TT, (b) SS, (c) SF, (d) FS, et (e) FF.	86
Figure 5.12. Carte de test CFP80TF fournie par la CMC.	87
Figure 5.13. Configuration du banc de test du CAN.	88
Figure 5.14. Erreur de connexion des liaisons électriques (a) au niveau de la puce après la fabrication, (b) au niveau du plan de masques.	89

Figure 5.15. Passage du courant DC à travers les grilles des transistors de l'inverseur à l'entrée du tampon d'horloge.	90
Figure A.1. Circuit équivalent du préamplificateur différentiel.	104
Figure B.1. Exemple d'un modèle d'échantillonnage.	108
Figure C.1. Circuit équivalent du préamplificateur différentiel.	110
Figure D.1. Circuit du préamplificateur différentiel.	113
Figure E.1. Portion régénérative du circuit à verrou MCML.	115
Figure G.1. Illustration de la linéarité du CAN parallèle de 6 bits, avec $\sigma V_{\text{offset-total}} = 5$ mV et $\sigma V_{\text{offset-préamp}} = 3.8$ mV, avec moyennage (a) DNL, (b) INL.	121
Figure G.2. Illustration de la linéarité du CAN parallèle de 6 bits, avec $\sigma V_{\text{offset-total}} = 5$ mV et $\sigma V_{\text{offset-préamp}} = 3.8$ mV, sans moyennage (a) DNL, (b) INL.	122
Figure G.3. Analyse spectrale du CAN, avec $\sigma V_{\text{offset-total}} = 5$ mV et $\sigma V_{\text{offset-préamp}} = 3.8$ mV, pour $F_s = 1.4$ GÉPS et (a) $F_{\text{IN}} = 11$ MHz, et (b) $F_{\text{IN}} = 650$ MHz respectivement.	123
Figure H.1. Plan de masques de la puce entière, illustrant le CAN parallèle de 6 bits et des modules servant à la testabilité.	125
Figure I.1. Circuit interne du tampon d'horloge mixte, CMOS et MCML.	127
Figure J.1. Circuit interne du décimateur, réduisant la fréquence d'échantillonnage par un facteur de 8.	129
Figure K.1. Circuit interne du tampon de sortie.	130

LISTE DES TABLEAUX

Tableau 2.1. Classes d'architectures.	7
Tableau 2.2. Résultats de l'intégrale donnés par l'équation (2.16) pour différentes valeurs de « k ».	17
Tableau 3.1. Représentation du code thermomètre et sa correspondance en codes binaire, Gray et Q-Gray respectivement.	39
Tableau 3.2. Corrections d'erreurs obtenues par les décodeurs binaires, Gray et Q-Gray en fonction de l'ordre de bulles dans le code CT.	40
Tableau 3.3. Conversion (a) binaire en Q-Gray, et (b) Q-Gray en binaire.	40
Tableau 3.4. Résumé des résultats du décodeur en arbre versus ceux du décodeur ROM de 6 bits, conçus avec la technologie CMOS18 [7].	41
Tableau 4.1. Spécifications ciblées pour le CAN parallèle.	50
Tableau 4.2. Spécifications ciblées pour le pré É/B.	53
Tableau 4.3. Résultats obtenus de la simulation schématique du pré-É/B.	55
Tableau 4.4. Spécifications ciblées et résultats de simulation d'un modèle schématique du préamplificateur.	58
Tableau 4.5. Spécifications ciblées et résultats de la simulation du modèle schématique du comparateur MCML.	64
Tableau 4.6. Comparaison des résultats de simulation schématique de l'échelle résistive pour $R = 1 \Omega$ et $R = 10 \Omega$	66
Tableau 4.7. Spécifications ciblées et résultats de simulation du modèle schématique du décodeur en arbre MCML.	68
Tableau 4.8. Résultats de la simulation schématique pour le CAN parallèle de 6 bits, simulé avec $\sigma V_{offset-total} = 5 \text{ mV}$ et $\sigma V_{offset-préamp} = 3.8 \text{ mV}$	70

Tableau 5.1. Résultats de la simulation post-layout pour le CAN parallèle de 6 bits, simulés sans $\sigma V_{\text{offset-total}}$ et $\sigma V_{\text{offset-préamp}}$	83
Tableau 5.2. Valeurs des résistances de l'échelle résistive compilées sur 3 puces.....	91
Tableau 5.4. Comparaison des performances du CAN avec certains travaux sur des CAN implémentés en technologie CMOS 0.18 μm	91
Tableau B.1. Variation de l'amplitude du circuit É/B (V_{out}) en fonction du temps.....	108

LISTE DES ABRÉVIATIONS

BB	Fréquence de base « Base-Band frequency »
BDD	Diagramme de décision binaire « Binary Decision Diagram »
BER	Taux d'erreur de bit « Bit Error Rate »
CAN	Convertisseur Analogique à Numérique
CFP80TF	Carte de test pour les boîtiers de type CFP80, fournie par la CMC
CK	Horloge d'échantillonnage du convertisseur
CKN	Horloge d'échantillonnage du convertisseur, déphasée de 180° par rapport à CK
CMC	« Canadian Microelectronics Corporation »
CMOS	« Complementary Metal Oxyde Semiconductor »
CT	Code thermomètre
DNL	Non linéarité différentielle « Differential Non-Linearity »
DSP	« Digital Signal Processing »
É/B	Échantillonneur bloqueur
ENOB	Nombre de bits effectifs « Effective Number Of Bit »
ERBW	Résolution effective de la bande passante « Effective Resolution Bandwidth »
ESD	Décharge électrostatique « Electrostatic discharge »
FF	Simulation limite dans le coin « fast-fast »

FS	Simulation limite dans le coin « fast-slow »
GÉPS	Giga échantillons par seconde
IF	Fréquence intermédiaire « Intermediate Frequency »
INL	Non linéarité intégrale « Integral Non-Linearity »
LSB	Bit le moins significatif « Least Significant Bit »
M3	Couche de métal du 3 ^e niveau de la technologie CMOS 0.18 μm
MCML	« MOS Current Mode Logic »
MSB	« Bit le plus significatif « Most Significant Bit »
NMOS	« Channel-N Metal Oxyde Semiconductor »
PDN	Réseau de rappel vers le niveau bas « Pull-down Network »
PMOS	« Channel-P Metal Oxyde Semiconductor »
PUN	Réseau de rappel vers le niveau haut « Pull-up Network »
RF	Radio Fréquence
ROM	« Read-Only-Memory »
SCM	Société Canadienne de Microélectronique
SDR	« Software-Defined-Radio »
SF	Simulation limite dans le coin « slow-fast »
SFDR	Plage dynamique exempte de parasites « Spurious Free Dynamic Range »
SNDR	Rapport signal sur bruit et distorsion « Signal to Noise and Distortion Ratio »
SNR	Rapport signal sur bruit « Signal to Noise Ratio »
SOC	« System-on-Chip »
SS	Simulation limite dans le coin « slow-slow »

TSMC « Taiwan Semiconductor Manufacturing Company »

LISTE DES SYMBOLES

β	Transconductance
μ	Constante de mobilité des électrons dans le silicium (Si)
$\sigma(\Delta\beta/\beta)$	Déviatiion standard du désappariement entre les transistors d'une paire différentielle, causé par l'effet de β (%)
$\sigma(\Delta V_T)$	Déviatiion standard du désappariement entre les transistors d'une paire différentielle, causé par l'effet de V_T (V)
τ_{CMOS}	Délai dans une porte CMOS (s)
τ_{MCML}	Délai dans une porte MCML (s)
ΔV	Différence de potentiel entre V_{IN} et V_{ref} du préamplificateur (V)
σV_{offset}	Déviatiion standard de la tension de décalage (V)
ΔV_{out}	Dynamique des transitions des sorties du décodeur MCML (V)
A_β	Coefficient de mésappariement du β par unité de surface de la grille ($\% \cdot \mu\text{m}$)
$A_{\text{préamp}}$	Gain DC du préamplificateur (V/V)
$A_{\text{préamp-com}}$	Gain DC du comparateur (V/V)
A_{V_T}	Coefficient de mésappariement du V_T par unité de surface de la grille ($\text{V} \cdot \mu\text{m}$)
C_{db}	Capacité de déplétion au drain d'un transistor (fF)
C_{H}	Capacité de charge à l'entrée du pré É/B (fF)
C_{ox}	Capacité de grille par unité de surface (F/m^2)
C_{P}	Capacités parasites (F)

C_{sb}	Capacité de déplétion à la source d'un transistor (fF)
D_{LSB}	Distorsion de l'échelle résistive exprimée en LSB
E_Q	Erreur de quantification
F_{3dB}	Fréquence de coupure ou bande passante (Hz)
$F_{3dB-com}$	Bande passante du comparateur MCML à l'échantillonnage (Hz)
$F_{3dB-É/B}$	Fréquence de coupure ou bande passante de l'échantillonneur bloqueur (Hz)
$F_{3dB-É/B}$	Fréquence de coupure ou bande passante de l'échantillonneur bloqueur (Hz)
$F_{3dB-échantillonnage}$	Bande passante du circuit commuté à l'entrée du pré É/B (Hz)
$F_{3dB-préamp}$	Bande passante du préamplificateur (Hz)
$F_{3dB-préamp}$	Bande passante d'un préamplificateur (Hz)
$F_{3dB-tampon}$	Bande passante du transistor M_{tampon} du pré É/B (Hz)
f_{CK}	Fréquence des signaux d'horloge CK et CKN (Hz)
F_{IN}	Fréquence d'entrée (Hz)
F_N	Taux de Nyquist (Hz)
F_s	Fréquence d'échantillonnage (Hz)
F_{s-max}	Fréquence d'échantillonnage limite du CAN (Hz)
$g_{m-tampon}$	Transconductance de M_{tampon} (mA/V)
$G_{préamp}$	Gain du préamplificateur obtenu à la fin de la période d'échantillonnage T_s (V/V)
G_{tampon}	Gain DC du transistor M_{tampon} à l'intérieur du pré É/B (V/V)
I_{SS}	Courant de commande de la paire différentielle (A)
L	Longueur de grille d'un transistor MOS (μm)

M_{tampon}	Transistor de tampon de sortie du pré É/B
N	Résolution en nombre de bits
P_C	Nombre de préamplificateurs en couplage ou de préamplificateurs excédentaires « dummies » dans le réseau de moyennage
P_{CMOS}	Dissipation de la puissance dynamique des portes MCML (mW)
P_M	Probabilité d'observer la métastabilité
P_{MCML}	Dissipation de la puissance statique des portes MCML (mW)
R_0	Résistance de charge du préamplificateur (Ω)
R_1	Résistance latérale servant à construire le réseau de moyennage (Ω)
R_{comp}	Résistance de compensation du réseau de moyennage (Ω)
$R_{\text{on-S1}}$	Valeur de la résistance commutée du transistor S1 (Ω)
R_T	Résistance de terminaison dans le réseau de moyennage (Ω)
S_1	Transistor commuté de type P situé à l'entrée du pré É/B
S_{dummy}	Transistor factice du pré É/B
T_S	Période d'échantillonnage (s)
V_{DD}	Tension d'alimentation (V)
V_{eff}	Tension de saturation d'un transistor (V)
$V_{\text{eff-préamp}}$	Tension de saturation des transistors de la paire différentielle (V)
V_{gs}	Différence de potentiel entre la grille et la source du transistor (V)
V_{id}	Étendue de la plage d'entrée du préamplificateur (V)
V_{IN}	Signal d'entrée (V)
V_{IN-}	Signal d'entrée V_{IN} déphasé de 180° (V)
V_{IN+}	Signal d'entrée V_{IN} non déphasé (V)

V_{IN-CM}	Tension commune de V_{IN} à l'entrée du CAN (V)
V_{IN-dyn}	Plage dynamique de la tension d'entrée V_{IN} (V)
V_{LSB}	Différence de potentiel correspondant à 1 LSB (V)
V_{offset}	Tension de décalage (V)
V_{ref}	Tension de référence d'une paire différentielle (V)
V_T	Tension de seuil (V)
W	Largeur de grille d'un transistor MOS (μm)

LISTE DES ANNEXES

ANNEXE A : TRANSISTOR TAMPON DU PRÉ É/B.....	104
ANNEXE B : ÉCHANTILLONNAGE DU PRÉ É/B.....	107
ANNEXE C : BANDE PASSANTE ($F_{3dB\text{-préamp}}$) DU PRÉAMPLIFICATEUR	110
ANNEXE D : RÉSEAU DE MOYENNAGE.....	112
ANNEXE E : COMPAREUR MCML	115
ANNEXE F : SCRIPT MATLAB	117
ANNEXE G : COURBES OBTENUES DES SIMULATIONS SCHÉMATIQUES....	120
ANNEXE H : DESSIN DE MASQUES DU CAN PARALLÈLE DE 6 BITS	124
ANNEXE I : TAMPON D'HORLOGE	126
ANNEXE J : LE DÉCIMATEUR	128
ANNEXE K : LE TAMPON DE SORTIE.....	130

CHAPITRE 1

INTRODUCTION

1.1. MOTIVATION

L'univers est majoritairement analogique et le traitement de l'information en découlant est essentiellement numérique. Le passage de l'un à l'autre nécessite une approche plutôt élaborée, tenant compte des différents aspects d'une telle transformation. Toutefois, qu'est-ce qui motive une telle conversion? Et quel est le moyen par lequel cette conversion se fait ?

Pour répondre à la première question, la transmission par voies numériques est plus avantageuse que par voies analogiques. En effet, ces voies sont plus résistantes aux perturbations dans un environnement bruyant et aux atténuations sur de longues distances de transmission [33]. De plus, la transmission numérique donne lieu à des traitements avancés permettant d'améliorer la qualité et la sécurité de l'information par des techniques de correction d'erreurs et d'encryption. Ainsi, le traitement numérique reste une nécessité pour les nombreux avantages listés ci-haut.

Pour la deuxième question, elle introduit le fondement même du sujet de ce mémoire : les convertisseurs analogiques numériques (CAN). En effet, hors de toutes

surprises, la conversion analogique à numérique se fait à l'aide des circuits microélectroniques dédiés que sont les CAN. Ils agissent comme des éléments clés dans plusieurs domaines d'applications : équipements de mesures et de tests, systèmes de stockage à support magnétique, et télécommunication radio.

1.2. APPLICATIONS

1.2.1. Équipements de test

Dans le monde des équipements de mesures et de test, les CAN sont utilisés pour numériser les signaux sortant du module de test, pour les stocker dans un tampon local ou disque rigide servant à l'acquisition de données ou encore à l'affichage sur un écran. Des exemples de tels équipements sont : les analyseurs logiques, les oscilloscopes et les analyseurs de spectre. Les oscilloscopes numériques et les analyseurs logiques les plus performants à ce jour utilisent typiquement des CAN de 8 bits implémentés avec la technologie bipolaire ou Arsenic de Gallium (GaAs). Ces CAN opèrent généralement à quelques giga échantillons par seconde (GÉPS). Jusqu'à nos jours, ces technologies offrent des performances inégalées en termes de rapidité en comparaison avec la technologie CMOS. Toutefois, les CAN conçus consomment énormément de puissance, ce qui limite l'étendue de leurs applications. Alors que l'aspect de consommation est peu critique dans le domaine des équipements de test, il est d'une importance fondamentale dans des projets de systèmes sans fil les plus ambitieux.

1.2.2. Système de stockage magnétique

En 2001, les systèmes de stockages à support magnétique pour disques rigides à grandes densités nécessitaient des CAN ayant une précision de 6 bits et un taux de conversion supérieur à 1 GÉPS afin de permettre une lecture efficace du canal d'entrée [2]. Il est prévu que ce taux de conversion augmentera en parallèle avec la croissance de la densité de stockage dans les années à venir. Dans cette optique, non seulement le CAN doit être rapide, mais il doit aussi avoir une basse consommation en puissance,

plus particulièrement en ce qui a trait au développement des disques rigides dédiés aux ordinateurs portables. Ainsi, il est clair que les CAN rapides à forte consommation destinés aux équipements de test ne sont pas pertinents dans ce cadre d'application.

1.2.3. Télécommunication radio

Dans un autre ordre d'idées, les innovations techniques de plus en plus développées dans le monde des CAN ont permis de frayer un chemin dans le progrès du monde de la communication numérique, plus particulièrement les récepteurs pour ondes radar [33]. Il existe plusieurs types d'architectures de récepteurs radios, qui sont : le récepteur hétérodyne, le récepteur homodyne, le récepteur « low-IF » et bien d'autres [57]. La plus connue étant certainement le récepteur hétérodyne, illustré à la Figure 1.1a. Cette architecture opère dans 3 paliers de fréquences, soit : le niveau des radio fréquences (Radio Frequency – RF), le niveau de fréquence intermédiaire (Intermediate Frequency - IF) et le niveau bande de base (BB). Toutefois, l'architecture est d'une complexité accablante, et par conséquent, très demandant en terme de consommation de puissance.

Le concept radio configurable souvent appelée radio définie par logiciel (Software Defined Radio - SDR) a été élaboré dans le but de s'adapter aux différentes normes de communication sans fils qui existent à travers le monde. Les systèmes radio découlant du concept doivent être flexibles et reprogrammables. Les systèmes SDR dits à conversion directe sont une classe de systèmes qui visent une flexibilité maximale. Pour ce faire, le récepteur radio doit directement numériser le signal RF à la sortie de l'antenne de réception pour permettre aux logiciels ou modules de traitement numérique de signaux (DSP : « digital signal processing ») de traiter numériquement le signal en question, et de reprogrammer le récepteur sur une autre fréquence de porteuse d'intérêt à tout moment. Ultimement, ce système radio configurable ne nécessite qu'un seul CAN, comme illustré à la Figure 1.1b. À l'opposé du récepteur hétérodyne, il doit aussi être très rapide afin d'échantillonner le signal RF. Sa consommation en puissance doit être

minimisée pour satisfaire au critère de portabilité. En somme, le concept SDR requiert un CAN extrêmement performant.

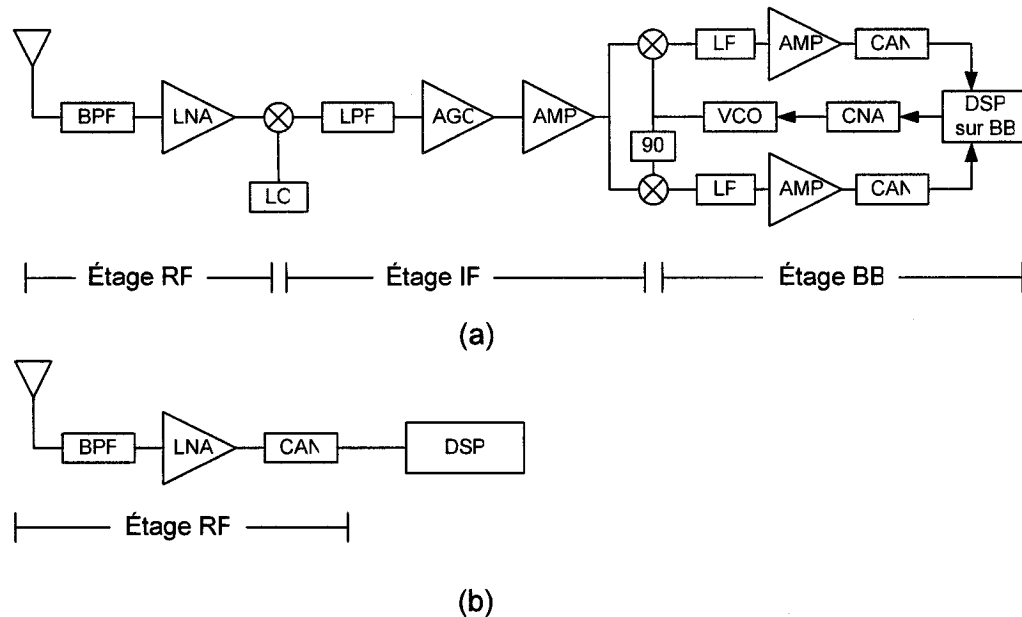


Figure 1.1. Diagrammes blocs typiques pour des architectures de (a) récepteur hétérodyne et de (b) concept du radio configurable.

1.3. NOS OBJECTIFS

L'objectif principal de ce mémoire est de concevoir un CAN de type parallèle (flash) à basse consommation, ultra-rapide et avec un taux d'échantillonnage supérieur à 1 GÉPS, adapté pour des applications SDR. Toutefois, il y a un compromis entre le taux d'échantillonnage et la résolution du CAN. Ainsi, plus le CAN est rapide, moins il est précis et vice et versa. Par conséquent, nous visons une précision de 6 bits, et nous limitons son application dans le domaine de la détection de signaux radios. Cette application exige une faible consommation de puissance, ce qui est un critère essentiel et même primordial dans ce cas. À cette fin, nous examinerons la technique de conception « MOS Current Mode Logic » (MCML) pour réduire la consommation en énergie du CAN.

1.4. ORGANISATION DU MÉMOIRE

Le restant du mémoire sera réparti en cinq chapitres. Les notions introductives des CAN ultra-rapides sont introduites dans le chapitre 2. Nous présenterons le bruit de quantification, ainsi que les critères essentiels de performances se rattachant à ces CAN. De plus, nous mettrons l'accent sur les architectures ultra-rapides telles que l'architecture parallèle, l'architecture interpolée (interpolating), l'architecture pliée (folding) et celle à temps-entrelacé (time-interleaving).

La revue de littérature des CAN ultra-rapides fait l'objet du chapitre 3. Nous nous axerons sur la nécessité d'utiliser un échantillonneur bloqueur (É/B). De même, nous introduirons la technique dite de moyennage (averaging). Aussi, nous mettrons en évidence les techniques récentes de décodage et de correction d'erreurs.

Au chapitre 4, qui porte sur la conception du CAN parallèle, nous modélisons ce CAN et nous discutons l'innovation apportée au CAN parallèle. Nous discuterons notamment des circuits MCML, et nous y présenterons des résultats de simulations au niveau schématique.

Le chapitre 5 est consacré aux considérations pratiques pour les dessins de masques ainsi que les résultats « post-layout ». Les résultats de test de la puce fabriquée compléteront le chapitre. Nous terminons le mémoire avec nos conclusions présentées au chapitre 6.

CHAPITRE 2

Notions sur les convertisseurs analogiques numériques

2.1. INTRODUCTION

Il existe deux principales catégories de CAN: les CAN à taux de Nyquist (Nyquist-rate converters) et les CAN à sur-échantillonnage (oversampling converters). En théorie, les CAN de la première catégorie sont ceux pour lesquels la fréquence d'échantillonnage (F_s) coïncide avec le taux de Nyquist (F_N) du CAN, *i.e.* $F_N = 2F_{IN-max}$ où F_{IN-max} est la fréquence maximale du signal d'entrée. La théorie entourant les CAN est très riche, voire même complexe, de telle sorte qu'il est difficile de faire une revue complète sur le sujet. Dans ce présent chapitre, nous examinons les concepts de base des CAN ainsi que leurs critères de performance. Nous présenterons principalement les CAN à taux de Nyquist, et en particulier les architectures rapides telles que les architectures parallèle, interpolée (interpolating), pliée (folding) et à temps-entrelacé (time-interleaved), résumées au Tableau 2.1.

Tableau 2.1. Classes d'architectures.

Catégorie de convertisseurs	Vitesse faible, Grande précision (14-20 bits)	Vitesse moyenne, Moyenne précision (10-14 bits)	Vitesse haute, Basse précision (4-10 bits)
<i>Taux de Nyquist</i>	<i>Intégrateur</i>	<i>Approximation successive Algorithmique</i>	<i>Parallèle Interpolé Plié Pipeliné Temps-entrelacé</i>
<i>Sur- échantillonnage</i>	<i>Sigma-Delta Sigma-Delta à bande-passante</i>		

2.2. CONCEPTS DE BASE

En principe, les CAN convertissent un signal analogique en un mot binaire représenté sur un certain nombre de bits (N) de résolution. Dans la terminologie des convertisseurs, l'unité de mesure sur l'erreur est souvent exprimée selon la résolution du convertisseur qui correspond à l'amplitude du bit le moins significatif (Least significant bit – LSB) associée à la précision du CAN et elle est notée par :

$$1 \text{ LSB} = \frac{1}{2^N} \quad (2.1)$$

Également, nous désignons par V_{LSB} le changement de potentiel entre 2 niveaux de décision du CAN, autrement dit :

$$V_{\text{LSB}} = \frac{V_{\text{IN-dyn}}}{2^N} = \frac{2 \cdot V_{\text{IN}}}{2^N} \quad (2.2)$$

où $V_{\text{IN-dyn}}$ est la plage dynamique de la tension d'entrée et V_{IN} est l'amplitude absolue de la tension d'entrée, *i.e.* $V_{\text{IN-dyn}} = 2V_{\text{IN}}$. La relation entre le signal d'entrée analogique et le mot binaire en sortie est reprise par l'équation (2.3) [10] :

$$V_{IN-dyn} \cdot (b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_N \cdot 2^{-N}) = V_{IN} \pm V_{err} \quad (2.3)$$

où

$$-\frac{1}{2}V_{LSB} \leq V_{err} \leq \frac{1}{2}V_{LSB}$$

Ici, b_1 est le bit le plus significatif (most significant bit – MSB) et b_N le moins significatif (least significant bit – LSB) du mot binaire généré par le CAN. L'équation 2.3 décrit le comportement du convertisseur dans le cas où la quantification n'est pas idéale et qu'il y a une certaine erreur (V_{err}) sur chaque conversion du signal V_{IN} . Cette erreur génère ce qu'on appelle le *bruit de quantification*.

2.2.1. Bruit de quantification

Le bruit de quantification est un paramètre qui dépend essentiellement de la résolution (N) du convertisseur. Comparé à sa tension d'entrée V_{IN} , la sortie du CAN produit un ensemble de valeurs discrètes se limitant à 2^N possibilités. Dans cette optique, l'erreur introduite dans chaque conversion associée à la résolution finie du convertisseur est appelée erreur de quantification (E_Q).

La quantification de V_{IN} est représentée par un modèle d'échantillonnage idéal dans lequel on a ajouté une source de bruit, comme illustré à la Figure 2.1.

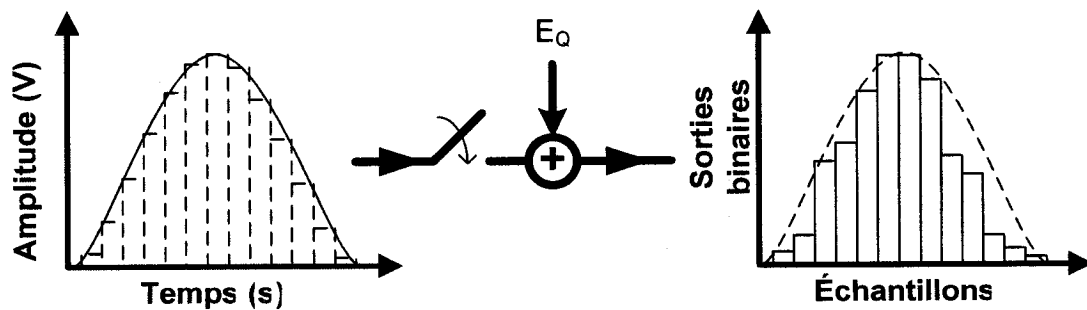


Figure 2.1. Effet du bruit de quantification sur un signal échantillonné.

Il serait intéressant d'investiguer ce cas et d'essayer de caractériser le bruit de quantification (E_Q) résultant.

2.2.1.1. Fonction de transfert

La fonction de transfert d'un CAN idéal et la courbe d'énergie du bruit (E_Q) associée aux niveaux de tension V_{IN} sont illustrées à la figure 2.2:

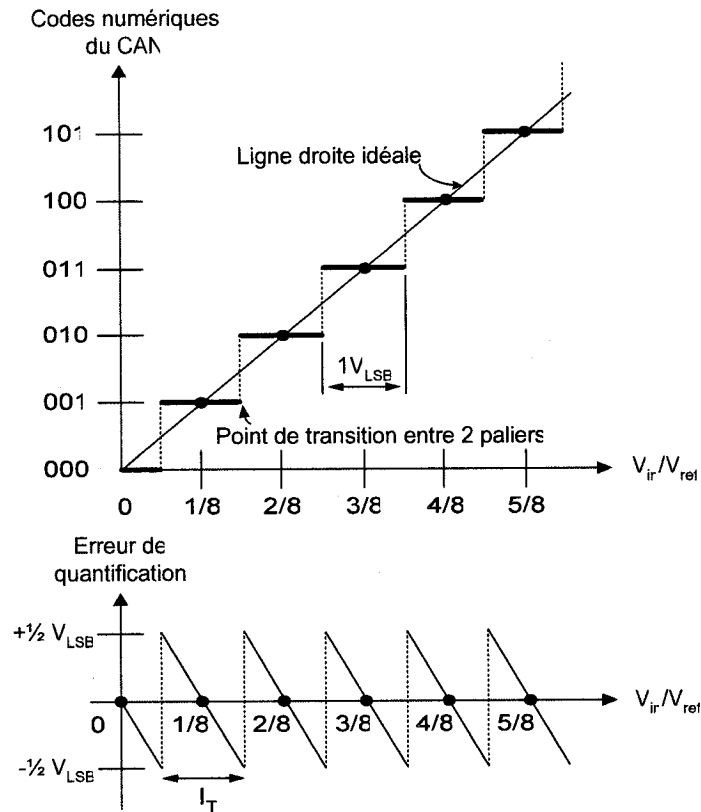


Figure 2.2. CAN idéal : (a) Fonction de transfert, (b) erreur de quantification associée.

Chaque étage de la Figure 2.2a s'étend exactement sur un intervalle correspondant à $1 V_{LSB}$. Par conséquent, l'erreur maximale perçue par chacun des étages de décision du CAN est de $0.5 V_{LSB}$, comme le fait valoir la Figure 2.2b. Il est intéressant de noter qu'il existe deux approches pour modéliser E_Q : une approche déterministe qui se base sur la forme de l'erreur de quantification (Figure 2.2b) pour calculer l'erreur E_Q , et une approche stochastique, s'appuyant quant à elle sur les principes de probabilité pour déterminer la déviation standard du niveau d'erreur. Étonnamment, ces deux approches donnent le même résultat. Afin d'alléger le texte, nous exposerons seulement la première approche qui est l'approche déterministe.

En effet, la forme d'onde de E_Q est périodique, par conséquent, il est possible de calculer le niveau RMS du signal en intégrant la fonction sur une période entière (I_T) :

$$E_{Q-rms}(V_{LSB}) = \sqrt{\frac{1}{I_T} \int_{I_T} E_Q^2 dI} = \sqrt{\frac{1}{I_T} \int_{I_T} \left(1V_{LSB} \frac{-I}{I_T}\right)^2 dI} = \frac{1V_{LSB}}{\sqrt{12}} \quad (2.4)$$

2.2.1.2. Rapport signal sur bruit

À partir de l'équation (2.4), il est envisageable de calculer le rapport signal sur bruit (Signal to noise ratio – SNR) qu'un CAN est capable d'atteindre avec une certaine précision. Lorsque le signal d'entrée V_{IN} du convertisseur est une sinusoïde, le SNR est donné par l'expression suivante :

$$\begin{aligned} SNR &= 20 \cdot \log \left| \frac{V_{IN-rms}}{E_{Q-rms}} \right| \\ &= 20 \cdot \log \left| \frac{V_{IN}/\sqrt{2}}{V_{LSB}/\sqrt{12}} \right| \\ &= 20 \cdot \log \left| \frac{V_{IN}/\sqrt{2}}{2 \cdot V_{IN} / 2^N \cdot \sqrt{12}} \right| \end{aligned} \quad (2.5)$$

$$SNR = 6.02 \cdot N + 1.76 \text{ dB}$$

Par convention, la mesure du SNR se fait avec une entrée sinusoïdale. Il est à noter que l'équation (2.5) s'applique seulement sur les CAN à taux de Nyquist, où la bande passante du convertisseur s'étend jusqu'à $F_s/2$. Toutefois, dans un CAN à sur-échantillonnage se servant d'un filtre passe-bas (Low pass filter – LPF), comme illustré à la Figure 2.3, il est possible d'obtenir des SNR élevés.

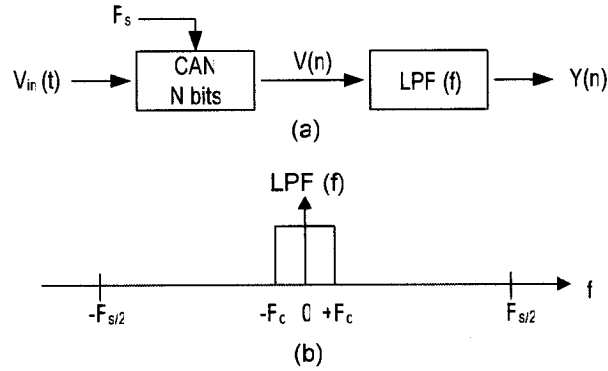


Figure 2.3. Principe de sur-échantillonnage.

Le LPF limite la bande passante du CAN à une fréquence (F_0) et élimine le bruit de quantification se trouvant au-delà de cette fréquence. Généralement, F_0 est choisi pour être de loin inférieure à $F_s/2$. À toutes fins utiles, le sur-échantillonnage peut être employé pour augmenter la résolution du CAN à taux de Nyquist. L'équation du SNR résultant du sur-échantillonnage (SNR_{sur}) est donnée par :

$$SNR_{sur} = 6.02 \cdot N + 1.76 + 10 \cdot \log \left| \frac{F_s}{2 \cdot F_0} \right| \quad (2.6)$$

La technique de sur-échantillonnage représente une alternative intéressante pour augmenter le SNR dans les applications rapides.

2.2.2. Critères de performance

Les termes fréquemment utilisés dans le domaine des CAN pour quantifier leurs performances sont : la non linéarité différentielle (Differential non linearity – DNL), la non linéarité intégrale (Integral non linearity – INL), le nombre de bits effectifs (Effective number of bits – ENOB), la plage dynamique exempte de parasites (Spurious free dynamic range – SFDR), la résolution effective de la bande passante (Effective resolution bandwidth – ERBW) et le taux d'erreur de bit (Bit error rate – BER).

2.2.2.1. Non linéarité

Le niveau de linéarité d'un CAN est caractérisé par la DNL et l'INL. La Figure 2.4 montre une fonction de transfert idéale d'un CAN à 3 bits, et une non idéale affichant des DNL et INL. Par définition, le DNL représente la différence entre la largeur du palier d'un CAN non idéal et celle d'un CAN idéal soit 1 LSB :

$$DNL_k = \text{Largeur du } k^{\text{ième}} \text{ palier non idéal (en LSB)} - 1 \text{ LSB} \quad (2.7)$$

Ainsi, lorsque le palier non idéal a une largeur de 1 LSB, l'erreur DNL correspondante est nulle. Lorsque le DNL dépasse ± 1 LSB, il y a un risque pour que le CAN ait un code manquant « missing code ». Toutefois, lorsque cette dernière situation se présente, il est certain que la fonction de transfert a un DNL de ± 1 LSB, comme illustré à la Figure 2.4. L'INL se définit comme étant l'accumulation des DNL_k de la fonction de transfert :

$$INL = \sum_{k=0}^{2^N-1} DNL_k \quad (2.8)$$

Une manière plus inspirée de le percevoir est de le considérer comme étant la déviation des points de transition du palier non idéal par rapport au palier de la courbe idéale, comme indiqué à la Figure 2.4. Dans la majorité des cas, un CAN est considéré comme étant parfaitement linéaire lorsque le DNL et le INL sont chacun de ± 0.5 LSB.

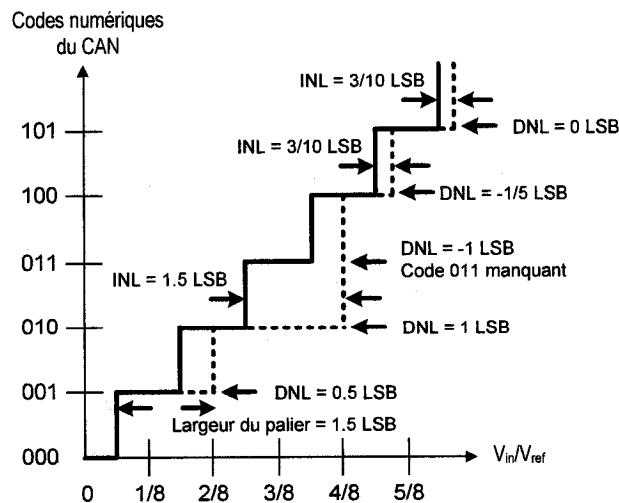


Figure 2.4. Illustration des non-linéarités (DNL et INL) des CAN.

2.2.2.2. Nombre de bits effectifs

L'ENOB découle directement de l'équation (2.5), qui exprime le SNR en termes de bits au lieu de l'unité décibel. En réalité, un CAN comporte du bruit de quantification auquel vient s'ajouter de la distorsion. Il est alors pertinent et rigoureux d'employer la terminologie rapport signal sur bruit et distorsion (Signal to noise and distortion ratio – SNDR) au lieu du SNR, lorsque le CAN est non idéal. Ainsi, en isolant le terme N et en remplaçant SNR par SNDR dans l'équation (2.5), l'ENOB s'affiche comme :

$$ENOB = \frac{SNDR - 1.76 \text{ dB}}{6.02 \text{ dB}} \quad (2.9)$$

2.2.2.3. Plage dynamique exempte de parasites

Les différentes erreurs de conversion créent des raies spectrales à des harmoniques bien définies par rapport à F_{IN} . Dans des applications où la pureté spectrale est importante, le SFDR devient un critère d'évaluation dans la sélection d'un CAN. Le SFDR se définit comme étant la différence en dB entre la fondamentale et la composante de distorsion la plus élevée du spectre fréquentiel, comme le démontre la Figure 2.5. De plus, sa plage dynamique diminue au fur et à mesure que le CAN est stimulé par une fréquence F_{IN} de plus en plus grande. Ce comportement s'explique par des pertes de performance au niveau des composants circuits constituant le CAN comme les échantillonneurs bloqueurs (É/H), les préamplificateurs, les amplificateurs opérationnels et les comparateurs.

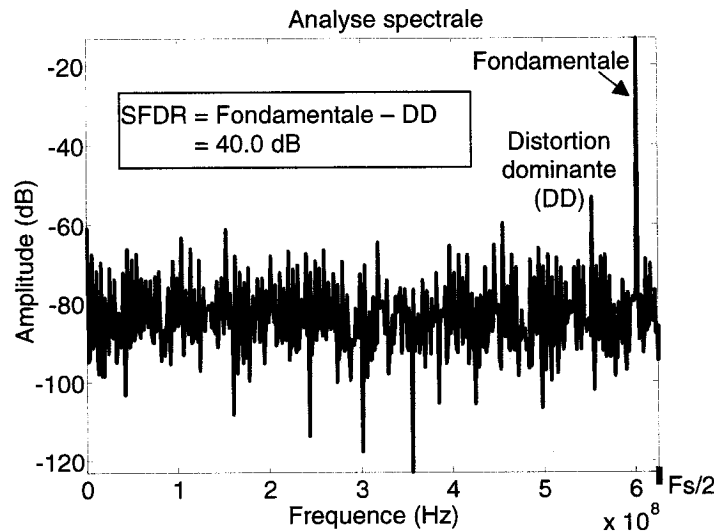


Figure 2.5. Analyse spectrale et SFDR

2.2.2.4. Résolution effective de la bande passante

L'ERBW est la fréquence F_{IN} pour laquelle le SNDR du CAN chute de 3 dB par rapport à la valeur SNDR au niveau DC. La plupart des applications s'attendent à une conversion fidèle du CAN pour tout signal d'entrée affichant F_{IN} inférieure à la fréquence de Nyquist, *i.e.* $F_{IN} \leq F_s/2$. Toutefois, beaucoup de CAN affichent une sévère dégradation du SNDR à des fréquences bien en dessous de $F_s/2$ [32, 50, 63]. Pour cette raison, la littérature rapporte souvent la vitesse d'un convertisseur par l'ERBW plutôt que par la fréquence d'échantillonnage F_s .

2.2.2.5. Taux d'erreurs de bit

Le BER indique le nombre de décisions erronées effectué par le CAN sur un grand nombre défini d'échantillons [52]. Certains auteurs l'interprètent comme la probabilité d'erreurs du CAN [49]. Ces erreurs sont directement proportionnelles à la probabilité du comparateur de tomber dans un état métastable, qui se définit par un niveau de tension dont l'état logique « 1 » ou « 0 » ne peut être clairement défini. Généralement, cet événement survient lorsque :

1. La tension d'entrée du comparateur est trop faible;
2. Le temps alloué pour amplifier ce potentiel à la sortie est insuffisant.

Un CAN haut de gamme doit avoir un BER se situant entre 10^{-10} et 10^{-15} [52].

2.3. ARCHITECTURES ULTRA-RAPIDES

Dans cette section, nous examinons les architectures des CAN à taux de Nyquist supérieures à quelques centaines de MHz. Les architectures présentées sont les architectures parallèle, interpolée, pliée et à temps entrelacé. Avant d'entreprendre cette discussion, nous allons faire un survol sur un modèle probabiliste pour prédire la tension de décalage (V_{offset}) dans une paire différentielle. Rappelons que cette dernière est généralement une partie intégrante dans les préamplificateurs ainsi que les comparateurs.

2.3.1. Modèle probabiliste de la tension de décalage

Les variations de procédés font en sorte que le circuit fabriqué ne se comporte plus de façon idéale. Dans une paire différentielle, ces variations causent des mésappariements entre les valeurs des tensions de seuil (V_T) et des transconductances (β) de transistors M1 et M2, ce qui résulte en un décalage de la tension (V_{offset}) à l'entrée de la paire différentielle, comme illustré à la Figure 2.6.

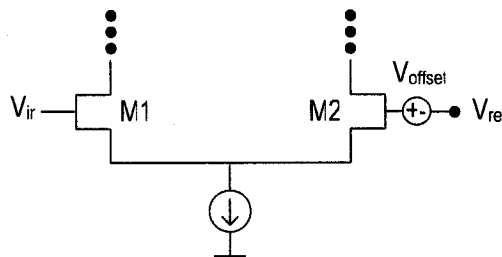


Figure 2.6. Paire différentielle affichant une tension de décalage (V_{offset}).

Lors de la conception, il est impératif d'avoir un modèle probabiliste pour prédire la déviation standard de la tension de décalage (σV_{offset}), car elle a une implication directe sur le DNL et INL [65]. De ce fait, σV_{offset} dans une paire différentielle est donné par [53]:

$$\sigma V_{offset} = \sigma(\Delta V_T) + \sigma\left(\frac{\Delta\beta}{\beta}\right) \cdot \frac{V_{gst}}{2} \quad (2.10)$$

où $V_{gst} = (V_{gs} - V_T)$ est la tension de saturation, et $\sigma(\Delta V_T)$ et $\sigma(\Delta\beta/\beta)$ sont les déviations standards des mésappariements entre les valeurs V_T et β des transistors M1 et M2 respectivement.

Suite à de longues recherches, Pelgrom [45] a pu démontrer que ΔV_T et $\Delta\beta/\beta$ ont des distributions gaussiennes, et que leurs déviations standards respectives sont données par les équations suivantes :

$$\sigma(\Delta V_T) = \frac{A_{VT}}{\sqrt{W \cdot L}} \quad (2.11)$$

$$\sigma\left(\frac{\Delta\beta}{\beta}\right) = \frac{A_\beta}{\sqrt{W \cdot L}} \quad (2.12)$$

où W et L sont la largeur et la longueur des transistors M1 et M2. Les mêmes résultats ont été confirmés par la suite à plusieurs reprises [3, 30, 47, 55]. Dans la pratique, A_{VT} et l'intervalle des valeurs de A_β sont approximativement de l'ordre de [65, 53] :

$$A_{VT} \cong (1.5 \cdot t_{ox}) V / \mu m \quad (2.13)$$

$$A_\beta = 1 - 3 \% \quad (2.14)$$

La fonction densité de probabilité $f_v(v)$ de la Figure 2.7 est donnée par :

$$f_v(v) = \frac{1}{\sqrt{2\pi} \cdot \sigma V_{offset}} \exp\left[-\frac{(v - V_{ref})^2}{2 \cdot \sigma V_{offset}^2}\right] \quad (2.15)$$

où v est une variable indiquant une valeur de tension, et V_{ref} est la valeur moyenne de la tension de référence. L'intégrale de l'équation (2.15) évalue la probabilité d'avoir une référence de tension dans l'intervalle $v = V_{ref} \pm k \cdot \sigma V_{offset}$:

$$P\left(v \begin{cases} \leq V_{ref} + k \cdot \sigma V_{offset} \\ \geq V_{ref} - k \cdot \sigma V_{offset} \end{cases}\right) = \int_{V_{ref} - k \cdot \sigma V_{offset}}^{V_{ref} + k \cdot \sigma V_{offset}} \frac{1}{\sqrt{2\pi} \cdot \sigma V_{offset}} \exp\left[-\frac{(v - V_{ref})^2}{2 \cdot \sigma V_{offset}^2}\right] dv \quad (2.16)$$

Le Tableau 2.2 présente les résultats de l'intégrale de l'équation (2.16) pour différentes valeurs de « k » [44].

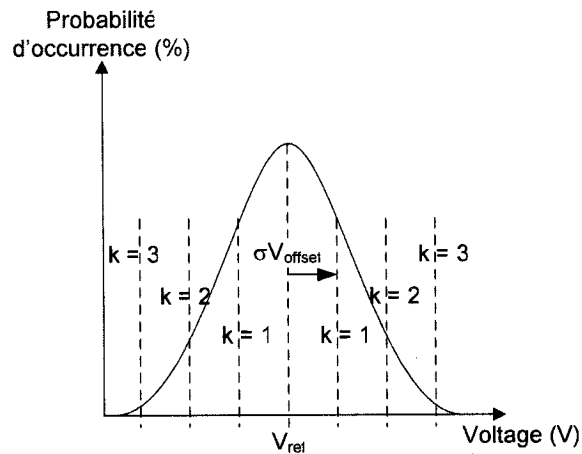


Figure 2.7. Distribution gaussienne du V_{ref} résultant.

Tableau 2.2. Résultats de l'intégrale donnés par l'équation (2.16) pour différentes valeurs de « k ».

k	Probabilité d'occurrence (%) dans l'intervalle $V_{ref} \pm k \cdot \sigma V_{offset}$
0.2	15.9
0.6	45.1
1.0	68.3
1.4	83.8
1.8	92.8
2.2	97.2
2.6	99.1
3.0	99.7

À partir du Tableau 2.2, si nous voulons avoir 99.7% de chances d'obtenir un $V_{offset} \leq 0.5 V_{LSB}$, il faut attribuer W et L des équations (2.11) et (2.12) de manière à ce que le résultant σV_{offset} de l'équation (2.10) soit 3 fois moins que $0.5 V_{LSB}$, i.e. $\sigma V_{offset} = 0.167 V_{LSB}$.

2.3.2. Architecture parallèle

2.3.2.1. Description

Les CAN parallèles sont de la même famille que les CAN interpolés (section 2.3.3) et les CAN pliés (section 2.3.4). L'architecture typique du CAN parallèle est illustrée à la Figure 2.8.

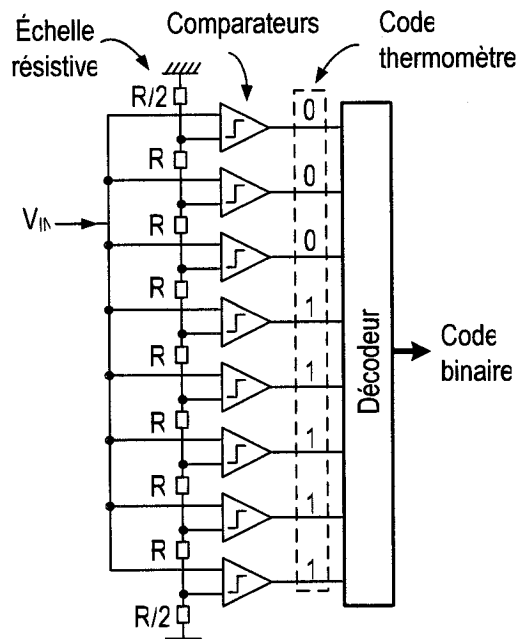


Figure 2.8. Architecture du convertisseur parallèle.

Pour un convertisseur de N bits de résolution, le circuit a recours à $2^N - 1$ comparateurs. Dans la grande majorité des cas, les comparateurs ont recours aux préamplificateurs pour diminuer l'injection du bruit de rebond (kickback noise) vers l'entrée du CAN [4]. Ils ont aussi comme fonction de diminuer la tension de décalage (V_{offset}) des comparateurs [27]. Également, le CAN comprend une échelle résistive comportant $(2^N - 1)$ résistances pour établir des tensions de référence (V_{ref}) aux comparateurs. La différence de potentiel entre deux niveaux de référence est de $1 V_{LSB}$. Lorsque V_{IN} est supérieur à V_{ref} , le comparateur génère un « 1 » à sa sortie. Inversement, il génère un « 0 » lorsque V_{IN} est inférieur à V_{ref} . L'ascension de « 0 » et de « 1 » génère ce qu'on

appelle le code thermomètre (CT), par référence à l'indicateur de mercure dans un thermomètre. Le CT traverse ensuite le décodeur, où il est converti en code binaire de N bits.

2.3.2.2. Performance des comparateurs

Les CAN parallèles opérant à une cadence ultra rapide reposent en grande partie sur la rapidité des comparateurs. En mode d'échantillonnage, le comparateur doit maximiser sa fréquence de coupure ($F_{3dB-comp}$) pour minimiser son temps de transition face à une nouvelle décision du comparateur. Pour ce faire, généralement, ces comparateurs ont un très bas gain (A_{track}), afin de maximiser la bande passante. En mode de régénération, la rétroaction positive du comparateur doit être en mesure de produire un gain (A_{latch}) suffisant pour minimiser le BER et l'occurrence des états métastables (section 2.2.2.5). De plus, les comparateurs doivent avoir impérativement posséder une tension de décalage d'entrée (V_{offset}) suffisamment faible pour préserver la linéarité du convertisseur. V_{offset} peut aussi être perçu comme étant la déviation par rapport à la tension V_{ref} du comparateur (Figure 2.6 et 2.7), et par conséquent, il a un effet direct sur les DNL et INL du CAN. En effet, chaque V_{ref} rattaché au comparateur représente le niveau de transition entre deux paliers dans la fonction de transfert du convertisseur, comme illustré à la Figure 2.2.

2.3.2.3. Avantages et inconvénients

Due à sa simplicité, le CAN parallèle est l'architecture de base la plus rapide pour réaliser des convertisseurs. Pour des cadences d'échantillonnage supérieures à quelques centaines de MHz, l'architecture parallèle est dominante. Toutefois, cette architecture a plusieurs inconvénients qui limitent la portée de son utilisation :

1. Elle offre une basse résolution, généralement limitée à 8 bits;
2. Elle nécessite un grand nombre de transistors, et par conséquent, son intégration consomme une surface considérable;
3. Elle conduit à une consommation de puissance élevée due au parallélisme des circuits.

En effet, le nombre des modules dans une architecture parallèle double à chaque bit de résolution additionnelle. Ainsi, pour un CAN de 8 bits, on a besoin de 255 comparateurs. Pour un module de 9 bits, l'architecture en nécessite 511. Par conséquent, le dédoublement de la surface utilisée et du niveau de consommation limitent la résolution d'un CAN parallèle.

2.3.3. L'architecture interpolée (Interpolating)

Les CAN parallèles opérant à de très hautes fréquences de conversion nécessitent généralement la présence d'un préamplificateur devant chaque comparateur, afin de diminuer l'effet de rebond et aussi pour réduire l'erreur V_{offset} . Toutefois, cet ajout de matériels augmente considérablement la surface et la consommation en puissance. De ce fait, l'architecture interpolée est particulièrement utile pour réduire le nombre de préamplificateurs dans une architecture parallèle. L'architecture interpolée reproduit l'effet d'un ou de plusieurs préamplificateurs en interpolant entre 2 préamplificateurs, comme illustré à la Figure 2.9.

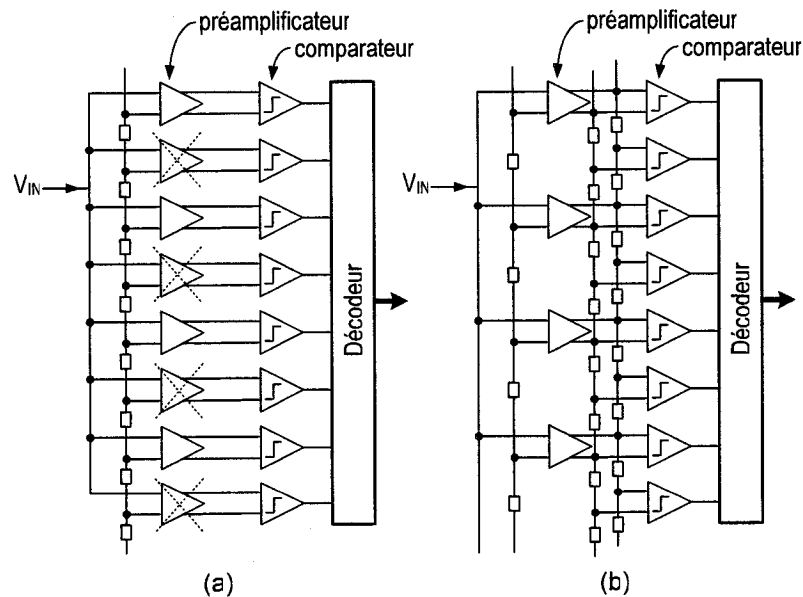


Figure 2.9. Architecture du convertisseur : (a) parallèle, (b) interpolé.

L'interpolation se fait en mode tension, ou en mode courant [16]. L'objectif est d'éliminer l'utilisation redondante de préamplificateurs.

2.3.4. L'architecture pliée (Folding)

L'architecture pliée a pour objectif de réduire le nombre de comparateurs dans une architecture parallèle. Il est toutefois possible de la combiner à l'architecture interpolée pour optimiser la surface et la consommation. Un CAN plié est constitué d'une part d'un convertisseur à gros grain « coarse converter », et d'autre part d'un convertisseur à grain fin « fine converter », comme illustré à la Figure 2.10. Le principe du convertisseur fin est d'éliminer la redondance dans le CAN parallèle en combinant les sorties des préamplificateurs de telle sorte à générer un résidu à partir de l'entrée V_{IN} et d'utiliser un nombre réduit de comparateurs pour convertir les M bits faisant partie du LSB. [34]. Une architecture parallèle conventionnelle decode les N bits du MSB et constitue ainsi le convertisseur à gros grain. Par conséquent, la résolution résultante du CAN plié est de $M + N$ bits.

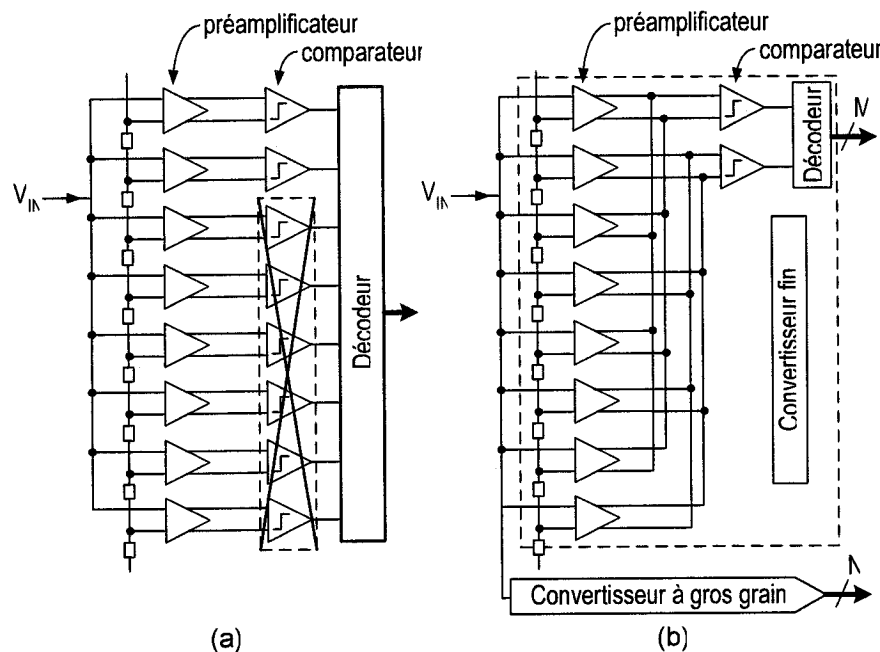


Figure 2.10. Architecture du convertisseur (a) parallèle, (b) pliée [16].

2.3.5. L'architecture à temps-entrelacé (Time-Interleaving)

Le but de l'architecture à temps-entrelacé est d'augmenter la vitesse de conversion et la bande passante par le biais du multiplexage temporel de plusieurs CAN (Figure 2.11). Chacun des fronts montants de $F_{\phi 1}$ à $F_{\phi 4}$ sont décalés d'une période $T_s = 1/F_s$, et ont une fréquence correspondante à $F_s/4$. Ce schéma d'échantillonnage doit comporter un pré-échantillonneur-bloqueur fonctionnant à la fréquence F_s , et un multiplexeur rapide. Toutefois, les problèmes de mésappariement des gains et niveaux de décalage dans les fonctions de transfert des 4 CAN ainsi que les différents décalages d'horloge (skew) observés sur chaque CAN engendrent des distorsions [31]. Il existe des schémas de calibration mixte [37, 11] ayant pour but de corriger ces erreurs. Néanmoins, elles contribuent à augmenter la consommation et la complexité de l'architecture.

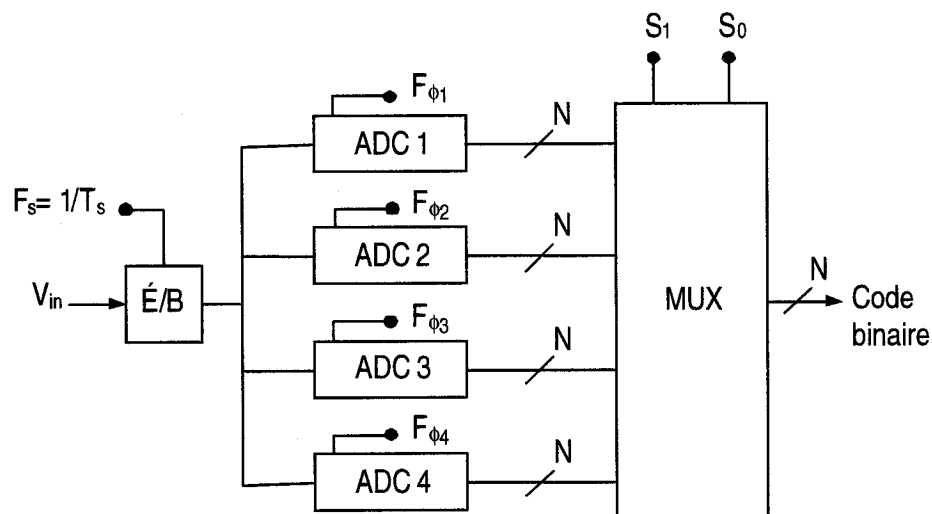


Figure 2.11. Architecture du convertisseur à temps-entrelacé.

2.4. CHOIX DE L'ARCHITECTURE PARALLÈLE

Dans une première étape, l'architecture parallèle (section 2.3.2) est choisie, afin de concevoir un convertisseur ultra-rapide et cela dans le cadre d'une application sans fil. Notre principal objectif est d'avoir les caractéristiques suivantes :

1. Une conception aussi simple que possible ayant une complexité moindre par rapport aux autres architectures;
2. Une haute vitesse de conversion;

De plus, la nécessité d'avoir une résolution de 6 bits pour le SDR renforce notre choix de l'architecture parallèle, sans compromettre la vitesse de conversion.

Cette recherche conduit à une première réalisation décrite dans la suite de ce mémoire. Elle a permis d'explorer de nouvelles approches intéressantes pour la réalisation de convertisseurs rapides performants. Elle a aussi permis d'identifier les points critiques qui imposent les contraintes les plus importantes sur lesquelles les travaux futurs pourront se concentrer.

CHAPITRE 3

Revue des CANs ultra-rapides

3.1. INTRODUCTION

Il existe plusieurs travaux traitant du sujet des CAN flash ultra-rapides à 6 bits. Chacun apporte sa contribution en termes de linéarité, fréquence d'échantillonnage et niveau de consommation en puissance du convertisseur. Les idées proposées débattent des aspects suivants :

- L'utilité d'un échantillonneur bloqueur (É/B);
- La technique du moyennage (Averaging);
- Le « autozeroing » des préamplificateurs;
- Les techniques avancées de décodage et de correction d'erreurs.

Ce chapitre traite ces aspects en détails, et conclut sur la direction dans laquelle nous avons orienté notre sujet de recherche.

3.2. ÉCHANTILLONNEUR BLOQUEUR (É/B)

Plusieurs travaux de recherche négligent l'utilisation du module É/B dans la conception de leurs CAN flash [8, 19, 36, 60, 64, 69]. Toutefois, il s'avère très utile pour stabiliser V_{IN} . Son utilité est particulièrement évidente lorsque la cadence de conversion se situe à 1 GHz ou plus [6, 18, 39, 42, 43, 56, 70, 46].

3.2.1. Motivation

Le but d'un échantillonneur bloqueur (É/B) est d'échantillonner un signal d'entrée et de maintenir son niveau analogique pour la moitié d'une période d'horloge d'échantillonnage. Généralement, l'architecture flash ne nécessite pas d'étage É/B, car les comparateurs à l'entrée du CAN se chargent eux-mêmes de l'échantillonnage. Toutefois, à de très haute cadence de conversion, les erreurs de gigue et de délai d'horloge relatives à chacun des comparateurs ne sont plus négligeables et elles peuvent entraîner la désynchronisation [51], ce qui crée des *bulles* dans l'encodage du code thermomètre (CT). Les bulles sont des endroits dans le CT où les « 0 » et les « 1 » sont inversés dans le mot de sortie, tel que présenté à la Figure 3.1.

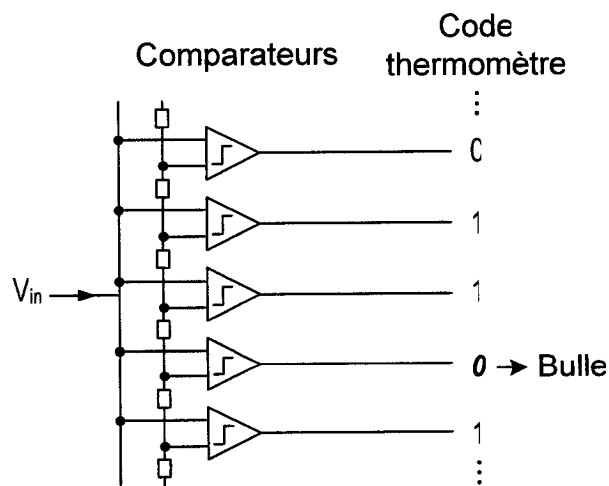


Figure 3.1. Exemple d'occurrence d'une bulle dans un code thermomètre (CT).

De plus, le couplage capacitif entre V_{IN} et l'échelle résistive, en passant par la paire différentielle à l'étage d'entrée, peut faire varier les différentes tensions de référence V_{ref} [51], comme illustré à la Figure 3.2. De plus, ces mêmes capacités parasites (C_P) peuvent entraîner des différences de phase sur V_{IN} entre les comparateurs. Ceci conduit à la gigue d'aperture sur V_{IN} .

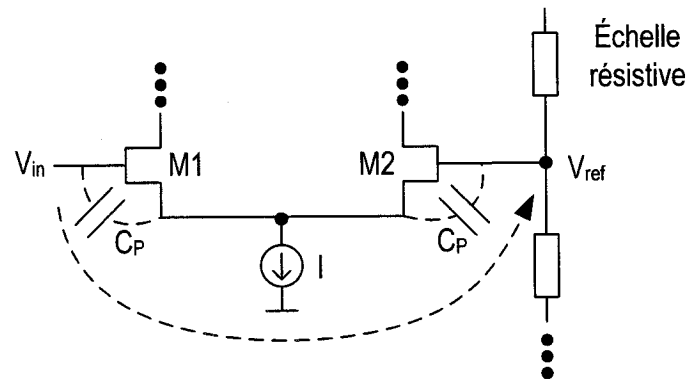


Figure 3.2. Couplage capacitif entre V_{IN} et l'échelle résistive.

Les bulles du CT et le couplage capacitif engendrent des distorsions harmoniques dans la sortie numérisée du CAN flash, ce qui en diminue le SFDR. Ces problèmes peuvent être limités en ajoutant un étage É/B devant les comparateurs.

3.2.2. Approches

Il existe deux approches d'échantillonnage, dépendamment de la location du É/B au sein de l'architecture flash : le pré-échantillonnage (utilisant un seul module É/B) et l'échantillonnage distribué (utilisant plusieurs modules É/B en parallèle).

3.2.2.1. Pré-échantillonnage

Le pré-échantillonnage utilise un É/B devant l'entrée analogique du convertisseur pour échantillonner et stabiliser la tension V_{IN} , tel qu'illustré à la Figure 3.3. Le pré-É/B doit être performant à trois niveaux, i.e. l'É/B doit avoir une résolution, un SNDR et un SFDR supérieure au convertisseur qui le suit, afin de ne pas gêner la conversion.

Heureusement, il est possible de réaliser des É/B de 8 bits de haute capacité et dont l'architecture est relativement simple (Figure 3.3), destinés aux CAN ultra-rapides de 6 bits et moins [39, 6, 42].

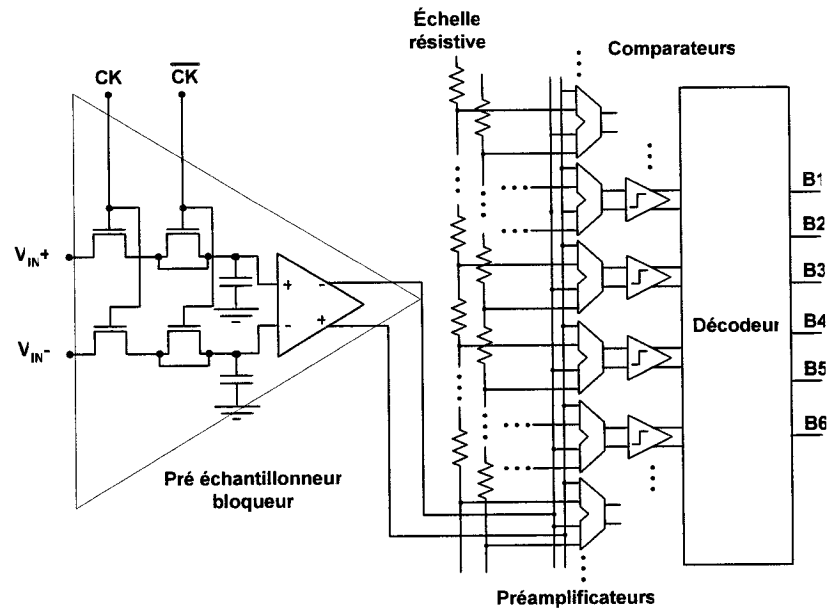


Figure 3.3. Pré-échantillonnage utilisant un pré-É/B différentiel [6, 42].

3.2.2.2. Échantillonnage distribué

Contrairement au pré-échantillonnage, l'échantillonnage distribué délègue l'échantillonnage de V_{IN} à de multiples modules É/B placés juste devant ou derrière chaque préamplificateur, tel qu'illustré aux Figures 3.4a et 3.4b. Les travaux [18, 56, 70, 46] s'appuient sur cette technique d'échantillonnage distribué pour l'avantage suivant : chaque É/B est moins demandant en terme de linéarité comparé au module É/B qui effectue un pré-échantillonnage (section 3.2.2.1), car la plage dynamique du 1^{er} est inférieure à celle du second par un facteur de 2^N .

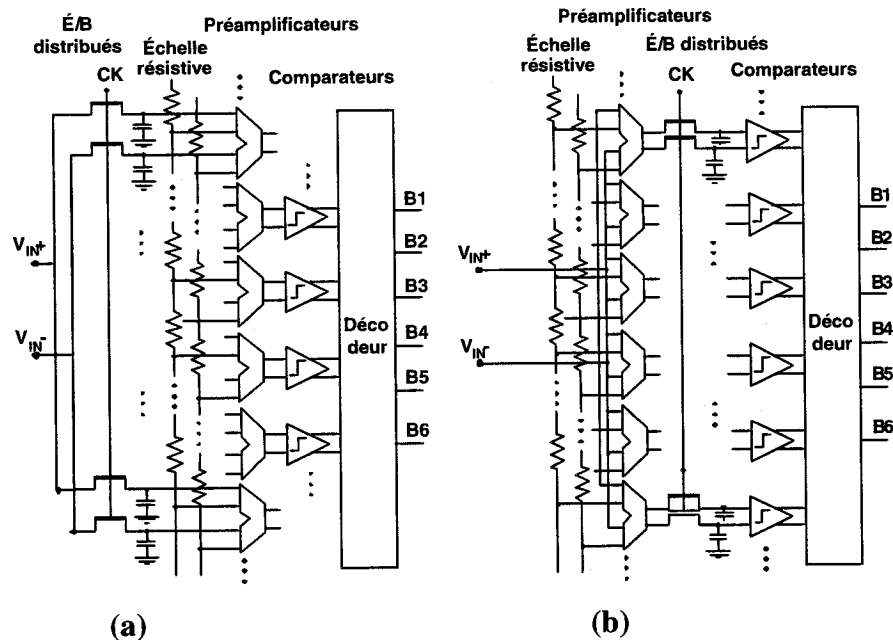


Figure 3.4. É/B distribués a) à l'entrée du CAN et, b) derrière la rangée de préamplificateurs.

Toutefois, l'échantillonnage distribué n'est pas sans inconvénients :

1. Le fait d'avoir plusieurs modules É/B augmente la charge capacitive perçue par le tampon d'horloge, ce qui augmente la consommation en puissance nécessaire pour commander cette charge.
2. Les É/B distribués sont très sensibles aux décalages d'horloge entre chaque module É/B, ce qui entraîne une perte de linéarité du convertisseur, et l'effet est d'autant plus grand lorsque la fréquence d'échantillonnage est ultra-rapide.
3. L'échantillonnage distribué augmente les chances de percevoir des mésappariement entre les modules É/B dû aux variations de procédés de fabrication, ce qui entraîne des irrégularités entre les échantillons de chaque module É/B, affectant ainsi les résultats de la conversion du CAN.

Lorsque les É/B sont distribués derrière la rangée de préamplificateurs (Figure 3.4b), comme c'est le cas pour [18, 56], l'effet du couplage capacitif intervient entre l'échelle résistive et les préamplificateurs (section 3.2.1), ce qui détériore la linéarité du CAN. En effet, [56] a un ERBW se situant autour de 400 MHz alors que le CAN

échantillonne à 1.6 GHz. De même, [18] échantillonne à 1.1 GHz, mais affiche un ERBW, qui tourne autour de 100 MHz.

3.3. MOYENNAGE « AVERAGING »

3.3.1. Motivation

Le moyennage a été introduit pour la 1^{ère} fois par K. Kattmann et J. Barrow [29] et depuis, plusieurs travaux exploitent cette technique pour augmenter la linéarité et le SFDR du CAN. La linéarité en DNL et en INL de l'architecture flash repose sur la façon dont les variations de procédés affectent les tensions de décalages V_{offset} au niveau des préamplificateurs et des comparateurs (Figure 2.6). En fait, le V_{offset} de chaque paire différentielle correspond à chacune des déviations en INL du convertisseur. Ainsi, il s'agira de réduire V_{offset} pour augmenter la linéarité du CAN. Il existe alors trois méthodes :

1. Appliquer la technique « autozeroing » des tensions d'entrées¹ [6, 28, 62]; toutefois, l'effet de la rétroaction et la synchronisation des transistors commutés ralentissent la fréquence d'échantillonnage du CAN;
2. Augmenter les tailles des transistors des paires différentielles (voir les équations (2.10) à (2.14)) pour minimiser l'erreur sur V_{offset} [8, 19, 36, 60, 64, 69]. Cependant, augmenter W et L de la paire différentielle entraîne généralement une dégradation du $F_{3\text{dB-préamp}}$ et un accroissement exponentiel de la charge capacitive à l'entrée de la rangée de préamplificateurs;
3. Appliquer la technique de moyennage, consistant à distribuer les V_{offset} provenant de chaque paire différentielle, pour réduire la tension d'erreur globale perçue par chaque paire [56, 41, 13, 12].

¹ À ne pas confondre avec la technique « autozeroing » des préamplificateurs présentée à la section 3.4.

3.3.2. Concept

Le schéma du circuit de moyennage est constitué d'une chaîne de résistances R_1 connectées ensemble en série, reliant ainsi les sorties des préamplificateurs, tel qu'illustré à la Figure 3.5. Une telle configuration rend chaque sortie dépendante des niveaux de tensions des sorties avoisinantes. De plus, le moyennage n'augmente pas la consommation en puissance. Deux facteurs influencent la qualité du moyennage [41, 13]:

1. Le rapport entre les résistances R_0 et R_1 de la Figure 3.5;
2. Le nombre de préamplificateurs en couplage (P_C), i.e. le nombre de préamplificateurs opérant dans la région linéaire pour un certain niveau V_{IN} , tel qu'illustré à la Figure 3.6.

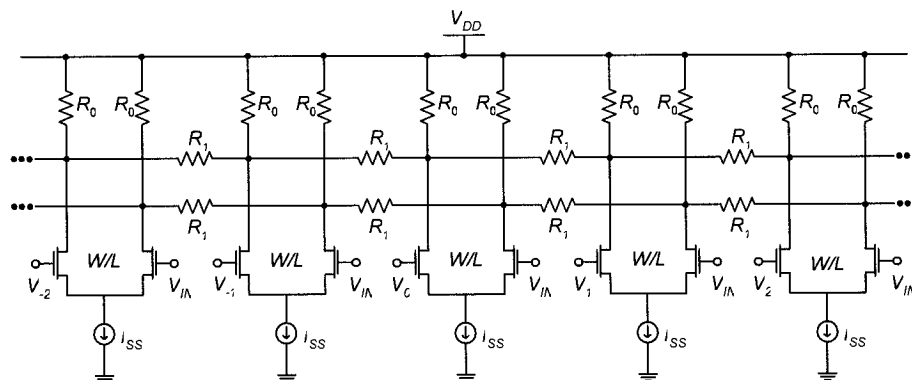


Figure 3.5. Étage de préamplificateurs d'un CAN flash employant la technique de moyennage.

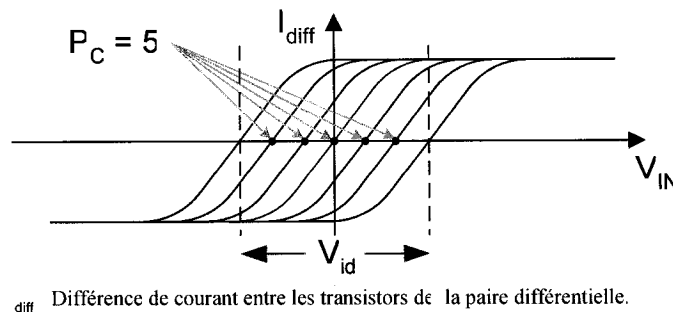


Figure 3.6. Fonctions de transfert des préamplificateurs du réseau de moyennage.

Plus le rapport R_0/R_1 est élevé, plus le CAN est linéaire. Toutefois, lorsque ce rapport tend vers l'infini, le moyennage devient moins efficace, comme le démontre [41]. D'autre part, si le rapport est trop petit, les gains des préamplificateurs se dégradent.

De même, le moyennage est plus efficace lorsque le nombre de préamplificateurs en couplage P_C augmente [41]. Comme indique la Figure 3.6, La valeur de P_C est directement proportionnelle à l'étendue de la plage d'entrée du préamplificateur (V_{id}) donnée par :

$$V_{id} = 2 \cdot \sqrt{2} \cdot V_{eff-préamp} \quad (3.1)$$

où :

$$V_{eff-préamp} = V_{GS} - V_T = \sqrt{\frac{I_{SS}}{\mu \cdot C_{ox} \cdot W/L}} \quad (3.2)$$

Les variables W et L correspondent à la taille des transistors, et I_{SS} représente le courant qui commande la paire différentielle. Ainsi, il est possible d'augmenter ou de diminuer la valeur de P_C en ajustant V_{id} . Toutefois, une valeur de P_C trop élevée entraîne une augmentation de la surface de la puce et de la consommation de puissance, et réduit la plage dynamique d'entrée du CAN (section 3.3.4.1). Les procédures optimisant l'effet du moyennage (déduire le rapport R_0/R_1 et P_C), tout en maximisant le gain et le $F_{3dB-préamp}$ des préamplificateurs sont décrites en détail dans [41, 13].

Le moyennage est une technique efficace pour améliorer la linéarité d'un CAN flash. K. Bult *et al.* [5] ont observé une relation empirique permettant de pronostiquer le INL_{avg} et DNL_{avg} résultant du moyennage :

$$INL_{avg} = \frac{INL}{P_C} \quad (3.3)$$

$$DNL_{avg} = \frac{DNL}{\sqrt{P_C}} \quad (3.4)$$

Le moyennage est une solution envisageable pour échantillonner plus vite tout en réduisant la consommation de puissance [65, Fig. 10].

3.3.3. Problématique

En connectant les préamplificateurs entre eux, un effet de bordure se crée, i.e. les points de transitions des fonctions de transfert des préamplificateurs aux extrémités se dirigent vers le centre, tel qu'illustré à la Figure 3.7. En effet, la symétrie est rompue pour les préamplificateurs en périphérie du réseau de moyennage. Ceux-ci ne voient pas le même nombre de préamplificateurs² à gauche et à droite. Cet effet de bordure déforme le INL du CAN. Plusieurs solutions ont été proposées pour remédier à ce problème [56, 41, 13, 15].

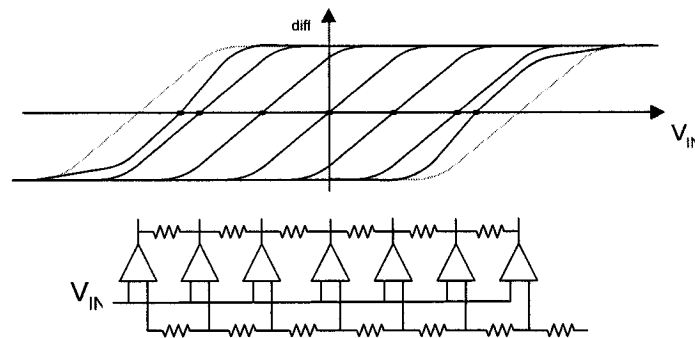


Figure 3.7. Effet de bordure dans le réseau de moyennage.

3.3.4. Approches et exemples

3.3.4.1. Approche de filtre spatial « Spatial Filter »

Le schéma de moyennage proposé par Hui Pan [41] est montré à la Figure 3.8. Afin de réduire l'effet de bordure, Hui Pan termine son réseau de moyennage par :

1. L'ajout d'un nombre P_C d'étages excédentaires (dummies) améliorant ainsi la symétrie pour les paires différentielles situées aux extrémités³;

² Le nombre de préamplificateurs en couplage, opérant dans la région linéaire.

³ Le nombre de « dummies » rajouté à chaque extrémité du réseau de moyennage correspond à $P_C/2$.

2. Une connexion croisée aux extrémités du réseau de moyennage pour procurer un balancement de la charge résistive R_1 , i.e. pour donner l'impression que le réseau de moyennage s'étend à l'infini aux extrémités.

Ce réseau de moyennage et sa méthode de terminaison sont très efficaces pour réduire le DNL et le INL, tout en minimisant l'effet de bordure. Les CAN réalisés dans [6, 42] ont des DNL_{max} et le INL_{max} bien inférieurs à 0.35 LSB. Toutefois, l'ajout des préamplificateurs excédentaires contribue à augmenter la consommation et la surface totale de la puce. De plus, l'utilisation des étages excédentaires réduit la dynamique maximale permise de V_{IN} dans le CAN flash.

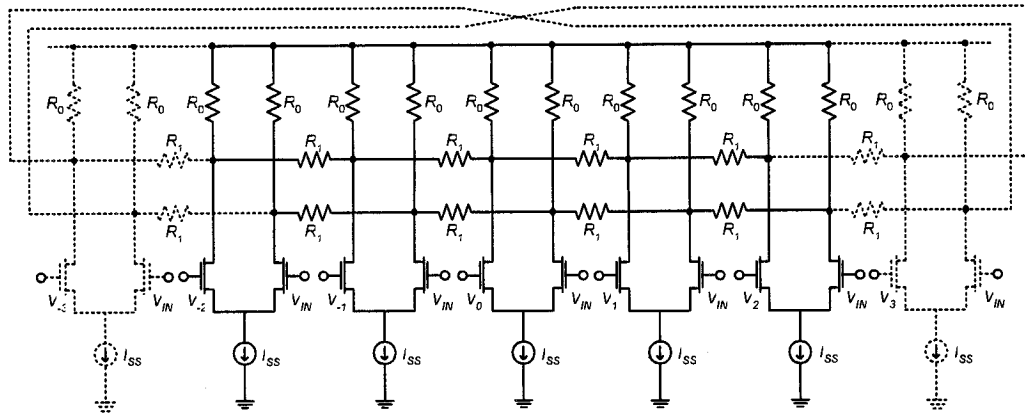


Figure 3.8. Réseau de moyennage et terminaison proposé par H. Pan [41].

3.3.4.2. Méthode de Scholtens et Vertregt

Scholtens et Vertregt [56] proposent une méthode de terminaison améliorée par rapport à celle du filtre spatial (section 3.3.4.1). La Figure 3.9 illustre les améliorations suivantes :

1. Substitution de la terminaison croisée (Figure 3.8) par une résistance R_T , placée à chaque extrémité du réseau, dont la valeur est donnée par (3.5);
2. Diminution du nombre de préamplificateurs excédentaires pour corriger l'effet de bordure, ce qui réduit la consommation, l'aire de la puce et la perte de la plage dynamique en V_{IN} du CAN.

La valeur de R_T dépend du rapport R_0/R_1 et du nombre d'étages excédentaires que le concepteur peut utiliser [56, 15] :

$$R_T = \frac{R_1}{2}(P_C + 1) - \frac{R_0}{P_C} \quad (3.5)$$

où:

$$\frac{R_0}{R_1} < \frac{P_C}{2}(P_C + 1) \quad (3.6)$$

Ainsi, pour $R_0/R_1 = 2$, nous avons $P_C = 2$ et $R_T = 3 \cdot R_1/2 - R_0/2$. De cette façon, R_T simule la symétrie dans le réseau de moyennage, sans pour autant nécessiter une terminaison croisée et un nombre élevé d'étages excédentaires.

Néanmoins, le but du moyennage n'est pas limité à la correction des courbures en INL aux extrémités du réseau. Il s'agit avant tout de réduire V_{offset} à l'entrée de chaque préamplificateur. En réduisant le nombre d'étages excédentaires aux extrémités, la valeur de P_C se trouve diminuée, ce qui réduit l'efficacité du moyennage [41]. De plus, l'optimisation en R_T et en P_C donne difficilement les résultats escomptés, et même que dans certains cas, l'effet de courbement sur le INL s'amplifie aux extrémités [15].

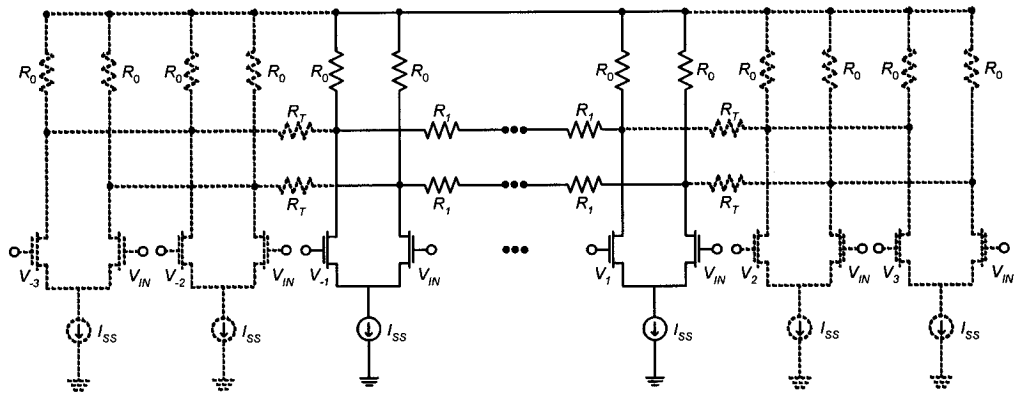


Figure 3.9. Réseau de moyennage et terminaison proposé par Scholtens et Vertregt [56].

3.4. « AUTOZEROING » DE PREAMPLIFICATEURS

3.4.1. Motivation

Le principe « autozeroing » [8, 27, 6] des préamplificateurs consiste à connecter les sorties du préamplificateur ensemble à l'aide d'un commutateur CMOS, comme illustré à la Figure 3.10. Le but étant de réduire le temps de commutation du préamplificateur, tout en ayant une bande passante $F_{3dB\text{-préamp}}$ identique. Ce principe, simple en soi, permet de percer la limite de la vitesse de transition imposé par la technologie de fabrication [6].

Pour illustrer le concept de « autozeroing » des préamplificateurs, supposons les deux cas suivants:

1. Un préamplificateur classique soumis à une tension d'entrée en forme escalier;
2. Un préamplificateur, dont les sorties différentielles sont connectées ensemble à l'aide d'un commutateur CMOS soumis à la même tension d'entrée en escalier.

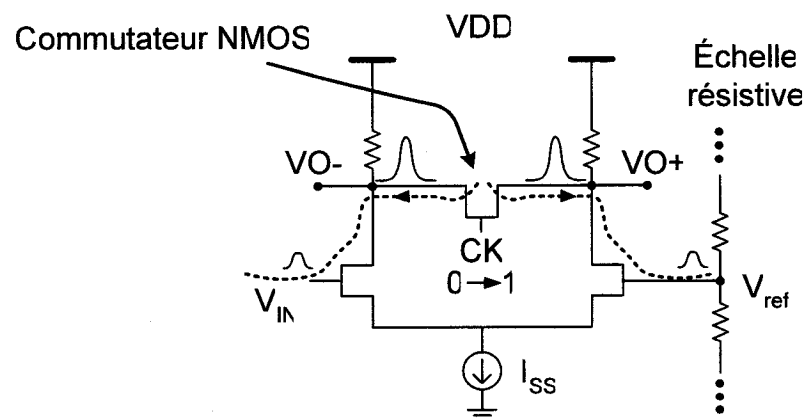


Figure 3.10. Préamplificateur avec le principe « autozeroing ».

La réponse transitoire du cas #1 est illustrée à la Figure 3.11a, où $A_{\text{préamp}}$ est le gain DC du préamplificateur, $\Delta V = V_{IN} - V_{ref}$, et $G_{\text{préamp}}$ est le gain réel obtenu à la fin de la

période d'échantillonnage (T_s). Dans la figure, le redressement du niveau potentiel est maximal (de $(V_{DD} - IR)$ à $G_{\text{préamp}} \cdot \Delta V$), ce qui pose un obstacle au temps de montée. Dans le cas #2, le commutateur NMOS (Figure 3.10) agit comme une résistance de faible valeur quand le préamplificateur est en état de rejection ($CK = \ll 1 \gg$), ce qui a pour effet de remettre à zéro la dynamique des sorties différentielles pendant cette courte durée, comme illustré à la Figure 3.11b. Lorsque le préamplificateur revient à l'état d'amplification ($CK = \ll 0 \gg$), la distance parcourue pour atteindre le niveau de potentiel final est raccourcie, permettant ainsi de réduire le temps de transition.

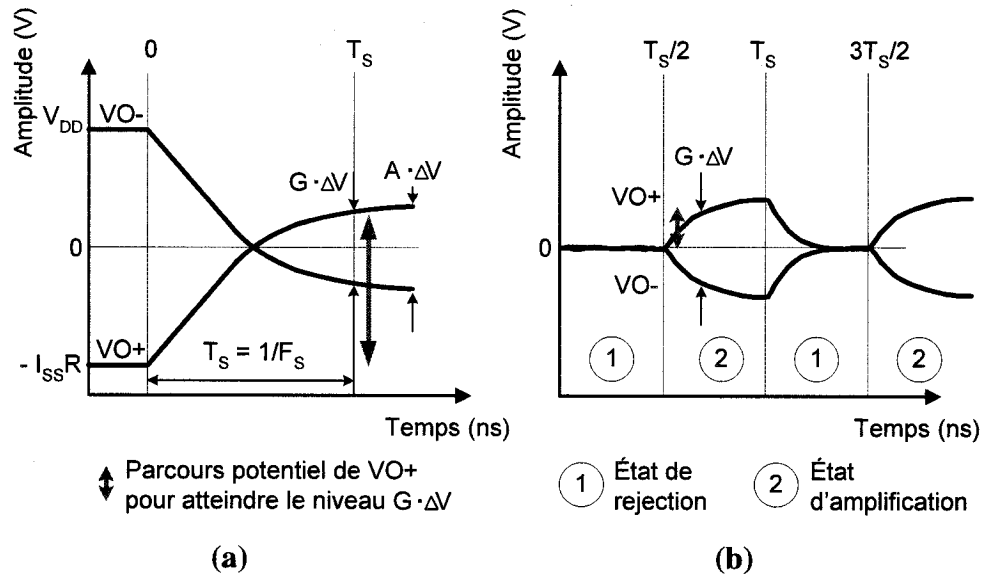


Figure 3.11. La réponse transitoire a) d'un préamplificateur classique, et b) d'un préamplificateur avec « autozeroing ».

3.4.2. Concept mathématique

Michael Choi *et al.* [6] ont formulé la relation mathématique permettant de trouver le $F_{3dB-\text{préamp}}$ du préamplificateur nécessaire, pour être utilisé pour un CAN fonctionnant à une fréquence F_s . Cette relation prend aussi en considération les caractéristiques du préamplificateur, tel que : $G_{\text{préamp}}$, $A_{\text{préamp}}$, ΔV et $V_{\text{eff-préamp}}$ ⁴. Les équations (3.7) et (3.8)

⁴ $V_{\text{eff-préamp}}$ est la tension de saturation des transistors de la paire différentielle.

correspondent aux cas d'un préamplificateur sans « autozeroing » et avec « autozeroing » respectivement :

$$F_{3dB-préamp} = -\frac{F_s}{2\pi} \cdot \ln \left| 1 - \frac{G_{préamp} \cdot \Delta V + A_{préamp} \cdot V_{eff-préamp}}{A_{préamp} \cdot \Delta V + A_{préamp} \cdot V_{eff-préamp}} \right| \quad (3.7)$$

et :

$$F_{3dB-préamp} = \frac{F_s}{\pi} \cdot \ln \left| 1 - \frac{G_{préamp}}{A_{préamp}} \right| \quad (3.8)$$

En comparant (3.8) à (3.7), l'application de la technique de « autozeroing » permet de réduire la contrainte sur le $F_{3dB-préamp}$ des préamplificateurs, tout en ayant des spécifications similaires en $A_{préamp}$ et $G_{préamp}$.

3.4.3. Problème envisageable

Le principe de « autozeroing » peut générer un type de bruit désigné sous le nom de bruit de rebond (kickback noise). Le bruit de rebond survient lorsqu'un transistor CMOS passe subitement de l'état d'amplification (gain $A_{préamp}$ élevé) à l'état de rejection (gain $A_{préamp}$ inférieur à 1), ce qui amène l'injection dynamique de grandes quantités de charges aux entrées des préamplificateurs, comme illustré à la Figure 3.10. On observe surtout ce genre de bruits dans les comparateurs CMOS de type « latch » [14]. Un CAN de 6 bits comporte 63 préamplificateurs disposés en parallèle qui peuvent exercer une décharge assez importante pouvant affecter la linéarité et le SFDR du CAN. Pourtant, le CAN réalisé dans [6] ne semble ni souffrir d'une dégradation du DNL/INL ni d'une réduction du SFDR. Il faut dire que leur CAN, fabriqué en technologie CMOS 0.35 μm , possède une plage d'entrée dont la gamme dynamique est suffisamment élevée pour minimiser l'effet du bruit de rebond. Cette gamme dynamique diminuera avec la sélection d'une technologie à échelle inférieure (CMOS 0.18 μm par exemple), ce qui amplifie l'effet nuisible du bruit de rebond sur la linéarité et le SFDR du CAN.

3.5. DÉCODAGE ET CORRECTION D'ERREURS

3.5.1. Types d'erreurs

Le décodage de V_{IN} en code binaire d'un CAN flash est influencé par deux types d'erreurs : l'occurrence de bulles dans le code CT (section 3.2.1), et la métastabilité au niveau des comparateurs (section 2.2.2.5 et 2.3.2.2). En conséquence, le CAN flash subira une perte en performance au niveau du SFDR et du SNDR. Ces erreurs sont particulièrement dominantes dans la famille des convertisseurs ultra-rapides.

3.5.2. Techniques de correction de bulles

3.5.2.1. Décodeur Gray

La force du code Gray vient du fait qu'il n'y a qu'un seul bit qui change lorsqu'on passe d'un code à un autre, comme l'indique le Tableau 3.1. Il s'agit là d'un aspect très intéressant, car il y a possibilité de minimiser les erreurs de conversions causées par les bulles se produisant dans le code CT. La Figure 3.12 illustre le décodeur Gray conçu via un circuit « Read-Only-Memory » (ROM) [30, 66, 69]. La rangée de portes ET décode le code CT en code 1-parmi-N « 1-out-of-N code ». Ce code servira à adresser la ROM. De plus, les portes ET ont pour fonction d'éliminer les bulles du 1^{er} ordre⁵ dans le code CT, minimisant ainsi le passage d'erreurs à la conversion finale. Le Tableau 3.2 compare les résultats obtenus par le décodeur Gray (Figure 3.12) et le décodeur binaire en fonction de l'ordre de bulles dans le code CT. Nous voyons bien que les résultats du code Gray demeurent proches du résultat correct. Toutefois, le passage du code Gray en code binaire se fait de manière itérative, ce qui entraîne des complications au niveau de la conception matérielle.

⁵ Une bulle du 1^{er} ordre dans le code CT : « 00110111 », une bulle du 2^e ordre : « 00110011 », une bulle du 3^e ordre : « 00110001 », etc.

Tableau 3.1. Représentation du code thermomètre et sa correspondance en codes binaire, Gray et Q-Gray respectivement.

CT	Binaire	Gray	Q-Gray
0000000000000000	0000	0000	0000
0000000000000001	0001	0001	0001
0000000000000011	0010	0011	0011
0000000000000111	0011	0010	0010
0000000000001111	0100	0110	0111
0000000000111111	0101	0111	0110
0000000001111111	0110	0101	0100
0000000011111111	0111	0100	0101
0000000111111111	1000	1100	1111
0000001111111111	1001	1101	1110
0000011111111111	1010	1111	1100
0000111111111111	1011	1110	1101
0001111111111111	1100	1010	1000
0011111111111111	1101	1011	1001
0111111111111111	1110	1001	1011
1111111111111111	1111	1000	1010

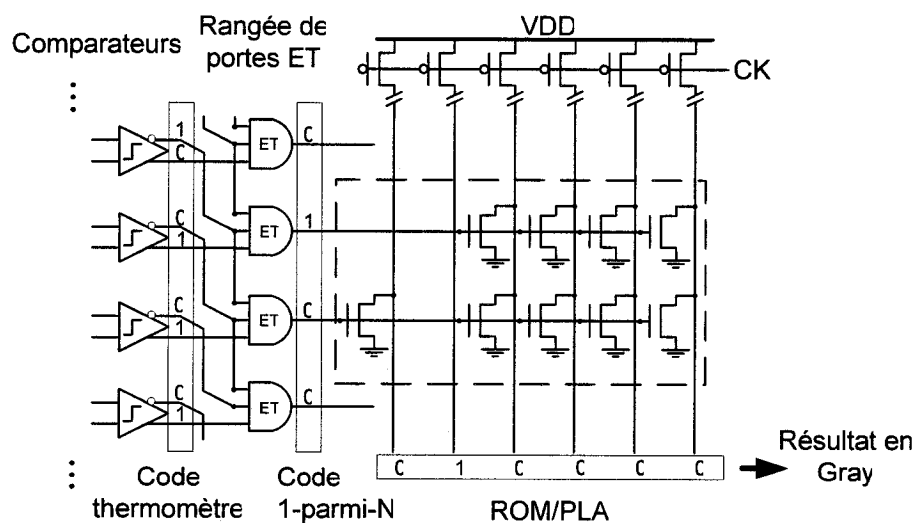


Figure 3.12. Décodeur Gray conçu via un décodeur 1-parmi-N et un circuit ROM.

Tableau 3.2. Corrections d'erreurs obtenues par les décodeurs binaires, Gray et Q-Gray en fonction de l'ordre de bulles dans le code CT.

Ordre de bulles	0	1	2	3
CT	0000011111 ...1	0000010111 ...1	0000010011 ...1	0000010001 ...1
1-parmi-N	0000010000 ...0	0000010000 ...0	0000010010 ...0	0000010001 ...0
Binaire	1010	1010	1111	1110
Binaire (décimal)	10	10	15	14
Gray	1111	1111	1111	1111
Gray (décimal)	10	10	10	10
Q-Gray	1100	1100	1101	1100
Q-Gray (décimal)	10	10	11	10

3.5.2.2. Décodeur Q-Gray (Quasi-Gray)

Le passage d'un mot binaire « $B_N \dots B_0$ » en mot Q-Gray « $qG_N \dots qG_0$ » de N bits s'effectue selon la logique ci-dessous [1]:

Tableau 3.3. Conversion (a) binaire en Q-Gray, et (b) Q-Gray en binaire.

(a)		(b)	
LSB	$qG_0 = B_0 \text{ XOR } qG_1$	LSB	$B_0 = qG_0 \text{ XOR } qG_1$
1	$qG_1 = B_1 \text{ XOR } qG_2$	1	$B_1 = qG_1 \text{ XOR } qG_2$
2	$qG_2 = B_2 \text{ XOR } qG_3$	2	$B_2 = qG_2 \text{ XOR } qG_3$
$\vdots$	$\vdots$	$\vdots$	$\vdots$
MSB	$qG_N = B_N$	MSB	$B_N = \text{NON } G_N$

Comme son nom l'indique, le code Q-Gray est très similaire au code Gray, dans la mesure où le passage d'un code à un autre n'implique le changement que d'un seul bit. Toutefois, ce n'est pas toujours le cas, notons par exemple le changement de 2 plutôt que 1 bit dans le passage du 4^e au 5^e code, du 7^e au 8^e code et du 11^e au 12^e code (Tableau 3.1). En contre partie, la conversion de Q-Gray à binaire s'effectue bien plus simplement que la conversion binaire à Gray (Tableau 3.3b).

On construit le décodeur Q-Gray en encodant la ROM, dans la Figure 3.12, suivant le code Q-Gray [1, 14, 67]. Le Tableau 3.2 illustre la correction d'erreurs du décodeur

Q-Gray par rapport au décodeur binaire et décodeur Gray. Le Q-Gray performe aussi bien que le Gray pour un CAN ayant une résolution de 6 bits et moins [40].

3.5.2.4. Décodeur en arbre « Fat Tree »

Le décodeur de la Figure 3.12 devient le goulot d'étranglement pour les CAN flash qui souhaitent opérer à des cadences supérieures à 1 GHz [7]. Face à cette difficulté, [7] propose une nouvelle architecture de décodeur ayant pour but :

1. D'opérer à des cadences ultra-rapides, au delà de 1 GHz;
2. De simplifier l'effort de conception au niveau circuit;
3. De réduire la consommation par rapport aux décodeurs ROM.

Le schéma du circuit du décodeur est simple et il repose uniquement sur des portes OU pour construire sa logique. Tout comme la Figure 3.12, il comporte une rangée de portes ET pour filtrer les bulles de 1^{er} ordre. La Figure 3.13 illustre un exemple de décodeur en arbre de 4 bits convertissant le code CT « 0...11111111 » en code binaire « 1001 » (9 en décimal). Les travaux dans [7] rapportent un décodeur en arbre arrondi de 6 bits conçu avec la technologie CMOS 0.18 μm , dont les performances sont, jusqu'à ce jour, inégalées en terme de consommation et de vitesse :

Tableau 3.4. Résumé des résultats du décodeur en arbre versus ceux du décodeur ROM de 6 bits, conçus avec la technologie CMOSP18 [7].

Technique	Alimentation (V)	Fréquence (GHz)	Dissipation de puissance (mW)	
			Moyen.	Max.
Arbre	1.8	2.0	22.70	38.65
ROM	1.8	1.11	32.64	54.41

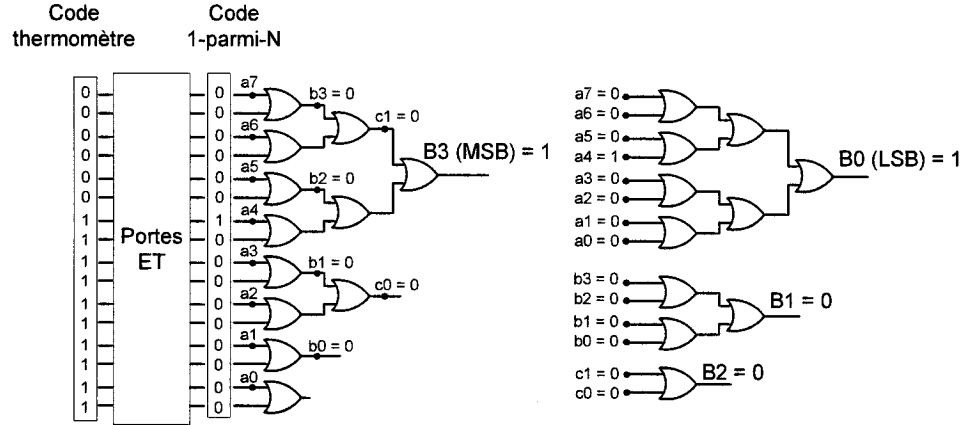


Figure 3.13. Décodeur en arbre.

3.5.3. Techniques pour gérer la métastabilité

L'occurrence de la métastabilité au niveau des comparateurs constitue une des difficultés majeures rencontrées dans les convertisseurs flash. Le circuit décodeur ROM de la Figure 3.12 est efficace pour corriger les erreurs de bulles dans le code CT, mais ne règle pas le problème de la métastabilité. Dans cette section, nous verrons à travers les travaux de [31, 28, 35, 48, 66, 71] deux approches pour remédier à la métastabilité.

3.5.3.1. Pipelinage des comparateurs

La 1^{ère} approche consiste à pipeliner les comparateurs de telle sorte à augmenter la période de résolution (T), afin de laisser suffisamment de temps aux comparateurs pour basculer vers le niveau logique approprié. La probabilité d'observer la métastabilité (P_M) dans un « latch » est donnée par :

$$P_M = \exp \frac{-(A-1) \cdot T}{\tau} \quad (3.9)$$

où A et τ sont respectivement le gain et la constante de temps de la rétroaction positive du « latch ». À partir de cette équation, il est facilement démontrable que P_M diminue au fur et à mesure que T augmente. De ce fait, [8, 27, 6, 71, 35] ont su exploiter le pipelinage pour concevoir des CANs performants pouvant atteindre un BER $> 10^{-10}$. En

outre, Mangelsdorf [35] a démontré que pipeliner 3 étages de comparateurs réduit davantage la métastabilité comparativement à 2 étages, avec moins de consommation.

3.5.3.2. Circuits d'arbitrage

La 2^e approche introduit un circuit d'arbitrage, qui force la sortie du comparateur métastable à opter pour la logique «1» [49, 72]. En effet, en s'assurant du maintien de l'état «1» en présence de la métastabilité, le ROM encodé en Gray ou Q-Gray pourra atténuer l'erreur du décodage. Portmann *et al.* [49] propose un modèle de circuit d'arbitrage différentiel, dont le niveau schématisé est présenté à la Figure 3.14a. La relation transitoire entre les entrées $VI+$ / $VI-$ et $VO+$ / $VO-$ est illustrée à la Figure 3.14b. Lorsque $VI+ = VI-$, le comparateur précédant le circuit d'arbitrage se trouve en état métastable, et on a $VO+ = VO- = \text{«1»}$. Lorsque $VI+$ et $VI-$ sont séparés par une tension largement supérieure à V_T , une des deux sorties débute l'ascension au niveau «0».

Toutefois, si la différence entre $VI+$ et $VI-$ était de V_T , la sortie ($VO+$ ou $VO-$) prendrait énormément de temps avant de se stabiliser à «0». Par conséquent, le circuit d'arbitrage [49] n'aurait, en fait, jamais réglé le problème de la métastabilité.

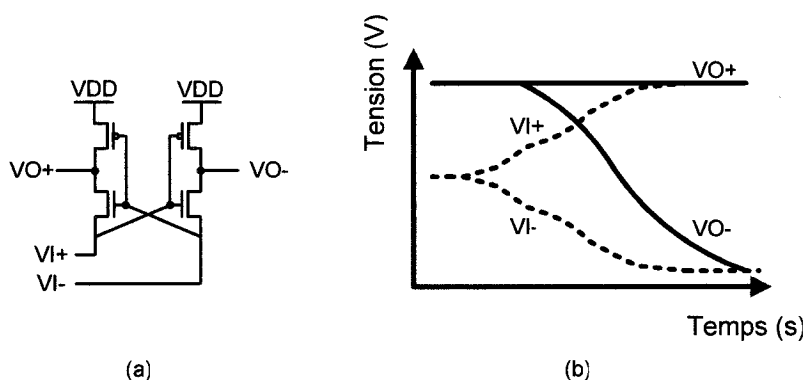


Figure 3.14. a) Circuit d'arbitrage différentiel [49], et sa b) réponse transitoire.

3.6. APPROCHES ET INNOVATIONS

Dans un cadre SDR, le CAN doit respecter des spécifications à larges bandes ayant un taux d'échantillonnage excessivement élevé. Les performances requises pour atteindre de telles fréquences nécessitent l'utilisation d'un CAN parallèle. Cette architecture a néanmoins le défaut de consommer beaucoup de puissance. Dans ce projet, nous utiliserons une implémentation qui s'efforcera de minimiser la consommation de puissance dans un but de portabilité. L'objectif est de réaliser un CAN flash de 6 bits dans la technologie CMOS 0.18 μm optimisé selon les critères suivant : linéarité, taux d'échantillonnage et consommation en puissance. Le convertisseur réalisé a les particularités suivantes :

1. Utilisation d'un pré-É/B pour stabiliser V_{IN} aux entrées des préamplificateurs (section 3.2.2.1);
2. Adoption de l'approche de filtrage spatial proposée par H. Pan (section 3.3.4.1) pour réaliser le réseau de moyennage;
3. Emplois du pipelining pour réduire la métastabilité au niveau des comparateurs (section 3.5.3.1);
4. Utilisation du décodeur en arbre (section 3.5.2.4) encodé en code Q-Gray (section 3.5.2.2) pour corriger les erreurs dans le CT;

Dans ce mémoire, nous avons implémenté un CAN parallèle ultra rapide en logique « MOS Current Mode Logic » (MCML) qui est une voie non encore explorée pour minimiser la consommation. Le principe de fonctionnement des circuits MCML va être introduit au début du Chapitre 4.

CHAPITRE 4

Conception du CAN parallèle de 6 bits

4.1. INTRODUCTION

Ce chapitre est consacré aux aspects de la modélisation et de la conception au niveau schématique du CAN parallèle de 6 bits. Ce circuit est complètement intégré, dessiné et fabriqué en technologie CMOS 0.18 μm , et il fonctionne sous une faible alimentation. Nous traiterons, en premier lieu, des avantages et surtout de l'utilité des circuits MCML par rapport aux circuits CMOS pour des applications hautes fréquences. Nous enchaînerons avec la description de l'architecture du CAN et les spécifications voulues. Ensuite une description détaillée des blocs et de leurs rôles sera donnée. Les blocs en question sont : le pré-échantillonneur bloqueur (É/B), le préamplificateur, le réseau de moyennage, le comparateur MCML, l'échelle résistive et le décodeur MCML. Aussi, les résultats de simulation du SNDR, SFDR, DNL et INL sont données dans ce chapitre. Enfin, une discussion autour des résultats obtenus sera donnée.

4.2. DESCRIPTION DU MCML

La structure de base d'une porte MCML comporte un réseau de rappel de résistances vers le niveau haut (pull-up network – PUN) et vers le niveau bas (pull-down network – PDN) et une source de courant de polarisation constante [38, 68], tel qu'illustré à la Figure 4.1a.

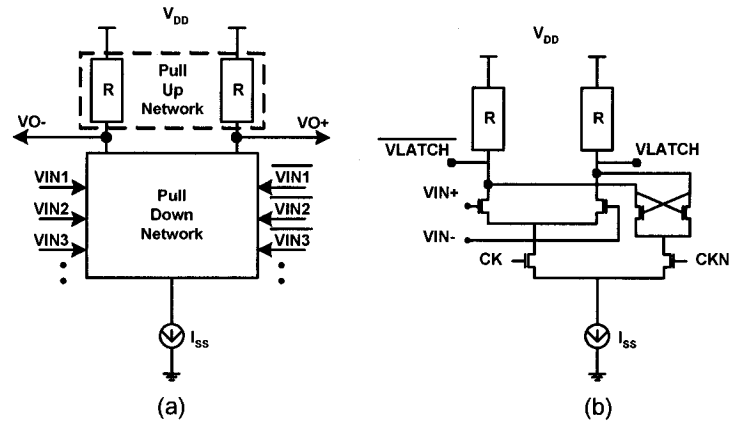


Figure 4.1. Diagramme MCML illustrant (a) sa structure de base, et (b) son circuit à verrou (Latch).

Contrairement à la structure des portes logiques CMOS, les entrées au PDN affectant la porte MCML sont différentielles, de même que les deux sorties VO+ et VO-. Ceci a pour conséquence de donner au MCML une grande résistance aux bruits communs comparés aux logiques CMOS. De plus pour être fonctionnelle, le MCML ne nécessite pas des transitions complètes des tensions de sortie VO+ et VO- d'un pôle à l'autre de l'alimentation, contrairement à la logique CMOS. En fait, la plage dynamique des tensions de sorties (ΔV) est donnée par l'équation (4.1) :

$$\Delta V = I_{SS} \cdot R \quad (4.1)$$

où I_{SS} est le courant de polarisation et R est la charge de rappel au niveau V_{DD} . La Figure 4.1b montre la configuration MCML d'un circuit à verrou (latch). En premier lieu, le signal d'horloge (CK) active la paire différentielle et le circuit à verrou est en mode lecture. Ensuite, la seconde phase d'horloge (CKN) active la paire de transistors

en configuration couplage transversal (cross-coupled) pour régénérer les niveaux de sorties.

4.2.1. Performance MCML versus CMOS

Le 1^{er} critère pour utiliser des portes MCML est lié au fait que le temps de commutation est indépendant de la tension d'alimentation, contrairement aux portes CMOS. Le délai dans une porte MCML (τ_{MCML}) est proportionnel à [38]:

$$\tau_{MCML} = \frac{\Delta V}{I_{SS}} \cdot C = RC \quad (4.2)$$

où C représente la charge capacitive de chaque sortie différentielle. De son côté, la porte CMOS a une constante du temps de délai (τ_{CMOS}) proportionnelle à [38] :

$$\tau_{CMOS} = RC = C \frac{2V_{DD}}{k(V_{DD} - V_T)^\alpha} \quad (4.3)$$

où les constantes k et α dépendent de la variation de procédés de fabrication et de la taille des transistors. À partir des équations (4.2) et (4.3), on peut déduire que la porte MCML maintient sa vitesse de commutation indépendamment de V_{DD} . Par contre, la porte CMOS subira certainement une dégradation en vitesse au fur et à mesure que V_{DD} diminue. Une constatation importante découle de cette observation : il est possible de réduire la consommation en puissance des portes MCML sans affecter leurs performances.

Le 2^e critère pour utiliser les portes MCML est la présence d'un compromis entre la vitesse d'opération et la consommation en puissance pour des gammes de fréquences supérieures à 500 MHz. En effet, à cause de son mode courant, une porte MCML dissipe de la puissance statique (P_{MCML}) correspondant à :

$$P_{MCML} = V_{DD} \cdot I_{SS} \quad (4.4)$$

Il est notable que la consommation ne dépend pas de la fréquence d'horloge (f_{CK}). Par contre, les portes CMOS dissipent de la puissance dynamique (P_{CMOS}) selon la relation :

$$P_{CMOS} = f_{CK} \cdot C \cdot V_{DD}^2 \quad (4.5)$$

Malgré le fait que la logique CMOS consomme moins à une f_{CK} peu élevée, elle est reconnue pour consommer plus que la logique MCML à des fréquences s'approchant des GHz [68]. Donc, les portes MCML favorisent les opérations à des fréquences d'horloge ultra-rapide, tout en ayant une consommation de puissance moindre à haute fréquence que les portes CMOS.

4.2.2. Conception de la logique MCML

La création d'un diagramme de décision binaire (Binary Decision Diagram – BDD) permet de construire la fonction logique des portes MCML. Le BDD est une description booléenne de toutes les possibilités d'une fonction logique donnée. La Figure 4.2a affiche l'exemple d'un BDD de la fonction $F = A \oplus B \oplus C$, qui peut être décomposée en :

$$\begin{aligned} F &= (A \oplus B)' \cdot C + (A \oplus B) \cdot C' = (AB + A'B') \cdot C + (A'B + AB') \cdot C' \\ &= ABC + A'B'C + A'BC' + AB'C' \\ &= A \cdot (BC + B'C') + A' \cdot (B'C + BC') \end{aligned}$$

À partir du BDD, on construit le réseau de rappel au niveau bas, tel qu'affiché à la Figure 4.2b. D'autres portes MCML peuvent être implémentées suivant le même principe. Généralement, on limite la profondeur du réseau NMOS à trois niveaux au plus.

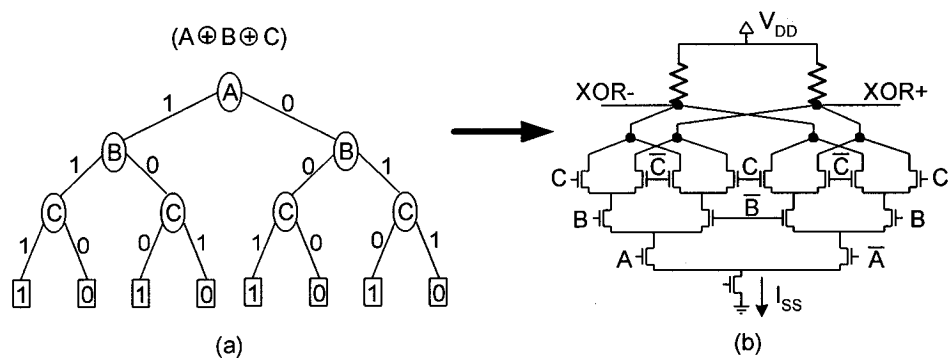


Figure 4.2. Conception de la $F = A \oplus B \oplus C$ en logique MCML : (a) à partir du BDD, (b) schéma électrique correspondant.

4.3. CAN PARALLÈLE DE 6 BITS

4.3.1. Architecture dans sa vue d'ensemble

Un CAN parallèle ultra-rapide de 6 bits tirant profit de la technique de conception MCML a été conçue et fabriquée en technologie CMOS 0.18 μm de Taiwan Semiconductor Manufacturing Company (TSMC). La nouveauté dans ce domaine est l'utilisation des circuits MCML dans la conception du CAN parallèle. La conception du convertisseur MCML a pour objectif de maximiser la vitesse tout en minimisant le niveau de consommation en puissance. Le schéma électrique simplifié du CAN de 6 bits, qui comporte un module pré-É/B (section 4.3.2) pour mener à bien le pré-échantillonnage (section 3.2.2.1) est illustré à la Figure 4.3. L'échelle résistive (section 4.3.7) fournit les tensions de références aux 83 préamplificateurs formant le 1^{er} étage parallèle à l'entrée du CAN. Parmi eux, 20 agissent comme préamplificateurs excédentaires (dummies) dans le but de terminer efficacement le réseau de moyennage (section 4.3.8), qui s'inspire de l'approche du filtre spatial (section 3.3.4.1). Les préamplificateurs, suivis des 63 comparateurs (section 4.3.4) sont construits à partir de circuits à verrou MCML. Ils convertissent le signal à la sortie du pré-É/B en code thermomètre (CT). L'étage du décodeur (section 4.3.5) est conçu à partir des portes MCML. Le décodeur convertit le code CT en code binaire suivant le schéma d'encodage Q-Gray (section 3.5.2.2). De même, le décodeur comprend le sous-décodeur 1-parmi-N (section 3.5.2.1) formé d'une rangée de 63 portes ET MCML, qui filtre les bulles de 1^{er} ordre, susceptible d'apparaître dans le code CT. De plus, un tampon d'horloge MCML a été conçu pour charger et décharger les éléments mémoires des circuits MCML. Enfin, la nature différentielle du pré-É/B, des préamplificateurs, des comparateurs et du CAN en général contribuent largement à réduire les distorsions de 2^e ordre. À l'exception du pré-É/B, tous les autres modules ont été réalisés en circuits MCML, et opèrent sous une alimentation de 1.2 V. Seulement le pré-É/B opère à 1.8 V. Le Tableau 4.1 résume les spécifications désirées du CAN.

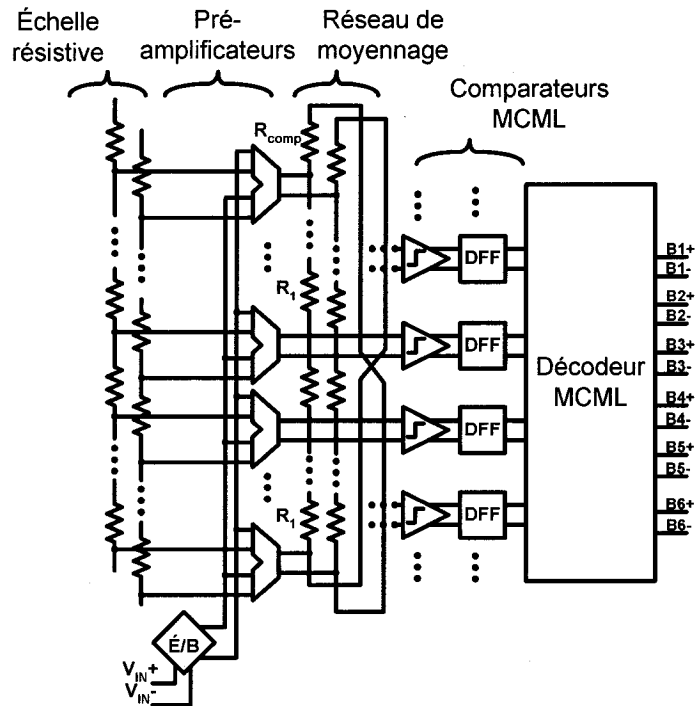


Figure 4.3. Schéma simplifié du CAN parallèle de 6 bits conçu en partie avec les circuits MCML.

Tableau 4.1. Spécifications ciblées pour le CAN parallèle.

Tension d'alimentation (V)	1.8, 1.2
F_s (GÉPS)	> 1.0
Consommation (mW)	~ 170
Résolution (bits)	6
ERBW (MHz)	> 500.0
SNDR (dB)	> 36.0
SFDR (dB)	> 40.0
DNL (LSB)	0.5
INL (LSB)	0.5
Plage dynamique de $V_{IN+/-}$ (mV)	500.0
V_{LSB} (mV)	~ 7.5

$$R_{on-S1} = \frac{1}{\mu C_{ox} \frac{W_{S1}}{L_{S1}} |V_{GS} - V_T|} \quad (4.6)$$

où W_{S1} et L_{S1} sont respectivement la largeur et la longueur du transistor S_1 . Ainsi, l'échantillonnage de V_{IN+} et V_{IN-} est équivalent à un circuit RC, dont la bande passante ($F_{3dB\text{-}échantillonnage}$) est donnée par :

$$F_{3dB\text{-}échantillonnage} = \frac{1}{2\pi \cdot R_{on-S1} \cdot C_H} \quad (4.7)$$

où C_H correspond à la capacité de charge, tel qu'illustré à la Figure 4.4b. Pour le circuit de tampon, constitué des transistors M_{tampon} et M_1 - M_2 , la bande passante ($F_{3dB\text{-}tampon}$) est estimée à (annexe A) :

$$F_{3dB\text{-}tampon} = \frac{1}{2\pi} \cdot \frac{g_{m\text{-}tampon} \cdot R_{cascode} + 1}{R_{cascode} \cdot C_L} \quad (4.8)$$

où $g_{m\text{-}tampon}$ est la transconductance de M_{tampon} , C_L est la charge capacitive résultant des 83 préamplificateurs parallèles placés à la sortie du pré-É/B, et $R_{cascode}$ est le résultat de la configuration cascode de M_1 - M_2 . La valeur nominale de $R_{cascode}$ est donnée par [22] :

$$R_{cascode} = g_{m2} \cdot r_{ds1} \cdot r_{ds2} \quad (4.9)$$

où g_{m2} est la transconductance de M_2 , et r_{ds1} et r_{ds2} sont les résistances entre le drain et la source de M_1 et M_2 respectivement. La valeur de C_H dans l'équation (4.7) est beaucoup moins grande que celle de C_L dans l'équation (4.8). Par conséquent, le goulot d'étranglement du taux d'échantillonnage du pré-É/B provient du circuit de tampon. Notons qu'il faut maximiser $F_{3dB\text{-}tampon}$ et $F_{3dB\text{-}échantillonnage}$ par rapport à F_s , afin d'optimiser le SFDR (par conséquent, le SNDR) du pré É/B (annexe B). Nous avons opté pour un tampon NMOS aux dépens du PMOS pour optimiser la largeur de $F_{3dB\text{-}tampon}$. Par ailleurs, le tampon a un gain DC (G_{tampon}) presque unitaire dû à la grande valeur de $R_{cascode}$ et de $R_{ds\text{-}tampon}$ (la résistance équivalente de M_{tampon}), et est donné par (annexe A) :

$$G_{tampon} = \frac{g_{m\text{-}tampon} \cdot R_{cascode} \parallel R_{ds\text{-}tampon}}{g_{m\text{-}tampon} \cdot R_{cascode} \parallel R_{ds\text{-}tampon} + 1} \approx 1 \quad (4.10)$$

Les sources de distorsions du pré-É/B de la Figure 4.4a sont : l'injection de l'horloge (clock feedthrough) [23] et la non-linéarité de la « résistance » commutée S1 (R_{on-S1}). Le bruit thermique kT/C [20], généré par R_{on-S1} et C_H , représente moins de 1% de distorsion totale comparativement à la valeur d'un V_{LSB} (7.5 mV) du CAN, ce qui est négligeable.

4.3.2.2. Spécifications ciblées pour le pré-É/B

Le pré-É/B doit consommer le moins possible d'énergie et opérer à un taux supérieur à 1 GÉPS. De plus, les spécifications du pré É/B tiennent compte des trois importants critères (section 3.2.2.1), soit : l'É/B doit avoir une résolution supérieure au convertisseur et il doit offrir une résolution suffisante pour supporter le SNDR et SFDR. Le Tableau 4.2 donne les détails des spécifications ciblées.

Tableau 4.2. Spécifications ciblées pour le pré É/B.

Tension d'alimentation (V)	1.8
F_s (GÉPS)	> 1.0
Consommation (mW)	< 10.0
Résolution (bits)	> 6
SNDR (dB)	> 36.0
SFDR (dB)	> 40.0
Plage dynamique de $V_{IN+/-}$ (mV)	500.0

4.3.2.3. Modélisation et optimisation

La valeur de C_H (800 fF) est sélectionnée en fonction du F_{3dB} -échantillonnage désiré (équation (4.7)), qui doit être de loin supérieure à la somme des charges capacitives parasites environnantes. De même, C_H génère un bruit kT/C correspondant à 72 μV .

La valeur de W_{S1} a pour but de minimiser R_{on-S1} , de façon à s'assurer d'un F_{3dB} -échantillonnage élevé avec la valeur C_H respective. La grille de S1 (L_{S1}) doit être de taille minimale (0.18 μm), afin d'optimiser sa vitesse de commutation.

Le transistor S_{dummy} a pour but d'annuler l'effet de distorsion engendré par l'injection de l'horloge, en empêchant la moitié des charges injectées à travers S1 (résultant des transitions d'horloge) de se rendre à C_H [59]. De ce fait, $W_{S-dummy}$ (47.5

μm) est d'environ 2 fois moins large que W_{S1} ($100 \mu\text{m}$), afin de former une capacité parasite correspondant à la moitié de celle générée par S1.

La linéarité du pré-É/B est affectée en grande partie par la linéarité de la valeur de $R_{\text{on-S1}}$, qui varie selon l'amplitude $V_{\text{IN}+}$ ($V_{\text{IN}-}$) :

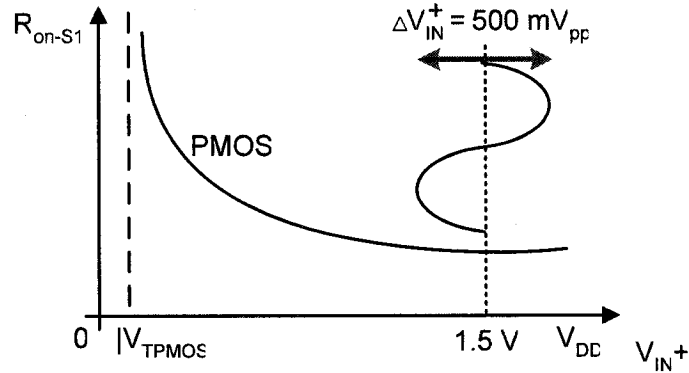


Figure 4.5. Variation de la valeur de $R_{\text{on-S1}}$ du PMOS en fonction de $V_{\text{IN}+}$.

La valeur de $R_{\text{on-S1}}$ est relativement constante lorsque $V_{\text{IN}+}$ ($V_{\text{IN}-}$) s'approche de V_{DD} (1.8 V). Pour cette raison, $V_{\text{IN}+}$ ($V_{\text{IN}-}$) oscille entre une tension commune ($V_{\text{IN-CM}}$) de 1.5 V et sa dynamique ne dépasse guère $500 \text{ mV}_{\text{pp}}$.

Les deux caractéristiques importantes pour le tampon (M_{tampon}) sont : son gain qui doit être unitaire (G_{tampon}) et l'atteinte d'une large bande passante ($F_{3\text{dB-tampon}}$). Pour obtenir un G_{tampon} (équation (4.10)) quasi unitaire, on opte pour un miroir de courant cascode au lieu d'un miroir de courant simple pour maximiser R_{cascode} (équation (4.9)). De même, il faut maximiser le courant de polarisation du tampon (2.2 mA) et le rapport $W_{\text{tampon}}/L_{\text{tampon}}$ ($240 \mu\text{m}/0.2 \mu\text{m}$) pour optimiser la valeur de $g_{\text{m-tampon}}$. Un $g_{\text{m-tampon}}$ élevé rapproche G_{tampon} du gain unitaire et élargit la plage de $F_{3\text{dB-tampon}}$. En fait, $g_{\text{m-tampon}}$ est le seul paramètre modifiable que l'on peut ajuster dans l'équation (4.8) pour optimiser $F_{3\text{dB-tampon}}$. D'autre part, M_{tampon} a son substrat connecté à sa source, afin d'éliminer l'effet du substrat sur la valeur $g_{\text{m-tampon}}$ (body effect). M_{tampon} opère en région de saturation du transistor, alors que S1 et S_{dummy} opèrent, en principe, en région triode lorsqu'ils sont activés.

4.3.2.4. Résultats de la simulation schématique

La Figure 4.6 présente les courbes de SNDR (dB) et SFDR (dB), résultant de la simulation schématique du pré-É/B, en fonction de F_{IN} , à $F_s = 1.6$ GÉPS. Le SNDR, le SFDR, la consommation, la résolution, et les autres résultats sont affichés au Tableau 4.3. Mentionnons que la résolution est calculée à partir du SNDR (dB) correspondant à l'équation (2.9).

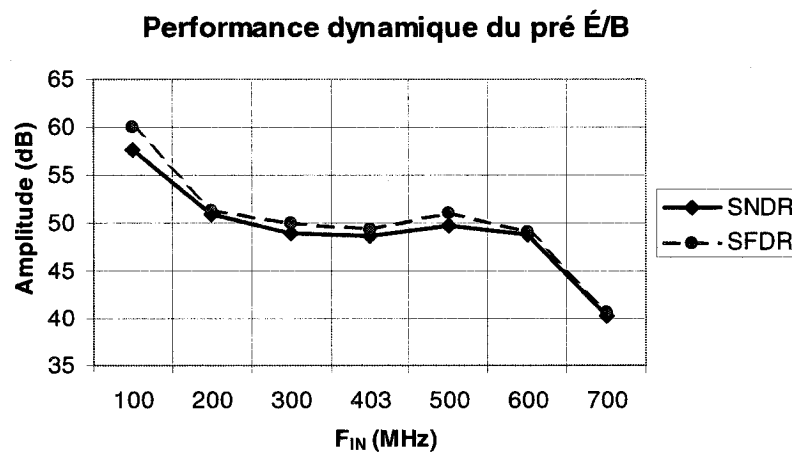


Figure 4.6. Performances dynamiques en SNDR et SFDR du pré-É/B à $F_s = 1.6$ GÉPS.

Tableau 4.3. Résultats obtenus de la simulation schématique du pré-É/B.

Tension d'alimentation (V)	1.8
F_s (GÉPS)	1.6
Consommation (mW)	9.14
Résolution à $F_{IN} = 100$ MHz (bits)	9.3
SNDR à $F_{IN} = 100$ MHz (dB)	57.6
SFDR à $F_{IN} = 100$ MHz (dB)	60.0
Plage dynamique de $V_{IN\pm}$ (mV)	500.0
V_{IN-CM} (V)	1.5

4.3.3. Préamplificateur

4.3.3.1. Schéma électrique et conception

Le schéma électrique du préamplificateur différentiel employé, ainsi que les valeurs de ses composantes, sont fournis à la Figure 4.7.

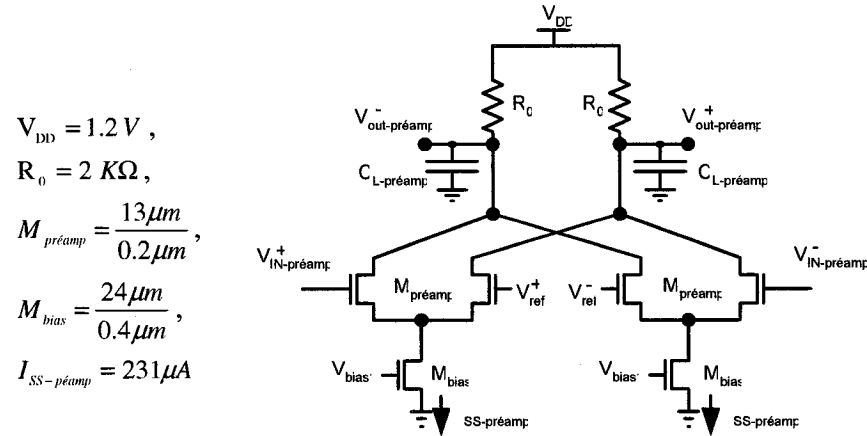


Figure 4.7. Schéma électrique du préamplificateur différentiel.

Le préamplificateur joue plusieurs rôles à l'intérieur du CAN parallèle. Premièrement, il empêche la propagation du bruit de rebond (section 2.3.2.1), provenant des comparateurs, vers les sorties de l'É/B ($V_{IN-\text{préamp}}^+$, $V_{IN-\text{préamp}}^-$) qui sont aussi les entrées des préamplificateurs. Deuxièmement, il facilite l'opération des comparateurs en amplifiant l'entrée différentielle et sa tension de référence V_{ref}^+ (et V_{ref}^-) respective. Troisièmement, il joue un rôle clé dans le réseau de moyennage (section 3.3).

Le préamplificateur est différentiel, par conséquent, sa structure impose que $V_{ref}^+ = -V_{ref}^-$ et que $V_{IN-\text{préamp}}^+ = -V_{IN-\text{préamp}}^-$. L'analyse de son gain ($A_{\text{préamp}}$) est semblable à celui du préamplificateur simple, i.e. celui formé d'une seule paire-différentielle. Toutefois, la transconductance ($g_{m-\text{préamp}}$) se trouve doublée en sortie de la structure différentielle, ce qui se reflète aussi sur $A_{\text{préamp}}$ (annexe C) :

$$A_{\text{préamp}} = \frac{V_{\text{out-préamp}}^+ - V_{\text{out-préamp}}^-}{V_{\text{IN-préamp}}} = 2 \cdot g_{m\text{-préamp}} \cdot R_0 \quad (4.11)$$

où R_0 est la charge résistive du préamplificateur. L'expression mathématique de la bande passante ($F_{3\text{dB-préamp}}$) est donnée par (annexe C) :

$$F_{3\text{dB-préamp}} = \frac{1}{2\pi \cdot R_{L\text{-préamp}} \cdot (C_{L\text{-préamp}} + C_j)} \quad (4.12)$$

où $C_{L\text{-préamp}}$ représente la charge capacitive du comparateur perçue par le préamplificateur et d'autres capacités parasites provenant des transistors [24] et des interconnexions et C_j est la capacité des jonctions de chaque transistor des paires différentielles.

L'étendue de la plage d'entrée du préamplificateur (V_{id}) est donnée par :

$$V_{id} = 2 \cdot \sqrt{2} \cdot V_{\text{eff-préamp}} \quad (4.13)$$

Où :

$$V_{\text{eff-préamp}} = V_{\text{GS-préamp}} - V_T = \sqrt{\frac{I_{SS\text{-préamp}}}{\mu_n \cdot C_{OX} \cdot \frac{W_{\text{préamp}}}{L_{\text{préamp}}}}} \quad (4.14)$$

$V_{\text{GS-préamp}}$ est la tension grille-source de $M_{\text{préamp}}$, $I_{SS\text{-préamp}}$ est le courant qui commande les $M_{\text{préamp}}$, et $W_{\text{préamp}}$ et $L_{\text{préamp}}$ sont la largeur et la longueur de $M_{\text{préamp}}$. La valeur de V_{id} est fixée selon le critère de performance du réseau de moyennage (section 4.3.4).

À l'intérieur d'un CAN parallèle, le préamplificateur joue le rôle d'un comparateur (à faible gain), où le critère le plus important est le temps de transition et non la linéarité des sorties amplifiées. En connaissant $V_{\text{eff-préamp}}$ (obtenu à partir de la spécification V_{id}), l'équation (3.7) donne des indications quant aux valeurs de $F_{3\text{dB-préamp}}$ et du gain $A_{\text{préamp}}$ requis pour opérer dans un CAN à une fréquence F_s , où le gain du préamplificateur désiré à la fin de la période de transition T_s correspond à $G_{\text{préamp}}$. Le choix de ΔV dans l'équation (3.7) repose sur la précision du CAN, qui est de $0.5 V_{\text{LSB}}$ (3.8 mV).

Le préamplificateur doit être conçu de sorte à ce que le mésappariement des paires

différentielles génère le moins d'erreur de décalage possible ($\sigma V_{\text{offset-préamp}}$) (équations (2.10) à (2.14)), afin de ne pas trop affecter la linéarité du CAN.

4.3.3.2. Spécifications et résultats de la simulation schématique

Les spécifications ciblées, données au Tableau 4.4, sont celles obtenues à partir des simulations schématiques. Le préamplificateur doit consommer le moins possible et opérer à un taux (F_s) supérieur à 1 GÉPS. Le $G_{\text{préamp}}$ doit être sélectionné en vue de compenser la tension de décalage engendrée par le mésappariement au niveau du comparateur (section 4.3.4.2). La valeur du V_{id} fixée par le réseau de moyennage, doit être supérieure à $(630 \div 4) \text{ mV} = 157.5 \text{ mV}$, ce qui nous donne une indication sur le rapport entre $I_{\text{SS-préamp}}$ et $(W_{\text{préamp}}/L_{\text{préamp}})$, et la valeur $V_{\text{eff-préamp}}$ (équations (4.13) et (4.14)).

À l'étape de conception, les équations (4.11) et (4.12) nous donnent une idée quant à la manière d'ajuster les différents paramètres du préamplificateur afin d'obtenir les $A_{\text{préamp}}$ et $F_{3\text{dB-préamp}}$ désirés. Enfin, tous les transistors du préamplificateur opèrent en région de saturation, afin d'optimiser $A_{\text{préamp}}$ et $F_{3\text{dB-préamp}}$.

Tableau 4.4. Spécifications ciblées et résultats de simulation d'un modèle schématique du préamplificateur.

Spécifications	Ciblées	Obtenues
Tension d'alimentation (V)	1.2	1.2
F_s (GÉPS)	> 1.0	1.6
P_{total} (83 préamp.) (mW)	Minimum	46.00
$G_{\text{préamp}}$ (V/V)	> 3.0	4.0
$A_{\text{préamp}}$ (V/V)	> 5.0	5.0
$F_{3\text{dB-préamp}}$ (MHz)	> 644.0	~ 1200.0

4.3.4. Réseau de moyennage

4.3.4.1. Méthode de conception

Le réseau de moyennage est une version modifiée de l'approche du filtre spatial introduite par H. Pan (section 3.3.4.1). Dans le but d'éliminer davantage l'effet de

bordure (section 3.3.3), nous avons ajouté une résistance de compensation (R_{comp}) à chacune des extrémités du réseau, tel qu'affiché à la Figure 4.8. Nous terminons le réseau avec 20 préamplificateurs excédentaires, i.e. nous ajoutons donc 10 préamplificateurs excédentaires à chacune des deux extrémités du réseau. Nous rappelons ici qu'un des buts du moyennage est de faire en sorte que le nombre de préamplificateurs en couplage (P_C) correspond au nombre de préamplificateurs excédentaires. Ainsi notre CAN parallèle de 6 bits en comporte 83 au total. Sachant que $1 V_{LSB}$ est de 7.5 mV, et qu'il y a 83 points de référence au total, la plage dynamique des tensions d'entrée du préamplificateur ($V_{IN-préamp}^+, V_{IN-préamp}^-$) est de $84 \times 7.5 mV = 630 mV$.

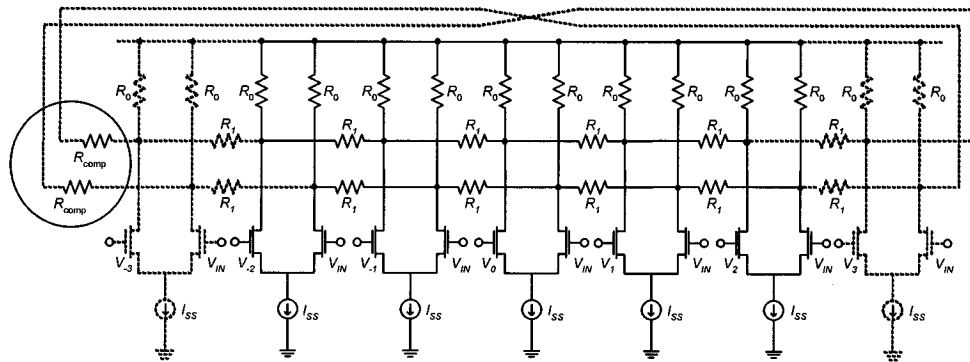


Figure 4.8. Réseau de moyennage du CAN avec l'ajout de R_{comp} .

Nous suggérons les étapes suivantes pour concevoir le réseau de moyennage :

1. *Opter pour un nombre de préamplificateurs excédentaires dont la gamme se trouve entre (1/6 à 1/2) du nombre total de préamplificateurs. Un nombre plus élevé augmenterait l'efficacité du moyennage [41, Fig. 5]; toutefois, elle se fait au dépens d'une surface plus élevée de la puce, d'une plus grande consommation de puissance, et d'une plage dynamique d'entrée réduite. Nous utilisons 20 préamplificateurs excédentaires, ce qui correspond environ à 1/4 du nombre total.*
2. *Ajuster le V_{id} (équations (4.13)) de sorte à ce que le nombre de préamplificateurs en couplage (P_C) (section 3.2.2) soit supérieur au nombre de préamplificateurs*

excédentaires choisis précédemment. Par exemple, sachant que la plage dynamique d'entrée est de 630 mV, V_{id} doit être supérieur à $(630 \times 1/4)$ mV. Dans notre cas, elle est de 231.5 mV.

3. *Choisir un rapport approprié pour R_0/R_1 ,* qui résulte d'un compromis entre l'efficacité du moyennage à améliorer la linéarité (INL, DNL) et la dégradation du gain ($A_{préamp}$). Rappelons qu'une dégradation de $A_{préamp}$ entraîne une dégradation de la réponse transitoire du préamplificateur (équation (3.7)). Un très grand rapport de R_0/R_1 améliore le moyennage, mais il affaiblit $A_{préamp}$. D'un autre côté, un très faible rapport donne lieu à un moyennage inefficace et diminue le $F_{3dB-préamp}$. La référence [43, Fig. 5] donne des indices de départ sur le rapport à utiliser pour débiter l'optimisation du réseau de moyennage. Les valeurs de R_0 et R_1 choisies sont de 2 K Ω et 200 Ω respectivement, ce qui donne un rapport de 10. La simulation du modèle schématique montre que le rapport choisi affecte très peu le $A_{préamp}$ et le $F_{3dB-préamp}$ à l'intérieur du réseau de moyennage, dont les résultats sont résumés au Tableau 4.4.
4. *Éliminer l'effet de bordure aux deux extrémités du réseau en ajustant R_{comp} .* Malheureusement, il n'existe pas de formule mathématique pour donner des indications sur la valeur de R_{comp} appropriée, tout se fait de manière itérative. La méthodologie est détaillée à l'annexe D.

4.3.4.2. Résultats de la simulation schématique

La méthode employée pour simuler le INL et le DNL est décrite à la section 4.3.9. Mentionnons tout de même que le réseau de moyennage améliore le DNL et le INL du CAN par un facteur de 9.66 et 3.75 respectivement, par rapport au même CAN sans moyennage. De plus, la résistance R_{comp} s'est montrée efficace pour rectifier l'erreur générée par le moyennage sur l'INL aux extrémités par un facteur de 3 (de 0.3 LSB à 0.08 LSB).

4.3.5. Comparateur MCML

4.3.5.1. Comparateur MCML versus comparateur CMOS

La section 4.1 a discuté diverses raisons pour lesquelles que les circuits MCML sont plus rapides et consomment moins de puissance que les circuits CMOS. Le défi consiste alors à créer un nouveau comparateur qui pourra tirer avantage de la structure MCML. Le schéma électrique du comparateur MCML est illustré à la Figure 4.9.

$$R_{L-com} = 500\Omega, M1_{cp} = \frac{18\mu m}{0.18\mu m}, M1_{com} = \frac{20\mu m}{0.18\mu m}, M1_{ck} = \frac{8\mu m}{0.18\mu m}, M1_{bias} = \frac{44\mu m}{0.4\mu m}, I1_{bias} = 432.6\mu A$$

$$M_p = \frac{6.7\mu m}{0.25\mu m}, M2_{cp} = \frac{8\mu m}{0.18\mu m}, M2_{com} = \frac{5\mu m}{0.18\mu m}, M2_{ck} = \frac{8\mu m}{0.18\mu m}, M2_{bias} = \frac{30\mu m}{0.4\mu m}, I2_{bias} = 233\mu A$$

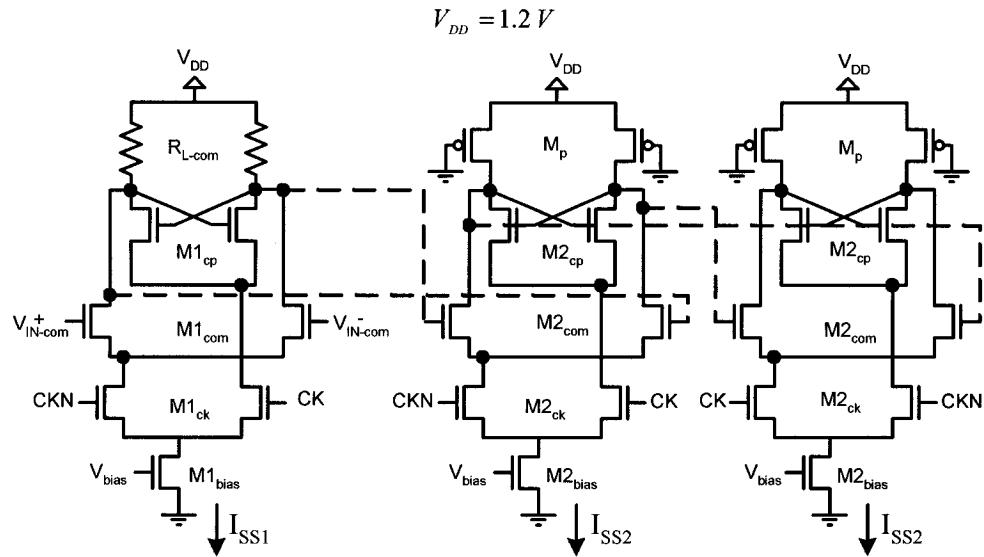


Figure 4.9. Schéma électrique du comparateur MCML.

4.3.5.2. Conception

Le comparateur MCML est constitué de trois circuits à verrou MCML pipelinés, dans le but de diminuer le comportement métastable (section 3.5.3.1). Chacun des circuits à verrou est composé d'une paire différentielle pour le mode de poursuite, d'une paire de transistors en couplage transversal pour le mode de régénération et de deux

transistors commutés qui sont commandés par des niveaux d'horloges complémentaires (CK et CKN).

En mode poursuite, on privilégie la bande passante ($F_{3dB-com}$) au lieu du gain ($A_{préamp-com}$) de la paire différentielle du comparateur, pour minimiser le niveau d'hystérésis du comparateur. Généralement, $A_{préamp-com} \sim 1$ V/V, et $F_{3dB-com}$ est plus large que F_s . L'équation pour $A_{préamp-com}$ est donnée par [25] :

$$A_{préamp-com} = \frac{V_{out-com}^+ - V_{out-com}^-}{V_{IN-com}^+ - V_{IN-com}^-} = g_{m-com} \cdot R_{L-com} \quad (4.15)$$

où g_{m-L} est la transconductance de la paire différentielle et R_{L-com} la charge résistive du circuit à verrou. L'équation (4.2) permet de dériver la relation mathématique de $F_{3dB-com}$:

$$F_{3dB-com} = \frac{1}{2\pi \cdot \tau} = \frac{1}{2\pi \cdot R_{L-com} \cdot C_L} \quad (4.16)$$

où C_L est la charge capacitive du module qui suit le circuit à verrou. De même, par le biais de l'équation (4.2), pour maximiser la vitesse de commutation du comparateur MCML, on maintient une faible dynamique pour les sorties différentielles ($\Delta V_{out-com} \approx 300$ mV).

En mode régénération, les transistors en couplage transversal amplifient davantage les niveaux de sorties des circuits à verrou, pour atteindre les crêtes de tension respectives. Les courants (I_{SS1} et I_{SS2}) qui commandent les circuits à verrou et la taille des transistors en couplage transversal influencent le gain de la régénération (annexe E). Plus I_{SS1} et I_{SS2} sont élevés, meilleur est le gain. De même, plus le rapport W/L des transistors transversaux est élevé, meilleur est le gain. Toutefois, s'il est trop élevé, la valeur des capacités parasites augmente, ce qui réduit ainsi la vitesse du comparateur dans les modes poursuite et régénération. Mentionnons qu'il est possible d'approximer la tension de décalage générée par le comparateur ($V_{offset-com}$) à partir des équations (2.10) à (2.14), qui est principalement due au 1^{er} étage du comparateur MCML. Cette erreur peut être rapportée à l'étage d'entrée du préamplificateur, en connaissant le

$G_{\text{préamp}}$ de celui-ci. La déviation standard totale sur la tension de décalage, rapportée à l'entrée du préamplificateur ($\sigma V_{\text{offset-total}}$), est donnée par :

$$\sigma V_{\text{offset-total}} \approx \sigma V_{\text{offset-préamp}} + \frac{\sigma V_{\text{offset-com}}}{G_{\text{préamp}}} \quad (4.17)$$

où $\sigma V_{\text{offset-total}}$ est la tension de décalage générée par le préamplificateur. Généralement, si le CAN a un $\text{DNL} \leq 0.5 \text{ LSB}$ et $\text{INL} \leq 0.5 \text{ LSB}$, $\sigma V_{\text{offset-total}}$ doit être $\leq 0.5 \text{ LSB}$. Ainsi, on assigne une valeur à $G_{\text{préamp}}$ ($\sim 3 \text{ V/V}$) selon la linéarité que l'on souhaite obtenir avec le CAN parallèle.

La métastabilité (section 2.2.2.5) et l'hystérésis sont les facteurs les plus importants à considérer lorsqu'on fait une étude comparative de deux comparateurs. L'hystérésis se produit lorsque le comparateur donne une décision erronée, souvent après avoir perçu une très faible variation d'amplitude entre les signaux d'entrées. Il se crée alors un phénomène de mémoire, i.e. la décision du comparateur à l'instant $t = 2T_s$ reste la même que celle de $t = T_s$. Le phénomène résulte notamment d'un temps de redressement insuffisant (T_s) pour vaincre l'inertie associée à une décision précédente.

En outre, nous avons démontré dans [9] que le comparateur MCML surpasse le comparateur CMOS à verrou (CMOS latch comparator) en termes de consommation de puissance, de vitesse, du niveau d'hystérésis et de la métastabilité. En effet, pour les mêmes conditions de performances, un comparateur MCML consomme seulement 1/3 de la puissance du comparateur CMOS.

4.3.5.3. Spécifications et résultats de la simulation du modèle schématique

Les spécifications ciblées et celles obtenues à partir des simulations du modèle schématique sont données au Tableau 4.5.

Tableau 4.5. Spécifications ciblées et résultats de la simulation du modèle schématique du comparateur MCML.

Spécifications	Ciblées	Obtenues
Tension d'alimentation (V)	1.2	1.2
F_s (GÉPS)	> 1.0	1.6
P_{total} (63 comparateurs) (mW)	Minimum	67.94
$\Delta V_{out-com}$ (mV)	~300	~300
Niveau hystérésis (LSB)	< 0.5	< 0.5
$A_{préamp-com}$: vérou #1, #2, #3 (V/V)	1.0	1.2, 1.25, 1.25
$F_{3dB-com}$: vérou #1, #2, #3 (GHz)	> F_s	5.2, 2.6, 2.0

4.3.7. Échelle résistive

4.3.7.1. Conception

Le but d'une échelle résistive est d'établir des tensions de référence du CAN parallèle. Son rôle est essentiel pour le bon fonctionnement du CAN. La différence de tension séparant deux niveaux de référence est d'exactly 1 V_{LSB} (7.5 mV). L'échelle résistive comporte au total un nombre de $(2^N - 1) + P_C$ résistances unitaires identiques (R), autrement dit, autant de résistances que de préamplificateurs. Par conséquent, le CAN en comporte 83.

La valeur de R a une influence sur le niveau de distorsion du CAN. En effet, il existe un phénomène de couplage entre $V_{IN-préamp}^+$ ou $V_{IN-préamp}^-$ et l'échelle résistive dont l'ampleur de la distorsion dépend de la fréquence du signal d'entrée F_{IN} du CAN (Figure 3.2). Les simulations du modèle schématique montrent que ce phénomène peut persister malgré la présence du pré-É/B, dépendamment de la valeur de R (Figure 4.10).

La distorsion, exprimée en LSB (D_{LSB}), engendrée sur le point du référentiel milieu de l'échelle, est donnée par [54] :

$$D_{LSB} = \frac{\pi}{4} \cdot F_{IN} \cdot R_{total} \cdot C_{total} \quad (4.18)$$

où R_{total} est la résistivité combinée des 83 R unitaires formant l'échelle résistive et C_{total} est la capacité totale générée par les 83 préamplificateurs se trouvant entre $V_{IN-préamp}^+$ ou

$V_{IN-préamp}^-$ et l'échelle. Ainsi, il est préférable de minimiser la valeur de R pour réduire l'effet du D_{LSB} . D'un autre côté, une faible valeur en R induit une plus grande consommation en puissance.

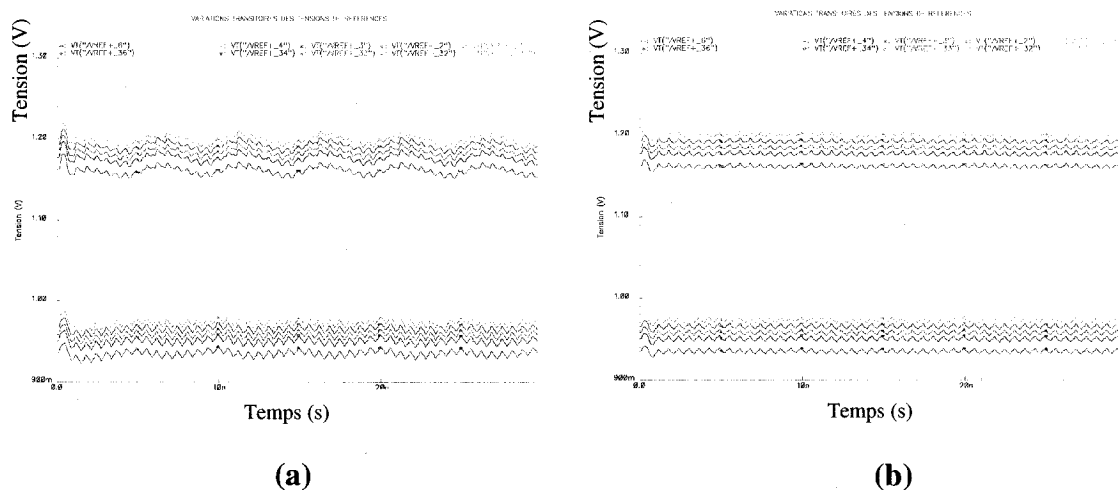


Figure 4.10. Variations transitoires des niveaux de référence, lorsque $F_s = 1.6$ GÉPS et $F_{IN} = 100$ MHz, dans le cas de (a) $R = 10 \Omega$, et (b) $R = 1 \Omega$.

4.3.7.2. Résultats de la simulation du modèle schématique

La valeur choisie de R est de 1Ω . La Figure 4.10 illustre les variations transitoires de certains niveaux de références, lorsque $F_s = 1.6$ GÉPS et $F_{IN} = 100$ MHz, pour les cas où : a) R est de 10Ω et b) R est de 1Ω . Les deux figures se distinguent par une variation sinusoïdale selon la fréquence F_{IN} dans la Figure 4.10a, et dont l'amplitude varie dépendamment du niveau de tension de référence. Ces variations sont absentes dans la Figure 4.10b. Ainsi, le CAN affiche un SNDR de 34.49 dB versus 36.85 dB pour les conditions décrites à la Figure 4.10a et 4.10b respectivement. Le Tableau 4.6 résume des résultats de comparaison obtenus par simulation au niveau schématique sur l'échelle résistive pour $R = 1 \Omega$ et $R = 10 \Omega$. Mentionnons la présence du bruit de rebond autant dans la Figure 4.10a que 4.10b. L'importance de bruit varie selon la fréquence F_s .

Tableau 4.6. Comparaison des résultats de simulation schématique de l'échelle résistive pour $R = 1 \Omega$ et $R = 10 \Omega$.

Valeur de R	1 Ω	10 Ω
Nombre de R	83	83
F_s (GÉPS)	1.6	1.6
F_{IN} (MHz)	100	100
SNDR du CAN résultant (dB)	36.85	34.49
P de l'échelle résistive (mW)	4.75	0.48

4.3.8. Décodeur en arbre MCML

4.3.8.1. Conception

Nous avons vu à la section 4.3.5.1 que le comparateur MCML est très avantageux en termes de vitesse et de consommation en puissance, comparé au comparateur CMOS. Toutefois, la gamme dynamique des tensions de sorties du comparateur MCML est limitée à 300 mV, ce qui est incompatible avec les décodeurs CMOS existants (section 3.5.2), dont la gamme dynamique de sorties varie d'une tension d'alimentation à l'autre. Pour fins de compatibilité, le décodeur doit être implémenté en circuits MCML. Il se trouve que le décodeur en arbre (section 3.5.2.4) performe remarquablement bien (Tableau 3.4). De plus, son architecture convient parfaitement aux circuits MCML. Par ailleurs, la Tableau 3.2 montre que l'encodage binaire ne corrige pas les bulles dans le code CT. D'un autre côté, le passage du code Gray au code binaire à la sortie du décodeur complique la conception d'une mise en œuvre en matériel (section 3.5.2.1). Ce sont les raisons pour lesquelles notre décodeur en arbre MCML utilise l'encodage Q-Gray (section 3.5.2.2). Enfin, à un niveau de consommation égal en puissance, nous avons constaté que le décodeur en arbre implémenté en circuits MCML est beaucoup plus rapide que celui implémenté en circuits CMOS [9].

Le décodeur en arbre MCML se compose principalement de logiques ET, OU et XOR combinées à une portion de circuit à verrou MCML (Figure 4.11). La synchronisation du décodeur justifie le choix du circuit à verrou. Les fonctions logiques des portes sont implémentées selon la méthode décrite à la section 4.2.3 et les tailles des

transistors sont ajustées selon les équations (4.15) et (4.16). Mentionnons que les paires différentielles doivent avoir un gain à peine supérieur à 1 V/V [61]. L'arrangement des portes ET et OU est semblable à celui présenté à la Figure 3.13 qui implémente l'encodage Q-Gray. Les portes XOR sont disposées selon la logique du Tableau 3.2b.

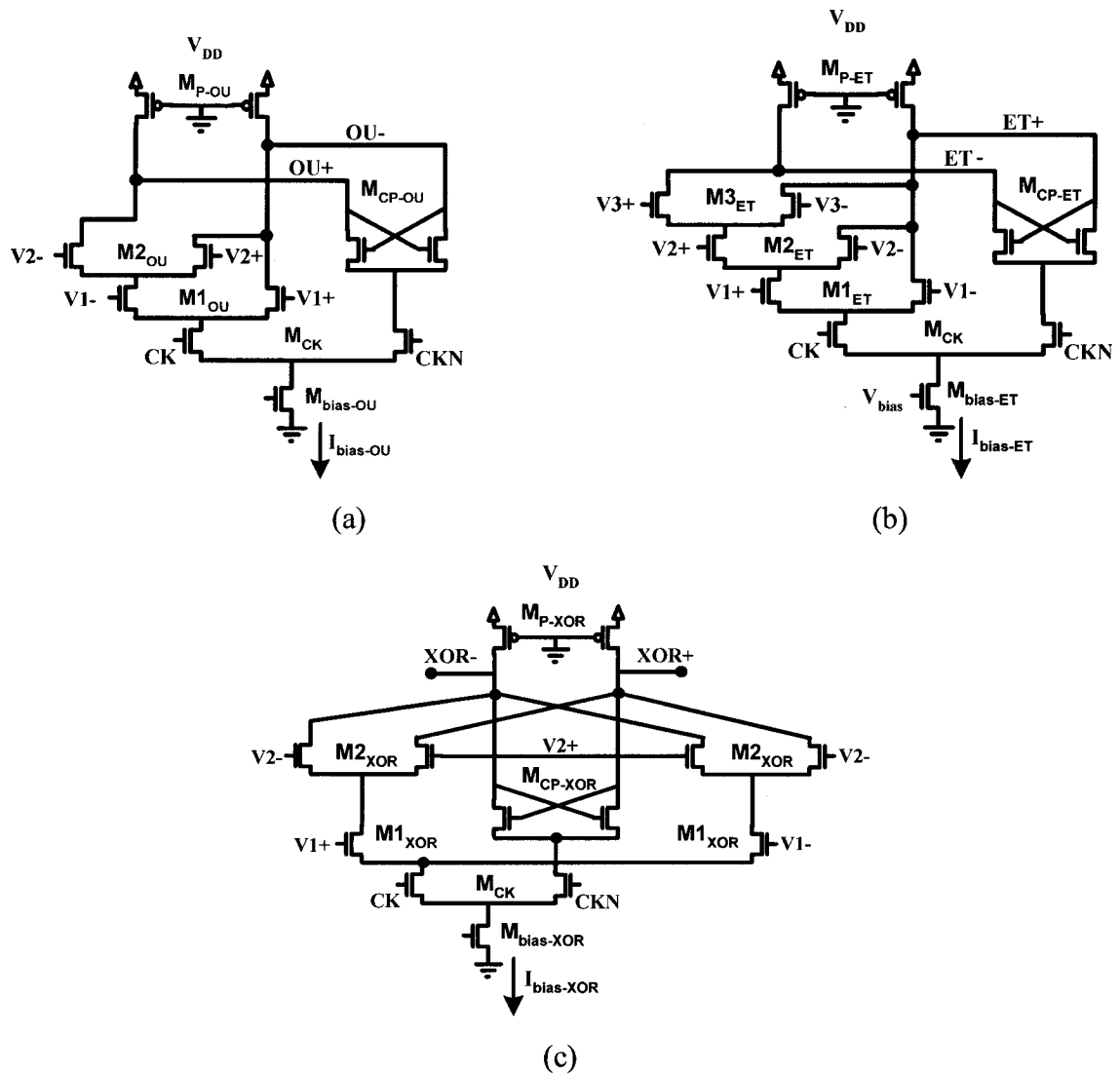


Figure 4.11. Schéma électrique de la porte (a) OU MCML à 2 entrées, (b) ET MCML à 3 entrées, et (c) XOR MCML à 2 entrées, combinée à la structure de circuit à verrou.

Les tailles des transistors et les courants nominaux utilisés sont :

$$\begin{aligned}
V_{DD} &= 1.2 \text{ V}, M_{CK} = \frac{5\mu m}{0.18\mu m} \\
M_{P-OU} &= \frac{5\mu m}{0.35\mu m}, M_{CP-OU} = \frac{11\mu m}{0.18\mu m}, M_{2OU} = \frac{10.4\mu m}{0.18\mu m}, M_{1OU} = \frac{10\mu m}{0.18\mu m}, M_{bias-OU} = \frac{16.4\mu m}{0.4\mu m}, \\
I_{bias-OU} &= 186.5\mu A \\
M_{P-ET} &= \frac{5.7\mu m}{0.3\mu m}, M_{CP-ET} = \frac{8\mu m}{0.18\mu m}, M_{3ET} = \frac{10.4\mu m}{0.18\mu m}, M_{2ET} = \frac{10.4\mu m}{0.18\mu m}, M_{1ET} = \frac{10\mu m}{0.18\mu m}, \\
M_{bias-ET} &= \frac{21.2\mu m}{0.4\mu m}, I_{bias-ET} = 207.3\mu A \\
M_{P-XOR} &= \frac{5.7\mu m}{0.3\mu m}, M_{CP-XOR} = \frac{11\mu m}{0.18\mu m}, M_{2XOR} = \frac{10.4\mu m}{0.18\mu m}, M_{1XOR} = \frac{10\mu m}{0.18\mu m}, M_{bias-XOR} = \frac{21.2\mu m}{0.4\mu m}, \\
I_{bias-XOR} &= 207.3\mu A
\end{aligned}$$

4.3.8.2. Spécifications et résultats de simulation du modèle schématique

Les spécifications ciblées des décodeurs et celles obtenues à partir de la simulation du modèle schématique sont données au Tableau 4.7. La valeur de ΔV_{out} correspond à la plage dynamique des transitions des sorties du décodeur MCML.

Tableau 4.7. Spécifications ciblées et résultats de simulation du modèle schématique du décodeur en arbre MCML.

Spécifications	Ciblées	Obtenues
Tension d'alimentation (V)	1.2	1.2
F_s (GÉPS)	> 1.0	> 1.6
P (mW)	Minimum	42.7
ΔV_{out} (mV)	~300	~300

4.3.9. Simulation du modèle schématique du CAN parallèle

Les résultats de la simulation du modèle schématique du CAN parallèle de 6 bits sont illustrés au Tableau 4.8. Nous avons obtenu les spécifications visées initialement (Tableau 4.1), ce qui nous permet de passer à l'étape de l'implémentation des dessins de masques.

L'outil Cadence ne fournit pas les paramètres nécessaires à la simulation Monte-Carlo en technologie CMOS 0.18 μm . Cette simulation est nécessaire pour déterminer

l'efficacité du moyennage et pour mesurer les DNL et INL du CAN. Pour ce faire, nous avons procédé en appliquant les étapes suivantes :

1. Calculer la déviation standard de la tension de décalage, rapportée à l'entrée du préamplificateur ($\sigma V_{\text{offset-total}}$), avec l'équation (4.17) et les équations (2.10) à (2.14). Notre $\sigma V_{\text{offset-total}}$ est approximativement de 5 mV. (Avec notre $G_{\text{préamp}}$, W et L des paires différentielles.)
2. Estimer les 63 valeurs de $\sigma V_{\text{offset-total}}$ appartenant à chacun des niveaux de décision, et les 20 valeurs de $\sigma V_{\text{offset-préamp}}$ (3.8 mV) correspondant aux tensions de décalage générées par les préamplificateurs excédentaires, en utilisant un générateur aléatoire de distribution gaussienne de l'outil Matlab :
 - a. $\sigma V_{\text{offset-total}} * \text{randn}(63)$
 - b. $\sigma V_{\text{offset-préamp}} * \text{randn}(20)$
3. Simuler les tensions de décalage obtenues dans l'étape 2 avec les sources de tension DC dans Cadence, et connecter ces sources DC entre l'échelle résistive et le niveau de référence de chaque préamplificateur.
4. Générer une rampe complémentaire aux entrées du CAN ($V_{\text{IN}+}$ et $V_{\text{IN}-}$) dans Cadence.
5. Collecter les valeurs numériques du CAN, et les comparer avec celles du même CAN simulé en condition idéale (fonction de transfert idéale), i.e. celles qui sont obtenues quand le CAN n'a pas de tension de décalage, pour calculer le DNL et INL (Figure 2.4). Pour ce faire, nous avons utilisé le fichier Matlab fourni à l'annexe F.

Les résultats obtenus termes de DNL et INL du CAN, pour un $\sigma V_{\text{offset-total}}$ de 5 mV et un $\sigma V_{\text{offset-préamp}}$ de 3.8 mV sont fournis à l'annexe G (Figure G.1a et G.1b). Les courbes en DNL et INL sans moyennage sont produites aux Figures G.2a et G.2b. Les performances dynamiques du CAN en SNDR et en SFDR, pour $F_s = 1.4$ GÉPS, simulées avec les mêmes valeurs en $\sigma V_{\text{offset-total}}$ et $\sigma V_{\text{offset-préamp}}$, sont produites à la Figure 4.12.

L'ERBW du CAN à cette fréquence d'échantillonnage est d'environ 625 MHz. Les Figures G.3a et G.3b montrent l'analyse spectrale du CAN pour $F_{IN} = 11$ MHz et $F_{IN} = 650$ MHz respectivement. De plus, un balayage de F_s effectué sur le CAN démontre qu'il peut opérer jusqu'à 1.6 GÉPS, tel qu'illustré à la Figure 4.13. Toutefois, sa performance dynamique se dégrade rapidement pour $F_{IN} > 400$ MHz. Pour des gammes de fréquences F_s plus élevées, il y a début de métastabilité qui reflète sur les 6 bits de sorties du CAN. Enfin, les simulations montrent que le ERBW du CAN a une largeur de bande optimale lorsque $F_s \leq 1.4$ GÉPS.

Tableau 4.8. Résultats de la simulation schématique pour le CAN parallèle de 6 bits, simulé avec $\sigma V_{offset-total} = 5$ mV et $\sigma V_{offset-préamp} = 3.8$ mV.

Tensions d'alimentation (V)	1.8 et 1.2
F_s optimal (GÉPS)	1.4
P (mW)	171.0
Résolution à $F_{IN} = 11$ MHz (bits)	5.7
ERBW (MHz)	625.0
SNDR à $F_{IN} = 11$ MHz (dB)	36.0
SFDR à $F_{IN} = 11$ MHz (dB)	44.0
DNL maximum (LSB)	0.19
INL maximum (LSB)	0.32
V_{IN-CM} (V)	1.5
Plage dynamique de $V_{IN+/-}$ (mV)	500.0
V_{LSB} (mV)	~ 7.5

Performance dynamique du CAN parallèle de 6 bits

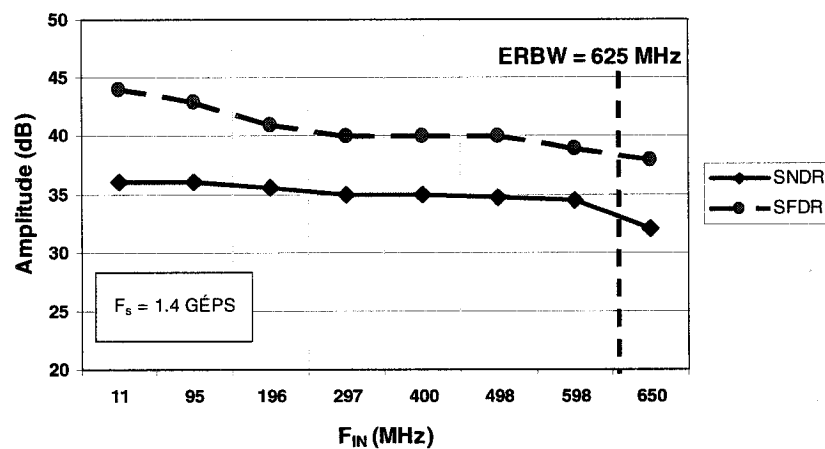


Figure 4.12. La performance dynamique du CAN en SNDR et en SFDR pour $F_s = 1.4$ GÉPS, simulées avec $\sigma V_{offset-total} = 5$ mV et $\sigma V_{offset-préamp} = 3.8$ mV.

Performance dynamique du CAN parallèle de 6 bits

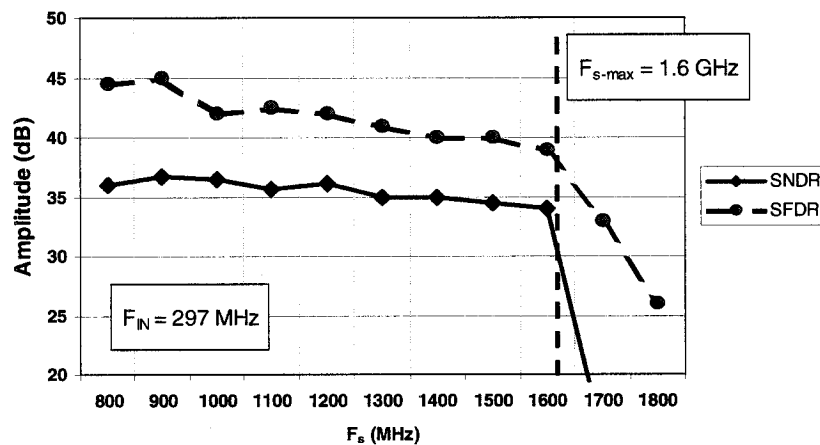


Figure 4.13. Performance dynamique du CAN en fonction de F_s , simulée avec $\sigma V_{offset-total} = 5$ mV et $\sigma V_{offset-préamp} = 3.8$ mV.

CHAPITRE 5

Dessins de masques et résultats

5.1. INTRODUCTION

Les étapes qui suivent la conception schématique sont le dessin de masques et le test de la puce. Ce chapitre est divisé en cinq parties. Tout d'abord, nous introduirons quelques astuces de dessins de masques pour optimiser la performance du CAN. Ensuite, nous présenterons les résultats de simulations post-layout obtenus. Par la suite, il sera question de la configuration du banc de test et de ses résultats. Enfin, nous terminerons par une comparaison des performances du CAN avec des travaux récents dans le domaine.

5.2. DESSINS DE MASQUES

Une fois la conception au niveau schématique terminée, on passe à l'étape du dessin de masques. Cette tâche est critique quant au bon fonctionnement du circuit dans la puce, car c'est l'étape où le concepteur est le plus près du niveau matériel. Un concepteur de masques dessine en prenant compte de minimiser les trois aspects suivants : l'apparition des résistances et capacités parasites, les mésappariements (entre transistors, résistances et condensateurs), et la capture du bruit en provenance du substrat et du couplage diaphonique (*crosstalk*). Nous présentons dans cette section les précautions et les astuces entreprises tout au long du projet pour dessiner les plans de masques du CAN parallèle de 6 bits. De même, la puce du CAN en entier est illustrée à la Figure H.1 (annexe H).

5.2.1. Précautions pour minimiser les éléments parasites

Nous avons suivi quelques règles de bases pour minimiser l'extraction additionnelle des résistances et capacités parasites dans les dessins de masques.

En règle générale, on évite de dessiner en un seul morceau un transistor ayant une grande largeur W . Il est préférable de diviser le même transistor en unités parallèles moins larges (Figure 5.1). Ceci afin de minimiser l'effet résistif parasite du silicium polycristallin (poly-Si) qui forme la grille du transistor, et aussi pour réduire la valeur des capacités de déplétion à la source (C_{sb}) et au drain (C_{db}) du transistor par un facteur d'environ $(n+1)/2n$, où n est un nombre impair d'éléments en parallèles. Lorsque n est pair, les facteurs sont de $1/2$ pour l'une des deux valeurs capacitives et de $(n+2)/2n$ pour l'autre qui reste [17]. Dans notre dessin de masques, nos éléments parallèles ne dépassent pas $10\ \mu\text{m}$.

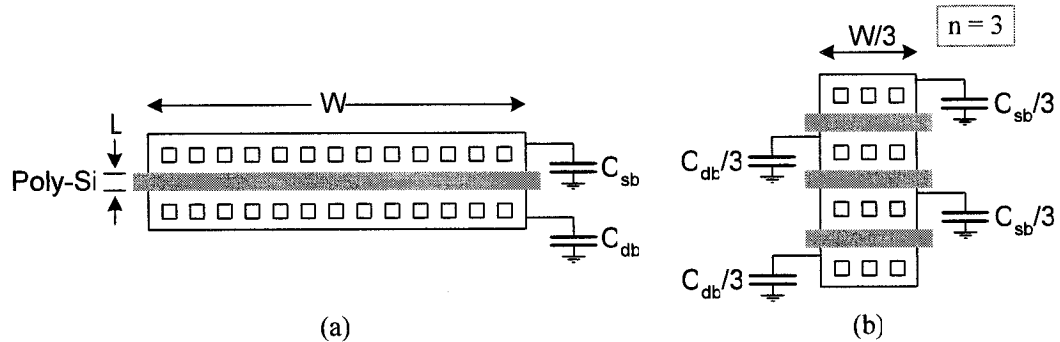


Figure 5.1. Dessin de masques d'un transistor avec rapport W/L élevé (a) en une pièce, (b) séparé en $n = 3$ unités parallèles.

De même, il faut maximiser le nombre de contacts, qui permettent la connexion du drain (D) ou de la source (S) du transistor avec une autre composante du circuit (Figure 5.2). Le même principe s'applique pour les vias, qui connectent les métaux de différents niveaux. En fait, chaque contact et chaque via comporte une résistance parasite et est limité par une certaine densité de courant. Par conséquent, il est préférable d'en placer autant que possible sur une surface donnée, afin de minimiser la résistance parasite équivalente et la densité de courant qui en résultent. Nous avons utilisé au moins 4 vias par interconnexion.

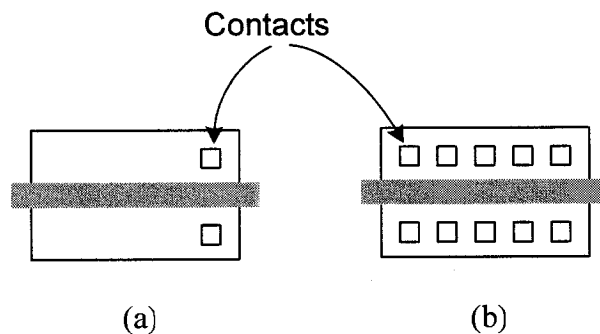


Figure 5.2. Dessin de masques d'un contact à un transistor formé (a) d'un seul contact, (b) d'un grand nombre de contacts.

En ce qui concerne le routage des interconnexions, il faut éviter de faire de longues traces de métal, car celles-ci génèrent des résistances et des capacités parasites

dont les valeurs dépendent de la largeur et de la longueur du matériel. De même, les risques d'électromigration diminuent avec une plus grande largeur.

Enfin, il faut éviter de router un signal avec du matériel poly-Si, car c'est un matériel beaucoup plus résistif que celui qui compose les couches de métal. Ainsi, nous utilisons les couches M1 à M6 pour router nos signaux d'entrées et de sorties entre les différents modules, et on se sert uniquement du poly-Si pour construire les grilles des transistors et pour dessiner les résistances.

5.2.2. Principes de dessins pour réduire le mésappariement

Comme il en est question dans les chapitres précédents, l'appariement des transistors dans les paires différentielles joue un rôle extrêmement important, et influence grandement la linéarité du CAN parallèle. De même, les paires de résistances du préamplificateur et du comparateur doivent être bien appariées, afin d'assurer une symétrie dans la paire différentielle, nécessaire à son bon fonctionnement. Pour cela, nous avons eu recours à la configuration de centroïde commun de type « ABBA » (Figure 5.3), couramment employée pour contrer l'effet que peuvent avoir les gradients en température et en épaisseur de l'oxyde de grilles sur l'appariement de deux ou plusieurs éléments.

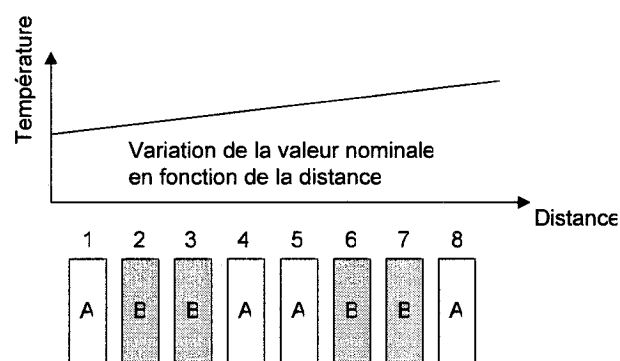


Figure 5.3. Configuration de centroïde commun de type « ABBA », pour contrer la variation due aux gradients.

De plus, pour éliminer les différences des concentrations de dopants causées par les conditions aux limites (boundary conditions), nous avons ajouté des unités excédentaires aux extrémités (Figure 5.4). Leur rôle est d'assurer que les deux unités A aux bordures soient entourés des mêmes éléments que ceux du centre. De cette manière, la technique accentue davantage l'appariement entre A et B.

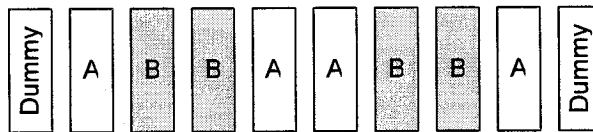


Figure 5.4. Configuration de centroïde commun de type « ABBA » avec la présence de « dummies ».

Pour finir, une technique pour réduire l'erreur absolue sur la valeur d'une résistance, particulièrement pour celles à l'intérieur de l'échelle résistive, consiste à disposer plusieurs unités résistives (3 ou plus) en parallèle, dans le but de moyenner la valeur résultante.

5.2.3. Astuces et principes de dessins pour minimiser le bruit

Dans tous circuits microélectroniques, plus particulièrement les circuits analogiques et numériques mixtes, en dehors de toutes sources de bruit de l'environnement externe, les bruits de couplages en provenance de l'intérieur de la puce elle-même représentent une grande source de problème. Dans notre dessin de masques, nous portons une attention plus particulière aux bruits de substrat et aux bruits de couplage des alimentations.

Les circuits analogiques mixtes sont soumis à d'importantes injections de bruits en provenance du substrat. La commutation des modules numériques engendre du bruit de commutation qui traverse le substrat et qui parasite les modules analogiques. Ainsi, il est important de bien séparer la section analogique de la section numérique sur le plan de masques. Pour éviter que le bruit de substrat ne se propage d'une section à l'autre, on les isole avec des anneaux de garde, qui sont placés tout autour de chacune des sections.

L'anneau de garde de la section analogique est constitué de connexions p^+ connectées à la masse (Figure 5.5a). Généralement, cette masse est séparée du reste du circuit, pour éviter toutes sortes d'interférences. De son côté, l'anneau de garde numérique offre une double protection et est constitué : d'un anneau de protection p^+ connectées à la masse, et d'un anneau de protection n^+ connecté à V_{DD} et il repose sur un puit-N (Figure 5.5b). Nous avons aussi placé des anneaux de garde autour des éléments passifs comme les condensateurs et l'échelle résistive.

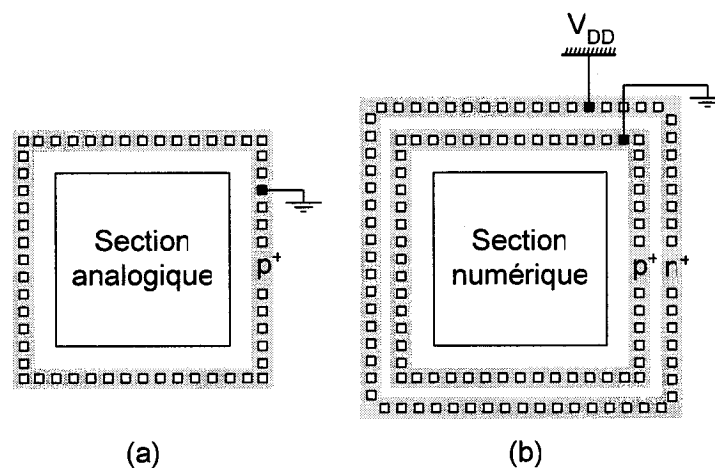


Figure 5.5. Anneau de garde (a) section analogique dopée p^+ , b) section numérique offrant une double protection, dopée de p^+ et n^+ .

L'autre type de bruit dominant provient du couplage des alimentations. En effet, le bruit de commutation généré par la section numérique s'injecte aussi aux lignes d'alimentations par le biais des interconnexions V_{DD} et V_{SS} . Ces injections transitoires vont parasiter l'alimentation analogique, si les lignes V_{DD} et V_{SS} des deux sections sont directement liés ensemble. Ce type de parasitage est la conséquence du fait que les interconnexions en métal ont une résistivité non nulle. Pour remédier à la situation, nous séparons l'alimentation et la masse de la section analogique de celles de la section numérique, chacune ayant leurs plots dédiés (Figure 5.6). Mentionnons que tous les plots de la puce ont un circuit de protection, à l'exception des plots d'entrées et de sorties des signaux analogiques et numériques à hautes fréquences. De plus, pour éviter

une grande valeur de résistance parasite, nous avons opté pour une largeur élevée des traces de métal.

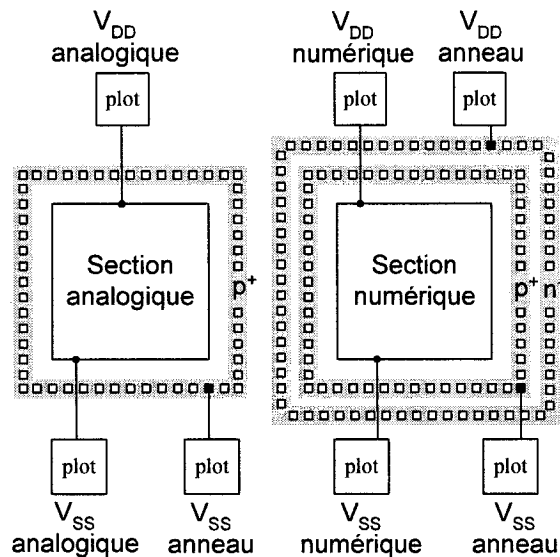


Figure 5.6. Séparation des alimentations et de la masse entre la section analogique et la section numérique, et entre les anneaux de gardes.

Enfin, il est important de mentionner le bruit de couplage diaphonique (*crosstalk*). Entre deux traces de métal, il existe des capacités mutuelles et des inductances qui font en sorte que les signaux se parasitent d'une trace à une autre. Lors du dessin de masques, nous minimisons le niveau d'interférence en distançant le plus possible 2 traces parallèles adjacentes confinées dans un espace donné (Figure 5.7a). Nous essayons de garder une distance qui correspond au double de la largeur de la trace. De plus, nous faisons en sorte d'alterner l'usage des diverses couches, plutôt que de placer les traces parallèles l'une à côté de l'autre sur la même couche de métal (Figure 5.7b).

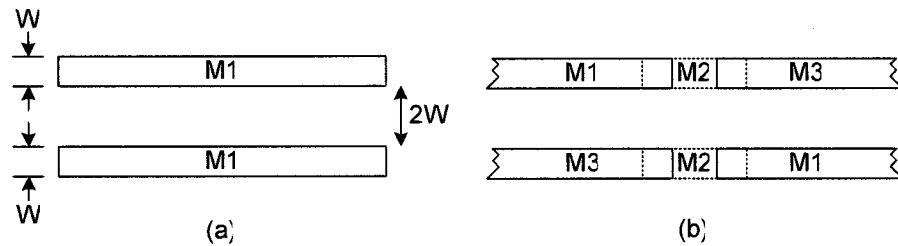


Figure 5.7. Techniques de dessins employées pour minimiser le couplage diaphonique (a) en distançant le plus possible deux traces parallèles, (b) en interchangeant les couches de métal.

5.2.4. Autres astuces

Dans ce travail, nous avons porté une attention particulière à la manière de distribuer les interconnexions de l'échelle résistive, qui doivent être acheminées de part et d'autre de la matrice des préamplificateurs. De même, nous faisons aussi attention à la façon de distribuer les signaux d'horloge et à la façon de router les interconnexions afin de faciliter les tâches associées au dessin du CAN parallèle de 6 bits.

En effet, dû au fait que chaque préamplificateur reçoit une paire de tensions de référence différentielles, chaque point dans l'échelle résistive doit être distribué symétriquement d'une extrémité à l'autre de la matrice (Figure 5.8a). Sans une méthodologie appropriée de routage, la connexion linéaire des référentiels entre l'échelle résistive et la matrice de préamplificateurs peut s'avérer extrêmement ardue et complexe, générant ainsi des traces de métal inutilement longues. Par conséquent, nous devons, dès le départ, planifier le placement de l'ensemble des modules (préamplificateurs, comparateurs et l'arrangement des portes logiques MCML du décodeur) en fonction du routage de ces interconnexions. Les schémas du routage, qui utilise une structure pliée, ainsi que l'ordre dans lequel les préamplificateurs sont placés sont illustrés à la Figure 5.8b.

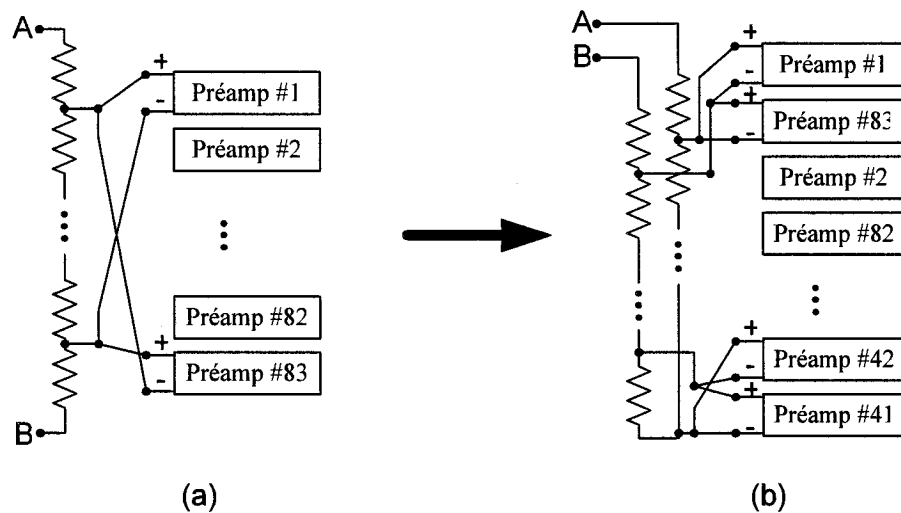


Figure 5.8. Échelle résistive (a) connexion linéaire qui génère des complications au niveau du routage dans le plan de masques, et (b) connexion pliée qui facilite le routage dans le plan de masques.

Les biais de synchronisation entre les signaux d'horloge (clock skew) est un phénomène inévitable auquel le concepteur doit faire face. Il y a deux catégories de biais, dépendamment de la manière dont les signaux d'horloge sont distribués dans la puce [26] : le biais positif (positive clock skew) et le biais négatif (negative clock skew). Il est plus facile de traiter avec le premier type de biais que le second. À l'encontre du biais négatif, le biais positif ne détruit pas l'aspect fonctionnel du circuit, et il est possible d'y remédier en diminuant la fréquence d'opération de l'horloge. Pour créer les conditions permettant le biais positif, nous avons routé les signaux d'horloge selon la Figure 5.9, i.e. à l'inverse du flot de conversion des données.

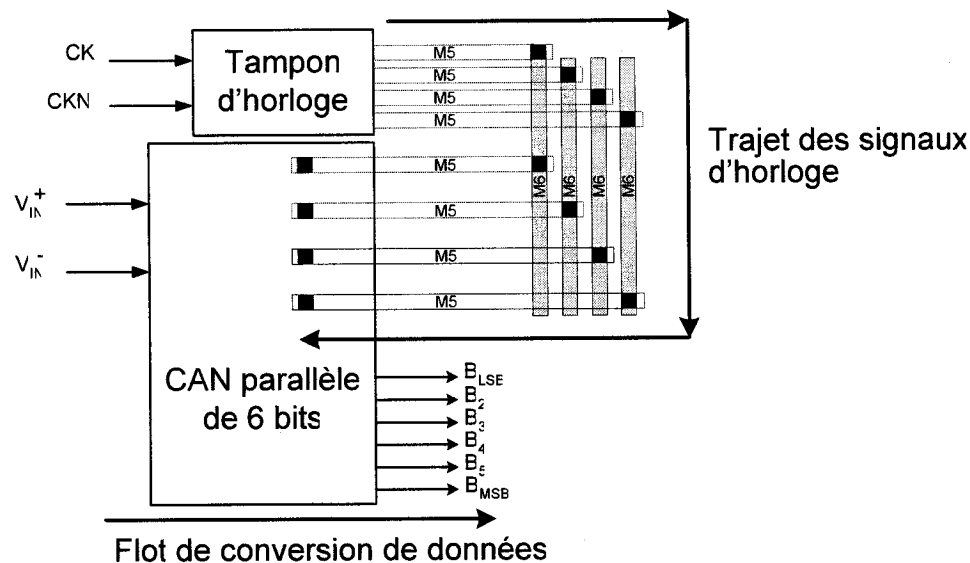


Figure 5.9. Routage des signaux d'horloge permettant le biais positif.

Le schéma du tampon d'horloge est illustré à la Figure I.1 (annexe I). Notons que le tampon, à lui seul, consomme environ 83 mW.

Enfin, lors du dessin de masques, il est important d'établir à l'avance les conventions à suivre pour router les couches de métal, de telle sorte à faciliter la réalisation du dessin. Par exemple, nous avons établi à l'avance que les niveaux de métal M5 et M6 sont réservés à l'alimentation et à la distribution de l'horloge. De plus, pour éviter d'engendrer des erreurs d'entrecroisement de deux mêmes niveaux de métal, nous avons choisi la convention de routage suivante: les signaux sur les couches M1, M3 et M6 sont routés à la verticale, et les signaux sur les couches M2, M4 et M5 sont routés à l'horizontale.

5.2.5. Deep-N-Well et résistance métallique

Nous avons utilisé la méthode du « deep-N-well » pour isoler le puits du transistor NMOS dans le procédé à puits-N CMOS 0.18 μm de la TSMC, afin de connecter le substrat à la source du transistor. Par exemple, les transistors M_{tampon} de l'É/B (Figure 4.4) ont un deep-N-well.

Notons que la résistance unitaire de l'échelle résistive à laquelle on a assigné la valeur de $1\ \Omega$ ne peut être implémentée à partir de poly-Si, car la résistivité de cette couche est beaucoup trop élevée. On a alors opté pour du M3 pour faire la résistance. Ainsi, on a créé trois résistances en parallèle de $3\ \Omega$, afin de former des résistances de $1\ \Omega$.

5.3. RÉSULTATS DES SIMULATIONS POST-LAYOUT

Un condensé des résultats de la simulation post-layout est affiché au Tableau 5.1. La présence de capacités parasites affecte un peu la vitesse d'échantillonnage F_s du CAN réalisé. Les simulations démontrent que le ERBW du CAN commence à être quasi optimal lorsque F_s est de 1.25 GÉPS. Par optimal, on sous-entend que ERBW est proche de la fréquence de Nyquist, qui est d'environ 595 MHz (Figure 5.10). Un balayage de F_s effectué sur le CAN démontre qu'il peut opérer jusqu'à 1.6 GÉPS ($F_{s\text{-max}}$), tel qu'illustré à la Figure 5.11a. Les Figure 5.11b à 5.11e montrent les mêmes courbes de balayage, mais simulées cette fois-ci dans les coins « slow-slow » (SS), « slow-fast » (SF), « fast-slow » (FS) et « fast-fast » (FF). $F_{s\text{-max}}$ est déterminé en fonction de la fréquence où la métastabilité est survenue pour la première fois.

Malheureusement, la technique présentée à la section 4.3.9 pour estimer le DNL et le INL s'applique seulement pour la simulation schématique et non pas pour la simulation au niveau post-layout, dû au fait que les sources de tensions DC qui simulent les décalages $\sigma V_{\text{offset-total}}$ et $\sigma V_{\text{offset-préamp}}$ ne sont pas disponibles. C'est ce qui explique aussi la différence des résultats du SNDR et SFDR entre la simulation post-layout et schématique (Tableau 4.8). Toutefois, l'efficacité du réseau de moyennage dépend principalement du rapport entre les résistances R_1 et R_0 . Ainsi, la présence de capacités parasites ne devrait pas affecter son efficacité. De même, une variation du rapport entre R_1 et R_0 , résultat des variations lors de la fabrication, ne perturbe que très légèrement l'efficacité du moyennage [41]. Ce sont des raisons qui poussent à croire que le DNL et le INL dévierait très faiblement des valeurs obtenues au Tableau 4.8.

Tableau 5.1. Résultats de la simulation post-layout pour le CAN parallèle de 6 bits, simulés sans $\sigma V_{\text{offset-total}}$ et $\sigma V_{\text{offset-préamp}}$.

Tensions d'alimentation (V)	1.8 et 1.2
F_s optimal (GÉPS)	1.25
P (mW)	~ 172.0
Résolution à $F_{\text{IN}} = 9.77$ MHz (bits)	5.98
ERBW (MHz)	Entre 585 et 600
SNDR à $F_{\text{IN}} = 9.77$ MHz (dB)	37.79
SFDR à $F_{\text{IN}} = 9.77$ MHz (dB)	45.85
DNL maximum (LSB)	~ 0.19
INL maximum (LSB)	~ 0.32
$V_{\text{IN-CM}}$ (V)	1.5
Plage dynamique de $V_{\text{IN}+/-}$ (mV)	500.0
V_{LSB} (mV)	~ 7.6
Surface active (μm^2)	1200x1600
Surface totale (μm^2)	2200x2200

Performance dynamique du CAN parallèle de 6 bits

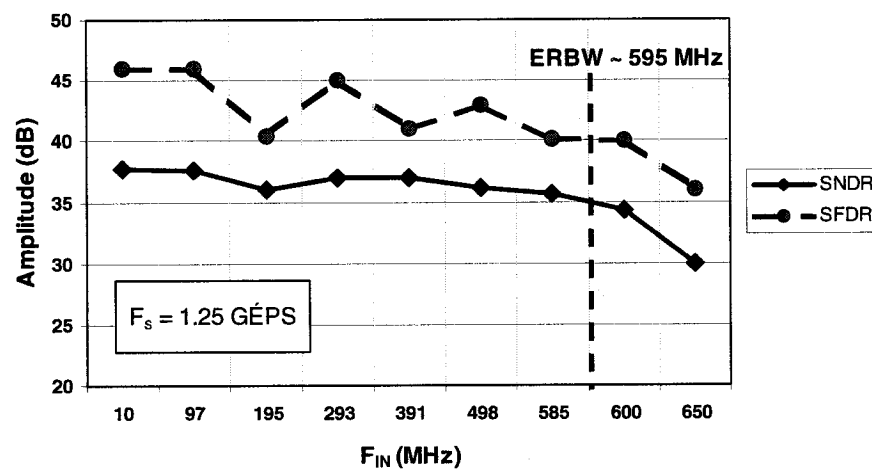
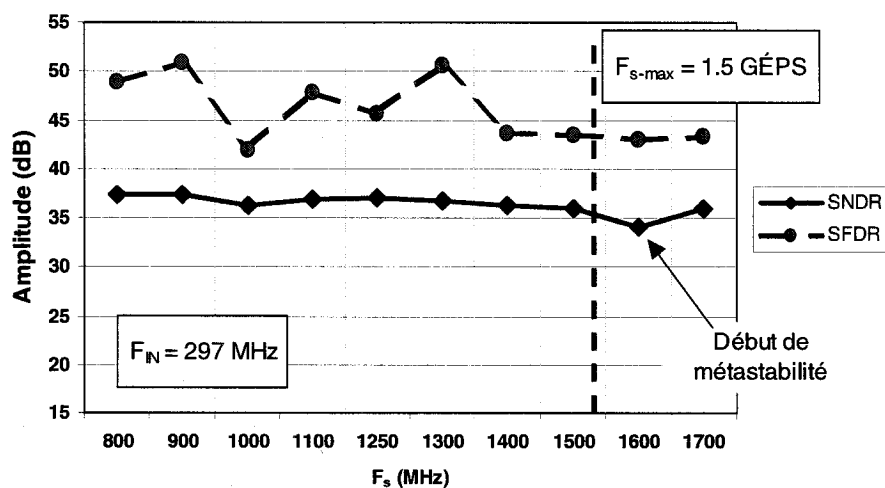


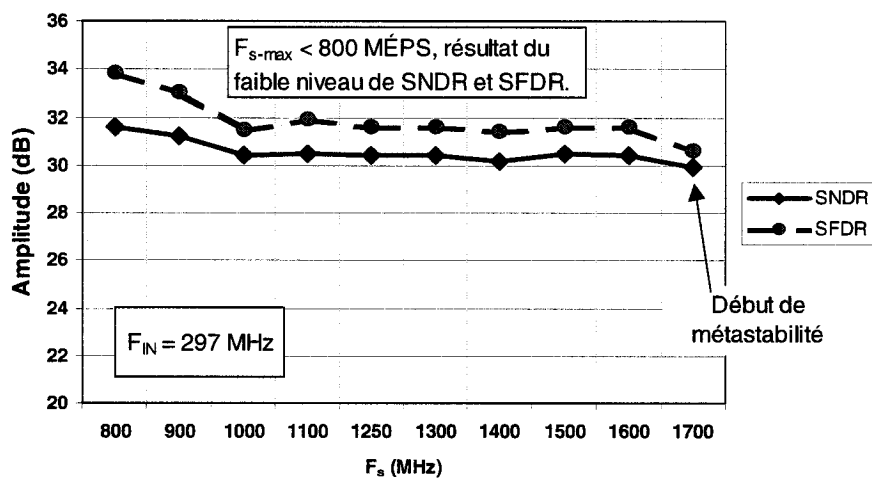
Figure 5.10. La performance dynamique du CAN en SNDR et en SFDR pour $F_s = 1.25$ GÉPS, simulée au niveau post-layout.

Performance dynamique du CAN parallèle de 6 bits (TT)



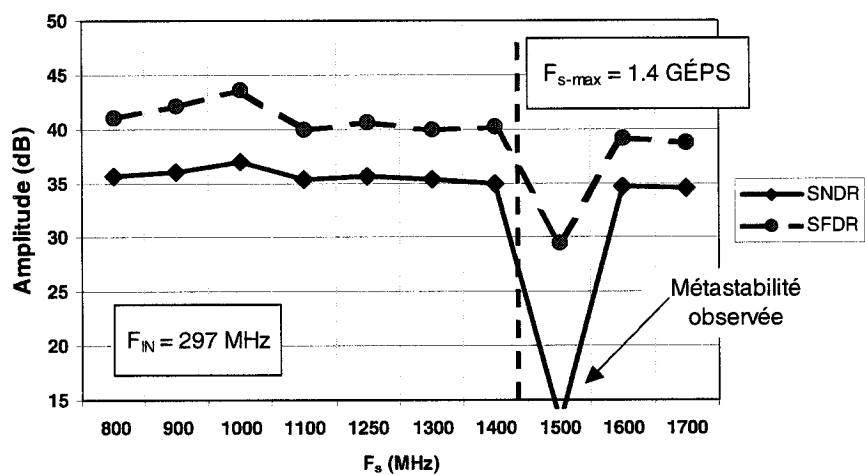
(a)

Performance dynamique du CAN parallèle de 6 bits (SS)



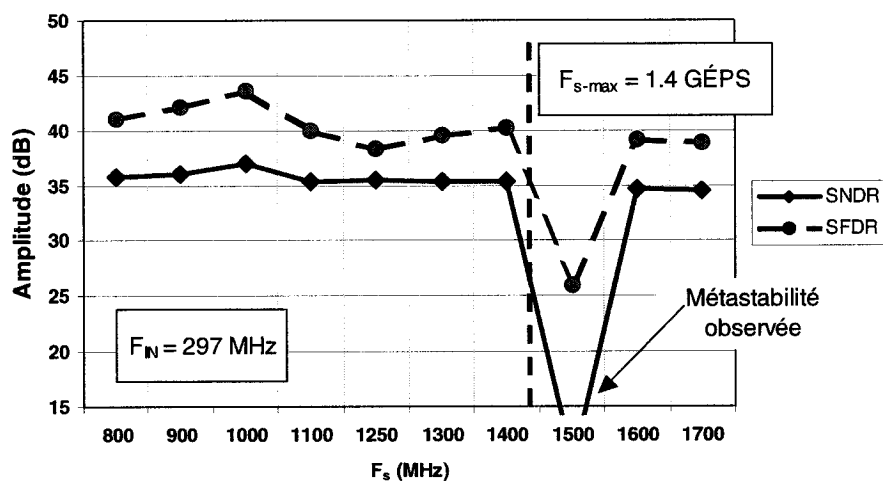
(b)

Performance dynamique du CAN parallèle de 6 bits (SF)



(c)

Performance dynamique du CAN parallèle de 6 bits (FS)



(d)

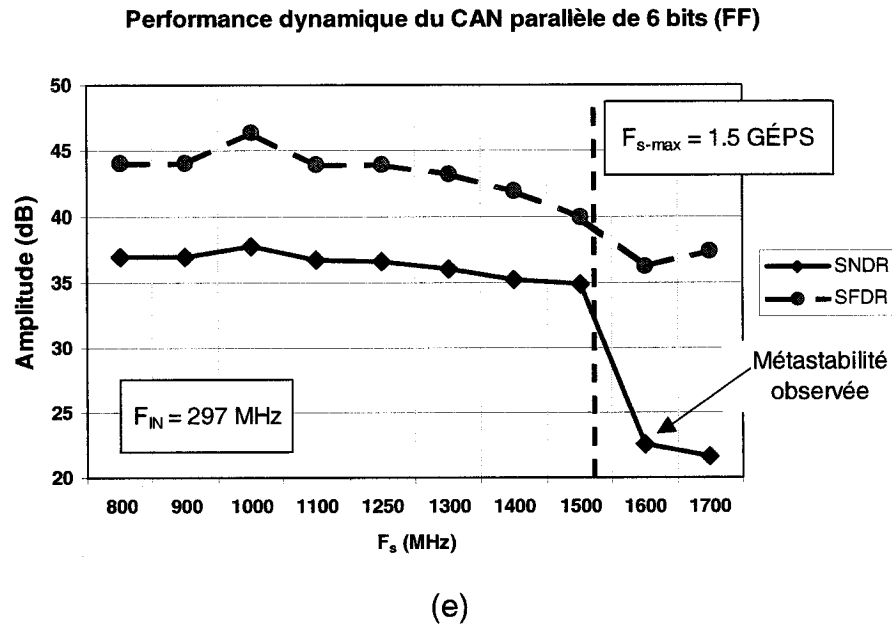


Figure 5.11. Performance dynamique du CAN en fonction de F_s , simulée au niveau post-layout dans les coins de procédés (a) TT, (b) SS, (c) SF, (d) FS, et (e) FF.

5.4. BANC DE TEST

La puce fabriquée repose sur une carte de circuit imprimé de test (CFP80TF) fourni par la CMC. Cette carte est dédiée aux tests de circuits numériques et aux circuits analogiques mixtes opérant à des fréquences RF, possédant une large bande passante de 4.5 GHz. Elle est munie de connecteurs SMA et possède des entrées différentielles dédiées aux hautes fréquences, ce qui est très adapté pour le test de notre puce. De même, elle offre la possibilité de connecter 3 sources d'alimentation différentes. Nous n'allons utiliser que 2 des 3 lignes d'alimentation, soit 1.8 V et 1.2 V. La Figure 5.12 montre la carte de test CFP80TF.

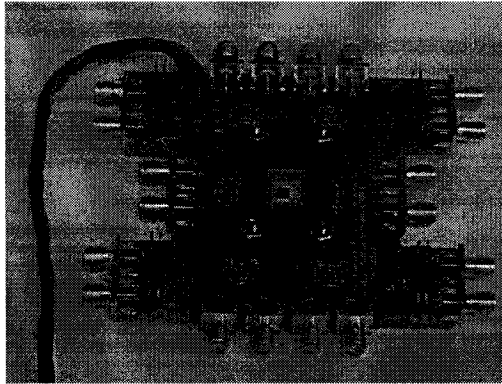


Figure 5.12. Carte de test CFP80TF fournie par la CMC.

Nous avons besoin d'un analyseur logique pour faire la lecture des 6 bits de sorties, et de deux générateurs de fréquences, un pour générer l'horloge CK et un autre pour générer le signal V_{IN} . Nous utilisons 2 transformateurs (ou baluns) pour convertir les signaux d'entrées simples CK et V_{IN} en signaux différentiels. Afin de faciliter l'échantillonnage des 6 bits de sorties, nous avons décimé les sorties du CAN par un facteur de 8 (annexe J). De même, la puce génère l'horloge de synchronisation ($CK \div 8$) que l'analyseur logique utilise pour échantillonner les bits de sorties. La configuration de test du CAN réalisé est illustrée à la Figure 5.13.

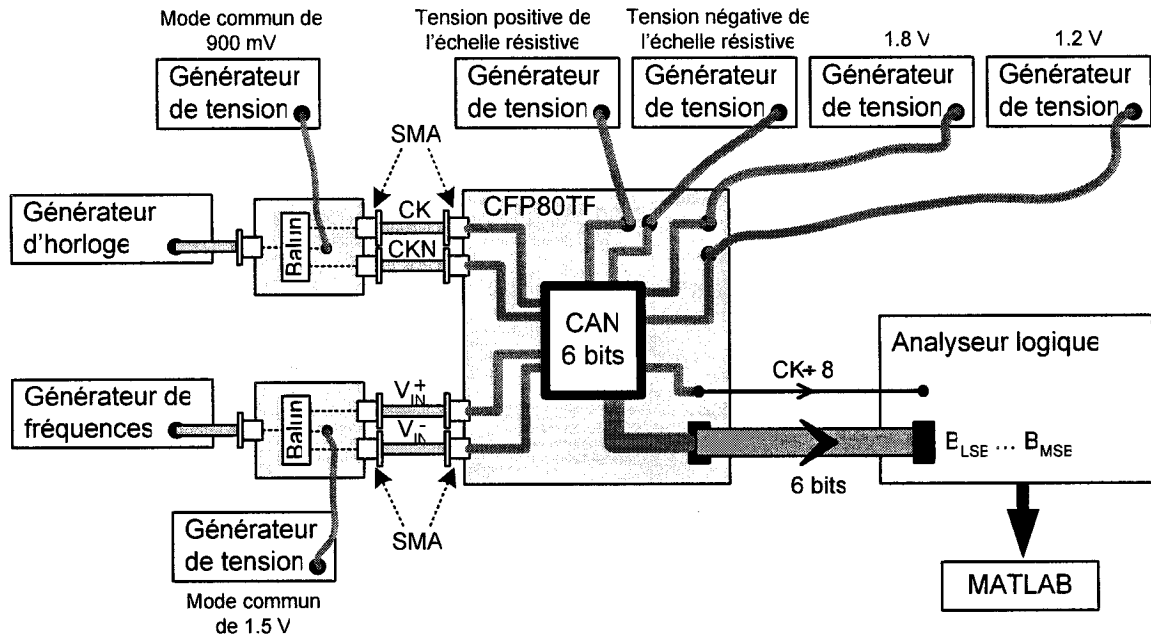


Figure 5.13. Configuration du banc de test du CAN.

5.5. RÉSULTATS EXPÉRIMENTAUX

La configuration de test a été réalisée pour collecter les 6 bits de sortie du CAN. Malheureusement, les résultats ne peuvent être concluants, à cause d'une accumulation d'erreurs à laquelle nous avons dû faire face. Premièrement, il y a eu des vias manquant dans la connexion entre les plots et le tampon d'horloge du CAN au niveau du dessin de masque, ce qui a entraîné un délai et un coût important en réparation par « Focused ion beam » (FIB) par l'intermédiaire de la CMC. Une fois les puces réparées, nous nous sommes aperçus des erreurs de connexion dans les liaisons électriques (bonding wires). En effet, en comparant les Figures 5.14a et 5.14b, on s'aperçoit que le plot d'alimentation des 7 tampons de sortie est laissé flottant. La Figure K.1 illustre le tampon de sortie (annexe K). En conséquence, la lecture des sorties ne peut être faite et nous avons dû renvoyer les puces à la CMC pour les faire réparer une seconde fois.

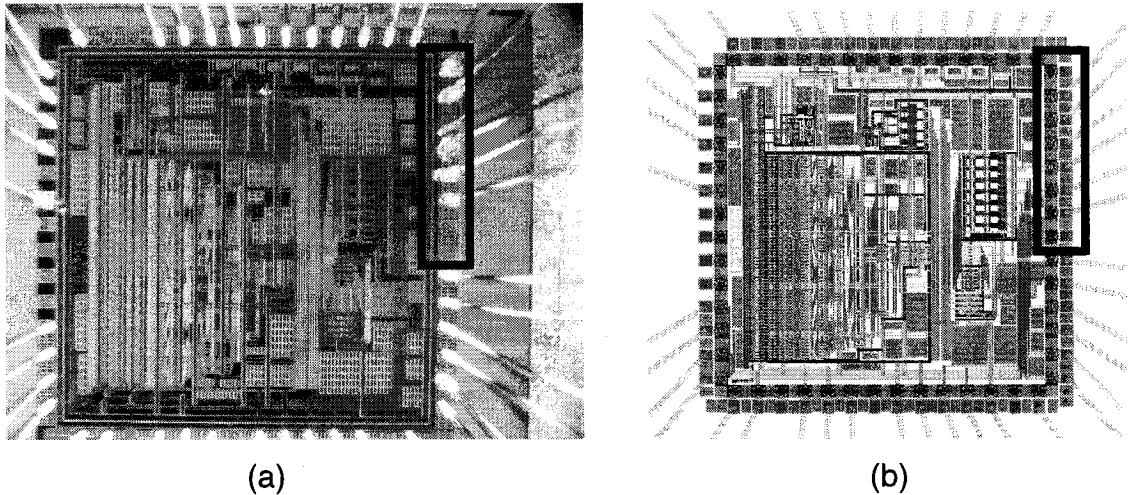


Figure 5.14. Erreur de connexion des liaisons électriques (a) au niveau de la puce après la fabrication, (b) au niveau du plan de masques.

Finalement, après un autre délai additionnel, nous avons pu tester nos puces. Toutefois, nous avons déduit que le CAN ne recevait pas du tout l'horloge à cause des observations suivantes :

1. Les 6 bits de sortie numériques du CAN maintiennent une tension DC, alors qu'ils devraient commuter avec les variations de la tension d'entrée différentielle V_{IN} ;
2. Les signaux $CK\div 8$ et $CKN\div 8$ affectés à la sortie du CAN sont à un niveau DC, alors qu'ils devraient avoir une forme d'onde carrée à une fréquence $F_s/8$;
3. Un courant DC substantiel passe dans les grilles des transistors de l'inverseur à l'entrée du tampon d'horloge (Figure 5.15), ce qui suggère que ces transistors ont claqué, et par conséquent, nous déduisons que le CAN ne reçoit aucun signal d'horloge.

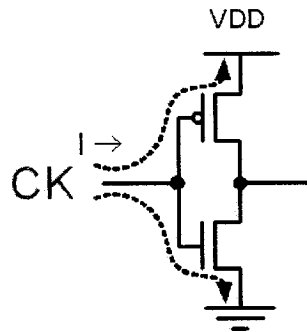


Figure 5.15. Passage du courant DC à travers les grilles des transistors de l'inverseur à l'entrée du tampon d'horloge.

Ce résultat nous laisse, non pas surpris, mais plutôt perplexe. En effet, nous avons volontairement omis d'utiliser des plots avec protections contre les décharges électrostatiques (electrostatic discharge – ESD) aux entrées d'horloge. La raison étant que nous ne voulions pas limiter la bande passante des signaux CK et CKN entrant dans le CAN à des fréquences inférieures à 250 MHz. En effet, la bibliothèque de la CMC fournit des plots dont les diodes ESD ont une grande capacité parasite, limitant la bande passante. Il va de soi que ces plots ne sont pas utilisables pour notre application, dont les fréquences sont supérieures à 1 GHz. Nous avons quelque peu sous-estimé l'importance du ESD en croyant qu'en manipulant les puces avec soins, i.e. le port du bracelet anti-statique et l'utilisation du tapis anti-statique, nous pourrions éviter de produire une décharge statique dans la puce. Cette expérience nous a prouvé le contraire.

Un de nos objectifs importants était de vérifier qu'il était possible de fabriquer des résistances unitaires à très faible valeur ($1\ \Omega$) à partir des couches du métal (M3) pour construire les 83 unités résistives avec une grande précision. Nous avons mesuré les valeurs sur trois différentes puces (Tableau 5.3) :

Tableau 5.2. Valeurs des résistances de l'échelle résistive compilées sur 3 puces.

	Dessin de masques	Puce #1	Puce #2	Puce #3
Résistance (Ω)	83	82.5	83.6	85.1
Déviatiion	0 %	0.6 %	0.7 %	2.5 %

Ainsi, il est possible de réaliser une échelle résistive avec une précision adéquate à partir du niveau de métal M3. Reste à savoir si tous les différents lots se comporteront de façon similaire.

5.6. COMPARAISON DES PERFORMANCES

Il est intéressant de voir les performances du CAN par rapport aux travaux récents. Les résultats de simulations post-layout donnent une idée sur l'efficacité d'un CAN conçu avec les techniques MCML par rapport aux CAN conventionnels conçus avec les techniques CMOS. Nos comparaisons se font au niveau de la consommation de puissance (sans tampon d'horloge), de la fréquence d'échantillonnage et de la fréquence ERBW par rapport à deux travaux, [69] et [36] résumés dans le Tableau 5.4. Parmi les trois CAN, notre CAN domine par sa basse consommation et la plus large fréquence ERBW par rapport à F_s . Mentionnons que notre F_{s-max} est d'environ de 1.5 GÉPS (simulation TT), tout en dissipant sensiblement la même puissance qu'à 1.25 GÉPS. Ce qui n'est pas le cas pour les deux autres CAN en CMOS, où la consommation augmente avec la fréquence F_s .

Tableau 5.4. Comparaison des performances du CAN avec certains travaux sur des CAN implémentés en technologie CMOS 0.18 μm .

Référence	Résolution	Architecture	F_s (GÉPS)	ERBW (MHz)	P (mW)
[69]	6 bits	Interpolation	1.0	N/A	300
[36]	6 bits	Parallèle	1.6	400.0	340.0
<i>CAN MCML</i>	<i>6 bits</i>	<i>Parallèle</i>	<i>1.25</i>	<i>~ 595.0</i>	<i>172.0</i>

CHAPITRE 6

CONCLUSION

Le SDR est un concept prometteur qui est en pleine émergence. Il a comme avantage potentiel d'éliminer toutes barrières entre les différentes normes de communication sans fils, sans pour autant augmenter de façon significative les coûts de développement et de production. Toutefois, un problème s'impose au SDR ultime. En effet, le concept nécessite l'utilisation, dans son architecture, d'un CAN ultra-rapide capable d'échantillonner des signaux RF, et ce, tout en maintenant le niveau de consommation au plus bas niveau pour préserver la portabilité. Seul le CAN parallèle offre un tel potentiel de taux d'échantillonnage. Toutefois, ce type de CAN consomme énormément, à cause de son architecture. Nous avons eu comme objectif principal de minimiser ce niveau de consommation, tout en permettant au CAN d'échantillonner à une cadence très élevée (supérieure à 1 GÉPS). À de faibles fréquences d'entrées F_{IN} , le suréchantillonnage permet d'augmenter la résolution du CAN à un niveau acceptable, satisfaisant ainsi aux critères de performance du SDR. Pour une gamme de fréquences F_{IN} plus élevée, le CAN de 6 bits pourrait servir dans des applications SDR militaires, à des fins de détections de signaux radios étrangers.

La technique MCML existe déjà depuis fort longtemps, mais elle se limite souvent à la conception de portes numériques plus performantes que les portes CMOS. Dans ce travail, nous avons réussi à adapter une méthodologie de conception du CAN parallèle à la technique MCML. Le défi consistait à concevoir un comparateur MCML ultra-rapide et capable de surpasser le comparateur CMOS conventionnel en ce qui a trait à : l'hystérésis, la métastabilité et le niveau de consommation. Ces objectifs ont été atteints. De plus, nous devions adapter l'architecture d'un décodeur CMOS à l'architecture MCML, de telle sorte à être compatible avec la dynamique des signaux à la sortie du comparateur MCML. En fin de compte, nous avons réussi à concevoir un décodeur plus rapide et qui consomme moins que le plus performant des décodeurs CMOS existants. Enfin, nous avons réussi à concevoir un réseau de moyennage qui améliore la linéarité en DNL et INL par un facteur de 9.66 et 3.75 respectivement.

Les simulations post-layout démontrent que notre CAN opère à un F_{s-max} de 1.5 GÉPS. La fréquence du ERBW optimale (par rapport à la fréquence F_s) est obtenue pour $F_s = 1.25$ GÉPS, et elle est d'environ 595 MHz. Le CAN consomme 172.0 mW, ce qui est la moitié de la consommation du CAN CMOS parallèle de 6 bits le plus rapide publié à ce jour (1.6 GÉPS). L'autre avantage du CAN MCML découle du fait que sa consommation n'augmente pas en fonction de F_s , si les performances requises peuvent être atteintes pour un V_{DD} donné. Cette consommation ne varie pas avec F_s , contrairement aux CAN CMOS où la consommation augmente en fonction de F_s de façon linéaire.

Les tests effectués ne permettent pas de conclure au bon fonctionnement du CAN. La protection ESD sera une considération importante pour les tests futurs. Aussi, nous avons réussi à vérifier la possibilité d'obtenir des faibles valeurs de résistances ($1\ \Omega$) avec la couche de métal M3. Ces résistances offrent une bonne précision et une bonne exactitude relative. C'est un résultat important, car la linéarité et les performances dynamiques du CAN résident sur la possibilité d'obtenir une échelle résistive qui produit précisément et avec exactitude les différents niveaux de tensions de référence requis.

6.1. TRAVAUX FUTURS

Il est possible de réduire davantage le niveau de consommation du CAN en optant pour une architecture plus évoluée que l'architecture parallèle, telle que les architectures interpolé ou le plié. En effet, les travaux de modélisation du CAN parallèle présentés et les techniques de conception basées sur la MCML peuvent être exploitées dans l'une ou l'autre des architectures. En plus de permettre une réduction de la puissance consommée, ces techniques permettent aussi d'augmenter la résolution à 7 bits (dans le cas de l'architecture interpolée) et à 8 bits (dans le cas de l'architecture pliée) tout en réduisant la consommation de puissance et la surface de la puce. Les travaux peuvent être poussés un peu plus loin avec le temps-entrelacé. Cette architecture permet notamment de quadrupler la cadence d'échantillonnage F_s du CAN, aux dépens de la consommation et de la surface. Toutefois, il serait intéressant de combiner les architectures interpolé/temps-entrelacé, plié/temps-entrelacé, ou encore interpolé/plié/temps-entrelacé pour échantillonner quatre fois plus vite tout en réduisant la consommation et la surface totale de la puce.

RÉFÉRENCES

- [1] AKAZAWA Y., IWATA A., WAKIMOTO T., KAMATO T., NAKAMURA H., IKAWA H., (1987). A 400MSPS 8b flash AD conversion LSI. *IEEE International Solid-State Circuits Conference*, pages: 98 - 99.
- [2] ALTEKAR S. ET AL, (Fév. 2001). A 700 Mb/s BiCMOS read channel integrated circuit. *IEEE ISSCC*, pages: 184-185.
- [3] BASTOS J., STEYAERT M., ROOVERS R., KINGET P., SANSEN W., GRAINDOURZE B., PERGOOT A., JANSSENS E., (1995). Mismatch characterization of small size MOS transistors. *IEEE Proceedings of the 1995 International Conference on Microelectronic Test Structures*, pages: 271 – 276.
- [4] BEHZAD RAZAVI. *Principles of Data Conversion System Design*, IEEE Press, 1995, pages: 107, 184-185, 191.
- [5] BULT K., BUCHWALD A., (1997). An embedded 240-mW 10-b 50-MS/s CMOS ADC in 1-mm². *IEEE Journal of Solid-State Circuits*, Vol.: 32, Issue: 12, pages: 1887 - 1895.
- [6] CHOI M., ABIDI A.A., (2001). A 6-b 1.3-Gsample/s A/D converter in 0.35-μm CMOS. *IEEE Journal of Solid-State Circuits*, Vol.: 36, Issue: 12, pages: 1847 - 1858.
- [7] DAEGYU LEE, JINCHEOL YOO, KYUSUN CHOI, GHAZNAVI J., (2002). Fat tree encoder design for ultra-high speed flash A/D converters. *Midwest Symposium on Circuits and Systems*, Vol.: 2, pages: II-87 - II-90.
- [8] DALTON D., SPALDING G., REYHANI H., MURPHY T., DEEVY K., WALSH M., GRIFFIN P., (1998). A 200-MSPS 6-bit flash ADC in 0.6-μm CMOS. *IEEE Transactions on Circuits and Systems II: Analog and Digital*

Signal Processing, Vol.: 45, Issue: 11, pages: 1433 – 1444.

- [9] DANG H., SAWAN M. AND SAVARIA Y., (2005). A Novel Approach for Implementing Ultra-High Speed Flash ADC Using MCML Circuits. *IEEE International Symposium on Circuits and Systems (en cours de publication)*
- [10] DAVID A. JOHNS, KEN MARTIN, *Analog Integrated Circuit Design*. John Wiley & Sons, 1997, pages: 445-460.
- [11] EL-SANKARY K., ASSI A., SAWAN M., (2003). New sampling method to improve the SFDR of time-interleaved ADCs. *IEEE International Symposium on Circuits and Systems*, Vol.: 1, pages: I-833 - I-836.
- [12] FIGUEIREDO P.M., VITAL J.C., (2003). Analysis of the averaging technique in flash ADCs. *IEEE International Symposium on Circuits and Systems*, Vol.: 1, pages: I-849 - I-852.
- [13] FIGUEIREDO P.M., VITAL J.C., (2004). Averaging technique in flash analog-to-digital converters. *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol.: 51, Issue: 2, page(s): 233 - 253.
- [14] FIGUEIREDO P.M., VITAL J.C., (2004). Low kickback noise techniques for CMOS latched comparators. *International Symposium on Circuits and Systems*, Vol.: 1, pages: I - 537-40.
- [15] FIGUEIREDO P.M., VITAL J.C., (2004). Termination of averaging networks in flash ADCs. *IEEE International Symposium on Circuits and Systems*, Vol.: 1, pages: I-121 - I-124.
- [16] FLYNN M.P., SHEAHAN B., (1998). A 400-Msample/s, 6-b CMOS folding and interpolating ADC. *IEEE Journal of Solid-State Circuits*, Vol.: 33, Issue: 12, pages: 1932 – 1938.
- [17] GATTI U., MALOBERTI F., LIBERALI V., (1989). Full stacked layout of analogue cells. *IEEE International Symposium on Circuits and Systems*, Vol.: 2, pages: 1123 - 1126.
- [18] GEELLEN G., (2001). A 6 b 1.1 GSample/s CMOS A/D converter. *IEEE International Solid-State Circuits Conference*, pages: 128 - 129, 438.

- [19] HSU C.-W., KUO T.-H., (2003). 6-bit 500 MHz flash A/D converter with new design techniques. *IEE Proceedings Circuits, Devices and Systems*, Vol.: 150, Issue: 5, pages: 460-464.
- [20] JACOB BAKER R., HARRY W. LI, DAVID E. BOYCE, *CMOS Circuit Design, Layout, and Simulation*, John Wiley & Sons, 1998, pages: 141-147.
- [21] JOHNS A. DAVID, MARTIN KEN, *Analog Integrated Circuit Design*, John Wiley & Sons, 1997, pages: 338-349.
- [22] JOHNS A. DAVID, MARTIN KEN, *Analog Integrated Circuit Design*, John Wiley & Sons, 1997, pages: 137-140.
- [23] JOHNS A. DAVID, MARTIN KEN, *Analog Integrated Circuit Design*, John Wiley & Sons, 1997, pages: 336-338.
- [24] JOHNS A. DAVID, MARTIN KEN, *Analog Integrated Circuit Design*, John Wiley & Sons, 1997, pages: 33-39.
- [25] JOHNS A. DAVID, MARTIN KEN, *Analog Integrated Circuit Design*, John Wiley & Sons, 1997, pages: 142-146.
- [26] JOHNS A. DAVID, MARTIN KEN, *Analog Integrated Circuit Design*, John Wiley & Sons, 1997, pages: 259.
- [27] JOHNS DAVID A., MARTIN KEN, *Analog Integrated Circuit Design*. John Wiley & Sons, 1997, pages: 315-317.
- [28] JOY A.K., KILLIPS R.J., SAUL P.H., (1986). An Inherently Monotonic 7-Bit CMOS ADC for Video Applications. *IEEE Journal of Solid-State Circuits*, Vol.: 21, Issue: 3, pages: 436 - 440.
- [29] KATTMANN K., BARROW J., (1991). A Technique For Reducing Differential Non-linearity Errors In Flash A/D Converters. *IEEE International Solid-State Circuits Conference*, pages: 170 - 171.
- [30] KINGET P., STEYAERT M., (1996). Impact of transistor mismatch on the speed-accuracy-power trade-off of analog CMOS circuits. *IEEE Proceedings of Custom Integrated Circuits Conference*, pages: 333 – 336.
- [31] KUROSAWA H., KOBAYASHI H., MARUYAMA K., SUGAWARA H.,

- KOBAYASHI K., (2001). Explicit analysis of channel mismatch effects in time-interleaved ADC systems. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Vol.: 48, Issue: 3, pages: 261 – 271.
- [32] KWANGHO YOON, SUNGKYUNG PARK, WONCHAN KIM, (1999). A 6 b 500 MSample/s CMOS flash ADC with a background interpolated auto-zeroing technique. *IEEE International Solid-State Circuits Conference*, pages: 326-327.
- [33] LEON-GARCIA, WIDJAJA, *Communication Networks: Fundamental Concepts and Key Architectures*, McGraw-Hill, 2000, pages: 95-191.
- [34] LIMOTYRAKIS S., YOUNG NAM KI, WOOLEY B.A., (2002). Analysis and simulation of distortion in folding and interpolating A/D converters. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol.: 49, Issue: 3, pages: 161 – 169.
- [35] MANGELSDORF C.W., (1990). A 400-MHz input flash converter with error correction. *IEEE Journal of Solid-State Circuits*, Vol.: 25, Issue: 1, pages: 184 - 191.
- [36] MEHR I., DALTON D., (1999). A 500-MSample/s, 6-bit Nyquist-rate ADC for disk-drive read-channel applications. *IEEE Journal of Solid-State Circuits*, Vol.: 34, Issue: 7, pages: 912 - 920.
- [37] MORIN D., NORMANDIN F., GRANDMAISON M.E., DANG H., SAVARIA Y., SAWAN M., (2004). An intellectual property module for auto-calibration of time-interleaved pipelined analog-to-digital converters. *4th IEEE International Workshop on System-on-Chip for Real-Time Applications*, pages: 111 – 114.
- [38] MUSICER J.M., RABAEY J., (2000). MOS current mode logic for low power, low noise CORDIC computation in mixed-signal environments. *IEEE International Symposium on Low Power Electronics and Design*, pages: 102 - 107.
- [39] NAGARAJ K., MARTIN D.A., WOLFE M., CHATTOPADHYAY R., PAVAN S., CANCIO J., VISWANATHAN T.R., (2000). A dual-mode 700-Msamples/s 6-bit 200-Msamples/s 7-bit A/D converter in a 0.25- μ m digital CMOS process.

- IEEE Journal of Solid-State Circuits*, Vol.: 35, Issue: 12, pages: 1760 - 1768.
- [40] PADOAN S., BONI A., MORANDI C., VENTURI F., (1998). A novel coding scheme for the ROM of parallel ADCs, featuring reduced conversion noise in the case of single bubbles in the thermometer code. *IEEE International Conference on Circuits and Systems*, Vol.: 2, pages: 271 - 274.
 - [41] PAN HUI, ABIDI A.A., (2003). Spatial filtering in flash A/D converters. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol.: 50, Issue: 8, pages: 424 - 436.
 - [42] Papier consulté le 05 janvier 2005. Adresse URL:
<http://www.eecs.umich.edu/~smutlu/flashadc3.pdf>
 SUNGHYUN PARK, SANGWON YOON, SENOL MUTLU. A 6-b 800-MSample/s A/D Converter in 0.35-um CMOS.
 - [43] Papier consulté le 13 juin 2005. Adresse URL:
http://www.extra.research.philips.com/mscs/publications2000/esscirc_ps.pdf,
 SCHOLTENS PETER (2000), A 2.5 Volt 6 bit 600MS/s Flash ADC in 0.25 μ m CMOS. *Proceedings of the European Solid-State Circuits Conference*.
 - [44] PAUL R. GRAY ET AL, *Analysis and Design of Analog Integrated Circuits*, 4^e édition, Wiley, 2001, pages: 246-248.
 - [45] PELGROM M.J.M., DUINMAIJER A.C.J., WELBERS A.P.G., (1989). Matching properties of MOS transistors. *IEEE Journal of Solid-State Circuits*, Vol.: 24, Issue: 5, pages : 1433 - 1439.
 - [46] PELGROM M.J.M., RENS A.C.J. V., VERTREGT M., DIJKSTRA M.B., (1994). A 25-Ms/s 8-bit CMOS A/D converter for embedded application. *IEEE Journal of Solid-State Circuits*, Vol.: 29, Issue: 8, pages: 879 - 886.
 - [47] PELGROM M.J.M., TUINHOUT H.P., VERTREGT M., (1998). Transistor matching in analog CMOS applications. *IEEE International Electron Devices Meeting*, pages: 915 – 918.
 - [48] PORTMANN C.L., MENG T.H.Y., (1995). Power-efficient metastability error reduction in CMOS flash A/D converters. *Symposium on VLSI Circuits*, pages:

37 - 38.

- [49] PORTMANN C.L., MENG T.H.Y., (1996). Power-efficient metastability error reduction in CMOS flash A/D converters. *IEEE Journal of Solid-State Circuits*, Vol.: 31, Issue: 8, page(s): 1132 – 1140
- [50] POULTON K., NEFF R., MUTO A., WEI LIU, BURSTEIN A., HESHAMI M., (2002). A 4 Gsample/s 8b ADC in 0.35 μ m CMOS. *IEEE International Solid-State Circuits Conference*, Vol.: 1, pages: 166-457.
- [51] RAZAVI B., (1997). Design of sample-and-hold amplifiers for high-speed low-voltage A/D converters. *Proceedings of the IEEE Custom Integrated Circuits Conference*, pages: 59 - 66.
- [52] RUDY VAN DE PLASSCHE, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, 2^e édition, Kluwer Academic Publishers, 2003, pages: 503, 536.
- [53] RUDY VAN DE PLASSCHE, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, 2^e édition, Kluwer Academic Publishers, 2003, pages: 513-522.
- [54] RUDY VAN DE PLASSCHE, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, 2^e édition, Kluwer Academic Publishers, 2003, page: 200.
- [55] SANSEN W., (1996). Analog circuit design in scaled CMOS technology. *IEEE Symposium on VLSI Circuits*, pages: 8 – 11.
- [56] SCHOLTENS P.C.S., VERTREGT M., (2002). A 6-b 1.6-Gsample/s flash ADC in 0.18- μ m CMOS using averaging termination. *IEEE Journal of Solid-State Circuits*, Vol.: 37, Issue: 12, pages: 1599 - 1609.
- [57] SPRINGER A., MAURER L., WEIGEL R., (2002). RF system concepts for highly integrated RFICs for W-CDMA mobile radio terminals. *IEEE Transactions on Microwave Theory and Techniques*, Vol.: 50, Issue: 1, pages: 254-267.
- [58] STAFFORD K.R., BLANCHARD R.A., GRAY P.R., (1974). A complete monolithic sample/hold amplifier. *IEEE Journal of Solid-State Circuits*, Vol.: 9,

Issue: 6, pages: 381 - 387.

- [59] SUAREZ R.E., GRAY P.R., HODGES D.A., (1975). All-MOS charge-redistribution analog-to-digital conversion techniques – Part II. *IEEE Journal of Solid-State Circuits*, Vol.: 10, Issue: 6, pages: 379 - 385.
- [60] SUSHIHARA K., KIMURA H., OKAMOTO Y., NISHIMURA K., MATSUZAWA A., (2000). A 6 b 800 MSample/s CMOS A/D converter. *IEEE International Solid-State Circuits Conference*, pages: 428 - 429.
- [61] Thèse de mémoire consultée le 15 juin 2005. Adresse URL:
<http://www.hwswworld.com/downloads/d6/musicer.pdf>
 JASON MUSICER, *An Analysis of MOS Current Mode Logic for Low Power and High Performance Digital Logic*, Mémoire de maîtrise, Université de Californie à Berkeley, États-Unis.
- [62] TSUKAMOTO S., DEDIC I., ENDO T., KIKUTA K.Y., GOTO K., KOBAYASHI O., (1996). A CMOS 6-b, 200 MSample/s, 3 V-supply A/D converter for a PRML read channel LSI. *IEEE Journal of Solid-State Circuits*, Vol.: 31, Issue: 11, pages: 1831 - 1836.
- [63] TSUKAMOTO S., SCHOFIELD W.G., ENDO T., (1998). A CMOS 6-b, 400-MSample/s ADC with error correction. *IEEE Journal of Solid-State Circuits*, Vol.: 33, Issue: 12, pages: 1939-1947.
- [64] UYTENHOVE K., MARQUES A., STEYAERT M., (2000). A 6-bit 1 GHz acquisition speed CMOS flash ADC with digital error correction. *Proceedings of the IEEE Custom Integrated Circuits Conference*, pages: 249 - 252.
- [65] UYTENHOVE K., STEYAERT M.S.J., (2002). Speed-power-accuracy tradeoff in high-speed CMOS ADCs. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol.: 49, Issue 4, pages: 280-287.
- [66] UYTENHOVE K., STEYAERT M.S.J., (2003). A 1.8-V 6-bit 1.3-GHz flash ADC in 0.25- μ m CMOS. *IEEE Journal of Solid-State Circuits*, Vol.: 38, Issue: 7, pages: 1115 - 1122.

- [67] WAKIMOTO T., AKAZAWA Y., KONAKA S., (1988). Si bipolar 2-GHz 6-bit flash A/D conversion LSI. *IEEE Journal of Solid-State Circuits*, Vol.: 23, Issue: 6, pages: 1345 - 1350.
- [68] YAMASHINA M. AND YAMADA H., (1992). An MOS current mode logic (MCML) circuit for low-power sub-gigahertz processors. *IEICE Trans. Electron.*, Vol. E75-C, pages: 1181–1187.
- [69] YAO L., STEYAERT M., SANSEN W., (2003). A 1.8-V 6-bit flash ADC with rail-to-rail input range in 0.18 μm CMOS. *5th International Conference on ASIC*, Vol.: 1, pages: 677 - 680.
- [70] ZHENG-YU WANG, HUI PAN, CHUNG-MING CHANG, HAI-RONG YU, CHANG M.F., (2004). A 600 MSPS 8-bit folding ADC in 0.18 μm CMOS. *Symposium on VLSI Circuits*, pages: 424 - 427.
- [71] ZOJER B., PETSCHACHER R., LUSCHNIG W.A., (1985). A 6-Bit/200-MHz Full Nyquist A/D Converter. *IEEE Journal of Solid-State Circuits*, Vol.: 20, Issue: 3, pages: 780 - 786.

ANNEXES

ANNEXE A

Transistor tampon du pré É/B

Équation de la bande passante ($F_{3dB-tampon}$)

Le développement qui suit, s'appuie sur le modèle d'analyse de la Figure A.1 :

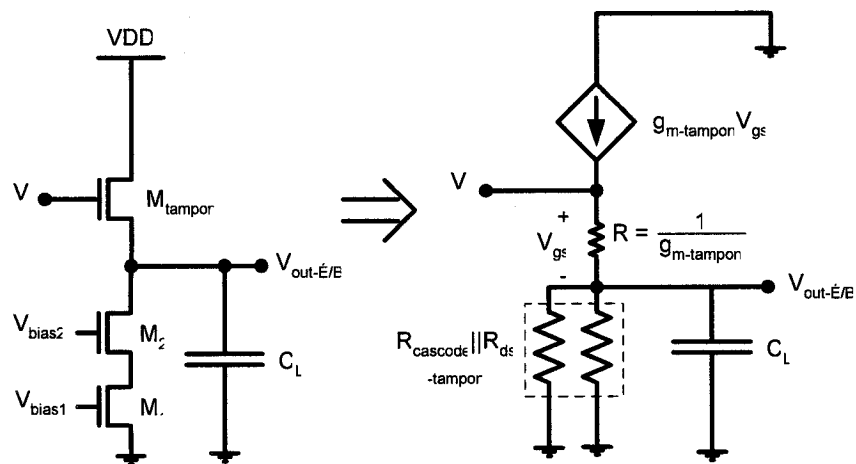


Figure A.1. Circuit équivalent du préamplificateur différentiel.

À partir de la figure, on dérive l'équation de Laplace suivante :

$$\begin{aligned}
 V_{out-É/B}(s) &= \frac{R_{cascode} \parallel R_{ds-tampon} \parallel C_L}{\frac{1}{g_{m-tampon}} + R_{cascode} \parallel R_{ds-tampon} \parallel C_L} \cdot V_I(s) \\
 &= \frac{\frac{R_{cascode} \parallel R_{ds-tampon}}{sC_L R_{cascode} \parallel R_{ds-tampon} + 1}}{\frac{1}{g_{m-tampon}} + \frac{R_{cascode} \parallel R_{ds-tampon}}{sC_L R_{cascode} \parallel R_{ds-tampon} + 1}} \cdot V_I(s) \\
 &= \frac{\frac{R_{cascode} \parallel R_{ds-tampon}}{sC_L R_{cascode} \parallel R_{ds-tampon} + 1}}{\frac{g_{m-tampon}}{sC_L R_{cascode} \parallel R_{ds-tampon} + 1} + R_{cascode} \parallel R_{ds-tampon}} \cdot V_I(s) \\
 &= \frac{g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon}}{sC_L R_{cascode} \parallel R_{ds-tampon} + (1 + g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon})} \cdot V_I(s) \\
 &= \frac{\frac{g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon}}{g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon} + 1}}{\frac{sC_L R_{cascode} \parallel R_{ds-tampon}}{g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon} + 1} + 1} \cdot V_I(s)
 \end{aligned} \tag{A.1}$$

où V_I est le signal d'entrée du tampon. À partir des équations A.1, on dérive le gain $G_{tampon}(s)$:

$$G_{tampon}(s) = \frac{V_{out-préamp}(s)}{V_I(s)} = \frac{\frac{g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon}}{g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon} + 1}}{\frac{sC_L R_{cascode} \parallel R_{ds-tampon}}{g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon} + 1} + 1} \tag{A.2}$$

Par conséquent, le gain DC ($s = 0$) est donné par :

$$G_{tampon} = \frac{g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon}}{g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon} + 1} \approx 1 \tag{A.3}$$

Et le $F_{3dB-tampon}$ correspond l'unique pôle de l'équation A.2, qui est :

$$F_{3dB-tampon} = \frac{1}{2\pi} \cdot \frac{g_{m-tampon} \cdot R_{cascode} \parallel R_{ds-tampon} + 1}{R_{cascode} \parallel R_{ds-tampon} \cdot C_L} \tag{A.4}$$

ANNEXE B

Échantillonnage du pré É/B

Relation entre la bande passante (F_{3dB}) et le SFDR

Le développement qui va suivre s'appuie sur le modèle de la réponse transitoire d'une entrée en escalier dans un circuit passe bas (circuit RC), qui modélise le principe d'un É/B. Cette réponse transitoire de la tension de sortie du circuit est donnée par l'équation (B.1) :

$$V_{out}(t) = V_{escalier} - (V_{escalier} - V_{ini}) \cdot e^{-2\pi \cdot F_{3dB} \cdot t} \quad (B.1)$$

où F_{3dB} est la bande passante du circuit passe bas, $V_{escalier}$ l'amplitude de transition en tension de l'entrée, $V_{out}(t)$ est la tension de sortie du circuit, et V_{ini} est la tension initiale de sortie avant que la transition de $V_{escalier}$ ne soit faite. La constante de temps du circuit (τ) correspond alors à $1/(2\pi \cdot F_{3dB})$. En supposant que V_{ini} soit initialement nulle, le Tableau B.1 donne la tension V_{out} en fonction des multiples de τ :

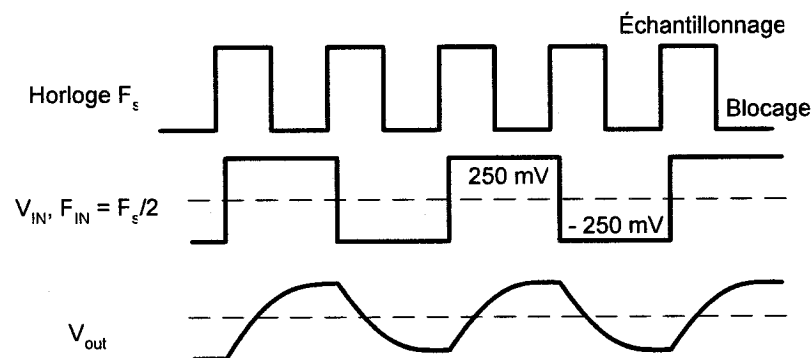
Tableau B.1. Variation de l'amplitude du circuit É/B (V_{out}) en fonction du temps.

Multiples de τ ($a \cdot \tau$)	$V_{out}(a \cdot \tau)$
τ	$0.6321 \cdot V_{escalier}$
$2 \cdot \tau$	$0.8647 \cdot V_{escalier}$
$3 \cdot \tau$	$0.9502 \cdot V_{escalier}$
$4 \cdot \tau$	$0.9817 \cdot V_{escalier}$
$5 \cdot \tau$	$0.9933 \cdot V_{escalier}$

Si l'horloge d'échantillonnage de l'É/B opère à une fréquence F_s , la sortie du É/B a exactement la durée d'une période d'horloge $1/F_s$ (T_s) et cela afin de stabiliser son signal, avant la prochaine lecture. Dépendamment de F_{3dB} du circuit É/B (ou de τ) par rapport F_s (ou T_s), une certaine erreur (V_e) va être introduite dans l'échantillonnage, comme le rapporte l'équation (B.2) :

$$V_{out}(nT_s) = V_{IN}(nT_s) + V_e(nT_s) \quad (B.2)$$

où V_{IN} est le signal d'entrée de l'É/B, n est un nombre entier, et V_e est une source de distorsion cyclique qui introduit des tons nuisant au SFDR. En effet, prenons le cas limite suivant représenté à la Figure (B.1).

**Figure B.1. Exemple d'un modèle d'échantillonnage.**

L'É/B a une constante de temps de $\tau = T_s/5$, V_{IN} est une onde carrée dont l'amplitude varie de -250 mV à 250 mV et dont $F_{IN} = F_s/2$ (la fréquence maximale selon la théorème de Nyquist), comme illustré à la Figure B.1. On peut calculer les sorties de chaque

échantillon suivant l'équation (B.1) une à la suite de l'autre, ce qui nous amène à la constatation suivante : $V_{out}(nT_s)$ se stabilise et oscille entre -246.65 mV à 246.65 mV. Ce qui signifie que $V_e(nT_s)$ oscille entre -3.35 mV à 3.35 mV par rapport à $V_{IN}(nT_s)$. À partir de cette valeur, on obtient la dynamique de V_e :

$$V_e(dB) = 20 \cdot \log(V_{e-RMS}) = 20 \cdot \log(2.37 mV) = -52.51 dB$$

De la même manière, la dynamique de V_{IN} , est donnée par :

$$V_{IN}(dB) = 20 \cdot \log(V_{IN-RMS}) = 20 \cdot \log(176.78 mV) = -15.05 dB$$

À la limite, en assumant que la fréquence de V_e est extrêmement proche de F_{IN} (sans toutefois être F_{IN}), le SFDR résultant est de 37.46 dB ($V_{IN}(dB) - V_e(dB)$). Pour le cas où $\tau = T_s/3$, le SFDR qui en découle est de 20.46 dB. On peut conclure de façon intuitive que le SFDR est plus optimal lorsque τ du É/B est petit par rapport au T_s .

Cet exemple a pour but d'expliquer, de façon grossière et approximative, la relation entre le F_{3dB} d'un É/B, le F_s , la dynamique V_{IN} du É/B et le SFDR. Ces explications doivent être considérées comme des indications, et non pas comme des règles à suivre dans la conception d'un É/B.

ANNEXE C

Bande passante ($F_{3dB\text{-préamp}}$) du préamplificateur

Dérivation de la relation mathématique

Le circuit équivalent du préamplificateur différentiel utilisé, est illustré à la Figure C.1 :

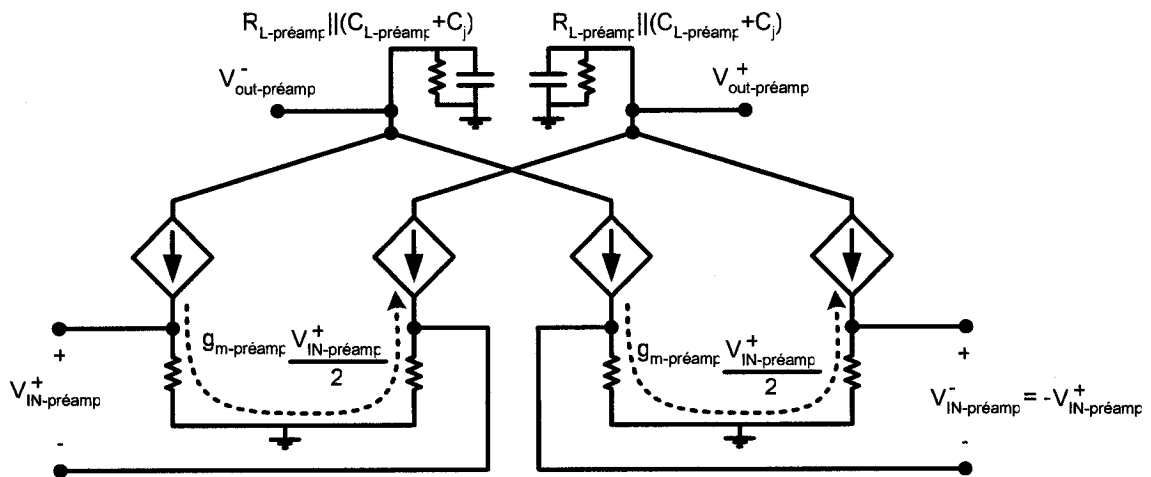


Figure C.1. Circuit équivalent du préamplificateur différentiel.

Il est à noter que $V_{IN-préamp}^+ = -V_{IN-préamp}^-$. À partir de la figure, on dérive l'équation de Laplace suivante :

$$\begin{aligned} V_{out-préamp}^+(s) &= 2 \cdot g_{m-préamp} \cdot \frac{V_{IN-préamp}^+}{2} \cdot R_{L-préamp} \parallel (C_{L-préamp} + C_j) \\ &= g_{m-préamp} \cdot V_{IN-préamp}^+ \cdot \frac{R_{L-préamp}}{sR_L(C_{L-préamp} + C_j) + 1} \end{aligned} \quad (C.1)$$

De la même façon, on dérive $V_{out-préamp}^-$, ce qui donne :

$$\begin{aligned} V_{out-préamp}^-(s) &= -2 \cdot g_{m-préamp} \cdot \frac{V_{IN-préamp}^+}{2} \cdot R_{L-préamp} \parallel (C_{L-préamp} + C_j) \\ &= g_{m-préamp} \cdot V_{IN-préamp}^+ \cdot \frac{R_{L-préamp}}{sR_L(C_{L-préamp} + C_j) + 1} \end{aligned} \quad (C.2)$$

À partir des équations (C.1) et (C.2), on dérive le gain ($A_{préamp}(s)$) sous forme de Laplace :

$$A_{préamp}(s) = \frac{V_{out-préamp}^+(s) - V_{out-préamp}^-(s)}{V_{IN-préamp}^+} = 2 \cdot g_{m-préamp} \cdot \frac{R_{L-préamp}}{sR_L(C_{L-préamp} + C_j) + 1} \quad (C.3)$$

Par conséquent, le gain DC ($s = 0$) est donné par :

$$A_{préamp} = 2 \cdot g_{m-préamp} \cdot R_{L-préamp} \quad (C.4)$$

Et le $F_{3dB-préamp}$ correspond l'unique pôle de l'équation (C.3), qui est :

$$F_{3dB-préamp} = \frac{1}{2\pi \cdot R_{L-préamp} \cdot (C_{L-préamp} + C_j)} \quad (C.5)$$

ANNEXE D

Réseau de moyennage

Procédure d'ajustement de l'effet de bordure

Pour éliminer l'effet de bordure, la procédure est la suivante:

1. Fixer $V_{IN-préamp}^+$ et $V_{IN-préamp}^-$ du réseau de moyennage aux tensions DC (équations (D.1) et (D.2)) correspondantes, aux points de transitions des deux préamplificateurs, aux extrémités du réseau. On reconnaît un point de transition lorsque $V_{out-préamp}^+ = V_{out-préamp}^-$.
2. Ajuster R_{comp} jusqu'à l'obtention de $V_{out-préamp}^+ = V_{out-préamp}^-$ pour le préamplificateur en question, tout en maintenant $V_{IN-préamp}^+$ et $V_{IN-préamp}^-$ aux niveaux fixés par D.1 et D.2.

Les équations (D.1) et (D.2) permettent d'évaluer les tensions DC appropriées, à partir des tensions de références (V_{ref}^+ et V_{ref}^-) du préamplificateur :

$$V_{IN-préamp}^+ = \frac{(V_{ref}^+ - V_{ref}^-)}{2} + V_{IN-CM} \quad (D.1)$$

Et :

$$V_{IN-préamp}^+ = \frac{(V_{ref}^- - V_{ref}^+)}{2} + V_{IN-CM} \quad (D.2)$$

où V_{IN-CM} est le mode commun de $V_{IN-préamp}^+$ et $V_{IN-préamp}^-$ (Figure D.1).

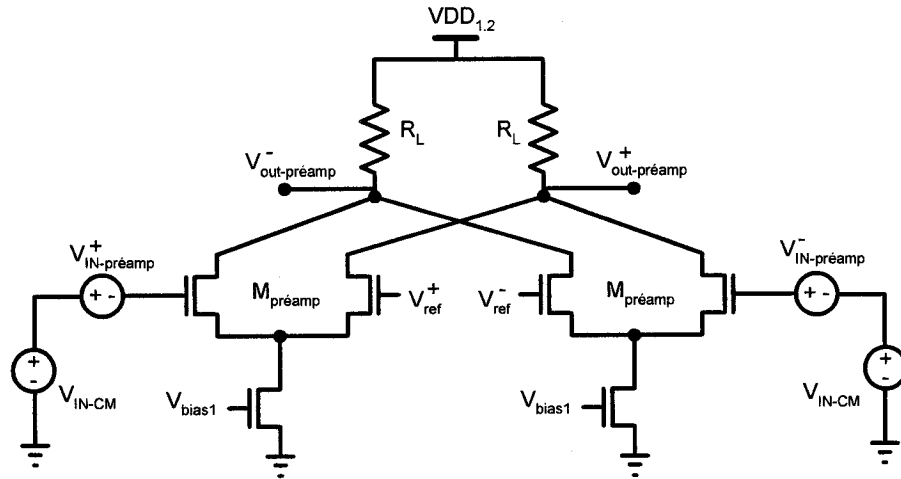


Figure D.1. Circuit du préamplificateur différentiel.

Les preuves pour les équations (D.1) et (D.2) vont être démontrées dans ce qui suit.

Pour que la condition $V_{out-préamp}^+ = V_{out-préamp}^-$ soit satisfaite, il faut :

$$\begin{aligned} (V_{IN-CM} + V_{IN-préamp}^+) - V_{ref}^+ &= -[V_{ref}^- - (V_{IN-CM} + V_{IN-préamp}^-)] \quad , \quad V_{IN-préamp}^+ = -V_{IN-préamp}^- \\ &= -[V_{ref}^- - (V_{IN-CM} - V_{IN-préamp}^+)] \\ &= -V_{ref}^- + (V_{IN-CM} - V_{IN-préamp}^+) \\ \therefore 2 \cdot V_{IN-préamp}^+ &= V_{ref}^+ - V_{ref}^- \\ V_{IN-préamp}^+ &= \frac{(V_{ref}^+ - V_{ref}^-)}{2} \end{aligned} \quad (D.3)$$

De la même façon, on dérive $V_{IN-préamp}^-$, ce qui donne :

$$V_{IN-préamp}^- = \frac{(V_{ref}^- - V_{ref}^+)}{2} \quad (D.4)$$

En ajoutant VIN-CM de part et d'autre de (D.3) et (D.4), on obtient les équations (D.1) et (D.2).

ANNEXE E

Comparateur MCML

Dériver la relation mathématique pour le mode régénératif des transistors transversaux

La portion régénérative du circuit à vérou MCML utilisée dans un comparateur MCML, et son schéma d'analyse équivalent, sont illustrées à la Figure E.1 :

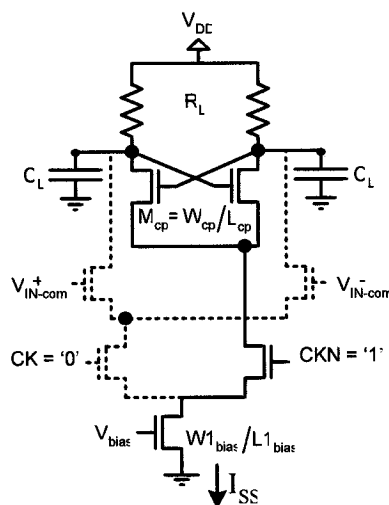


Figure E.1. Portion régénérative du circuit à vérou MCML.

Dans la figure, V_{out}^+ et V_{out}^- sont les tensions de sorties du circuit à verrou, et $v_{t=0-}^+$ et $v_{t=0-}^-$ sont les tensions générées à la fin du mode poursuite (tout juste avant d'entamer le mode régénération), I_{SS} est le courant qui commande les transistors en couplage transversal (M_{cp}) et C_L comprend la charge capacitive du module qui suit le circuit à verrou et de celle générée par les transistors M_{cp} . On dérive les équations de Laplace suivantes à partir de la Figure E.1c :

$$\begin{aligned} V_{out}^+(s) &= -v_{t=0-}^-(s) \cdot g_{m-cp} \cdot R_L \parallel C_L \\ &= -v_{t=0-}^-(s) \cdot g_{m-cp} \cdot \frac{R_L}{sR_L C_L + 1} \end{aligned} \quad (E.1)$$

où g_{m-cp} est la conductance de M_{cp} , et est donnée par :

$$g_{m-cp} = \sqrt{\frac{1}{2} \mu_n \cdot C_{ox} \cdot \frac{W_{cp}}{L_{cp}} \cdot \frac{I_{SS}}{2}} \quad (E.2)$$

où W_{cp} et L_{cp} sont la largeur et la longueur de la grille du transistor M_{cp} . À partir de l'équation (E.1), on dérive le gain associé à M_{cp} :

$$A(s) = \frac{V_{out}^+(s)}{v_{t=0-}^-(s)} = -g_{m-cp} \cdot \frac{R_L}{sR_L C_L + 1} \quad (E.3)$$

Le gain DC correspond alors à ($s = 0$) :

$$A = -g_{m-cp} \cdot R_L \quad (E.4)$$

et la constante de temps (τ) est de :

$$\tau = R_L \cdot C_L \quad (E.5)$$

Ces équations ((E.4) et (E.5)) permettent d'exprimer la relation transitoire de la rétroaction positive donnée par :

$$\begin{aligned} \Delta V_{out} &= \Delta v_{t=0-} \cdot e^{(|A|-1)t/\tau} \\ &= \Delta v_{t=0-} \cdot e^{(g_{m-cp} R_L - 1)t/R_L C_L} \end{aligned} \quad (E.6)$$

Ainsi, en augmentant le ratio W_{cp}/L_{cp} et le courant I_{SS} , on augmente la valeur de g_{m-cp} , et par le fait même, le temps de régénération diminue (équation (E.6)). Toutefois, W_{cp} ne peut pas être infiniment large, sans quoi, il augmente la valeur de C_L et annule le bénéfice sur le temps de régénération.

ANNEXE F

Script Matlab

Tracer les courbes du DNL et du INL

```
% [samples] = [MSB MSB-1 MSB-2 ... LSB]

% rms(1) = DNLrms
% rms(2) = INLrms

function [rms] = DINL(samples,samples_ref,num_bit)

N = size(samples); %N(1) is number of rows, N(2) is number of
columns.

fft_samples = zeros(N(1),1); %Create a column vector with N rows.
fft_samples_ref = zeros(N(1),1); %Create a column vector with N rows.

%Read row by row the samples with DNL/INL non-linearity.
for i = 1:N(1)
    %Read column by column, assuming that there are 6 columns.
    for j = 1:6
        if samples(i,j) > 1
            fft_samples(i) = fft_samples(i) + 2^(6-j);
        end
    end
end

%Read row by row the reference samples, w/o DNL/INL non-linearity.
```

```

for i = 1:N(1)
    %Read column by column, assuming that there are 6 columns.
    for j = 1:6
        if samples_ref(i,j) > 1
            fft_samples_ref(i) = fft_samples_ref(i) + 2^(6-j);
        end
    end
end
end

x = 0:1:2^num_bit-1; %There are 2^num_bit step
                    %in an ADC transfer curve
                    %function, "-1" b/c 0 is
                    %also considered as a
                    %step.

hist_samples = hist(fft_samples,x); %Get hist for samples.
figure;
hist(fft_samples,x); %Plot hist of samples.
xlabel('BINS');
ylabel('Number of Points');
title('HISTOGRAM OF THE ADC TRANSFER CURVER');
hist_samples_ref = hist(fft_samples_ref,x); %Get hist for the
reference samples.
figure;
hist(fft_samples_ref,x); %Plot hist of samples_ref.
xlabel('BINS');
ylabel('Number of Points');
title('HISTOGRAM OF THE ADC REFERENCE TRANSFER CURVER');

%Calculate the DNL, not including the last step, ie. if ADC has steps
%spanning from 0-63, step 63 is not included.
for i = 1:(2^num_bit)-1
    DNL(i) = (hist_samples(i) -
hist_samples_ref(i))/hist_samples_ref(i);
end

cum_INL = 0;

%INL Measurements
for i = 1:length(DNL)
    INL(i) = DNL(i) + cum_INL;
    cum_INL = INL(i);
end

rms = zeros(2,1);

%DNLrms
for i = 1:length(DNL)
    rms(1) = abs(DNL(i))^2 + rms(1);
end
rms(1) = sqrt(rms(1)/length(DNL));

%INLrms
for i = 1:length(INL)

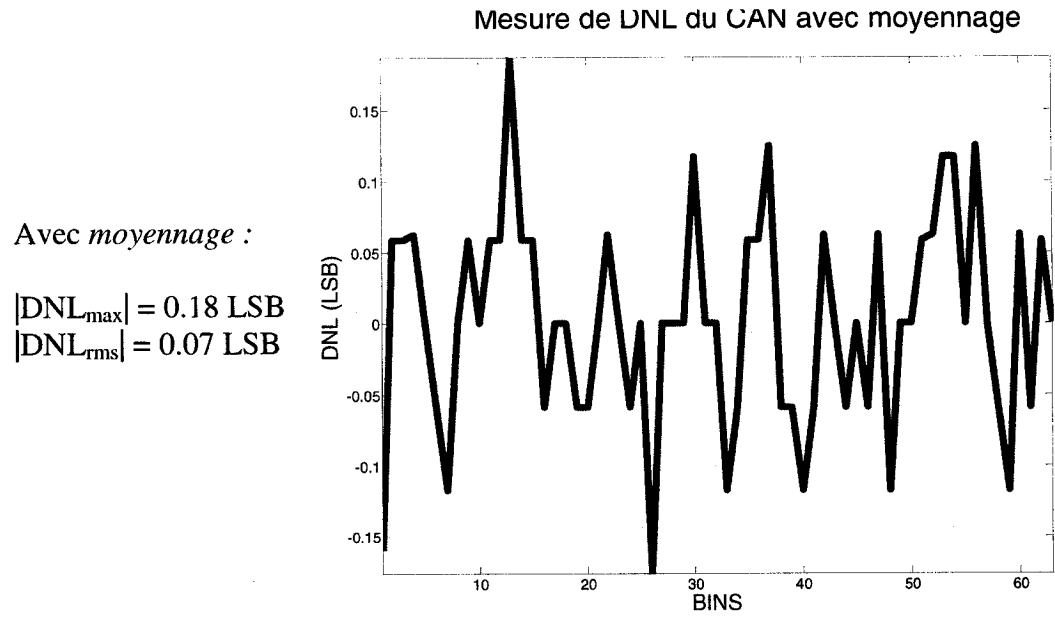
```

```
    rms(2) = abs(INL(i))^2 + rms(2);  
end  
rms(2) = sqrt(rms(2)/length(INL));  
  
figure;  
plot(1:length(DNL),DNL,'-');  
xlabel('BINS');  
ylabel('DNL (LSB)');  
title('DNL');  
figure;  
plot(1:length(INL),INL,'-');  
xlabel('BINS');  
ylabel('INL (LSB)');  
title('INL');
```

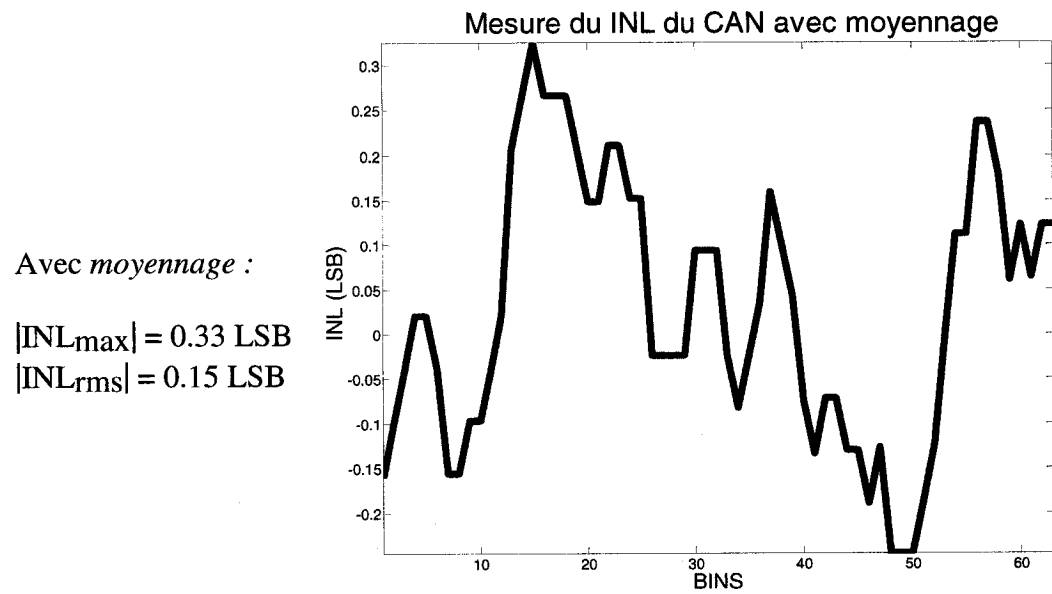
ANNEXE G

Courbes obtenues des simulations schématiques

*Illustrations du DNL, INL et de la performance dynamique
du CAN*



(a)



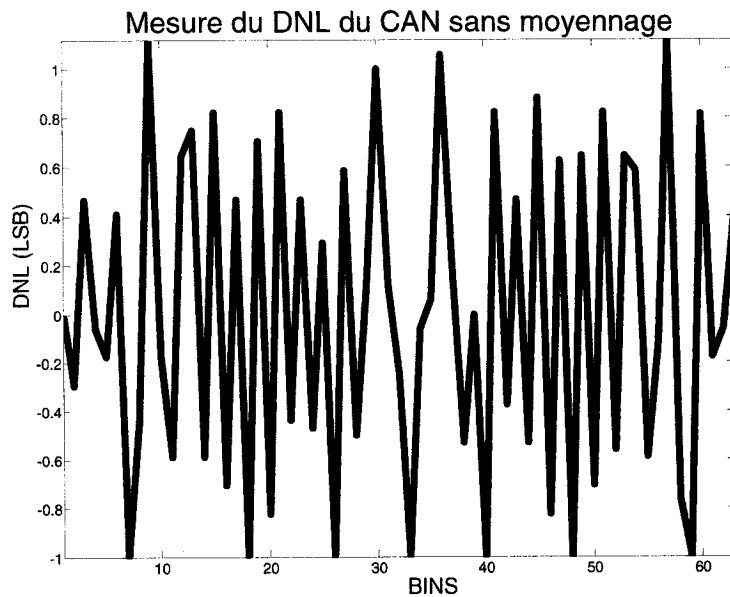
(b)

Figure G.1. Illustration de la linéarité du CAN parallèle de 6 bits, avec $\sigma V_{\text{offset-total}} = 5 \text{ mV}$ et $\sigma V_{\text{offset-préamp}} = 3.8 \text{ mV}$, avec moyennage (a) DNL, (b) INL.

Sans *moyennage* :

$$|DNL_{\max}| = 1.90 \text{ LSB}$$

$$|DNL_{\text{rms}}| = 0.65 \text{ LSB}$$

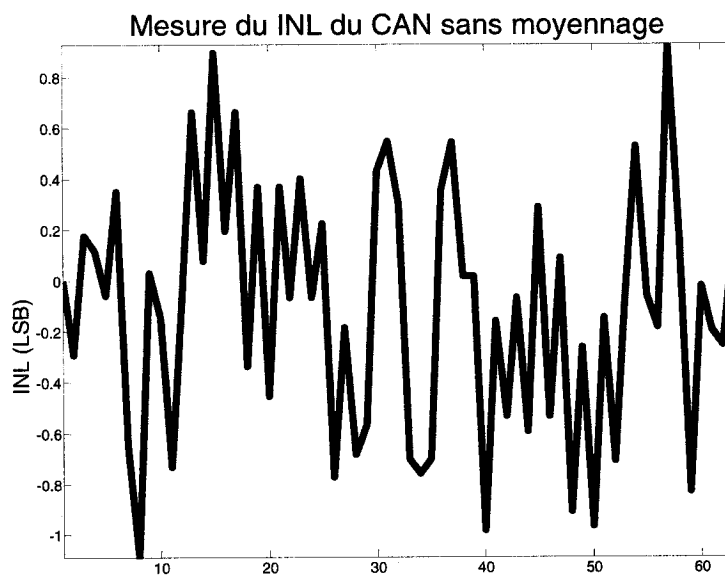


(a)

Sans *moyennage* :

$$|INL_{\max}| = 1.10 \text{ LSB}$$

$$|INL_{\text{rms}}| = 0.49 \text{ LSB}$$



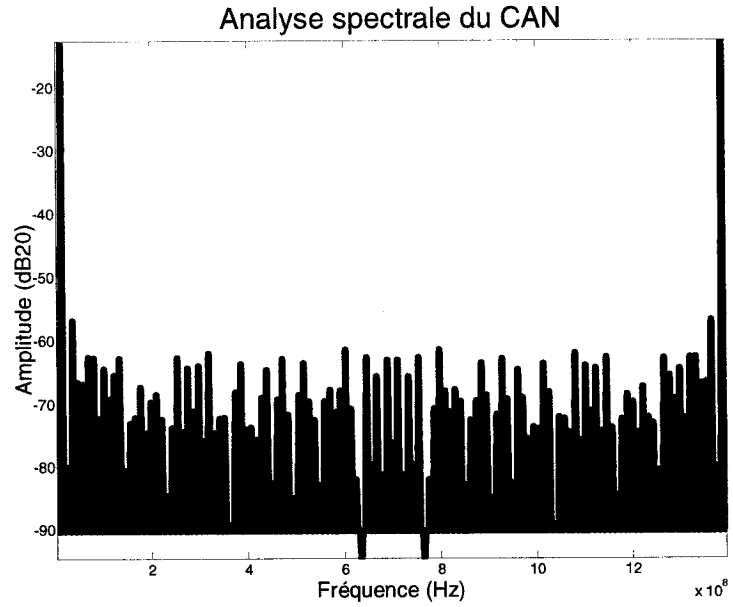
(b)

Figure G.2. Illustration de la linéarité du CAN parallèle de 6 bits, avec $\sigma V_{\text{offset-total}} = 5 \text{ mV}$ et $\sigma V_{\text{offset-préamp}} = 3.8 \text{ mV}$, sans moyennage (a) DNL, (b) INL.

$F_{IN} = 11 \text{ MHz} :$

SNDR = 36.0 dB

SFDR = 44.0 dB

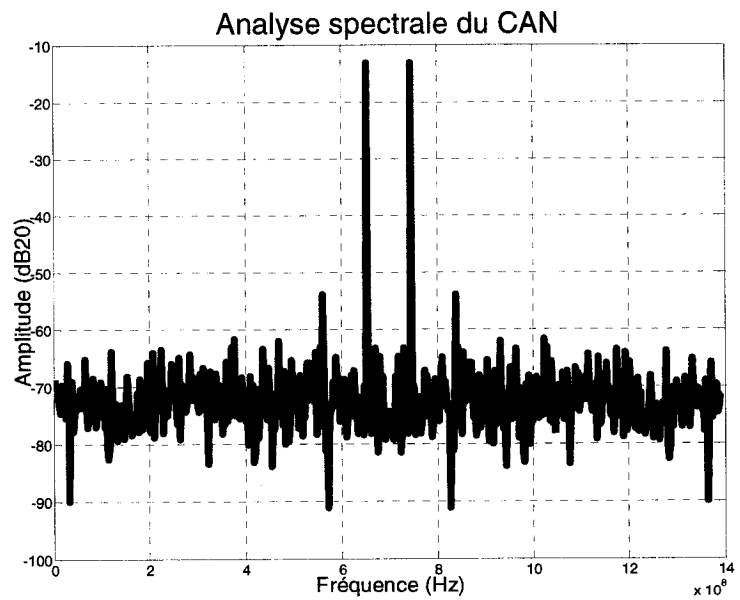


(a)

$F_{IN} = 650 \text{ MHz} :$

SNDR = 32.0 dB

SFDR = 39.0 dB



(b)

Figure G.3. Analyse spectrale du CAN, avec $\sigma V_{\text{offset-total}} = 5 \text{ mV}$ et $\sigma V_{\text{offset-préamp}} = 3.8 \text{ mV}$, pour $F_s = 1.4 \text{ GÉPS}$ et (a) $F_{IN} = 11 \text{ MHz}$, et (b) $F_{IN} = 650 \text{ MHz}$ respectivement.

ANNEXE H

Dessin de masques du CAN parallèle de 6 bits

Illustration des modules fondamentaux du CAN

Le plan de masques du CAN est illustré à la Figure H.1. Les principaux modules analogiques sont : la source de courant, le pré É/B, la matrice de préamplificateurs, la matrice de comparateurs MCML. Dans la partie numérique, nous retrouvons le décodeur MCML, formé : d'une matrice de portes ET MCML, servant à convertir le code CT en code 1-parmi-N, et d'un ensemble de portes OU MCML, formant le décodeur en arbre.

Le tampon d'horloge est aussi illustré dans le schéma. Les autres modules tels que: les tampons de sorties (pour commander les 6 bits de sorties) et le décimateur (pour diminuer la fréquence des bits et de l'horloge de sorties par un facteur de 8), sont juste présents pour la testabilité du CAN. En tant que tel, le CAN est composé de l'échelle résistive, du pré É/B, de la matrice de préamplificateurs, des comparateurs MCML, du sous-décodeur formé de portes ET MCML, et du décodeur en arbre formé de portes OU MCML.

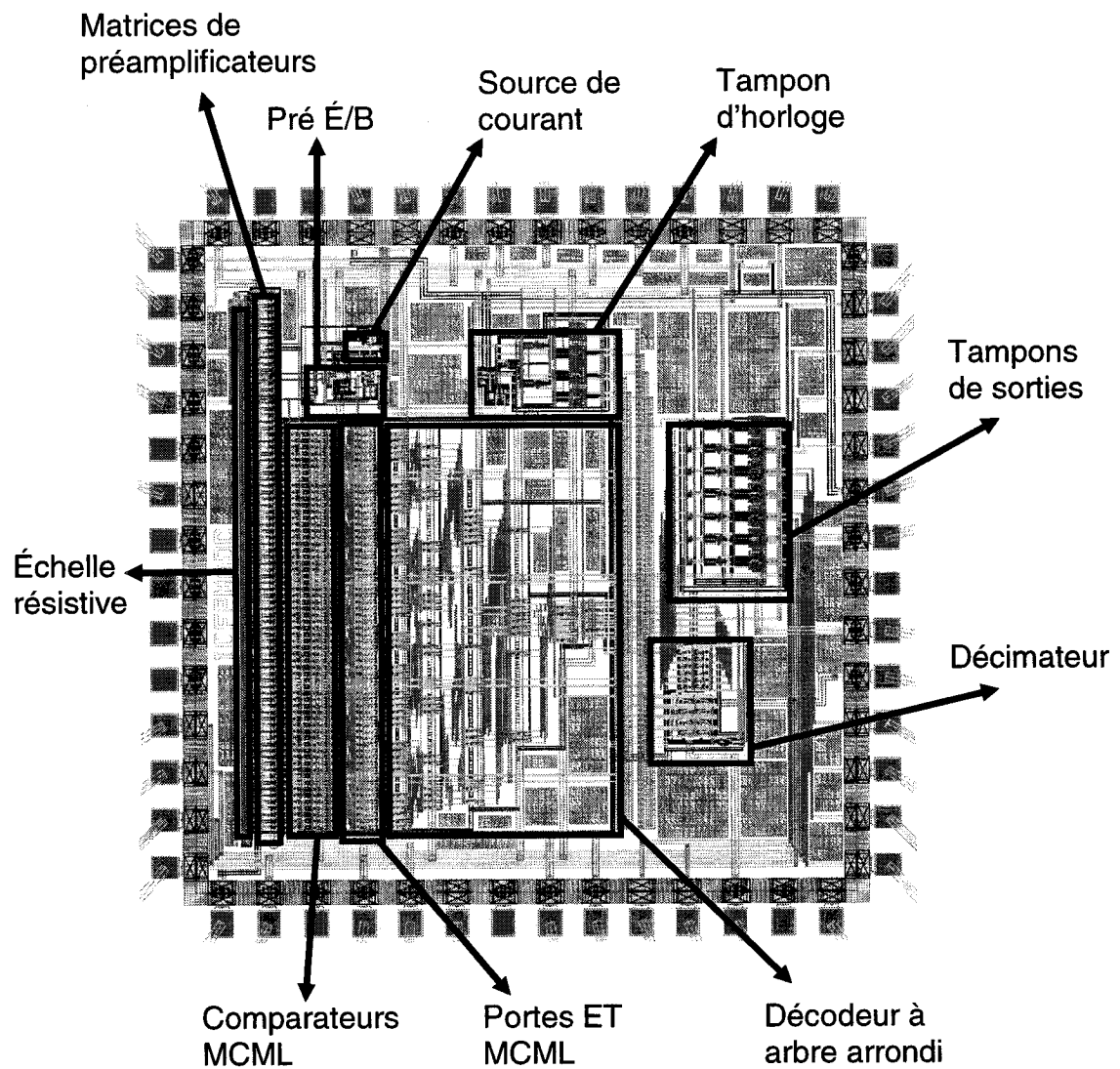


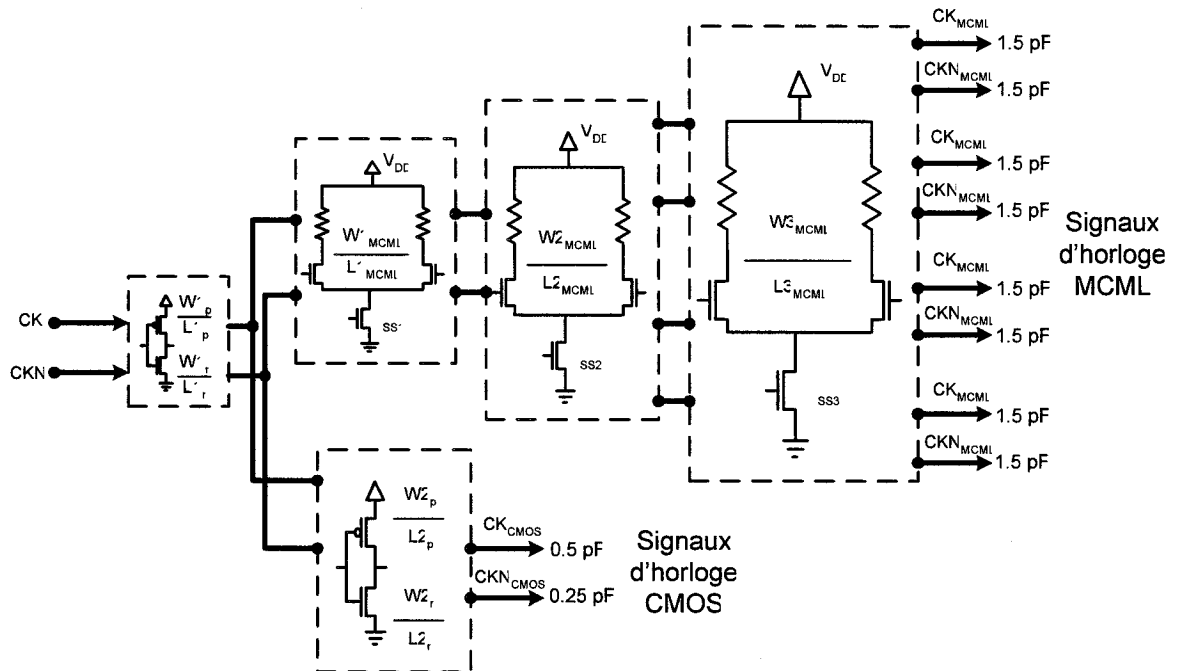
Figure H.1. Plan de masques de la puce entière, illustrant le CAN parallèle de 6 bits et des modules servant à la testabilité.

ANNEXE I

Tampon d'horloge

Circuit interne

Le but du tampon d'horloge est de fournir assez de puissance aux signaux de d'horloge pour commander le pré É/B, les comparateurs MCML, le décodeur MCML et le décimateur. Le dernier sert strictement à tester la puce et ne fait pas partie intégrante de l'architecture du CAN parallèle. Le circuit interne du tampon d'horloge est illustré à la Figure I.1. La combinaison des inverseurs CMOS et des paires différentielles MCML constituent la particularité de ce circuit. En fait, le CAN fonctionne aussi avec un tampon conçu uniquement à partir des inverseurs CMOS. Toutefois, notre choix s'abat sur l'option mixte dans le but de réduire le niveau de consommation dans le circuit tampon. En effet, le MCML consomme moins que le CMOS à hautes fréquences. La section CMOS commande le pré É/B, alors que la section MCML commande les comparateurs MCML, le décodeur et le décimateur. Le circuit final consomme 83 mW.



$$\frac{W1_p}{L1_p} = \frac{20\mu m}{0.18\mu m}, \frac{W1_n}{L1_n} = \frac{8\mu m}{0.18\mu m}, \frac{W2_p}{L2_p} = \frac{40\mu m}{0.18\mu m}, \frac{W2_n}{L2_n} = \frac{16\mu m}{0.18\mu m},$$

$$\frac{W1_{MCML}}{L1_{MCML}} = \frac{40\mu m}{0.18\mu m}, I_{SS1} = 2.5 \text{ mA}, \frac{W2_{MCML}}{L2_{MCML}} = \frac{150\mu m}{0.18\mu m}, I_{SS2} = 6 \text{ mA}, \frac{W3_{MCML}}{L3_{MCML}} = \frac{200\mu m}{0.18\mu m}, I_{SS3} = 11 \text{ mA}$$

Figure I.1. Circuit interne du tampon d'horloge mixte, CMOS et MCML.

ANNEXE J

Le décimateur

Circuit interne

Le but du décimateur est de réduire la cadence des 6 bits de sorties du CAN ($b_{MSB} \dots b_{LSB}$) à une fréquence inférieure à la bande passante de l'analyseur logique qui effectue la lecture de ceux-ci. De même, le décimateur facilite le passage des sorties binaires à l'extérieur du boîtier de la puce. Ce dernier affiche une large valeur en capacité parasite. Il est conçu à partir de bascules MCML et du diviseur d'horloge tel qu'illustré à la Figure J.1. Le circuit d'inverseurs MCML aligne les signaux d'horloge complémentaires au front montant des 6 bits $b_{MSB} \dots b_{LSB}$. Le diviseur d'horloge divise les signaux CK et CKN par un facteur de 8 pour former les signaux $CK \div 8$ et $CKN \div 8$. Ces derniers sont aussi envoyés à l'extérieur du boîtier afin de synchroniser l'analyseur logique à la fréquence des 6 bits de sorties.

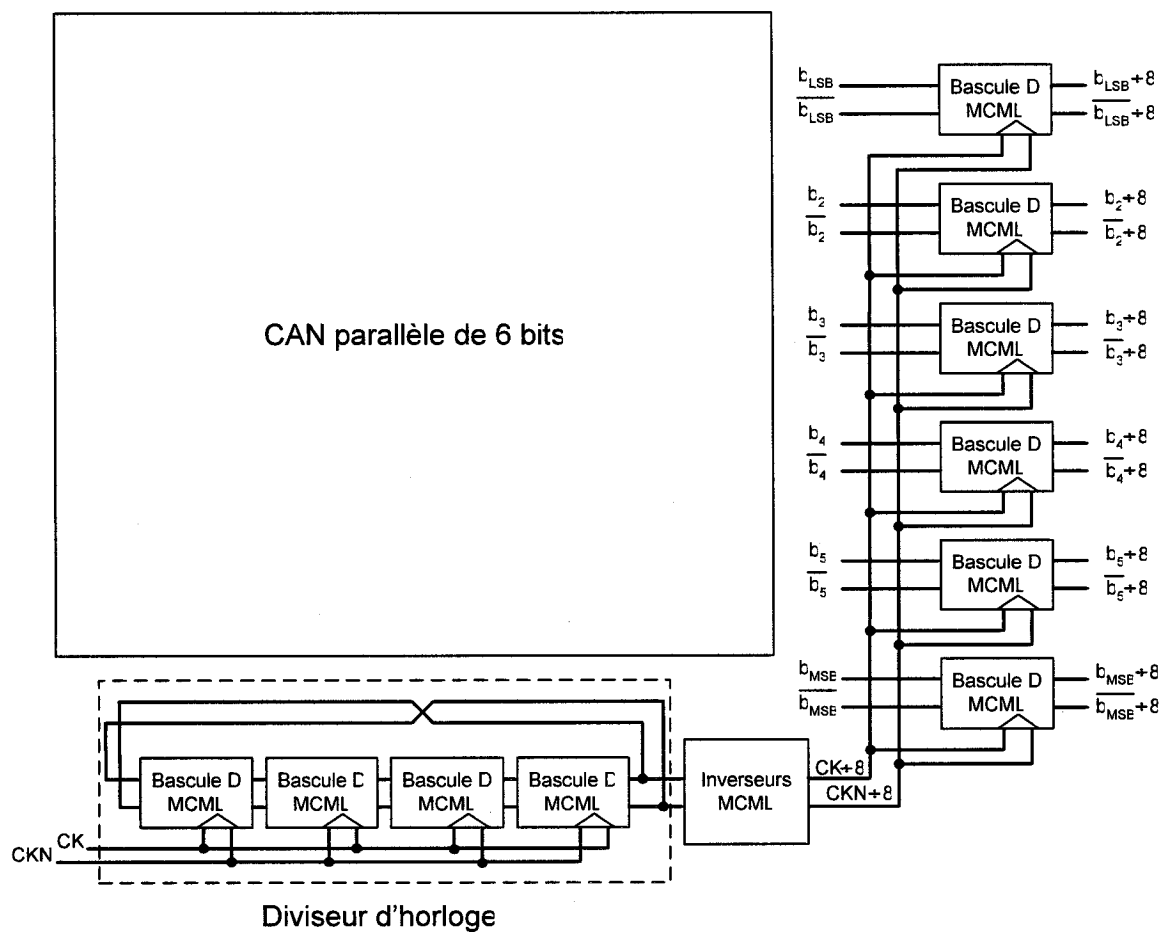


Figure J.1. Circuit interne du décimateur, réduisant la fréquence d'échantillonnage par un facteur de 8.

ANNEXE K

Le tampon de sortie

Circuit interne

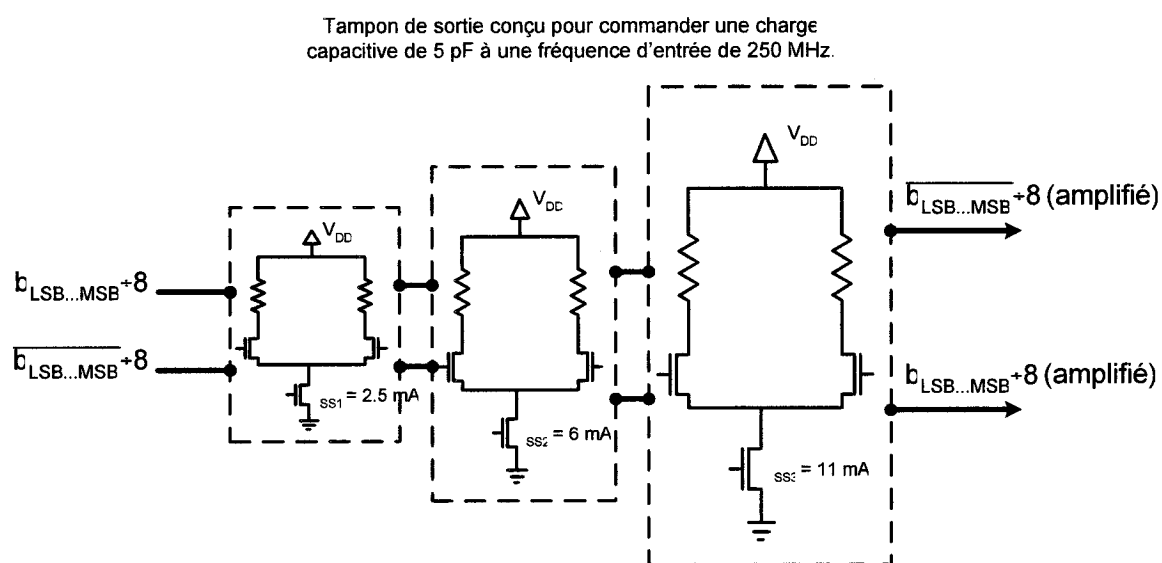


Figure K.1. Circuit interne du tampon de sortie.