PolyPublie
Polytechnique Montréal

POLYTECHNIQUE MONTRÉAL
UNIVERSITÉ D'INGÉNIERIE

Titre: Title:	Conception, réalisation et tests d'une interface intégrée pour l'acquisition et l'analyse des signaux nerveux
Auteur: Author:	Adnan Harb
Date:	2004
Type:	Mémoire ou thèse / Dissertation or Thesis
Référence: Citation:	Harb, A. (2004). Conception, réalisation et tests d'une interface intégrée pour l'acquisition et l'analyse des signaux nerveux [Ph.D. thesis, École Polytechnique de Montréal]. PolyPublie. https://publications.polymtl.ca/7560/

Document en libre accès dans PolyPublie
Open Access document in PolyPublie

URL de PolyPublie: PolyPublie URL:	https://publications.polymtl.ca/7560/
Directeurs de recherche: Advisors:	Mohamad Sawan
Programme: Program:	Unspecified

Ce fichier a été téléchargé à partir de PolyPublie, le dépôt institutionnel de Polytechnique Montréal
This file has been downloaded from PolyPublie, the institutional repository of Polytechnique Montréal

https://publications.polymtl.ca

UNIVERSITÉ DE MONTRÉAL

Cette thèse intitulée :

CONCEPTION, RÉALISATION ET TESTS D'UNE INTERFACE INTÉGRÉE POUR L'ACQUISITION ET L'ANALYSE DES SIGNAUX NERVEUX

ADNAN HARB

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

THÈSE PRÉSENTÉE EN VUE DE L'OBTENTION

DU DIPLÔME DE PHILISOPHIAE DOCTOR (Ph.D.)

(GÉNIE ÉLECTRIQUE)

AOÛT 2004

©Adnan Harb 2004

Library and Archives Canada

Published Heritage Branch

395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque et Archives Canada

Direction du Patrimoine de l'édition

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence
ISBN: 978-0-494-16997-1
Our file Notre référence
ISBN: 978-0-494-16997-1

NOTICE:
The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:
L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Cette thèse intitulée:

CONCEPTION, RÉALISATION ET TESTS D'UNE INTERFACE INTÉGRÉE POUR L'ACQUISITION ET L'ANALYSE DES SIGNAUX NERVEUX

présentée par: HARB Adnan

en vue de l'obtention du diplôme de Philosophiae Doctor

a été dûment acceptée par le jury d'examen constitué de:

M. SAVARIA Yvon, Ph.D., président

M. SAWAN Mohamad, Ph.D., membre et directeur de recherche

M. GUARDO Robert, Ph.D., membre

M. ALKHALILI Asim, Ph.D., membre externe

DÉDICACE

A ma mère

A mon père

A mon épouse

A mes deux enfants

REMERCIEMENTS

Je tiens à remercier M. Mohamad Sawan, professeur au Département de génie électrique, qui a accepté de diriger ce travail en m'accueillant au sein de son équipe PolySTIM, où il m'a été possible d'effectuer mes recherches dans des conditions tout à fait excellentes et très appréciées.

Je tiens également à adresser des remerciements aux professeurs Yvon Savaria, pour avoir bien voulu présider le jury de cette thèse, Asim Al-Khalili de l'Université Concordia et Robert Guardo, qui ont accepté de faire partie de ce jury et à tous mes collègues et personnel du GRM qui m'ont apporté leur savoir et leur amitié tout au long de ce travail. Plus particulièrement, je remercie Yamu Hu pour sa participation dans le premier article.

Je voudrais encore souligner la collaboration du Dr. Elhilali et son équipe d'urologie au centre McIntyre d'animalerie de l'Université McGill pour la réalisation des sessions d'expérimentation en phase aiguë. Je leur en suis très reconnaissant.

J'aimerais aussi remercier le Conseil de Recherches en Sciences Naturelles et en Génie du Canada (CRSNG) pour m'avoir accordé une bourse doctorale et pour le support financier du projet, la Société Canadienne en Microélectronique (SCM) pour la fabrication

de circuits intégrés, et STMicroelectronics pour l'utilisation du laboratoire pour les tests des circuits intégrés. Je tiens également à remercier Madame Selma Tischer, traductrice et rédactrice technique, pour la relecture attentive du texte.

Je dois aussi une grande reconnaissance à Madame Ghyslaine Ethier-Carrier pour son aide constante tout au long de cette thèse et de son dévouement et sa bonne humeur. Je n'oublie pas Réjean Lepage, administrateur du sysème, qui s'est toujours montré d'une grande disponibilité et d'une grande patience face à mes sollicitations.

Finalement, c'est avec beaucoup de reconnaissance que je remercie mes parents, mon épouse et mes deux enfants qui ont, avec beaucoup de patience, accepté de vivre dans des conditions difficiles pendant de longues années tout en me fournissant un support précieux; sans leurs sacrifices, ce travail n'aurait pu être accompli.

RÉSUMÉ

La restitution des fonctions motrices des organes paralysés à la suite d'un accident ou d'une maladie est un ancien rêve. L'avancement de la technologie et des neurosciences au cours des dernières années a ouvert la voie à la concrétisation d'un tel rêve.

Après plusieurs années de recherche, la restauration des fonctions motrices d'un organe par stimulation électrique suite à une lésion de la moelle épinière est devenue possible. Cependant, en raison de la fatigue musculaire, l'application d'une stimulation électrique constante ne fournit pas nécessairement une force motrice constante. De plus, si la fonction sensorielle est aussi affectée, elle doit être remplacée par un capteur artificiel. Son rôle est de fermer la boucle de la stimulation composée du stimulus (entrée), de l'organe (système excité) et des signaux nerveux (sortie, reflétant l'état de l'organe). Il s'agit d'une interface électronique capable d'acquérir et de traiter les signaux nerveux émis par l'organe afin de transmettre les résultats au contrôleur de la stimulation.

Cette thèse présente un système intégré implantable en technologie CMOS pour l'acquisition et l'analyse des signaux nerveux. Un tel module électronique complète le système implantable de stimulation en surveillant et en communiquant l'état de l'organe au processeur central de l'implant en temps réel. Ceci permet au processeur de régler l'intensité de la stimulation en fonction de l'activité de l'organe, et d'informer le patient de son état le cas échéant.

Bien qu'une application particulière est décrite dans cette thèse, le système proposé pourrait servir dans beaucoup d'applications similaires. Cependant, des modifications mineures pourraient être nécessaires.

Le système réalisé est formé des circuits suivants:

- Un préamplificateur à faible bruit basé sur un amplificateur stabilisé par hachage car l'amplitude des signaux nerveux est faible et peut varier entre 1 μV et quelques dizaines de μV;
- Un amplificateur d'instrumentation à gain programmable selon l'amplitude du signal acquis;
- Un échantillonneur-bloqueur dont la sortie est toujours valide;
- Un redresseur à double alternance suivi d'un intégrateur par période multi-étages pour accomplir le traitement de signal requis.

Comme la tension d'alimentation et la consommation d'énergie sont des éléments clefs dans les dispositifs électroniques implantables, le système présenté est conçu pour fonctionner avec une tension d'alimentation plus basse que celle recommandée pour la technologie CMOS 0.35 μm utilisée. Aussi, une attention particulière a été accordée pour réaliser des circuits à faible consommation d'énergie. Il s'agit d'un critère nécessaire à respecter pour être en mesure d'alimenter l'ensemble de l'implant par l'énergie transmise à travers la peau et portée par des ondes électromagnétiques.

En résumé, les contributions de cette thèse sont les suivantes:

1. La confirmation par des mesures in vivo de la relation électroneurogramme-volume vésical. Réussir cette procédure, qui entre autre nécessitait la construction d'un système d'acquisition à composants discrets, était un pas nécessaire à franchir afin de pouvoir passer à la conception du circuit intégré;
2. La réalisation du premier module CMOS intégré pour l'acquisition et le traitement des signaux nerveux. Le module ainsi conçu est utilisable dans plusieurs applications de réadaptation;
3. La conception de plusieurs modules électroniques à haute performance tels un préamplificateur à faible bruit, un amplificateur d'instrumentation programmable, un échantillonneur/bloqueur, un redresseur à double alternance et un intégrateur par période.

Le travail effectué et présenté dans cette thèse ouvre la voie à un aspect très important et critique des systèmes de réadaptation. Nous espérons modestement qu'il pourra contribuer à l'amélioration de la qualité de vie des patients.

ABSTRACT

To recover motor functions of organs paralyzed as a result of an accident or a disease is an ancient dream. Only in the last few years, however, have technology and neuroscience advanced to the point that practical systems can be envisaged to realize this dream partially.

After many years of research in electrical stimulation, restoration of significant motor function of an organ by electrical stimulation after spinal cord injury is now becoming possible. However, during neuromuscular stimulation, constant electrical stimulation does not yield constant muscular force because of fatigue. Additionally, in the case where sensory function is lost, it is required that artificial sensors to replace lost natural sensors. Their role is to close the feedback loop composed of the stimulus (input), the organ (excited system) and the nerve signal (output, reflecting the status of the organ). The main role of this artificial sensor is to record the nerve signal, analyze it, and transmit the results to the controller of the stimulation.

In this thesis a CMOS integrated implantable system dedicated to the acquisition and analysis of nerve signals is presented. This electronic module completes the implantable stimulation system by supervising and communicating the status of the organ to the central processor of the implant in real time. This allows the processor to monitor and

manage the stimulation intensity vs. organ activity, and to inform the patient of its status if necessary.

Although the proposed system is designed for a specific application, it could be used in many similar applications. However, minor modifications might be necessary.

The system that has been implemented is composed of the following circuits:

- A low-noise preamplifier based on the chopper stabilization technique because the nerve signal amplitude is very low and ranges from 1 μV to few tens of μV;
- A programmable gain instrumentation amplifier. The gain is set in function of the amplitude of the recorded signal;
- A sample and hold circuit with an always valid output;
- A full-wave rectifier followed by a multi-stage bin-integrator to perform the required signal processing.

Since supply voltage and power consumption are key issues in implantable devices, the data acquisition system is designed to work at a supply voltage lower than the nominal supply voltage of the technology used (CMOS 0.35 μm). Also, a special attention was paid to reduce the overall power consumption. This is an essential criteria to be able to power the whole implant with the energy carried by electromagnetic waves transmitted through the skin.

In summary, the contributions of this thesis are:

1. We succeeded in recording nerve signals in vivo to confirm the relationship between electroneurogram and bladder volume. To complete this procedure, a data acquisition system based on discrete components was built. In vivo measurements were a necessary step before starting the design of an integrated system;
2. We implemented the first CMOS integrated module dedicated to nerve signal acquisition and processing. This module can be used in many rehabilitation applications;
3. We designed several high performance units: low noise preamplifier, programmable instrumentation amplifier, sample-and-hold, full-wave rectifier, and 200 ms bin integrator.

The work performed for this thesis opens the door widely to a very important and critical part in rehabilitation systems. We hope modestly that it will constitute a contribution to improving patients quality of life.

TABLE DES MATIÈRES

DÉDICACE ..... **IV**

REMERCIEMENTS ..... **V**

RÉSUMÉ ..... **VII**

ABSTRACT ..... **X**

TABLE DES MATIÈRES ..... **XIII**

LISTE DES FIGURES ..... **XVI**

LISTE DES TABLEAUX ..... **XXVI**

LEXIQUE ..... **XXVII**

INTRODUCTION **1**

CHAPITRE 1: REVUE DE LITTÉRATURE **4**

1.1. Le système nerveux 4

1.2. Historique 8

1.3. Enregistrement des signaux nerveux: état actuel 10

1.4. Utilisation des signaux nerveux dans la réadaptation 12

1.5. Systèmes électroniques d'acquisition de l'ENG.....22

1.6. Travail proposé dans cette thèse.....32

1.7. Méthodologie.....34

CHAPITRE 2: UNE INTERFACE CMOS À BASSE PUISSANCE POUR L'ENREGISTREMENT ET LE TRAITEMENT DE SIGNAUX DE TRÈS FAIBLE AMPLITUDE.....36

2.1. Introduction.....36

2.2. Article: Low-power CMOS interface for recording and processing very low amplitude signals.....40

CHAPITRE 3: UN CIRCUIT DE REDRESSEMENT ET D'INTÉGRATION PAR PÉRIODE À CAPACITÉS COMMUTÉES POUR LE TRAITEMENT DES SIGNAUX NERVEUX.....80

3.1. Introduction.....80

3.2. Article: Fully integrated electroneurogram acquisition and processing front-end dedicated to monitor the bladder activities: design and measurements...83

CHAPITRE 4: COMPLÉMENTS DE RÉSULTATS.....109

4.1. Simulation de l'échantillonneur-bloqueur.....109

4.2. Les phases d'horloge.....110

4.3. Contenu fréquentiel de l'ENG 117

4.4. Résultats détaillés des dix puces mesurées 119

DISCUSSION GÉNÉRALE ET CONCLUSION 120

BIBLIOGRAPHIE 125

ANNEXE A: DESCRIPTION DES BROCHES DU CIRCUIT INTÉGRÉ 135

LISTE DES FIGURES

Figure 1.1. La vessie est composée de deux parties: le détrusor et le trigone.....6

Figure 1.2. Enregistrement utilisant une gaine à trois contacts [54].....12

Figure 1.3. Mesures chroniques de l'ENG: (A) forces perpendiculaires (ligne continue) et latérales (ligne pointillée) appliquées sur le côté latéral du pied, (B) l'ENG brut, (C) l'ENG redressé et intégré par période (ligne pointillée) et le modèle élaboré par les auteurs qui relie l'ENG-RBI à la force perpendiculaire appliquée (ligne continue) [25].....15

Figure 1.4. Résultats typiques des mesures effectuées sur un patient marchant à pieds nus sans (panneau gauche) et avec stimulation (panneau droit) des dorsi-fléchisseurs de la cheville. (A) le signal nerveux sural redressé et intégré par période, (B) le signal en A après filtrage passe haut, et (C) le signal du capteur sur le talon et le signal du contrôle du stimulateur (surface hachurée) [52].....18

Figure 1.5. L'enregistrement des signaux du nerf musculo-cutané (MC) et du nerf sciatique poplité interne (SPI) ainsi que les signaux du muscle gastronémien médial (GM), et le muscle jambier antérieur (JA) en fonction du temps (axe des x en secondes). Cet enregistrement de 20 s est présenté pour montrer les

différentes activités rythmiques dans les nerfs périphériques et les muscles de la cheville dans des comportements différents [45].....20

Figure 1.6. On a attribué des niveaux de seuil (lignes en pointillé en SPI et MC) à l'amplitude des ENGs traités. À chaque fois que l'ENG de MC ou celui de SPI franchit le seuil, le système de stimulation passe à un nouvel état (1, 2, 3, ou 4 dans A). Durant l'état 2 (resp. 4), le circuit de stimulation du muscle GM (resp. JA) est activé pendant une période fixe (B, resp. C) égale à la durée moyenne des activités du GM (resp. JA) [45]. 21

Figure 1.7. Volume vésical et l'ENG traité du S2 pendant le remplissage et la vidange de la vessie [33]. 22

Figure 1.8. Schéma d'ensemble de l'unité de correction du pied tombant. (A) Intégrateur par période et éliminateur d'artefacts, (B) Détecteur de pas et contrôleur de stimulation [26].....24

Figure 1.9. Filtre passe-haut à gain variable. La capacité n'est pas intégrée sur la puce [42].....25

Figure 1.10. Structure d'une vraie connexion tripolaire [43,48].....26

Figure 1.11. Architecture de base du préamplificateur [48]. R_1 sert à établir le gain DC, R_2 et C forment un filtre passe-bas et le suiveur est implémenté pour le test. Les performances de g_m ont été vérifiées en CMOS et BiCMOS

(tableau 1.1). 27

Figure 1.12. Schématique du bioamplificateur utilisant des pseudo-résistances proposé par Harrison et Charles. [24].....28

Figure 1.13. La réalisation d'un redresseur avec la technique du suiveur de tension alternative. Dépendamment du signe de l'entrée Vin, l'un ou l'autre des transistors M_1 et M_2 conduit, amenant un signal toujours positif à l'entrée du suiveur. Le transistor M_3 et la source I_{S2} servent à compenser la chute de tension grille-source de M_1 et M_2 [60]. 29

Figure 2.1. A simplified block diagram of the global bladder controller.....45

Figure 2.2. The discrete nerve signal recording system: the tripolar electrode is cuffing the sacral nerve S2. The signal is amplified with IA and band-pass filtered before being stored on a PC to be processed off-line. 47

Figure 2.3. Nerve signal activity increasing with time that is proportional to the volume of the bladder. 48

Figure 2.4. Rectified and bin-integrated ENG vs. bladder filling with time.....49

Figure 2.5. Building blocks of the volume monitoring device.....50

Figure 2.6. The principle of Chopper Stabilization technique. 52

Figure 2.7. The Low noise differential preamplifier: a) Simplified block diagram, b) and c) Preamplifier and band pass filter respectively that form the selective preamplifier.....54

Figure 2.8. The proposed instrumentation amplifier: a) Simplified block diagram, b) Simplified schematic of op-amp1 and op-amp2 with connection to the current mirror, c) Current subtractor.....56

Figure 2.9. Block-diagram of the analog signal processing unit.....58

Figure 2.10. Simplified clock phases that control the three integration stages. (ϕ_{12}, ϕ_{11}), (ϕ_{22}, ϕ_{21}), and (ϕ_{32}, ϕ_{31}) are the non overlapping clocks for integration stages 1, 2 and 3 respectively.....60

Figure 2.11. Switched capacitor fully differential full wave rectifier. ϕ_1 and ϕ_2 are non-overlapping clock phases.....62

Figure 2.12. Fully differential sample-and-hold circuit with always valid output.....63

Figure 2.13. Fully differential resettable integrator used in BIN integration stages 1 and 2.....65

Figure 2.14. Third stage fully differential integrator with capability to be set at a fixed voltage $-2V_{ref}$ and its corresponding clock phases. The clock phases used in this circuit are derived from ϕ_{r3}, ϕ_{1s}, ϕ_{32} and ϕ_{31}.....66

Figure 2.15. Layout of the a) Low-noise differential preamplifier and the instrumentation amplifier and b) Analog signal processing block. 67

Figure 2.16. Noise performance of the preamplifier a) illustrated by the simulation, b) measurement of output noise. 69

Figure 2.17. The IA measurement results: a) Gain linearity versus resistor ratio (simulation: dotted line, measurement: solid line), b) Frequency response at gain=0 dB.....70

Figure 2.18. Outputs of the a) first, b) second, and c) third integrator for M= N= P= 20, A=4, B= 8 and C= 10.....72

Figure 3.1. Typical raw (a) and rectified and 200 ms bin-integrated (b) ENG from a dog sacral nerve (S2) as a function of its bladder volume. The bladder is filled linearly with time. 86

Figure 3.2. The block-diagram of the rectifier and bin-integrator module. 87

Figure 3.3. Simplified schematic of a bin-integration stage. S_r resets the output at a period equal to a bin. A gain of 1/8000 implies that C_f/C_i= 8000 which is difficult to implement. 88

Figure 3.4. Simplified clock phases that control the three integration stages. (ϕ_{12}, ϕ_{11}, ϕ_{r1}), (ϕ_{22}, ϕ_{21}, ϕ_{r2}), and (ϕ_{32}, ϕ_{31}, ϕ_{r3}) are the non overlapping clocks and

reset signal for integration stage 1, 2 and 3 respectively. ϕ_{1s} together with ϕ_{r3} are used to reset stage 3 at $-2V_{ref}$. 90

Figure 3.5. Examples of the measured clock phases: a) The reset phase ϕ_{r1} (lower trace) of stage one synchronized with ϕ_{12} (upper trace), b) The reset phase ϕ_{r2} (lower trace) of stage two synchronized with ϕ_{22} (upper trace), c) The reset phase ϕ_{r3} (lower trace) of stage three synchronized with ϕ_{32} (upper trace), and d) The reset phase ϕ_{r3} pulse (middle trace) of stage three followed by ϕ_{1s} (lower trace) then ϕ_{32} (upper trace). 91

Figure 3.6. Fully differential sample-and-hold circuit with always valid output. $C_i = C_o = 1$ pF, $C_h = 1.5$ pF and $R = 20$ kΩ. 93

Figure 3.7. Open loop gain (left) and phase (right) of the two-stage (a), opamp2 (b) and opamp1 (c) of the sample and hold block. 94

Figure 3.8. The proposed fully differential sample-and-hold circuit with the usual technique for offset cancellation. 95

Figure 3.9. Outputs of S/H: a) circuit of Figure 3.6 b) circuit of Figure 3.8. The proposed design is almost free of spikes. c) and d) are the DFT of a) and b) respectively. 95

Figure 3.10. Fully differential resettable bin-integrator used in stages 1 and 2. Capacitors values in stage 1 (stage 2): $C_i = 1$ pF (4 pF), $C_o = 1$ pF (1 pF), $C_f = 4$ pF

(32 pF).....96

Figure 3.11. Third stage fully differential bin-integrator with capability to be set at a constant voltage -2 V_{ref} (a) and its corresponding clock phases (b). The clock phases used in this circuit derive from ϕ_{r3}, ϕ_{1s}, ϕ_{32}, and ϕ_{31}. Capacitors values: C_s= 150 pF, C_i= 30 pF, C_1= 1 pF, C_f= 300 pF.....97

Figure 3.12. Microphotograph of the RBI module implemented with CMOS 0.35 μm. Die area is 2650× 2200 μm^2.....99

Figure 3.13. Output of the third stage of the bin-integrator. Simulation performed with M= N= P= 20, A=4, B= 8, C= 10, and DC input= 80 mV. The random output at the begining is due to the fact that the third stage doesn't receive any clock or input signal before 10 ms.....100

Figure 3.14. RBI result as measured at the output of the third bin-integration stage. From the lowest trace to the highest one, the sinewave input amplitude varies from 0 V_{pp} (offset) to 297 mV_{pp} respectively. Each increment represents the average of the subsequent MN input samples. The last step (the maximum value) that is the average of MNP samples (P=20) is to be sampled and converted by the ADC. 101

Figure 3.15. The parasitic capacitance between the interconnect metal and the bottom plate increases with the number of units of C1.....103

Figure 3.16. RBI error vs. input: The error is computed as the difference between the measured RBI minus the offset and the ideal calculated value using Matlab. An example of capacitance matching with ratio= 8. 103

Figure 4.1. (a) la sortie temporelle de l'échantillonneur-bloqueur pour une entrée sinusoïdale d'une fréquence de 9.937 kHz et d'amplitude de 180 mV_{pp}. (b) et (c): Un zoom autour d'une valeur élevée (b) et faible (c) de l'entrée. Les marqueurs A et B sont placés à l'endroit des deux phases de fonctionnement du bloc: mise à jour de la sortie et échantillonnage de l'entrée. L'erreur pour les faibles amplitudes d'entrée est de 0.069%; celle pour les amplitudes élevées est de 0.009%. 110

Figure 4.2. Les deux phases non chevauchées du premier étage d'intégration par période ϕ_{11}, $\phi 12$. La fréquence est de 40 kHz. 111

Figure 4.3. L'horloge d'initialisation (ϕ_{r1}) du premier étage d'intégration par période. Elle est synchronisée avec ϕ_{12} (le zoom à droite où la ligne pointillée= ϕ_{12} et la ligne continue= ϕ_{r1}) pour assurer que l'initialisation de la sortie se fait après chaque 20 échantillons d'entrée (gauche) pendant le chargement des capacités d'entrée. La fréquence de ϕ_{r1} est de 40 kHz/20= 2 kHz. 112

Figure 4.4. Les deux phases non chevauchées du deuxième étage d'intégration par période ϕ_{21}, ϕ_{22}. La fréquence est de 2 kHz (gauche). Le zoom à droite montre le non-chevauchement des deux phases (ligne pointillée= ϕ_{22} et ligne

continue= ϕ_{21}). La phase ϕ_{22} est la phase pendant laquelle le circuit échantillonne l'entrée et la phase ϕ_{21} est la phase pendant laquelle le circuit transmet les charges échantillonnées aux capacités de sortie (capacités de rétroaction).....113

Figure 4.5. L'horloge d'initialisation (ϕ_{r2}) du deuxième étage d'intégration par période. Elle est synchronisée avec ϕ_{22} (le zoom à droite où graphe du haut= ϕ_{22} et graphe du bas= ϕ_{r2}) pour assurer que l'initialisation se fait après chaque 20 échantillons d'entrée de l'étage (gauche) pendant le chargement des capacités d'entrée. La fréquence de ϕ_{r2} est de 100 Hz. 114

Figure 4.6. Les deux phases non chevauchées du troisième étage d'intégration par période ϕ_{31}, ϕ_{32}. La fréquence est de 100 Hz (gauche). Le zoom à droite montre le non-chevauchement des deux phases (ligne pointillée= ϕ_{32} et ligne continue= ϕ_{31}). La phase ϕ_{32} est la phase pendant laquelle le circuit échantillonne l'entrée et la phase ϕ_{31} est la phase pendant laquelle le circuit transmet les charges échantillonnées aux capacités de sortie (capacités de rétroaction).....115

Figure 4.7. L'horloge d'initialisation (ϕ_{r3}) du troisième étage d'intégration par période. Elle est synchronisée avec ϕ_{32} (le zoom à droite où ligne continue= ϕ_{r3} et ligne pointillée= ϕ_{32}) pour assurer que l'initialisation se fait après chaque 20 échantillons d'entrée de l'étage (gauche) pendant le chargement des capac-

ités d'entrée. Les détails de fonctionnement se trouvent dans la figure suivante. La fréquence de ϕ_{r3} est de 5 Hz. 116

Figure 4.8. Les horloges d'initialisation (ϕ_{r3} et ϕ_{1s}) du troisième étage d'intégration par période. Pendant ϕ_{r3} les capacités d'entrée d'initialisation (C_s dans la figure 3.11) sont chargées à $\pm V_{ref}$ et en même temps les capacités de sortie sont déchargées. Ensuite et pendant ϕ_{1s}, ces dernières sont chargées à $\pm V_{ref}$. L'intégration par période commence avec la première pulse de ϕ_{32} suivant ϕ_{1s}. La séquence de ces trois impulsions est mise en évidence dans le zoom à droite. 117

Figure 4.9. Contenu fréquentiel de l'ENG à différents moments ([20s- 30s]: (a), [100s- 110s]: (b), [200s- 210s]: (c), et [250s- 260s]: (d)) pendant le remplissage de la vessie qui a duré 320 s. Les composantes fréquentielles demeurent inchangées durant la variation du volume de la vessie ce qui montre que la fréquence de l'ENG ne peut pas être utilisée comme indicateur du volume. Paramètres de l'analyse spectrale: fréquence d'échantillonnage= 30 kHz, nombre de points= 10 s/(1/30 kHz)= 300000, fenêtre de Hanning. 118

Figure A.1. Le diagramme de connexion du circuit aux broches du boîtier PGA68..135

LISTE DES TABLEAUX

Tableau L.1. Liste des abréviations xxvii

Tableau L.2. Terminologie médicale xxvii

Tableau 1.1. Performances des trois variétés d'AOTs [48]. 27

Tableau 2.1. LNDP, IA, and ASP performance 73

Tableau 3.1. RBI circuit performance: simulated and measured results. The integrated circuit is designed and fabricated in 3.3 V CMOS 0.35 μm technology. 104

Tableau 4.1. Paramètres mesurés des dix puces 119

Tableau A.1. Description des signaux du circuit de test 136

LEXIQUE

Tableau L.1. Liste des abréviations

Français	Anglais	Description
AI	IA	Amplificateur d'Instrumentation
AOT	OTA	Amplificateur Opérationnel à Transconductance
CAN	ADC	Convertisseur Analogique-Numérique
ENG-RIP	RBI-ENG	l'ÉlectroNeuroGramme Redressé et intégré par période
PDFB	LNDP	Préamplificateur Différentiel à Faible Bruit
PSN	DSP	Processeur de Signal Numérique*
RIP	RBI	Redressé et Intégré par Période

* www.olf.gouv.qc.ca

Tableau L.2. Terminologie médicale

Français (Anglais)	Abr.	Description
Afférente (fibre nerveuse) (Afferent nervous fibre)		Les fibres nerveuses afférentes reliées au récepteur stimulé, conduisent des messages vers le centre nerveux du réflexe.
Crochet (Hook)	-	Un instrument ayant 2 ou 3 terminaux en forme de U et utilisé pour saisir et exposer le nerf.

Tableau L.2. Terminologie médicale

Français (Anglais)	**Abr.**	**Description**
Cunéiforme (Cuneiform)	-	Trois des os qui forment le tarse
Efférente (fibre nerveuse) (Efferent nervous fibre)		Les fibres efférentes conduisent les messages efférents par la racine ventrale du nerf rachidien aux effecteurs musculaires.
Électrocardiogramme (Electrocardiogram)	ECG	Représentation graphique des signaux électriques émis par le coeur en fonction du temps.
Électromyogramme (Electromyogram)	EMG	Représentation graphique des signaux électriques qui accompagnent l'activité musculaire en fonction du temps.
Électroneurogramme (Electroneurogram)	ENG	Représentation graphique des signaux électriques qui accompagnent l'activité neurale en fonction du temps.
Enregistrement continu (Chronic recording)	-	Enregistrement d'une longue durée (plusieurs minutes) du signal nerveux ENG.
Extenseurs (Extensor)	-	Muscle qui étend un membre du corps.
Fléchisseurs (Flexor)	-	Muscle qui met en flexion un membre du corps.
Muscle Gastrocnémien Médial (Medial Gastronemius MG)	GM	Muscle extenseur de la cheville.

Tableau L.2. Terminologie médicale

Français (Anglais)	**Abr.**	**Description**
Muscle Jambier Antérieur ou fléchisseur de la cheville (Tibial Anterior TA)	JA	Muscle de la loge antérieure de la jambe, tendu du tibia au premier cunéiforme et au premier métatarsien. Il est releveur du pied.
Nerf Musculo-Cutané (Superficial Peroneal nerve SP)	MC	Il a deux fonctions: - Motrice: par son innervation de la loge antérieure des muscles du bras, le nerf musculo cutané est le nerf de la flexion du bras sur l'avant bras mais aussi le nerf de la supination; - Sensitive: face externe de l'avant bras.
Nerf saphène (tibial) (Sural nerve)	-	Une continuation du nerf tibial qui a deux fonctions: - Motrice: il assure l'innervation de la loge postérieure de la jambe et de la plante du pied; - Sensitive: territoires sensitifs du membre inférieur.
Nerf Sciatique Poplité Interne (Tibial nerve TI)	SPI	C'est une continuation du nerf sciatique qui a deux fonctions: - Motrice: il innerve les muscles de la loge postérieure de la cuisse et assure donc la flexion de la jambe sur la cuisse. Par ses branches terminales, il assure l'innervation de la jambe et du pied; - Sensitive: face post-latérale de la jambe et le pied.
Nerveux (Nervous)	-	Qui se rapporte aux nerfs.

Tableau L.2. Terminologie médicale

Français (Anglais)	**Abr.**	**Description**
Neural (Neural)	-	Qui se rapporte au système nerveux.
Périphérie (Periphery)	-	Surface ou circonférence extérieure du corps. Exemple: La paume.
Périphérique (Peripheral)	-	Qui se rapporte à la périphérie.
Pied tombant (Drop foot)	-	Caractéristique de la marche due à un manque de contrôle de la flexion plantaire par les fléchisseurs dorsaux au début de la phase d'appui.
Redressé et intégré par période (Rectified and bin-integrated)	RIP	Consiste à redresser une fonction et générer un point à partir de la moyenne d'un ensemble de points sur une période déterminée appelée bin.
Tibia (Tibia)	-	Le plus gros des deux os de la jambe.

INTRODUCTION

Selon sa gravité, une lésion de la colonne vertébrale pourrait avoir des effets désastreux, non seulement sur la qualité de vie de la personne atteinte, mais aussi sur celle de son entourage familial et social. En effet, une personne indépendante et active pourrait ne plus être capable d'accomplir les tâches quotidiennes liées aux fonctions physiologiques, ce qui exigerait la présence continue d'une personne de l'entourage afin de pallier cette déficience.

Les recherches médicales et chirurgicales intensives n'ont pas abouti jusqu'à présent à une solution qui pourrait guérir ou même diminuer l'effet d'une lésion de la colonne vertébrale. La réadaptation reste la seule méthode pour améliorer la qualité de vie des patients. Une des méthodes de réadaptation est de recréer les fonctions motrices (exemple: miction, mouvement d'une jambe paralysée) avec la stimulation électrique. Dans le but de bien contrôler la force motrice ainsi induite, il est désirable de la mesurer ou bien de mesurer son résultat afin de l'utiliser en rétroaction pour la stimulation. Parmi les exemples d'applications possible, citons le contrôle de l'équilibre entre l'intensité de stimulation et le volume vésical et de l'équilibre entre l'intensité d'une stimulation et le mouvement d'un pied paralysé). Il serait donc d'une grande importance d'utiliser les nerfs transmettant des signaux en provenance de l'organe.

Le dispositif électronique implantable dédié à la réadaptation assure les fonctions suivantes:

- Il reçoit le signal nerveux des électrodes en contact avec les nerfs, le traite, et en extrait l'information;
- Il contrôle la stimulation et surveille le contact électrodes-nerf;
- Il communique avec le monde extérieur.

La plupart des prothèses neurales consistent en un implant central connecté aux électrodes d'enregistrement et de stimulation par un nombre restreint de fils. Une bonne synchronisation permet d'utiliser les mêmes électrodes pour la stimulation et l'enregistrement.

D'une façon plus particulière, on peut récupérer les fonctions urinaires (rétention et évacuation) d'un individu – un paraplégique par exemple – en stimulant à l'aide d'un faible courant électrique la racine sacrée S2: ce courant amène la vessie en contraction et par le fait même, force l'évacuation de l'urine. Entre les phases de stimulation, l'implant réalise l'acquisition du signal nerveux par le même nerf et en utilisant les mêmes électrodes.

Le signal nerveux est un signal de très faible amplitude, fortement contaminé par d'autres signaux physiologiques et divers types d'interférences. De plus, le niveau élevé du bruit 1/f (bruit de flicker) des transistors MOS, combiné au faible niveau du signal traité, demeure un défi pour le concepteur du circuit de traitement du signal. Alors que

tous les circuits utilisés pour l'acquisition et l'analyse de l'électroneurogramme sont à composants discrets, la contribution principale de cette thèse est la proposition d'une alternative intégré sur puce. Ce circuit est capable de:

- surmonter l'effet du bruit de flicker;
- réduire l'interférence des signaux indésirables (rejet du mode commun);
- amplifier l'amplitude du signal avec un gain programmable pour rendre son niveau compatible avec l'entrée du circuit de traitement du signal;
- réaliser le traitement du signal désiré. Dans la plupart des cas, ceci consiste en un redressement et une intégration par période.

Dans le premier chapitre, nous passons en revue l'état des travaux dédiés à la mesure des signaux nerveux et à son utilisation dans la réadaptation. L'article (en anglais) à paraître dans le journal "Analog Integrated Circuits and Signal Processing" tient lieu de chapitre 2. Il décrit nos travaux de mesure réalisés in vivo et permet une vue globale du système d'acquisition intégré CMOS, ainsi que les résultats de mesure en laboratoire de certaines de ses composantes. Le chapitre 3 consiste en un article qui a été soumis (mars 2004) au journal "IEE Medical & Biological Engineering and Computing". Cette partie expose les mesures expérimentales du circuit produisant le redressement et l'intégration par période du signal. Des compléments d'analyse de l'ENG et des résultats supplémentaires de mesures feront l'objet du Chapitre 4. Nous terminerons par une conclusion sur l'ensemble des travaux de cette thèse et par des propositions de développements futurs.

CHAPITRE 1

REVUE DE LITTÉRATURE

1.1. LE SYSTÈME NERVEUX

Tout organisme vivant est en interaction constante avec son environnement. Ces interactions lui permettent de se déplacer ou de réagir vis à vis des stimulations du monde extérieur et de son propre monde intérieur. Elles nécessitent la collecte permanente d'information et la circulation de messages entre les différentes cellules de l'organisme. Le système nerveux est, avec le système endocrinien, l'un des deux grands systèmes de communication intercellulaire. Certaines cellules du système nerveux se sont différenciées en récepteurs sensoriels, capables de coder les messages renseignant l'organisme sur les variations des paramètres physico-chimiques de l'environnement (toucher, lumière, etc.) et de son propre milieu intérieur (douleur, etc.). La somme des impressions provenant des organes sensoriels entraîne une sensation, qui, interprétée en fonction de notre expérience, constitue la perception.

Le stimulus, qu'il provienne du monde extérieur ou du milieu intérieur, doit d'abord être converti en un influx nerveux, puis être transmis le long des fibres nerveuses (appelée fibres nerveuses afférentes), et franchir plusieurs jonctions synaptiques avant de parvenir à la structure nerveuse qui assurera sa perception au niveau du cortex cérébral. La

jonction synaptique assure la transmission entre deux neurones grâce à un transmetteur chimique. À noter que les fibres efférentes conduisent les messages efférents par la racine ventrale du nerf rachidien aux effecteurs musculaires.

1.1.1. Le potentiel d'action et l'électroneurogramme

La conversion de l'énergie du stimulus en énergie électrique, base visible de l'influx nerveux, a lieu au niveau du récepteur. Les récepteurs vont jouer le rôle de transducteur, c'est-à-dire transformer l'énergie physique ou chimique en un signal électrique dont l'expression, visible à l'oscilloscope à l'extrémité de la fibre nerveuse, sera constituée du potentiel de récepteur. Ce dernier déclenche le potentiel d'action s'il y a une dépolarisation d'amplitude suffisante.

Le potentiel d'action constitue l'onde porteuse de l'information. Cette variation de potentiel qui parcourt la fibre nerveuse à vitesse constante et sans décrément est la résultante de phénomènes bioélectriques complexes. L'électroneurogramme (ENG) est le signal électrique enregistré à la surface d'un nerf soumis ou non à une stimulation. Si l'enregistrement est effectué avec des électrodes entourant le nerf entier, l'ENG rassemble les manifestations électriques des potentiels d'actions de toutes les fibres du nerf et, par conséquent, les informations transmises.

1.1.2. L'innervation de la vessie

La vessie comprend deux parties principales (figure 1.1):

- Le dôme: c'est le muscle détrusor qui représente un réservoir pendant la phase de remplissage et un moteur pendant la phase d'évacuation;
- La base: c'est le trigone, la partie initiale de l'urètre et son sphincter qui assurent la continence.

Les nerfs moteurs allant au détrusor et au sphincter externe partent des nerfs S2 et S4. Ils sont les principaux responsables de la contraction du détrusor et le contrôle du sphincter.

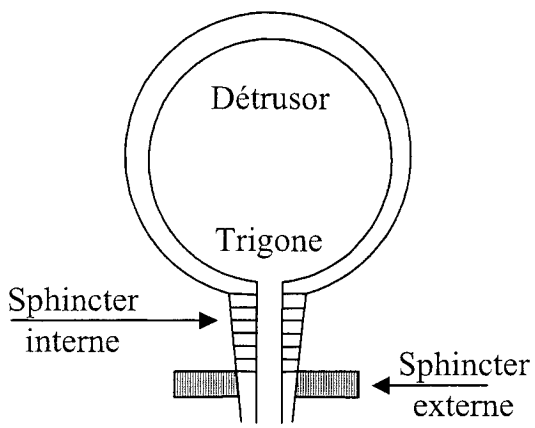


Figure 1.1. La vessie est composée de deux parties: le détrusor et le trigone.

Les sensations perçues dans l'urètre et la vessie gagnent le système nerveux central par des fibres nerveuses qui suivent à la fois les nerfs moteurs parasympathiques et somatiques (S2 et S4) et les nerfs moteurs sympathiques issus de D9 à L2. Cette voie véhicule les signaux sensitifs de distension vésicale responsables du réflexe d'activation détrusoriale et quelques signaux sensitifs douloureux. Elle transporte aussi des signaux proprioceptifs sensitifs des muscles du plancher pelvien et sensitifs vrais de l'urètre.

Les fibres afférentes et efférentes du segment sacré de la moelle (S2-S4) forment un arc réflexe simple dont dépend la fonction vésicale.

Dans cette thèse, la vessie est utilisée comme exemple d'application et pas la seule application du travail proposé. La raison du choix des dysfonctions de la vessie est qu'un microstimulateur avancé de la vessie a déjà été conçu par l'équipe PolySTIM qui fournit un cadre de réalisation à nos travaux. Comme ça va être expliqué plus tard, le circuit conçu peut être utilisé dans d'autres applications d'analyse de signaux nerveux.

1.1.3. Les dysfonctions vésicales

Les causes de ces problèmes sont nombreuses: sclérose en plaque, Parkinson, déformations congénitales, diabète, lésions spinales, cancer, suites d'accidents, etc. Les dysfonctions vésicales se divisent en deux grandes classes: l'incontinence et la rétention.

- L'incontinence urinaire: elle est définie par l'incapacité d'empêcher l'urine de s'écouler hors du corps;
- La rétention urinaire: Dans ce cas-ci le patient ne peut relâcher les muscles qui bloquent l'écoulement de l'urine.

Des millions de personnes dans le monde souffrent de dysfonctions vésicales. Un système urinaire non-fonctionnel peut causer des troubles graves d'intoxication si l'évacuation n'est pas faite comme elle le devrait. Dans ces conditions, la personne atteinte est confrontée à des défis débilitants dans sa vie quotidienne. Elle reste préoccupée par les fréquentes utilisations des toilettes et la crainte de fuite d'urine. Plusieurs patients ne peuvent supporter ces conditions et deviennent isolés et déprimés.

1.2. HISTORIQUE

L'étude du contrôle neural des différents organes du corps humain a débuté en 1910 avec les travaux de Sherringtonen qui a décrit les réflexes des fléchisseurs et des extenseurs croisés chez le chat [51]. Depuis, les rôles du système nerveux central dans la moelle épinière et des récepteurs sensoriels des périphéries font l'objet de nombreux travaux de recherche [3,15,17,30,36,37,38,53]. L'acquisition des signaux nerveux constitue une partie intégrante de ce domaine.

Les deux méthodes typiques d'acquisition des signaux utilisent les micro-électrodes et les crochets (hooks) [9,49,50,55]. Dans le premier cas, une électrode métallique

avec un bout très fin ou bien une micro-pipette en verre remplie d'électrolyte est insérée dans le corps pour atteindre les cellules nerveuses. Une différence de potentiel peut être enregistrée entre l'électrode et une électrode de référence insérée à une certaine distance dans le corps. L'utilisation de crochets nécessite la dissection, soit une ouverture de plusieurs millimètres pour exposer les nerfs périphériques recherchés. Ceux-ci sont ensuite placés sur deux crochets métalliques et immergés dans un milieu non-conducteur. Une différence de potentiel d'un signal est enregistrée entre les deux crochets ou bien entre un crochet et une électrode de référence placée dans le corps.

Des techniques d'enregistrement sur des animaux partiellement immobilisés ont été ensuite développées comme la technique de la "chambre implantable" fixée au crâne [10,32,47]. Une autre technique, utilisant des électrodes flottantes montées sur la surface du cerveau, a été proposée par Goldstein [14], car le tissu cervical n'est pas fixe par rapport au crâne.

Hagbarth et Vallbo [19] ont enregistré les signaux provenant des fibres afférentes des muscles pendant les contractions musculaires volontaires, en utilisant des micro-électrodes insérées manuellement. Cette méthode est limitée car la région de mesure doit rester relativement immobile. Ces enregistrements, considérés comme semi-continus (semi-chronic), étaient d'une grande importance pour ce domaine de recherche. Les travaux de Hoffer [27] constituent la première réussite pour enregistrer des signaux des nerfs périphériques intacts des mammifères durant leur mouvement normal et pour une longue durée.

Dans le but de coupler les électrodes aux fibres nerveuses d'une façon permanente, certains travaux ont utilisé une gaine de matériau non-conducteur enroulée autour d'une partie du nerf [2,12]. Hoffer, dans ses études [27], a fait appel à la micro dissection d'une partie du nerf. Cette partie a été placée, sans toutefois couper le nerf, dans une gaine en silastomère contenant des électrodes sur sa face interne pour établir le contact avec le nerf.

1.3. ENREGISTREMENT DES SIGNAUX NERVEUX: ÉTAT ACTUEL

L'enregistrement continu des signaux nerveux offre la possibilité d'étudier les mêmes fibres sous différentes conditions et, surtout, ouvre la voie à des applications de réadaptation (membre artificiel, contrôle de la vessie, etc.). Cependant les défis sont d'éviter d'endommager les fibres nerveuses et d'extraire l'électroneurogramme (ENG) de très faible amplitude, tout en rejetant les autres sources d'interférences comme l'électromyogramme (EMG), les artefacts et l'interférence due au couplage avec les lignes d'alimentation du secteur à 60 Hz.

Les principes d'enregistrement continu (chronique) des signaux nerveux cités par Stein et al. [54] sont, sans doute, la base de tous les travaux ultérieurs. Après avoir cité l'importance de l'application de la technique des micro-électrodes sur le cerveau [10] et sur les nerfs périphériques [58,59] dans la compréhension du système nerveux moteur, il explique les deux facteurs qui limitent l'utilisation des micro-électrodes aux expériences aiguës, à savoir leur sensibilité au mouvement et le besoin d'un dispositif externe pour les

fixer soigneusement. L'enregistrement continu de l'ENG se base sur les facteurs et techniques suivants:

- **L'électrode tripolaire:** Le signal provenant de l'activité musculaire (EMG) a une amplitude beaucoup plus grande que celle provenant des nerfs, car les fibres musculaires sont plus grosses et plus nombreuses que celles des nerfs. Un bon rejet de l'EMG peut être obtenu en utilisant une électrode tripolaire comme le montre la Figure 1.2. L'enregistrement est effectué entre le contact central et les deux contacts aux extrémités interconnectés. En effet, les contacts aux extrémités court-circuitent les signaux provenant de l'extérieur du nerf comme l'EMG et l'ECG (ÉlectroCardioGramme). Par contre, les signaux provenant de l'intérieur du nerf comme les axones ne sont pas court-circuités et génèrent une différence de potentiel (ENG) entre le contact central et les contacts aux extrémités [29]. De plus, l'ECG et l'EMG sont filtrés en traversant le corps avant d'atteindre les nerfs. Au nerf, et sous l'effet du filtrage passe-bas naturel causé par le corps, seules les composantes de faible fréquence (au-dessous de quelques centaines de hertz) subsistent. Ceci oblige ces signaux à circuler à la surface du nerf et par conséquent d'être court-circuités par les contacts aux extrémités de l'électrode tripolaire [18];
- **La géométrie:** Les contacts aux extrémités doivent être placés symétriquement par rapport au contact central. Le placement asymétrique réduit l'amplitude du signal nerveux et augmente cette de l'EMG.

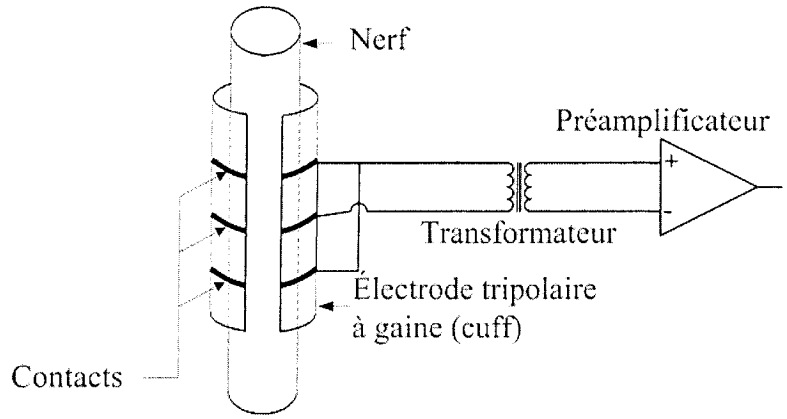


Figure 1.2. Enregistrement utilisant une gaine à trois contacts [54].

- **L'adaptation d'impédances:** Dans le cas où le préamplificateur n'est pas optimisé pour des sources à basse impédance, l'adaptation de son impédance d'entrée à celle des électrodes aide à augmenter l'amplitude du signal nerveux capté. Dans cet exemple, l'adaptation a été réalisée avec un transformateur. Sa caractéristique de filtrage passe-bas réduit davantage l'amplitude de l'EMG. Ainsi l'adaptation d'impédances atténue un signal pendant qu'elle permet de tirer le maximum de l'autre;
- **Le filtrage:** Le contenu fréquentiel de l'EMG s'étend dans les basses fréquences. Ainsi, un filtrage passe-bas de 300 Hz fait mieux ressortir le signal nerveux du signal mesuré [54].

1.4. UTILISATION DES SIGNAUX NERVEUX DANS LA RÉADAPTATION

Les travaux de Haugland et Sinkjær [25,26,52] démontrent la possibilité d'utiliser

l'ENG du nerf entier, enregistré à l'aide d'électrodes à gaine (cuff), au lieu d'exploiter seulement les fibres constituant ce nerf comme signal de rétroaction dans un système de stimulation électrique fonctionnelle (Functional Electrical Stimulation- FES). Le but de l'enregistrement est de détecter l'application d'une force sur le côté latéral du pied. Les avantages d'un tel signal sont que:

- L'information fournie provient de plusieurs fibres qui rassemblent diverses formes de sensations générée par une plus grande surface cutanée (où la force est appliquée) que dans le cas de la microneurographie (dans le cas de la détection d'une force appliquée sur la peau);
- Ce signal est moins sensible à l'emplacement de l'électrode à gaine et aux faibles variations du patron d'entrée sur la peau car il présente une moyenne temporelle et spatiale;
- Le signal du nerf entier est reproductible et peut rester stable pendant plusieurs mois.

Les électrodes à gaine utilisées dans l'application ci-dessus ont été conçues selon la méthode de Hoffer [28] (Figure 1.2). La gaine, de longueur 30 mm et de diamètre 2 à 2.5 mm, contient trois contacts circulaires répartis entre son centre et ses deux extrémités. Les impédances des électrodes par rapport à une électrode de référence externe encerclant la cuisse du patient sont mesurées à 1 kHz. L'impédance de l'électrode centrale est de l'ordre de 1.5 kΩ et celles des autres sont de 1 kΩ chacune. Les deux électrodes des extrémités sont connectées comme illustré à la Figure 1.2. Les auteurs ont réalisé deux séries d'expériences: aiguës et chroniques. Dans le premier cas, l'ENG a été enregistré pendant

une demi-heure qui est la période de l'implantation des électrodes. Dans le deuxième cas, les électrodes ont été implantées, après une anesthésie locale, et les patients ont porté le système pendant plusieurs mois. Dans les deux séries, l'implantation a été faite sur le nerf saphène externe (sural nerve) à proximité de la malléole latérale de la cheville du pied. En phase aiguë, l'expérience consistait à appliquer une force (à différentes intensités horizontales et verticales) sur la peau de la partie latérale du pied. Le signal nerveux a été amplifié 7×10^4 fois avec un amplificateur d'instrumentation et filtré passe-bande entre 80 Hz et 10 kHz. Le signal est ensuite échantillonné à 20 kHz et traité avec un processeur spécialisé (DSP) où il est redressé et intégré par période (Rectified and Bin-Integrated- RBI) avec des périodes d'intégration de 10 ms chacune. La Figure 1.3 présente un exemple des signaux obtenus lors de l'application d'une force perpendiculaire sur la partie latérale du pied (simulation du pas). Avant l'application de la force, le bruit est le seul signal mesuré. Il a une valeur DC (après RBI) d'environ 0.6 μV. Quand la force est appliquée, le système mesure un niveau crête (pic) et retourne à un niveau légèrement supérieur à celui avant l'application de cette force. La suppression de la force donne lieu à un autre pic.

Le signal nerveux obtenu ressemble beaucoup, mais en moins bruyant, au signal obtenu du nerf tibial du chat lors de l'application d'une force sur la partie centrale du pied. Dans le modèle reliant la force au ENG-RBI, l'amplitude de ce dernier varie entre 0.6 μV et 1.3 μV, ce qui est légèrement plus faible que le signal du nerf tibial du chat. Ceci est attribué à deux effets:

- Le diamètre intérieur de l'électrode par rapport au diamètre du nerf est plus grand chez l'homme;
- La surface d'innervation de la peau stimulée mécaniquement est plus petite chez l'homme.

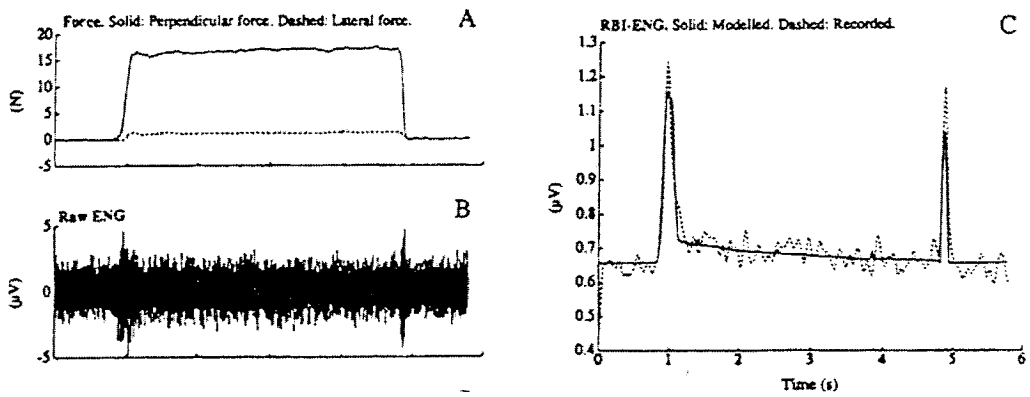


Figure 1.3. Mesures chroniques de l'ENG: (A) forces perpendiculaires (ligne continue) et latérales (ligne pointillée) appliquées sur le côté latéral du pied, (B) l'ENG brut, (C) l'ENG redressé et intégré par période (ligne pointillée) et le modèle élaboré par les auteurs qui relie l'ENG-RBI à la force perpendiculaire appliquée (ligne continue) [25].

En phase chronique, le signal est utilisé pour contrôler la stimulation électrique fonctionnelle (FES) chez un patient hémiplégique avec un pied tombant (drop-foot). En se basant sur le signal nerveux traité, une impulsion de déclenchement (trigger-pulse) est délivrée par un stimulateur externe pour aider le patient à lever son pied et à le maintenir en l'air. La stimulation est faite au moyen d'une électrode de référence au-dessus du muscle tibial antérieur et d'une électrode active au-dessus du nerf périnéal commun.

L'amplificateur du signal nerveux est alimenté par une pile et est optiquement isolé du secteur pour augmenter le taux de rejet en mode commun (Common Mode Rejection Ratio- CMRR) et assurer une utilisation sécuritaire. Une électrode externe est placée entre les électrodes de stimulation et l'électrode à gaine pour réduire davantage le bruit. Le signal nerveux est ensuite filtré avec un filtre du quatrième ordre dont la bande passante se situe entre 0.7 kHz et 10 kHz. Ce filtrage a pour but de réduire la composante à 50 Hz (la fréquence du secteur au Danemark) et le signal EMG jusqu'à un niveau négligeable. À noter que la bande passante du signal nerveux enregistré se situe entre 0.2 kHz et 3 kHz. L'expérience consiste à enregistrer l'ENG pendant que le patient marche de quatre façons: à pieds nus et avec chaussures, sans et avec stimulation.

La Figure 1.4 présente le résultat des mesures pour trois pas sans et avec stimulation des dorsifléchisseurs de la cheville. Le signal nerveux redressé et intégré par période est illustré par la Figure 1.4A alors que la Figure 1.4B montre le signal en A après filtrage passe-haut et la Figure 1.4C montre le signal du capteur posé sur le talon. Le contact au sol du pied est détecté par le capteur: le signal est bas lors du contact et haut ailleurs (Figure 1.4C); l'ENG-RBI présente alors un pic de tension au contact du talon avec le sol (Figure 1.4A). Quand le pied est levé (dans le premier pas, cette phase se situe entre 1.5 et 2 s: surface hachurée dans la Figure 1.4C), l'activité neurale diminue au niveau du bruit ~0.6 μV et le signal délivré par le capteur est haut. Pour bien distinguer et détecter le pic de l'activité neurale, l'ENG est redressé, intégré par période et filtré avec un filtre passe haut (Figure 1.4B). Quand le signal traité dépasse 0.38 μV, donc quand le pied touche à

terre, la stimulation qui aidait le patient à maintenir son pied levé s'arrête. La stimulation reprend après une seconde (phase de posture) et s'arrête à la détection du contact du talon avec le sol ou bien après 1.5 s du début de la stimulation. Les petits pics du signal nerveux avant la levée du pied à 1.5 s et 3.2 s (Figure 1.4A gauche) sont probablement causés par le glissement du pied sur le sol. Leur atténuation durant l'expérience avec stimulation pourrait être attribuée au bon fonctionnement du stimulateur. Quand le patient porte sa chaussure, le signal nerveux devient plus bruyant, ce qui est dû probablement au mouvement de la chaussure autour du pied, mais la détection reste correcte durant deux minutes de marche.

Popovic et al [44,45] ont développé une méthode pour l'utilisation des signaux nerveux pour le contrôle de la stimulation électrique fonctionnelle des nerfs et des muscles. Ils ont réalisé des expériences sur les chats afin de concevoir un contrôleur qui produit des mouvements rythmiques de la cheville pendant la marche sur un tapis roulant. L'enregistrement de l'ENG des nerfs périphériques des récepteurs cutanés avec une électrode tripolaire à gaine montre que l'amplitude du signal nerveux se situe entre 3 et 10 μV. La fréquence, quant à elle, se trouve entre 1 kHz et 5 kHz, avec un pic à 2 kHz. Le circuit utilisé pour réaliser la mesure et le traitement du signal nerveux comporte:

- Un préamplificateur à bruit et impédance d'entrée faibles: l'adaptation d'impédance se fait avec un transformateur;
- Un filtre passe-bande;

- Un amplificateur à gain programmable;
- Un circuit de blocage (blanking) pour ne pas enregistrer pendant la stimulation;
- Un redresseur suivi d'un détecteur d'enveloppe;
- Un contrôleur et un stimulateur.

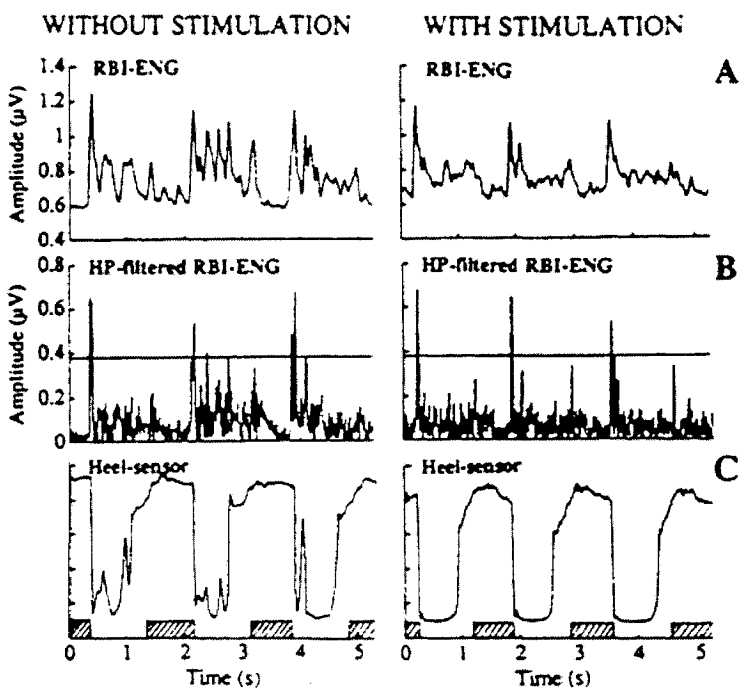


Figure 1.4. Résultats typiques des mesures effectuées sur un patient marchant à pieds nus sans (panneau gauche) et avec stimulation (panneau droit) des dorsifléchisseurs de la cheville. (A) le signal nerveux sural redressé et intégré par période, (B) le signal en A après filtrage passe haut, et (C) le signal du capteur sur le talon et le signal du contrôle du stimulateur (surface hachurée) [52].

La Figure 1.5 montre un enregistrement continu typique de 20 s des signaux du nerf musculo-cutané (MC) et du nerf sciatique poplité interne (SPI) ainsi que les signaux du muscle gastronémien médial (GM) et le muscle jambier antérieur (JA). Au début, le chat se tient debout pendant 3 s, effectue un pas, s'arrête pendant 2 s. Il grimpe sur la pente du tapis roulant avec ses pattes antérieures en se tenant sur ses pattes postérieures (pic du signal enregistré du muscle GM). Ensuite, le chat effectue un autre pas, s'arrête de nouveau pour 2 s et commence à marcher d'une manière rythmique sur le tapis roulant avec une période d'environ 750 ms. Les signaux MC et SPI sont caractérisés par deux pics et un pic respectivement avec chaque pas. Le pic du SPI apparaît à chaque fois que le chat pose sa patte au sol et correspond au moment du pic de l'activité du muscle GM. Donc la première règle (détails sur la Figure 1.6) s'applique quand le signal du nerf SPI dépasse le seuil (ligne pointillée sur la courbe A de la Figure 1.6). Il faut donc activer le muscle GM pour une période égale à la durée moyenne (307 ms) durant laquelle l'activité du GM reste au-dessus d'une tension de référence. La deuxième règle s'applique quand le signal du MC dépasse son seuil et celui du SPI reste au dessous du sien. Il faut donc activer le JA pour une période égale à la durée moyenne (420 ms) durant laquelle l'activité du JA reste au-dessus de sa tension de référence. Ces deux règles sont suffisantes pour reproduire la structure de base de l'alternance entre les fléchisseurs et les extenseurs.

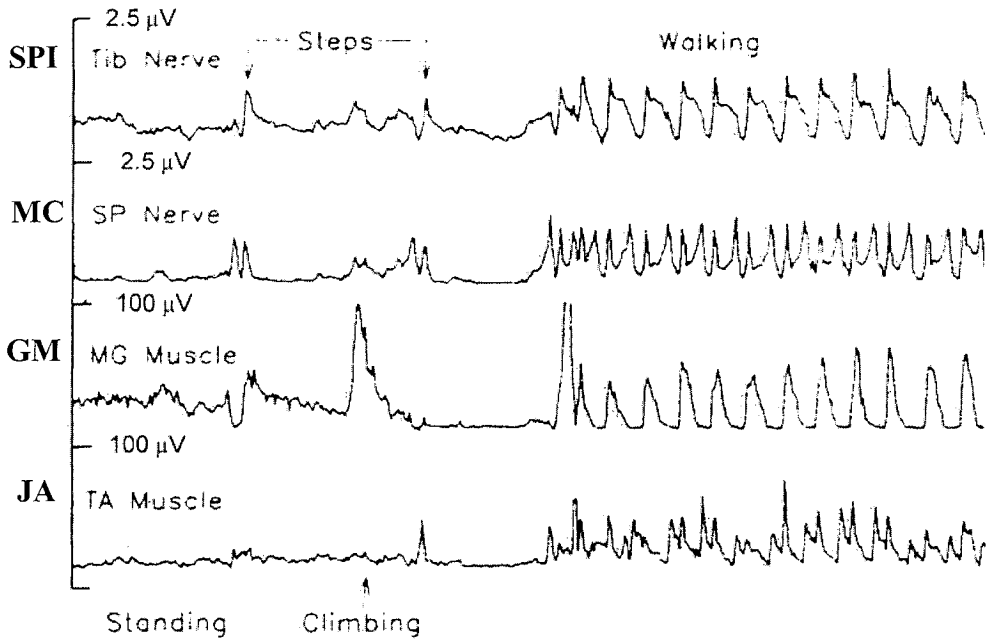


Figure 1.5. L'enregistrement des signaux du nerf musculo-cutané (MC) et du nerf sciatique poplité interne (SPI) ainsi que les signaux du muscle gastronémien médial (GM), et le muscle jambier antérieur (JA) en fonction du temps (axe des x en secondes). Cet enregistrement de 20 s est présenté pour montrer les différentes activités rythmiques dans les nerfs périphériques et les muscles de la cheville dans des comportements différents [45].

Dans la seule publication reliée à la réadaptation de la vessie, Jezernik et al. [33] ont utilisé des électrodes tripolaires pour mesurer le signal du nerf pelvien et des nerfs sacrés S2 et S3 de truies durant le remplissage de la vessie. La Figure 1.7 illustre la relation entre le volume vésical et le signal nerveux du S2 après traitement (RBI). On voit bien que l'ENG augmente avec le volume. La fuite d'urine (leakage) commence quand la vessie devient pleine et ceci correspond à la haute pression dans la vessie.

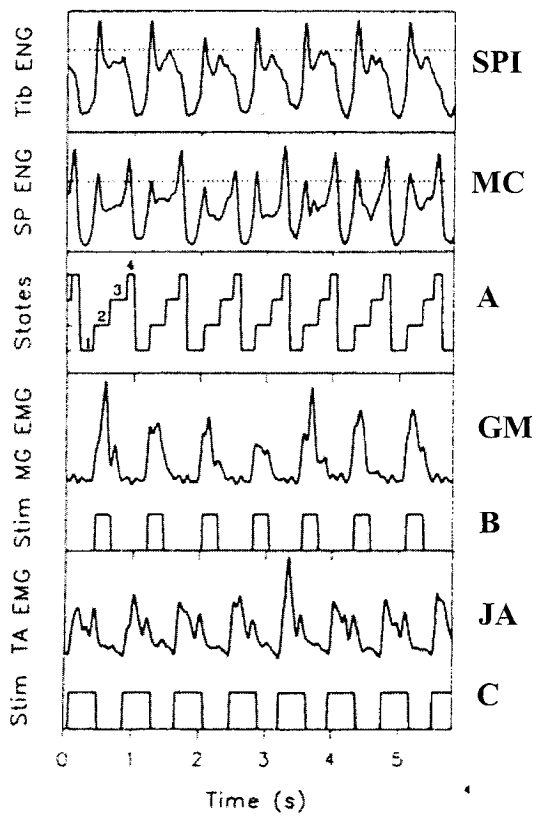


Figure 1.6. On a attribué des niveaux de seuil (lignes en pointillé en SPI et MC) à l'amplitude des ENGs traités. À chaque fois que l'ENG de MC ou celui de SPI franchit le seuil, le système de stimulation passe à un nouvel état (1, 2, 3, ou 4 dans A). Durant l'état 2 (resp. 4), le circuit de stimulation du muscle GM (resp. JA) est activé pendant une période fixe (B, resp. C) égale à la durée moyenne des activités du GM (resp. JA) [45].

La compagnie Medtronic Inc. a développé un stimulateur pour le contrôle de l'évacuation et de la rétention de l'urine (InterStim). Ce système réduit la fréquentation des toilettes le jour comme la nuit ainsi que la fréquence des évacuations accidentelles. Toutefois, ce produit ne fait qu'améliorer les fonctions urinaires, il ne les rétablit pas.

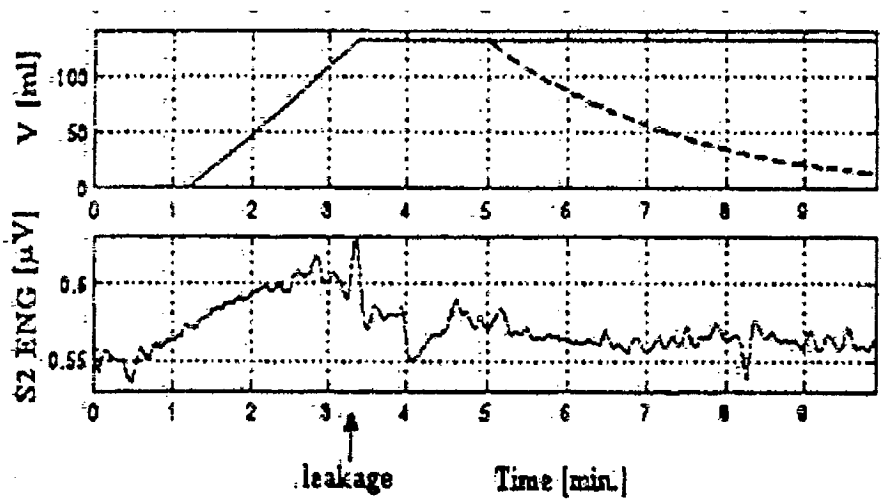


Figure 1.7. Volume vésical et l'ENG traité du S2 pendant le remplissage et la vidange de la vessie [33].

1.5. SYSTÈMES ÉLECTRONIQUES D'ACQUISITION DE L'ENG

Tous les systèmes électroniques d'acquisition et de traitement des signaux nerveux publiés sont basés sur des composants discrets sans aucune solution intégrée qui est la contribution principale de cette thèse.

L'amplificateur d'instrumentation à faible bruit suivi d'un filtre passe bande est une configuration commune à tous les systèmes (L'amplificateur le plus utilisé dans la littérature est le AMP-01). Certains utilisent un transformateur basse fréquence entre l'amplificateur et les électrodes [45,54] pour améliorer le rapport signal sur bruit et assurer une adaptation d'impédance entre la faible impédance des électrodes et l'impédance élevée d'entrée des amplificateurs. L'objectif du filtrage passe bande est de réduire l'EMG,

l'interférence du secteur (50- 60 Hz) et les hautes fréquences hors bande. La bande passante du filtre varie mais elle est toujours comprise entre 400 Hz et 10 kHz. Le traitement du signal (principalement le RBI, avec des périodes d'intégration de 10 ms jusqu'à 200 ms) est réalisé par différentes méthodes. Dans certains cas et surtout dans les études en phase aiguë, le signal filtré est numérisé par une carte d'acquisition de données et transmis à un ordinateur où le RBI est calculé en temps différé [26]. Dans d'autres cas, des composants discrets ont été utilisés. Toutefois les auteurs ne fournissent pas les schémas de cette partie du circuit.

Lorsque les systèmes de stimulation et d'enregistrement cohabitent, on ajoute un circuit de blocage pour désactiver l'enregistrement dès le début de la stimulation jusqu'à la disparition de son effet sur les nerfs (200 ms après le début de la stimulation). La Figure 1.8 montre un exemple d'un système d'acquisition de données et de stimulation incluant un circuit de blocage [26]. Ce système est dédié à la correction du pied tombant. Dans ce système, le filtre passe bas est inclus dans l'amplificateur. Un compteur (Timer) permet la synchronisation de la stimulation, de telle façon que l'intégration par période commence à intervalle de temps fixe après la stimulation.

Dans les sections suivantes, nous allons faire une revue de littérature sur les unités principales d'un système d'acquisition et d'analyse de l'ENG.

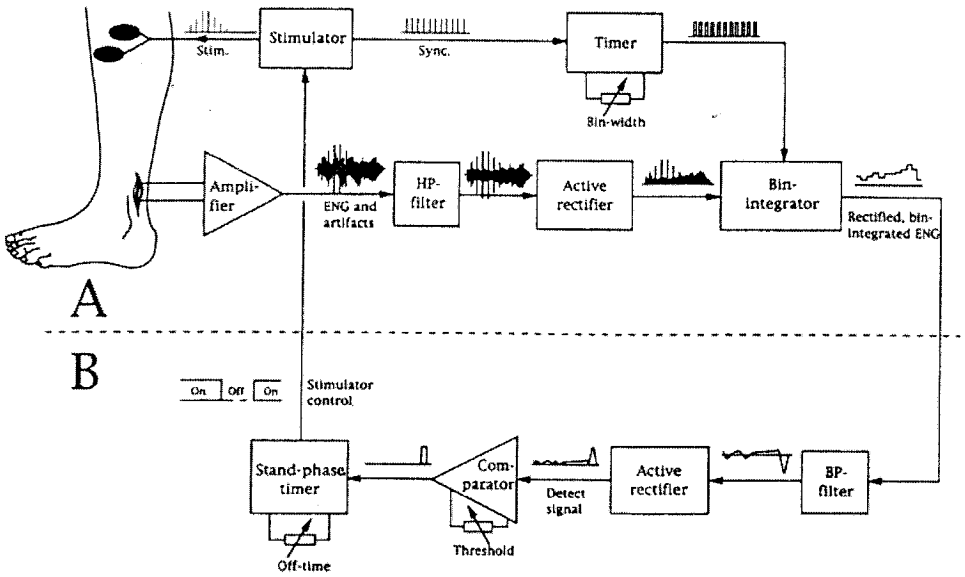


Figure 1.8. Schéma d'ensemble de l'unité de correction du pied tombant. (A) Intégrateur par période et éliminateur d'artefacts, (B) Détecteur de pas et contrôleur de stimulation [26].

1.5.1. Circuits intégrés pour l'amplification et le filtrage des signaux nerveux

Deux circuits intégrés multicanaux sont proposés par Obeid et al. [42]. L'un pour l'amplification des signaux provenant des électrodes extracellulaires corticales et l'autre pour leur filtrage passe bande.

Le premier circuit est composé de 16 suiveurs avec un gain de 2 V/V. Chacun emploie un amplificateur opérationnel avec deux résistances de 20 kΩ en rétroaction. Chaque canal du deuxième circuit comprend le circuit de la figure 1.9. C'est un filtre avec un gain de 250 V/V ou 500 V/V.

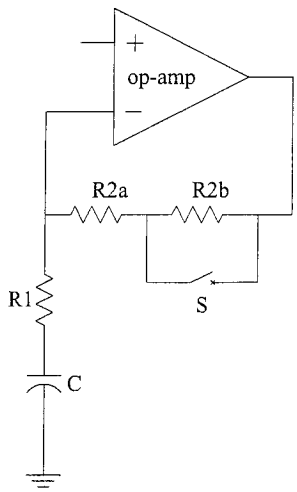


Figure 1.9. Filtre passe-haut à gain variable. La capacité n'est pas intégrée sur la puce [42].

Ces circuits sont à entrée et sortie unipolaires et leur consommation est de 2.35 mW par unité (un suiveur et un filtre). Le bruit référé à l'entrée du suiveur qui reçoit le signal nerveux est de 10 μVrms.

1.5.2. Préamplificateur et amplificateur d'instrumentation

Une publication récente décrit la conception d'un préamplificateur à faible bruit et CMRR élevé pour l'enregistrement de l'ENG [48]. Pour connecter les électrodes au préamplificateur, les auteurs utilisent ce qu'ils appellent un vrai système tripolaire (figure 1.10) [43] en comparaison au système quasi-tripolaire (figures 1.2). Ce système a les avantages de doubler l'amplitude de l'ENG enregistré et de contrôler les deux gains G_1

et G_2 d'une façon à compenser pour tout déséquilibre dû à la non-symétrie des électrodes. Cependant, ce système est très sensible aux différences d'impédance des électrodes, ce qui requiert l'utilisation d'une compensation adaptative. Trois variétés d'AOTs (Amplificateur Opérationnel à Transconductance) conventionnels ont été conçus, réalisés et mesurés pour déterminer le meilleur choix à utiliser dans l'étage de préamplification (figure 1.11):

- Étage différentiel PMOS et miroirs NMOS en forte inversion;
- Étage différentiel PMOS et miroirs NMOS en faible inversion;
- Étage différentiel bipolaire NPN et miroirs PMOS en forte inversion.

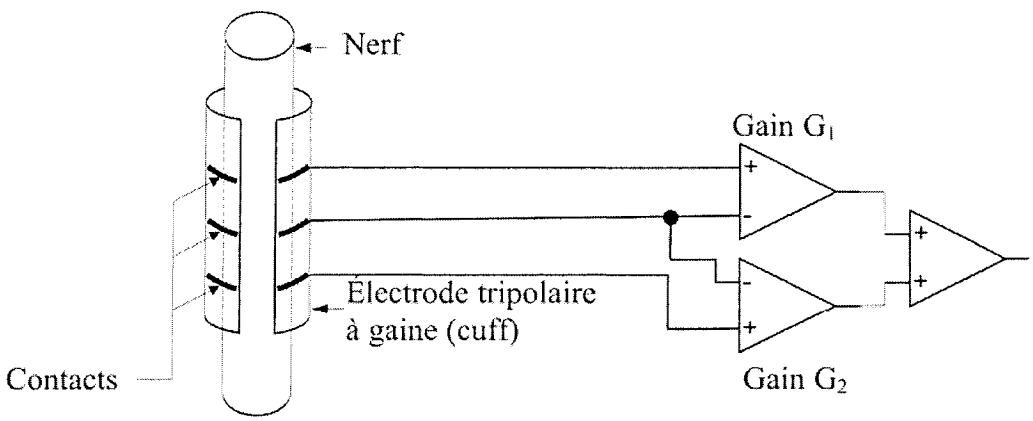


Figure 1.10. Structure d'une vraie connexion tripolaire [43,48].

Selon les critères de bruit, surface, et puissance dissipée, le meilleur choix était le troisième avec 290 nVrms de bruit total référé à l'entrée entre 1 Hz et 10 kHz. Cet AOT possède les caractéristiques suivantes: 0.3 mm^2 de surface de silicium et 1.3 mW de dissi-

pation d'énergie (Tableau 1.1). Sachant que la configuration utilisée emploie deux de ces AOTs, la surface et la dissipation pourraient être doublées.

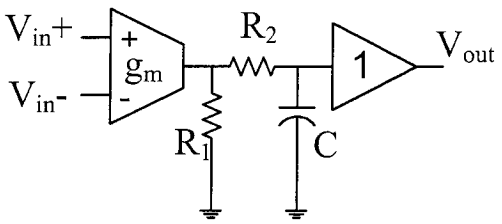


Figure 1.11. Architecture de base du préamplificateur [48]. R_1 sert à établir le gain DC, R_2 et C forment un filtre passe-bas et le suiveur est implémenté pour le test. Les performances de g_m ont été vérifiées en CMOS et BiCMOS (tableau 1.1).

Tableau 1.1. Performances des trois variétés d'AOTs [48].

	Simulations			**Mesures**
Paramètre	**CMOS faible inversion**	**CMOS forte inversion**	**BiCMOS**	**BiCMOS**
Dimensions (µm), W/L				
Transistors d'entrée	200,000/6	20,000/50		
Transistors des miroirs	150,000/6	2,400/1,200	36/12	36/12
Surface (mm^2)	6.0	7.76	0.0024	0.3
Gain	ND	ND	100	110
CMRR (dB) @ 1 kHz	ND	ND	100	82
Puissance à ±2.5 V (mW)	2	2	1	1.3
Bruit référé à l'entrée (nVrms, 1 Hz- 10 kHz)	302	296	265	290

Le bioamplificateur présenté par Harrison et Charles dissipe 80 µW, mais son niveau de bruit référé à l'entrée est de 2.2 µVrms [24]. L'AOT utilisé est composé d'un étage différentiel d'entrée PMOS simple et d'un étage de sortie avec un miroir de courant en cascode. Le bioamplificateur emploie des composants MOS-bipolaires en rétroaction fonctionnant comme "pseudo-résistances" (figure 1.12). Finalement, l'amplificateur d'instrumentation présenté par Degrauwe et al. utilise la technique des capacités commutées et consomme 21 µW seulement, mais le bruit référé à l'entrée est de 79 µVrms [8].

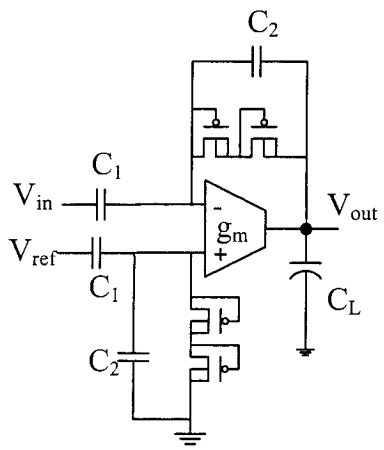


Figure 1.12. Schématique du bioamplificateur utilisant des pseudo-résistances proposé par Harrison et Charles. [24].

1.5.3. Redresseur à double alternance

Le redresseur à double alternance est un circuit non-linéaire largement utilisé dans les systèmes de traitement de signal analogique. La conception traditionnelle des redres-

seurs utilise des amplificateurs opérationnels, des diodes et des résistances [11]. Malheureusement, les diodes disponibles dans la technologie CMOS ne sont pas flexibles car elles devraient chacune avoir une broche connectée à une des deux alimentations [1]. Plusieurs approches ont été proposées pour trouver un substitut aux diodes; en voici les principales:

- L'utilisation de transistors MOS avec le drain connecté à la grille [11];
- L'utilisation de la technique du suiveur de tension alternative (figure 1.13) [60];

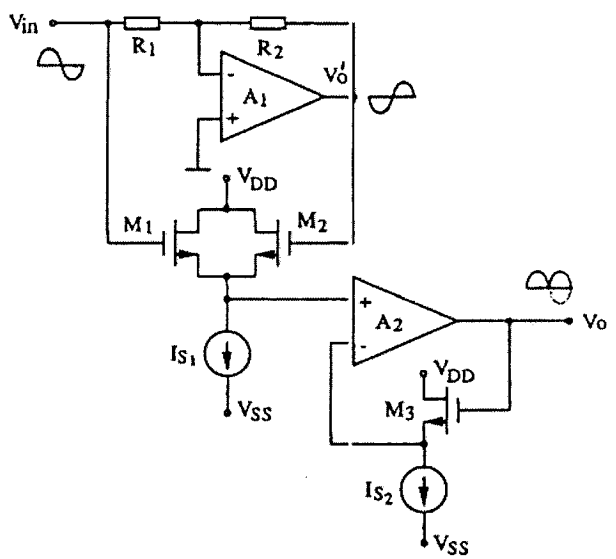


Figure 1.13. La réalisation d'un redresseur avec la technique du suiveur de tension alternative. Dépendamment du signe de l'entrée Vin, l'un ou l'autre des transistors M_1 et M_2 conduit, amenant un signal toujours positif à l'entrée du suiveur. Le transistor M_3 et la source I_{S2} servent à compenser la chute de tension grille-source de M_1 et M_2 [60].

- La conversion d'un signal en tension en un courant qui est simplement redressé et re-converti ensuite en tension [60]. Cette méthode permet la réalisation de redresseurs fonctionnant à plus haute fréquence.

Une comparaison entre ces trois approches montre que les meilleures performances en terme des caractéristiques de la fonction de transfert sont obtenues par la première et la troisième approche avec une surface plus petite dans la dernière. Quant à la dissipation de puissance, elle varie entre 2 et 4 mW pour les deux approches [60].

L'utilisation de la technique des capacités commutées dans les redresseurs à double alternance constitue une alternative importante dans le traitement des signaux à basse fréquence. Celle-ci consiste en l'utilisation d'un amplificateur à gain unitaire dont la polarité est déterminée par un comparateur qui, à son tour, est contrôlé par le signe du signal d'entrée. Le prochain chapitre (Chapitre 2) sera consacré à ce sujet.

1.5.4. Échantillonneur-bloqueur avec une sortie toujours valide

La littérature sur l'échantillonneur-bloqueur avec une sortie toujours valide n'est pas abondante. Gatti et al. [13] ont présenté un tel échantillonneur-bloqueur en utilisant les deux étages d'un amplificateur opérationnel séparément. Dans la première phase d'horloge, les deux étages sont séparés par un commutateur. L'entrée est échantillonnée en utilisant le premier étage (paire différentielle) alors que le condensateur de rétroaction du deuxième étage (étage source commune) maintient l'échantillon précédent. Dans la

deuxième phase, l'échantillon acquis est transmis au deuxième étage en re-connectant les deux étages. Ce circuit, réalisé avec des entrées et sorties unipolaires, présente un décalage DC de 4 à 12 mV et consomme 4 mW. La distorsion harmonique totale atteint -70 dB pour une fréquence d'échantillonnage de 1 MHz et un signal d'entrée sinusoïdal de 100 kHz.

1.5.5. Intégrateur par période

Ce module est un intégrateur dont la tension de sortie peut être remise à une valeur déterminée à un moment déterminé. Les intégrateurs à capacités commutées ont beaucoup évolué pour minimiser les effets des imperfections de circuits comme la précision des composants, l'injection de charge, le gain fini des amplificateurs opérationnels, l'effet de l'horloge, etc. [46]. Parmi les solutions proposées dans la littérature, on retrouve (voir chapitre 2):

- L'utilisation d'une structure entièrement différentielle;
- L'ajout de composants supplémentaires (capacité, commutateurs, etc) pour compenser le décalage DC, le gain fini de l'ampli et sa vitesse de balayage (slew rate);
- La génération des phases d'horloge légèrement décalées;
- L'ajout de capacités pour éviter les pointes (spikes) [39];
- La conception d'un dessin des masques en portant une attention particulière aux tolérances des composants et au routage des horloges.

1.6. TRAVAIL PROPOSÉ DANS CETTE THÈSE

Rappelons que les fibres efférentes transmettent des messages aux effecteurs musculaires. Ces messages peuvent aussi être des signaux de stimulation. Les fibres afférentes transmettent l'information sensorielle recueillie sur les organes et les évènements touchant le corps comme la pression sur les muscles, la pression de la vessie et la température de la peau. La plupart des nerfs périphériques contiennent des fibres afférentes et efférentes, servant à véhiculer l'information dans les deux sens. L'enregistrement des signaux nerveux avec des électrodes tripolaires à gaine peut servir dans plusieurs applications [56]:

- Étude de la physiologie et de la pathologie du système neuromusculaire [20];
- Surveillance du rétablissement de nerfs endommagés [35];
- Utilisation des signaux sensoriels comme signal de rétroaction dans le contrôle des prothèses neurologiques, comme les stimulateurs [45].

L'application visée dans cette thèse, qui est la réadaptation de la vessie, se classe dans la 3ième catégorie ci-dessus. Le projet proposé consiste en la conception et la réalisation de la première solution intégrée d'un système d'acquisition et d'analyse dédié aux signaux nerveux. Le circuit intégré implantable devra accomplir les fonctions suivantes:

- L'acquisition d'un signal nerveux contenant de l'information sur l'état de la vessie;
- Le traitement de l'ENG en calculant la fonction redressement et intégration par période afin de la transmettre au contrôleur intégré dans l'implant. Le contrôleur pourrait en

extraire de l'information tel le pourcentage du volume rempli et une estimation du temps nécessaire au remplissage de la vessie pour régler l'amplitude de la stimulation.

Étant destiné à être implanté à l'intérieur du corps humain pour de longues durées, ce circuit doit avoir les spécifications suivantes:

- Avoir un faible niveau de bruit intrinsèque pour distinguer les signaux nerveux. Un rapport signal sur bruit de l'ordre de 40 à 50 dB serait acceptable pour détecter l'évolution du volume vésical.
- Avoir une faible consommation d'énergie. En effet, l'énergie disponible au fonctionnement de l'implant est limitée par la quantité qui peut être transmise de façon sécuritaire à travers la peau par couplage magnétique. Pour une bobine de 3 cm de diamètre utilisée dans les implants, l'énergie permise est de 50 mW, donc une dissipation de quelques mW serait acceptable;
- Pouvoir fonctionner à de faibles tensions d'alimentation, pour les mêmes raisons que ci-dessus. Aussi, ceci facilitera la génération des tensions d'alimentation sur la même puce. Si la tension d'alimentation nominale de la technologie utilisée est de 3.3 V, alors une alimentation de l'ordre de 2 à 2.5 V serait requise;
- Être réalisé en technologie CMOS faible tension. En effet, c'est le meilleur choix pour un circuit mixte (analogique et numérique) à faible consommation, car l'implant contient une grande partie numérique. L'effet du bruit 1/f, qui est plus important dans cette technologie, sera atténué avec l'amplificateur stabilisé par hachage. Le principe de

cette technique est de déplacer le spectre du signal vers des fréquences élevées, où le bruit 1/f est négligeable, de l'amplifier et de le ramener ensuite aux fréquences initiales;

- Réaliser la fonction RBI avec une précision suffisante pour l'extraction de l'information reliée à l'état de la vessie. La précision dépend de l'algorithme d'extraction qui sera utilisé dans le processeur central de l'implant, mais puisque les faibles variations du volume ne sont pas critiques, nous pensons qu'une précision de 6 à 8 bits est largement suffisante pour l'application de cette thèse.

1.7. MÉTHODOLOGIE

Avant de pouvoir concevoir le circuit intégré dédié, une compréhension de la relation ENG-état de la vessie est indispensable. Pour atteindre nos objectifs, nous avons divisé le travail en deux étapes.

Premièrement, concevoir et réaliser un système d'acquisition de données à l'aide de composants discrets. Ce système sera utilisé pour des mesures in vivo chez l'animal (chiens) en phase aiguë. Le but de cette étape n'est pas d'effectuer une analyse approfondie des signaux nerveux ENG provenant des nerfs sacrés, mais plutôt de déterminer les variations de l'ENG en fonction de l'état de la vessie. Un petit nombre de mesures réussies et compatibles avec la littérature publiée était suffisant pour passer à la prochaine étape. Le système développé durant cette phase a contribué à la définition des les spécifications du système intégré qui constitue la seconde et principale étape de notre projet de doctorat.

La deuxième étape de cette recherche consistait donc à réaliser un circuit intégré CMOS en mesure d'accomplir les fonctions du système d'acquisition, ainsi que les fonctions de traitement du signal, pour pouvoir générer l'information sur l'état de remplissage de la vessie. Ce circuit doit rencontrer des performances décrites à la section 1.6.

CHAPITRE 2

UNE INTERFACE CMOS À BASSE PUISSANCE POUR L'ENREGISTREMENT ET LE TRAITEMENT DE SIGNAUX DE TRÈS FAIBLE AMPLITUDE

2.1. INTRODUCTION

L'acquisition et l'enregistrement des signaux nerveux est une phase essentielle dans la réalisation d'un système de réadaptation de fonctions neuromusculaires basé sur la stimulation. Un tel système regroupe le stimulateur qui génère le signal de stimulation (courant ou tension), l'organe stimulé et le nerf innervant ce dernier (signal nerveux). Le signal nerveux contient de l'information sur l'état de l'organe suite à la stimulation. Il peut donc communiquer au stimulateur l'état de l'organe. Une boucle d'asservissement est alors formée pour contrôler la stimulation. Le signal nerveux est souvent obtenu par des électrodes à gaine enroulées autour du nerf. Les systèmes d'acquisition des signaux nerveux utilisés jusqu'à présent sont basés sur des composants électroniques discrets. Les dimensions et la consommation d'énergie résultants ne conviennent pas aux dispositifs implantables requis en réadaptation.

Dans le but de concevoir le système intégré d'acquisition de l'électroneuro-

gramme, nous avons effectué des mesures expérimentales in vivo sur des chiens en utilisant une interface électronique dédiée. Les sessions d'expérimentation en phase aiguë ont eu lieu au centre McIntyre d'animalerie de l'Université McGill avec la collaboration de l'équipe d'urologie du Dr. Elhilali. Lors de cette étape, nous avons pu déterminer et comprendre la relation entre le volume vésical et l'ENG. Les résultats obtenus et ceux tirés de la littérature nous ont permis de définir les spécifications de la version intégrée du système.

L'article qui suit, publié dans le journal "Analog Integrated Circuits and Signal Processing" propose une interface CMOS intégrée à basse puissance pour l'acquisition des signaux à faible amplitude dédié aux dispositifs biomédicaux implantables. Il décrit les résultats des mesures in vivo et la conception de tous les blocs de l'interface. Des résultats de test de certains de ces blocs y sont aussi détaillés. A partir des résultats obtenus avec les enregistrements in vivo (Chapitre 2), nous avons construit l'interface souhaitée à partir des fonctions suivantes:

- Un préamplificateur différentiel à faible bruit (PDFB) de type amplificateur stabilisé par hachage composé d'un modulateur, d'un préamplificateur sélectif, d'un démodulateur et d'un filtre passe-bas;
- Un amplificateur d'instrumentation (AI) avec un rejet élevé du mode commun. Le principe de cette nouvelle architecture est de générer un courant proportionnel à

l'entrée différentielle. Ensuite, en injectant le courant dans une résistance programmable, nous pourrons contrôler le gain en contrôlant la résistance;

- Un circuit de traitement de signal analogique qui réalise la fonction RBI. Le circuit différentiel est réalisé avec la technique des capacités commutées et comprend trois unités: l'échantillonneur-bloqueur (nouvelle architecture qui permet une sortie valide en tout temps), le redresseur (circuit amélioré et complètement différentiel) et 3 étages d'intégration par période pour réduire la complexité requise dans le cas d'un seul étage (BIN= 200 ms);
- Un convertisseur analogique-numérique (CAN). Ce bloc n'a pas été implémenté;
- Un contrôleur qui, entre autre, génère les différentes phases à différentes fréquences du circuit et minimise la consommation d'énergie.

Le traitement analogique du signal aidera à relaxer les spécifications du convertisseur analogique-numérique et par conséquent réduire la puissance dissipée dans le circuit [5].

L'utilisation des circuits à capacités commutées (Switched Capacitors- SC) est probablement l'approche la plus populaire dans la réalisation des circuits CMOS de traitement analogique de signal comme les filtres, les circuits de gain, les oscillateurs à fréquence contrôlée par une tension (VCO) et les modulateurs.

L'usage de fréquences d'horloge beaucoup plus élevées que le signal à traiter

impose une limite à la fréquence des signaux que les circuits à capacités commutées peuvent traiter. Ceci explique pourquoi la technique des SC est préférée pour le traitement des signaux à basse fréquence, comme les signaux nerveux.

LOW-POWER CMOS INTERFACE FOR RECORDING AND PROCESSING VERY LOW AMPLITUDE SIGNALS

A. Harb, Y. Hu, M. Sawan, A. Abdelkerim[†] and M. M. Elhilali[†]

PolySTIM Neurotechnologies Laboratory
Department of Electrical Engineering, École Polytechnique de Montréal,
[†]Urology Department, McGill University

Journal: Analog Integrated Circuits and Signal Processing
Vol. 39, pp. 39-54, April 2004

ABSTRACT

In this paper, we describe a low-power CMOS analog front-end for sensor electronic interfaces for low-signal acquisition. These interfaces are mainly dedicated to biomedical implantable devices. In this work, we focus on the implantable bladder controller. Since the nerve signal has very low amplitude and low frequency, it is at first fed to a low-voltage chopper amplifier to reduce the flicker (1/f) noise and then amplified with a programmable gain high CMRR instrumentation amplifier. This is followed by an analog signal processing circuit to rectify and bin-integrate (RBI) the amplified signal. The resulting RBI is then converted to digital and transferred to the implant's central processor where information about the bladder can be extracted. The analog modules of the system have

been implemented in CMOS 0.35 μm, 3.3 V technology. The design, simulation and measurement results of the proposed interface are presented. At a supply voltage of 2.2 V the power dissipation is less than 1.4 mW, the input equivalent noise density is 56 nV/$\sqrt{Hz}$ and the error in RBI calculation is less than 0.15% comparing to the value calculated with Matlab.

Keywords: Preamplifiers, Instrumentation amplifier, Rectify and bin-integrate (RBI), electronic implants, sensors.

List of abbreviations

ADC: Analog to Digital Converter

ASP: Analog Signal Processing

BPF: Band Pass Filter

CHS: Chopper Stabilization

CM: Current Mirror

CMRR: Common Mode Rejection Ratio

CPS: Central processor and Stimulator

DAQ: Data Acquisition

DPL: Data and Power Link

ENG: Electroneurogram

FES: Functional Electrical Stimulation

FWR: Full Wave Rectifier

IA: Instrumentation Amplifier

LNDP: Low Noise Differential Preamplifier

RBI: Rectify and Bin Integrate

SC: Switched Capacitor

S/H: Sample and Hold

VMD: Volume Monitoring Device.

I. INTRODUCTION

Functional electrical stimulation (FES) is a promising technique to restore functions of paralyzed human body organs. Among the numerous applications, controlling bladder functions for spinal cord injury patients has been intensively investigated [1,2]. It has been also shown that FES is beneficial to patients paralyzed at their upper and lower extremities [3,4,5]. However, in order to build adequate system's control, feedback signal in closed-loop topologies is necessary. In 1975, the use of sensory nerve signals to control assistive devices was suggested by Stein et al. [6]. Since this time, many research results reported recording of peripheral sensory nerve signals from different applications [7,8,9].

The bladder's sensitivity to electrical stimulation was discovered at the beginning of the last century [10] and several methods have been used to enhance diseased bladder functions (voiding and retention). More recently, using implantable miniaturized electronic neurostimulators to retain urine and evacuate it at regular intervals has become one of the most promising methods for overcoming these dysfunctions [1,11,12,13,14]. Unfortunately, the stimulation is not applied at the right time because both the stimulator and the

patient are not able to sense variations of the urine volume collected in the bladder. In addition, without feedback, the retention stimulation signal applied to a nerve will stay at a fixed strength, without following the bladder volume. However, if the volume increase, the strength must be increased to avoid leaking [15]. To measure the degree of fullness of the bladder, many techniques have been tried in the past:

1. Use of a pressure sensor attached to the external bladder wall: According to the results presented by Koldewin et al. [16], this technique is feasible, but can cause major problems of muscle perforation by the sensors [16]. Other experiments involving pressure sensors have shown that the pressure elevation caused by the accumulation of urine is very low and not reliable, given the artifacts caused by animal's movements [17];
2. Use of the Hall-effect: The Hall-effect is a physical phenomenon that linearly relates magnetic flux density to an output voltage. Since the magnitude of the flux density of a magnet is a function of the distance from the magnet, a Hall crystal can relate distance from a magnet to an output voltage. In order to measure the volume of the bladder, circuit containing Hall crystal is sutured to the detrusor. Magnet is placed close to circuit. The voltage established at the terminals of the crystal is proportional to the distance of crystal-magnet. Since this distance depends on the bladder volume, the crystal voltage is a function of the bladder volume. This technique presents clinical complications resulting from the need to implant many magnets and Hall-effect crystals on the bladder [18];

3. Measurement of the electrical impedance of the bladder from outside the body. Although the results of this technique are reliable, it is inherently not usable in implantable devices [19];
4. Measurement of the electrical impedance of the bladder by applying an excitation current to it and measuring the voltage induced between many electrodes attached on its wall. This technique has the same drawbacks as the Hall-effect one. It can irritate the bladder muscle because it requires attaching 8 electrodes on the bladder [15].

To avoid the inconveniences of the available techniques and improve monitoring of the bladder volume, a low amplitude sensory nerve signal acquisition and processing method is proposed in this paper. It is to be integrated, as a closed-loop feedback, with the bladder implantable stimulator. The complete bladder controller is briefly described in section II. Then, in order to be aware of the signal amplitude and form, in vivo Electroneurogram (ENG) recording has been performed using a PC-based very low noise data acquisition system (section III). Next, the design of a fully integrated CMOS version and measurement results of the main parts are presented (sections IV and V). Conclusions are the subject of section VI.

II. DESCRIPTION OF THE GLOBAL BLADDER CONTROLLER

The overall system of bladder control is shown in Figure 2.1. The electromagnetic

coupling allows to transmit data and power through the skin from the external controller to the implantable system whereas the data transfer from the implant to the external controller can be done by either electromagnetic or optical (through a hole in the skin) coupling. The implant is composed of 3 main parts [20]:

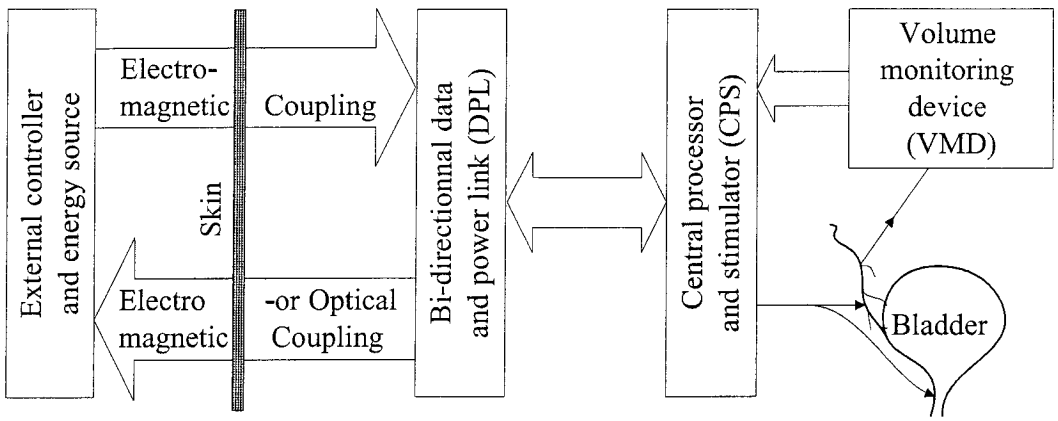


Figure 2.1. A simplified block diagram of the global bladder controller.

- The bi-directional data and power link (DPL): generates a regulated power supply for the implant and extracts the data carried by the electromagnetic waves, as well as preparing the data processed by the implant for transmission to the external controller;
- The central processor and stimulator (CPS): controls all functions of the system such as the selective stimulation of the bladder and the sphincter and monitors the electrode contacts;
- The volume-monitoring device (VMD): senses the ENG that contains information about the volume of the bladder. The ENG is then processed into the VMD to extract

information about the filled volume percentage of the bladder. This information is sent to the CPS to improve control of the bladder. The following sections focus on this VMD module.

III. INVIVO ELECTRONEUROGRAM RECORDING

In order to complete an integrated version of the ENG recording and processing interface, experimental measurements in dogs have been done using an electronic interface that we built for this purpose. This interface allowed us to determine the specifications of the integrated CMOS version, as we will show later in this paper. Figure 2.2 shows the block diagram of the nerve signal acquisition system. This electronic interface, based on commercially available electronic components, is composed of:

1. A tripolar cuff electrode built in our laboratory based on a Shaped Memory Alloy Armature that stay opened at low temperature and close around the nerve at the normal temperature of the body [21]. The two end contacts of the electrode are tied together to cancel the recording of the EMG activity;
2. A very low noise, high Common Mode Rejection Ratio (CMRR) programmable gain (up to 10^6) instrumentation amplifier (IA). It is based on a very low noise component (INA103 from Burr-Brown corporation);
3. A band-pass filter (BPF) built around the universal active filter UAF42 from Burr-Brown corporation;

4. A data acquisition card (DAQ) from Data Translation Inc. (DT301) is used to convert the signal into digital data and store it on a PC Hard Disk. The data acquisition is performed at 30 kHz with 12-bit resolution.

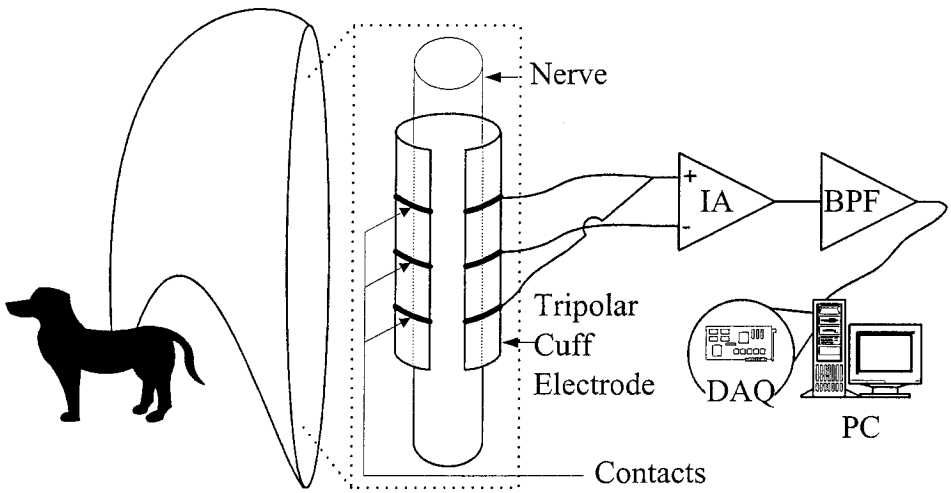


Figure 2.2. The discrete nerve signal recording system: the tripolar electrode is cuffing the sacral nerve S2. The signal is amplified with IA and band-pass filtered before being stored on a PC to be processed off-line.

The above-described system is used to record signals from the sacral nerve S2 innervating the bladder during acute experiments on dogs. The dog is anesthetized, the spinal cord is opened and the sacral nerve is exposed and the tripolar electrode is installed. The ENG was recorded during the bladder filling for several minutes. The recorded signal is then processed off-line.

Figure 2.3 shows an example of the signal obtained where the filling starts at 20 s

and lasts for 250 s. The amplitude of the signal increases with increasing bladder volume (since the liquid volume injected into the bladder is proportional to the time). Its peak-to-peak amplitude is less than 60 μV. The rectified and 200 ms bin-integrated of the obtained ENG is easier to use as an indicator of bladder volume as shown in Figure 2.4. The first step at 78 s could be attributed to a threshold volume at which the ENG senses the volume increase and makes a step. Then it starts to increase linearly with volume while the second step at 225 s is attributed to the urine leakage after which the nerve relaxes.

From Figure 2.4 we can see that using a 7-bit analog-to-digital conversion of RBI (0-8 μV) means that the RBI values representing the bladder volume (7-7.5 μV) will be converted in $(2^7-1)\times 0.5/8 = 8$ intervals. More precision could be obtained with 8 bits (16 intervals).

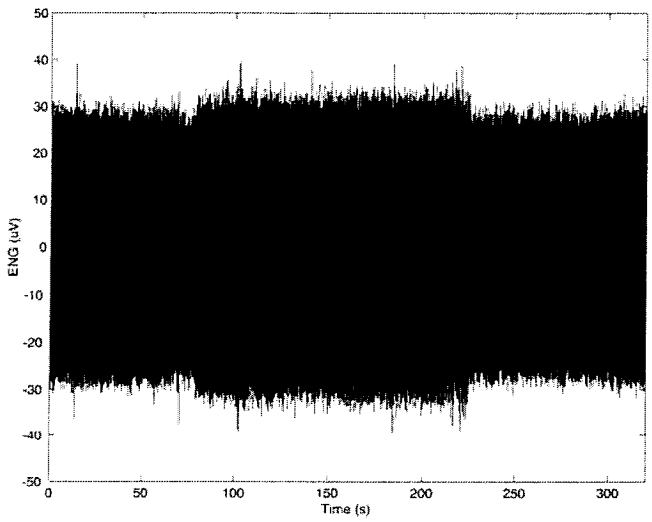


Figure 2.3. Nerve signal activity increasing with time that is proportional to the volume of the bladder.

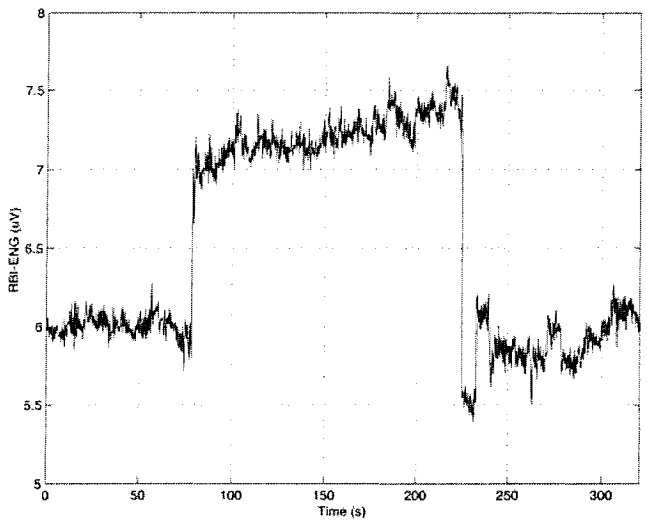


Figure 2.4. Rectified and bin-integrated ENG vs. bladder filling with time.

IV. BUILDING BLOCKS OF THE VOLUME MONITORING DEVICE

Based on the system used for in vivo recording and off-line analysis, we propose the block diagram of the volume monitoring device (VMD) as shown in Figure 2.5. The ENG, presented by V_n, is a signal obtained from a tripolar electrode cuffing the nerve. Two end contacts of the electrode are tied together to connect the corresponding terminal to the positive input of the signal conditioning block and the central contact is connected to the negative input of this block. This signal conditioning block constitutes the input stage of the implantable VMD. It prepares V_n to undergo digital conversion and then further processing is completed to determine the urine volume in the bladder and other related information.

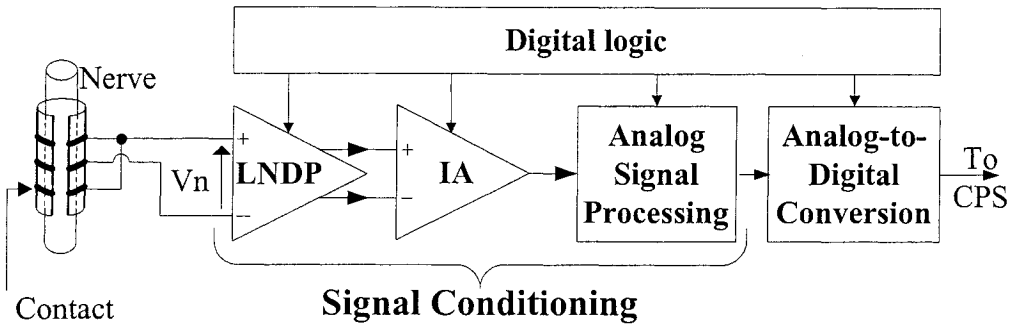


Figure 2.5. Building blocks of the volume monitoring device.

Input V_n is first amplified with a low-noise low-gain differential preamplifier (LNDP) to overcome the 1/f noise and to raise this signal above the noise level of the second stage in the diagram. This second stage is an IA dedicated to amplify the signal with a programmable gain and reject the common mode signals. The output signal of the IA is rectified and bin-integrated (RBI) with the analog signal processing block. The digital logic block generates clocks for switched capacitor circuits. The resulting signal is converted to a digital format using an analog to digital converter (ADC) and conveyed to the CPS where RBI is evaluated and then bladder information can be obtained. The extracted information contains data about the urine volume and estimation of the time needed to fill the bladder.

Based on experimental measurements using the electronic interface presented in previous sections, implantable biomedical devices dedicated to recording low-level signals such as the ENG should be based on building blocks with the following characteristics:

- Low-supply voltage because the needed energy to power the implant is either transmitted from outside the body through the skin or supplied in part by an implanted battery;
- Low-power consumption to minimize the transmitted energy from the external controller and to maximize the implanted battery duration used for some real time operation applications;
- Low input referred noise;
- High CMRR to reduce the interference.

Given the characteristics of the ENG, the signal conditioning is the most important part of the system. It includes a low-noise differential preamplifier, an instrumentation amplifier and an analog signal processing block that realizes the RBI function. In the following sections, the design, realization and measurements of these blocks are presented.

As the bandwidth of the monitored nerve signal is as high as 10 kHz [22,23] and its amplitude is very low, which generally ranges between 1 and few tens μV [6,24], its recording necessitates high performance data acquisition and signal processing interface. The low frequency noise (flicker or 1/f noise) can be reduced by different methods [25,26]. The approach we used for noise reduction is chopper stabilization (CHS) that applies a modulation technique. Its basic principle can be reviewed in Figure 2.6. The input signal $V_{in(t)}$ is modulated by a square-wave signal $m_1(t)$ having frequency f_{chop} (1/T). After this modulation, the signal spectrum has been transposed to odd harmonic frequencies of the signal $m_1(t)$ where the white noise (lower value than flicker noise) is dom-

inant. It is then amplified by a selective amplifier (SA) and demodulated back to baseband by signal $m_2(t)$. If the input signal has a spectrum limited to half of the chopper frequency, no signal aliasing will occur. Note that the 1/f noise and offset of the amplifier (represented by V_n and V_{os} respectively in Figure 2.6) are only modulated once by the demodulator and translated to the odd harmonics, leaving essentially white noise in the baseband. After being demodulated back to baseband, the signal is low-pass filtered at half the chopper frequency, thus high-frequency components, which includes the amplifier 1/f noise and offset, are removed.

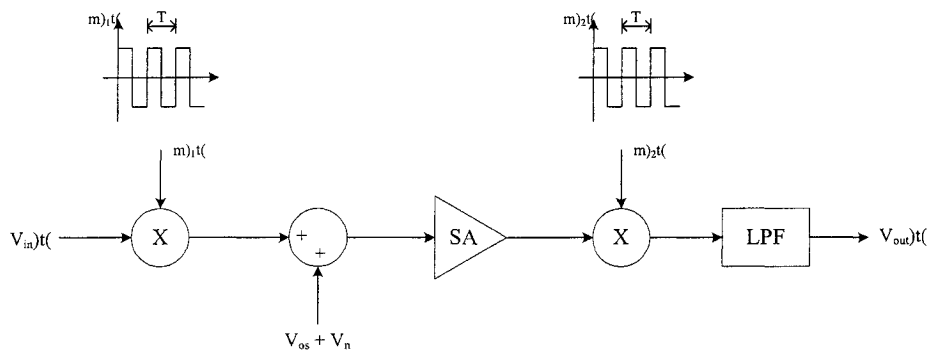


Figure 2.6. The principle of Chopper Stabilization technique.

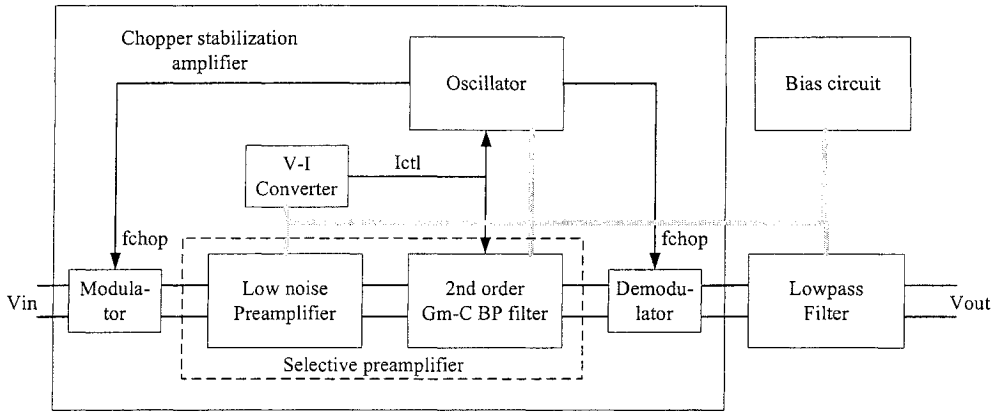
The instrumentation amplifier has two functions in this system: rejection of common mode signals and offering the possibility of modifying the gain depending on the amplitude of the ENG. The gain is to be controlled by the central processor of the implant. The most common configuration of a high CMRR differential amplifier is the three-op-amp based structure [27]. In this work, a new instrumentation amplifier based on current

mirrors was used and will be described in a following section.

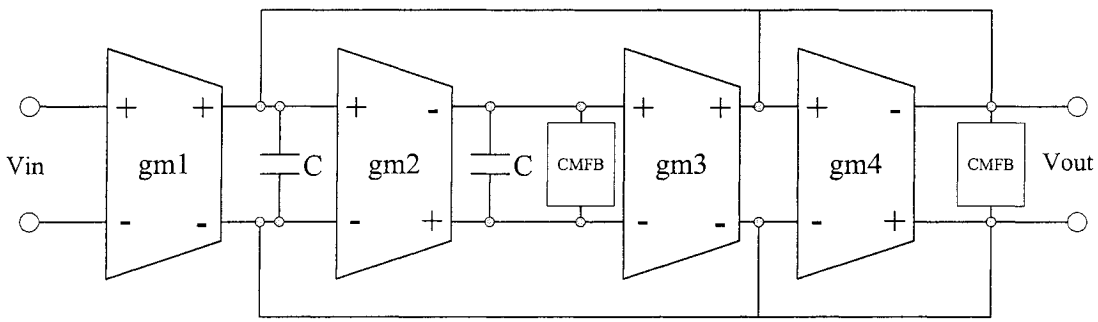
A. The low-noise differential preamplifier

Some chopper amplifier structures supplied at higher than 4 volts have been reported [25,28]. The implantable bladder controller, including the VMD, has a limited power available from electromagnetic coupling. The energy is carried by electromagnetic waves from an external device crossing the skin and due to safety reasons for the patient, this quantity is limited. Hence, the power supply and power consumption have to be low. The VMD system makes use of a chopper amplifier powered at 2.2 V.

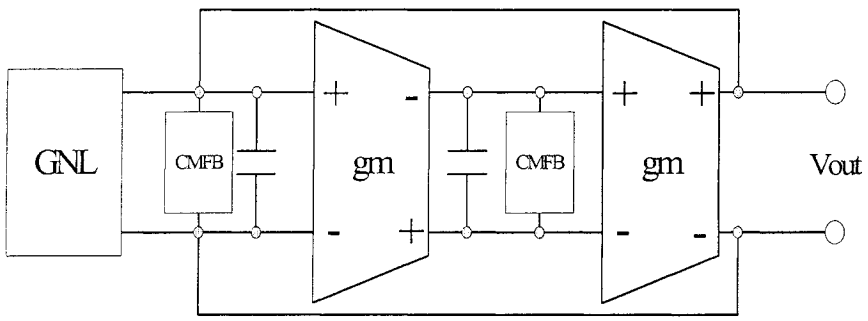
The LNDP includes the chopper amplifier that mainly consists of four parts: modulator, selective preamplifier, demodulator and LP filter (Figure 2.7a). The modulator and demodulator are realized by four cross coupled NMOS switches, which are controlled by two non-overlapping clocks. The selective preamplifier is composed of a low noise preamplifier and a 2nd-order Gm-C bandpass filter. The input pairs have their dimensions carefully chosen to trade-off the overall input referred noise, area size and other characteristics (e.g. DC gain). Figure 2.7b and Figure 2.7c present the block diagram of the bandpass filter and matching oscillator in which the GNL block represents a nonlinear transconductor, guaranteeing the oscillation and regulating the amplitude [29].



a)



b)



c)

Figure 2.7. The Low noise differential preamplifier: a) Simplified block diagram, b) and c) Preamplifier and band pass filter respectively that form the selective preamplifier.

B. The instrumentation amplifier

An amplifier with programmable gain, high input impedance and high CMRR is an instrumentation amplifier. In order to meet this specification, we propose a new IA (Figure 2.8a). This IA is composed of three operational amplifiers: op-amp1, op-amp2 and op-amp3; two cascode current mirrors (CM_1 and CM_2), one current subtractor and two resistors (R and R_g). V_1-V_2 is the differential input of the amplifier. Op-amp1 and op-amp2 are connected as voltage followers, so $V_{o1}= V_1$ and $V_{o2}= V_2$. The current flowing into the load resistor R is:

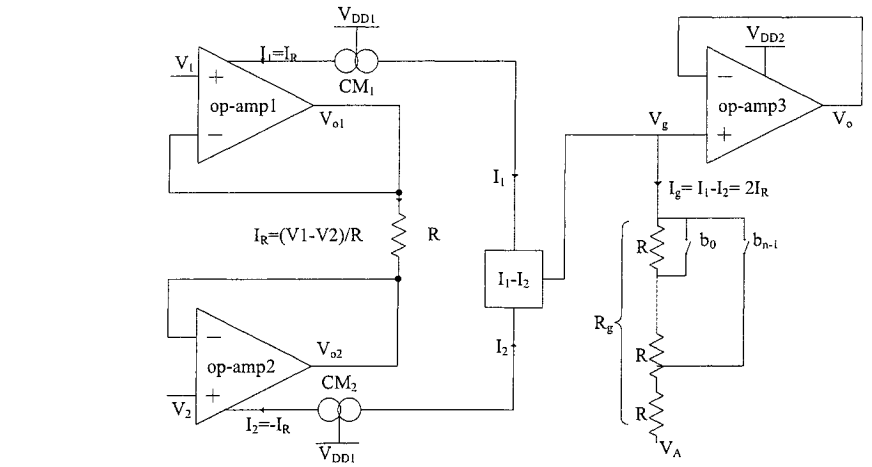
$$I_R = \frac{V_{o1} - V_{o2}}{R} = \frac{V_1 - V_2}{R} \tag{1}$$

Op-amp1 and op-amp2 are designed in such a way that the load current I_R flows only from the most positive supply voltage and pass through the current mirrors CM_1 and CM_2. The current mirrors CM_1 and CM_2 sense the output stage current supplying op-amp1 (I_1) and op-amp2 (I_2). I_1 and I_2 are equal to currents flowing into the load resistor R ($I_R= I_1= -I_2$). A CMOS current subtractor is used to inject the difference between I_1 and I_2 into a gain resistor R_g. The voltage gain is:

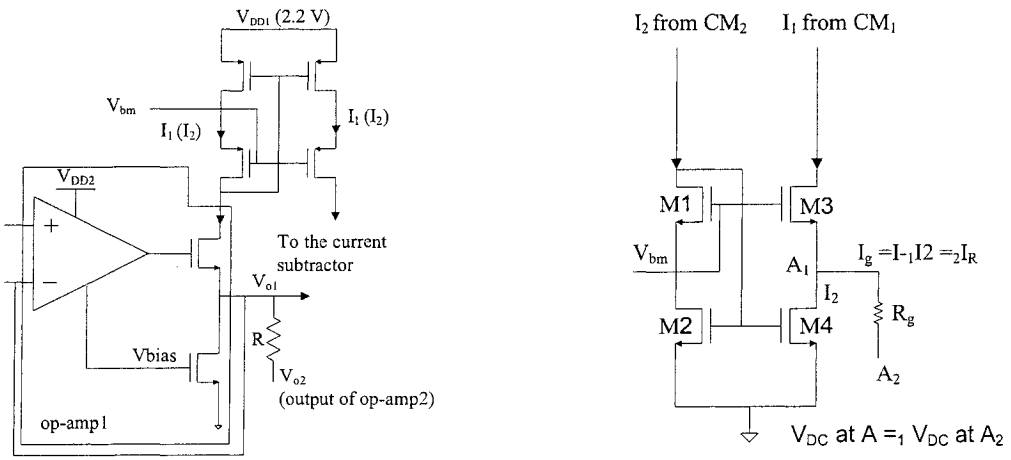
$$\frac{V_o}{V_1 - V_2} = 2\frac{R_g}{R} = 2K \tag{2}$$

where R_g is the programmable gain resistor and $K= R_g/R$. The new IA operates at

low-voltage and has programmable gain. A low value of the load R is necessary to increase the sensitivity of the circuit since the output current I_1-I_2 is proportional to 1/R.



a)



b) c)

Figure 2.8. The proposed instrumentation amplifier: a) Simplified block diagram, b) Simplified schematic of op-amp1 and op-amp2 with connection to the current mirror, c) Current subtractor.

The identical folded cascode op-amp1 and op-amp2 (Figure 2.8b) are designed to operate at V_{DD2}= 1.5 V with low-power consumption and low resistance load. The output stages are connected to V_{DD1}=2.2 V via high-swing MOS cascode current mirrors CM_1 and CM_2 [30,31]. Op-amp3 is similar to op-amp1 and op-amp2 but the output stage is different because it has a capacitive load instead of a resistive load. Figure 2.8c represents the current subtractor. It is a current mirror with two current inputs. The two transistors M_1 and M_2 that receive the current I_2, mirror this current into the branch composed of two transistors M_3 and M_4. The difference between the mirrored current (I_2) and the current received (I_1) by M_3 and M_4, will flow into the programmable gain resistor R_g. R_g is realized with resistors and switches network. Its value is selected with an n-bit digital word, which controls the switches network. The number of identical resistors and the n-bits value depend on the maximum amplitude of the nerve signal. In our application, the number of resistors is 6 and n= 6 since the maximum amplitude of ENG is 30 μV and the gain of the LNDP is 350. Then the maximum input of the IA is limited to 10.5 mV and its maximum output is 63 mV.

C. The analog signal processing block

The analog signal processing block (ASP) is built to realize the RBI function. This function consists of averaging the absolute value of a number of samples spread over a given period of time called BIN (Equation 3):

$$RBI = \frac{1}{G}\sum_{i=1}^{G}|S_i| \tag{3}$$

where G is the total number of samples, and S_i is the value of sample i in volt.

The ASP is composed of five main blocks as presented in Figure 2.9: a sample and hold circuit (S/H), a full wave rectifier, and three bin-integration stages.

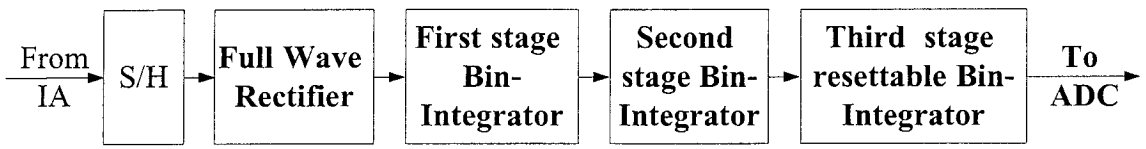


Figure 2.9. Block-diagram of the analog signal processing unit.

In our application, a 40 kHz sampling frequency has been used and a BIN length of 200 ms has been chosen. Consequently, the number of samples to be averaged is G= 8000. A switched capacitor circuit with a gain of 1/8000 is needed to realize this function and this is not practical. A solution consists of performing it with three lower gain stages as illustrated in Equation 4:

$$RBI = \frac{1}{C_i}\sum_{i=1}^{P}\left[\frac{1}{B}\sum_{j=1}^{N}\left(\frac{1}{A}\sum_{k=1}^{M}|S_{i,j,k}|\right)\right] \tag{4}$$

where, M and 1/A are the number of samples integrated in the first stage and its

gain respectively, N and 1/B are the number of samples coming from the first stage and integrated in the second one and its gain respectively. Finally P and 1/C are the number of samples coming from the second stage and integrated in the third one and its gain respectively. The total number of samples are:

$$M \times N \times P = G = 8000 \tag{5}$$

Constants A, B and C should be chosen in order to use the maximum dynamic range of the bin-integrators op-amps. The gain of three RBI stages in Equation 6 is

$$\left(\frac{M}{A}\right) \times \left(\frac{N}{B}\right) \times \left(\frac{P}{C}\right) = \frac{G}{ABC} \tag{6}$$

The result is the average of Equation 3 (unity gain) multiplied by G/(ABC).

Non overlapping clock phases that control the three integration stages are depicted in Figure 2.10. ϕ_{12} and ϕ_{11}, ϕ_{22} and ϕ_{21}, and ϕ_{32} and ϕ_{31} are for stages 1, 2 and 3 respectively. The operation of the clock phases are the following:

1. The first stage computes the average of every M input samples during M cycles of (ϕ_{12}, ϕ_{11});

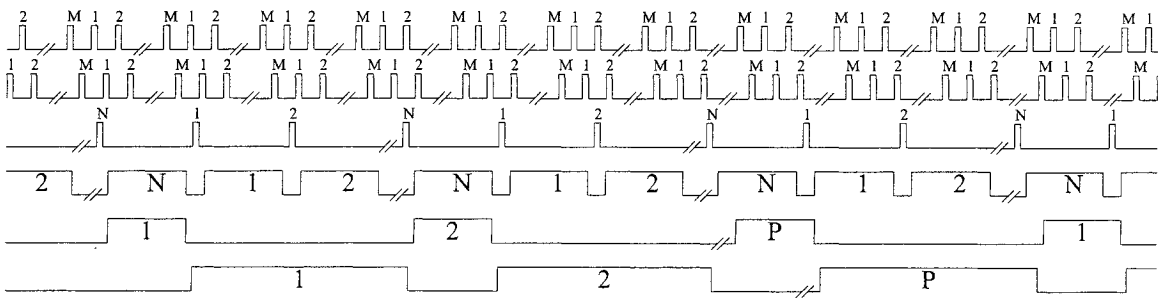


Figure 2.10. Simplified clock phases that control the three integration stages. (ϕ_{12}, ϕ_{11}), (ϕ_{22}, ϕ_{21}), and (ϕ_{32}, ϕ_{31}) are the non overlapping clocks for integration stages 1, 2 and 3 respectively.

2. Before the Mth ϕ_{11} cycle, the second stage is reset to zero (reset signals are not shown);

3. At the Mth ϕ_{11} cycle, the average is valid at the first stage output and it is sampled by ϕ_{22} of the second stage. At the same time the first stage is reset to zero to start a new averaging cycle.

4. Similarly to the first stage, the second stage is reset to zero then computes the average of every N inputs from the first stage (equivalent to the average of M×N input samples) during N cycles of (ϕ_{22}, ϕ_{21});

5. The third stage however is reset to $-2V_{ref}$ as will be explained in a next section before it computes the average of every P inputs from the second stage (equivalent to the average of M×N×P input samples) during P cycles of (ϕ_{32}, ϕ_{31});

6. At the Pth ϕ_{31} cycle, the average is valid at the third stage output and it is sampled by the ADC. At the same time the third stage is reset to $-2V_{ref}$ to start a new averaging cycle.

D. The full wave rectifier and sample and hold circuit

Full wave rectification is the next step after signal amplification with the high CMRR instrumentation amplifier. As the processed signal bandwidth is less than 10 kHz, the switched capacitor technique is suitable for the analog signal processing block.

Figure 2.11 illustrates the full wave rectifier (FWR). It is a fully differential version of the single ended FWR described in [32]. In addition, it contains two extra capacitors (C_s) to prevent the circuit from generating spikes in the non overlapping period of the clock phases [33]. The FWR is a unity gain amplifier (C_i=C_f) with controlled gain polarity. If the differential input (V_{in+}-V_{in-}) is negative (resp. positive), the comparator and its control block generate S_1= ϕ_2 (resp. ϕ_1) and S_2= ϕ_1 (resp. ϕ_2). The output signal is equal to the input signal multiplied by –1 (resp. +1). Since the sampling can occur at either ϕ_1 or ϕ_2 depending on the sign of (V_{in+}-V_{in-}), the input should be available during both phases. An always valid output sample and hold (S/H) circuit precedes the FWR. The output is available during ϕ_2 and it is sampled by the capacitors of the next stage (C_1 in Figure 2.11) when ϕ_2 goes low. Since the switches connecting C_1 to the ground are matched, same charges are injected in both capacitors C_1.

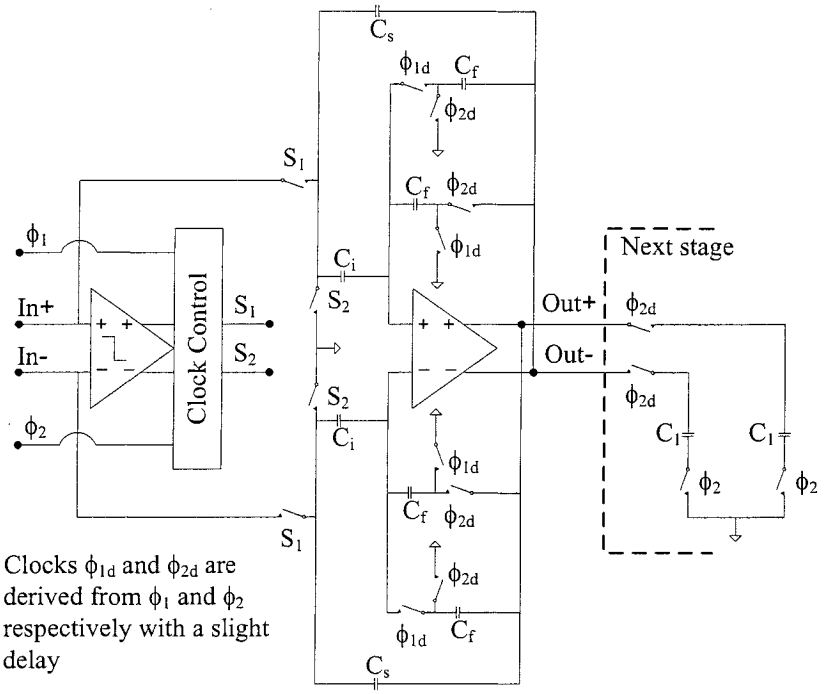


Figure 2.11. Switched capacitor fully differential full wave rectifier. ϕ_1 and ϕ_2 are nonoverlapping clock phases.

A fully differential and improved version of the single ended S/H circuit, proposed in [34] is shown in Figure 2.12. The improved topology allows reducing the offset error reported by [34]. ϕ_{1d} and ϕ_{2d} are derived from ϕ_1 and ϕ_2 respectively with a slight delay. This circuit works as follows: When ϕ_2 and ϕ_{2d} go high, capacitors C_i are charged to the input signal value, which is sampled when ϕ_2 goes low. At the same time, C_o loads the input offset of the first opamp. Next, when ϕ_1 and ϕ_{1d} go high, the sampling capacitors C_i are connected to the output as a feedback capacitor and the output voltage is updated to give a new output sample. During this phase, the hold capacitors C_h load the sample value

and keep it in opamp2 feedback when ϕ_1 and ϕ_{1d} go low. Finally, switches S_2 are matched in order to inject the same charge into C_i when they are turned off. Therefore, since S_2 are opened before S_1, the charge injection of S_2 into C_i is independent from the input signal. Same reasoning applies to S_4 and S_7.

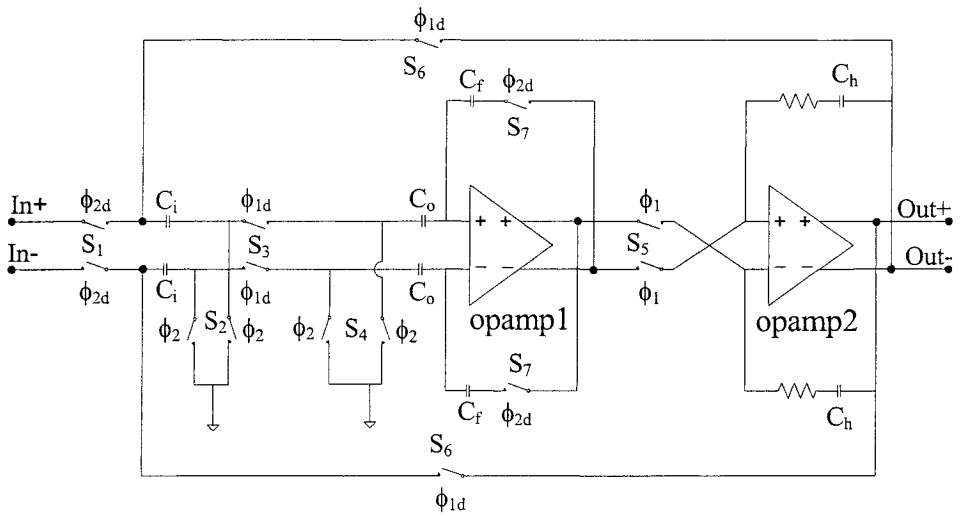


Figure 2.12. Fully differential sample-and-hold circuit with always valid output.

The first two stages of BIN integration are SC integrators with gain and reset-to-zero capability (Figure 2.13). The third stage (Figure 2.14) is similar to the first two stages with the following modifications. Although the first two integrators reset their outputs to zero volt, the third stage resets its output to $-2V_{ref}$ before starting the integration process by using $\pm V_{ref}$ reference inputs. This is to make use of the whole opamp output swing since the outputs of the FWR and the first two integrators are positive. The output can then

sweep from $-2V_{ref}$ to $+2V_{ref}$ allowing a larger ADC full scale value and relaxing ADC requested performances. This integrator works as follows (the first two integrators operation could be deduced): during the first pulse of ϕ_{r3} the output is reset to zero by discharging C_f from its previous value, the capacitors C_o store the offset voltage (B is high) [35], and the capacitors C_s are charged to $\pm V_{ref}$ respectively (K and B are high). B goes low before ϕ_{r3d} and K in order to match the charge injected into capacitors C_s independently from the input signal. Then during ϕ_{1s} the charge stored in C_s is transferred to C_f (C_f=C_s), hence resetting the differential output voltage of the integrator at $-2V_{ref}$. The output can now swing from $-2V_{ref}$ to $+2V_{ref}$. Then the integration process occurs once for every N samples integrated in stage 2 that is equivalent to M×N samples integrated in stage 1 using nonoverlapping clock phases ϕ_{32} and ϕ_{31} (from Figure 2.10). When ϕ_{32} is high (ϕ_{32} and B are high), capacitors C_i are charged to the input voltage from the previous stage. When ϕ_{31} is high, A and C are high and the charge in C_i flows to C_f hence increasing the output voltage by the input sample value multiplied by C_i/C_f. Then A goes low while C remains high to keep the loop closed before the arrival of the next sample. After integration of P samples, the output is reset and the process starts again.

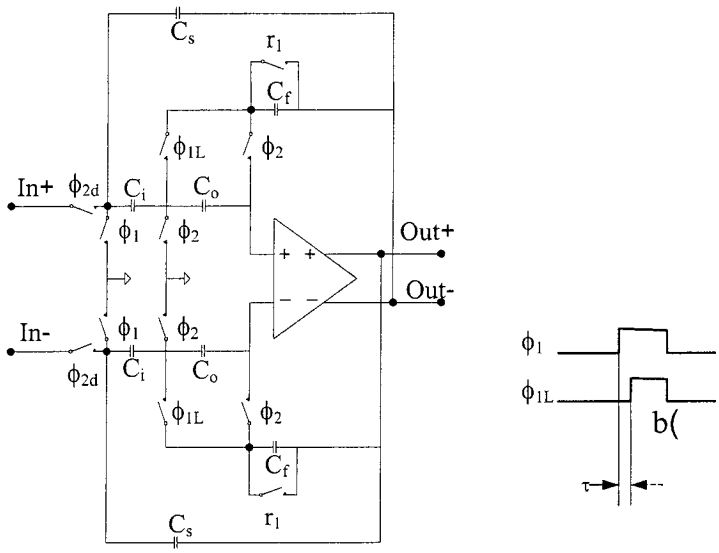


Figure 2.13. Fully differential resettable integrator used in BIN integration stages 1 and 2.

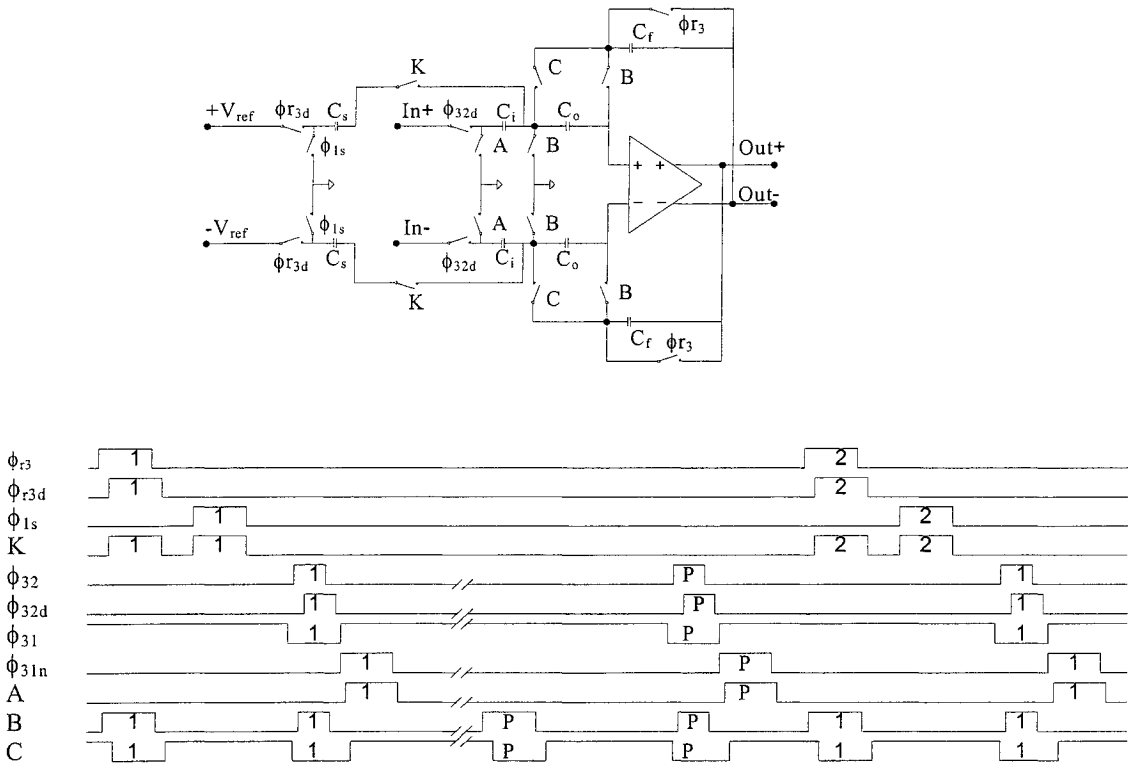
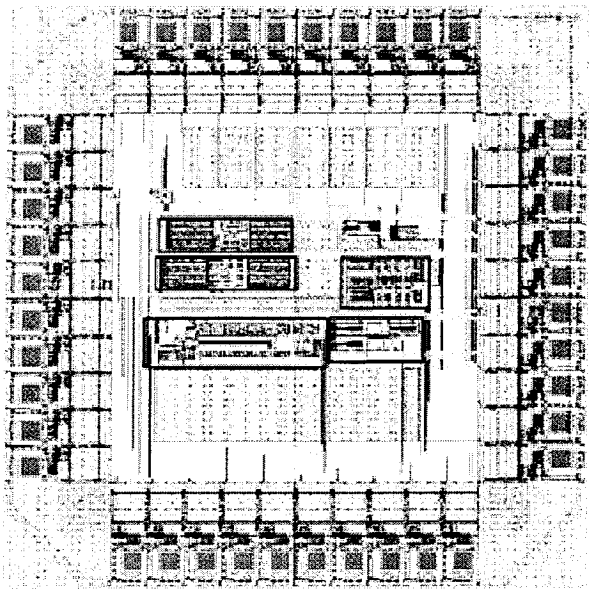


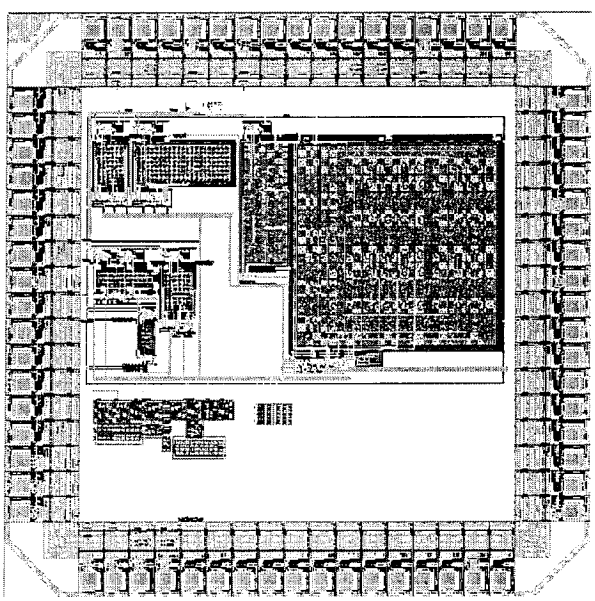
Figure 2.14. Third stage fully differential integrator with capability to be set at a fixed voltage -2V_{ref} and its corresponding clock phases. The clock phases used in this circuit are derived from ϕ_{r3}, ϕ_{1s}, ϕ_{32} and ϕ_{31}.

V. SIMULATION AND MEASUREMENT RESULTS

The above described blocks were designed with the CMOS 0.35 μm technology in Cadence Analog Artist environment and the simulator used is SpectreS. LNDP and IA were also fabricated and tested. Their layout is shown in Figure 2.15a. The core die area is 1150×450 μm^2. The analog signal processing block was laid out separately (Figure 2.15b) and sent to fabrication. Its core die area is 2650×2200 μm^2.



a)



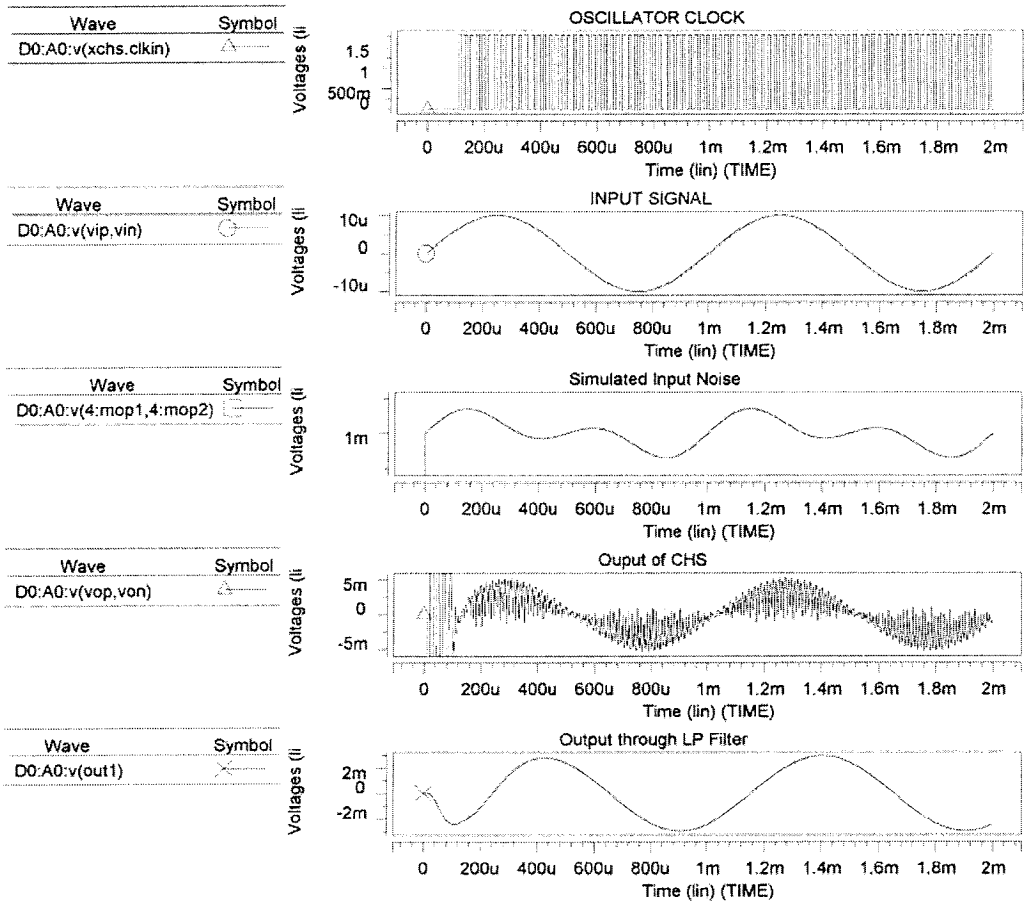
b)

Figure 2.15. Layout of the a) Low-noise differential preamplifier and the instrumentation amplifier and b) Analog signal processing block.

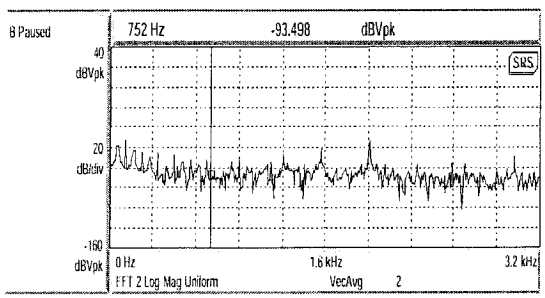
For CHS simulation, a voltage source has been added between input modulator and amplifier to simulate the 1/f noise and DC offset of op-amp. The input signal, noise sources and output of CHS are presented in Figure 2.16a. From the simulation results, we see that the output signal is amplified and free from both 1/f noise and DC offset. The noise of the amplifier is measured by using a low frequency signal analyzer (SRS785). Figure 2.16b shows the measured output noise power spectrum density (PSD), which is around -93.5 dB corresponding to -145 dB (56 nV/$\sqrt{Hz}$) at the input, while the overall gain of the amplifier equals 51 dB.

In order to test the functionality of the new IA design, it has been fabricated without the op-amp3. Also, the resistors R and R_g (Figure 2.8a) are kept external for the test purpose. The DC gain of op-amp1 and op-amp2 is found to be 110 dB. Despite the fact that no special care was taken to match the components of opamp1 and opamp2 layouts, a high common mode rejection ratio of 72 dB was obtained. Each op-amp was drawn in a completely separate area from the other one. A high mismatching could result and reduce the CMRR. A layout design that matches each transistor in opamp1 to its counterpart in opamp2 will considerably improve the CMRR.

Figure 2.17a shows the linearity of the gain versus the resistor ratios R_g/R. The gain versus R_g is linear until the maximum swing limit of the IA output, which is equal to 360 mV. Figure 2.17b presents the measured normalized frequency response of the IA. The –3 dB frequency is 150 kHz.

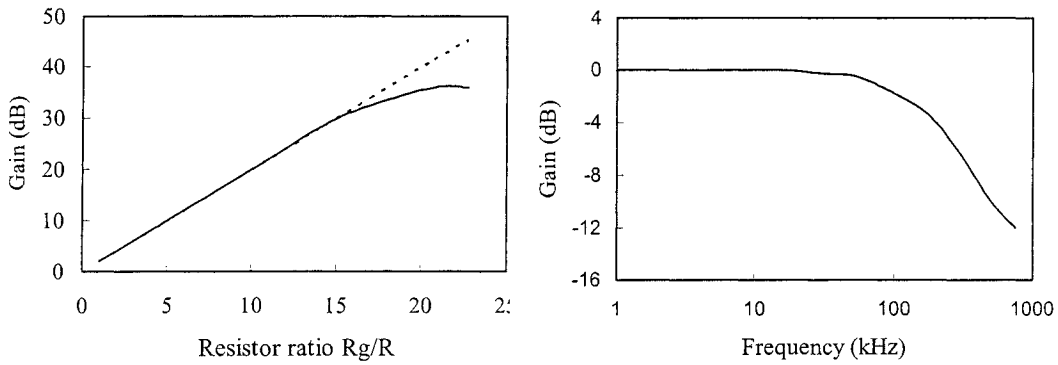


a)



b)

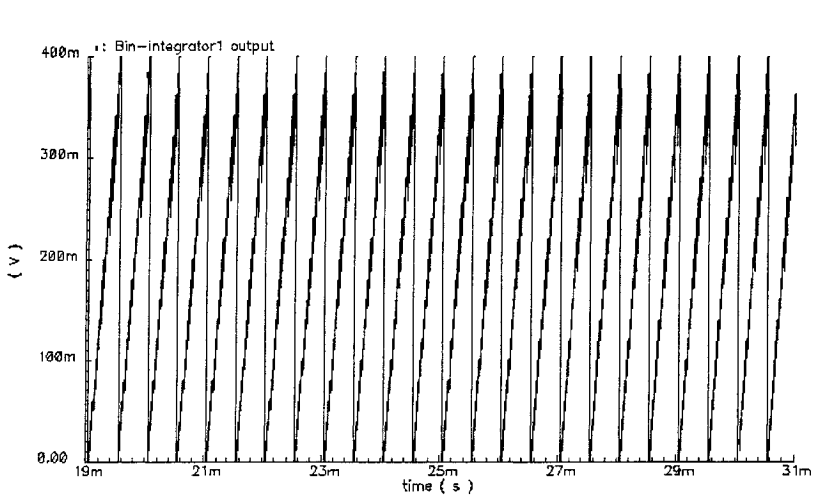
Figure 2.16. Noise performance of the preamplifier a) illustrated by the simulation, b) measurement of output noise.



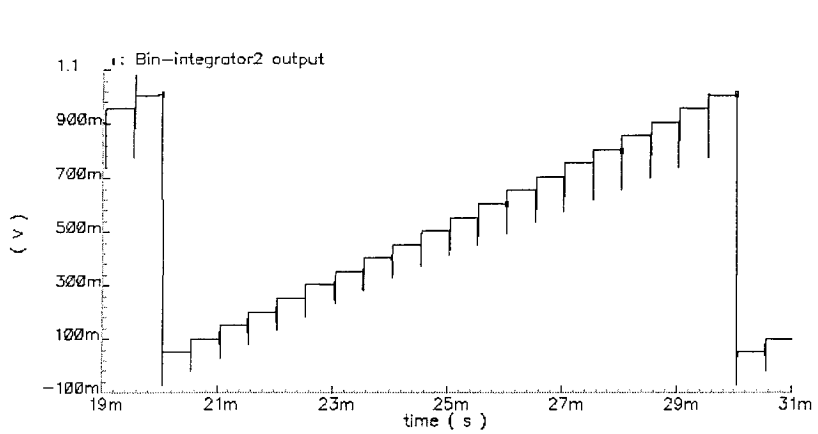
a) b)

Figure 2.17. The IA measurement results: a) Gain linearity versus resistor ratio (simulation: dotted line, measurement: solid line), b) Frequency response at gain=0 dB.

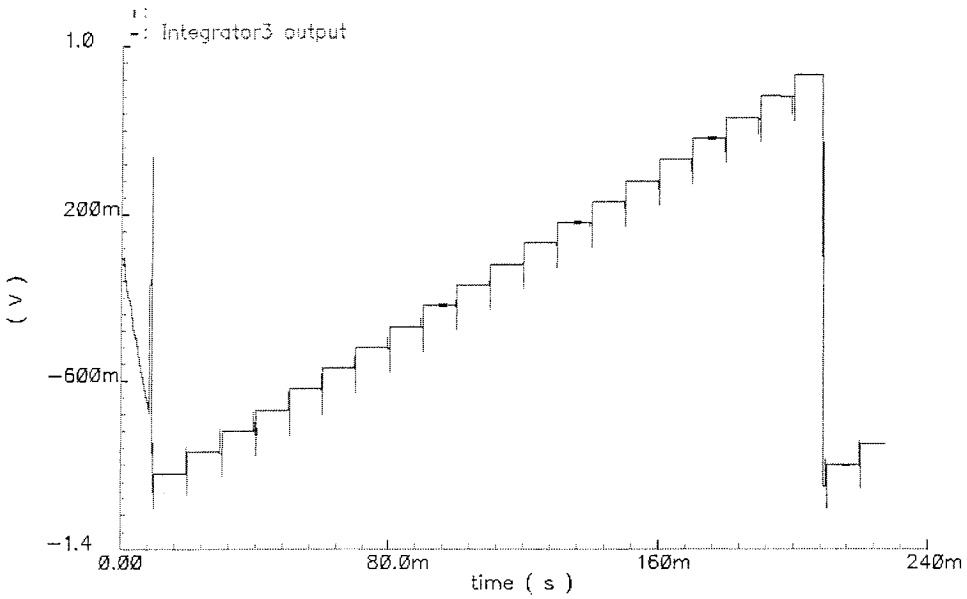
A simulation result of the BIN integration module is illustrated in Figure 2.18 for M= N= P= 20, and A= 4, B= 8, and C= 10 and V_{ref}= 550 mV. Only the last step of integrator 3 output that represents the average of 8000 samples is to be converted with the ADC. For a 60 mV_{pp}, 10 kHz, input sine wave and 5 mV offset voltages intentionally added to all opamps used in the circuit (FWR + integrators); the error between simulated and calculated values is less than 0.15 %, which allows an 8-bit analog-to-digital conversion. Table 1 summarizes building blocks performances.


: Bin-integrator1 output
400m
300m
200m
100m
0.00
(V)
19m
21m
23m
25m
27m
29m
31m
time (s)

a)


: Bin-integrator2 output
1.1
900m
700m
500m
300m
100m
-100m
(V)
19m
21m
23m
25m
27m
29m
31m
time (s)

b)



c)

Figure 2.18. Outputs of the a) first, b) second, and c) third integrator for M= N= P= 20, A=4, B= 8 and C= 10.

Table 2.1. LNDP, IA, and ASP performance

Parameters	**Value**
Total power dissipation	0.625 mW (ASP)+ 0.775mW (CHS+IA)=1.4 mW
Output swing	±1.1 V
Output samples frequency	5 Hz
Input equivalent noise voltage density	56 nV/$\sqrt{Hz}$
Input referred DC offset	< 1 μV
IA measured CMRR	72 dB
LNDP and IA simulated CMRR	180 dB
LNDP and IA simulated PSRR	VDD: 92 dB, VSS: 83 dB
LNDP and IA THD	-72.7 dB @ 10μV
RBI Error (post layout simulation)	0.15%
LNDP and IA die area	1150×450 μm^2
ASP die area	2650×2200 μm^2

VI. CONCLUSION

A CMOS low-amplitude signal conditioning front-end for data acquisition interface usable in biomedical implantable applications has been presented. This interface works at low-voltage (2.2 V), consumes less than 1.4 mW with an RBI calculation error of less than 0.15 % and an input equivalent noise of 56 nV/$\sqrt{Hz}$. The signal conditioning stage is implemented in 0.35 μm, 3.3 V CMOS process.

The proposed measurement interface can be employed in other monitoring applications where ENG needs to be measured to control various paralyzed organs. Depending on the application, minor changes may be necessary at the level of the signal processing algorithm.

ACKNOWLEDGMENTS

The authors would like to acknowledge the financial support from the Natural Sciences and Engineering Research Council of Canada and the chip design tools and fabrication service from the Canadian Microelectronics Corporation (CMC). They would like to thank the McIntyre Animal Centre of McGill University for their collaboration in *in vivo* experiments.

REFERENCES

[1] S. Boyer, M. Sawan, M. Abdel-Gawad, S. Robin, and M. M. Elhilali, "Implantable Selective Stimulator to Improve Bladder Voiding: Design and Chronic Experiments in Dogs", *IEEE Trans. Rehab. Eng.*, vol.8, No. 4, pp. 464-470, 2000.

[2] T. A. Perkins, "Versatile three-channel stimulation controller for restoration of bladder function in paraplegia", *J. Biomed. Eng.*, No. 8, pp. 268-271, 1986.

[3] A. Lickel, "Restoration of lateral hand grasp in tetraplegic patient applying natural sensory feedback", *Ph.D. dissertation*, 1998.

[4] B. Upshaw, and T. Sinkjaer, "Digital signal processing algorithms for the detection of afferent nerve activity recorded from cuff electrodes", *IEEE trans. Rehab. Eng.*, Vol. 6, No. 2, pp. 172-181, June 1998.

[5] M. K. Haugland, and T. Sinkjaer, "Cutaneous whole nerve recording used for correction of footdrop in hemiplegic Man", *IEEE trans. Rehab. Eng.*, Vol. 3, No. 4, pp. 307-317, December 1995.

[6] R. B. Stein, D. Charles, L. davis, J. Jhamandas, A. Mannard, and T. R. Nichols, "Principles underlying new methods for chronic neural recording", *Can. J. Neurol. Sci.*, pp. 235-244, August 1975.

[7] E. V. Goodall, T. M. Lefurge, and K. W. Horch, "Information contained in sensory nerve recordings made with intrafascular electrodes", *IEEE trans. Biomed. Eng.*, Vol. 38, No. 9, pp. 846-850, September 1991.

[8] M. Haugland, T. Sinkjaer, and J. Haase, "Force information in whole human sensory nerve recordings", *Proceedings of the 4th Vienna Workshop on FES*, 1992, pp.

130-133.

[9] T. Sinkjær, M. Haugland, and J. Haase, "The use of natural sensory nerve signals as an advanced heel-switch in drop foot patients", *Proceedings of the 4th Vienna Workshop on FES*, 1992, pp. 134-137.

[10] B.S. Nashold, H. Friedman, and R. Boyarsky, "Electrical activation of micturition by spinal-cord stimulation", *J. Surg. Res.*, Vol. 11, No. 3, pp. 144-147, 1971.

[11] E. A. Tanagho and R. A. Schmidt, "Electrical stimulation in the clinical management of the neurologic bladder", *J. Urology*, Vol. 140, pp. 1331-1339, 1988.

[12] J. S Li, M. Hassouna, M. Sawan, F. Duval, and M. M. Elhilali, "Role of electric stimulation in bladder evacuation following spinal cord transection', *J. Urology*, Vol. 147, pp. 1429-1434, 1992.

[13] N. J. M. Rijkhoff, E. L. Koldewijn, P. E. V. Van Kerrebroeck, F. M. J. Debruyne, and H. Wijkstra, "Sacral root stimulation in tile dog: reduction of urethral resistance", *Proc. IEEE EMBS*, San Diego, 1993, pp.1257-1258.

[14] A. Ba, E. Schneider, A. Abdel-Karim, M. Sawan, and M. M. Elhilali, "New Dual Stimulator to Improve the Bladder Functions: Chronic Experiments in Dogs", *IFESS*, Lubljana, June 2002.

[15] B. Provost and M. Sawan, "Proposed new bladder volume monitoring device based on impedance measurement", *Med. Biol. Eng. Comput.*, No. 35, pp. 691-694, 1997.

[16] E. L. Koldewijn, P. H. E. Van Kerrebroeck, E. Schaafsma, H. Wijkstra, and F. M. J. Debruyne, "Bladder pressure sensors in an animal model", *J. Urology.*, Vol. 151,

pp. 1379-1384, 1994.

[17] K. Takayam, M. Takei, T. Soejima, and J. Kumazawa, "Continuous monitoring of bladder pressure in dogs in a completely physiological state", *Br. J. Urol.*, No. 60, pp. 428- 432, 1987.

[18] J. A. Woltjen, G. W. Timm, F. M. Waltz, and W. E. Bradley, "Bladder mobility detection using the Hall effect", *IEEE Trans. Biomed Eng.*, pp. 295-299, July 1973.

[19] J. C. Denniston and L. E Baker, "Measurement of urinary bladder emptying using electrical impedance", *Med Biol. Eng. Comput.*, pp. 305-306, 1975.

[20] M. Sawan, K. Arabi and B. Provost, "Implantable volume monitor and miniaturized stimulator dedicated to bladder control", *Artificial Organs Journal*, Vol. 21, No. 3, pp. 219-222, 1997.

[21] M. A. Crampon, M. Sawan, V. Brailovski, and F. Trochu, "New easy to install nerve cuff electrode using SMA armature", *Artificial Organs Journal*, Vol. 23, no. 5, 1999, pp. 392-395.

[22] J. A. Hoffer and M. K. Haugland, in "*Neural prostheses: replacing motor function after disease or disability*", Ed. By R. B. Stein, P. H. Peckham and D. B. Popovic, Oxford University Press, New York, 1992.

[23] S. Jezernik, J. G. Wen, N. J. M. Rijkhoff, M. Haugland, J. C. Djurhuus, and T. Sinkjaer, "Whole nerve cuff recordings from nerves signal innervating the urinary bladder", *Proc. IFESS*, 1997, pp. 45-46.

[24] D. B. Popovic, R. B. Stein, K. L. Jovanovic, R. Dai, A. Kostovand, and W. W. Armstrong, "Sensory nerve recording for closed-loop control to restore motor

function", *IEEE Trans. Biomed. Eng.*, Vol. 40, No. 10, pp. 1024-1031, October 1993.

[25] C. C. Enz, E. A. Vittoz, and F. Krummenacher, "A CMOS chopper amplifier", *IEEE J. Solid-State Circ.* Vol. 22. pp. 335-342, June 1987.

[26] C.C. Enz, and G. C. Temes, "Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization", *Proceedings of the IEEE.* Vol. 84, November 1996, pp. 1584-1614.

[27] D. L. Feucht, "*Handbook of analog circuit design*", Academic press inc., San Diego, 1990.

[28] C. Menolfi, and Q. Huang, "A Low-Noise CMOS Instrumentation Amplifier for Thermoelectric Infrared Detectors" , *IEEE J. Solid-State Circ.* Vol. 32, pp. 968-976, July 1997.

[29] Krumenacher, and N. Joehl,"A 4-M Hz CMOS continuous time filter with on-chip automatic tuning" *IEEE J. Solid-State Circuits* Vol. 34, No. 1, pp. 107-110, January 1999.

[30] E. Bruun, and P. Shah, "Dynamic range of low-voltage cascode current mirrors", *Proc. ISCAS*, 1995, pp. 1328-1331.

[31] P. J. Crawley and G. W. Roberts, "High-swing current mirror with arbitrarily high output resistance", *Electronics Letters*, Vol. 28, pp. 361-361, February 1992.

[32] R. Unbehauen, and A. Cichocki, "MOS switched-capacitor and continuous-time integrated circuits and systems", Spring-Verlag, Berlin, 1989.

[33] H. Matsumoto, and K. Watanabe, "Spike-free switched capacitor circuits", Elec-

tronics Letters, Vol. 23, No. 8, pp. 428-429, April 1987.

[34] U. Gatti, F. Maloberti, and G. Palmisano, "An accurate CMOS sample-and-hold circuit", *IEEE J. Solid-State Circ.* Vol. 27, No. 1, pp. 120-122, January 1992.

[35] K. Nagaraj, J. Vlach, T. R. Viswanathan, and K. Singhal, "Switched-capacitor integrator with reduced sensitivity to amplifier gain", Electron. Lett., Vol. 24., pp. 1104-1106, Oct. 1986.

CHAPITRE 3

UN CIRCUIT DE REDRESSEMENT ET D'INTÉGRATION PAR PÉRIODE À CAPACITÉS COMMUTÉES POUR LE TRAITEMENT DES SIGNAUX NERVEUX

3.1. INTRODUCTION

Dans le chapitre précédent (chapitre 2) nous avons exposé une vue complète de l'interface sans toutefois montrer les résultats de mesure de la partie redressement et intégration par période (RBI). Cette fonction est probablement la fonction la plus utilisée dans le traitement des signaux nerveux afin d'en extraire de l'information reliée aux activités de l'organe d'où proviennent ces signaux.

Le chapitre présent est surtout consacré à la présentation des performances réelles du circuit RBI telles que mesurées en laboratoire. Le lecteur va constater une certaine redondance avec l'article précédent (chapitre 2). La raison est que l'article présent montre les résultats expérimentaux du module d'intégration par période. Ceci ne peut se faire sans introduire l'application et la conception du circuit.

Soient f_s la fréquence d'échantillonnage du signal nerveux et "bin" la durée de la période d'intégration en ms. Le nombre d'échantillons (S_i) impliqués pour obtenir un point d'intégration par période est alors $G = bin \times f_s$:

$$RBI = \frac{1}{G} \sum_{i=1}^{G} |S_i| \tag{1}$$

Cette fonction pourrait être réalisée avec un circuit amplificateur à capacités commutées avec un gain 1/G et qui serait remis à zéro périodiquement. Cependant, pour notre application où f_s= 40 kHz, bin= 200 ms et par conséquence G= 8000, le gain 1/G= 1/8000 est difficile à réaliser. La solution est d'effectuer la fonction en trois étages plus simples avec des gains raisonnables:

$$RBI = \frac{1}{C} \sum_{i=1}^{P} \left| \frac{1}{B} \sum_{j=1}^{N} \left(\frac{1}{A} \sum_{k=1}^{M} |S_{i,j,k}| \right) \right| \tag{2}$$

où 1/A, M, 1/B, N, 1/C, et P sont le gain et le nombre d'échantillons dont la moyenne est calculée dans le 1er, 2ème, et 3ème étage respectivement. Chaque étage calcule la moyenne des échantillons d'entrée (M, N, ou P) avec le gain correspondant et est remis à zéro avant de commencer le calcul de la moyenne d'une nouvelle série. Seul le troisième étage est remis à une valeur négative $-2V_{ref}$ pour permettre une plage de sortie maximale. Avec cette technique, les gains des trois étages deviennent 1/4, 1/8, et 1/10 (à comparer avec 1/8000) et M= N= P= 20 (MNP= G= 8000). Le résultat obtenu à la sortie du circuit sera la moyenne (équation 1) multiplié par G/(ABC):

$$\left(\frac{M}{A}\right)\left(\frac{N}{B}\right)\left(\frac{P}{C}\right) = \frac{G}{ABC} \tag{3}$$

Les résultats de mesures sont satisfaisants. Pour une entrée sinusoïdale de 7.2 kHz (la composante principale du signal nerveux), et pour une alimentation de ±1.1 V, l'erreur dans le calcul du RBI par rapport à la valeur théorique calculée par Matlab est inférieure à

-45 dB pour la plupart des échantillons mesurés. Cependant, nous avons observé un décalage important (tension de sortie pour une entrée de 0 V) qui est dû à l'accumulation et à l'amplification de tout décalage présent dans les différents étages. Une réduction du décalage serait possible en augmentant le gain DC des amplificateurs opérationnels et en améliorant le dessin des masques.

FULLY INTEGRATED ELECTRONEUROGRAM ACQUISITION AND PROCESSING FRONT-END DEDICATED TO MONITOR THE BLADDER ACTIVITIES: DESIGN AND MEASUREMENTS

A. Harb, and M. Sawan

PolySTIM Neurotechnologies Laboratory
École Polytechnique de Montréal, Department of Electrical Engineering
P.O.Box 6079, Station Centre-Ville, Montreal (QC), Canada H3C 3A7

Submitted for publication in IEE Medical & Biological Engineering & Computing

ABSTRACT:

In this paper, we describe a fully integrated low-voltage CMOS front-end rectification and bin-integration (RBI) module which is based on switched-capacitor techniques and is dedicated to the acquisition and processing unit of nerve signals (Electroneurogram). RBI is the most common signal processing function applied to nerve signals. Since the frequency of these signals is relatively low, a switched-capacitor architecture has been used. The proposed device comprises a new always-valid output sample-and-hold block followed by a full wave rectifier. The bin-integration is performed with three resettable integration stages. The output of the third stage is fed to an analog-to-digital converter (ADC). The resulting RBI digital data is then transferred to a central processor where

decision to start, stop, or modify the strength of the stimulation is taken. A possible application of the proposed implantable device is, among others, monitoring of bladder volume. The integrated circuit has been realized in CMOS 0.35 μm technology. The design, simulation and measurement results of the proposed module are presented. At ±1.3 V supply, the device delivers an RBI error of less than -45 dB for a sinewave input of 7.2 kHz that is the main component of the nerve signal and a dynamic range of ±1.1 V while dissipating 578 μW and occupying a chip area of 5.83 mm^2.

Keywords: Electroneurogram, Implantable devices, Rectification and bin-integration, Biomedical signal processing, System on chip, CMOS Integrated Circuits.

I. INTRODUCTION

An adequate and complete functional electrical stimulation (FES) system needs a feedback signal in closed-loop topologies in order to improve the regulation of the muscle activation [1]. The nerves are natural sensors that present an attractive alternative to artificial sensors for FES purposes. They are innervating all organs and they may carry information related to the organ that is useful for feedback control [2]. Many techniques are proposed for analyzing the raw elecroneurogram (ENG) recorded from nerves. Recently, a new technique for analyzing the raw microneurographic recording utilizing the wavelet transform has been proposed [3] but Rectification and Bin-Integration (RBI) of the nerve raw signal is a technique widely used in signal processing related to rehabilitation applica-

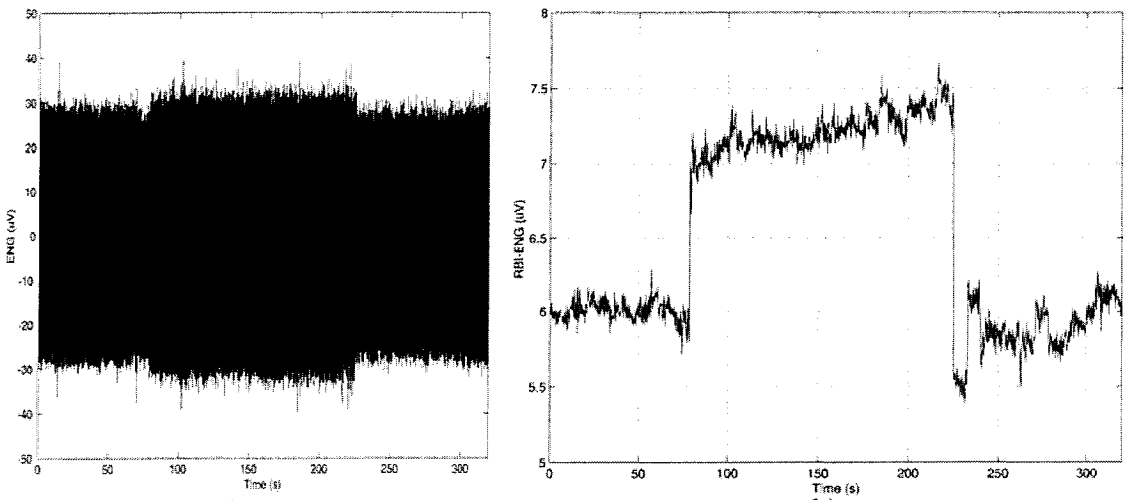
tions [4-8]. It is used to reduce the pickup of artifacts [5] and to create a signal (RBI-ENG) similar to the envelope of the neural or muscular electrical activity [7]. The RBI-ENG signal obtained is smooth and envelope-like that makes it easy to extract information about the innervated organ and to use it in rehabilitation applications as closed-loop together with the stimulator. All proposed circuits for RBI and ENG processing use discrete components which is not practical for implantation inside the body [4,9]. An integrated direct version would use prohibitively large resistor and capacitor values due to the large integration time (bin value= 200 ms).

In order to perform this function in an implantable integrated micro-stimulator [10,11], and to complete the loop for rehabilitation applications, a fully integrated CMOS low-voltage low-power RBI integrated circuit is presented. The nerve signal and RBI application are briefly described in section II. Then, the design of the CMOS RBI device (section III) and the measurement results (sections IV) are presented. The conclusion is the subject of section V.

II. THE NERVE SIGNAL AND RBI TECHNIQUE

Figure 3.1 illustrates a raw electroneurogram and the result of its rectification and 200 ms bin-integration using Matlab. The ENG was recorded in vivo for 320 s from a dog sacral nerve S2 when filling its bladder linearly vs. time. It shows that the RBI-ENG can be used to monitor the bladder volume. The first step at 78 s could be attributed to a

threshold volume at which the ENG makes a step and starts to increase linearly with volume while the second step at 225 s is attributed to urine leakage after which the nerve relaxes.



a) b)

Figure 3.1. Typical raw (a) and rectified and 200 ms bin-integrated (b) ENG from a dog sacral nerve (S2) as a function of its bladder volume. The bladder is filled linearly with time.

Every point of RBI-ENG consists of computing the average of the absolute value of a number of ENG samples spread over a given period of time called "bin". This average is given by Equation (1).

$$RBI = \frac{1}{G} \sum_{i=1}^{G} |S_i| \qquad (1)$$

where G is the total number of samples in the bin and S_i is the value of sample "i" in volts. If we denote the sampling frequency f_s, then $G = bin \times f_s$. The bin value depends on the application and ranges from 10 ms to 200 ms.

III. DESIGN OF THE RBI MODULE

The RBI module is composed of five main building blocks as presented in Figure 3.2: a sample and hold circuit (S/H), a full wave rectifier, and three bin-integration stages. In the implant, the RBI module is preceded with a signal conditioning module (low noise amplifier and instrumentation amplifier that is connected to a tripolar cuff electrode).

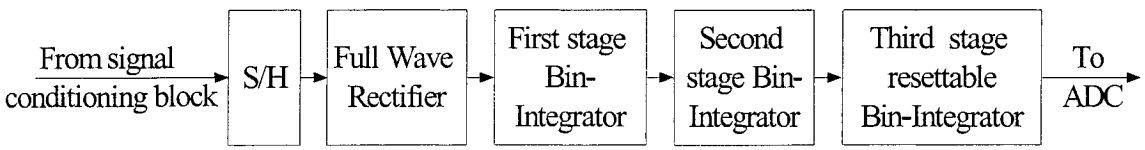


Figure 3.2. The block-diagram of the rectifier and bin-integrator module.

In order to evaluate the urinary bladder volume, a 40 kHz sampling frequency has been used (4 times the maximum ENG frequency) and the maximum bin length (200 ms) has been considered, consequently the number of samples to be averaged is $G = (40\ 10^3 \times 200\ 10^{-3}) = 8000$. One switched-capacitor based integration circuit with

1/8000 gain (Equation 1) is needed to realize this function which is not practical because the gain is determined by capacitors ratio $C_f/C_i = 8000$ (Figure 3.3). A solution consists of building the circuit based on multiple summation that results in three reasonable gain stages as illustrated in Equation (2).

$$RBI = \frac{1}{C}\sum_{i=1}^{P}\left\lfloor \frac{1}{B}\sum_{j=1}^{N}\left(\frac{1}{A}\sum_{k=1}^{M} |S_{i,j,k}| \right) \right\rfloor \tag{2}$$

where M, N, and P are the number of samples coming from the previous stage and integrated in stages 1, 2, and 3 respectively before it is reset to start averaging the next set of samples. 1/A, 1/B, and 1/C are the gains of stages 1, 2, and 3 respectively.

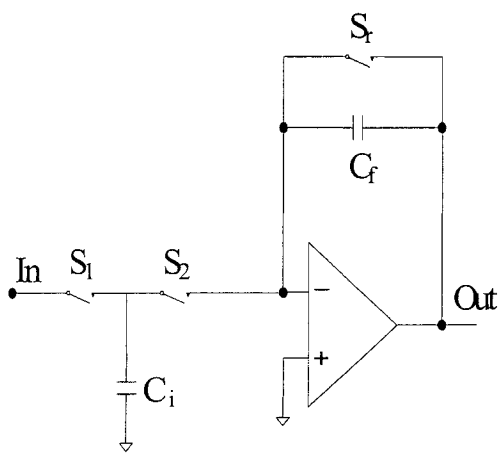


Figure 3.3. Simplified schematic of a bin-integration stage. S_r resets the output at a period equal to a bin. A gain of 1/8000 implies that $C_f/C_i = 8000$ which is difficult to implement.

The total number of averaged samples in Equation (2) is then MNP and must satisfy the value G which is equal to 8000. Constants A, B and C are chosen to use the maximum dynamic range of the operational amplifiers of the bin-integrators. The result is the average of G samples (unity gain) multiplied by G/(ABC).

Non overlapping clock phases and reset signals that control the three integration stages are depicted in Figure 3.4 (Figure 3.5 illustrates some measured phases). Clock phases (ϕ_{11}, ϕ_{12}, ϕ_{r1}), (ϕ_{21}, ϕ_{22}, ϕ_{r2}), et (ϕ_{31}, ϕ_{32}, ϕ_{r3}, ϕ_{1s}) control stages 1, 2 and 3 respectively (more details are presented in Section B). The operation of these clock phases is as follow:

1. The first stage computes the average of every M input samples during M cycles of phases (ϕ_{11}, ϕ_{12});
2. At the Mth ϕ_{11} cycle, the average is valid at the first stage output and it is sampled by ϕ_{22} of the second stage. At the same time the second stage output is reset to zero with ϕ_{r2} to start a new averaging cycle;
3. At the $M+1^{st}$ ϕ_{12} cycle, the first stage output is reset to zero with ϕ_{r1} while it is sampling the first input of the next M samples;
4. Similar to the first stage, and after it is reset to zero with ϕ_{r2}, the second stage computes the average of every N inputs from the first stage (equivalent to the average of MN input samples) during N cycles of (ϕ_{21}, and ϕ_{22});

5. The third stage output, however, is reset to a negative reference value $-2V_{ref}$ instead of zero with ϕ_{r3} and ϕ_{1s} as will be explained in a Section B before it computes the average of every P inputs from the second stage (equivalent to the average of MNP input samples) during P cycles of (ϕ_{31}, ϕ_{32});

6. At the Pth ϕ_{31} cycle, the average is valid at the third stage output and it is sampled by the ADC. At the same time the third stage is again reset to $-2V_{ref}$ to start a new averaging cycle.

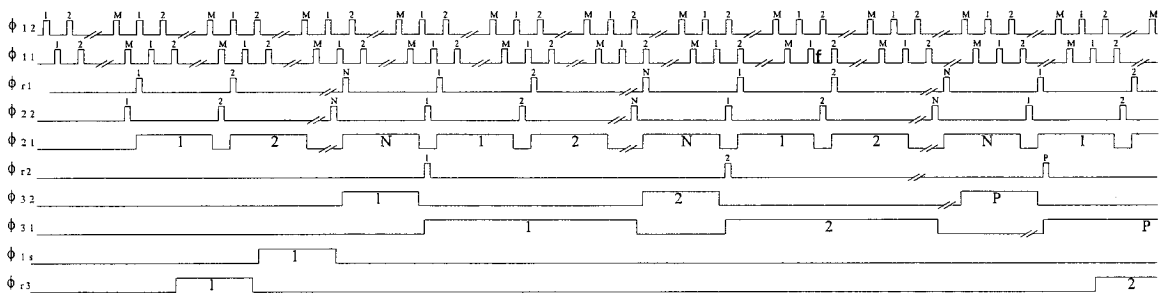


Figure 3.4. Simplified clock phases that control the three integration stages. (ϕ_{12}, ϕ_{11}, ϕ_{r1}), (ϕ_{22}, ϕ_{21}, ϕ_{r2}), and (ϕ_{32}, ϕ_{31}, ϕ_{r3}) are the non overlapping clocks and reset signal for integration stage 1, 2 and 3 respectively. ϕ_{1s} together with ϕ_{r3} are used to reset stage 3 at $-2V_{ref}$.

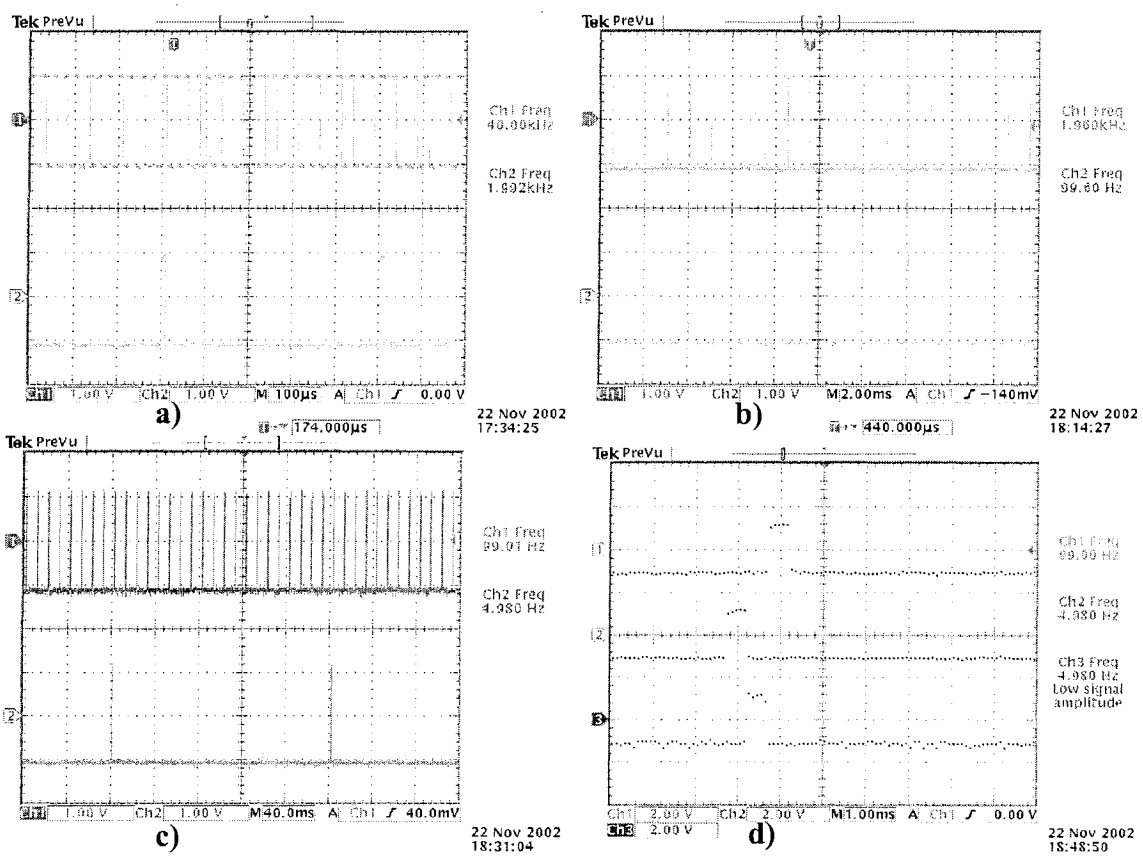


Figure 3.5. Examples of the measured clock phases: a) The reset phase ϕ_{r1} (lower trace) of stage one synchronized with ϕ_{12} (upper trace), b) The reset phase ϕ_{r2} (lower trace) of stage two synchronized with ϕ_{22} (upper trace), c) The reset phase ϕ_{r3} (lower trace) of stage three synchronized with ϕ_{32} (upper trace), and d) The reset phase ϕ_{r3} pulse (middle trace) of stage three followed by ϕ_{1s} (lower trace) then ϕ_{32} (upper trace).

A. The full wave rectifier and sample and hold circuit

Full wave rectification is the next step after signal amplification with the signal conditioning block. As the processed nerve signal bandwidth is less than 10 kHz [1,6], the

switched capacitor technique that is the most popular approach for realizing analog signal processing [12], is suitable for the RBI module to avoid the major practical obstacle of using very large resistor and capacitor values as in a discrete realization. The operational amplifiers used will only consume a small amount of power because of the narrow band-width required.

The full wave rectifier (FWR) used is a fully differential version of the single ended FWR described in [13]. In addition, it contains two extra capacitors (C_s) to prevent the circuit from generating spikes in the non overlapping period of clock phases [14]. Since the input in this architecture could be sampled at either clock phases, an always valid output sample and hold (S/H) block precedes the FWR [15].

A new always valid output fully differential S/H circuit is proposed in Figure 3.6. This topology allows to reduce distortion and the offset error. ϕ_{1d} and ϕ_{2d} are derived from ϕ_1 and ϕ_2 respectively with a slight delay. This circuit works as follows: When ϕ_2 and ϕ_{2d} go high, capacitors C_i are charged to the input signal value, which is sampled when ϕ_2 goes low. At the same time, capacitors C_o load the input offset of the first opamp. Next, when ϕ_1 and ϕ_{1d} go high, the sampling capacitors C_i are connected to the output as a feed-back capacitor and the output voltage is updated to give a new output sample. During this phase, the hold capacitors C_h load the sample value and keeps it in opamp2 feedback when ϕ_1 and ϕ_{1d} go low. Finally, double switch S_2 are matched in order to inject same charge into C_i when they are turned off. Moreover, since S_2 are opened before S_1, the charge

injection of S_2 into C_i is independent from the input signal. Same reasoning applies to switches (S_4,S_7) and (S_5,S_6).

During the sampling phase, each opamp is separately connected in closed loop and during the update phase, both are connected together in one loop. Figure 3.7 shows the transfer functions of opamps that ensure the stability in both situations:

- ϕ_2= high: sampling with opamp1 and handling with opamp2. Both opamps are in closed loop configuration and must be stable (Figures 3.7b and c);
- ϕ_1= high: Updating the output with the new value sampled in the previous phase. Both opamps are in one closed loop (Figure 3.7a).

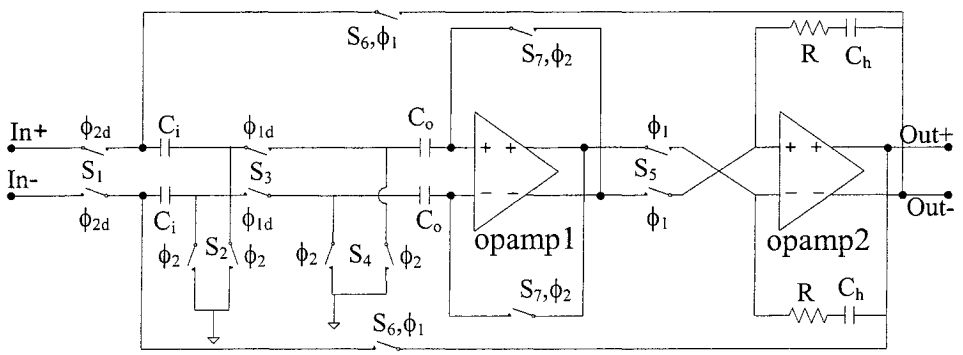


Figure 3.6. Fully differential sample-and-hold circuit with always valid output. C_i= C_o= 1 pF, C_h= 1.5 pF and R= 20 kΩ.

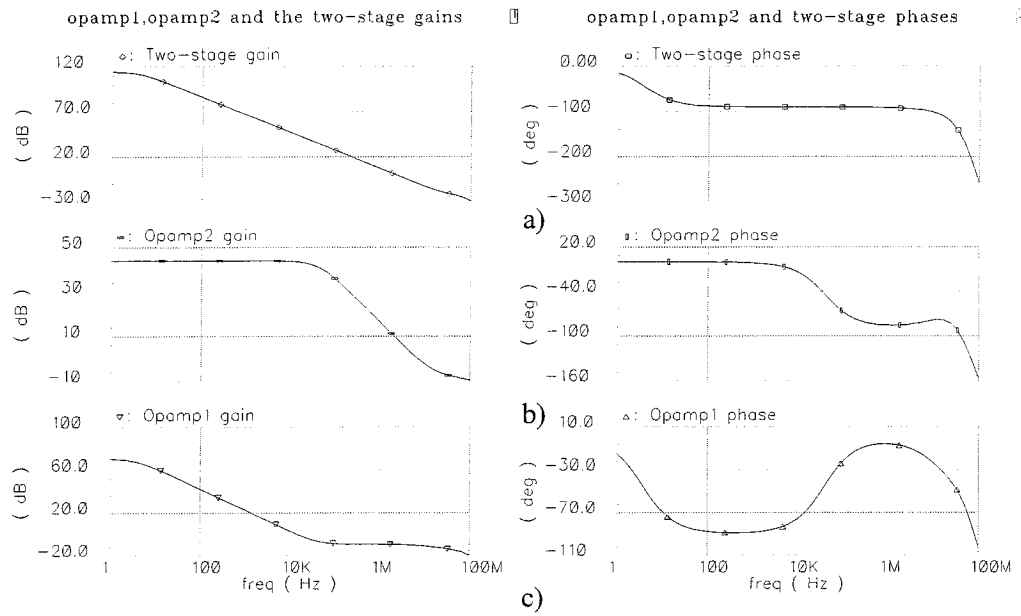


Figure 3.7. Open loop gain (left) and phase (right) of the two-stage (a), opamp2 (b) and opamp1 (c) of the sample and hold block.

In comparison with the other technique to reduce offset, presented in Figure 3.8, the proposed topology is almost free from spikes (Figure 3.9 a and b) that cause deterioration in the signal to noise ratio and distort the output waveform [14]. The DFT of the S/Hs outputs shows that the proposed circuit of Figure 3.6 has a better performance than its counterpart of Figure 3.8.

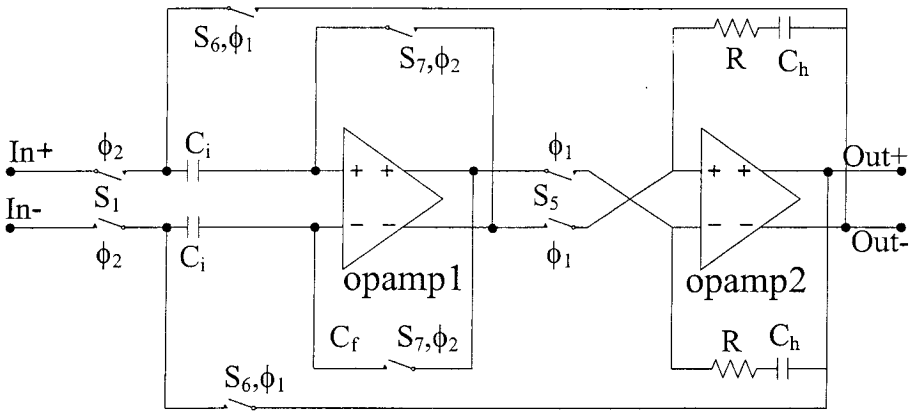


Figure 3.8. The proposed fully differential sample-and-hold circuit with the usual technique for offset cancellation.

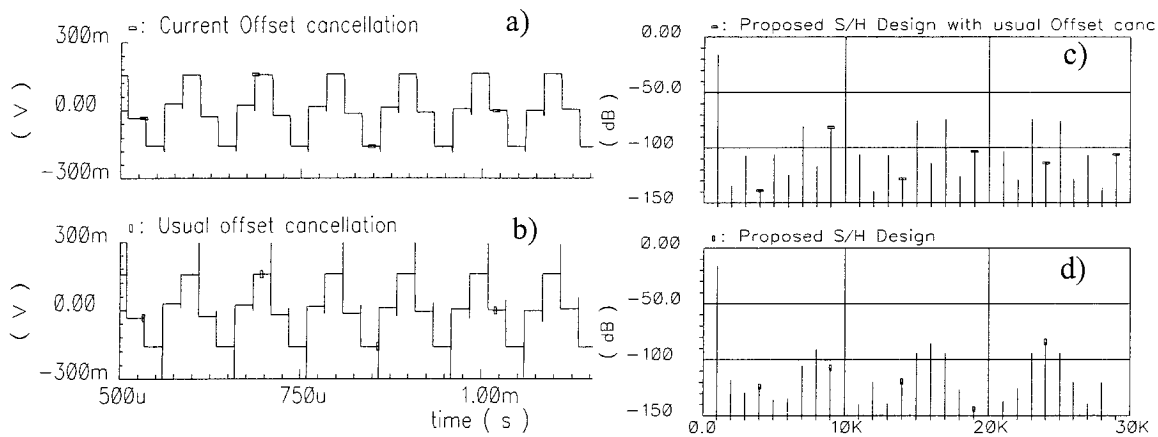


Figure 3.9. Outputs of S/H: a) circuit of Figure 3.6 b) circuit of Figure 3.8. The proposed design is almost free of spikes. c) and d) are the DFT of a) and b) respectively.

B. The integrators

The first two stages of bin-integration are SC integrators with gain and reset-to-zero capability (Figure 3.10). The third stage (Figure 3.11) is similar to the first two stages with the following modifications. Although the first two integrators reset their outputs to zero volt, the third stage resets its output to $-2V_{ref}$ before starting the integration process using $\pm V_{ref}$ reference inputs. This is to make use of the whole (positive and negative) opamp output swing since the outputs of the FWR and the first two integrators are positive. The output can then sweep from $-2V_{ref}$ to $+2V_{ref}$ allowing a larger ADC full scale value and relaxing ADC requested performances.

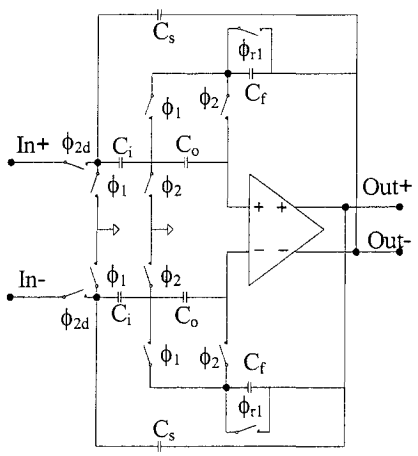


Figure 3.10. Fully differential resettable bin-integrator used in stages 1 and 2. Capacitors values in stage 1 (stage 2): C_i= 1 pF (4 pF), C_0= 1 pF (1 pF), C_f= 4 pF (32 pF).

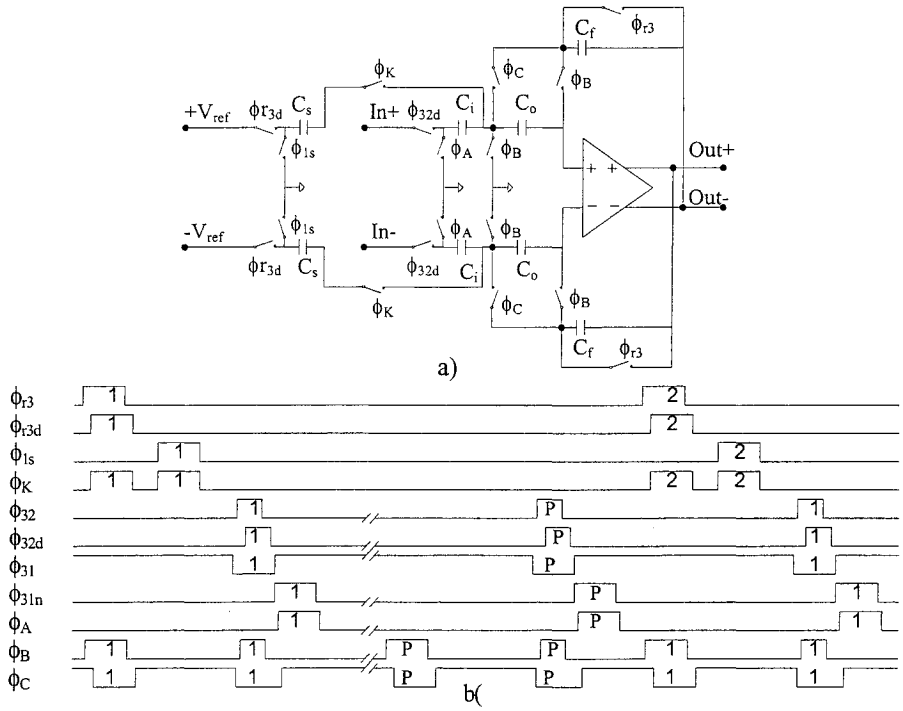


Figure 3.11. Third stage fully differential bin-integrator with capability to be set at a constant voltage -2 V_{ref} (a) and its corresponding clock phases (b). The clock phases used in this circuit derive from ϕ_{r3}, ϕ_{1s}, ϕ_{32}, and ϕ_{31}. Capacitors values: C_s= 150 pF, C_i= 30 pF, C_1= 1 pF, C_f= 300 pF.

This integrator works as follows (operation of the first two integration stages could be deduced): during the first pulse of ϕ_{r3} the output is reset to zero by discharging C_f from its previous value, the capacitors C_o store the offset voltage (phase ϕ_B is high) [16], and the capacitors C_s are charged to $\pm V_{ref}$ respectively (phases ϕ_K and ϕ_B are high). Phase ϕ_B goes low before ϕ_{r3d} and phase ϕ_K in order to match the charge injected into capacitors C_s independently from the input signal. Then during ϕ_{1s} the charges stored in C_s are transferred to C_f (C_f=C_s), hence resetting the differential output voltage of the integrator at

$-2V_{ref}$. The output can now swing from $-2V_{ref}$ to $+2V_{ref}$. Then the integration process occurs once for every N samples integrated in stage 2 that is equivalent to MN samples integrated in stage 1 using nonoverlapping clock phases ϕ_{32} and ϕ_{31} (from Figure 3.4). When ϕ_{32} is high (ϕ_{32d} and phase ϕ_B are high too), capacitors C_i are charged to the input voltage from the previous stage. Here also, phase ϕ_B goes low before ϕ_{32d} to avoid input dependent charge injection. When ϕ_{31} is high, phases ϕ_A and ϕ_C are high and the charge in C_i flows to C_f hence increasing the output voltage by the input sample value multiplied by C_i/C_f. Then phase ϕ_A goes low while phase ϕ_C remains high to keep the loop closed before the arrival of the next sample. After integration of P samples, the output is reset and the process starts again. Due to the very low frequency at which this bin-integrator works (5 Hz), the capacitors values are high (hundreds of pF) in order to minimize the charge leak during the hold phase.

IV. SIMULATION AND MEASUREMENT RESULTS

The above described RBI design was implemented with the CMOS 0.35 μm technology in Cadence Analog Artist environment and all simulations were performed with SpectreS. A microphotograph of the chip is shown in Figure 3.12. The core die area is $2650\times2200\ \mu m^2$.

The simulation result illustrated in Figure 3.13 is the output of the last bin-integration stage for M= N= P= 20, and A= 4, B= 8, and C= 10, V_{ref}= 550 mV and DC

input= 80 mV. Only the last step output at 5 Hz that represents the average of the preceding 8000 samples (40 kHz/8000= 5Hz) with gain of G/(ABC) is to be converted with the ADC. For a 60 mV_{pp}, 10 kHz, input sine wave and a 5 mV offset voltages that is intentionally added to all simulated opamps used in the circuit, the error between simulated and calculated (ideal) values is less than 0.15% (-56.5 dB), which allows an 8 bit analog-to-digital conversion.

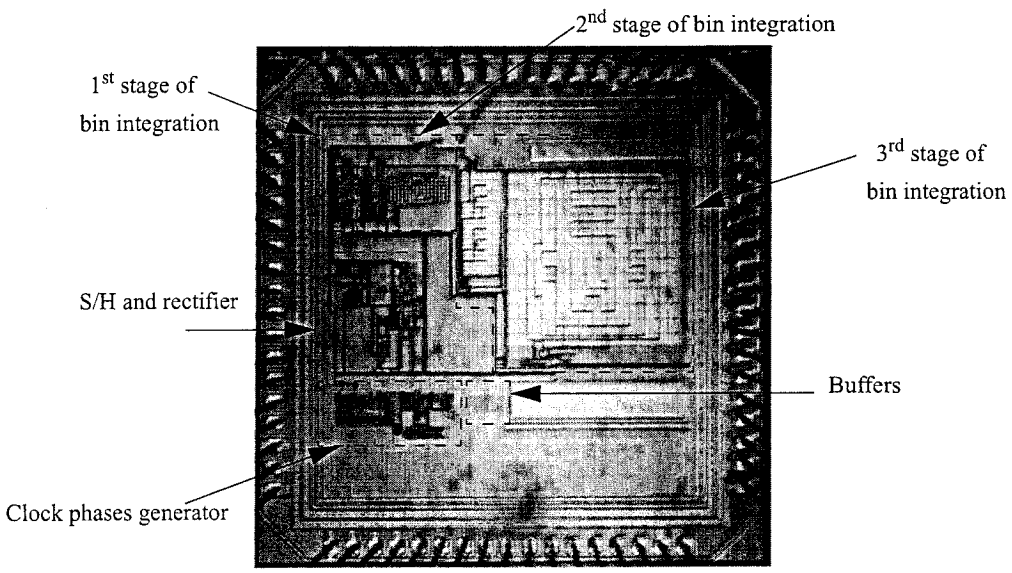


Figure 3.12. Microphotograph of the RBI module implemented with CMOS 0.35 μm. Die area is 2650× 2200 μm^2.

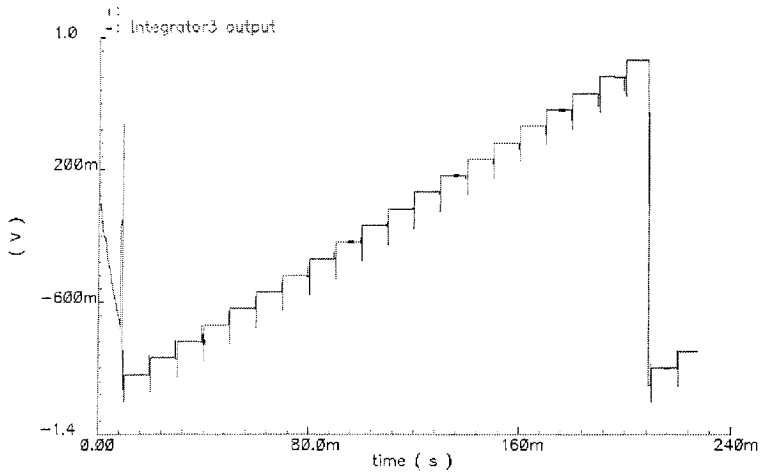


Figure 3.13. Output of the third stage of the bin-integrator. Simulation performed with M= N= P= 20, A=4, B= 8, C= 10, and DC input= 80 mV. The random output at the begining is due to the fact that the third stage doesn't receive any clock or input signal before 10 ms.

Figure 3.14 shows a typical measured output of the RBI circuit for an input sine-wave of 7.2 kHz and amplitude varying from 0 (to determine the total offset) to 297 mVpp where performance starts to degrade. The chosen frequency is the main component of the nerve signal based on our in vivo measurement. At every 200 ms cycle (bin), the output is reset to -1.1 V and starts to integrate. The offset (input= 0, lowest trace in Figure 3.14) has a relatively large value because of the strong amplification of any residual offset due to the imperfection of offset cancellation through the module. For example, the residual offset at the output of the S/H and rectification block off_s will be bin-integrated in the three stages resulting in an offset V_{osr} at the output of the third stage:

$$V_{osr} = \left(\frac{G}{ABC}\right) V_{os} = 25 V_{os} \quad (3)$$

Since this offset is not negligible (140 mV from the lowest trace in Figure 3.14), it should be considered when the input is different from 0 to reduce the error. A controller (located in the central processor) should keep the offset value in memory and subtract it from every value sampled at 5 Hz. This is a well-known calibration method. A continuous calibration guarantees the memory has the updated value of the offset that can changes due to the temperature or other factor.

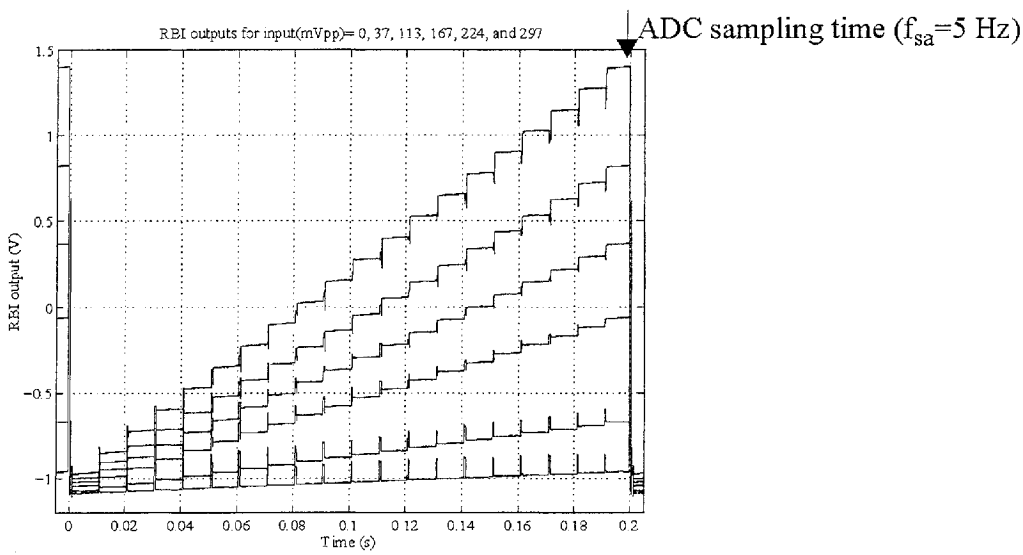


Figure 3.14. RBI result as measured at the output of the third bin-integration stage. From the lowest trace to the highest one, the sinewave input amplitude varies from 0 V_{pp} (offset) to 297 mV_{pp} respectively. Each increment represents the average of the subsequent MN input samples. The last step (the maximum value) that is the average of MNP samples (P=20) is to be sampled and converted by the ADC.

The large offset and the error in RBI computing can be reduced by enhancing the DC gain of the opamps using the boosting technique and by reducing capacitance mismatch due to interconnect. In our case, the capacitors ratios (C_f/C_i) are relatively high (up to 10) which increases the interconnect parasitic capacitance (Figure 3.15) in matched capacitances [18]. Also, since the used technology has 3 metal layers only, the thickness of oxide between the interconnection and the polysilicon limits the minimum capacitance value due to interconnects. These effects can be mitigated by adding dummy interconnects to improve capacitance matching or by using a technology with a higher number of metal layers.

With the offset value subtracting operation, the resulting error in RBI computing is drawn in Figure 3.16. This error is high at low and high input amplitudes. This is due to the value of charge injection and mismatch error in the case of low amplitudes, and the limited range of opamps output in the case of high amplitudes. Given the very low amplitude of the raw electroneurogram, it should be amplified before being bin-integrated [17] in such a way as to fit into the input range of the rectifier and bin-integrator.

In three of 10 measured die samples, the error for low input amplitude reaches –42 dB, otherwise the error is less than -45 dB. The power consumption measured from these samples range from 514 to 578 μW. Table 3.1 summarizes the main simulated and measured performances of the proposed fully integrated rectifier and bin-integrator.

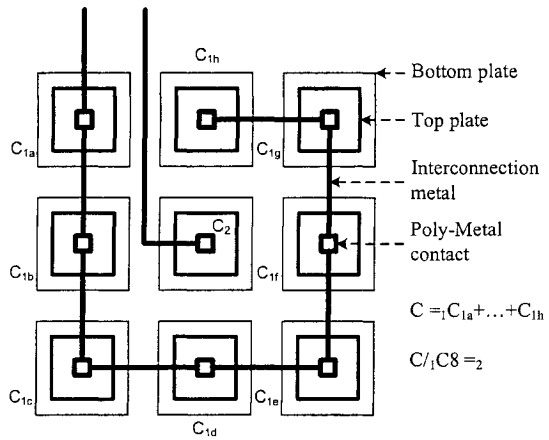


Figure 3.15. The parasitic capacitance between the interconnect metal and the bottom plate increases with the number of units of C_1.

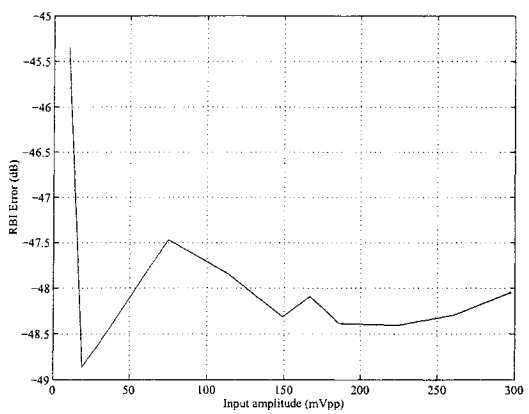


Figure 3.16. RBI error vs. input: The error is computed as the difference between the measured RBI minus the offset and the ideal calculated value using Matlab. An example of capacitance matching with ratio= 8.

Table 3.1. RBI circuit performance: simulated and measured results. The integrated circuit is designed and fabricated in 3.3 V CMOS 0.35 μm technology.

Parameters	Simulated value	Measured value (10 samples)
Power supply	±1.1 V	±1.3 V
Total Power dissipation	572 μW	514-578 μW
Differential output swing	±1.1 V	-1.1 - 1.1 V
Output samples frequency	5 Hz	5 Hz
RBI Error @ 7.2 kHz input	-56 dB	< -45 dB
RBI Error @ 7.2 kHz input for low input amplitude	NA	< -42 dB
Total Offset (RBI for input=0)	Negligible	22-220 mV

V. CONCLUSION

A low-voltage fully integrated rectification and bin-integration module for nerve signal acquisition and processing dedicated to biomedical implantable urinary bladder application has been proposed, fabricated and tested. This circuit works at low-voltage (±1.3 V) compared to the technology typical supply voltage of ±1.65 V. It consumes less than 578 μW and its RBI calculation error is typically less than -45 dB (0.56%). The chip was implemented in CMOS 0.35 μm technology and its area is 2650×2200 μm^2. The power consumption is reasonable and quite small comparing to the amount of power

(50 mW) that can be transferred through a 3 cm diameter coil in implantable and inductively powered devices.

The proposed RBI device can be used in other rehabilitation applications that require monitoring of the peripheral nerve signals. If the application necessitates a shorter bin length than 200 ms, the RTL code of the clock phases generator should be slightly modified.

Our next step is to integrate and implement in CMOS 0.18 μm technology the Analog Front End of the bladder volume monitoring system that contains: the low noise amplifier, the instrumentation amplifier, the RBI module, and the analog-to-digital converter [17].

ACKNOWLEDGEMENTS

The authors would like to acknowledge the financial support from the Natural Sciences and Engineering Research Council of Canada and the chip design tools and fabrication service from the Canadian Microelectronics Corporation (CMC).

REFERENCES

[1] R. B. Stein, H. P. Pekham, and D. Popovic, "Neural prosthesis: replacing motor function after disease or disability", Oxford University Press, 345p., 1992.

[2] R. R. Riso, F. K. Mosallaie, W. Jensen, and T. Sinkjær, "Nerve cuff recordings of muscle afferent activity from tibial and peroneal nerves in rabbit during passive ankle motion", *IEEE Trans. Rehab. Eng.*, Vol. 8, No. 2, pp. 244-258, June 2000.

[3] A. Diedrich, W. Charoensuk, R. J. Brychta, A. C. Ertl, and R. Shiavi, "Analysis of raw microneurographic recordings based on wavelet de-noising technique and classification algorithm: wavelet analysis in microneurography", *IEEE trans. Biomed. Eng.*, Vol. 50, No. 1, pp. 41-50, January 2003.

[4] M. K. Haugland, and T. Sinkjær, "Cutaneous whole nerve recording used for correction of footdrop in hemiplegic Man", *IEEE Trans. Rehab. Eng.*, Vol. 3, No. 4, pp. 307-317, December 1995.

[5] M. K. Haugland, and J. Andy Hoffer, "Slip information provided by nerve cuff signals: application in closed-loop control of functional electrical stimulation", *IEEE Trans. Rehab. Eng.*, Vol. 2, No. 1, pp. 29-36, March 1994.

[6] S. Jezernik, J. Wen, N. J. M. Rijkhoff, M. Haugland, J. C. Djurhuus, and T. Sinkjaer, "Whole nerve cuff recordings from nerves signal innervating the urinary bladder", *Proc. IFESS Conference*, pp. 45-46, 1997.

[7] D. B. Popovic, R. B. Stein, K. L. Jovanovic, R. Dai, A. Kostovand, and W. W. Armstrong, "Sensory nerve recording for closed-loop control to restore motor function", *IEEE Trans. Biomed. Eng.*, Vol. 40, No. 10, pp. 1024-1031, October 1993.

[8] K. D. Strange, and J. A. Hoffer, "Restoration of use of paralysed limb muscles using sensory nerve signals for state control of FES-assisted walking", *IEEE trans. Rehab. Eng.*, Vol. 7, No. 3, pp. 289-300, September 1999.

[9] N. N. Donaldson, L. Zhou, T. A. Perkins, M. Munih, M. Haugland, and T. Sinkjær, "Implantable telemeter for long-term electroneurograhic recordings in animals and humans", Med. & Biol. Eng. & Comput., Vol. 41, pp.654-664, 2003.

[10] M. Sawan, K. Arabi and B. Provost, "Implantable volume monitor and miniaturized stimulator dedicated to bladder control", *Artificial Organs Journal*, Vol. 21, No. 3, pp. 219-222, 1997.

[11] C. Donfack, M. Sawan, and Y. Savaria, "Implantable measurement technique dedicated to the monitoring of electrode-nerve contact in bladder stimulators", , Med. & Biol. Eng. & Comput., Vol. 38, pp.465-468, 2000.

[12] D. Johns, and K. Martin, "Analog integrated circuit design", John Wiley & sons, New York, 706p., 1997.

[13] R. Unbehauen, and A. Cichocki, "MOS switched-capacitor and continuous-time integrated circuits and systems", Spring-Verlag, Berlin, 631p., 1989.

[14] H. Matsumoto, and K. Watanabe, "Spike-free switched capacitor circuits", *Electronics Letters*, Vol. 23, No. 8, pp. 428-429, April 1987.

[15] U. Gatti, F. Maloberti, and G. Palmisano, "An accurate CMOS sample-and-hold circuit", *IEEE J. Solid-State Circ.* Vol. 27, No. 1, pp. 120-122, January 1992.

[16] K. Nagaraj, J. Vlach, T. R. Viswanathan, and K. Singhal, "Switched-capacitor integrator with reduced sensitivity to amplifier gain", *Electronics Letters*, Vol. 24., pp. 1104-1106, Oct. 1986.

[17] A. Harb, Y. Hu, M. Sawan, "Low-power CMOS interface for recording and processing very low amplitude signals", *Analog Integrated Circuits and Signal Processing*, Vol. 39, pp.39-54, April 2004.

[18] M. J. McNutt, S. LeMarquis, and J. L. Dunkley, "Systematic capacitance matching errors and corrective layout procedure", *IEEE J. Solid-State Circ.* Vol. 29., pp. 611-616, May 1994.

CHAPITRE 4

COMPLÉMENTS DE RÉSULTATS

Nous présentons dans ce chapitre un complément de résultats qui n'ont pas été fournis dans les articles publiés. Ces résultats concernent les simulations du bloc d'échantillonneur-bloqueur avec une sortie toujours valide, et des mesures des différentes phases d'horloge contrôlant les circuits des blocs d'échantillonnage-blocage, de redressement et d'intégration par période. Aussi une analyse du contenu fréquentiel de l'ENG sera présentée pour démontrer le rôle de l'amplitude dans la détermination de l'état de la vessie.

4.1. SIMULATION DE L'ÉCHANTILLONNEUR-BLOQUEUR

Dans le but de vérifier la précision du bloc échantillonneur-bloqueur, nous avons simulé ce bloc en lui appliquant une entrée sinusoïdale d'une fréquence de 9.937 kHz et d'une amplitude de 160 mV_{pp}. La figure 4.1a montre la sortie temporelle et l'erreur entre la phase d'échantillonnage et la phase de blocage. Nous rappelons que ce bloc échantillonne l'entrée pendant que sa sortie maintient la valeur de l'échantillon précédent. Ensuite, la sortie est mise à jour avec la valeur du nouvel échantillon (phase de mise à jour). Cette valeur persiste à la sortie pendant la phase d'échantillonnage de la valeur suivante. Idéalement, la sortie mise à jour ne devrait pas changer pendant la phase d'échantillonnage suivante. Dans la simulation, le changement de la valeur de la sortie est très

faible. Elle vaut 0.009% pour les amplitudes élevées (figure 4.1b) d'entrée (-83 dB) et 0.069% (-63 dB) pour les faibles amplitudes (figure 4.1c).

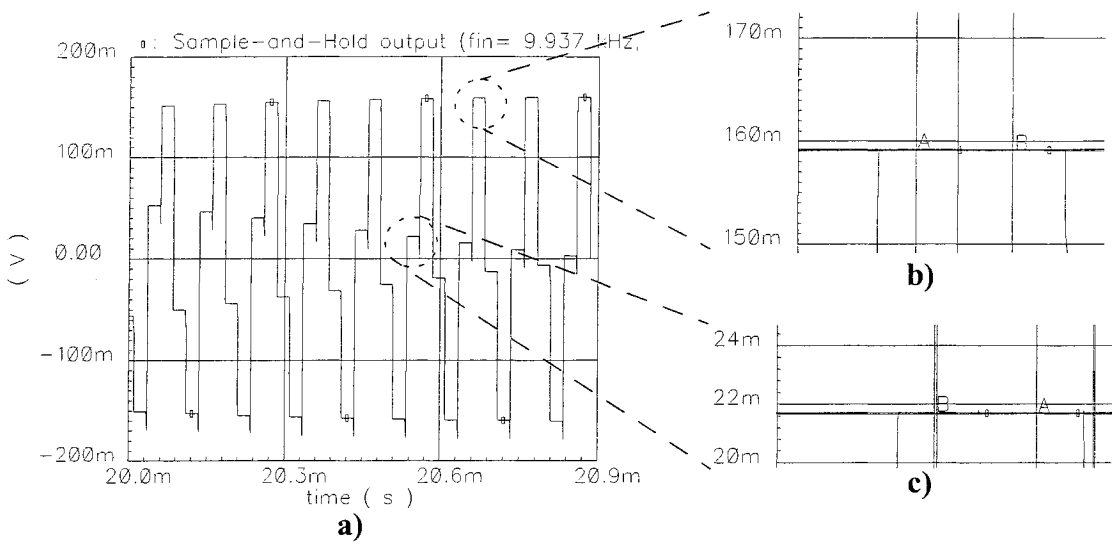


Figure 4.1. (a) la sortie temporelle de l'échantillonneur-bloqueur pour une entrée sinusoïdale d'une fréquence de 9.937 kHz et d'amplitude de 180 mV_{pp}. (b) et (c): Un zoom autour d'une valeur élevée (b) et faible (c) de l'entrée. Les marqueurs A et B sont placés à l'endroit des deux phases de fonctionnement du bloc: mise à jour de la sortie et échantillonnage de l'entrée. L'erreur pour les faibles amplitudes d'entrée est de 0.069%; celle pour les amplitudes élevées est de 0.009%.

4.2. LES PHASES D'HORLOGE

Les différentes phases d'horloge contrôlant les circuits du module RBI sont présentées dans cette section. Les mesures ont été faites avec une tension d'alimentation de ±1.1 V. La figure 4.2 illustre les deux phases non chevauchées du premier étage à la fréquence de 40 kHz. Le signal d'initialisation de cet étage ϕ_{r1} est actif tous les 20 coups

d'horloge de ϕ_{12} quand le circuit est en train de lire l'échantillon (ϕ_{12} actif dans la figure 4.3). Le même commentaire s'applique au deuxième étage et aux signaux ϕ_{21}, ϕ_{22} et ϕ_{r2} avec une fréquence de 2 kHz (figures 4.4 et 4.5). Le troisième étage a une phase de plus ϕ_{1s} qui sert à transmettre la tension d'initialisation à la sortie. Toutes les phases de cet étage sont illustrées aux figures 4.6, 4.7 et 4.8. Le fonctionnement de toutes les horloges est détaillé dans le chapitre 3.

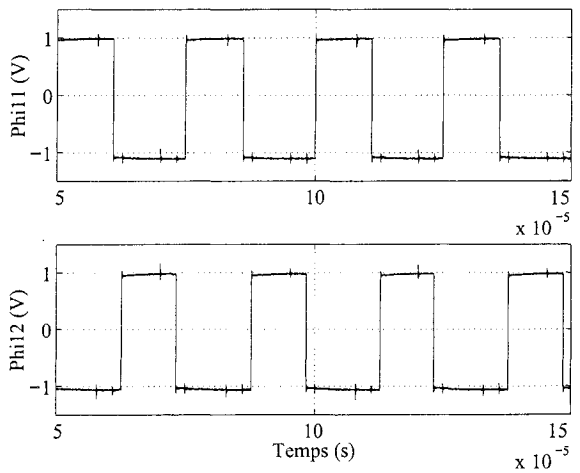


Figure 4.2. Les deux phases non chevauchées du premier étage d'intégration par période ϕ_{11}, ϕ_{12}. La fréquence est de 40 kHz.

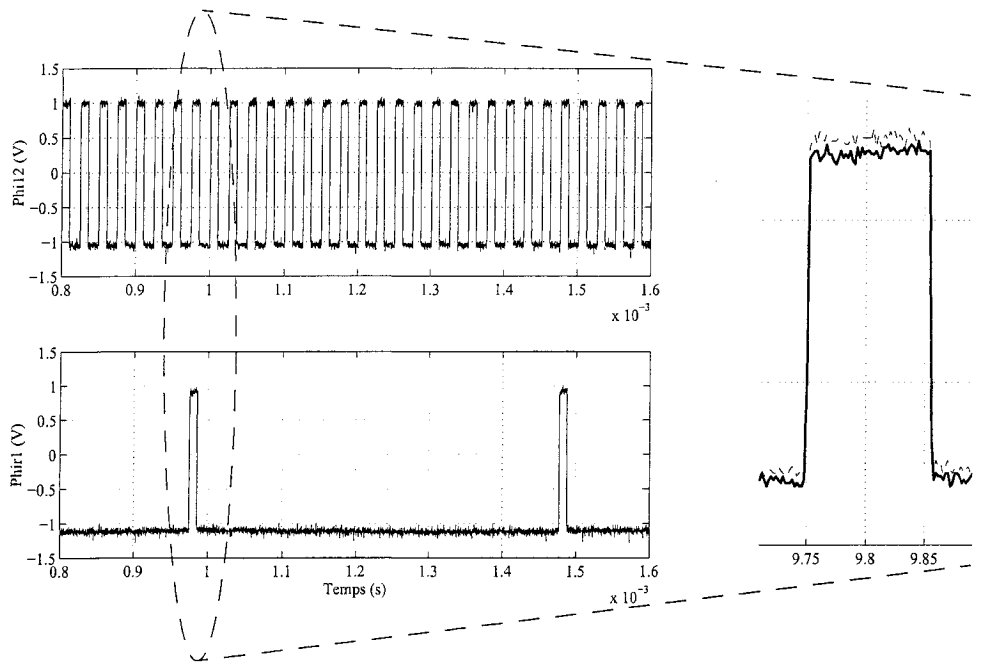


Figure 4.3. L'horloge d'initialisation (ϕ_{r1}) du premier étage d'intégration par période. Elle est synchronisée avec ϕ_{12} (le zoom à droite où la ligne pointillée= ϕ_{12} et la ligne continue= ϕ_{r1}) pour assurer que l'initialisation de la sortie se fait après chaque 20 échantillons d'entrée (gauche) pendant le chargement des capacités d'entrée. La fréquence de ϕ_{r1} est de 40 kHz/20= 2 kHz.

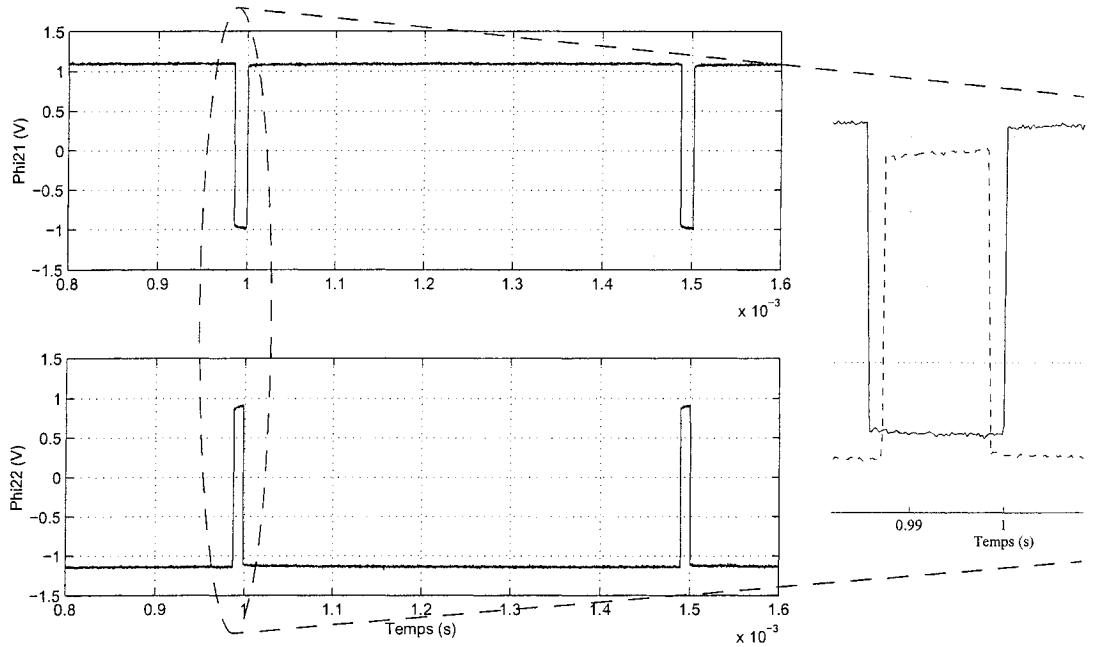


Figure 4.4. Les deux phases non chevauchées du deuxième étage d'intégration par période ϕ_{21}, ϕ_{22}. La fréquence est de 2 kHz (gauche). Le zoom à droite montre le non-chevauchement des deux phases (ligne pointillée= ϕ_{22} et ligne continue= ϕ_{21}). La phase ϕ_{22} est la phase pendant laquelle le circuit échantillonne l'entrée et la phase ϕ_{21} est la phase pendant laquelle le circuit transmet les charges échantillonnées aux capacités de sortie (capacités de rétroaction).

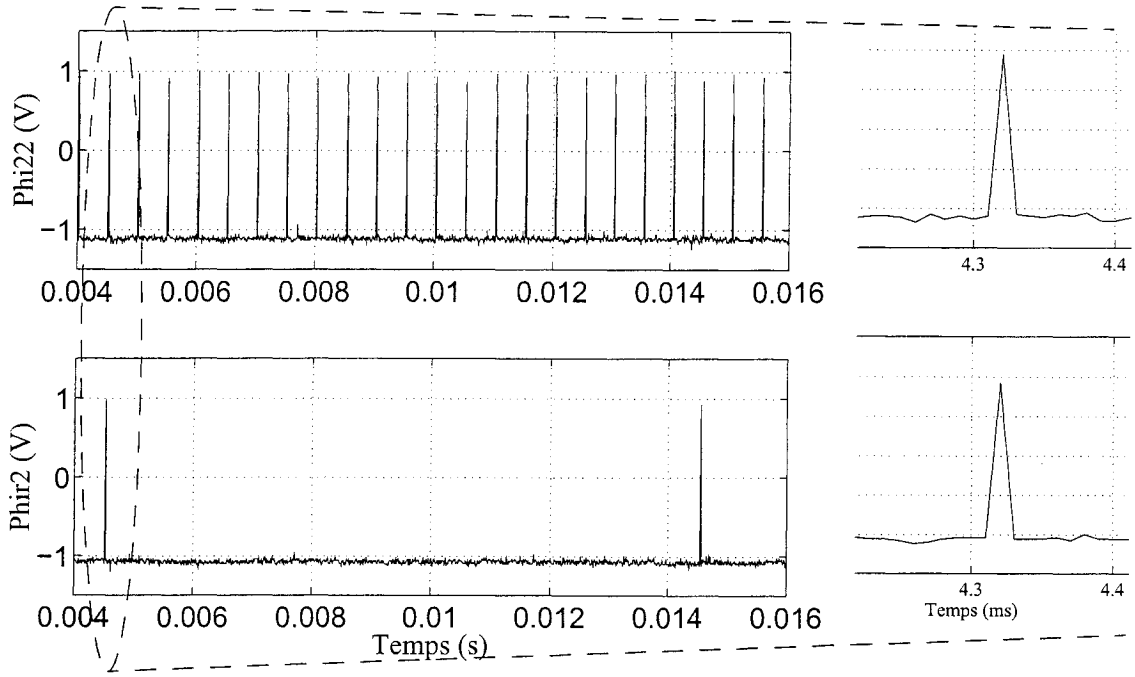


Figure 4.5. L'horloge d'initialisation (ϕ_{r2}) du deuxième étage d'intégration par période. Elle est synchronisée avec ϕ_{22} (le zoom à droite où graphe du haut= ϕ_{22} et graphe du bas= ϕ_{r2}) pour assurer que l'initialisation se fait après chaque 20 échantillons d'entrée de l'étage (gauche) pendant le chargement des capacités d'entrée. La fréquence de ϕ_{r2} est de 100 Hz.

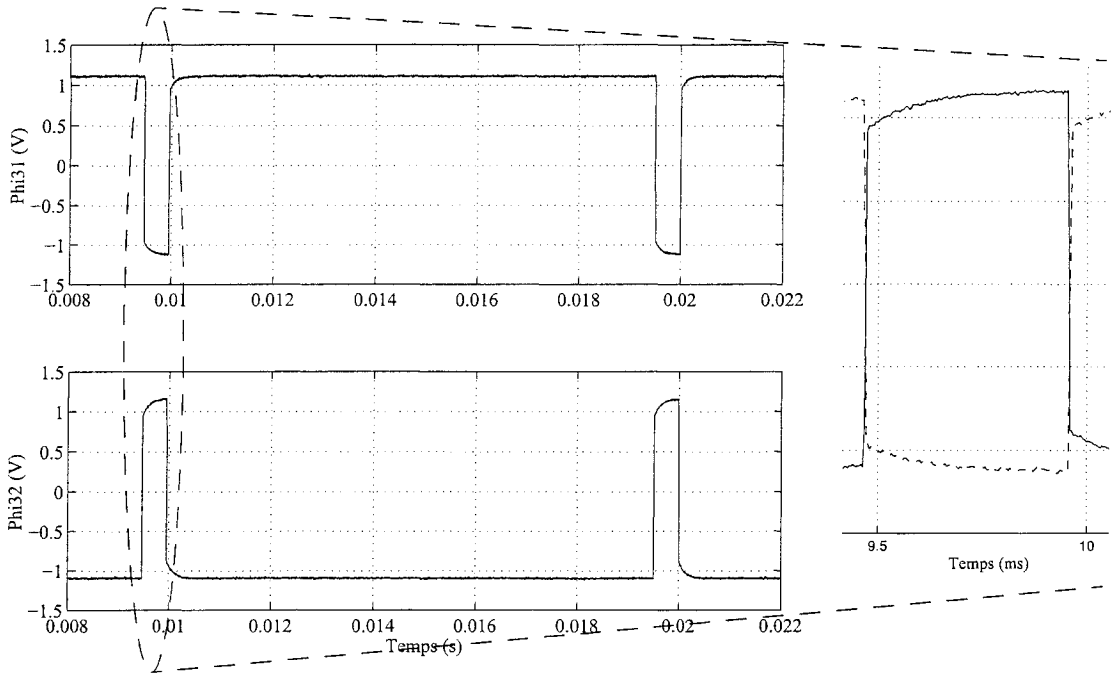


Figure 4.6. Les deux phases non chevauchées du troisième étage d'intégration par période ϕ_{31}, ϕ_{32}. La fréquence est de 100 Hz (gauche). Le zoom à droite montre le non-chevauchement des deux phases (ligne pointillée= ϕ_{32} et ligne continue= ϕ_{31}). La phase ϕ_{32} est la phase pendant laquelle le circuit échantillonne l'entrée et la phase ϕ_{31} est la phase pendant laquelle le circuit transmet les charges échantillonnées aux capacités de sortie (capacités de rétroaction).

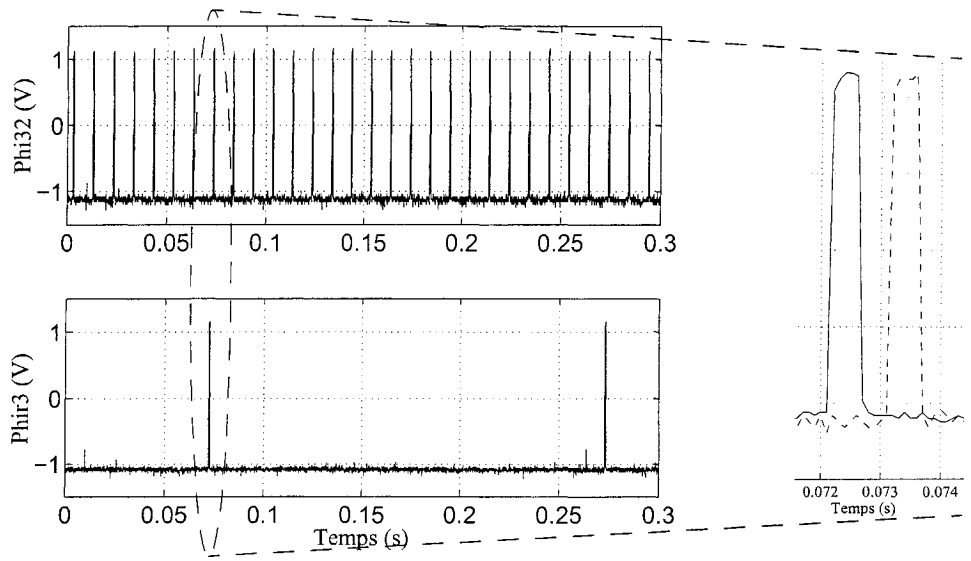


Figure 4.7. L'horloge d'initialisation (ϕ_{r3}) du troisième étage d'intégration par période. Elle est synchronisée avec ϕ_{32} (le zoom à droite où ligne continue= ϕ_{r3} et ligne pointillée= ϕ_{32}) pour assurer que l'initialisation se fait après chaque 20 échantillons d'entrée de l'étage (gauche) pendant le chargement des capacités d'entrée. Les détails de fonctionnement se trouvent dans la figure suivante. La fréquence de ϕ_{r3} est de 5 Hz.

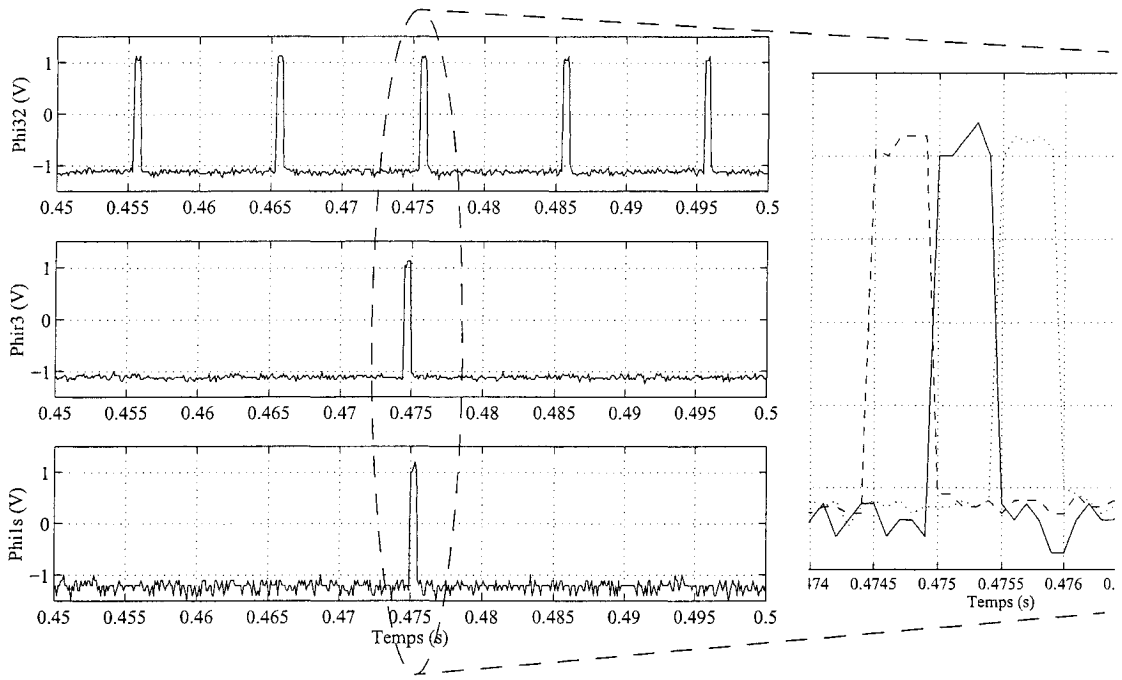


Figure 4.8. Les horloges d'initialisation (ϕ_{r3} et ϕ_{1s}) du troisième étage d'intégration par période. Pendant ϕ_{r3} les capacités d'entrée d'initialisation (C_s dans la figure 3.11) sont chargées à $\pm V_{ref}$ et en même temps les capacités de sortie sont déchargées. Ensuite et pendant ϕ_{1s}, ces dernières sont chargées à $\pm V_{ref}$. L'intégration par période commence avec la première pulse de ϕ_{32} suivant ϕ_{1s}. La séquence de ces trois impulsions est mise en évidence dans le zoom à droite.

4.3. CONTENU FRÉQUENTIEL DE L'ENG

Dans les chapitres précédents nous avons constaté la variation de l'amplitude de l'ENG. Dans le but de vérifier l'effet du volume vésical sur la fréquence de l'ENG durant le remplissage de la vessie qui a duré 320 s (figure 2.3), nous avons calculé le contenu fréquentiel du signal nerveux (ENG) à plusieurs moments du remplissage. Le résultat qui est

illustré à la figure 4.9 montre que les composantes fréquentielles restent inchangées quand le volume de la vessie augmente et la composante principale se situe à 7.2 kHz. Nous constatons que la fréquence du signal nerveux ne peut servir comme indicateur du volume vésical.

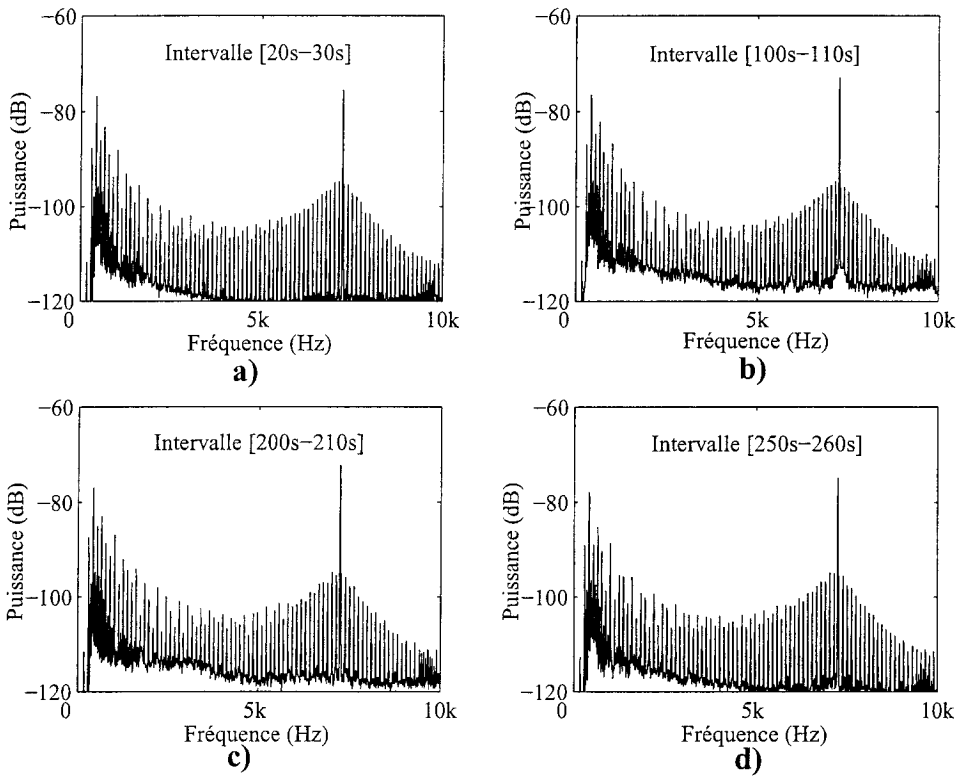


Figure 4.9. Contenu fréquentiel de l'ENG à différents moments ([20s- 30s]: (a), [100s- 110s]: (b), [200s- 210s]: (c), et [250s- 260s]: (d)) pendant le remplissage de la vessie qui a duré 320 s. Les composantes fréquentielles demeurent inchangées durant la variation du volume de la vessie ce qui montre que la fréquence de l'ENG ne peut pas être utilisée comme indicateur du volume. Paramètres de l'analyse spectrale: fréquence d'échantillonnage= 30 kHz, nombre de points= 10 s/(1/30 kHz)= 300000, fenêtre de Hanning.

4.4. RÉSULTATS DÉTAILLÉS DES DIX PUCES MESURÉES

Le tableau 4.1 contient les principaux paramètres mesurés de toutes les puces. Comme mentionné dans le chapitre 3, la puissance consommée varie de 515 à 575 μW, l'erreur maximale sur RBI est plus petite que -45 dB pour 7 des puces et atteint -42 dB pour les autres trois. Le décalage à la sortie (RBI pour entrée= 0) n'est pas négligeable à cause de l'accumulation des décalages à travers les différents étages comme expliqué dans le chapitre 3. Il varie entre 22 et 220 mV.

Table 4.1. Paramètres mesurés des dix puces

Puce	**Puissance (μW)**	**Erreur maximale sur RBI (dB)**	**RBI pour entrée=0 (mV)**
Puce 1	525	-46.1	83
Puce 2	538	-43.7	25
Puce 3	528	-46.7	129
Puce 4	562	-47.6	65
Puce 5	525	-43.5	36
Puce 6	556	-42.2	140
Puce 7	523	-45.3	22
Puce 8	569	-45.8	125
Puce 9	515	-48.2	220
Puce 10	577	-45.3	130

DISCUSSION GÉNÉRALE ET CONCLUSION

Les progrès dans le domaine de la neurophysiologie ont permis d'approfondir les connaissances acquises au sujet des activités nerveuses. Avec l'avancement de l'électronique intégrée, ceci a donné lieu à la création de nombreux dispositifs électroniques implantables comme le système de neurostimulation pour la thérapie de la douleur chronique et "InterStim Therapy" pour le contrôle de l'incontinence de la vessie[1].

La possibilité d'implanter des électrodes à gaine autour des nerfs sans crainte de déplacement permet d'obtenir une lecture chronique des signaux de ces capteurs naturels. Si le lien nerveux entre un organe et le cerveau est coupé suite à un accident, à une maladie ou à une malformation congénitale, l'information pourrait être reconduite par le biais d'un système regroupant un capteur et des électrodes. De plus, de nombreuses études ont montré que la stimulation électrique fonctionnelle pourrait activer la force motrice et, par conséquent, contrôler l'activité d'un organe. La stimulation est produite par l'injection d'un courant d'intensité et de forme bien définies dans un nerf innervant cet organe.

Au laboratoire PolySTIM, la mise en œuvre de dispositifs implantables est une tâche commune à de nombreux projets. L'équipe a obtenu beaucoup de succès dans la réalisation de microstimulateurs. L'autre sens de communication avec l'organe malade, à

1. Medtronic Inc., www.medtronic.com.

savoir la détection des signaux nerveux émis (électroneurogramme ENG) pour en extraire l'information, faisait l'objet de cette thèse selon deux étapes. Dans la première étape, nous avons conçu un système électronique basé sur des composants discrets. Ce système est capable d'acquérir des signaux de faible amplitude (jusqu'à 1 μV) et possède une technique pour programmer le gain entre 1 et 10^6 V/V. Un filtrage passe-bande suit avant qu'une carte d'acquisition de données allant dans un PC transforme le signal de l'ENG reçu en une série de données numériques. Le système ainsi construit a été utilisé dans des expériences in vivo pour mesurer le signal nerveux produit lors du remplissage de la vessie. Le traitement du signal acquis (redressement et intégration par période) a été effectué avec le logiciel Matlab. Ceci a montré que l'amplitude de l'électroneurogramme redressé et intégré par période augmente avec le volume vésical. L'ENG est donc un bon indicateur naturel du volume vésical et pourrait être utilisé pour contrôler et équilibrer la stimulation de la vessie.

L'interface intégrée qui réalise les fonctions mentionnées ci-dessus est l'objet de la deuxième étape. Nous avons bâti l'interface avec 4 modules: un amplificateur à faible bruit (amplificateur stabilisé par hachage) avec filtrage, un amplificateur programmable avec rejet du mode commun, un redresseur et un intégrateur par période. Comme la puissance dissipée est un élément clé dans les implants électroniques car l'énergie nécessaire est transmise de l'extérieur du corps par un lien RF inductif, les modules électroniques requis ont été conçus pour une faible consommation d'énergie et une tension d'alimentation faible (par rapport à la tension nominale de la technologie). Afin de pouvoir tester les

blocs individuellement, nous les avons réalisés séparément avec une technologie CMOS 0.35 μm, à 3.3 V. Parmi ces blocs, on retrouve un préamplificateur à faible bruit, un filtre, un amplificateur d'instrumentation programmable, un échantillonneur-bloqueur, un redresseur, et un intégrateur par période.

Les résultats de tests des modules réalisés reflètent les performances obtenues par simulation. Les mesures présentées dans cette thèse montrent de bonnes caractéristiques de circuits vis à vis la tension d'alimentation, le rejet du mode commun et l'efficacité du traitement du signal. De plus, la consommation de puissance est basse relativement à la quantité d'énergie permise à traverser le corps pour alimenter l'implant (50 mW). Quant au bruit, le rapport signal sur bruit donné par $20*\log(V_{rmssignal}/V_{rmsbruit})$ vaut $20*\log(8.0774/3.16)= 18.77$ dB (la valeur $V_{rmssignal}$ est celle du signal de la Figure 2.3 et $V_{rmsbruit}$ est calculée à partir de la densité spectrale du bruit. Cette valeur est insuffisante et doit être réduite davantage.

À notre connaissance, le circuit intégré proposé dans cette thèse serait le premier composant implantable dédié à l'acquisition et au traitement de signaux nerveux. Il constitue un complément indispensable à l'implant urinaire pour réussir à réhabiliter les fonctions vésicales. L'interface proposée pourrait être employée dans d'autres applications pour contrôler différents organes paralysés, un domaine dont l'ampleur ne cesse de croître. Les paramètres contrôlant l'interface proposée, tel que la fréquence d'échantillonnage et la résolution du convertisseur pourraient être modifiées selon l'application visée. La

puissance consommée pourrait changer à la baisse selon ces modifications. En effet, le présent circuit, dédié à la mesure du volume urinaire, intègre des échantillons sur une période de 200 ms (bin) et traite une fréquence d'entrée assez élevée dans le spectre des signaux nerveux.

Recommandations et développements futurs

Le travail présenté dans cette thèse ouvre la voie à des activités de recherche importantes dans un des nombreux domaines du génie biomédical. En effet, cette interface analogique est une partie importante de tout implant dédié à la récupération de fonctions d'organes et à leur réadaptation. Pour la poursuite des travaux, nous recommandons tout d'abord d'améliorer les performances de la présente interface selon les axes suivants:

1. Réduction de la consommation d'énergie de l'ensemble de l'interface: Cette réduction peut se faire, soit en minimisant les circuits de polarisation des différentes parties de l'interface intégrée, soit en relaxant les critères de conception de différents étages d'intégration en fonction de leur fréquence d'opération. De plus, construire un amplificateur d'instrumentation en se servant d'une architecture basée sur des capacités commutées est une option à envisager et étudier.
2. Amélioration de la méthode d'implémentation et de vérification de circuits analogiques requis: La technologie 0.5 µm utilisée ne contient pas des modèles des capacités qui sont des composants critiques dans les circuits à capacités commutées. La simulation avec des modèles complets et appropriés permet d'obtenir des résultats plus pré-

cis. De plus, l'utilisation des analyses Monte-Carlo pour estimer l'effet des tolérances est recommandée.

3. Réduction des bruits numériques et 1/f: Il est souhaitable de migrer le circuit vers une technologie à double puits (n et p) afin de mieux isoler la partie analogique de la partie numérique. Ce problème pourrait être plus prononcé lorsque l'interface serait intégrée avec d'autres modules électroniques numériques tel qu'un processeur et stimulateur. De plus, des méthodes innovatrices de conception sont requises pour réduire le bruit de flicker 1/f. L'utilisation des transistors bipolaires pour l'entrée du circuit est une option à explorer pour réduire davantage ce bruit.
4. Intégration complète: Avant d'intégrer l'interface proposée aux modules restants (convertisseur analogique numérique, processeur, lien RF, etc) pour compléter l'implant, il faut implémenter le système complet d'acquisition (incluant le convertisseur analogique-numérique) et le tester in vivo.

BIBLIOGRAPHIE

[1] ALLEN, P. E. and HOLBERG, D. R. (1987). "CMOS analog circuit design", New York, Holt.

[2] BRINDLEY, G. S. (1972). "Electrode-arrays for making long-lasting electrical connection to spinal roots", J. Physiol. (London), Vol. 222, pp. 135P-136P.

[3] BROWN, T. G. (1911). "The intrinsec factors in the act of progression in the mammal", Proc. Roy. Soc., Vol. 84, pp. 308-319.

[4] BRUUN, E. and SHAH, P. (1995). "Dynamic range of low-voltage cascode current mirrors", Proc. ISCAS'95, pp. 1328-1331.

[5] CHANDRAKASAN, A. P. and BRODERSEN, R. W. (1995). "Low power digital CMOS design", Kluwer Academic Publishers, Boston.

[6] CRAMPON, M. A., SAWAN, M., BRAILOVSKI, V. and TROCHU. F. (1999). "New easy to install nerve cuff electrode using SMA armature", Artificial Organs Journal, vol. 23, No. 5, pp. 392-395.

[7] CRAWLEY, P. J. and ROBERTS, G. W. (February 1992). "High-swing current mirror with arbitrarily high output resistance", Electronics Letters, Vol. 28, pp. 361-361.

[8] DEGRAUWE, M., VITTOZ, E. and VERBAUWHEDE I. (June 1985). "A

micropower CMOS Instrumentation amplifier", IEEE JSSC, Vol. SC-20, NO. 3.

[9] EKLUND, G., VON EULER, C. and RUTKOWSKI, S. (1964). "Spontaneous and reflex activity of intercostal motoneurons", J. Physiol. (London), Vol. 171, pp. 139-163.

[10] EVARTS, E. V. (1966). "Pyramidal tract activity associated with a conditioned hand movement in the monkey", J. Neurophysiol., Vol. 29, 1011-1027.

[11] FRANCO, S. (1988). "Design with operationel amplifiers and analog integrated circuits", New York, McGraw Hill.

[12] FRANK, K. (1968). "Some approaches to the technical problem of chronic excitation of peripheral nerves", Ann. Otology, Rhinology and Laryngology, Vol. 77, No. 4, pp. 761-772.

[13] GATTI, U., MALOBERTI, F. and PALMISANO, G. (January 1992). "An accurate CMOS sample-and-hold circuit", IEEE JSSC. Vol. 27, No. 1, pp. 120-122.

[14] GOLDSTEIN, J., BAK, M. J., OAKLEY, J. C., SCHMIDT, E. M. and VAN BUREN, J. M. (1975). "An instrument for stable single cell recording from pulsating human cerebral cortex", J. Electroencephalogr. Clin. Neurophysiol., Vol. 39, pp. 667-670.

[15] GRANIT, R. (1970). "The basis of motor control", Academic Press, London.

[16] GREBENE, A. (1984). "Bipolar and MOS analog integrated circuit design", John Wiley& Sons, New York.

[17] GRILLNER, S. (1975). "Locomotion in vertebrates: central mechanisms and reflexes interaction", Physiol. Rev., Vol. 55, pp. 247-304.

[18] GULRAJANI, R. Discussion privée avec Ramesh Gulrajani, professeur à l'Université de Montréal.

[19] HAGBARTH, K. A. and VALLBO, Å. B. (1969). "Single-unit recordings from muscle nerves in human subjects", Acta Physiol. Scand., Vol. 76, pp. 321-334.

[20] HANSON, M. A., MOORE, P. J. and NIJHUIS, J. G. (1987). "Chronic recording from the phrenic nerve in fetal sheep in utero", J. Physiology, pp. 394-397.

[21] HARB, A. and SAWAN, M. (May 1999). " New low-power low-voltage high-CMRR CMOS instrumentation amplifier", Proc. IEEE-ISCAS'99, Orlando, Vol. VI, pp.97-100.

[22] HARB, A., HU, Y. and SAWAN, M. (September 1999). "New CMOS instrumentation amplifier dedicated to very low-amplitude signal applications", IEEE-ICECS'99, Cyprus, Vol. 1, pp. 517-520.

[23] HARB, A., HU, Y. and SAWAN, M. (April 2004). "Low-power CMOS interface for recording and processing very low amplitude signals", Analog Integrated Circuits and Signal Processing, Vol. 39, pp. 39-54.

[24] HARRISON, R. R. and CHARLES, C. (June 2003). "A low-power low-noise CMOS amplifier for neural recording applications", IEEE JSSC, Vol. 38, NO. 6.

[25] HAUGLAND, M., SINKJAER, T. and HAASE, J. (1992). "Force information in

whole human sensory nerve recordings", Proceedings of the 4th Vienna Workshop on FES, pp. 130-133.

[26] HAUGLAND, M. and SINKJAER, T. (December 1995). "Cutaneous whole nerve recordings used for correction of footdrop in hemiplegic man", IEEE Trans. Biomed. Eng., Vol. 3, NO. 4, pp. 307- 317.

[27] HOFFER, J. A., MARKS, W. B. and RYMER, W. Z. (1974). "Nerve fiber activity during normal movements", Soc. Neurosci. Abstr. No. 300.

[28] HOFFER, J. A. (1990). "Techniques to record spinal cord, peripheral nerve and muscle activity in freely moving animals. In: neurophysiological Techniques: applications to neural systems. Neuromethods 15", BOULTON, A. A., BAKER, G. B. and VANDERWOLF, C. H., Eds. Humana Press, Clifton, N. J. pp. 65- 145.

[29] HOFFER, A. Discussion privée avec Andy Hoffer, professeur à l'Université Simon Fraser.

[30] HOUK, J. C. (1972). "The phylogeny of muscular control configurations", in Biocybernetics IV, edited by H. Drischel and P. Dettmar, Jena: Fischer, pp. 125-144.

[31] HU, Y. (2000). "CMOS low voltage preamplifier based on 1/fnoise cancellation", Mémoire de maîtrise, École Polytechnique de Montréal.

[32] HUBEL, D. H. (1959). "Single unit activity in striate cortex of unrestrained cats", J. Physiol. (London), Vol. 147, pp. 226-238.

[33] JEZERNIK, S., WEN, J., RIJKHOFF, N. J. M., HAUGLAND, M., DJURHUUS, J.

C. and SINKJAER, T. (1997). "Whole nerve cuff recordings from nerves innervating the urinary bladder", IFESS and NP, pp. 45-46.

[34] JOHNS, D. and MARTIN, K. (1997). "Analog integrated circuit design", John Wiley & Sons, New York.

[35] KRARUP, C., LOEB, G. E. and PEZESHKPOUR, G. H. (1988). "Conduction studies in peripheral cat nerve using implanted electrodes: III the effects of prolonged constriction on the distal nerve segment", Muscle & Nerve, No. 11, pp.933-944.

[36] LEKSELL, L. (1945). "The action potential and excitatory effects of the small central root fibers muscle", Acta Physiol. Scand., Vol. 10, Suppl., 31, pp. 1-84.

[37] MERTON, P. A. (1953). "Speculation on the servo-control of movement", in Ciba Found. Symp: The spinal cord, edited by G. E. W. Wolstenhohne, London: Churchill, pp. 247-255.

[38] MATTHEWS, P. B. C. (1972). "Mammalian muscle receptors and their central actions", Williams and Wilkins, Baltimore.

[39] MATSUMOTO, H. and WATANABE, K. (April 1987). "Spike-free switched capacitor circuits", Electronics Letters, Vol. 23, No. 8, pp. 428-429.

[40] MCNUTT, M. J., LEMARQUIS, S. and DUNKLEY, J. L. (MAy 1994). "Systematic capacitance matching errors and corrective layout procedure", IEEE J. Solid-State Circ. Vol. 29., pp. 611-616.

[41] NAGARAJ, K., VLACH, J., VISWANATHAN, T. R. and SINGHAL, K. (October

1986). "Switched-capacitor integrator with reduced sensitivity to amplifier gain", Electron. Lett., Vol. 24., pp. 1104-1106.

[42] OBEID, I., MORIZIO, J. C., MOXON, K. A., NICOLELIS, M. A. L. and WOLF, P. D. (February 2003). "Two multichannel integrated circuits for neural recording and signal processing", IEEE Trans. Biomed. Eng., Vol. 50, NO. 2, pp. 255- 258.

[43] PFLAUM, CH., RISO, R. R. and WIESSPEINER, G. (1996). "Performance of alternative amplifier configuration for tripolar nerve cuff recorded ENG", Proceedings of the 18th Int. Conf. IEEE Engineering in Medicine and Biology Soc., Vol. 1, pp. 375-376.

[44] POPOVIC, D. and RASPOPOVIC, V. (1992). "Afferent signals in palmar digital nerves", Proc. 4th Vienna Intern. Workshop on FES, pp. 105-108.

[45] POPOVIC, D. B., STEIN, R. B., JOVANOVIC, K. LJ., DAI, R., KOSTOV, A. and ARMSTRONG, W. W. (October 1993). "Sensory nerve recording for closed-loop control to restore motor functions", IEEE Trans. Biomed. Eng., Vol. 40, pp. 1024-1031.

[46] RAZAVI, B. (2001). "Design of analog CMOS integrated circuits", McGraw-Hill, NewYork.

[47] RICCI, G., DOANE, B. and JASPER, H. (1957). "Microelectrode studies of conditioning: technique and preliminary results", in Premier congrès international des sciences neurologiques, Réunions plénières, pp. 401-414.

[48] RIEGER, R., TAYLOR, J., DEMOSTHNOUS, A., DONALDSON, N. and LANGLOIS, P. J. (August 2003). "Design of a low-noise preamplifier for nerve cuff electrode recording", IEEE JSSC, Vol. 38, NO. 8.

[49] SEARS, T. A. (1963). "Activity of fusiomotor fibers innervating muscle spindles in the intercostal muscles of the cat", nature, Vol. 197, pp. 1013-1014.

[50] SEVERIN, F. V., SHIK, M. L. and ORLOVSKII, G. N. (1967). "Work of the muscles and single motoneurons during controlled locomotion", Biophys., Vol. 12, pp. 672-672.

[51] SHERRINGTON, C. S. (1910). "Flexion-reflex of the limb, crossed extension reflex, and reflex stepping and standing", J. Physiol., London, Vol. 40, pp. 28-121.

[52] SINKJAER, T., HAUGLAND, M. and HAASE, J. (1992). "The use of natural sensory nerve signals as an advanced heel-switch in drop foot patients", Proceedings of the 4th Vienna Workshop on FES, pp. 134-137.

[53] STEIN, R. B. (1974). "Peripheral control of movement", Physiol. Rev., Vol. 54, pp. 215-243.

[54] STEIN, R. B., CHARLES, D., DAVIS, L., JHAMANDAS, J., MANNARD, A. and NICHOLS, T. R. (August 1975), "Principles underlying new methods for chronic neural recording", Can. J. Neurol. Sci., pp. 235-244.

[55] TAYLOR, A. and DAVEY, M. R. (1968). "Behavior of jaw muscle stretch receptors during active and passive movements in the cat", Nature, Vol. 220, pp. 301-302.

[56] STRUIJK, J. J., THOMSEN, M. , LARSEN, J. O. and SINKJAER, T. (May/June 1999). "Cuff electrodes for long-term recording of natural sensory information", IEEE Eng. Med. Bio., pp.91-98.

[57] UNBEHAUEN, R. and CICHOCKI, A. (1989). "MOS switched-capacitor and continuous-time integrated circuits and systems", Spring-Verlag, Berlin.

[58] VALLBO, Å. B. and HAGBARTH, K. E. (1968). "Activity from skin mechanoreceptors recorded percutaneously in awake human subjects", Experimental Neurology, Vol. 21, pp. 270-289.

[59] VALLBO, Å. B. (1971). "Muscle spindle response at the onset of isometric voluntary contractions in man. Time difference between fusimotor and skeltomotor effects", Journal of Physiology, Vol. 218, pp. 405-431.

[60] WANG, Z. (June 1992). "Full-wave precision rectification that is performed in current domain and very suitable for CMOS implementation", IEEE CAS-I, Vol. 39, NO. 6.

ARTICLES PUBLIÉS

Ci-dessous la liste de nos publications reliées au projet:

[1] HARB, A. and SAWAN, M., "Fully integrated electroneurogram acquisition and processing front-end dedicated to monitor the bladder activities: design and measurements", soumis au journal IEE "Medical & Biological Engineering & Computing".

[2] HARB, A., HU, Y. and SAWAN, M. (April 2004). "Low-power CMOS interface for recording and processing very low amplitude signals", Analog Integrated Circuits and Signal Processing, Vol. 39, pp. 39-54.

[3] HARB, A. and SAWAN, M. (December 2003). "A SC Rectification And Bin-Integration Circuit For Nerve Signal Processing: Experimental Results", IEEE-ICECS'2003, Sharjah, United Arab Emirates, pp. 81-84.

[4] HARB, A. and SAWAN, M. (September 2002). "Low Power Bin Integrator Dedicated To Neural Signal Processing", IEEE-ICECS'2002, Dubrovnik, Croatia, Vol. I, pp. 37-40.

[5] HARB, A. and SAWAN, M. (May 2000). "Système d'acquisition des signaux nerveux dédié au contrôle de microstimulateurs implantables", 2nd Symposium on Advanced Biomaterials (ISAB), Montreal, Canada, p. 66.

[6] HARB, A. and SAWAN, M. (December 2000). "Low-Power CMOS Implantable Nerve Signal Analog Processing Circuit", IEEE-ICECS'2K, Beirut, Lebanon, Vol. 2, pp. 911-914.

[7] HARB, A., HU, Y. and SAWAN, M. (September 1999). "New CMOS instrumentation amplifier dedicated to very low-amplitude signal applications", IEEE-ICECS'99, Cyprus, Vol. 1, pp. 517-520.

[8] HARB, A. and SAWAN, M. (May 1999). "New low-power low-voltage high-CMRR CMOS instrumentation amplifier", Proc. IEEE-ISCAS'99, Orlando, Vol. VI,

pp.97-100.

[9] HARB, A., SAWAN, M., CRAMPON, M-A., ABDEL-GAWAD, M. and ELHILALI, M. (August 1999). "Monitoring bladder activities in paralyzed dogs: system design and acute experiments", Proc. IFESS'99, Sandai, pp. 517-520.

[10] HARB, A. and SAWAN, M. (June 1998). "New low-noise, low-voltage instrumentation amplifier dedicated to nerve signal recording", Mediterranean Conf. on Med. and Biol Eng. and Comput. (Medicon), Cyprus.

[11] HARB, A. and SAWAN, M. and PROVOST, B. (October 1997), "Capteur implantable dédié à la mesure du volume vésical", 1st Symposium on Advanced Biomaterials (ISAB), Montreal, Canada, p. 154.

ANNEXE A

DESCRIPTION DES BROCHES DU CIRCUIT INTÉGRÉ

Le boîtier utilisé pour tester le circuit de redressement et d'intégration par période est le PGA68 (Figure A.1) offert par la CMC. La description des signaux du chip est présentée au Figure A.1.

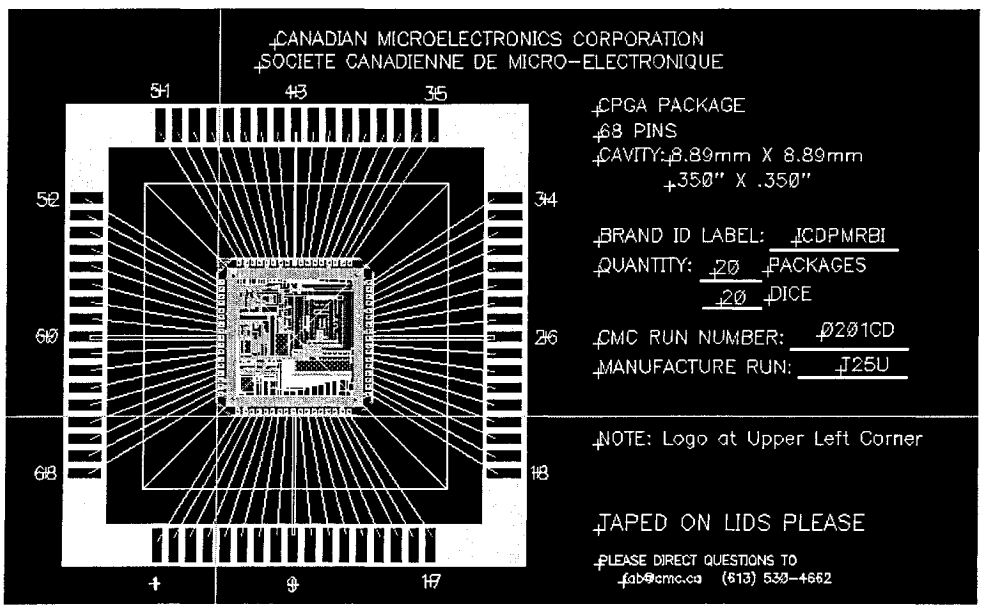


Figure A.1. Le diagramme de connexion du circuit aux broches du boîtier PGA68.

Table A.1. Description des signaux du circuit de test

Nom du Signal	E/S	Num. de Pad/Pin	Type de Pad	Num. sur la Carte de Test	Description
VSSD	VSS	1	wpadvsscore	A18	Vss du block générateur des horloges.
VDDD	VDD	2	wpadvddcore	A17	Vdd du block générateur des horloges.
CLKEN	E	3	wpadin	A15	Validation de l'horloge.
CLKIN	E	4	wpadin	A16	Horloge externe 40 kHz.
VDDBUF	VDD	5	wanalognp	A13	Vdd des circuits tampons.
VSSBUF	VSS	6	wanalognp	A14	Vss des circuits tampons.
VDDBUFTEST	VDD	7	wanalognp	A11	Vdd des circuits tampons de test.
VSSBUFTEST	VSS	8	wanalognp	A12	Vss des circuits tampons de test.
PHIR3T	S	9	wanalognp	A9	Sortie de test: réinitialisation du troisième intégrateur par période.
PHI12T	S	10	wanalognp	A10	Sortie de test: horloge du troisème intégrateur par période PHI12T et PHI22T sont non chevauchés.

Table A.1. Description des signaux du circuit de test

Nom du Signal	E/S	Num. de Pad/Pin	Type de Pad	Num. sur la Carte de Test	Description
PHI22T	S	11	wanalognp	A7	Sortie de test: horloge du troisème intégrateur par période PHI1T et PHI2T sont non chevauchés.
PHI1NT	S	12	wanalognp	A8	Sortie de test: horloge auxilière u troisème intégrateur par période.
PHI1ST	S	13	wanalognp	A5	Sortie de test: horloge auxilière du troisème intégrateur par période qui sert pour la réinitialisation.
PHIR2T	S	14	wanalognp	A6	Sortie de test: réinitialisation du deuxième intégrateur par période.
PHI21T	S	15	wanalognp	A3	Sortie de test: horloge du deuxième intégrateur par période PHI11T et PHI21T sont non chevauchés.
PVDDRING	VDD	16	wpadvddring	A4	VDD de l'anneau des pads d'E/S.

Table A.1. Description des signaux du circuit de test

Nom du Signal	E/S	Num. de Pad/Pin	Type de Pad	Num. sur la Carte de Test	Description
PHI11T	S	17	wanalognp	A2	Sortie de test: horloge du deuxième intégrateur par période PHI11T et PHI21T sont non chevauchés.
NC	NA	18	wpadvddcore	A1	NA
PHIR1T	S	19	wanalognp	N1	Sortie de test: réinitialisation du premier intégrateur par période.
PHI2T	S	20	wanalognp	N3	Sortie de test: horloge du premier intégrateur par période PHI1T et PHI2T sont non chevauchés.
PHI1T	S	21	wanalognp	N2	Sortie de test: horloge du premier intégrateur par période. PHI1T et PHI2T sont non chevauchés.
VBM	E	22	wanalognp	Q1	Tension positive de référence pour la réinitialisation du troisième intégrateur par période (-1.1V).

Table A.1. Description des signaux du circuit de test

Nom du Signal	E/S	Num. de Pad/Pin	Type de Pad	Num. sur la Carte de Test	Description
VBP	E	23	wanalognp	N4	Tension négative de référence pour la réinitialisation du troisième intégrateur par période (1.1V).
AGNDI3	GND	24	wanalognp	Q3	Mode commun du troisième intégrateur par période.
ANARING	VSS	25	wanalognp	Q2	Connexion à l'anneau de garde des circuits analogiques.
NC		26	wanalognp	Q5	NA
		27	wpadvssring	Q4	
NC	NA	28	wanalognp	Q7	NA
NC	NA	29	wanalognp	Q6	NA
		30	wpadvddcore	Q9	
NC	NA	31	wanalognp	Q8	NA
ANARING	VSS	32	wanalognp	Q11	Connexion à l'anneau de garde des circuits analogiques.
NC	NA	33	wanalognp	Q10	NA
		34	wpadvsscore	Q12	
NC	NA	35	wanalognp	Q13	NA
OP	S	36	wanalognp	Q14	Sortie positive du circuit RBI.

Table A.1. Description des signaux du circuit de test

Nom du Signal	E/S	Num. de Pad/Pin	Type de Pad	Num. sur la Carte de Test	Description
OM	S	37	wanalognp	Q16	Sortie négative du circuit RBI.
VSSI3	VSS	38	wpadvsscore	Q15	VSS du troisième intégrateur par période.
VDDI3	VDD	39	wanalognp	Q18	VDD du troisième intégrateur par période.
PDI3	E	40	wanaloghi	Q17	Arrêt du troisième intégrateur par période.
PDBIAS	E	41	wanaloghi	Q20	Arrêt du circuit générateur de courants.
AGNDB	GND	42	wanalognp	Q19	Mode commun du circuit générateur de courants.
VDDB	VDD	43	wanalognp	Q22	Vdd du circuit générateur de courants.
REXT	E	44	wanalognp	Q21	
VSSB	VSS	45	wpadvsscore	Q24	Vss du circuit générateur de courants.
I1P5UTEST	S	46	wanalognp	Q23	Sortie de test: Courant de sortie (1.5 uA).
VSSI2	VSS	47	wpadvsscore	Q26	VSS du deuxième intégrateur par période.

Table A.1. Description des signaux du circuit de test

Nom du Signal	E/S	Num. de Pad/Pin	Type de Pad	Num. sur la Carte de Test	Description
VDDI2	VDD	48	wanalognp	Q25	VDD du deuxième intégrateur par période.
PDI2	E	49	wanaloghi	Q28	Arrêt du deuxième intégrateur par période.
VSSI1	VSS	50	wpadvsscore	Q27	VSS du premier intégrateur par période.
VDDI1	VDD	51	wanalognp	Q29	VDD du premier intégrateur par période.
PDI1	E	52	wanaloghi	Q30	Arrêt du premier intégrateur par période.
AGNDI1	GND	53	wanalognp	N27	Mode commun du deuxième intégrateur par période.
AGNDI2	GND	54	wanalognp	N29	Mode commun du premier intégrateur par période.
PDREC	E	55	wanaloghi	N28	Arrêt du redresseur.
VDDREC	VDD	56	wanalognp	A30	Vdd du redresseur.
VDDSH	VDD	57	wanalognp	N30	Vdd du circuit d'échantillonnage.

Table A.1. Description des signaux du circuit de test

Nom du Signal	E/S	Num. de Pad/Pin	Type de Pad	Num. sur la Carte de Test	Description
PDSH	E	58	wanaloghi	A28	Arrêt du circuit d'échantillonnage.
VSSSH	VSS	59	wpadvsscore	A29	Vss du circuit d'échantillonnage.
ANARING	VSS	60	wanalognp	A26	Connexion à l'anneau de garde des circuits analogiques.
AGND	GND	61	wanalognp	A27	
INP	E	62	wanalognp	A24	Entrée positive du circuit RBI.
INM	E	63	wanalognp	A25	Entrée négaitive du circuit RBI.
VDDCOMP	VDD	64	wanalognp	A22	Vdd du comparateur (partie analogique).
PDCOMP	E	65	wanaloghi	A23	Arrêt du comparateur.
VSSCOMP	VSS	66	wpadvsscore	A20	Vss du comparateur (partie analogique).
VDDCOMPD	VDD	67	wpadvddcore	A21	Vdd du comparateur (partie numérique).
VSSCOMPD	VSS	68	wpadvsscore	A19	Vdd du comparateur (partie numérique).