

UNIVERSITÉ DE MONTRÉAL

**TECHNIQUES DE CONCEPTION D'INTERFACES
OPTOÉLECTRONIQUES À TRÈS HAUT DÉBIT**

BOYOGUÉNO BENDÉ André

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

THÈSE PRÉSENTÉE EN VUE DE L'OBTENTION
DU DIPLÔME DE PHILOSOPHIAE DOCTOR (PH.D.)
(GÉNIE ÉLECTRIQUE)

Décembre 2004

© Boyoguéno Bendé André, 2004



Library and
Archives Canada

Bibliothèque et
Archives Canada

Published Heritage
Branch

Direction du
Patrimoine de l'édition

395 Wellington Street
Ottawa ON K1A 0N4
Canada

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 978-0-494-16983-4

Our file Notre référence

ISBN: 978-0-494-16983-4

NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.


Canada

UNIVERSITÉ DE MONTRÉAL
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Cette thèse intitulée:

**TECHNIQUES DE CONCEPTION D'INTERFACES
OPTOÉLECTRONIQUES À TRÈS HAUT DÉBIT**

Présentée par: BOYOGUÉNO BENDÉ André

En vue de l'obtention du diplôme de Philosophiae Doctor
a été dûment acceptée par le jury d'examen constitué de:

M. SAVARIA Yvon, Ph.D. Président

M. SAWAN Mohamad, Ph.D. Membre et directeur de recherche

M. SLAMANI Mustapha, Ph.D. Membre et codirecteur de recherche

M. AUDET Yves, Ph.D. Membre

M. PLANT David, Ph.D. Membre externe

À mon feu père Jean Bendé, du fond de mon coeur, je t'aime comme je t'aurais aimé si tu avais été en vie maintenant.

À ma feuë mère Kénimbéni Thérèse, pour avoir forgé en moi la passion pour l'éducation, je t'aimerai toujours et je n'oublierai jamais les conseils que tu m'a prodigués lors de ton agonie.

À ma femme Gisèle, et à mes enfants Vonnick, Ulrick, Dannick et Loic pour l'amour que j'ai pour vous.

À mes frères et soeurs, Laurent, Grégoire, Elisabeth, Cécile et Christine pour l'amour que j'ai pour vous.

REMERCIEMENTS

Je tiens à remercier tous ceux et celles qui, de près ou de loin ont contribué à ce travail, en particulier, Mr. Mohamad Sawan professeur à l'École Polytechnique de Montréal qui a accepté de diriger cette thèse, Mr. Mustapha Slamani codirecteur de recherche, à qui je tiens à exprimer ma profonde et sincère gratitude et ma reconnaissance pour le support pendant la période de vache maigre.

Je tiens aussi à remercier les membres du jury qui malgré leurs multiples occupations ont pu trouver le temps nécessaire pour évaluer le contenu de cette thèse. En particulier je tiens à adresser des remerciements au professeur Yvon Savaria, pour avoir bien voulu présider le jury de cette thèse, le professeur Yves Audet pour avoir accepté de siéger dans ce jury et, le professeur David Plant de l'Université McGill de Montréal qui a accepté d'être membre du jury.

Mes remerciements vont également à tous mes collègues du GRM (Groupe de Recherche en Micro-électronique) qui ont su insuffler en moi l'esprit d'équipe, d'initiative et de persévérance à travers des discussions productives et fructueuses en termes d'échanges. Ils m'ont apporté leur savoir et leur amitié tout au long de ce travail que je ne saurais l'oublier de si tôt. Je tiens à remercier tout particulièrement Robert Chebli et Abdelouahab Djemouai pour leur constante serviabilité et disponibilité.

Je dois aussi une grande reconnaissance au personnel du GRM et en particulier à Madame Ghyslaine Ethier-Carrier pour son aide constante tout au long de mon séjour au GRM, pour sa sollicitude et sa bonne humeur. Je n'oublie pas Réjean Lepage, administrateur de systèmes et du réseau, qui s'est toujours montré d'une grande disponibilité et d'une grande patience face à mes sollicitations.

J'aimerais aussi remercier la Fondation de l'École Polytechnique et le Groupe Interuniversitaire en Architecture des Ordinateurs et VLSI (GRIAO) pour m'avoir accordé respectivement une bourse d'études doctorales; ce support a été capital à un moment donné de ma scolarité. Je ne saurais terminer sans mentionner l'apport de la compagnie Applied Microcircuits Corporation (AMCC) pour la fabrication de circuits intégrés, et pour l'utilisation du laboratoire et équipements de tests des circuits intégrés.

Enfin, mes remerciements vont à l'ensemble de ma famille pour leur soutien, conseils, prières et encouragements tout au long de mes études. Je voudrais particulièrement remercier mon épouse Gisèle et nos quatre enfants (Vonnick, Ulrick, Dannick et Loic) qui m'ont toujours apporté le réconfort moral pendant les épreuves; grâce à leur patience et leurs multiples sacrifices, j'ai pu venir à bout de ce travail de recherche dans une tumultueuse association entre école, travail et famille. Je voudrais aussi remercier ma soeur aînée Elisabeth et son époux Dieudonné d'avoir su insuffler en moi l'esprit d'humilité et d'abnégation qui me permettent de toujours voir les choses du bon côté; cette composante a prévalu dans l'aboutissement de cette thèse.

RÉSUMÉ

L'avènement de l'autoroute de l'information avec la possibilité de transmettre simultanément la voix, les données et les images, de même que la popularité des systèmes Internet, ont créé une demande de plus en plus forte en bande passante dans les réseaux de communication. Ainsi, les équipements de transmission et de réception sont de nos jours appelés à fonctionner à des débits de transmission de plus en plus élevés. Leur conception et leur fabrication deviennent de plus en plus complexes, car nécessitant un fonctionnement en hautes fréquences. Cette situation a créé de nouveaux défis aux concepteurs de circuits intégrés pour de telles applications.

Dans cette thèse, nous abordons le problème sous deux aspects. Dans un premier temps, nous proposons des architectures et techniques de conception de l'étage d'entrée du récepteur optique permettant d'augmenter sa sensibilité, son produit gain bande passante et sa gamme dynamique pour un fonctionnement à grands débits. Ces techniques sont basées d'une part, sur l'utilisation des propriétés de la configuration en grille-commune et en émetteur-commun à l'entrée du préamplificateur, et d'autre part, sur l'utilisation d'un nouveau circuit de conversion d'une entrée simple en sorties différentielles à faible bruit de gigue (en anglais «jitter») et à large bande.

Sous un autre angle, les compromis couramment rencontrés dans la conception des circuits intégrés font omission de l'analyse de la stabilité utilisant les paramètres S et Z .

L'emphase étant placée sur la réalisation d'une large bande passante, d'un gain élevé et d'un faible bruit. En conséquence, une grande majorité des circuits fabriqués n'ont pas un fonctionnement stable une fois implantés. Dans cette thèse, nous proposons une méthodologie de conception pour la stabilité (DFS) des circuits intégrés devant fonctionner en hautes fréquences pour supporter les grands débits de transfert d'information rencontrés dans les réseaux de communication optique. La DFS est basée sur l'analyse de la stabilité des circuits intégrés en utilisant les paramètres S et Z , le facteur de stabilité K_f et la mesure de la stabilité B_{1f} . Cette méthodologie permet d'effectuer une évaluation efficace de la stabilité des circuits intégrés pendant leur phase de conception afin de s'assurer qu'ils pourront avoir un fonctionnement stable dans leur environnement d'opération.

Afin de démontrer le fonctionnement effectif des techniques et méthodologie proposées, des prototypes ont été fabriqués en utilisant des procédés de fabrication à 0.6 micron en AsGa (Arsénure de Gallium) et à 0.18 micron en SiGe (Silicium Germanium). Les résultats de mesures effectuées sur les prototypes fabriqués démontrent le succès de la méthode utilisée, et sont en conformité avec les buts et spécifications initiales de conception. Nous rapportons entre autres, une bande passante de 11 GHz, une transimpédance de $75 - dB\Omega$, une sensibilité de -19.2 dBm mesurée pour un taux d'erreur binaire sur les bits de 10^{-12} [en anglais "Bit Error Rate" (BER)], un bruit d'entrée de $7.81 pA/\sqrt{Hz}$ et une gigue de 9.6 ps crête-à-crête. Cet ensemble de performances se situe parmi les meilleures dans cette classe d'application à 10 Gb/s.

ABSTRACT

Future communication networks will likely demand ever increasing bandwidth and flexibility to support different communication protocols. Fiber optic networks are becoming increasingly popular for data transmission due to their high speed and high capacity capabilities. The increasing demands for high-speed optical systems operating at 10-Gb/s or higher rates have resulted in technical challenges for designers of high-performance optoelectronic components and systems. In particular, the high gain and high bandwidth nature of amplifiers used in such components can lead to unwanted oscillations if not well controlled by the designer. Furthermore, one of the major difficulties in the integration of receivers in such data rate is to achieve jitter characteristics compliant to the SONET requirements.

In this thesis, we address the above issues in two steps. First, we propose architectural and circuit techniques for high-speed optical communication photoreceivers design. A transimpedance amplifier incorporating a new single ended to differential conversion scheme featuring low noise, low jitter and high gain-bandwidth product is presented. Because transimpedance amplifiers (TIAs) provide the best trade-off between gain, bandwidth and noise, they have been used at the input interface in order to improve receiver margins. The proposed architectures are based on the common-gate and common-sources transistor configurations at the input of the interface. A TIA with differential outputs is used to achieve the wide dynamic range required to detect a desired signal in presence of noise at the input. We have also proposed a DC restoration circuit along with an offset

cancellation scheme to remove both the noise due to the dark current and noise due to the offset at the input.

Furthermore, right first-time success is extremely important in meeting product market window. Accurate simulations allow optimization of the performance and design trade-offs. Although new design techniques are sought in order to improve system level performances, there is more than ever before an urgent need to address the stability issue. In fact, you may have designed the most performing chip in the world, but if it does not have a stable operation in its working environment, that would have just been a “guess work”. Therefore, in the second step of this thesis, a design for stability methodology (DFS) has been introduced for the evaluation of stability in high-speed designs. The proposed methodology is based on the analysis of the stability factor K_f , the measure of stability B_{1f} and the analysis of S and Z-parameters. This methodology is made of four rules that high-speed designers can apply during the stability check of their design.

To demonstrate the effectiveness of the proposed techniques and methodology, experimental prototypes were designed and fabricated using 0.6 μm GaAs process and 0.18 μm SiGe BiCMOS process. Testing have been performed and experimental results, in agreement with initial design specifications show excellent performances such as: 11 GHz bandwidth, -19.2 dBm sensitivity measured at 10-Gb/s for 10^{-12} Bit Error rate (BER), an input referred noise of $7.81\text{pA}/\sqrt{\text{Hz}}$ and 9.6 ps peak-to-peak jitter. The demonstrated performance is compliant to Synchronous Optical Network (SONET) OC-192 (10-Gb/s) standard.

TABLE DES MATIÈRES

DEDICACE	iv
REMERCIEMENTS	v
RÉSUMÉ.....	vii
ABSTRACT	ix
TABLE DES MATIÈRES	xi
LISTE DES TABLEAUX	xvi
LISTE DES FIGURES	xvii
LISTE DES ABRÉVIATIONS ET SIGLES	xxi
CHAPITRE 1	
INTRODUCTION.....	1
1.1 Motivation.....	1
1.2 Problématique	3
1.3 Aperçu sur les systèmes de transmission par fibre optique.....	8
1.3.1 Le bruit d'entrée du récepteur	10
1.3.2 Débit de transmission et portée des systèmes optiques.....	13
1.3.3 Le budget de puissance	15

1.3.4 Budget de bande passante	16
1.4 L'impact de la gigue ("Jitter").....	19
1.4.1 Le concept de gigue	19
1.4.2 Conception minimisant la gigue	21
1.5 Contributions et organisation de la thèse	23
 CHAPITRE 2	
REVUE DE LITTÉRATURE	27
2.1 Introduction.....	27
2.2 Historique.....	28
2.3 État de l'art.....	31
2.3.1 La sensibilité du récepteur.	32
2.3.2 Photorécepteurs à large bande et à haut débit	35
2.3.3 La conception pour la stabilité	41
2.4 Conclusion	47
 CHAPITRE 3	
CIRCUITS PHOTORÉCEPTEURS OPÉRANT À HAUT DÉBIT	49
3.1 Résumé.....	49
Design and Implementation of Optoelectronic Interfaces for High-Speed Burst- Mode Transmissions	51
3.2 Introduction.....	52

3.3	Design issues.....	53
3.3.1	Noise and sensitivity analysis	53
3.3.2	Problems of conventional preamplifiers	56
3.3.3	The proposed architectures	57
3.4	Fabrication issues	59
3.5	Discussion and results	62
3.6	Conclusion	66

CHAPITRE 4

INTERFACE OPTOÉLECTRONIQUE INTÉGRÉE À LARGE BANDE.....67

4.1	Résumé.....	67
-----	-------------	----

A BiCMOS 120 mW 11 GHz Transimpedance Amplifier Dedicated For High-Speed Photoreceivers 70

4.2	Introduction.....	71
4.3	Prior arts	72
4.4	Theoretical background.....	77
4.4.1	The optical transmission system theory	77
4.4.2	Receiver sensitivity	79
4.4.3	Receiver noise performance	80
4.5	Circuit design	82
4.5.1	Circuit architecture.....	82

4.5.2 Circuit design details.....	85
4.5.3 The main amplifier.....	88
4.5.4 DC offset cancellation.....	89
4.5.5 Design optimization	93
4.6 Design implementation	95
4.6.1 Design evaluation.....	96
4.7 Experimental results and discussion	98
4.8 Conclusion	105

CHAPITRE 5

CONCEPTION AXÉE SUR LA STABILITÉ	111
5.1 Résumé.....	111
Design For Stability of High-Speed Integrated Photoreceivers: A Tutorial	114
5.2 Introduction.....	115
5.3 Integrated photoreceiver design considerations.....	123
5.3.1 Receiver specifications.....	123
5.3.2 Effect of the interconnect on the receiver performance	125
5.3.3 Receiver sensitivity	127
5.4 Fundamentals of the design for stability	128
5.4.1 Unconditional stability analysis	129

5.4.2 Conditional stability analysis	132
5.5 Applying DFS to the design of high-speed ICs	133
5.5.1 Corners simulation	134
5.5.2 On-chip parasitics	135
5.5.3 DFS rules.....	136
5.6 Design implementation	139
5.6.1 Circuit design	139
5.6.2 Design optimization	140
5.6.3 Design evaluation.....	142
5.7 Experimental results and discussion	143
5.8 Conclusion	145
 CHAPITRE 6	
 CONCLUSION.....	164
DISCUSSION GÉNÉRALE.....	170
BIBLIOGRAPHIE.....	172

LISTE DES TABLEAUX

Table 4.1 Performance summary	103
Table 5.1 Design specifications of a high-speed TIA	161
Table 5.2 Set of corners specification	161
Tableau 6.1 Comparaison avec d'autres travaux de recherche	169

LISTE DES FIGURES

Figure 1.1	Configuration de l'étage d'entrée: (a) émetteur-commun, (b) source-commune.....	5
Figure 1.2	Principes de compensation de gain et de seuils	7
Figure 1.3	Système de transmission optique sous sa forme simplifiée	8
Figure 1.4	Schéma bloc du module de réception numérique	10
Figure 1.5	Relation entre le signal, le bruit et le taux d'erreur sur les bits [39].....	11
Figure 1.6	Amplificateur à transimpédance	12
Figure 1.7	Propagation de la lumière dans la fibre optique.	15
Figure 1.8	Choix de la bande passante du système à 10 Gb/s [39]	18
Figure 1.9	Définition du "jitter" [76]	20
Figure 1.10	La décomposition de la gigue [76]	21
Figure 1.11	Principe de polarisation avec une source PTAT.	22
Figure 1.12	Circuit de polarisation proposé	23
Figure 2.1	Courbes de dispersion et d'atténuation dans la fibre optique [39]	29
Figure 2.2	Étage d'entrée en configuration cascode en GaAs MESFETs: (a) Ulchida [75], (b) Scheinberg [68].....	34
Figure 2.3	Étage de conversion à sorties différentiels.....	37
Figure 2.4	Principe de conversion d'une entrée simple en sorties différentielles...	38
Figure 2.5	Etage de conversion d'une entrée simple en sorties différentielles.	39

Figure 2.6	Modèle d'interconnexion [43].....	43
Figure 2.7	Cycle de conception de circuits intégrés proposé	47
Figure 2.8	Cycle détaillé de conception des circuits intégrés à haut débit.....	48
Figure 3.1	Common-gate stage in single-ended.	58
Figure 3.2	Novel differential stage based on the C-G configuration.....	59
Figure 3.3	Comparative input referred noise for high-bit rate	63
Figure 3.4	Influence of the input loading	64
Figure 3.5	Comparative study of the three configurations	64
Figure 3.6	Transient output signals (positive and negative).....	65
Figure 3.7	Layout of the designs submitted for fabrication	65
Figure 4.1	Typical TIA front-end topologies in bipolar and GaAs MESFET technologies	73
Figure 4.2	The typical photoreceiver front-end in TIA topology.....	74
Figure 4.3	RC single-ended to differential conversion stage	76
Figure 4.4	Single-ended to differential conversion stage with on-chip reference voltage	77
Figure 4.5	The proposed receiver architecture	83
Figure 4.6	Alternate single-ended to differential conversion stage.....	86
Figure 4.7	The proposed single-ended to differential conversion stage.....	87
Figure 4.8	Single stage amplifier.....	89
Figure 4.9	Conceptual DC offset cancellation circuit	90

Figure 4.10	Previous implementation of DC restoration.....	92
Figure 4.11	The proposed DC offset cancellation circuit.....	93
Figure 4.12	Receiver integration with two power domains.....	96
Figure 4.13	Photograph of the chip on the evaluation printed circuit board.	97
Figure 4.14	Eye diagram at 10.7-Gb/s for 50 mA input current	99
Figure 4.15	Output eye diagram at 12.5-Gb/s for 200mA input current.	99
Figure 4.16	Output eye diagram at 12-Gb/s for 2.5mA input current.....	100
Figure 4.17	Output eye diagram for an input signal of -20 dBm	101
Figure 4.18	Gain compression plot	102
Figure 4.19	The Bit Error Rate characteristic at 25 degrees Celsius.....	103
Figure 4.20	Input referred noise	103
Figure 4.21	Measured Optoelectronic transfer function.....	104
Figure 5.1	Proposed design flow for high-speed ICs	151
Figure 5.2	Schematic of a typical photoreceiver in TIA configuration.....	151
Figure 5.3	The photoreceiver front-end model.....	152
Figure 5.4	The transimpedance amplifier model for S-parameter simulation.....	152
Figure 5.5	Sensitivity of S11 to the bond wire inductances	153
Figure 5.6	Sensitivity of S22 to the bond wire inductances	153
Figure 5.7	Simulation results of the measure of stability over corners	154
Figure 5.8	Simulation results of stability factor over corners	154
Figure 5.9	Z parameters simulation over corners for Real(Z_{11}).....	155

Figure 5.10	Z parameters simulation over corners for Real(Z_{22}).....	155
Figure 5.11	Transient simulation results over corners.....	156
Figure 5.12	Power supply rejection over corners.....	157
Figure 5.13	Schematic of the photoreceiver front-end.....	157
Figure 5.14	The photograph of the photoreceiver on the evaluation board	158
Figure 5.15	Output Eye diagrams for: (a) 200 mA and (b) 2.2 mA input currents.	159
Figure 5.16	Measured output return loss (S_{22}).....	160
Figure 5.17	Measured reverse isolation (S_{12}).....	160
Figure 5.18	The bit error rate (BER) versus the input power.....	161
Figure 5.19	The receiver input referred noise	161
Figure 5.20	The measured optoelectronic transfer function.....	162

LISTE DES ABRÉVIATIONS ET SIGLES

AGC	Automatic Gain Control
AOC	Automatic Offset Control
α	Coefficient d'atténuation de la fibre optique
α_C	Pertes de connexion
α_L	Pertes dans la fibre
AsGa	Arsenuire de gallium
$A(\omega)$	Gain as a function of the frequency
B	Bande passante (aussi notée BW)
BER	Bit Error Rate
β	Constante de propagation
BiCMOS	Bipolar Complementary Metal-Oxide Semiconductor
BJT	Bipolar Junction Transistor
CAG	Contrôle Automatique de Gain
CDR	Clock and Data Recovery
C_{gd}	Capacité grille-drain du transistor
CMOS	Complementary Metal-Oxide Semiconductor
C-S	Common Source (Source commune)
C_T	Capacité équivalente à l'entrée
DCD	Duty Cycle Distorsion

$\Delta\lambda$	Largeur de raie de la source laser
DEMUX	Demultiplexer
DJ	Deterministic Jitter
D_λ	Coefficient de dispersion de la fibre
E-C	Emetteur Commun (Common Emitter)
FET	Field Effect Transistor
F_{max}	Maximum frequency of transition
F_T	Transit frequency
g_m	Transconductance du transistor
K	Constante de Boltzman
LA	Limiting Amplifier
LASER	Light Amplification by Stimulated Emission of Radiation
MESFET	Metal-Semiconductor-Field-Effect-Transistor
M_{syst}	Marge du système
NMOS	N-channel Metal Oxide Semiconductor
NRZ	Non Return to Zero
OC	Optical Carrier
OC-192	Optical Carrier for 10 Gigabit per second applications
OEIC	Optoelectronic Integrated Circuit
OUTN	Sortie négative
OUTP	Sortie positive
PMOS	P-channel Metal Oxide Semiconductor
PTAT	Proportional to the Temperature

P_{inj}	Puissance injectée dans la fibre
PJ	Periodic Jitter
P_R	Puissance reçue
q	Charge d'un électron
RZ	Return to Zero
R_J	Random Jitter
R_T	Résistance équivalente à l'entrée
SAS	Serial Attached SCSI
SCSI	Simple Computer System Interface
SiGe	Silicium Germanium
Γ	Facteur de bruit excédentaire du FET
S11	Input reflection coefficient
S22	Output reflection coefficient
S12	Forward transfer coefficient
SDH	Synchronous digital Hierarchy
SONET	Synchronous Optical Network
T	Température ambiante
TIA	Transimpedance Amplifier
T_J	Total Jitter
T_{syst}	Temps de montée du système à fibre optique

CHAPITRE 1

INTRODUCTION

1.1 Motivation

La prolifération des systèmes multimédia et la popularité des systèmes Internet ont suscité un intérêt certain pour les communications par fibre optique. Au fil des années, la bande passante requise dans ces réseaux devient de plus en plus grande et n'est souvent limitée que par l'électronique aux interfaces optoélectroniques. Ainsi, avec le développement et la mise en oeuvre de nouvelles technologies de l'information, les équipements de transmission et de réception sont de nos jours appelés à fonctionner à des débits de transmission de plus en plus élevés. Leur conception et leur fabrication deviennent de plus en plus complexes, car nécessitant un fonctionnement en hautes fréquences.

Par ailleurs, la popularité des réseaux de communication utilisant la fibre optique comme lien de transmission par opposition à la paire de cuivre torsadée est associée à leur potentiel de transfert de données à large bande. Cependant, parmi les composants les plus importants dans ces réseaux, le module de réception joue un rôle dominant. En effet, c'est à la réception que la performance globale du système est établie lorsque le signal est à son niveau le plus faible. Le module de réception doit présenter entre autres spécifications: une grande sensibilité d'entrée afin de pouvoir détecter de très faibles signaux, une gamme dynamique large afin de s'adapter à différents niveaux du signal d'entrée, une bande pas-

sante et un gain adéquats afin de préserver l'intégrité du signal. En plus d'être conforme aux spécifications ci-dessus mentionnées, le concepteur doit s'assurer que les circuits réalisés ont un fonctionnement stable dans leur environnement d'opération. Ce module est donc de conception très délicate.

Le but de notre recherche est d'analyser et de proposer des techniques de conception du module de réception et plus particulièrement de l'interface optoélectronique de réception pour les systèmes de communication par fibre optique répondant aux critères de performance mentionnés dans le paragraphe précédent. Par ailleurs, à cause de l'exigence nécessitant à la fois une bande passante large et un gain élevé, les amplificateurs utilisés dans de tels applications sont de nature à osciller si une méthode de conception adéquate n'a pas été adoptée. Pour cela, nous proposons une méthodologie de conception pour la stabilité (DFS) permettant aux concepteurs de tels circuits d'analyser efficacement la stabilité de leurs designs pendant la phase de conception afin de s'assurer qu'ils auront un fonctionnement stable dans leur environnement d'opération.

Le besoin sans cesse croissant de transmettre de grandes quantités d'information avec une meilleure fiabilité et à des débits de plus en plus élevés, de même que le souci de transmettre à de grandes distances sans régénérateurs sont des facteurs dominants qui ont suscité notre intérêt pour ce sujet. Mais cette transmission ne se passe pas toujours sans problème; c'est ce que nous allons aborder dans la section suivante.

1.2 Problématique

Grâce à sa grande bande passante, la fibre optique est utilisée aujourd'hui comme lien par excellence pour les communications à longues distances. Les fibres optiques monomodes à grande capacité de transmission ont déjà été développées [3] mais, leur bande passante demeure encore sous exploitée. En effet, les principales limitations des systèmes de transmission par fibre optique sont l'atténuation et la dispersion dans la fibre, la gamme dynamique du module de réception et sa bande passante, le bruit des circuits électroniques et les pertes de couplage dans les interfaces optoélectroniques de transmission et de réception.

De nos jours, les techniques de compensation de la dispersion et la fabrication des fibres à dispersion décalée permettent de trouver une solution au problème de dispersion dans les fibres [3]. L'avènement des amplificateurs optiques rend possible la compensation de l'atténuation dans les fibres bien que le bruit associé à l'amplification optique fasse encore l'objet de plusieurs recherches. L'utilisation des guides d'onde planaires à coeur creux permet de réaliser le couplage efficace de la lumière entre la source et la fibre d'une part, et d'autre part, entre la fibre et le photoconducteur. Avec la mise en service des amplificateurs optiques à fibre dopée à l'erbium [18], on est maintenant capable de réaliser des systèmes de transmission à large bande, mais leur performance reste limitée par l'électronique aux interfaces optoélectroniques.

Ainsi, les circuits d'interfaces optoélectroniques à grande capacité de transfert d'information et à faible bruit sont-ils en demande afin de découpler la capacité de trans-

mission des infrastructures actuellement installées. D'où la nécessité de développer des dispositifs optoélectroniques à haute performance répondant à la forte demande du marché des télécommunications. Ce développement repose d'une part sur l'amélioration des technologies et procédés de fabrication, et d'autre part, sur le développement de nouvelles méthodes de conception permettant de tirer le maximum de performance dont dispose ces nouvelles technologies.

Grâce à leur potentiel de large bande et de faible bruit, les amplificateurs à transimpédance sont généralement utilisés comme étage préamplificateur dans la conception de l'interface optoélectronique de réception. Les techniques classiques de conception d'un tel amplificateur basées sur l'approche en tension utilisent généralement une configuration non différentielle dans laquelle, le transistor d'entrée est monté en source-commune (S-C) ou en émetteur-commun (E-C) comme illustré à la Figure 1.1. Bien que cette configuration permette de réaliser un étage d'entrée à faible bruit [6], [17], [46], [56], [68], [75], réduire le bruit d'entrée du récepteur est un critère conflictuel avec l'augmentation de sa bande passante. La bande passante réalisable se situent alors à environ 1/5 de la fréquence de transition du transistor f_T dans un "design" conventionnel [8], [56], [70].

En outre, la bande passante réalisable est fortement influencée par la constante de temps RC à l'entrée du préamplificateur, qui est essentiellement dominée par la capacité de la photodiode et celle de contre-réaction ("*feed-back*") du transistor d'entrée. Ces circuits souffrent non seulement d'une grande sensibilité au bruit des alimentations, mais également d'une grande sensibilité aux variations de la température et à celles observées

dans le procédé de fabrication. Plusieurs compromis sont alors à considérer. Une grande résistance de contre-réaction est souvent envisagée pour minimiser le bruit. Bien qu'une grande valeur de cette résistance permette de réaliser un gain élevé, utiliser une telle valeur pénalise en bande passante. Une autre solution possible à ce problème consiste à augmenter le gain en tension $A(\omega)$ de la boucle directe en ajoutant des étages amplificateurs en cascade. Cette solution à son tour introduit un autre problème, celui d'un long délai de propagation à travers la chaîne directe, donnant lieu à un décalage de phase. Le décalage de phase dégrade à son tour la marge de phase de la boucle de contre-réaction, ce qui a pour conséquence directe l'instabilité des circuits réalisés.

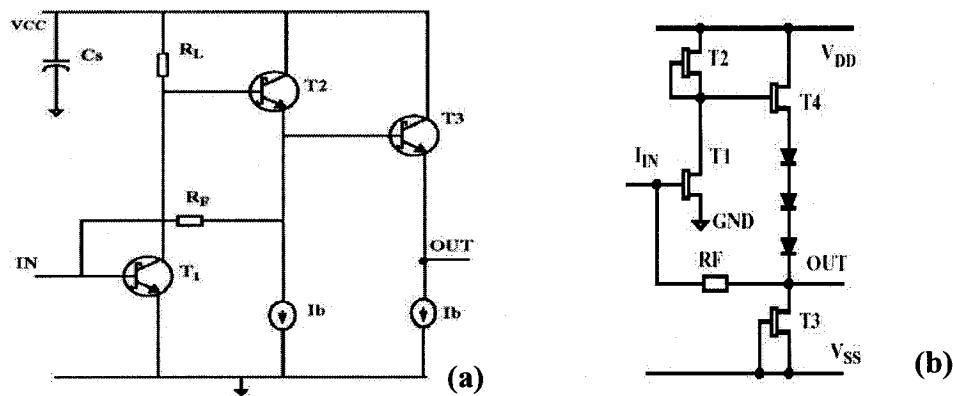


Figure 1.1 Configuration de l'étage d'entrée: (a) émetteur-commun, (b) source-commune

Par ailleurs, dans un système de communication par fibre optique, le signal d'entrée est un photocourant généré par un photodétecteur. Dans certaines applications, celui-ci génère aussi un courant continu lorsqu'il est illuminé par la lumière ambiante. Ce courant est un bruit dont il faut se débarrasser car, il arrive des moments où il est plus

grand que le signal utile; ce qui a pour effet une diminution de la gamme dynamique de l'étage préamplificateur.

Un autre problème inhérent à la conception des circuits intégrés pour l'interface optoélectronique de réception est le caractère aléatoire de l'arrivée des photons sur le photodétecteur. En conséquence, le niveau du signal d'entrée est aussi aléatoire de même que le bruit quantique associé. Ce processus, caractérisé comme aléatoire, rend difficile la prédiction du niveau du signal d'entrée. Pourtant, on aimerait avoir un niveau constant du signal à la sortie qui ne dépend pas des variations du niveau du signal d'entrée. Pour cela, des circuits de contrôle automatique de gain (CAG) doivent être envisagés. Un exemple d'une telle réalisation est présenté à la Figure 1.2. Comme on peut le voir, ce circuit nécessite des ajustements extérieurs qui sont également des sources de bruit qui nuisent à la performance, surtout lorsqu'il s'agit de hautes fréquences d'opération.

De plus, l'un des problèmes majeurs dans la conception et la fabrication des circuits intégrés devant fonctionner à très hautes fréquences est la stabilité dans leur environnement d'opération. Jusqu'à présent, le concept de stabilité utilisé se limite généralement à la simulation/mesure de la phase, de la marge de phase et de la marge de gain. Mais avec la grande demande en bande passante nécessitant un fonctionnement des circuits en hautes fréquences, leur stabilité est devenue un enjeu de taille au niveau de la recherche universitaire et dans l'industrie. La complexité des circuits hautes fréquences associée au manque d'outils de test performants rend leur évaluation difficile, itératif, lent et par conséquent coûteux.

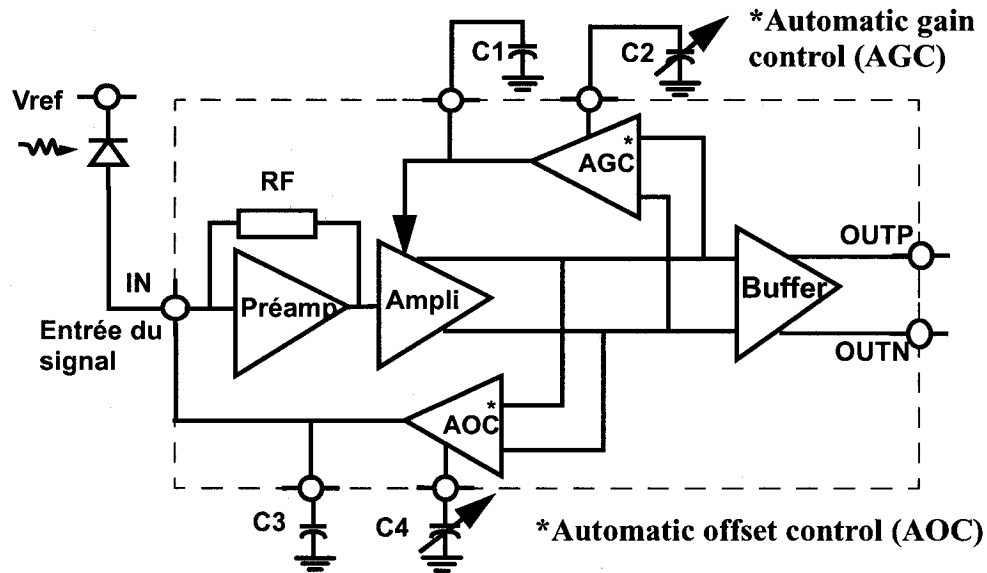


Figure 1.2 Principes de compensation de gain et de seuils

De nos jours, la complexité des systèmes de transmission ne cesse de croître et leur implantation requiert souvent l'intégration de plusieurs circuits analogiques et mixtes performants. Cette complexité rend très difficile la vérification complète de ces systèmes, car elle nécessite des équipements très coûteux. De plus, pendant leur fabrication, la probabilité d'avoir une boucle de contre réaction positive susceptible de générer une oscillation augmente avec la complexité du design. Ainsi, une grande majorité des circuits utilisés dans les réseaux de communications optiques présentent encore des lacunes au niveau de leur conception et de leur évaluation.

Les compromis couramment rencontrés font omission de l'analyse de la stabilité utilisant les paramètres S et Z. L'emphasis étant placée sur la réalisation d'une large bande passante, un gain élevé et un faible bruit. En conséquence, une grande majorité des circuits fabriqués n'ont pas un fonctionnement stable une fois implantés. Bien souvent, le

problème est décelé chez le client; cette situation est très onéreuse pour les compagnies oeuvrant dans le secteur des semiconducteurs. Dans la section suivante, nous allons présenter un aperçu sur les systèmes de communication optique.

1.3 Aperçu sur les systèmes de transmission par fibre optique

La Figure 1.3 représente un système de transmission par fibre optique sous sa forme simplifiée. Il est essentiellement composé de trois sous-ensembles: le transmetteur constitué d'une source "laser" pour des transmissions à hauts débits, le canal de transmission constitué de la fibre optique et, le récepteur constitué du photodétecteur et du TIA suivi d'au moins un étage amplificateur. Pour qu'il y ait communication, le message à transmettre est généralement encodé sous forme d'impulsions de lumière. Deux niveaux logiques représentant ce signal sont alors encodé par le transmetteur: "1" et "0" représentant la présence ou l'absence de la lumière dans le cas d'une modulation d'amplitude. Ce message est ensuite acheminé vers le récepteur via le canal de transmission constitué de la fibre optique.

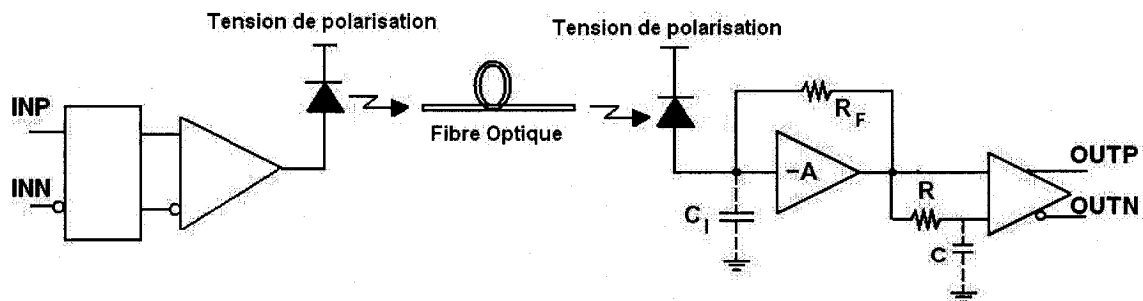


Figure 1.3 Système de transmission optique sous sa forme simplifiée

À la réception, l'intensité du signal optique reçu et sa distribution spectrale permettent de reconstituer fidèlement ou non le message qui était transmis. Lorsque le signal optique reçu est très faible et c'est généralement le cas, il est indispensable de disposer d'un récepteur de grande sensibilité et de gamme dynamique adéquate afin de récupérer l'information utile. Cependant, si le récepteur n'est pas suffisamment sensible, il devient alors difficile de distinguer l'information utile du bruit; ce qui peut conduire à une interprétation erronée du message transmis et l'on parle alors d'erreur de transmission. Il est important que le circuit de décision dans le module de réception soit conçu de manière à distinguer le "1" du "0". La Figure 1.4 est le schéma bloc du module de réception à considérer.

Dans cette représentation, le signal issu de la fibre est d'abord détecté par le photodétecteur, puis transformé en tension électrique par l'amplificateur à transimpédance (TIA). Celui-ci est suivi par l'amplificateur à sorties limitées (LA) qui délivre un signal d'amplitude constante au bloc de recouvrement du signal d'horloge (CDR), ce dernier est suivi par le démultiplexeur de canaux. Dans notre recherche, nous avons utilisé l'amplificateur à sorties limitées comme étage de contrôle automatique de gain. En effet, pour un signal d'entrée dont le niveau est d'au moins égal à la sensibilité du TIA, l'amplitude du signal à l'entrée du circuit de recouvrement d'horloge sera toujours la même. Cette propriété permet de minimiser l'erreur de quantification dans le circuit de décision au moment de distinguer le niveau logique de l'information reçue. Mais l'une des limites à la performance de tels systèmes est le bruit d'entrée du récepteur.

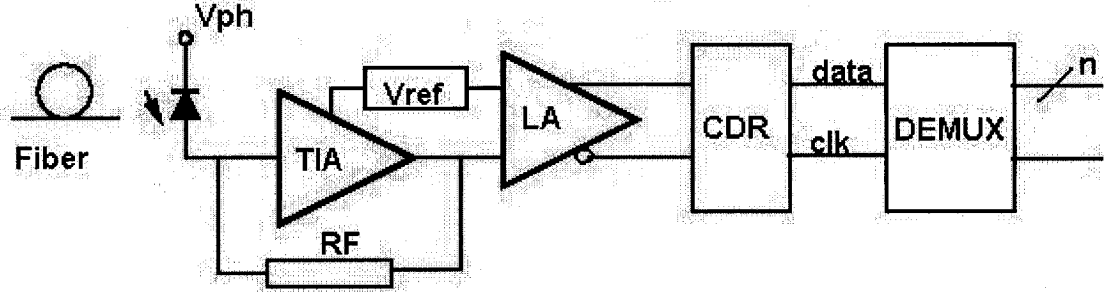


Figure 1.4 Schéma bloc du module de réception numérique

1.3.1 Le bruit d'entrée du récepteur

Les premiers circuits récepteurs furent réalisés technologie hybride. Le bruit d'entrée du préamplificateur (*input noise*) a été l'une de leurs principales limitations à la performance en termes de vitesse et sensibilité [8], [10], [31], [33], [39], [49], [50], [56], [70]. L'expression simplifiée du courant de bruit de l'étage d'entrée utilisant des transistors à effet de champ est donnée par l'équation (1.1). Le premier terme de cette équation est généralement l'une des composantes dominantes du bruit.

$$\langle i_{ni}^2 \rangle = \frac{4KT I_2 B}{R_T} + 2q I_T I_2 B + \frac{4KT \Gamma (2\pi C_T)^2 I_f B^2 f_c}{g_m} + \frac{4KT \Gamma (2\pi C_T)^2 I_3 B^3}{g_m} \quad (1.1)$$

où q est la charge d'un électron, I_T est le courant de fuite dans la grille du transistor, I_2 , I_f et I_3 sont les intégrales de Personick reliant le débit binaire et la bande passante du circuit récepteur [56], [70], g_m est la transconductance du transistor d'entrée à effet de champ (FET), Γ est le facteur de bruit excédentaire du FET, B est la bande passante, K est la constante de Boltzman, T est la température ambiante. C_T et R_T sont respectivement la capacité équivalente à l'entrée de l'étage donnée par l'équation (1.2)

$$C_T = C_{ph} + C_I \quad (1.2)$$

et la résistance équivalente à l'entrée est donnée par l'équation (1.3)

$$R_T = R_{in} \approx R_F / (A + 1) \quad (1.3)$$

La Figure 1.5 donne une illustration de l'impact du bruit sur le rapport signal sur bruit ou sur le taux d'erreur sur les bits [39]. C_{ph} est la capacité équivalente de la photodiode, et C_I est la capacité à l'entrée du circuit.

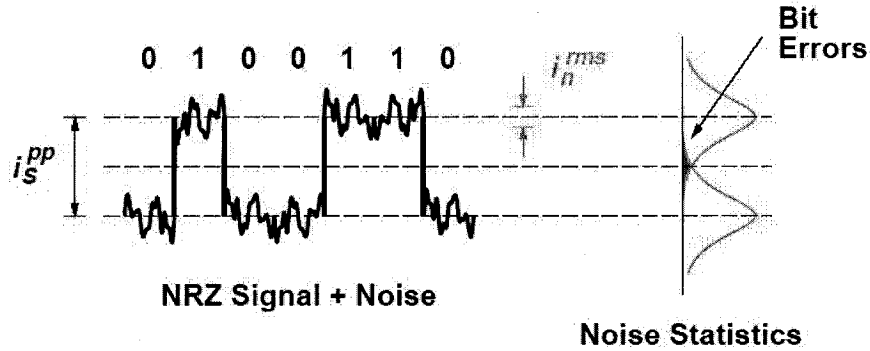


Figure 1.5 Relation entre le signal, le bruit et le taux d'erreur sur les bits [39].

En première approximation, la bande passante de l'étage à transimpédance tel qu'illustré à la Figure 1.6 peut être exprimée par l'équation (1.4)

$$BW = \frac{1 + A_v(\omega)}{2\pi R_T C_T} \quad (1.4)$$

$A_v(\omega)$ étant le gain de la boucle directe qui est amélioré par l'utilisation d'une boucle de contre réaction négative. De toute évidence, à partir de l'équation (1.1), pour minimiser le bruit, il faudrait maximiser la valeur de la résistance de contre-réaction et minimiser la

contribution de la capacité équivalente d'entrée. Or, l'augmentation de R_F entraîne la diminution de la bande passante du système.

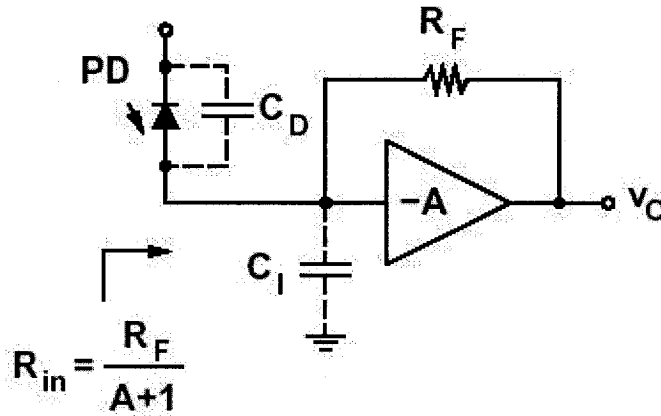


Figure 1.6 Amplificateur à transimpédance

Lorsque l'étage préamplificateur utilise une configuration en source-commune (émetteur-commun), le bruit d'entrée est dominé par l'effet "Miller" caractérisé par un couplage capacitif entre la grille et le drain (base et collecteur) du transistor d'entrée; ce qui résulte en une capacité équivalente d'entrée ayant pour expression:

$$C_{FET} = C_{gs} + (1 + g_m R_L) C_{gd} \quad (1.5)$$

Dans cette expression, vue de l'entrée, la capacité grille-drain C_{gd} du transistor d'entrée est amplifiée par son propre gain. C_{gs} est la capacité grille-source du transistor d'entrée. L'utilisation du montage cascode permet de minimiser cet effet de manière à ce que le dernier terme de l'équation (1.5) soit minimal [8], [17], [56], [68].

Le critère de faible bruit est un indicateur critique pour les systèmes à large bande. En effet, pour des systèmes analogiques, la linéarité et une bande passante adéquate sont

critiques. Il est donc crucial, pour des applications comme les récepteurs optoélectroniques ayant une photodiode comme interface d'entrée, que le design respecte ces contraintes de conception. La fonction ultime du circuit de détection/réception étant de minimiser la quantité de puissance optique requise pour atteindre un taux d'erreur donné sur les bits ($BER=10^{-12}$) dans un système à codage numérique ou, pour produire un rapport de signal sur bruit (S/B) donné dans un système analogique, cet étage est donc de conception très critique. La performance réalisée va aussi dépendre du débit de transmission visé et de la portée du système.

1.3.2 Débit de transmission et portée des systèmes optiques

Le débit de transmission et la portée sont deux paramètres à considérer dans la conception des systèmes de transmission. Soient B le débit et L la portée, le produit $B \times L$ permet d'évaluer les spécifications du lien. En effet, si l'on veut implanter un système dont la longueur du canal de transmission est supérieure à la portée et le débit désiré supérieur à celui du système, on est obligé d'utiliser des régénérateurs dont le nombre est donné par l'équation (1.6) [9], [47]

$$N = \frac{B_T \cdot L_T}{B \cdot L} \quad (1.6)$$

où B_T et L_T sont respectivement le débit et la portée désirés et N est le nombre de régénérateurs.

La minimisation du nombre de régénérateurs se ferait en ayant le produit $B \times L$ le plus grand possible. Pour maximiser ce produit, la tendance actuelle consiste à rechercher

des débits plus élevés au lieu de rechercher de plus grandes distances entre régénérateurs [9], [20], [23], [47], [52], [53], [54]. À l'exception des transmissions à très courtes distances, la performance des systèmes optiques est considérablement affectée par les pertes dans la fibre. L'impulsion lumineuse se propageant dans la fibre subit une atténuation exponentielle. L'équation (1.7) est utilisée pour illustrer le facteur d'atténuation dans une fibre optique [9]:

$$P_R = P_{inj} e^{-\alpha L} \quad (1.7)$$

où P_R est la puissance reçue, P_{inj} celle injectée dans la fibre, L étant la longueur totale de la fibre en km et, α le coefficient d'atténuation exprimé en km^{-1} . Le coefficient d'atténuation est souvent exprimé en dB/km, la conversion est obtenue en appliquant la formule suivante (1.8):

$$\alpha \left(\frac{\text{dB}}{\text{km}} \right) = \frac{1}{L} 10 \log \left(\frac{P_{inj}}{P_T} \right) \quad (1.8)$$

Durant sa propagation dans une fibre monomode de longueur L , l'impulsion de lumière s'élargit et sa largeur augmente de $\Delta T = D_\lambda(\Delta\lambda)L$. Afin de pouvoir être discernée, l'impulsion ne doit pas être plus large que B^{-1} , ce qui veut dire que $\Delta T < \frac{1}{B}$ ou $B\Delta T < 1$. Nous avons donc la relation $BLD_\lambda(\Delta\lambda) < 1$. Pour les lasers Fabry-Pérot fonctionnant autour de la longueur d'onde de 1550 nm (InGaAsP), $\Delta\lambda \approx 5\text{nm}$. En utilisant des grandeurs appropriées pour le coefficient de dispersion D_λ et la largeur de raie $\Delta\lambda$, $D_\lambda \approx 17\text{ps}/(\text{km} - \text{nm})$ et $\Delta\lambda \approx 5\text{nm}$, le produit BL est limité à presque 100 GHz-km, ce qui est très faible pour les besoins actuels des systèmes de transmission optique. Un

espacement de 100 km entre les régénérateurs limiterait le débit à une valeur inférieure ou égale à 1Gb/s. Pour améliorer ce produit, il est primordial d'utiliser des lasers à faible largeur de raie ($\Delta\lambda \sim 0,1nm$). La Figure 1.7 donne l'illustration du phénomène de dispersion dans la fibre optique monomode.

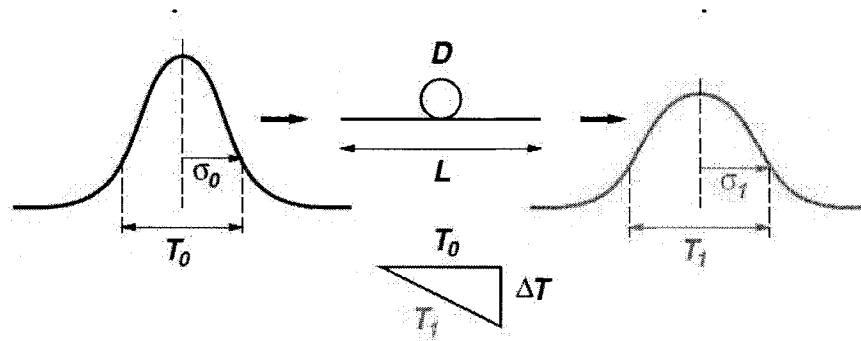


Figure 1.7 Propagation de la lumière dans la fibre optique.

1.3.3 Le budget de puissance

La puissance est une grandeur essentielle pour caractériser le niveau des signaux émis et reçus. Elle permet d'estimer les affaiblissements éventuels et de détecter les phénomènes de saturation ou de corrélation entre différents signaux. L'analyse d'un système peut se faire en deux étapes: le concepteur doit dans un premier temps s'assurer que la puissance reçue à l'entrée du récepteur permet à ce dernier de distinguer le "1" du "0". Ensuite, il doit évaluer le temps de montée du système pour déterminer si la bande passante requise par le débit est disponible. Si les réponses à ces deux préoccupations sont affirmatives, le système est prêt pour l'installation.

Les éléments clefs d'analyse d'une liaison optique sont: la puissance transmise P_T (couplée dans la fibre), α_L représente les pertes dans la fibre dues à l'atténuation de la fibre $\alpha \left(\frac{dB}{km} \right)$, la sensibilité du récepteur P_R (seuil de détection), les pertes de connexion α_C et la marge du lien M_{sys} , exprimée par l'équation suivante:

$$M_{sys} = P_T - \alpha_L - \alpha_C - P_R \quad (1.9)$$

En d'autres termes,

$$P_T = P_R + \alpha_L + \alpha_C + M_{sys} \quad (1.10)$$

1.3.4 Budget de bande passante.

Afin de préserver l'intégrité du signal, la bande passante du système doit être adéquate. Cette bande passante est affectée par le temps de montée du système, la taille des composants et les effets parasites. Le temps de montée de la source et du récepteur peuvent aussi engendrer une distorsion du signal détecté [47]. L'équation (1.11) représente le temps de monté du système à fibre optique.

$$T_{syst} = 1.1 \sqrt{T_{source}^2 + T_{modale}^2 + T_{matériaux}^2 + T_{detecteur}^2} \quad (1.11)$$

$$T_{syst} = \frac{0.35}{B} \quad (1.12)$$

$$T_{syst} = 0.35\tau \quad (1.13)$$

où τ représente la largeur de l'impulsion de lumière $\tau = 1/B$ et B est la bande passante. Le but de ce budget de bande passante permet de s'assurer que le système sera capable de fonctionner au débit binaire désiré. En effet, même si la bande passante de chaque com-

posante du système prise individuellement est suffisante, cela ne garantit pas que la bande passante globale soit suffisante. De plus, le type de codage utilisé influence pour beaucoup la bande passante et le débit du système, ainsi:

$$\text{- pour le codage NRZ} \quad B = 1/2\tau \Rightarrow B_{max} = 0.7/T_{syst}$$

$$\text{- pour le codage RZ}^1 \quad B = 1/\tau \Rightarrow B_{max} = 0.35/T_{syst}$$

Pour les systèmes devant fonctionner à 10-Gb/s, il est très important d'obtenir une bande passante adéquate afin d'éviter des problèmes d'intégrité du signal. La Figure 1.8 est une belle illustration de ce choix [39]. Dans cette figure, on peut voir dans le cas (c), lorsque la bande passante est égale au tiers du taux de transmission, les hautes fréquences sont fortement atténuées par rapport aux basses fréquences, ceci a pour effet de causer la fermeture du diagramme de l'oeil. Le diagramme de l'oeil est un indicateur qualitatif de la nature d'une transmission numérique. Une liaison fonctionnant dans ce régime est susceptible d'erreurs de communication.

L'analyse du diagramme de l'oeil permet d'obtenir un certain nombre de renseignements sur la qualité de la liaison. En effet, sa hauteur et son ouverture permettent de qualifier le type de communication. Lorsque l'oeil est fermé, c'est une indication de limitation en bande passante du canal. L'on peut aussi évaluer les temps de montée et de descente du système à travers ce diagramme, de même que l'histogramme sur la gigue.

1. NRZ: Non Return to Zero; RZ: Return to Zero

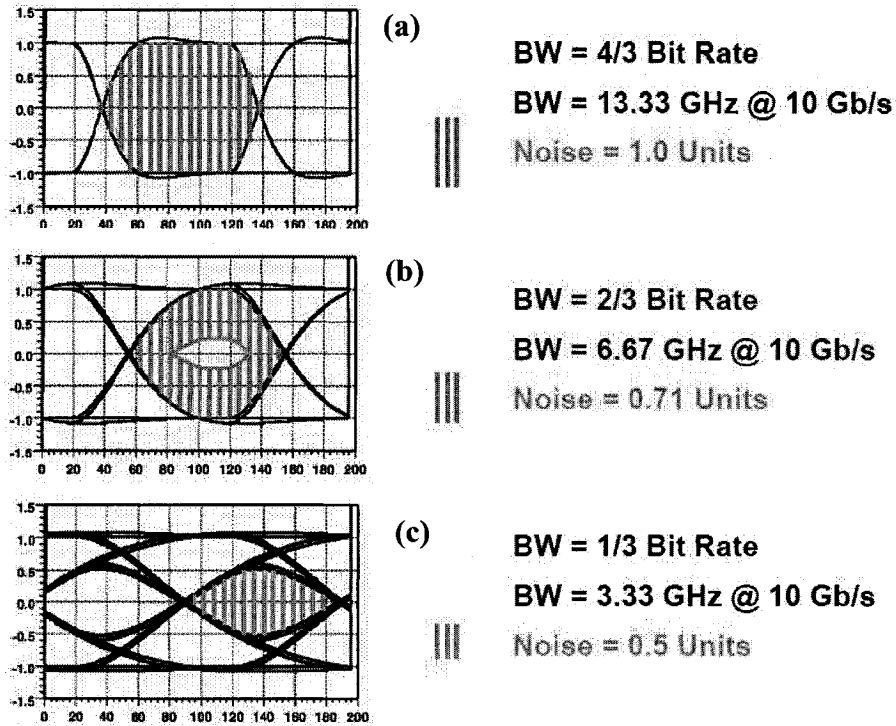


Figure 1.8 Choix de la bande passante du système à 10 Gb/s [39]

L'élargissement des impulsions est causé par la dépendance en fréquence de la constante de propagation β . Afin de mieux comprendre le phénomène, il est utile de développer $\beta(\omega)$ en série de Taylor autour de la fréquence centrale $\omega_0 = 2\pi\nu_0$ [2].

$$\beta(\omega) = \beta_0 + \beta_1(\omega - \omega_0) + \frac{1}{2}\beta_2(\omega - \omega_0)^2 + \frac{1}{6}\beta_3(\omega - \omega_0)^3 + \dots \quad (1.14)$$

avec

$$\beta_m = \left(\omega \frac{d^m n}{d\omega^m} \right)_{\omega = \omega_0} \quad (1.15)$$

pour $(m = 0, 1, 2, 3, \dots)$.

Les ordres supérieurs ou égaux à trois sont généralement négligeables si $\Delta\omega \ll \omega_0$. Le paramètre β_0 est la constante de propagation à la fréquence centrale. Les paramètres β_1 et β_2 sont associés à la dispersion résultant de la différence entre les vitesses de groupe. β_2 est responsable de l'élargissement des impulsions. De plus amples détails peuvent être trouvés dans la référence [2].

1.4 L'impact de la gigue ("Jitter")

L'une des limitations au fonctionnement à haute performance des photorécepteurs est liée à la récupération d'horloge. En effet, lorsque le débit de transmission devient élevé, des problèmes de synchronisation deviennent graves en présence du bruit. La gigue, en anglais "*jitter*" est l'une des principales limitations à la performance des réseaux de transmission. La compréhension du phénomène de gigue est importante dans le domaine des communications sérielles à grand débit. Cette compréhension est un préalable nécessaire à la définition d'une méthode de conception minimisant ses effets.

1.4.1 Le concept de gigue

Si l'on considère une série de bits transmis au travers d'une liaison idéale, l'instant de passage à la valeur moyenne devrait être identique d'un bit à l'autre. En réalité, compte tenu des variations dues à la bande passante, aux alimentations et aux aléas de fonctionnement attribuables au design, cet instant de croisement va connaître une certaine déviation dans le temps comme illustré à la Figure 1.9. De manière générale, cette déviation dans le temps d'un bit par rapport à sa position idéale au point de croisement est définie comme

étant la gigue. Elle est caractérisée par deux composantes dont l'une est déterministe et l'autre aléatoire.

La composante déterministe peut se décomposer à son tour en "*duty cycle distortion*" (DCD), en interférence intersymbole - "*Intersymbol Interference*" (ISI) et, en "*periodic jitter*" (PJ). Le DCD est généralement causé par une référence de tension instable, la principale cause de l'interférence intersymbole est une limitation en bande passante des composants du circuit ou du canal de transmission et, le PJ est causé par des réflexions dans le canal de transmission. Toutes ces composantes mises ensemble contribuent à la dégradation de l'intégrité du signal. La décomposition totale telle que illustrée à la Figure 1.10 a une pertinence certaine au moment du dépanage du système.

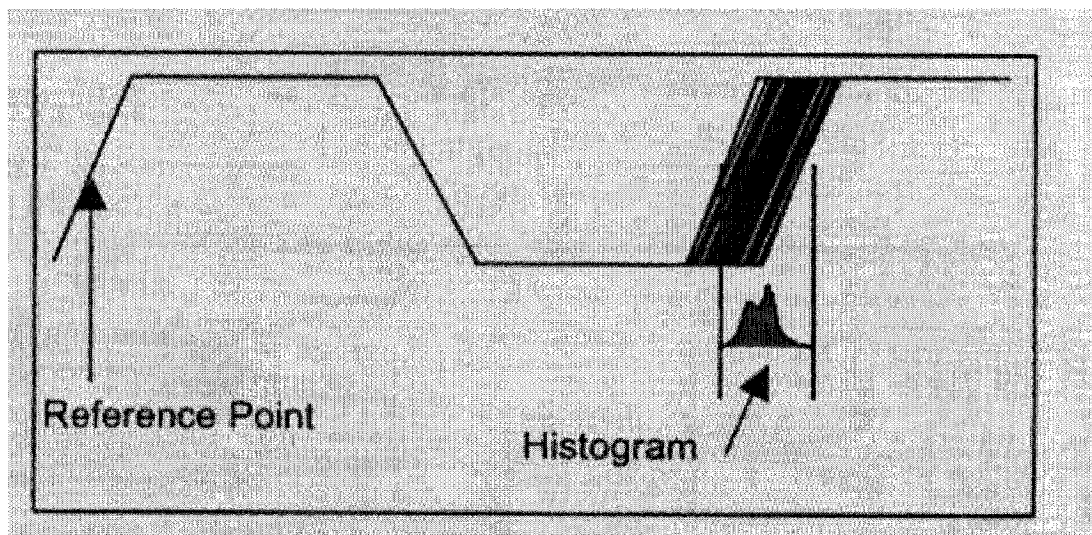


Figure 1.9 Définition du "*jitter*" [76]

La composante aléatoire appelée gigue aléatoire en anglais "*random jitter*" (RJ) quant à elle, provient de l'excitation thermique dans la structure cristalline du semicon-

ducteur. Elle est probabiliste de nature et peut être caractérisée par une distribution gaussienne. RJ est définie par sa valeur crête-à-crête donnée par 14 fois la déviation standard de la gaussienne pour un taux d'erreur binaire 10^{-12} . Comme la gigue aléatoire est un processus stochastique, son amplitude n'est pas bornée; RJ va s'accumuler avec le temps, et par conséquent, elle affectera la fiabilité à long terme du système. Pour un taux d'erreur binaire de 10^{-12} , la gigue totale (TJ) est fortement dépendante de la composante aléatoire $T_J = D_J + 14 \times R_J$ [76]. La compréhension des différentes sources de gigue permet d'envisager des techniques minimisant ses effets.

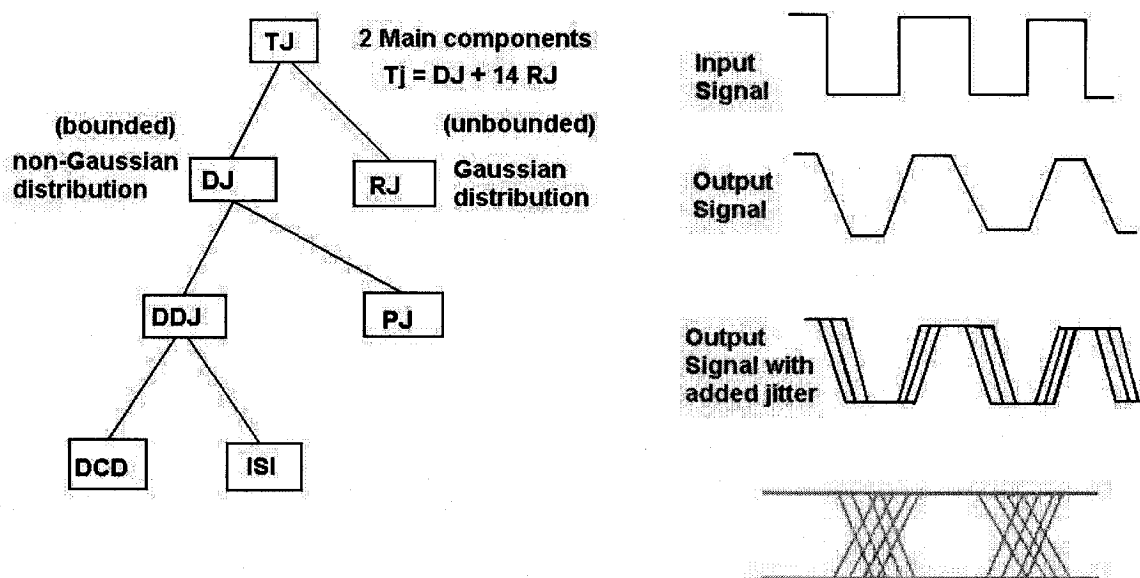


Figure 1.10 La décomposition de la gigue [76]

1.4.2 Conception minimisant la gigue

Il en découle de l'investigation menée au cours de nos travaux de recherche que, la méthode de polarisation de chaque étage amplificateur a une importance capitale dans la

tolérance à la gigue. La polarisation peut être par un courant constant obtenu d'une référence *Bandgap* ou par un courant proportionnel à la température (*PTAT*). La Figure 1.11 est le modèle de polarisation que nous avons utilisé dans les simulations. La particularité de cette forme de polarisation qui fait la différence avec les autres provient du fait que, nous avons utilisé la notion de taille unitaire pour les résistances utilisées. Ainsi, les variations de la température et du procédé de fabrication se compensent mutuellement. Nous proposons ici un circuit de polarisation modulaire adaptée à la conception à faible consommation de puissance. La résistance R2 permet de créer la tension proportionnelle à la température. En tenant compte de la plage de variation de la résistance unitaire, il est possible d'assurer une meilleure compensation afin d'éviter de larges décalages de la valeur moyenne.

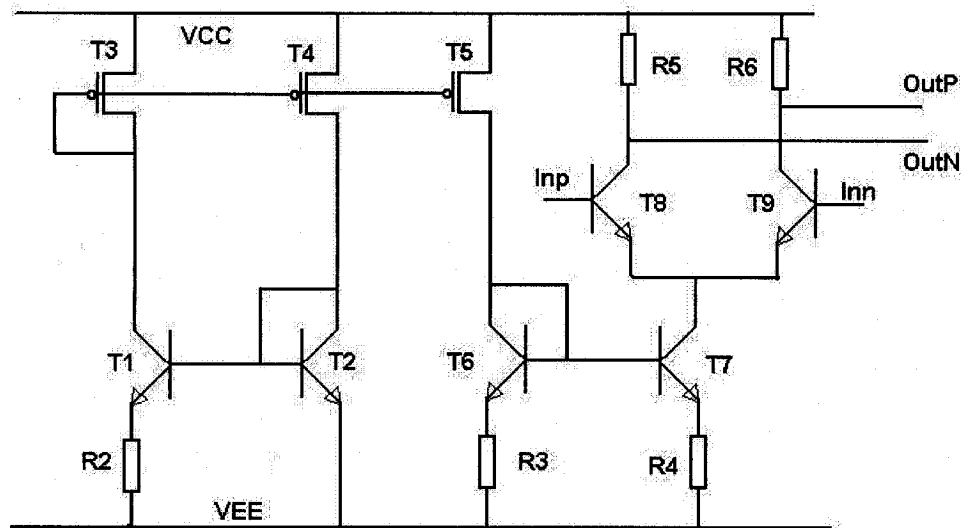


Figure 1.11 Principe de polarisation avec une source PTAT.

Afin d'éviter des zones mortes et la méta-stabilité pouvant générer des aléas de fonctionnement, nous avons ajouté un circuit de démarrage comme l'illustre la Figure 1.12. Cette fonctionnalité est très importante dans la conception des circuits intégrés dédiés aux applications où l'erreur doit être minimisée. Grâce à l'utilisation de la résistance R1, à la mise sous tension, la cellule principale de ce circuit composée des transistors T1, T2, T3 et T4 est polarisée de manière adéquate. La résistance R1 peut également être remplacée par un composant actif NMOS. Pour des besoins de clarté, les illustrations faites dans cette section énoncent principalement le concept. Les mises en oeuvre peuvent différer légèrement pour tenir compte de la spécificité de chaque application.

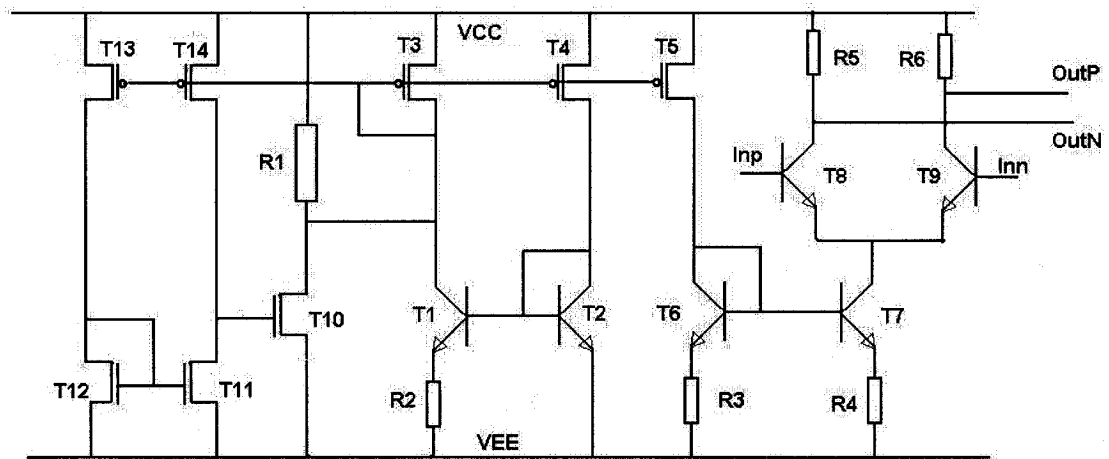


Figure 1.12 Circuit de polarisation proposé

1.5 Contributions et organisation de la thèse

La conception d'une nouvelle classe d'amplificateurs à transimpédance à faible bruit et à large bande en AsGa dont l'entrée est moins sensible aux variations de la charge

capacitive d'entrée constitue la première contribution de ce thèse. Ce qui est nouveau dans ce design, c'est l'isolation totale de la capacité de la photodiode dans la détermination de la bande passante à -3 dB du système. Nous exploitons la faible impédance d'entrée associée à la configuration du transistor d'entrée monté en grille-commune, pour étendre la bande passante du préamplificateur. L'un des grands défis de cette approche est la minimisation du bruit d'entrée lorsque la fréquence devient élevée de l'ordre de 10-GHz et plus.

Une des limitations au fonctionnement à haute performance des photorécepteurs est liée à la récupération d'horloge. En effet, lorsque le débit de transmission devient élevé, les problèmes de synchronisation deviennent graves en présence du bruit. La gigue est l'une des principales limitations à la performance des réseaux de transmission à grands débits. Elle est caractérisée par deux composantes dont l'une est déterministes et l'autre est aléatoire. Dans cette thèse, une technique de conception minimisant ces composantes est suggérée.

En outre, les circuits utilisant des architectures non-différentielles ont un sérieux problème d'absence de référence de niveau d'entrée. Ces circuits souffrent non seulement d'une grande sensibilité au bruit des alimentations, mais également d'une grande dépendance aux variations de la température et à celles du procédé de fabrication; le bruit généré va dégénérer sous forme de gigue et dégrader le signal transmis. Dans cette thèse, nous proposons une cellule d'amplification à transimpédance incorporant une nouvelle méthode de conversion d'une entrée simple en sorties différentielles pour un meilleur rendement en dynamique. Contrairement à la méthode conventionnelle d'ajustement de seuils

par un contrôle externe, nous proposons également un circuit de compensation automatique de seuils avec des ajustements intégrés, minimisant ainsi la contribution de la gigue. L'ensemble de ces méthodes constitue la deuxième contribution de la thèse.

Dans la phase de mise en application des concepts proposés ci-haut, nous tenons compte des techniques de conception pour la stabilité car, l'un des problèmes majeurs dans la conception et la fabrication des circuits intégrés devant fonctionner à très hautes fréquences est celui de leur stabilité dans leur environnement d'opération. Pour cela, nous proposons une méthodologie de conception pour la stabilité (DFS) des circuits intégrés à haute performance. L'application de cette méthodologie permet aux concepteurs des circuits intégrés d'effectuer efficacement la vérification de la stabilité de leur circuit lors de la phase de conception. La méthodologie proposée constitue la troisième contribution de cette thèse.

Au chapitre 2, nous présentons une revue de littérature critique sur des travaux antérieurs. Nous avons présenté un bref historique lié au développement et à la mise en service des systèmes de communication par fibre optique. Le chapitre 3 contient un article publié dans "The Journal of Vacuum Science and Technology B" intitulé: "*Design and Implementation of Optoelectronic Interfaces for High-Speed Burst-mode Transmissions*". Dans cet article, nous proposons une nouvelle classe d'amplificateurs à transimpédance à faible bruit et à large bande en AsGa dont l'entrée est moins sensible aux variations de la charge capacitive d'entrée. L'article intitulé: "*A BiCMOS 120 mW 11 GHz Transimpedance Amplifier Dedicated for High-Speed Integrated Photoreceivers*" fait

l'objet du chapitre 4. Cet article présente la technique de conception minimisant les effets de la gigue. Il a été soumis pour publication au "the Journal of Circuits, Systems and Computers". Le chapitre 5 introduit la conception pour la stabilité des circuits intégrés devant fonctionner à hautes fréquences. Cette notion fait l'objet de l'article intitulé: *"Design for Stability of High-Speed Integrated Photoreceivers: A Tutorial"* qui a été accepté pour publication dans "The journal of analog integrated circuits and signal processing". Nous terminerons par la conclusion au chapitre 6 et la discussion générale sur l'ensemble des travaux de cette thèse et par des propositions de développements futurs.

CHAPITRE 2

REVUE DE LITTÉRATURE

2.1 Introduction

Dans le domaine des communications en général et celui des communications optiques en particulier, qu'elles soient de courtes distances ou de longues distances, l'une des composantes les plus importantes est le module de réception. Les spécifications de conception de ce module sont donc très délicates, car un faible signal d'entrée doit être amplifié de manière à ce que l'on puisse détecter efficacement l'information qui était transmise par le transmetteur. Mais tout amplificateur assure en principe la fonction d'amplification en y ajoutant une composante appelée bruit de l'amplificateur. Lorsque le signal à amplifier est très faible, le bruit de l'amplificateur devient dominant et l'information transmise ne peut être récupérée efficacement.

Deux critères très importants dans la conception du module de réception sont donc un faible bruit et une grande sensibilité. Au cours des années, plusieurs équipes de recherche ont présenté les résultats de leurs travaux de recherche sur le sujet. Dans ce chapitre, nous présentons une revue de ces travaux en commençant par un bref historique sur les transmissions par fibre optique.

2.2 Historique

L'apparition du laser en 1960 fut inévitablement le début d'une nouvelle page de l'histoire des télécommunications. Mais, le véritable début de l'histoire des télécommunications optiques est lié à l'avènement des fibres optiques. Car c'est en 1966 que les premières expérimentations de transmission de signaux sur fibre optique ont été réalisées [22], [47], mais il a fallu attendre de nombreuses années de recherche pour maîtriser les procédés de fabrication et contrôler la composition des matériaux. Ainsi, l'on est parvenu à obtenir des niveaux d'atténuation acceptables pour susciter un intérêt pratique et rendre la technique optique compétitive. Partie de 100 dB/km en 1960, l'atténuation dans la fibre a été améliorée au cours des années à 20 dB/km en 1975, puis à 0.2 dB/km en 1984 [66], [72], [74].

Encouragé par ces faibles valeurs d'atténuation, le développement des sources optiques et des photodétecteurs rapides s'est intensifié à un rythme accéléré au début des années 80. Des progrès énormes ont ainsi été réalisés dans le développement des systèmes de transmission par fibres optiques avec l'apparition des fibres optiques à faibles pertes et à faible dispersion. Bhagavatula et son équipe rapportent dans [7] une amélioration des pertes dans les fibres optiques monomodes utilisées dans les systèmes à longue portée. En effet, les nouvelles valeurs de l'atténuation sont établies à 0.27 dB/km à la longueur d'onde de 1.3 μm et à 0.16 dB/km à la longueur d'onde de 1.55 μm . À titre indicatif, la Figure 2.1 [39] montre les courbes caractéristiques de la fibre optique en fonction de la longueur d'onde. Dans cette figure, on peut noter deux fenêtres d'intérêt pour les trans-

missions à longue portée. La première se situant autour de $1.3 \mu\text{m}$ est caractérisée par une dispersion chromatique nulle et l'autre, autour de $1.55 \mu\text{m}$ caractérisée par une plus faible atténuation.

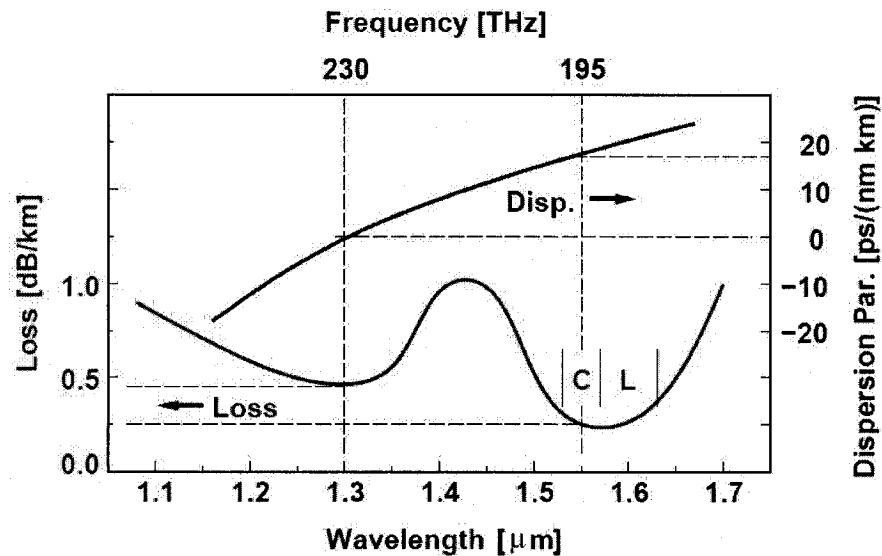


Figure 2.1 Courbes de dispersion et d'atténuation dans la fibre optique [39]

Comparée aux autres supports de transmission existant, la fibre optique présente une atténuation quasiment constante sur une énorme plage de fréquences et offre ainsi l'avantage de bandes passantes gigantesques, permettant d'envisager la transmission à des débits plus élevés. Ainsi, les systèmes de transmission optique de la première génération furent installés en 1978 [66]. Ces systèmes opérant à la longueur d'onde de $0.8 \mu\text{m}$ pouvaient acheminer un débit de transmission allant de 50 Mb/s à 100 Mb/s avec un espacement entre répéteurs de 10 km.

Mais l'avènement des amplificateurs optiques à semiconducteur étudiés en laboratoire depuis le début des années 70 [1], [66] a été l'un des moments forts dans le domaine des communications par fibre optique à longue portée. En effet, lorsque les amplificateurs optiques sont placés en ligne, ceux-ci permettent d'amplifier le signal affaibli dans la fibre. Cependant, il y a lieu de mentionner que les amplificateurs optiques n'ont pas la fonction de régénération du signal [66]. Plusieurs expérimentations vont alors être menées en laboratoire dont l'une des plus pertinentes est celle de Yamada et son équipe en 1981 [81], qui rapportent une transmission à un débit de 2 Gb/s sur une distance de 44.3 km à la longueur d'onde de 1.3 μm .

Ainsi, la seconde génération de systèmes de transmission par fibre optique est apparue dans les années 80 avec la maîtrise des lasers à semiconducteur opérant à 1.3 μm et de la fibre optique monomode [7], [23], [52], [53], [54], [66], [72]. Ces systèmes de transmission furent déployés autour de la longueur d'onde de 1.3 μm pour éviter la limitation causée par la dispersion qui est l'étalement des impulsions dans le temps à mesure qu'elles voyagent dans la fibre. En fonction de la portée du système, l'introduction des répéteurs-régénérateurs permet de compenser l'atténuation subie dans la fibre.

Étant donné la faible atténuation autour de 1.55 μm et l'invention des amplificateurs optiques à fibre dopée à l'erbium [18], des recherches ont été menées dans le but d'exploiter ces deux propriétés autour de cette longueur d'onde. Ainsi, les fibres optiques à dispersion décalée ont été inventées. En 1982, Ainslie et son équipe rapportent dans [3] une atténuation de l'ordre de 0.24 dB/km sur ces nouvelles fibres. Forts de leurs résultats

publiés une année plus tôt, Yamada et son équipe ont à nouveau rapporté une transmission à 2 Gb/s cette fois-ci sur une distance 51.5 km à 1.55 μm [82]. Ces travaux ont lancé définitivement les jalons sur la possibilité de transmission à longue portée et à grand débit.

Bien que les expérimentations de transmission autour de la longueur d'onde de 1.55 μm furent rapportées au début des années 80, il a fallu attendre une décennie pour que ces systèmes deviennent disponibles commercialement. Ainsi, la troisième génération des systèmes de communication par fibre optique quant à elle est apparue au début des années 90 avec la maîtrise des amplificateurs à fibre optique dopée à l'erbium et l'utilisation des fibres optiques à dispersion décalée [42]. Ces systèmes opérant à 1.55 μm furent installés commercialement en 1996 dans le cadre du câble trans-atlantique TAT-12/13 à un débit de 5-Gb/s [74]. Depuis lors, des efforts considérables ont été consacrés sur l'amélioration de la distance de transmission entre la source et la destination. Des avantages sont attendus de ces systèmes dits "amplifiés" en termes de simplicité et de transparence au débit. Dans la section suivante, nous allons présenter l'état de l'art dans la conception des interfaces optoélectroniques de réception.

2.3 État de l'art

Les systèmes de communication actuels ont été essentiellement développés pour des transmissions à longues distances et à des débits relativement élevés. Parallèlement aux progrès réalisés dans le développement des fibres optiques, des sources optiques et des photodétecteurs rapides, des progrès simultanés sur la conception et fabrication des interfaces optoélectroniques permettront de surmonter progressivement les limitations

liées à la sensibilité et au bruit d'entrée du récepteur. La sensibilité est définie comme étant la puissance optique minimale requise pour assurer le taux d'erreur maximum spécifié sur les bits.

2.3.1 La sensibilité du récepteur.

La conception des circuits intégrés pour les applications en communication optique est un domaine de recherche très intéressant et en évolution; la littérature relative y est abondante. En effet, de nombreux travaux ont été publiés au cours des années et les premières publications remontent aux années soixante [12], [56]. Depuis cette époque, d'énormes efforts ont été déployés afin d'améliorer la performance des circuits réalisés.

Ainsi en 1973, Personick fut l'un des pionniers à publier sur la théorie de conception des circuits dédiés aux photorécepteurs numériques pour les transmissions optiques [56]. Quelques années plus tard en 1979, d'autres auteurs tels que Ogawa et Chinnock [49] ont apporté des contributions dans le domaine en s'appuyant sur la théorie véhiculée par Personick. Ces différentes réalisations furent limitées par le compromis gain-bande passante et leur performance ne dépassa guère la bande passante de 1 GHz; le bruit d'entrée du récepteur fut le facteur le plus dominant.

Au début des années 80 les technologies en arséniure de gallium (AsGa) et en bipolaire étaient les seules disponibles pour des applications nécessitant une bande passante élevée. Seulement, cette bande passante réalisable dépendait plus de l'état de l'art au niveau du procédé de fabrication que des techniques de conception à proprement parler.

Ainsi, les contributions respectives de Smith et Personick [70], Ogawa [50] et Tran Van Muoi [46] dans le domaine n'ont servi qu'à établir une bonne base théorique pour les travaux futurs. Différents aspects de conception et critères de performance y ont été abordés.

Bien que les travaux de pionnier de Yamada et son équipe [81], [82] aient démontrés la possibilité de transmettre à 2 Gb/s, il a fallu attendre le milieu des années 80 avec l'avènement des circuits intégrés optoélectroniques (OEICs) pour se situer réellement au-delà de la bande passante du Gigahertz. En effet, Imai et son équipe [31] ont obtenu des performances améliorées dont, un gain de 22 dB avec une bande passante de 2.7 GHz et une figure de bruit de 5.6 dB grâce à l'utilisation du procédé de fabrication SAINT (*self-aligned implantation for n+ layer technology*) à 1 μm . Malgré l'utilisation d'un bon procédé de fabrication, la figure de bruit n'a pu être améliorée considérablement et leur réalisation souffrait entre autres, d'une dissipation de puissance assez élevée que l'on pourrait attribuer à la technologie utilisée. La minimisation du bruit d'entrée du récepteur et l'amélioration de sa sensibilité sont demeurées l'objet de recherche dans plusieurs laboratoires.

L'avènement des circuits intégrés optoélectroniques (OEICs) [6], [25], [33], [75] a donc été une étape importante dans l'amélioration de la performance en vitesse et en bruit d'entrée de l'étage récepteur. Ainsi, Hamaguchi et son équipe [25], de même que Itoh et son équipe [33] ont présenté leurs travaux sur des circuits photorécepteurs intégrant la photodiode et le préamplificateur sur une même puce ("*chip*"), constituant ainsi une étape

importante dans l'intégration de l'interface optoélectronique de réception. Dans [25], Hamaguchi et son équipe ont présenté la conception d'un photorécepteur intégré à deux étages ayant une photodiode en AsGa de type MSM (*Metal Semiconductor Metal*) comme photodétecteur. Ils ont pu réaliser un photorécepteur dont la sensibilité obtenue était de -18 dBm, la performance à l'entrée étant limitée par l'effet "Miller."

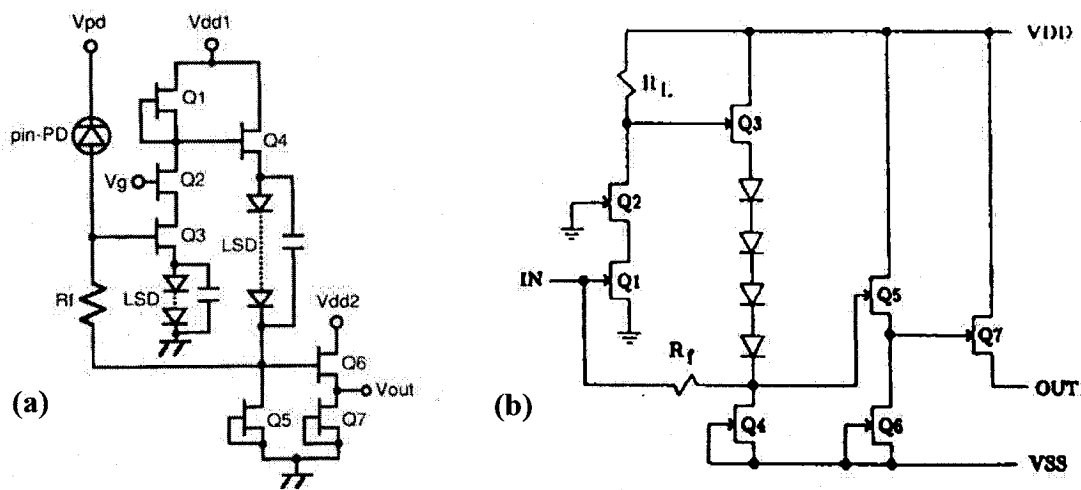


Figure 2.2 Étage d'entrée en configuration cascode en GaAs MESFETs: (a) Ulchida [75], (b) Scheinberg [68]

Toujours dans la même lancée, Scheinberg et son équipe [68], de même que Ulchida et son équipe [75] ont quant à eux utilisé un étage d'entrée en cascode comme illustré à la Figure 2.2 pour éliminer l'effet Miller. En effet, la configuration en cascode est l'une des solutions à envisager pour améliorer les performances de l'étage d'interface. Lorsque la conception est bien faite, le produit gain-bande passante et le bruit d'entrée peuvent être considérablement améliorés sans altérer la stabilité du circuit. L'équipe de Ulchida a rapporté dans [75] un bruit d'entrée aussi bas que $5\text{pA}/\sqrt{\text{Hz}}$ et une sensibilité

de -34 dBm pour une expérimentation opérant à un débit de 622 Mb/s. Ces résultats furent très encourageants, mais en revanche, la bande passante maximale et le gain réalisé n'ont été guère élevés. Il y a lieu de noter que le faible bruit d'entrée a été obtenu grâce à l'intégration de la photodiode et du préamplificateur sur une même puce.

L'intégration du photodétecteur et du préamplificateur sur une même puce n'est pas une option toujours disponible. La conception des amplificateurs à transimpédance est donc demeurée un sujet attrayant où de nouvelles méthodes de conception sont toujours sollicitées en vue d'en améliorer les performances. Les années 90 marquèrent la démonstration des systèmes opérant à des débits de transmission de 10-Gb/s et plus avec la maîtrise des amplificateurs optiques de même que l'apparition de nouvelles technologies de fabrication des circuits intégrés. Dans la sous-section suivante, nous allons aborder les réalisations à large bande et à haut débit.

2.3.2 Photorécepteurs à large bande et à haut débit

Le photorécepteur est un composant clé dans les systèmes de communication à haut débit. Pour de telles applications, lorsque le préamplificateur n'est pas précédé d'un amplificateur optique, il est recommandé de disposer d'un étage préamplificateur à très faible bruit. Comme le signal d'entrée est un photocourant provenant d'une photodiode, l'interaction des propriétés de celle-ci avec celles du transistor d'entrée constitue la première contrainte de conception. En effet, la capacité équivalente à l'entrée et la résistance équivalente d'entrée constituent le pôle dominant qui limite la bande passante réalis-

able. Il est primordial d'avoir une séparation adéquate entre le pôle dominant et le pôle non dominant afin d'éviter des problèmes d'instabilité.

Grâce à son meilleur compromis entre le gain et la bande passante, l'amplificateur à transimpédance est généralement utilisé pour convertir le photocourant en une tension, puis l'amplifier à un niveau acceptable pour les circuits de décision et de récupération de l'horloge. Pour des applications fonctionnant à haut débit en général et des débits de 10-Gb/s et plus en particulier, de nombreuses publications ont été rapportées dans la littérature [5], [11], [13]-[17], [24], [27]-[30], [32], [34], [36], [44], [45], [48], [55], [60]-[62], [64], [65], [71], [77]-[80], [83]. Ces réalisations peuvent être classées en trois catégories. La première catégorie est caractérisée par l'emploi d'architectures non différentielles [15]-[17], [30], [33], [60], [65], [77]. De telles architectures présentent un taux de rejet en mode commun médiocre et souffrent généralement du bruit des alimentations élevé. Par conséquent, il est avantageux d'utiliser des architectures différentielles afin d'améliorer l'immunité au bruit des alimentations et tout autre bruit apparaissant en mode commun. Pour cela, la conception d'un étage de conversion d'une entrée simple en sortie différentielle s'est avérée nécessaire.

Les travaux préliminaires sur la conception d'un tel étage ont été publiés par Ichino et son équipe [29] en 1994. Plus tard en 1996, Mullrich et son équipe [45] puis, plus récemment en 2003 Weiner et son équipe [78] ont rapporté des résultats de travaux sur l'étage d'entrée à sorties différentielles pour des applications à 10-Gb/s et plus tel qu'illustré à la Figure 2.3. L'utilisation d'une deuxième photodiode représente l'un des incon-

venients de ces circuits, ce qui avait pour conséquence, de nouvelles contraintes dans la réalisation des dessins de masque. En plus, la principale limitation de ces réalisations était la difficulté à obtenir un décalage de phase adéquat entre les deux entrées complémentaires et la symétrie nécessaire entre les signaux résultant en sortie.

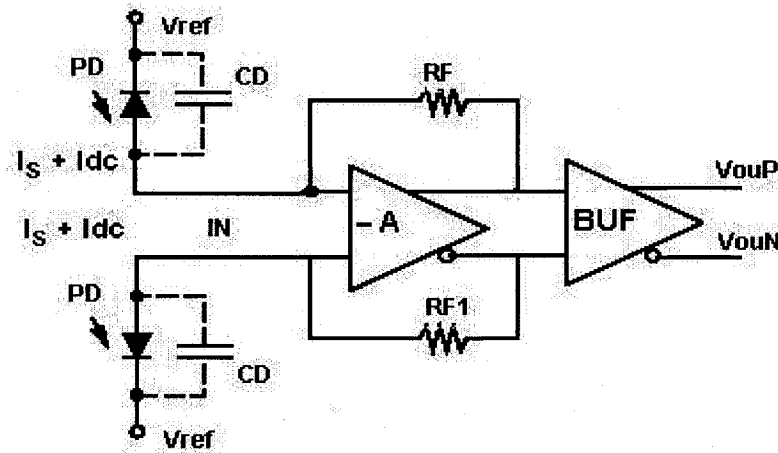


Figure 2.3 Étage de conversion à sorties différentiels

D'autre part, dans le but d'améliorer les performances jusque-là obtenues, Hurm et son équipe [28] en 1997, suivis de Greshishchev et son équipe [24] en 2000, puis Xian-Jie et son équipe [80], Wu et son équipe [79] en 2003 ont rapporté sur la conception des amplificateurs à transimpédance à sorties différentielles que l'on pourrait qualifier de la deuxième catégorie. Le principe utilisé consiste à filtrer la valeur moyenne du signal d'entrée au moyen d'un filtrage capacitif tel qu'illustré à la Figure 2.4. Ces réalisations souffrent d'un certain nombre d'imperfections parmi lesquelles:

- 1- la tension de décalage systématique des composants résultant en une variation du point de croisement qui à son tour se traduit en une gigue plus élevée,
- 2- la dégradation du taux d'erreur binaire sur les bits et,
- 3- des problèmes d'intégrité du signal résultant d'une gigue élevée.

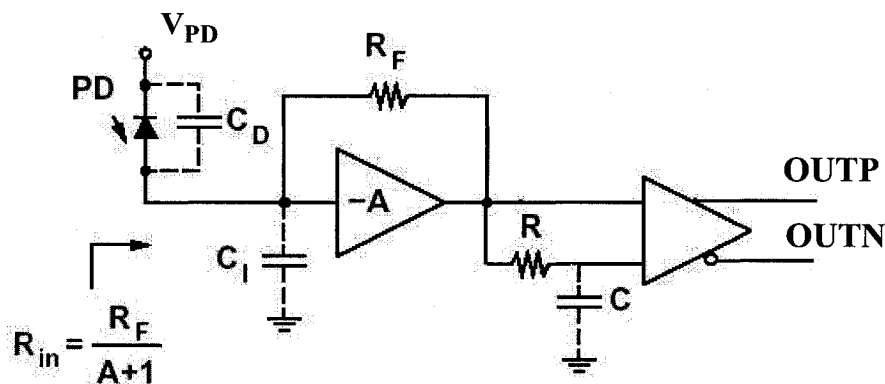


Figure 2.4 Principe de conversion d'une entrée simple en sorties différentielles

Dans le but d'améliorer la performance et de vaincre les imperfections mentionnées dans le paragraphe précédent, Ohhata et son équipe [51] rapportent en 1999 une autre approche qui consiste à générer localement une tension de référence pour polariser l'entrée complémentaire tel qu'illustré à la Figure 2.5. Ils ont obtenu une gamme dynamique de 22 dB mais les diagrammes de l'oeil montrent des temps de montée relativement longs; ces temps de montée longs pourraient être attribués à une limitation en bande passante. La puissance dissipée paraît aussi relativement importante (450 mW) et la densité du bruit d'entrée est de $12\text{pA}/\sqrt{\text{Hz}}$. Ces performances sont en partie dues à la technologie utilisée, mais l'idée de tension de référence a retenu l'attention de plusieurs

chercheurs. Cependant, l'approche proposée dans cet article utilise un ajustement externe au moyen du condensateur C_p dans la Figure 2.5, de tels ajustements ne sont pas désirables pour une opération en fréquences élevées.

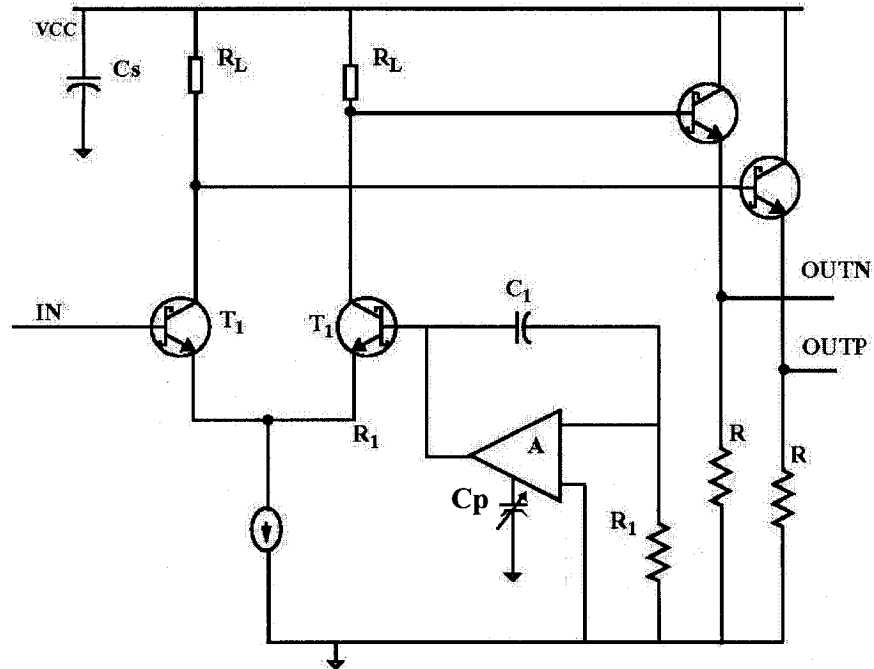


Figure 2.5 Etage de conversion d'une entrée simple en sorties différentielles.

Pour surmonter ces imperfections, d'autres chercheurs ont proposé des solutions basées sur l'utilisation d'une photodiode entre les deux bornes d'entrée [38]. Mais cette alternative pose parfois des problèmes de polarisation de la photodiode. Une autre approche essentiellement véhiculée par Rein et son équipe [44], [45], [60]-[62] consiste à placer une capacité équivalente à celle de la photodiode à l'entrée complémentaire afin de mimer le fonctionnement de la photodiode et obtenir ainsi une symétrie à l'entrée en régime dynamique.

Sur un autre aspect, l'une des références les plus citées pour la conception des circuits fonctionnant à 10-Gb/s est celle de Kim et son équipe [36]. Dans celle-ci, les auteurs proposent la conception d'un amplificateur à transimpédance utilisant une configuration en émetteur-commun. Une étude comparative de cette configuration avec la configuration en base commune a été également présentée. Bien que cette dernière configuration permette de réaliser une bande passante plus large, tout dépendant de la technologie utilisée, le bruit d'entrée pourrait être dominant surtout aux fréquences élevées. Ils ont mis l'accent sur l'intégration du photodétecteur et du préamplificateur dans un même boîtier et ont pu ainsi mesurer une sensibilité de -17 dBm au taux d'erreur binaire de 10^{-12} . L'intégration du photodétecteur et du préamplificateur dans un même boîtier est une option permettant d'améliorer la sensibilité et le bruit d'entrée du récepteur car, elle élimine les capacités parasites liées à la connexion hybride entre le photodétecteur et le préamplificateur. Seulement, cette option a une limitation liée au procédé de fabrication utilisé. En effet, le photodétecteur et le préamplificateur ne sont pas toujours réalisés au moyen des mêmes matériaux.

Comme le niveau du signal à l'entrée du récepteur n'est pas toujours garanti à cause de la nature aléatoire de l'arrivée des photons sur le photodétecteur, deux approches sont généralement utilisées afin de garantir un signal de sortie constant. La première consiste à utiliser un étage de contrôle automatique de gain (CAG). Parmi les références publiées dans la littérature, on note celle de Ikeda et son équipe [30] qui rapportent sur la conception et la réalisation d'un amplificateur à transimpédance en AsGa fonctionnant à

10-Gb/s. Ils ont pu réaliser une sensibilité de -21dBm au taux d'erreur binaire de 10^{-9} . Bien que cette valeur de sensibilité soit satisfaisante pour le standard SONET, la consommation de puissance inhérente à la technologie pourrait devenir une limitation du design lorsqu'il s'agit des applications à faible consommation de puissance. La deuxième approche consiste à utiliser un étage limiteur de conception moins complexe que le CAG. Parmi les références citées, l'on note celle de Ohhata et son équipe [51].

Les systèmes fonctionnant à 10-Gb/s et plus ont déjà été rapportés dans la littérature, mais compte tenu des progrès réalisés au niveau des technologies et procédés de fabrication, de nouvelles techniques de conception sont toujours en grande demande afin d'améliorer la conception et la stabilité des circuits devant fonctionner à grand débit. Dans cette thèse, nous proposons une alternative basée sur l'idée de référence en tension locale générée à partir du miroir de la branche principale. Les détails de cette réalisation de même que les résultats expérimentaux obtenus sont présentés dans le chapitre 4 de cette thèse. La sous-section suivante va traiter de la conception pour la stabilité des circuits en hautes fréquences.

2.3.3 La conception pour la stabilité

Il est possible de réaliser le circuit le plus performant du monde, mais si celui-ci n'est pas stable dans l'environnement pour lequel il a été conçu, les ressources dévolues à la réalisation auront été vaines. Le problème de stabilité est donc capital dans le processus de conception et de fabrication des circuits intégrés dédiés aux applications en hautes fréquences. Par ailleurs, avec la miniaturisation de la taille des composants rendue possi-

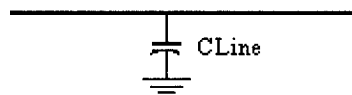
ble grâce à la réduction de l'échelle au niveau des procédés de fabrication, on est actuellement en mesure de concevoir et de réaliser des circuits à large bande pouvant répondre à une demande grandissante en systèmes de communications opérant à des débits de transfert de 10-Gb/s et plus.

Seulement, la réduction de l'échelle s'accompagne de nouvelles contraintes de conception pour les concepteurs des circuits intégrés utilisés dans de tels systèmes. En effet, les exigences de gain élevé et de large bande passante sont de nature à rendre les amplificateurs réalisés instables si une méthode de conception adéquate n'a pas été adoptée lors de la phase de conception. Les interconnexions constituent l'une des principales limitations à la performance et à la stabilité. Les capacités parasites pourtant négligeables dans l'analyse des circuits en basses fréquences ne le sont plus en régime de fonctionnement en hautes fréquences et par conséquent, elles doivent être prises en compte dans les modèles de simulation. L'un des compromis souvent utilisé dans la conception des circuits intégrés devant opérer en hautes fréquences est le produit du gain et de la bande passante puis les autres performances sont ajustées en conséquence [43].

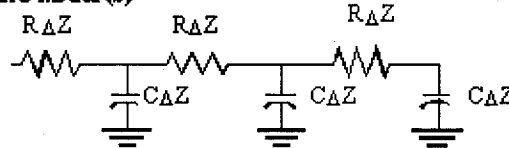
Face à la réduction de l'échelle au niveau des procédés de fabrication, la modélisation des interconnexions devient alors plus complexe car, chaque conducteur possède désormais une capacité parasite, une inductance parasite et une résistance série équivalente qui dépend de la fréquence [37], [43]. Lorsque la fréquence d'opération des circuits devient élevée, un conducteur n'est plus représenté par une résistance nulle, mais plutôt par un circuit équivalent tel que illustré à la Figure 2.6. Chaque conducteur introduit donc

un délai de propagation et l'impédance équivalente possède une réponse en fréquence et une réponse transitoire de nature à dégrader considérablement la performance des circuits réalisés. Des circuits équivalents modélisant le réseau de connexion des composants au substrat ont alors été proposés dans la littérature [58], [59].

Capacitive lumped model (a)



RC model (b)



RLC model (c)

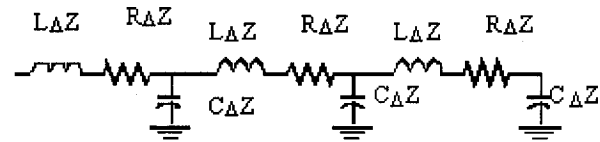


Figure 2.6 Modèle d'interconnexion [43]

L'une des particularités des circuits fonctionnant en hautes fréquences est le nombre important de paramètres à considérer lors de leur conception. Ce nombre croît rapidement avec la complexité du circuit. Certains de ces paramètres sont contrôlables et d'autres ne le sont pas. Ils sont interdépendants pour la plupart et, négliger certains d'entre eux pourrait conduire à une défaillance du système à laquelle il serait difficile de remédier. Pour cela, le concepteur de tels circuits est souvent obligé de composer avec le caractère aléatoire de leurs variations.

Rein et Moller dans [61] présentent certains aspects à considérer lors de la conception des circuits intégrés devant fonctionner à grand débit en mettant l'accent sur l'optimisation du design par l'utilisation de modèles avancés de transistors. Dans cette référence, les auteurs montrent comment l'on peut utiliser avantageusement l'inductance équivalente des fils de raccordement (bondwire) à l'entrée pour améliorer la performance du circuit. Malgré l'existence d'une littérature abondante dans la conception et la réalisation des circuits intégrés pour des applications en communication optique [5], [11], [13]-[17], [24], [26]-[36], [44], [45], [48], [55], [60]-[65], [71], [77]-[80], [83], très peu d'entre elles portent sur la stabilité en particulier. Pourtant la notion de stabilité est très importante pour l'opération des circuits à très large bande et à gain élevé tels que rencontrés dans le domaine des communications à haut débit.

L'une des références les plus citées pour l'analyse de la stabilité est le livre de Gonzales [21] publié en 1984. Cet ouvrage de référence est utile à la compréhension du concept de la stabilité des amplificateurs micro-onde en général. En 1992, Ishihara et son équipe [32] ont proposé une technique de conception d'un amplificateur réalisé au moyen de la technologie en AsGa et dédié aux applications à 10-Gb/s. Dans cet article, les auteurs ont proposé une méthode dite "unifiée" de conception des amplificateurs à haut débit, permettant d'optimiser l'interconnexion entre deux circuits intégrés montés sur un même module. Un autre ouvrage par M. Leonard Riazat en 1996 est une autre bonne référence qui traite de la stabilité [63]. Plus récemment en 2002, le professeur Antar et son équipe [26] ont proposé une étude complète sur la stabilisation multi-bandes des transistors à effet

de champ en AsGa (MESFETs) montés en source commune et en grille commune, utilisant une boucle de rétroaction.

De ces références, les critères les plus importants dans la conception des photorécepteurs à grands débits sont: la stabilité, la haute sensibilité, le produit du gain et de la bande passante, le bruit et les conditions de polarisation en courant continu. De ces critères, la stabilité de l'amplificateur semble être l'un des critères les plus importants pour de telles applications. En général, le photorécepteur est conçu pour être stable pour une impédance de charge donnée et pour une bande de fréquence donnée. Cependant, cette condition n'est satisfaisante que si l'impédance de la charge est définie pour chaque bande de fréquence dans la bande passante de l'amplificateur et l'impédance est supposée ne pas changer avec la fréquence. En conséquence, lorsque cette condition n'est plus satisfaite, l'amplificateur pourrait tout simplement perdre sa fonction d'amplification et devenir plutôt un oscillateur.

En outre, avec un échéancier très court imposé par des contraintes de temps d'arrivée du produit sur le marché (*Time to market*), la méthode générale de prototypage s'avère parfois inefficace forçant ainsi les concepteurs de circuits intégrés à rechercher une validation de leur design à travers des simulations intensives et précises. Pour atteindre ce but, les concepteurs de circuits intégrés doivent disposer d'un système de conception efficient et d'une méthodologie qui leur permet de prédire le comportement de leur design dans un environnement réel d'opération.

Par ailleurs, la testabilité des circuits électroniques utilisés dans les systèmes intégrés à haut débit comme les interfaces optoélectroniques de conversion à 10-Gb/s devient un déficit de taille pour la communauté des ingénieurs de test. Sylla et al. [73] ont abordé le problème de la testabilité de circuits intégrés à haute fréquence, mais leur méthode s'adresse uniquement aux fréquences d'opération inférieures à 1 GHz. De plus, lorsque la fréquence augmente à 10 GHz, la méthode de conception pour la testabilité largement utilisée pour les circuits opérant à basse fréquence n'est plus adéquate; la traditionnelle méthode d'insertion des points de test n'est plus une solution viable pour des circuits en hautes fréquences. En effet, à de telles fréquences, l'insertion des points de test introduirait des discontinuités dans le routage des signaux, causant ainsi des réflexions qui se traduisent par des valeurs de gigue élevées. De nouvelles méthodes permettant d'évaluer la performance des circuits intégrés en hautes fréquences sont donc en demande. Dans cette thèse, nous introduisons la notion de conception pour la stabilité dans le cycle de conception des circuits intégrés devant fonctionner à hauts débits.

Par rapport au cycle normal de conception et de fabrication des circuits intégrés de haute performance, nous proposons d'ajouter une étape de vérification de la stabilité tel que illustré à la Figure 2.7. Cette étape est importante car, elle permet au concepteur d'inclure dans les modèles de simulation des composants représentant l'environnement de fonctionnement du circuit. La Figure 2.8 quant à elle présente la version plus détaillée des différentes étapes à partir du concept à la réalisation du produit fini.

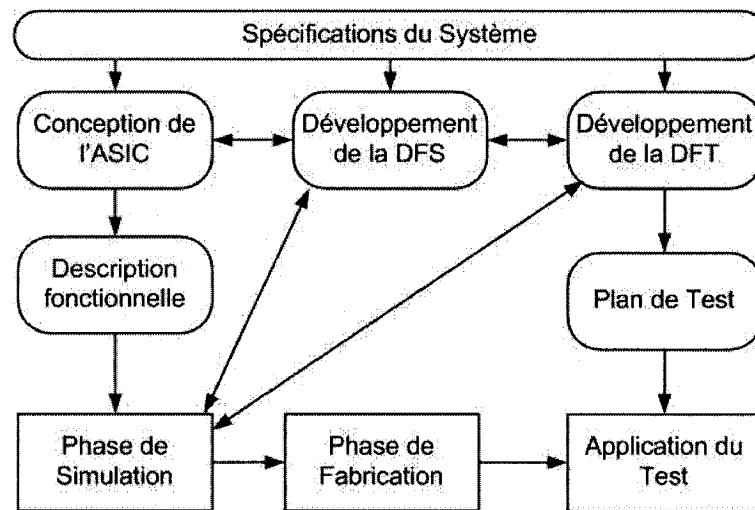


Figure 2.7 Cycle de conception de circuits intégrés proposé

2.4 Conclusion

Dans ce chapitre, nous avons introduit un certain nombre de concepts inhérents aux communications optiques. Le lecteur désireux d'approfondir ses connaissances sur certains d'entre eux peut se rapporter aux multiples références consultées. Un historique permettant de situer le contexte du champ d'application a été présenté. La revue de littérature critique présentée dans ce chapitre a permis de ressortir la problématique du sujet et de présenter l'état de l'art dans la conception des circuits intégrés dédiés aux applications en communications optiques à haut débit. Par ailleurs, l'amplificateur optique constitue une étape importante dans l'évolution des systèmes à fibre optique. Bien que l'introduction de l'amplification optique ait sensiblement modifié les contraintes de portée des systèmes de transmission à longue distance, le coût de tels composants demeure relative-

ment élevé pour des applications de portée moyenne [47], [51]; ce qui justifie la recherche de solutions favorisant la grande sensibilité d'entrée et une large bande passante.

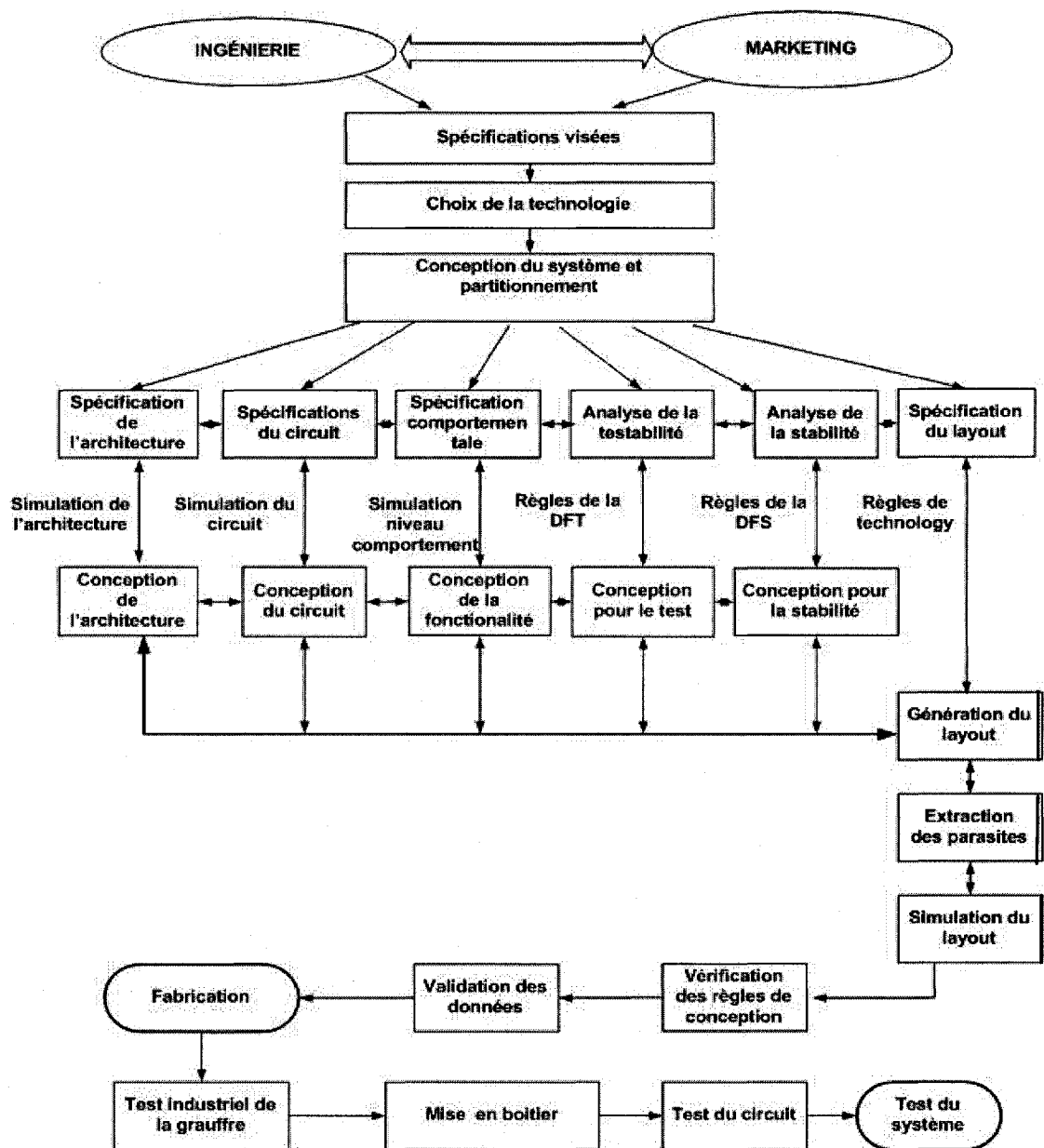


Figure 2.8 Cycle détaillé de conception des circuits intégrés à haut débit

CHAPITRE 3

CIRCUITS PHOTORÉCEPTEURS OPÉRANT À HAUT DÉBIT

3.1 Résumé

La demande en réseaux de communication opérant à grand débit s'est considérablement intensifiée avec la popularité des systèmes Internet et des systèmes multi-média. En effet, l'évolution prévisible des nouveaux services susceptibles d'être offerts aux usagers et les limites techniques du réseaux de distribution téléphonique actuel ont incité de nombreux exploitants de télécommunication à déployer de la fibre optique pour disposer d'une capacité leurs permettant de répondre rapidement à une demande plus diversifiée en services et débits. Ainsi, la pénétration de la fibre optique dans les réseaux locaux, notamment dans la distribution des services interactifs commerciaux et résidentiels se situe dans la logique de l'évolution des réseaux de communication.

La prochaine génération des réseaux de distribution par fibre optique nécessitera donc une grande flexibilité à pouvoir s'adapter à différents protocoles de communication. Dans de tels systèmes, l'amplitude et la phase du signal peuvent grandement varier d'une transmission à l'autre à cause de l'atténuation due aux imperfections dans la fibre optique d'une part, et de la dispersion chromatique dans la fibre due aux instabilités en longueur d'onde de la source émettrice. De plus, la performance de ces systèmes dépend fortement de la sensibilité et de la gamme dynamique de l'interface optoélectronique de réception.

En effet, la distribution de ces différents services impose diverses contraintes de conception du récepteur, et ces contraintes sont souvent conflictuelles les unes des autres.

Dans ce chapitre, nous présentons une architecture basée sur l'utilisation des propriétés de la configuration en grille-commune. Cette architecture est particulièrement adaptée à la conception utilisant une technologie en arsénure de gallium avec des transistors effet de champs (*GaAs MESFETs*). L'une des particularités de cette configuration est la possibilité de relaxer le compromis gain bande passante en utilisant un amplificateur à transimpédance à faible résistance d'entrée permettant ainsi de concevoir des circuits dont la bande passante n'est plus limitée par le pôle dominant à l'entrée de l'étage.

L'idée maîtresse véhiculée ici est d'isoler le pôle d'entrée dans la détermination de la bande passante et, d'effectuer une adaptation d'impédance en utilisant un étage de transfert en drain- commun tel que démontré dans l'article "*Design and Implementation of Optoelectronic Interfaces for High-Speed Burst-Mode Transmissions*" qui a été publié en Juillet 2000 dans "The Journal of Vacuum Science and Technology B".

DESIGN AND IMPLEMENTATION OF OPTOELECTRONIC INTERFACES FOR HIGH-SPEED BURST-MODE TRANSMISSIONS

André Boyoguéno Bendé, IEEE Student Member

Microelectronics Research Group, Electrical Engineering Department,
Ecole Polytechnique de Montreal(Québec) Canada, CP. 6079 succ. Centre-Ville, H3C 3A7,
Fax : 514 340 4063, E-mail: boyo@grm94.polymtl.ca

Abstract

The popularity of internet and multimedia has greatly increased the demand for high-speed transmission networks. The next generation of optical networks will likely request fast packet switching to support multimedia applications. In fact, in such applications, the amplitude and phase of the receiver can be quite different from packet to packet due to different fibre attenuation and the chromatic dispersion caused by the variation of the transmitter's wavelength. Link performance is strongly dependent on both the sensitivity and dynamic range of the receiver circuit. Although emerging lightwave communication technologies are bringing 10 Gb/s systems into commercial use [1], optoelectronic interfaces are still limiting factors for better performances. In this paper, we address the power penalty in high-speed burst-mode operation. Architectures applicable to high-speed systems and insensitive to parasitic input loading are proposed to overcome speed limita-

tions at the receiver's input. A 4.7 GHz bandwidth, a transimpedance of $43 \text{ dB}\Omega$ and an average input noise current density of $9 \text{ pA}/\sqrt{\text{Hz}}$ have been achieved in simulations with a single-ended architecture.

3.2 Introduction

For fiber optic communication systems, whether for long distances or for busing data over short distances, whether operating at low data rates or at high bit-rates, one of the key elements is the receiver. The performance level of the system is established at the receiver input where the signal is at its weakest. So the design of the input optoelectronic interface must be done carefully.

Conventional receivers are not suitable for burst-mode operation, because they can not instantaneously handle different arriving packets with large difference in optical power and phase alignment. The fundamental differences between traditional receivers and the new burst-mode devices are that, dc-coupling must be used throughout the receiver instead of ac-coupling due to the low frequency spectral content of the burst-mode data, and they must adapt to the variation in optical power and phase alignment on a burst-to-burst basis. A large dynamic range and a high gain are desirable in order to allow network flexibility.

Furthermore, an effective approach of improving the input sensitivity of a receiver is to use a preamplifier. However, the bandwidth of the preamplifier is generally not wide enough, so sensitivity degrades at high bit rates. To overcome this problem, we employed

a wide-band preamplifier based on the parallel feedback technique using a common-gate (C-G) input stage. Section 3.3 of this paper addresses issues of how to best choose the input device such that noise added is minimized in the bandwidth of interest. In section 3.4, fabrication issues are discussed; the discussion of simulation results follows in section 3.5.

3.3 Design issues

We first analyse the receiver noise mechanism and its impact on burst-mode operation for high-speed transmission. Then we determine power penalty considering that Gaussian noise approximation holds. The penalty arises from the fact that the first bit exhibits statistical variations in amplitude, and therefore establishing the threshold based on this bit alone will result in a threshold voltage which shows correlated statistical variations. The variations in the threshold voltage will result in a degradation in the bit error rate/signal to noise ratio (BER/SNR). We then present our approach to improve the receiver's sensitivity thus improving power penalty.

3.3.1 Noise and sensitivity analysis

As the link performance is strongly dependent on the sensitivity of the receiver circuit, the input stage configuration choice is crucial. In fact, the receiver sensitivity is determined predominantly by the radio frequency (RF) small-signal and noise performance of the device used in the RF analog front-end. It is important in the design of this RF interface to make an estimation of noise generated by the components of the amplifier.

For example, all resistors in the circuit will generate Johnson or thermal noises due to the random thermal motion of charge carriers. It is a white noise in that, it has a constant power density independent of frequency and can be neglected. The remaining components noise sources are the transistors. At low frequencies, each one has at least two major noise sources. The first is the thermal channel noise because the channel resistance of the transistor is finite. For a transistor in the saturation region, the drain thermal noise is

$$\overline{i_{dnt}^2} = 4KT\frac{2}{3}g_m\Delta f \quad (3.1)$$

The second source of noise is called the flicker noise generated by surface states. While there are numerous expressions attempting to accurately describe this noise, the one selected here is by Paul Gray [2] who represents it by a drain-source current generator.

$$\overline{i_{dnf}^2} = K_1 \frac{g_m^2}{WLf} \Delta f \quad (3.2)$$

Variables W, L and g_m represent the transistor's width, length and transconductance respectively and K_1 is a constant for a given device. An important point to note here is that, $1/f$ noise is inversely proportional to frequency and the transistor area. It is normally the dominant noise at low frequencies. Since g_m is proportional to the drain current. To minimize the flicker noise, the input device should be run at low drain current and be made as large as allowed by the monolithic integration.

Considerable effort has been dedicated to estimate the amplifier noise for different front end designs [3]- [5]. A simple approach that accounts for amplifier noise is by intro-

ducing a quantity F_n referred to as amplifier noise figure. Thus the thermal noise variance can be expressed as

$$\sigma_T^2 = \langle i_T^2(t) \rangle = \int_{-\infty}^{\infty} S_T(f) df = (4KT/R_L)F_n\Delta f \quad (3.3)$$

Physically, F_n represents the factor by which the thermal noise is influenced by various resistors used in the preamplifier and the post amplifier. The total current noise is obtained by adding the contribution of each individual noise source. With approximately Gaussian statistics, the total variance of the current fluctuations is

$$\sigma^2 = \sigma_s^2 + \sigma_T^2 = 2q(I_p + I_d)\Delta f + (4KT/R_L)F_n\Delta f \quad (3.4)$$

where

$$\sigma_s^2 = \langle i_s^2(t) \rangle = \int_{-\infty}^{\infty} S_s(f) df = 2qI_p\Delta f \quad (3.5)$$

stands for the variance of shot noise generated by the photodiode. The SNR is related to the incident optical power (P_{in}) as

$$SNR = \frac{R_p^2 P_{in}^2}{2q(R_p P_{in} + I_d)\Delta f + (4KT/R_L)F_n\Delta f} \quad (3.6)$$

R_p is the responsivity of the photodiode expressed in Amps/Watts. If the dark I_d current is neglected, this expression becomes

$$SNR = \frac{\eta P_{in}}{2h\nu\Delta f} \quad (3.7)$$

It appears that, the SNR increases linearly with P_{in} in the shot noise limit and depends only on the quantum efficiency η , the noise bandwidth Δf and the photon energy

$h\nu$. In most cases of practical interest, the thermal noise dominates the receiver performance ($\sigma_T^2 \gg \sigma_s^2$) and the SNR can be written as

$$SNR = \frac{R_L R_p^2 P_{in}^2}{4KT F_n \Delta f} \quad (3.8)$$

Thus, the SNR varies as P_{in}^2 in the thermal noise limit. The power penalty can be improved by increasing the load resistance R_L and minimizing the F_n of the receiver.

3.3.2 Problems of conventional preamplifiers

Generally, the amplifier stages used to obtain a required loop gain consist of a combination of inverter and buffer /level shift circuits. Two types of input-stage circuits have often been used for front-end preamplifier of photoreceivers: an inverter type and a cascode type. The inverter input stage is quite attractive for its simple circuit configuration, but it has a large “Miller” capacitance that increases circuit’s input noise. On the other hand, the cascode configuration reduces the Miller capacitance thus reducing the non-dominant time constant and hence improving the amplifier stability. A simple expression of the noise current at the input stage can be estimated by the following equation [3] - [4]

$$\langle i_{ni}^2 \rangle = \frac{4KTI_2B}{R_f} + 2qI_T I_2 B + \frac{4KT\Gamma(2\pi C_T)^2 I_3 B^3}{g_m} \quad (3.9)$$

where B is the bit-rate, K is the Boltzman constant, T is the temperature, q is the electron charge, I_T is the average leakage current, I_2 and I_3 are Personick’s integrals which relate

the bit rate to the actual circuit bandwidth [4], C_T is the contribution of the total input capacitances, R_f is the feedback resistance, and Γ is the FET noise factor.

In order to reduce the input noise current, it is desirable to reduce the contribution of C_T ($C_T = C_d + C_{FET}$), and to increase R_f and g_m . In fact, in the case of an inverter preamplifier, the capacitance of the input FET (C_{FET}) is given by $C_{FET} = C_{gs} + (1 + g_m R_L) C_{gd}$. To reduce the contribution of C_T the desired design should minimize the second term of C_{FET} known as Miller effect. This is achieved by using a cascode configuration, and the capacitance expression becomes $C_{FET} = C_{gs} + 2C_{gd}$.

3.3.3 The proposed architectures

Figure 3.1 is the schematic diagram of the proposed preamplifier. The width of the input transistor T1 is optimized for low-noise operation. T2 is an impedance transformer stage. T3 and T5 form the voltage gain stage while, T8 and T7 form the voltage level-shifting stage. For wide-band operation, we adopted a parallel feedback loop based on TF and RF. The use of TF is essential to increase the bandwidth. In fact, a first order approximation of the bandwidth is

$$BW = \frac{1 + A_v}{2\pi R_T C_T} \quad (3.10)$$

A_v being the loop gain which can be improved by using the parallel feedback, R_T is the equivalent input resistance and $C_T = C_d + C_{FET}$ is minimized by the common-gate input

stage. Consequently, the bandwidth with this architecture is expected to be much wider than that of a conventional amplifier.

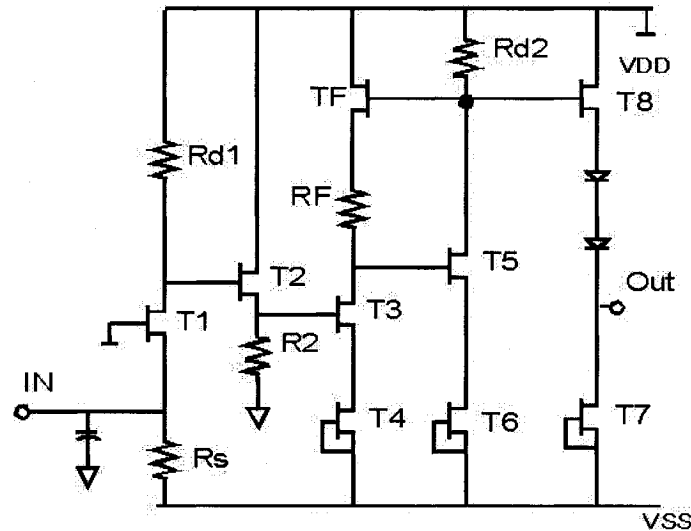


Figure 3.1 Common-gate stage in single-ended.

The output of the gain stage is connected to a buffer/level shift circuit which permits smaller capacitive loading, and therefore do not decrease the operating bandwidth. In the absence of the level/shifting, bypass capacitors are necessary; low operating frequency cannot be achieved easily, in this case, unless very large capacitors are used, a requirement which is not compatible with GaAs monolithic integration.

Figure 3.2 is the differential structure, where the input transistors T1 and T2 are connected in a C-G configuration. Since conventional feedback is not employed in our design, this eliminates a common characteristic of traditional high-speed transimpedance receivers of gain peaking and the bandwidth limitation caused by the interaction of the feedback resistor with the input capacitance time constant.

What is new in this design compared to the previous transimpedance architecture is the use of the common-gate configuration for high-speed operation with a perfect isolation of the photodetector capacitance in determining the 3-dB bandwidth combined with the parallel feedback instead of a conventional one.

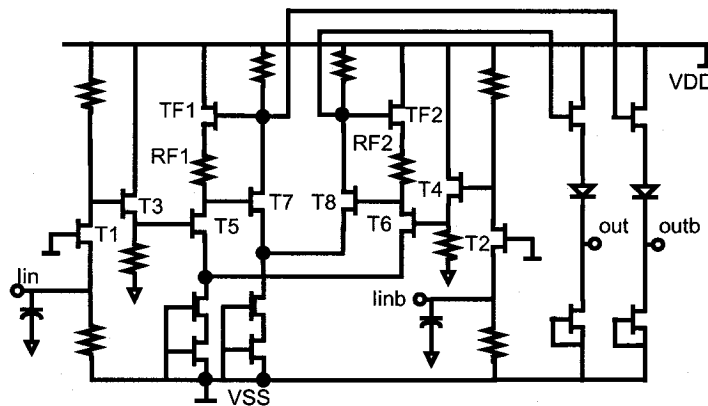


Figure 3.2 Novel differential stage based on the C-G configuration

3.4 Fabrication issues

A broad range of foundry processes are available for different types of MESFET devices, such as high-power, low-noise and, general purpose devices. Integration of several types of active devices on a single chip, including E/D and microwave depletion mode devices is also an important consideration. Most monolithic microwave integrated circuits (MMIC) foundries offer depletion mode MESFET based process technology with 0.5 μm , 1.0 μm or more gate lengths. TriQuint is the foundry offering the most extensive product line which includes E/D devices; and for our designs, we used PSPICE and CADENCE package with TriQuint Models. Care have been put during layout to avoid

short-channel effect and backgating. Moreover, active devices in MMIC circuitry are beginning to find more non-standard applications.

In addition to the device's intended application, power and frequency range of interest also affect its design even when MESFET devices are to be used as amplifier elements; for example, the optimum device for a low-noise, high-frequency amplifier will be quite different than optimum power device. A figure of merit and indicator of device frequency performance is the gain-bandwidth product f_T . As a first order estimation, f_T of a MESFET can be expressed as

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (3.11)$$

The transconductance of the device g_m increases approximately linearly as the gate-length dimension is scaled down. The gate capacitances both decrease as the gate length decreases. This leads to a need for short gate lengths for MESFETs. Normally C_{gs} dominates the denominator in the expression of f_T which decreases linearly with a decrease in gate-length. The frequency of the unity power gain f_{max}

$$f_{max} = \frac{f_T}{\sqrt{2(G_0(R_g + R_s) + 2\pi f_T C_{gd} R_g)}} \quad (3.12)$$

The maximum frequency is given in terms of the gate resistance (or the base resistance) and gate-drain capacitance (or base-collector capacitance). These transistors, while processing high-speed suffer from threshold variation, gate leakage resulting in greater process variation for their speed. These properties pose significant challenges for the

designer. This design has been performed with the TriQuint $0.6\mu m$ gate-length process, with transistors having $f_T = 20GHz$ and $I_{DSS} = 70\mu A/(\mu m)$. Furthermore, fewer noise sources are present in the FET (no shot noise) as compared to bipolar transistors. Nevertheless, a disadvantage of the GaAs MESFET is the higher $1/f$ noise compared to Silicon bipolar transistors.

Wire bonding is a common and unexpensive mounting technique, but the large associated inductance degrades the integrated circuit (IC) performance and has to be considered during the circuit design. The influence of pad metallization needs also to be considered during the design. The capacitance of the input pad in particular combined with the wire bond inductance affect the preamplifier performance, because the time constant at the input node of the preamplifier largely determines the frequency response. For example, increasing the parasitic capacitance of a pad decreases the bandwidth and cause the frequency response to become uneven.

The transimpedance Z_T is approximately

$$Z_T = \frac{Z_{To}}{1 + \frac{s}{p_1} + \frac{s^2}{p_1 p_2}} \quad (3.13)$$

where $p_1 \approx (A_{v0})/(R_f C_T)$ and $p_2 \approx 1/(R_L C_T)$, C_T is the total capacitance at the drain of the input transistor T1. A_{v0} is the open loop gain and its value is given by $A_{v0} \approx g_{m1} R_L$. and R_L is the load resistance. The ratio of the poles (p_2/p_1) is a measure of the peaking level which increases with a decrease in the ratio.

We plan to fabricate an optical-transceiver-type module in which the transmitter and receiver will be integrated into a single package contributing remarkably to the incorporation of a compact optical interface module. An optoelectronic switch will also be incorporated to modulate optical pulses according to transmitted data, thus providing an electrical to optical (E/O) conversion.

3.5 Discussion and results

In general, the input impedance $1/g_m$ of the input FET is much smaller than the feedback impedance used in the transimpedance amplifier. Since high open-loop gain in a conventional transimpedance amplifier is difficult to maintain due to excessive feedback parasitics and limited phase margin at high frequencies, the receiver bandwidth, therefore, can be improved significantly by shifting the dominant pole expressed in equation (3.11) with the proposed design.

To prove the effectiveness of the proposed design, architectures in Figure 3.1 and Figure 3.2 have been investigated. We first present a comparison between the conventional common-source (C-S) configuration and the C-G for the same transimpedance. Figure 3.3 is the input referred noise of C-S and C-G for high bit rates while, Figure 3.4 is the influence of the input loading for the two configurations. It appears that the noise performances are similar for the two configurations, but the C-G is more stable considering the input loading plot. In fact, from that plot, simulation results show that, for a varying input capacitive loading, the noise performance from the common-source stage ranges

from very low input noise to very large values. Figure 3.5 is a comparative study of the three major architectures: C-S, C-G and the differential stage as illustrated in Figure 3.2 (C-GPF).

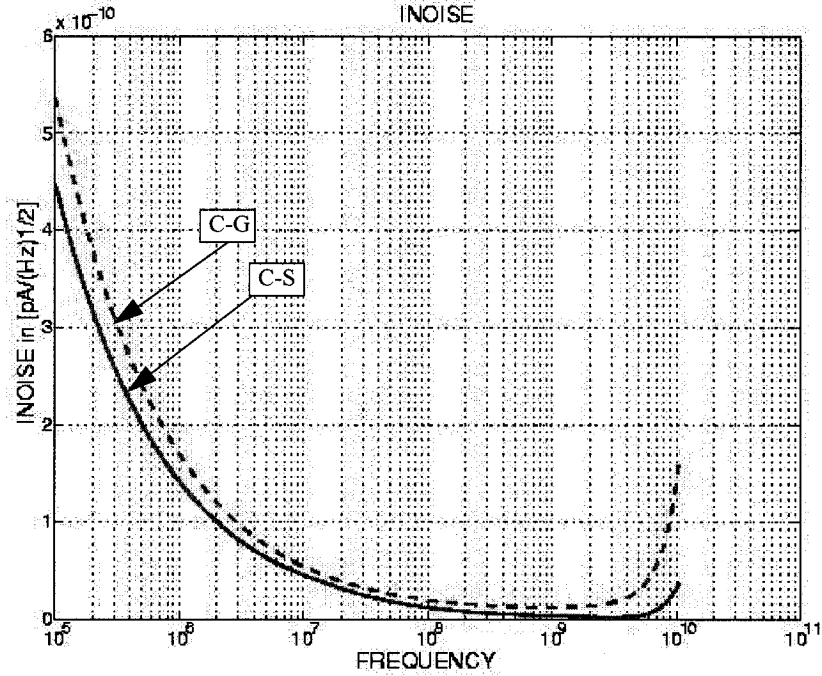


Figure 3.3 Comparative input referred noise for high-bit rate

Figure 3.6 deals with the transient analysis of the differential C-G amplifier and Figure 3.7 is the layout of designs submitted for fabrication. A 350 fF equivalent parasitic capacitance of the photodiode in front of the preamplifier was considered in the transimpedance calculations and simulations. All the simulations were performed with the temperature equal to 80°C. With this preamplifier, we mainly used a small signal frequency response to investigate the preamplifier performance, because a practical input signal will be very small and it is easy to introduce noise behavior.

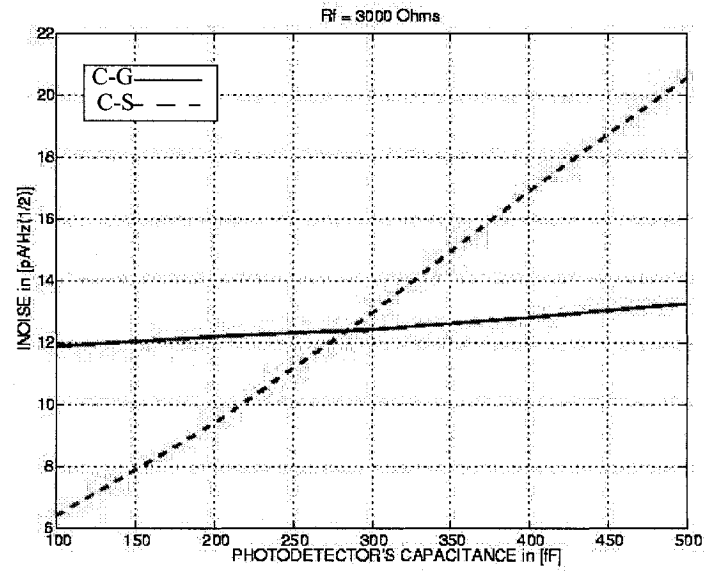


Figure 3.4 Influence of the input loading

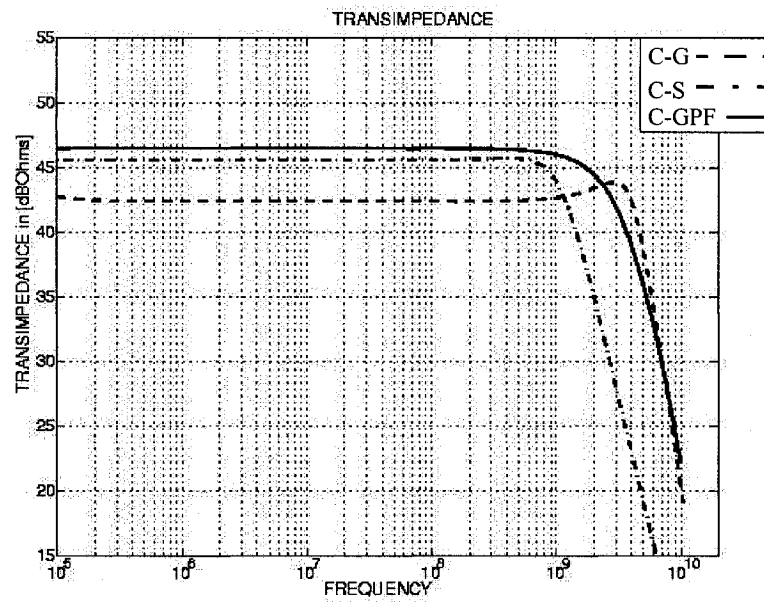


Figure 3.5 Comparative study of the three configurations

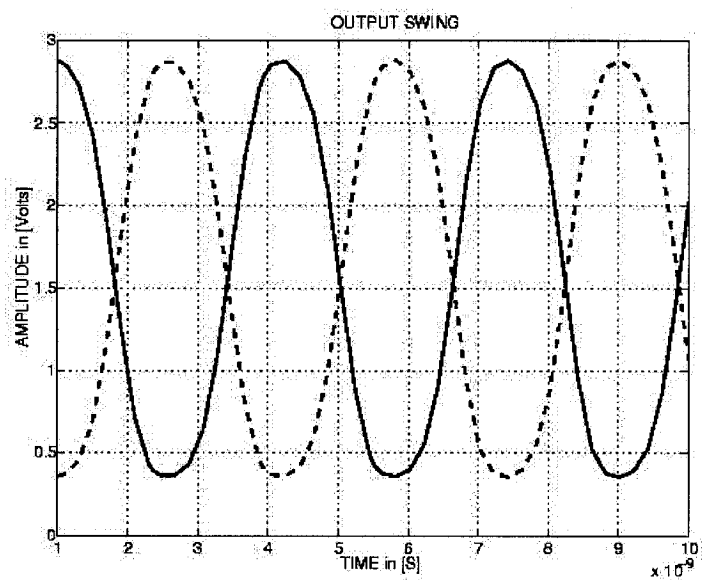


Figure 3.6 Transient output signals (positive and negative)

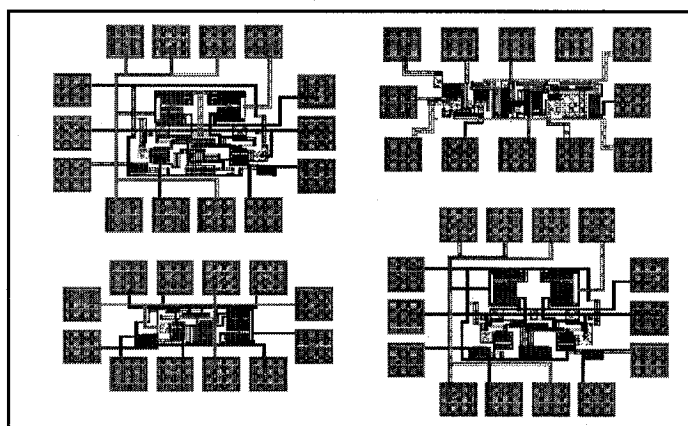


Figure 3.7 Layout of the designs submitted for fabrication

3.6 Conclusion

We have presented an effective approach to improve the input sensitivity of a photoreceiver which is less sensitive to data format, this has lead to reduce the power penalty. The common-gate input stage followed by the common-source stage featuring a parallel feedback are interfaced by an impedance transformer which relaxes the gain-bandwidth tradeoff. The simulation results also demonstrate a higher bandwidth for the proposed common-gate differential stage for the same transimpedance gain as compared to the classical stage (C-S). This feature allows multi-applications usage of the circuit with a standard $0.6\mu m$ gate-length GaAs MESFETs technology.

REFERENCES

- [1] K. Yukio, A. Yuji, N. Kiyoski, k. Hiroyuki, Y. Imai, IEEE Trans. Micro. Theor. Syst. Vol. 43, Issue 8, Aug. 1995, pp. 1916-22.
- [2] P. R. Gray and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, John Wiley & Sons, Inc. 1993
- [3] S. D. Personick, Bell System Technical Journal, Vol. 52, pp. 843-86, 1973.
- [4] R.G. Smith & S. D. Personick, Semiconductor Devices for Optical Cummmunications, New York, Springer-Verlag, 1980, Chap. 4
- [5] Y. Ota and R. G. Swartz, JLT, Vol. 8, No. 12 Dec. 90, pp.1897-02
- [6] C. A. Eldering, JLT, Vol. 8, No. 11, Dec. 1993, pp. 2145-49.
- [7] Ewa Sokolowska, Guillaume Fortin, Andre Boyogueno, Charles Roy, Bozena Kaminska, Canadian Conference on Broadband Research, pp. 20-26, April 1997.

CHAPITRE 4

INTERFACE OPTOÉLECTRONIQUE INTÉGRÉE À LARGE BANDE

4.1 Résumé

SONET (Synchronous Optical Network) est le standard dans l'industrie des communications optiques à longues distances en Amérique du nord et son équivalent en Europe est SDH (Synchronous Digital Hierarchy). SONET/SDH définit les exigences et spécifications de la couche physique pour différentes vitesses de transmission et OC-192 définit les exigences de communication à la vitesse de 10-Gb/s. Une des difficultés majeures dans l'intégration des photorécepteurs pouvant fonctionner à un tel débit est l'atteinte d'une gigue (en anglais «jitter») compatible aux exigences de la norme. La gigue est un problème majeur dans les transmissions à hauts débits parce qu'elle a un impact direct sur la qualité de l'information ou tout simplement des données transférées entre le transmetteur et le récepteur. La gigue affecte l'intégrité du signal, pour cela, le développement des techniques de conception minimisant la gigue est une activité très en demande lorsque le débit de transfert devient élevé.

Grâce à un meilleur compromis entre le gain, la bande passante et le bruit d'entrée qui lui sont attribuables, l'utilisation de l'amplificateur à transimpédance (TIA) dans l'interface optoélectronique de réception permet d'améliorer la marge de réception du

système. En plus, sa grande sensibilité et une large gamme dynamique permettent d'assurer une flexibilité à différents protocoles de communication. L'amplificateur à sorties différentielles permet de réaliser une gamme dynamique adéquate afin de pouvoir détecter un faible signal utile en présence du bruit. De plus, la présence des circuits de restitution du niveau d'entrée de même que les circuits d'ajustement automatique des seuils permettent de minimiser le bruit dû au courant noir et le bruit d'entrée du récepteur.

Dans ce chapitre, nous proposons une méthode de conception de l'amplificateur à transimpédance permettant de réaliser à la fois une grande sensibilité, un produit gain bande passante élevé et une gamme dynamique adéquate pour un fonctionnement à grands débits. L'approche utilisée est basée d'une part, sur l'utilisation des propriétés de la configuration en émetteur-commun à l'entrée du préamplificateur, et d'autre part, sur l'utilisation d'un nouveau circuit de conversion d'une entrée simple en sorties différentielles à faible bruit de gigue et à large bande.

Afin de démontrer le fonctionnement effectif de la méthode proposée, des prototypes ont été fabriqués en utilisant le procédé de fabrication à $0.18\ \mu\text{m}$ en SiGe (Silicium Germanium) de IBM. Les résultats de mesures effectuées sur les prototypes fabriqués démontrent le succès de la méthode utilisée, et sont en conformité avec les buts et spécifications initiales de conception. Nous rapportons entre autres, une bande passante de 11 GHz, une transimpédance de $75 - dB\Omega$, une sensibilité de -19.2 dBm mesurée pour un taux d'erreur binaire sur les bits de 10^{-12} , un bruit d'entrée de $7.81\text{pA}/\sqrt{\text{Hz}}$ et une gigue

de 9.5 ps crête-à-crête. Cet ensemble de performances se situe parmi les meilleures dans cette classe d'application à 10 Gb/s. Ces résultats sont consignés dans l'article qui suit intitulé "*A BiCMOS 120 mW 11 GHz Transimpedance Amplifier Dedicated For High-Speed Photoreceivers*" et qui a été soumis pour publication dans "*Journal of Circuits, Systems and Computers*" de "*The World Scientifics*".

A BICMOS 120 mW 11 GHz TRANSIMPEDANCE AMPLIFIER DEDICATED FOR HIGH-SPEED PHOTORECEIVERS

ANDRÉ BOYOGUÉNO, MOHAMAD SAWAN

Electrical Engineering Department, Ecole Polytechnique de Montréal, P.O Box 6079 Station Centre-Ville, Montréal, (Québec), H3C 3A7, Canada

MUSTAPHA SLAMANI

IBM, Test Development Group, 1000 River street, Mail stop 862G, VT 05452, USA

Abstract: We present a new low-noise, low-power SiGe transimpedance amplifier (TIA) combining an automatic DC photo-current cancellation, an on-chip DC offset compensation circuit and a single-ended to differential conversion scheme. The conversion method is based on the replica biasing technique in order to provide balanced output signals to the subsequent stages. The chip was fabricated in a 0.18 μm SiGe BiCMOS technology. Experimental results show excellent performances such as 11 GHz bandwidth, $75 - dB\Omega$ transimpedance, -19.2 dBm sensitivity measured at 10 Gb/s at a Bit Error Rate (BER) of 10^{-12} , $7.81 pA/\sqrt{Hz}$ input referred noise and 9.5 ps peak-to-peak jitter which are the best overall performance reported in its category. The photoreceiver chip is expected to dissipate only 120 mW from a single 3.3V power supply.

Keywords: SOMET, single-ended to differential conversion, transimpedance amplifier (TIA), photoreceiver.

4.2 Introduction

Synchronous Optical Network (SONET) is an industry standard for optical communications in the backbone infrastructure. SONET defines physical layer requirements for various transmission speeds and, OC-192 defines requirements at bit rate of 10-Gb/s. One of the major difficulties in the integration of receivers in such data rate is to achieve jitter characteristics compliant to the SONET requirements [1]. For receivers in long distance optical links, not only high-speed, high gain-bandwidth product and high sensitivity are required, but wide dynamic range characteristics that allows wide light receiving sensitivity are required. Because of its potential of wide-bandwidth and low-noise, the TIA configuration is commonly used in the design of photoreceivers. The TIA is one of the most speed-critical components of the system; its noise performance, gain, and frequency response largely determine the overall sensitivity and the data rate of the optical link.

A large number of photoreceivers implementations capable of running at data rates in excess of 10-Gb/s have been proposed and studied over the past decade [3]-[21]. Although many have been proposed and implemented using single-ended topologies for simplicity [3]-[9], a differential configuration offers a number of significant advantages [10]-[21] over its single-ended counterpart. At high-speed of operation envisaged in serial data links, architectures employing differential switching circuits are almost essential in order to minimize the logic swing and reduce switching noise on the supply rails, which in turn, reduces size of supply decoupling [2]. Furthermore, the common mode rejection property inherent in differential circuits makes it far manageable in the integration of a

TIA with noisy digital circuitry or in an array with minimal crosstalk.

Moreover, in the field of electronic circuits design for high-speed applications, it is very important to keep DC offset voltages due to mismatches in active devices very low compared to signal levels as both, the signal and the offset voltages get amplified by the same amplification factor at the output. In this paper, we discuss a circuit design technique to overcome common high-speed operation drawbacks and propose a new single-ended to differential conversion stage in the preamplifier to achieve higher noise rejection ratio, low jitter and a wide dynamic range. We also propose a new DC cancellation circuit that provides higher offset compensation when designing with a BiCMOS technology. The rest of this paper is organized as follows. Section II presents a review of the previous work. The theory related to optical transmission with compliance to SONET standard is presented in section III, section IV deals with the circuit architecture and design. The implementation of the design is presented in section V, section VI presents experimental results and discussion followed by the conclusion.

4.3 Prior arts

The photo-receiver represents one of the key components in optical fibre based communication systems. In serial optical links without an optical pre-amplifier placed before the photodetector, a low-noise pre-amplifier is normally needed before the high-gain main amplifier. The optical signal from the fibre is first detected and converted into an electronic current by the photodetector. A TIA is used to convert the current to a volt-

systems operating at bit rates in excess of 10 Gb/s have been reported [3]-[8]. Although this is relatively the simplest way to design photoreceivers, a single-ended configuration is inherent to common mode noise leading to higher error rates on bits, especially with weak signals. Furthermore, interfacing with the next subsequent stages such as limiting amplifiers or clock and data recovery circuit (CDR) is not adequate [6]. To improve gain and noise performance, a more robust approach is to use a differential structure in order to take advantage of the common mode noise rejection property inherent to differential circuits.

Since the preamplifier is a single-ended input stage, a conversion stage is normally required to provide a differential signal to the input of the limiting amplifier. The design and implementation of this amplifier stage is a key component of the overall performance of the TIA. In this section, we present a review of different circuit topologies that have been used in the literature. A typical fiber-optic communication receiver front-end is illustrated in Figure 4.2

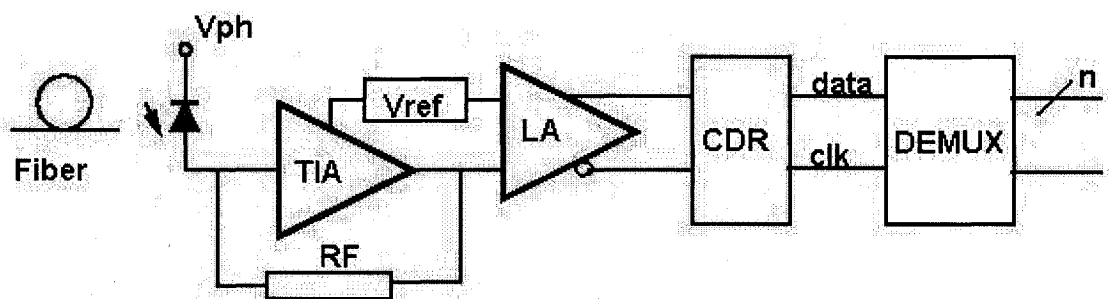


Figure 4.2 The typical photoreceiver front-end in TIA topology

Early in 1994, preliminary work on differential transimpedance amplifiers design have been reported by Ichino *et al.* [9]. Later in 1996, Rein *et al.* [10] then, more recently Weiner *et al.* [20] in 2003 have also reported their work on the design of differential TIA using a differential input stage. This first category of differential TIAs has the disadvantage of necessitating the use of a dummy photodiode or a dummy TIA stage which, not only adds to the cost but also creates some design constraints in the layout of the receiver front-end. One major limitation of that implementation is the difficulty of achieving adequate phase shift between the input signals and symmetrical output signals, these resulting in overshoots/undershoots on the output eye diagrams causing transmission errors.

In order to overcome these drawbacks, Hurm *et al.* [11] in 1997 followed by Greshishchev *et al.* [15] in 2000, Xian-Jie Li *et al.* [16], and Charles Wu *et al.* [21] in 2003 reported on the design of what can be called the second category of differential TIAs. This approach consists of taking the average DC voltage of the single-ended signal from the first stage of the TIA and use an RC filter to feed the complementary input of a differential stage as seen in Figure 4.3. However, its implementation presents some impairments namely: the systematic offset of the devices makes the two output signals different by tens of millivolts leading to large variations in the crossing point, causing an increase in data dependent jitter, thus degrading the bit error rate (BER) and the signal integrity.

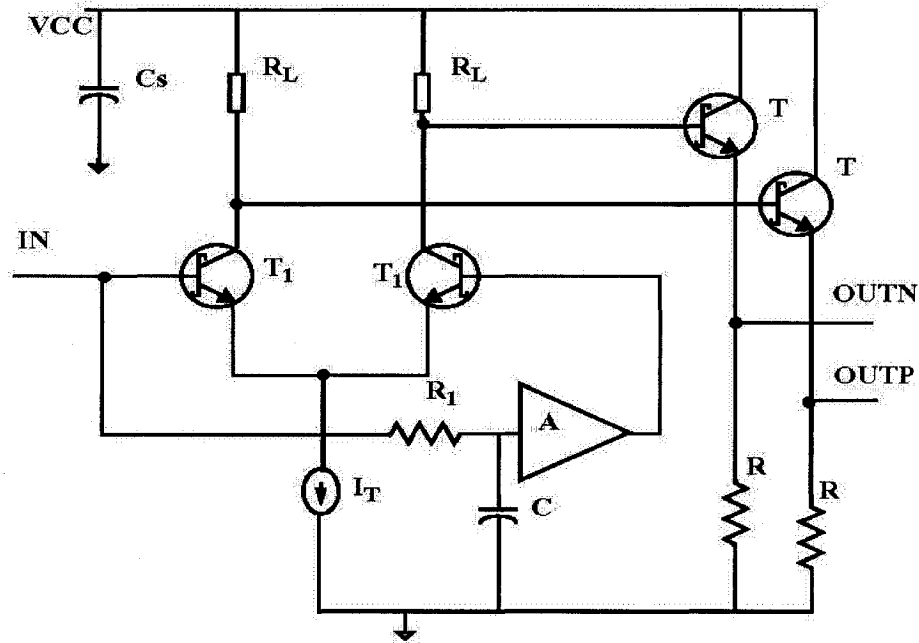


Figure 4.3 RC single-ended to differential conversion stage

Instead of taking the average DC voltage from the incoming signal, Ohhata *et al.* [17] in 1999 have reported on generating a reference voltage regulator to produce a reference voltage applied at the complementary input of the differential pair as shown in Figure 4.4 to ensure balanced operation of the succeeding stages. Although the results presented show a wide input dynamic range (22 dB), the eye diagram from the output displays crossing point deviation and longer rise/fall times. In addition, power dissipation (450 mW) is a little higher which might become an issue when integrated with other circuitry. Furthermore, this implementation requires external adjustment through C_p , which is not welcomed in high-speed design. As the trend to increase the bit rate further continues in order to exploit the high transmission capacity of single-mode optical fibers, circuits design techniques for high performance TIAs are still in great demand.

where $\alpha \cong \{\dots, \alpha_{-1}, \alpha_0, \alpha_1, \dots\}$ with each α_i being a random variable defining the signal jitter associated with the received optical pulses. Let α_i be statistically independent with a common, known probability density function. In equation (4.1), $h_p(t)$ denotes the elemental optical pulse incident to the photoreceiver with $1/T$ the signaling rate.

For direct-detection optical communications, the received optical power signal is converted to an electrical current through a photodetector. After amplification and filtering, the electrical signal can be appropriately modeled as a non-homogeneous marked and filtered Poisson process (MFPP), $y(t)$. The intensity of the primary Poisson process is given by [23], [24]

$$I(t, a, \alpha) = R \cdot p(t, a, \alpha) + I_0 \quad (4.2)$$

where $R \cong \eta/h\nu$ is the responsivity of the photodetector, with η his quantum efficiency, $h\nu$ the photon energy and I_0 the spontaneous electron rate corresponding to the dark current of the photodetector. By replacing the power by its expression of (4.1), we then write

$$I(t, a, \alpha) = R \sum_{i=-\infty}^{\infty} a_i h(t - iT - \alpha_i T) + I_0 \quad (4.3)$$

This expression in (4.3) provides the designer with the contain of the input signal.

4.4.2 Receiver sensitivity

The sensitivity of the receiver is the smallest average incident power for which the receiver maintains a specified BER. High signal to noise ratio (SNR) is one of the requirements for achieving high optical sensitivity. SNR is typically expressed as a function of the parameter Q which has a theoretical relationship to the BER as shown in (4.4).

$$BER = \int_Q^{\infty} Gauss(x) dx \quad (4.4)$$

with

$$Q = \frac{i_S^{pp}}{2i_N^{rms}} \quad (4.5)$$

where i_S^{pp} is the peak-to-peak signal current at the input of the receiver and i_N^{rms} is the RMS current noise referred to the input. The optical sensitivity can be estimated by (4.6):

$$P_{min} = \frac{Qi_N^{rms}}{R} \quad (4.6)$$

with R being the photodetector responsivity. For 10-Gb/s applications (SONET OC-192), typical bit error rate used to define sensitivity is $BER = 10^{-12}$ and $Q = 7$. Essentially, (4.6) shows that low input noise current and high optical responsivity are key parameters in obtaining higher sensitivity. But in order to obtain higher responsivity, the photodetector will exhibit lower bandwidth which might become an issue for high-speed response.

Several of the critical device characteristics pose conflicting design constraints that must be optimized for good high frequency performance. Of primary importance, is the ability to achieve a sufficient 3-dB bandwidth.

4.4.3 Receiver noise performance

The low-noise signal current from the photodetector must be amplified so that additional processing will not add significantly to the noise. Therefore, a very low-noise front-end is required. A transimpedance amplifier as shown in Figure 4.1 has typically been used for this purpose, and its noise performance is well characterized in [25]-[27]. The input referred current-noise spectral density for a preamplifier with a bipolar input device is given by [25]-[27]

$$S_{nB}(f) = \frac{4KT}{R_F} + \frac{2qI_C}{\beta} + 4KT r_b (2\pi f C_{ds})^2 + \left[2qI_C + \frac{4KT}{R_L} \right] \left(\frac{2\pi f C_{TB}}{g_m} \right)^2 \quad (4.7)$$

and for a field effect transistor (FET) input device the equation is

$$S_{nF}(f) = \frac{4KT}{R_F} + \left[4KT \Gamma g_m + \frac{4KT}{R_D} \right] \left(\frac{2\pi f C_{TF}}{g_m} \right)^2 \quad (4.8)$$

where R_F is the feedback resistor, R_L and R_D are respectively the collector and drain resistance in the first stage, r_b is the base resistance. The equivalent input capacitance in each case is $C_{TB} = C_{ds} + C_\pi + C_\mu$ and $C_{TF} = C_{ds} + C_{gs} + C_{gd}$ where C_{ds} is the detector plus stray capacitance, and Γ is the FET excess noise or simply noise factor.

The noise at lower frequencies can be shown to be dominated by the thermal noise in the feedback resistor, and by the base current shot noise for a bipolar front end. Since a FET device lacks this base current noise term, it has generally been accepted that FET devices will exhibit superior noise performance. However, input noise levels comparable to, and even lower than FETs are obtained using bipolar transistors when the bandwidth is broadened [25]-[28]. This is possible because at higher frequencies, the collector current shot noise becomes dominant, and the input noise current spectral densities for a bipolar device reduce to equation (4.9)

$$S_{nB}(f) \approx 4KT r_b (2\pi f C_{ds})^2 + \left[2qI_C + \frac{4KT}{R_L} \right] \left(\frac{2\pi f C_{TB}}{g_m} \right)^2 \quad (4.9)$$

and for a FET device to equation (4.10),

$$S_{nF}(f) \approx \left[4KT \Gamma g_m + \frac{4KT}{R_D} \right] \left(\frac{2\pi f C_{TF}}{g_m} \right)^2 \quad (4.10)$$

Since HBTs can be fabricated with very low base resistance, the first term in equation (4.9) can be made small. The remaining term is proportional to the square of the capacitance transconductance ratio, or an effective time constant. Further more, HBTs have higher gain than FETs devices, the same transconductance can be obtained at a much lower bias current. Therefore, at high data rates, where the collector current shot-noise is dominant, a FET device will generally require significantly more bias current to reduce the term C_{TF}/g_m in order to achieve the same noise performance as a bipolar device at equal temperature. However, since the noise power is proportional to the temperature, the

FET can have higher noise than a HBT of equal speed due to the increased power dissipation of the FET.

4.5 Circuit design

The design was performed with compliance to OC-192 SONET standard requirements. According to this standard, the sensitivity required for a short-range communication receiver is -12 dBm. If a 3-dB margin is allowed in the design, the minimum optical power incident to the photodetector is -15 dBm, this power corresponds to 31.6 μ W. For good operating bandwidth, we guaranty by the design a minimum bandwidth greater or equal to 3/4 of the target data rate. For OC-192, although the standard specification for the bandwidth is 6-7 GHz, we have designed for a minimum bandwidth of 7.5 GHz over process and supply variations in order to avoid inter-symbol interference (ISI) and data dependent jitter. Rise and fall times are expected to be less or equal to 0.36 Unit interval (UI). Peak to peak jitter is expected to be less or equal to 0.2 UI, and for OC-192 SONET, the UI = 100 ps.

4.5.1 Circuit architecture

The proposed circuit architecture for the TIA is shown in Figure 4.5. In a conventional preamplifier, when the output swing from the TIA is too small, sufficient swing can not be obtained at the input of the decision circuit, resulting in an increase in rise/fall times; this situation leads to higher jitter and higher number of errors on bits. However, when the output swing is too large, the distortion in the output signal from the TIA

increases and the information is corrupted. If the transimpedance has been designed high to ensure sensitivity even when the input current is minimum, then the output swing will exceed the distortion limit when the input current is large. On the other hand, if the transimpedance has been designed to be lower in order to avoid distortion, the output swing will be below the sensitivity limit. As a result, a conventional preamplifier can not operate properly in a wide dynamic range mode. The proposed feature here is to have the linear stage followed by a limiting stage on the same design as seen on Figure 4.5. In this configuration, it is possible to obtain high gain when the input current is small, and limit the transimpedance output swing to a level so as not to exceed the distortion limit when the input current becomes larger. This feature ensures both high transimpedance and wide dynamic range.

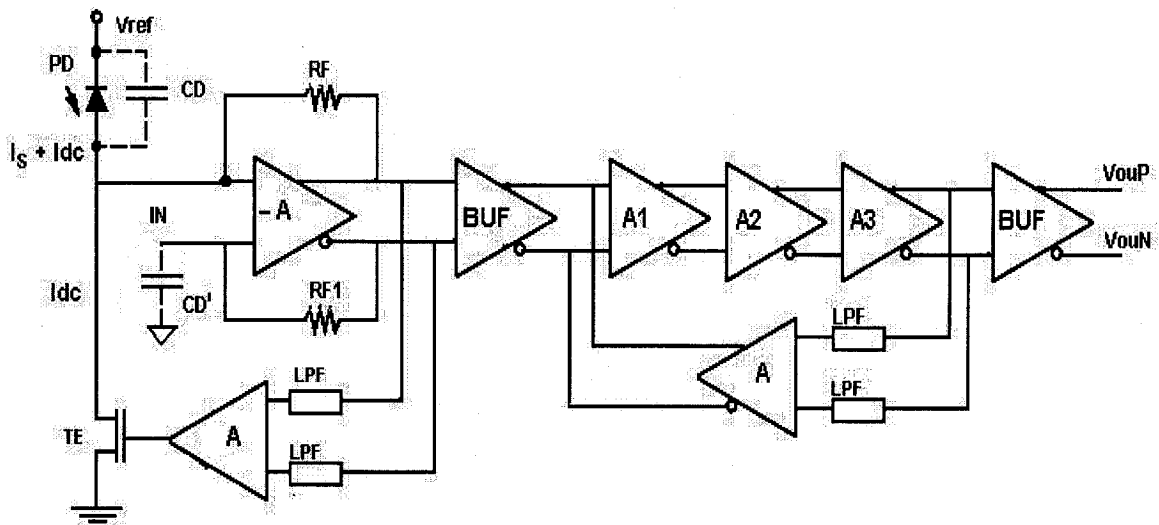


Figure 4.5 The proposed receiver architecture

The proposed circuit topology in Figure 4.5 has been optimized for 10-Gb/s and

can operate up to 12.5-Gb/s. The architecture uses an original concept of active DC photocurrent cancellation and DC offset cancellation. It involves adding a variable current source represented here by the FET (TE) to draw the DC current I_{dc} from the preamplifier input. The optimum input current level is established by the feedback loop which includes an error amplifier and two low-pass filters. A similar structure implemented in CMOS but using peak-detection have been reported in [30] for use in infrared wireless data communications. In this paper, we have modified the feedback loop to use simple low-pass filtering instead of peak-detection, that way, we can more easily control the level of the input current.

Noise from the reference voltage (V_{ref}) is also a current as it is coupled to the preamplifier input through the depletion capacitance of the photodiode (C_D). Given adequate matching by adding C_D , the noise should appear only as a common-mode signal that is effectively suppressed by a balanced structure. Source-followers are used for DC-coupling between stages since each gain stage operates from DC to high-speed. The limiting amplifier stages are introduced after the differential transimpedance stage to overcome the contradiction of high transimpedance and high speed with wide dynamic range. In the design, the feedback resistor has been chosen as high as possible in order to reduce the noise contribution from this resistor. Another advantage is that the differential configuration throughout the receiver circuit reduces the effect of bond-wire inductances of ground and supply voltage by reducing simultaneous switching currents. This is particularly important since, experience has shown that single-ended amplifiers have a tendency to

common-mode oscillation.

4.5.2 Circuit design details

Although inverter-based transimpedance amplifiers have shown good speed and sensibility, they generally have poor power supply rejection because of the capacitive coupling of the supplies to the signal path. In order to minimize the Miller effect at the input transistor, we have adopted a cascode configuration for the TIA as shown on Figure 4.7. To improve gain and noise performance, the signal path is made differential by applying a single ended to differential conversion to maximize the preamplifier immunity to noise from the power supply.

Single-ended to differential conversion methods reported so far [11], [15]- [18] based on Figure 4.3 present some impairments namely: the two output signals are not perfectly symmetrical, they present slightly different common mode voltages causing non-symmetrical crossing points susceptible to generate more jitter, thus degrading the bit error rate (BER) and the signal integrity. The pole frequency $F_1 = 1/(2\pi R_1 C)$ must be low enough to pass through the lowest data rate. Furthermore, the buffer amplifier requires a MOS input to avoid offset due to $I_{bT1} \times R_1$ loss. In this paper, we propose an alternative method presented in Figure 4.6, the DC average level is set from the output of the differential pair. The performance of this stage depends heavily on the design of the differential buffer amplifier. But when well designed, this architecture is expected to exhibit less offset than RC type of Figure 4.3. The pole frequency is set by the gain of the buffer as

4.6. The single-ended signal from the preamplifier will be converted to a differential signal, and fully-differential circuits will be employed throughout the remainder of the receiver to ensure balanced operation.

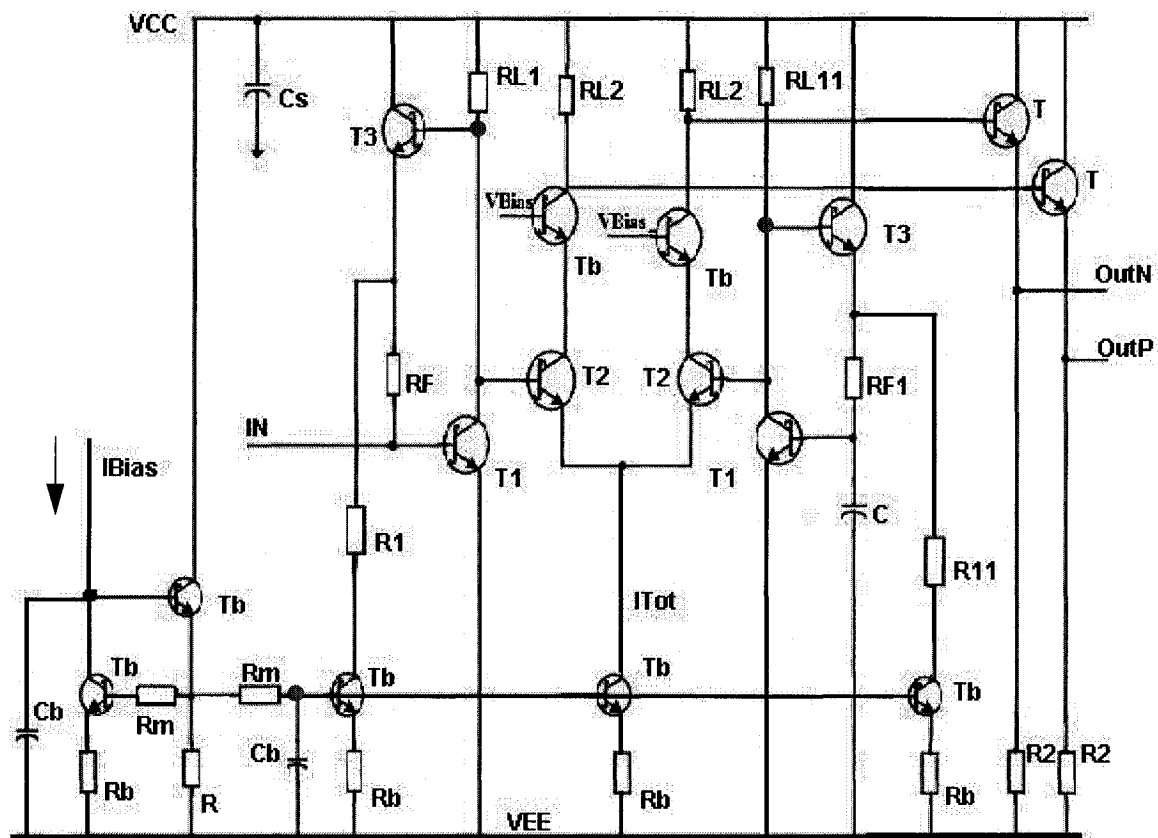


Figure 4.7 The proposed single-ended to differential conversion stage

Specific challenges in this circuit are in providing DC level restoration. Since long sequences of data can be transmitted without transitions, the data can contain low-frequency information. Therefore, a DC restoration circuit must set the pole frequency low enough to pass through lowest data rate. Another challenge is in the conversion of single-

ended output from the preamplifier to a differential signal. At high-speeds, care must be taken to equalize the delays in the positive and negative paths.

4.5.3 The main amplifier

The main amplifier will act as a buffer to minimize the effects of process variations and changes in signal strength, and will also perform noise shaping. It contains a limiting amplifier circuit to provide the proper signal level to the clock-extraction and data-recovery circuit, regardless of the output power of the preamplifier circuit. The overall gain must be large enough for the smallest input signal to produce the required output swing. However, the offset caused by non-ideal effects such as device and layout mismatches can become large enough to smear the differential input signal. Therefore, a DC restoration circuit is necessary.

The limiting amplifier is a differential amplifier using resistive loads followed by a pair of emitter follower as shown in Figure 4.8. Moreover, a source peaking network is used to widen the bandwidth. The output buffer is composed of a differential amplifier using 50Ω resistive loads. Damping resistors are inserted between the emitter followers and the output buffer to prevent source peaking and ringing generally caused by emitter followers [10], [13].

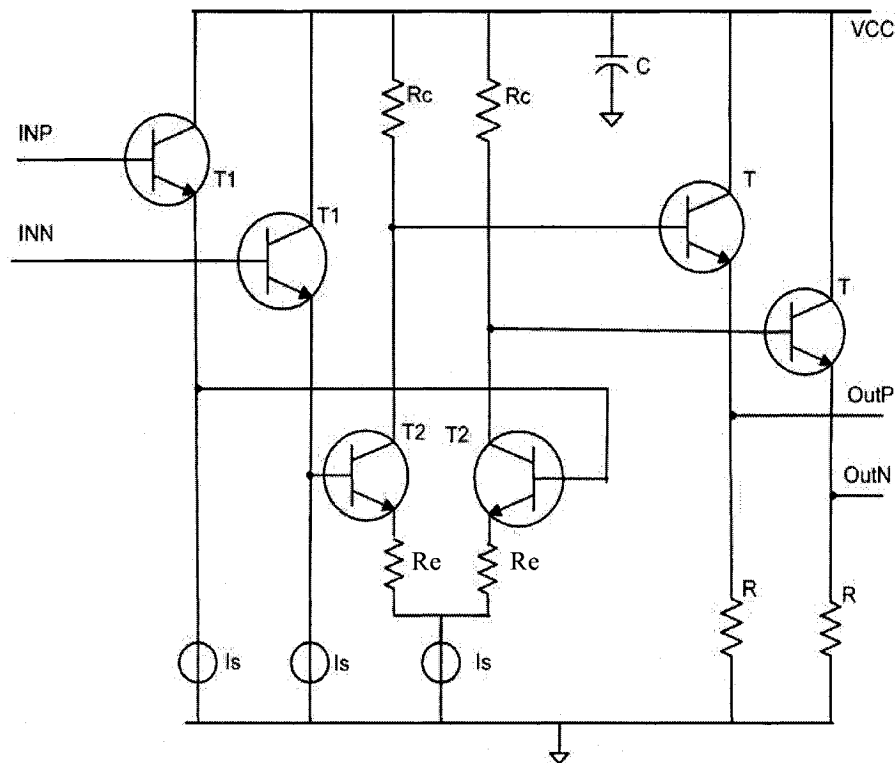


Figure 4.8 Single stage amplifier

4.5.4 DC offset cancellation

In high-speed optical communications, there is DC-level non-uniformity of the photodetector with the preamplifier. In some applications, photodiodes are AC-coupled to the preamplifier using capacitors. The major drawback of this configuration is its response at the low frequency end. Frequency spectrum of truly random data like what is seen on a data communication link has components down to DC. AC-coupling a receiver will destroy these low frequency components leading to signal distortion and bit errors. For that reason, offset cancellation circuits are necessary in the transimpedance stage. Nishikido *et al.* [29] have proposed in 1995 an approach based on a single-ended offset restora-

tion as shown on Figure 4.9. In 1998, Yang *et al.* [30] have also proposed the same approach but in a differential configuration. Peak detection has been used in both implementations and, one major limitation is the control of the loop stability which sometimes requires using external capacitance.

In this paper, we have modified the feedback loop to use simple low-pass filtering instead of peak-detection. When designing in a bipolar technology, the DC restoration loop does not work properly due to the beta mismatch in the differential amplifier used. The DC offset cancellation circuit low-pass filters the data waveform from the amplifier output stage and feeds back a differential DC voltage that provides a DC bias to reduce the offset caused by non-ideal effects in the circuit. Figure 4.9 shows the conceptual DC offset cancellation circuit. For clarity purposes, we discuss in this paper the single-ended output configuration.

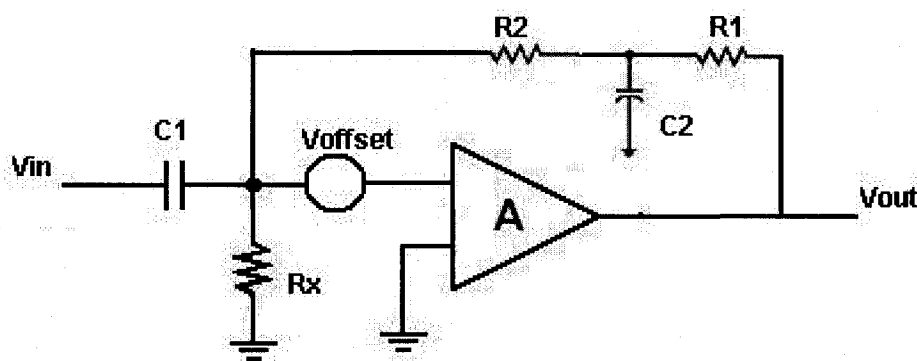


Figure 4.9 Conceptual DC offset cancellation circuit

Let us consider A the open loop gain of the stage from Figure 4.9. The bandwidth of the offset cancellation loop is determined by R_x , R_1 , R_2 et C_2 . When the loop is closed, the offset voltage at the output of the circuit can be expressed as

$$V_{out} = V_{offset} \cdot \frac{A}{1 + A \cdot B} \quad (4.11)$$

B is the feedback loop factor determined by

$$B = \frac{R_x}{R_x + R_1 + R_2} \quad (4.12)$$

Each stage has a small offset error which accumulates thru the last gain stage. From equation (4.11), whatever offset is present at the input of the circuit will appear amplified at the output and will incorrect data. To prevent this from occurring, one would want to make the feedback loop factor close to unity. In order to achieve that condition, it will be necessary to design R_x more larger than $R_1 + R_2$ ($R_x \gg R_1 + R_2$).

The technology used to implement a design has to be considered during the initial design specifications. Although design techniques proposed need to be technology independent, it is hardly the case in high-speed design since each technology will present its own limits. When designing for high-speed of operation with bipolar technology, the offset due to beta mismatch in the differential pair (T_1 , T_1) as shown in Figure 4.10 can generate an undesirable offset of couple of millivolts.

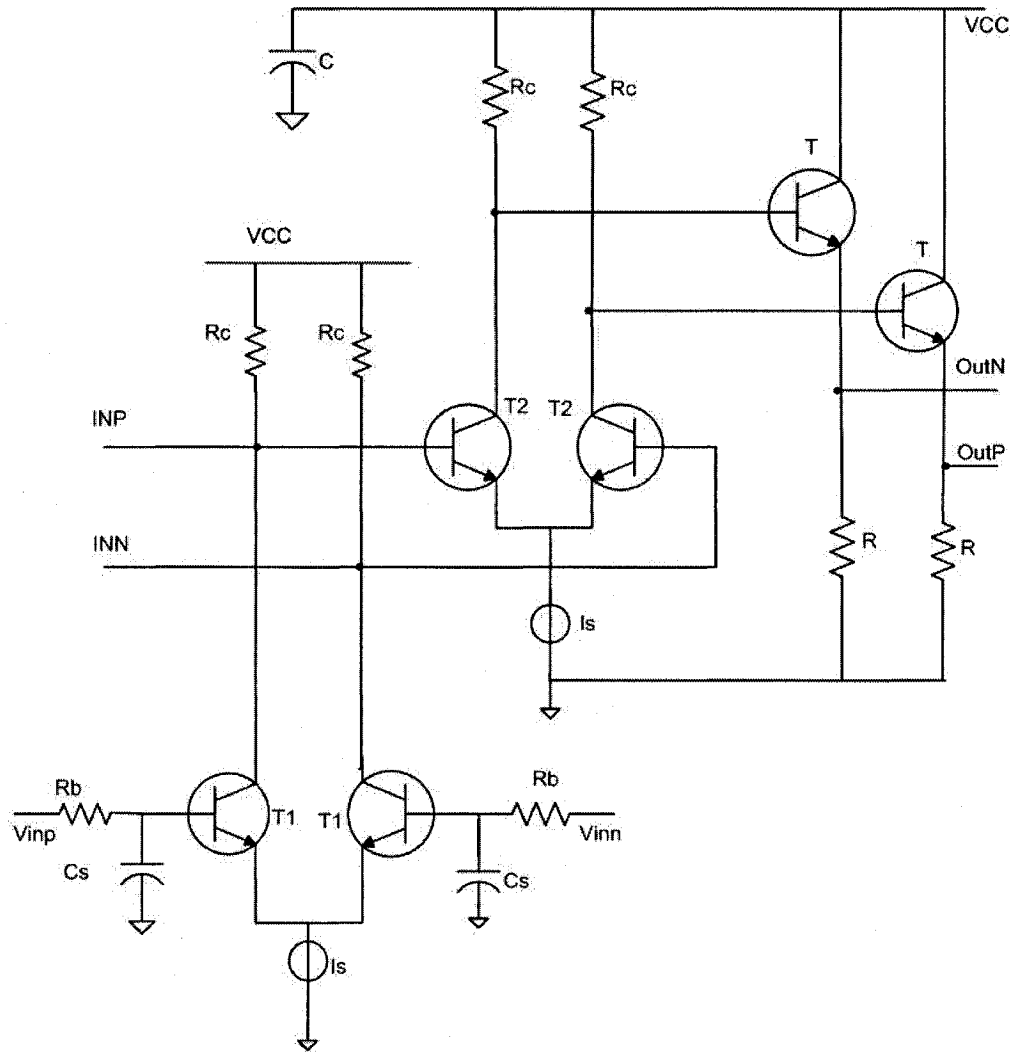


Figure 4.10 Previous implementation of DC restoration

In order to correct this problem, we propose adding CMOS source followers between the low-pass filters and the differential pair as shown in Figure 4.11. Knowing that the input resistance of a FET transistor is very high, the condition of the feedback loop factor is satisfied.

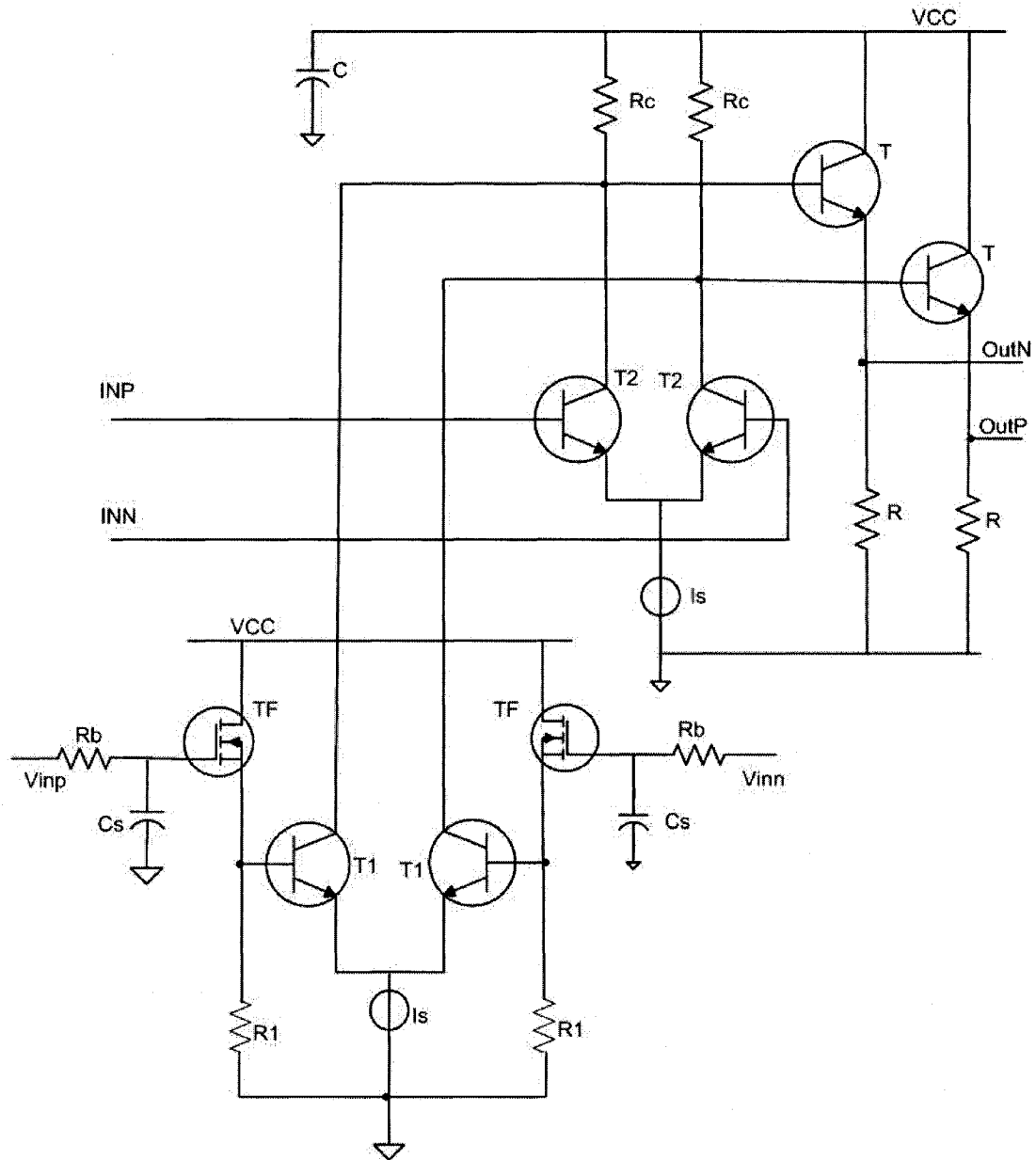


Figure 4.11 The proposed DC offset cancellation circuit

4.5.5 Design optimization

To ensure proper circuit function and to minimize any pattern-dependent degradation, transient simulations of the circuit with pseudo-random input data were performed.

Eye diagrams were created from resulting output waveforms. S-parameters simulations were also conducted to minimize signal reflections at the input and outputs of the circuit. These allowed the circuit to be optimized for maximum performance and stability in a lightwave system.

Optimization also involved varying individual transistor size and bias point to ensure maximum operating speed in the data-path, and also varying input/output inductance to minimize any relaxation oscillation in the output waveforms. The optimization of the transistor size is constrained between smaller devices with ever increasing base resistance and, using a larger device with increasing parasitic capacitances. When the small device is used, it is operated at the maximum allowable collector current density without entering high current regimes associated with a rapidly increasing transit time (resulting in a poor switching time) [10], [21], [22]. To avoid high current effects, minimum size devices are tailored individually for a given collector current and reverse bias voltage (V_{bc}). We have optimized the length of input and output bond wires to minimize inductances influence on circuit performances and stability.

Furthermore, the speed and bandwidth of a TIA depend strongly on circuits capacitances which arises from intrinsic device parasitics and interconnect parasitics. In deep submicron technologies, interconnect capacitances dominate and scaling down the transistor size does not provide a proportional impact in bandwidth improvement. Since systems are becoming faster and complex, the die size are getting also larger, corresponding longer

wiring lengths worsen the distributed RC delays and susceptibility for substrate noise coupling and crosstalk. Using multiple bondpads for supply and ground allows designers to keep the equivalent wirebond length as short as possible thus, minimizing lead inductance that can cause unwanted feedback, resonances and possible oscillations. The layout was optimized using high frequency design guidelines.

4.6 Design implementation

The design was implemented using a 0.18 μm SiGe BiCMOS technology from IBM. To minimize common mode noise, power supply fluctuations and, reduce the sensitivity penalty due to parasitic feedbacks, the receiver has been integrated on a single chip, with differential operation and two power domains as shown on Figure 4.12. In this figure, C1 to C4 represent the on-chip power filtering. The guard ring is represented by GNDX pin and the substrate connections are represented by RSUB1 and RSUB2.

Also, to minimize the interaction of noise sources with the sensitive amplifier input (e.g. via the parasitic inductances of common on-chip lines and bonds to the ground and supply voltage terminals or via the substrate), the different amplifier cells were electrically and spatially separated by adequate measures in the layout. For example, separate ground and supply-voltage pads for each cell were required. An efficient shielding of signal pads at the input and outputs by a low-ohmic buried layer is suggested if supported by the manufacturing technology.

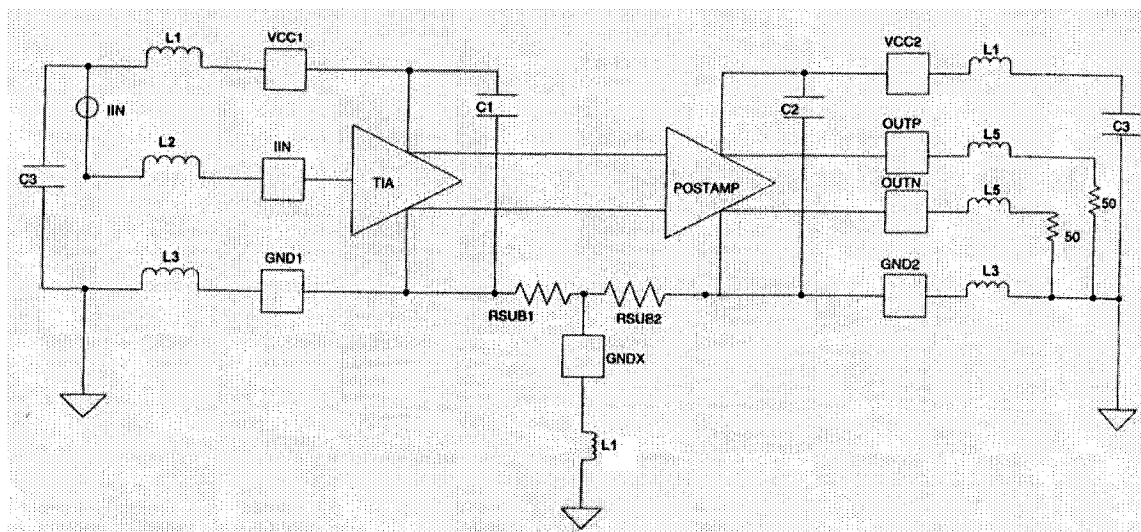


Figure 4.12 Receiver integration with two power domains

4.6.1 Design evaluation

An evaluation board was designed for the purpose of performance evaluation. High-speed guidelines were considered during the board layout to preserve signal integrity. The photograph of the chip mounted on the evaluation board is shown in Figure 4.13. The input and output of the chip conform to a Ground-Signal- Ground pattern to minimize cross coupling of signals. Multiple bond wires have been used for ground and supply connections to improve ground returns and minimize lead inductance.

Since process variations may affect the performance of the design during fabrication, we have used three different samples mounted on three boards. Each board is built with SMA connectors to allow fixture to the test equipment. The signal path from the output pads to the connectors has been designed as a control impedance of 50Ω . The differential outputs of the TIA chip are wire bonded to coupled Grounded Coplanar Waveguide

(GCPW) transmission lines.

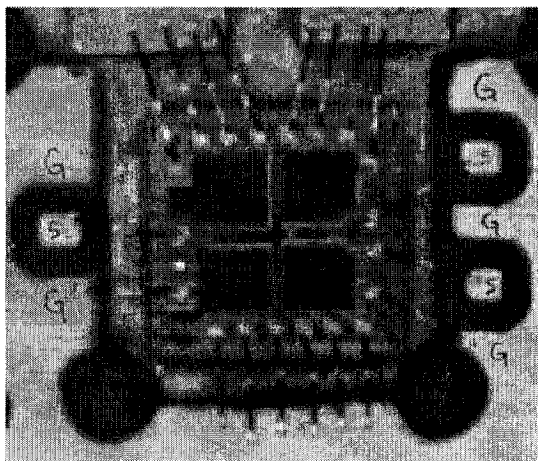


Figure 4.13 Photograph of the chip on the evaluation printed circuit board.

The GCPW is an option for low-loss and low impedance mismatch at high-frequency transmissions. This PCB structure becomes useful when interfacing with SMA connectors. In fact, a GCPW is similar to a Coplanar Waveguide (CPW) except that it has an additional ground plane. With this configuration, the electric fields are split between the ground plane and the coplanar grounds. The electric fields flow in a very similar fashion to those of a coaxial cable. As a result, the controlled impedance is less dependent to the spacing between the signal traces and the coplanar grounds. Having the ground reference as well as ground vias along the signal trace creates a good matching impedance. Spacing of vias should be approximately $1/10$ of the wavelength of the highest frequency of interest.

4.7 Experimental results and discussion

The interconnection technique used to couple the photodiode to the pre-amplifier has to be properly chosen in conjunction with the performance of the amplifier as current sink at the input port. The relationship between the characteristic impedance of the signal line Z_0 , the bond wires inductance L , the equivalent input capacitance C_{in} and equivalent input resistance R_{in} of the TIA should be adequately considered to avoid signal integrity degradation and oscillation. A relationship between input capacitance, the characteristic impedance of the trace and the possible bond wire length that can be chosen without compromising performance has been defined in [4], [10].

Using a HP83480A Digital Communications Analyzer, Anritzu Pattern Generator with a $2^{31} - 1$ PRBS pattern and an external Bias-T, data eyes and jitter were measured at different input signal levels. The design was performed for power supply fluctuations in the excess of $\pm 5\%$ of the nominal supply voltage ($V_{cc} = 3.3$ Volts). For the low voltage conditions of operation, the supply voltage was set to the minimum (3.135 V) and the input current was set to 50 μA ; the corresponding output eye diagram is shown on Figure 4.14. The eye is wide opened with less jitter and less added noise. The waveform amplitude is 456 mVp-p, and the peak-to-peak jitter is 9.7 ps. Rise/Fall times are 19.0 ps and 18.3 ps respectively.

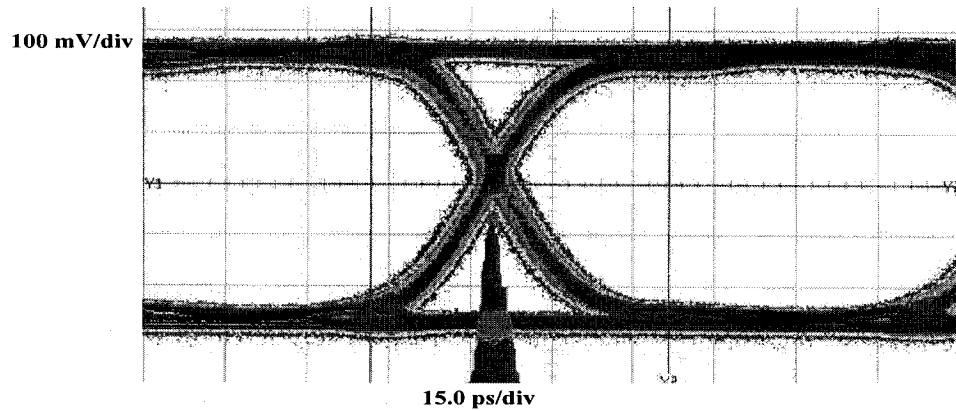


Figure 4.14 Eye diagram at 10.7-Gb/s for 50 μ A input current

In order to stress the design, we have set the PRBS pattern generator at $2^{31} - 1$ for 12.5 Gb/s operation, the maximum supply voltage at (3.47 V) with input current levels of 200 μ A and 2.5 mA respectively. Figure 4.15 represents the eye diagram for an input current of 200 μ A. From this measurement, a clean signal with less jitter and less added noise is observed. The waveform amplitude is 483 mVp-p, the peak-to-peak jitter is 9.90 ps, and rise/fall times are 25 ps.

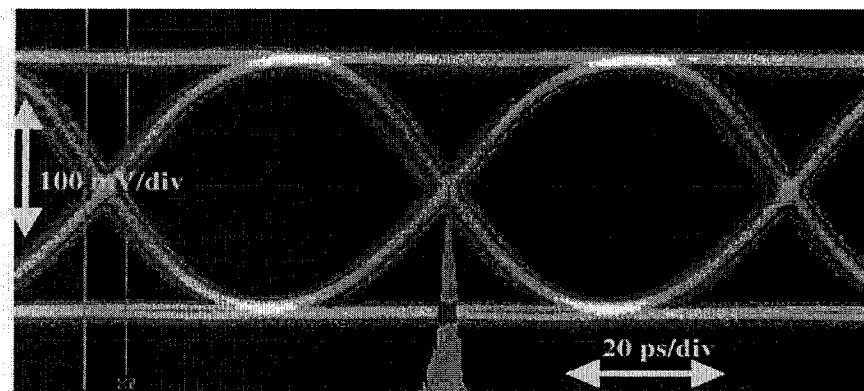


Figure 4.15 Output eye diagram at 12.5-Gb/s for 200 μ A input current.

By setting the supply voltage to the maximum (3.47 V) and the input current to 2.5 mA for overload conditions, the eye diagram is shown in Figure 4.16; the operation in the limiting mode is well demonstrated in this diagram. The waveform amplitude is 485 mV p-p, the rise and fall times are 20 ps and 19 ps respectively, and the peak-to-peak jitter is 9.5 ps. The overall performance not only surpasses most of the performances previously reported but, conforms to SONET specifications. As compared to previously reported results [3]-[9], [14]-[17] achieving a single digit jitter number is one of the best so far reported in its category.

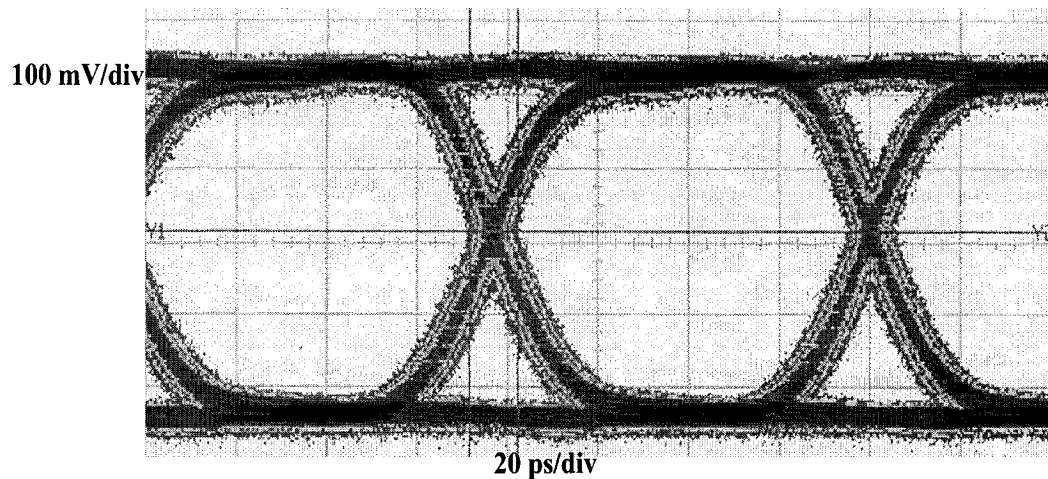


Figure 4.16 Output eye diagram at 12-Gb/s for 2.5mA input current

Furthermore, to evaluate the minimum sensitivity of the design, we have used an input power level of -20 dBm, Figure 4.17 represents the corresponding output waveform. The minimum sensitivity is guaranteed at about -20 dBm. From this measurement, we can see that the eye is clearly opened even if it is a little noisy as the input level is very weak.

The X axis is set to 20 ps/div and the Y axis to 100 mV/div. The waveform minimum amplitude is 200 mV p-p, and the jitter p-p is 22.4 ps, Rise/Fall times is 28 ps. Although the jitter is higher at this low input power, the data can accurately be recovered.

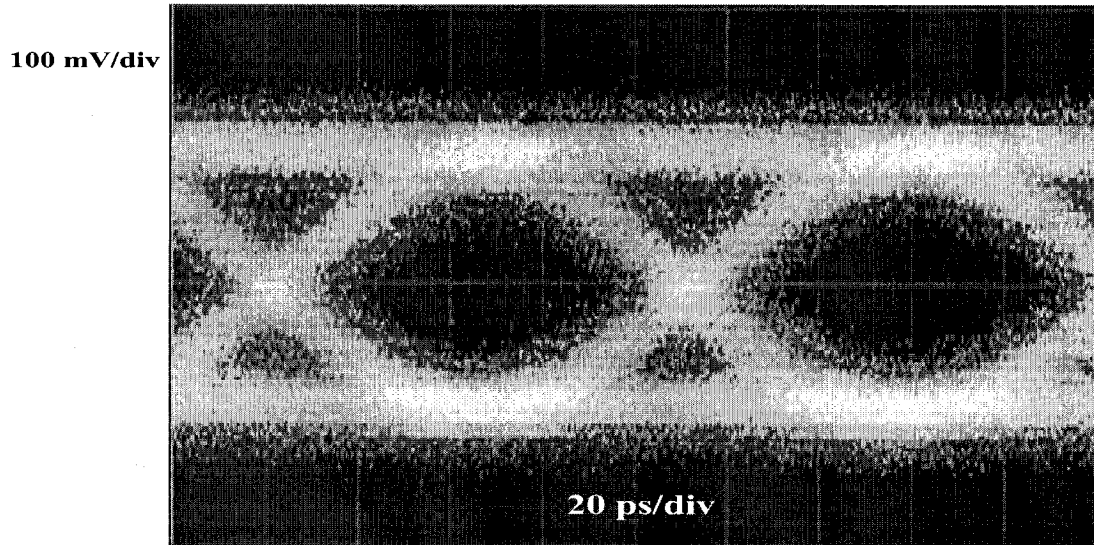


Figure 4.17 Output eye diagram for an input signal of -20 dBm

The gain compression plot is shown on Figure 4.18 for different operating voltages, it can be seen that, from 10 μA to 35 μA input currents, the transimpedance curve is flat at $75 - dB\Omega$. These results also show a good behavior over voltage margins (variations).

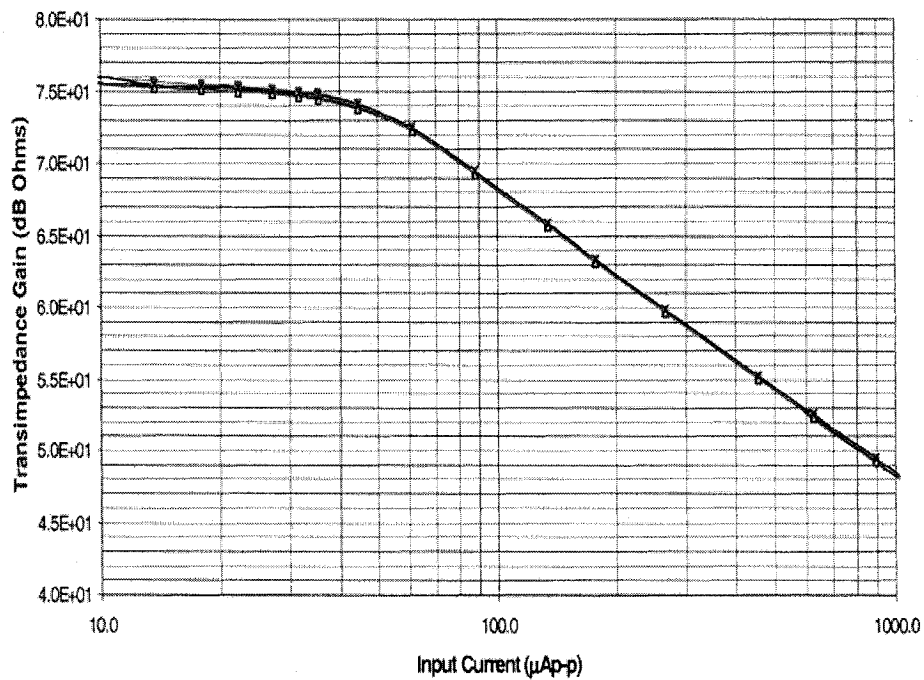


Figure 4.18 Gain compression plot

To evaluate the effectiveness of the design in minimizing errors on transmitted data, we measured the BER as shown in Figure 4.19. Measurements show a sensitivity of -19.2 dBm at a bit error rate of 10^{-12} which conforms to OC-192 SONET receivers specifications with a good margin. Figure 4.20 is the receiver input referred noise. This figure shows an excellent noise performance of $7.8 \text{ pA} / \sqrt{\text{Hz}}$.

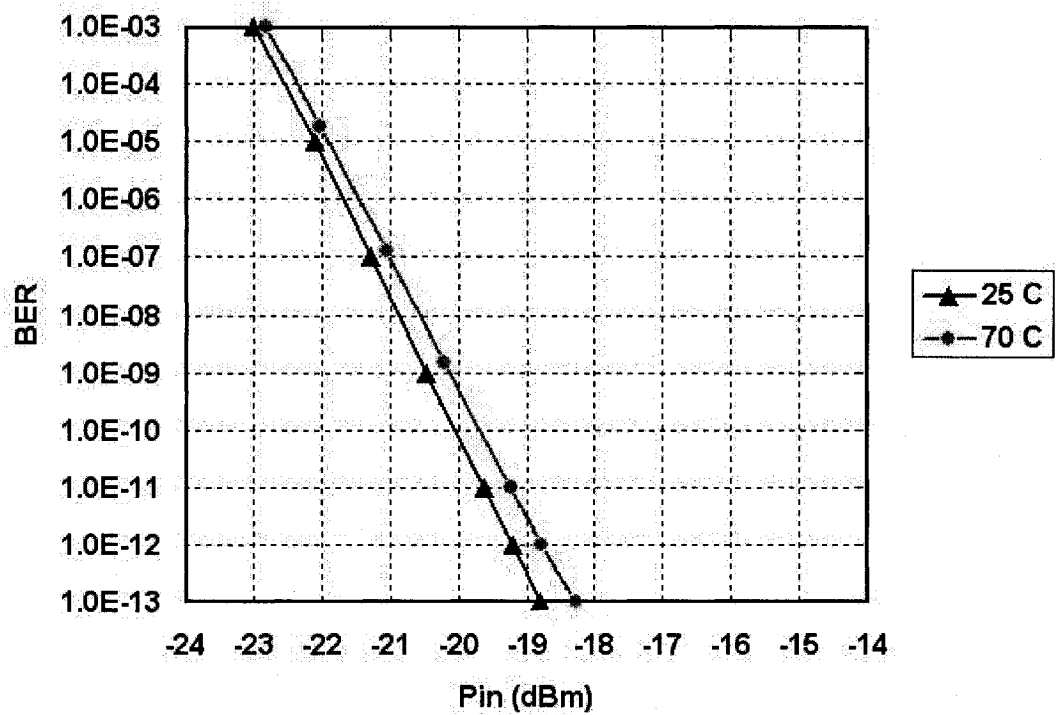


Figure 4.19 The Bit Error Rate characteristic at 25 degrees Celsius

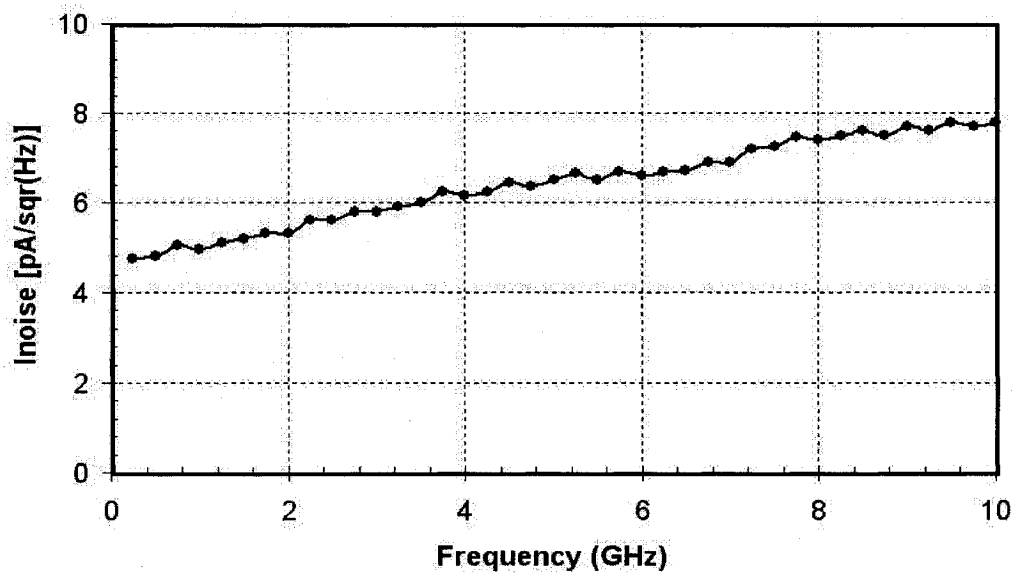


Figure 4.20 Input referred noise

Finally, the measured optoelectronic transfer function is presented in Figure 4.21; this figure depicts a bandwidth of 11 GHz at 25 degrees Celsius. Table 4.1 is a summary of measured performances.

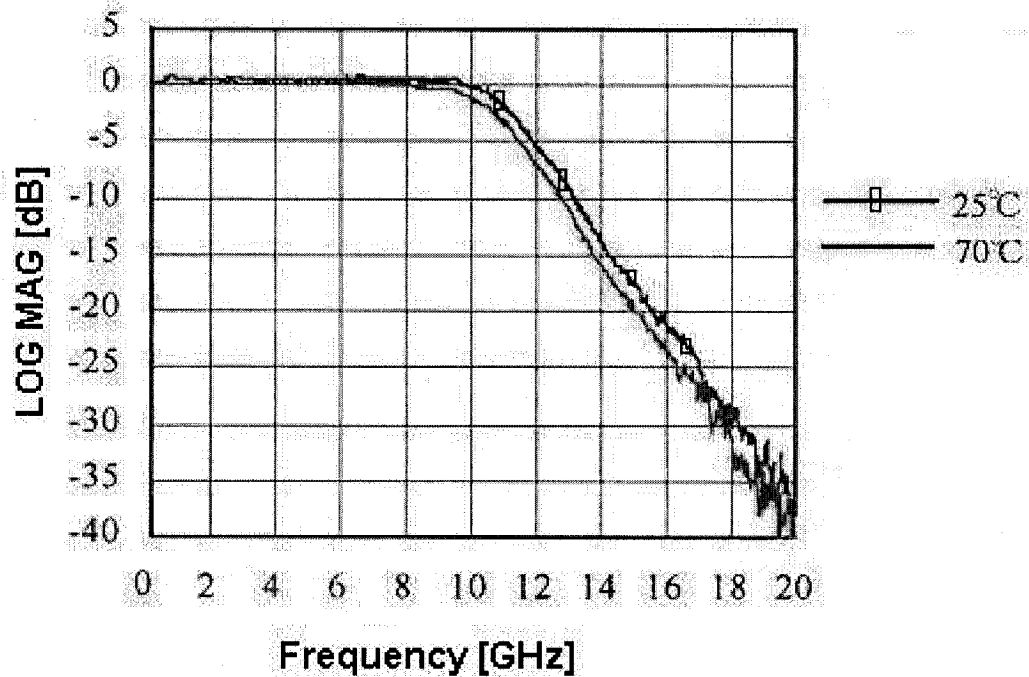


Figure 4.21 Measured Optoelectronic transfer function

Table 4.1 Performance summary

Designation	Result
Differential transimpedance	75 – dBΩ
Bandwidth (at 25 degrees Celsius)	11 GHz
Optical sensitivity at BER= 10 ⁻¹²	-19.2 dBm
Input referred noise current	7.81 pA/√Hz
Input overload current	2.5 mA
Rise time	19 ps
Fall time	18.3 ps
Jitter (peak-peak)	9.6 ps
Group delay variation	< 20 ps (From 100 MHz to 8 GHz)

4.8 Conclusion

The design and experimental results of a new differential preamplifier combining DC photo-current cancellation, DC offset cancellation and single-ended to differential conversion based on a replica biasing scheme have been presented. Measurements show a 11 GHz bandwidth at 25 degrees Celsius, a transimpedance of $75 - dB\Omega$ and a sensitivity of -19.2 dBm measured for data rate of 10 Gb/s at BER= 10^{-12} . The input referred noise current measured was 0.82 μA RMS which corresponds to $7.81 pA/\sqrt{Hz}$. Typical peak-to-peak jitter is 9.5 ps and the input overload current is 2.5 mA. This receiver is suitable for short and long-haul systems and exhibits excellent noise characteristics and excellent performance in terms of transimpedance gain and gain-bandwidth product. Furthermore, the transimpedance amplifier chip is expected to dissipate 120 mW from a single 3.3V power supply.

ACKNOWLEDGMENT

The authors would like to thank Dr. Hans Martin Rein for some advices during the optical communication design seminar organized by MEAD, Mr. John Stronczer for his precious advices and encouragements, and Applied Microcircuit Corporation for the financial support.

REFERENCES

- [1] J. D. Gibson, Ed., "Synchronous Optical Network (SONET) transport systems: Common generic criteria", GR-1377-CORE.
- [2] C. S. Li and H. S. Stone, "Differential board/backplane optical interconnects for high-speed digital systems part I: Theory", IEEE journal of Lightwave Technology, Vol. 11, pp. 1234-1249, 1993.
- [3] H.-M. Rein, "Silicon bipolar integrated circuits for multigigabit-persecond light-wave communications," IEEE J. Lightwave Technology, vol. 8, pp. 1371-1378, Sept. 1990.
- [4] N. Ishihara, E Sano, Y. Imai, H. Kikuchi, and Y. Yamane, "A Design Technique for High-Gain, 10 GHz Class-Bandwidth GaAs MESFET Amplifier IC Module", IEEE Journal of Solid-State Circ., Vol. 27, No. 4, pp 554-562, 1992.
- [5] R. K. Montgomery, A. Feygenson, P. R. Smith, R. D. Yadvish, R. A. Hamm, and H. Temkin, "A 28-GHz transimpedance pre-amplifier with inductive bandwidth enhancement," in IEEE Int. Electron Devices Meeting Tech. Dig., San Francisco, CA, Dec. 1992, pp. 423-426
- [6] M. Neuhäuser, H.-M. Rein and H. Wernz, "Low-Noise, High-Gain Si-Bipolar Preamplifiers for 10 Gb/s Optical links - Design and Realization," IEEE Journal of Solid State Circuits, Vol. 31, pp.24-29, Jan. 1996.
- [7] Y. Suzuki et al., "50-GHz-Bandwidth Baseband Amplifiers Using GaAs-Based HBT's," IEEE Journal of Solid State Circuits, Vol. 33, pp.136-1341, Sept. 1998.
- [8] H. Ikeda, T. Ohshima, M. Tsunotani, T. Ichioka and T. Kimura, "An Auto-Gain Con-

- trol Transimpedance Amplifier with Low Noise and Wide input Dynamique Range for 10-Gb/s Optical Communication Systems”, IEEE Journal of Solid State Circuits, Vol. 36, pp. 1303-1308, Sep. 2001.
- [9] H. Ichino, M. Togashi, M. Ohhata, Y. Imai, N. Ishahara and E. Sano, “Over-10-Gb/s IC’s for Future Lightwave Communications”, Journal of lighwave technology, Vol. 12, No.2, pp.308-317, 1994.
- [10] H. M. Rein and M. Moller, “Design considerations for very-high-speed Si-bipolar IC’s operating up to 50 Gb/s,” IEEE Journal of Solid State Circuits, Vol. 31, pp.1076-1090, August 1996.
- [11] V. Hurm, W. Benz, W. Bronner, T. Fink, T. Jakobus, G. Kaufel, Z. Lao, A. Leven, M. Ludwig, “Long Wavelength MSM-HEMT and PIN-HEMT Photoreceivers grown on GaAs”, IEEE GaAs IC Symposium, pp. 197-200, October 1997.
- [12] J. Rue, M. Itzler, N. Agrawal, S. Bay and W. Sherry, “High Performance 10 Gb/s PIN and APD Optical Receivers”, Electronic Components and Technology Conference, pp. 207-215, 1999.
- [13] J. Mullrich, H. Thurner, E. Mullner, J. Jensen, W. Stanchina, M. Kardos and H. M. Rein, “High-Gain Transimpedance Amplifier in InP-Based HBT Technology for the Receiver in 40-Gb/s Optical-Fiber TDM Links”, IEEE Journal of Solid State Circuits, Vol. 35, pp. 1260-1265, Sep. 2000.
- [14] H. H. Kim, S. Chandrasekhar, C.A. Burrus, Jr.; J. Bauman, “Si BiCMOS transimpedance amplifier for 10-Gb/s SONET receiver”, IEEE Journal of Solid State Circuits, Vol. 36, pp.769-776, May 2001.

- [15] Y. Greshishchev, P. Schvan, J. Showell, M. Zu, J. Ojha, and J. Rogers, "A fully integrated SiGe Receiver IC for 10-Gb/s Data rate", IEEE Journal of Solid State Circuits, Vol. 35, pp.1949-1957, Dec. 2000.
- [16] X. J. Li, J. P. Ao, R. Wang, W. J. Liu, Z. G. Wang, Q. M. Zeng, S, Y. Liu and C. G. Liang, "An 850 nm wavelength monolithic integrated photoreceiver with a single power supplied transimpedance amplifier based on GaAs PHEMT technology", IEEE GaAs Digest, pp. 65-68, 2001.
- [17] K. Ohhata, T. Masuda, K. Imai, R. Takeyari and K. Washio, "A Wide-dynamic-range, High-transimpedance Si bipolar preamplifier IC for 10-Gb/s Optical fiber links", IEEE Journal of Solid State Circuits, Vol. 34, pp. 18-24, Jan. 1999.
- [18] C. H. Wu, E. A. Sovero and B. Massey, "40-GHz Transimpedance Amplifier with Differential Outputs Using InP-InGaAs Heterojunction Bipolar Transistors", IEEE Journal of Solid State Circuits, Vol. 38, pp. 1518-1523, Sep. 2003.
- [19] P. Roux, Y. Baeyens, V. Houtsma, A. Leven, J. Weiner, A. Benz and Y. K. Chen, "Single-ended to differential MHEMT Transimpedance Amplifier with 66 dB Ohms differential Transimpedance and 50 GHz Bandwidth", IEEE MTT-S Digest, pp. 1193- 1195, 2003.
- [20] J. S. Weiner, A. Leven, V. Houtsma, Y. Baeyens, Y. K. Chen, P Paschke, Y. Yang, F. Frackoviak, W. J. Sung, and Weimann, "SiGe Differential Transimpedance Amplifier with 50 GHz Bandwidth", IEEE Journal of Solid State Circuits, Vol. 38, pp.1512- 1517, Sep. 2003.
- [21] A. Schild, H-M. Rein, J. Mullrich, L. Altenhain, J. Blank and K. Schrodinger, "

- High-Gain SiGe Transimpedance Amplifier Array for a 12 x 10 Gb/s Parallel Optical Link”, IEEE Journal of Solid State Circuits, Vol. 38, pp.1512- 1517, Jan. 2003.
- [22] E. M. Cherry and D. E. Hooper, “The design of wide-band transistor feedback amplifiers”, Proc. IEE, Vol. 110, No. 2, pp. 375-89, 1963.
- [23] J. Conradi, “A Simplified Non-Gaussian Approach to Digital Optical Receiver Design with Avalanche Photodiode: Theory”, IEEE Journal of Lightwave Technology, Vol. 9, No. 8, pp. 1019- 1026, 1991.
- [24] J. O’Reilly, J. Da Rocha, K. Schumacher, “Optical Fiber Direct Detection Receivers Optimally Tolerant to Jitter”, IEEE Transactions on Communications, Vol. COM-334, No. 11, pp. 1141-1147, Nov. 1986.
- [25] R.G. Smith & S. D. Personick, “Receiver Design for Fiber Optic Communication Systems”, Semiconductor Devices for Optical Communications, New York, Springer-Verlag, 1980, Chap. 4.
- [26] S. D. Personick, “Receiver Design for Digital Fiber Optic Communication Systems Parts I & II”, Bell System Technical Journal, Vol. 52, pp. 843-86, 1973.
- [27] A. Buchwald and K. Martin, Integrated Fiber-Optic Receivers, Norwell, MA, Kluwer, 1995, chap. 7.
- [28] Andre Boyogueno, “Design and implementation of optoelectronics interfaces for high-speed burst-mode transmissions,” Journal of Vac. Science and Technology B 18(4), pp. 1962-1966, Jul/Aug. 2000.
- [29] J. Nishikido, S. Fujita, Y. Arai, Y. Akahori, S. Hino and K. Yamasaki, “Multigigabit Multichannel Optical Interconnection Module for Broadband Switching system”,

Journal of Lightwave Technology, Vol. 13, pp. 1104 - 1110, June 1995.

- [30] J. Yang, J. Choi, D. M. Kuchta, K. G. Stawiasz, P. Pepeljugoski and H. A. Ainspan,
“A 3.3 V, 500 Mb/s/ch Parallel Optical Receiver in 1.2 μm GaAs Technology”,
IEEE Journal of Solid State Circuits, Vol. 33, pp. 2197-2203, Dec. 1998.

CHAPITRE 5

CONCEPTION AXÉE SUR LA STABILITÉ

5.1 Résumé

Dans la conception et la fabrication des circuits analogiques et mixtes, comme le test explicite n'est pas souvent efficace à cause de l'accès aux noeuds et blocs internes très limité, l'une des solutions consiste à adopter une stratégie de conception pour la testabilité (DFT) au début du processus de conception. Bien que la DFT soit encouragée comme stratégie de test afin de réduire les coûts associés au test et permettre une standardisation du design, son implantation devient assez difficile dans le cas des circuits complexes et cela l'est davantage lorsqu'il s'agit des hautes fréquences d'opération. De plus, la performance des circuits s'en trouve affectée avec l'ajout d'une circuiterie supplémentaire imposée par la DFT. Ce phénomène est particulièrement sévère dans le cas des circuits opérant à très hautes fréquences d'opération nécessitant un fonctionnement à faible bruit comme les photorécepteurs. Le moindre bruit ajouté au signal affecte la performance globale de tout le système de transmission.

De nos jours, la complexité des systèmes de transmission ne cesse de croître et leur implantation requiert souvent des circuits analogiques ou mixtes performants. Cette complexité rend très difficile la vérification complète de ces systèmes car nécessitant des équipements très coûteux. De plus, la probabilité d'avoir pendant la fabrication une boucle

de contre réaction positive pouvant engendrer une oscillation augmente avec la complexité du design. Une grande majorité des circuits de communication optiques présentent encore des lacunes au niveau de leur évaluation. La plupart des circuits ou sous-circuits ne sont pas évalués pour la stabilité en hautes fréquences pendant la phase de conception car les compromis couramment rencontrés font omission de l'analyse de la stabilité utilisant les paramètres S et Z. L'emphase est placée sur la réalisation d'une large bande passante, un gain élevé et un faible bruit dans certains cas. En conséquence, une grande majorité des circuits fabriqués n'ont pas un fonctionnement stable une fois implantés. Bien souvent, le problème est décelé chez le client; cette situation est très onéreuse pour les compagnies oeuvrant dans le secteur des semiconducteurs.

Afin d'apporter une contribution à ce problème, nous proposons dans ce chapitre une méthodologie de conception pour la stabilité (DFS) des circuits intégrés devant fonctionner en hautes fréquences pour supporter les grands débits de transfert d'information rencontrés dans les réseaux de communication optique. La DFS est basée sur l'analyse de la stabilité des circuits intégrés en utilisant les paramètres S et Z, le facteur de stabilité K_f et la mesure de la stabilité B_{1f} . Cette méthodologie permet d'effectuer une évaluation efficace de la stabilité des circuits intégrés pendant leur phase de conception afin de s'assurer qu'ils pourront avoir un fonctionnement stable dans leur environnement d'opération.

Afin de démontrer le fonctionnement effectif des techniques et méthodologie proposées, des prototypes ont été fabriqués en utilisant le procédé de fabrication à $0.18\ \mu\text{m}$ en SiGe (Silicium Germanium) de IBM. Les résultats de mesures effectuées sur les proto-

types fabriqués démontrent le succès de la méthode utilisée, et sont en conformité avec les buts et spécifications initiales de conception. Nous rapportons entre autres, une bande passante de 11 GHz, une sensibilité de -20 dBm mesurée pour un taux d'erreur binaire sur les bits de 10^{-9} , un bruit d'entrée de $8.8\text{pA}/\sqrt{\text{Hz}}$ et une gigue de 10 ps crête-à-crête. Cet ensemble de performances se situe parmi les meilleures dans la classe d'applications fonctionnant à 10 Gb/s.

Nous terminons ce chapitre avec l'article intitulé: "*Design for Stability of High-Speed Integrated Photoreceivers: A Tutorial*" qui a été accepté pour publication dans "The journal of analog integrated circuits and signal processing".

Design For Stability of High-Speed Integrated Photoreceivers: A Tutorial

André Boyoguéno¹, Mohamad Sawan¹ and Mustapha Slamani²

¹Department of Electrical Engineering, Ecole Polytechnique de Montréal, P.O Box 6079 Station Centre-Ville, Montréal, (Québec), H3C 3A7, Canada

²IBM, Test Development Group, 1000 River Street, Mail stop 862G, VT 05452

Email: mohamad.sawan@polymtl.ca

Abstract. We propose a Design For Stability (DFS) methodology dedicated to the design of reliable high-speed integrated photoreceiver front-ends. This methodology based on the stability factor, S-parameters and Z-parameters analysis is made of four rules that high-speed designers will apply during the stability check of their design. To demonstrate its effectiveness, the proposed DFS methodology was applied to build a transimpedance amplifier (TIA) compliant to Synchronous Optical Network (SONET) OC-192 (10-Gb/s) standard. Experimental results in agreement with initial design specifications show excellent performances such as: 11 GHz bandwidth, -20 dBm sensitivity measured at 10-Gb/s for a Bit Error Rate (BER) of 10^{-9} and 10 ps peak-to-peak jitter.

Key Words: Design For Stability, Design methodology, Transimpedance amplifier, S-parameters.

5.2 Introduction

The increasing demands for high-speed optical systems operating at 10-Gb/s or higher rates have resulted in technical challenges for designers of high-performance optoelectronic components and systems. In particular, the high gain and high bandwidth nature of amplifiers used in such components can lead to unwanted oscillations if not well controlled by the designer. As the operating frequency of the integrated circuits (ICs) increases, other factors that could be previously considered negligible in low frequency design can no longer be neglected; adverse influences of parasitic need to be taken into account during the design flow. One trade-off commonly used in the high-speed IC design is that of Gain-Bandwidth product, and other performances are designed to match it.

Also, as technology continues to scale down, accurate modeling of interconnects becomes increasingly important since every conductor has a capacitance, inductance and frequency dependent resistance. With the increasing operating frequency, none of these variables is negligible. Thus, a wire is no longer a wire but a distributed parasitic element that will have a delay and a transient impedance profile that can considerably degrade the performance of the transmission between the driving chip and the receiving chip. The signal propagating down the path is no longer contained entirely in the interconnect itself, but is a combination of all the local electric and magnetic fields around the interconnection. Therefore, accurate equivalent circuits for modeling the substrate network of circuit components like transistors, capacitors, resistors, as well as of bond pads have been reported [1], [2]. A good understanding of substrate interconnection for the design of ICs using a

silicon germanium (SiGe) technology is required to assess the impact of the substrate coupling. In fact, every single component in the design has a connection to the substrate and all these connections must be tied together for the circuit to work properly.

At high frequencies, interconnect discontinuities occur between different parts of the same device, such as packages, vias, connectors and bends. All these effects represent a large number of co-dependent variables that affect the overall performance of the system. Some of the variables are controllable and some force the designer to live with their random variation. One of the difficulties in high-speed design is how to handle those variables, whether they are controllable or uncontrollable and still perform a stable design. Neglecting or making unrealistic assumptions on some of these variables can lead to failures difficult to debug. In such a situation, it will be impossible to establish the real root-cause of the failure.

But low frequency circuit theory has been built around the assumption that all circuit dimensions are small compared with the electromagnetic wavelengths of interest. That has led to modeling interconnect as a purely resistive material. However, this approximation is not valid for ICs operating at the multi-Gigahertz frequency range. Recently, Massoud and Ismail in [3], Kleverland et al. in [4] have assessed in their publications, the importance of understanding the effects of on-chip inductance in high-speed integrated circuits design in deep-submicron technologies. They have provided a certain number of guidelines designers can exploit in order to account adequately for on-chip parasitics. This understanding is critical in achieving working designs.

Although circuit performance at 10-Gb/s and higher has already been demonstrated for more than a decade [5]-[18], high-speed design techniques are still investigated to improve system's performance. In fact in 1990, Hans-Martin Rein [5] has provided a good review of circuit architectures suitable for high-speed communication systems. One of his preoccupations was to evaluate the readiness of the Si bipolar technology for the implementation of 10-Gb/s systems. His research team was actively working toward the demonstration of systems operating at 10-Gb/s or higher. In 1992, Montgomery *et al.* [6] have demonstrated a wide band transimpedance amplifier design in InP composite collector HBTs. The effective transimpedance gain achieved was just 39 dB Ω with 1.5 dB ripple and a bandwidth of 28 GHz. One interesting thing about this design is that, they used an inductive bandwidth enhancement technique to boost the bandwidth of the front-end. Although it has showed to be a promising technique for the design of high-speed TIAs, they did not provide enough supporting data in their publication. The magnitude of the effective transimpedance was calculated from S-parameters using equation (5.1) for $Z_0 = 50\Omega$ [6].

$$|Z_{eff}| = |Z_0| \frac{|S_{21}|}{|1 - S_{11}|} \quad (5.1)$$

In this equation, Z_0 represents the characteristic impedance of the system environment for electrical characterization, S_{11} and S_{22} represent the input reflection coefficient and the forward transmission coefficient respectively.

Also in 1992, Noboru Ishahara *et al.* in [7] have proposed a design technique for high-gain, high-bandwidth GaAs MESFET amplifier IC module for 10-Gb/s communication systems. In this paper, authors have proposed a procedure for high-gain, wide-band circuits design using stability analysis and a unified design methodology incorporating the package. This was actually the first paper using stability analysis in the design of optoelectronic circuits dedicated for communication applications. A multi-chip structure was developed using stability analysis and requirements for stable operation was determined. Furthermore, to reduce high frequency parasitic influences at the interface with the package, several improvements were clarified such as wideband matching and LC resonance damping. Two years later in 1994, Haruhiko Ichino *et al.* [8] from the same research team have proposed a review on research and development in NTT laboratories on integrated circuits faster than 10-Gb/s for the next generation of optical communication systems. Key design issues such as optimization procedures and novel circuit procedures were discussed.

Over the past decade, single-ended TIA implementations for optical transmission systems and operating at bit rates in excess of 10 Gb/s have been reported. Although this is relatively the simplest way to design photoreceivers, a single-ended configuration is inherent to common mode noise leading to higher error rates on bits, especially with weak signals. The resulting design has generally a poor power supply rejection because of the capacitive coupling of the supplies to the signal path. Furthermore, interfacing with the next subsequent stages such as limiting amplifiers or clock and data recovery circuit

(CDR) is not adequate. To improve gain and noise performance, a more robust approach is to use a differential structure in order to take advantage of the common mode noise rejection property inherent to differential circuits. TIAs with differential outputs have been reported in the literature [12]-[20].

In [12], Kim *et al.* present a 10-Gb/s transimpedance amplifier implemented in Si bipolar technology based on the common source configuration. Authors present an input-matching network scheme to achieve lower noise. A comparative study on noise performance between a common-emitter and a common-base configuration is also presented. Although they could achieve higher bandwidth with the common-base configuration (low input impedance configuration), they could not afford its noise performance. They have emphasized on integrating the TIA and the photodiode in a single package achieving an optical sensitivity of -17 dBm at a BER of 10^{-12} . The integration of the TIA and the photo-detector on a single chip has the advantage of minimizing parasitics at the input front-end but suffers from process technology limitation.

In [13], Rein and Moller present some aspects of high-speed design with emphasis on IC optimization using advanced transistor models. They also show how bond wire inductances can be favorably used to improve circuit performance and they discuss special modeling aspects. It should be pointed out here that, mixed-signal circuits with clock frequencies as high as the transistor transit frequency f_T or broadband amplifiers with cut-off frequencies up to $f_T/2$ are only possible if adequate circuit concepts are used and if the circuits are carefully designed. Such a design does not only include the optimization of the

circuit resistances (and thus of the transistor operating points and voltage swings) but also the individual design of all transistors in the circuit as well as the optimization of on-chip wiring and even the length of the bond wires.

Although an important design effort is being carried out around the data rate of 10-Gb/s and higher [5]-[20], new design techniques are still in great demand to accurately address high-speed circuit design and stability. Actually, the majority of gigabit TIA designs have so far focused on the design-tradeoffs of the TIA such as transimpedance gain, bandwidth, noise, dynamic range, power dissipation, etc. This situation has resulted in multiple failures on fabricated integrated circuits, which are difficult to debug. Although new design techniques are sought in order to improve system level performances, there is more than ever before an urgent need to address the stability issue. In fact, you may have designed the most performing chip in the world (with low-noise, low-jitter, higher bandwidth and higher gain...) if it does not have a stable operation in its working environment, that would have just been a “guess work”. With technology scaling down into deep submicron and the increasing demand for high-speed operation, it is time to include stability among design tradeoffs and that is the aim of the paper rather than focusing only on the TIA circuit architectures. Stability should not be a least requirement to consider among the design-tradeoffs of TIA. As operating speed continues to push into multi Gb/s, the OC-12 TIA design rules do no longer meet the current design solutions. The traditional design flow need to incorporate the design for stability analysis as proposed in Figure 5.1.

Back in 1984, Gonzales in [21] has published a book, which is a key reference when considering the stability issue in general, chapter 4 is particularly of interest. Later in 1993, T. Misugi and A. Shibatomi have also published a book where the design of high-speed transimpedance amplifiers is discussed; some stability design consideration can be found in chapter 3 of the book. More recently in 2002, Hammad, Freundorfer and Antar [23] have proposed a comprehensive study of multi-bands unconditional stabilization of Common-Source (CS) and Common-Gate (CG) MESFET transistors using feedback. From references [7], [8], [10], [14], [15] and [21]-[23], the most important design considerations in a high-speed photoreceiver are stability, high sensitivity, power gain, bandwidth, noise and DC requirements. Amplifier stability is likely one of the most critical issues in the design of such type of amplifiers. Generally, the optical receiver is designed to be stable for a given load impedance and at a given frequency band. However, this is only valid if the load impedance is well identified in all frequency bands from DC to cut-off and is assumed not to change with the frequency. Consequently, if this condition is not satisfied, the amplifier could be pushed into instability and power will be lost in oscillation at a frequency other than the operating frequency.

Furthermore, tight schedules imposed by severe time-to-market constraints make prototyping inefficient and force designers to seek validation of their design from accurate and extensive simulations. In order to overcome these limitations, high-speed ICs designers must rely on an efficient design system and methodology that allows them to accurately predict the behavior of their designs under real working conditions and

environment. As the frequency of operation continues to increase, the testability of high-speed electronic circuits used in serial data transmissions at 10-Gb/s or higher remains a big challenge for the test community. Test equipment used for the electrical characterization of the fabricated circuits is generally 50Ω terminated. I. Sylla et al. in [24] have proposed a method of addressing the testability of circuits operating at high frequencies, but their work is only limited to circuits operating up to 1 GHz. The design for testability (DFT) methodology can no longer be easily applied. The commonly insertion of test points method is no longer allowed on the signal path, thus avoiding discontinuities causing signal reflections translating into jitter. New methods to evaluate circuit's performance are needed and, in this paper, the design for stability (DFS) is introduced as a new concept in the high-speed integrated circuits design flow.

The aim of this paper is to provide designers with a robust design approach for high-speed integrated circuits (ICs) in general and for integrated photoreceivers in particular. We propose a design methodology to address stability issues encountered in the design of high-speed integrated photoreceivers. The proposed DFS has been applied to build a high-speed transimpedance amplifier and experimental results as supporting materials are presented. Section II of the paper introduces some integrated photoreceiver design considerations. In section III, the DFS methodology is introduced to address performance and stability requirements. In section IV, we discuss applying the DFS to the design of high-speed photoreceivers and propose DFS rules. Section V presents a design case of a photo-

receiver consisting of a transimpedance amplifier featuring a single ended to differential conversion and a limiting output stage. Finally, section VI is the concluding note.

5.3 Integrated photoreceiver design considerations

The photoreceiver represents one of the key components in optical fiber based communication systems. The basic elements of an optical receiver module are a photodetector, a pre-amplifier, a limiting or AGC (Automatic Gain Control) amplifier and a CDR (Clock and Data Recovery) circuitry. The performance of the receiver is strongly influenced by the interface between the photodetector and the pre-amplifier. Knowing that, the overall performance level of the system is established at the receiver input where the signal is at its weakest, the design of the input optoelectronic interface must be done carefully [13], [25].

5.3.1 Receiver specifications

In optical communication systems, a photodiode (PD) is normally used in the receiver to convert the incident optical signal into an electrical current. It is highly recommended for the photodiode to have the following characteristics: high responsivity, wide bandwidth, low capacitance and low dark current. The pre-amplifier convert the photocurrent from the PD into a usable voltage that can be further processed by the CDR. The common pre-amplifier architecture mostly used in these systems is the TIA, because of its optimum trade-off between sensitivity, dynamic range, bandwidth and gain. This configu-

ration uses a shunt feedback amplifier to convert the photocurrent into a voltage. The schematic of a typical photoreceiver in TIA configuration is shown in Figure 5.2.

The main transfer function to be optimized is the transimpedance, but the input impedance should be taken into careful consideration to avoid unexpected peaking effects that can cause performance degradation and potential oscillation. To prevent this from occurring, the resonant circuit formed by the connection of the photodiode to the TIA front-end must be properly modeled during the circuit design as proposed in Figure 5.3. The transimpedance can be approximated by the expression in equation (5.2) [19]

$$Z_T(\omega) = -\frac{R_F}{1 + \frac{1}{A(\omega)}} \quad (5.2)$$

In this equation, $A(\omega)$ is the open-loop gain of the preamplifier and R_F is the feedback resistor. In reality, it is a feedback impedance made of the feedback resistor and any stray capacitances. Looking at the input of the circuit, $R_T = R_{in}$ and $C_T = C_D + C_I$ are respectively the equivalent input resistance and the equivalent input capacitance seen from the input node. The bandwidth can be estimated by

$$BW = \frac{1 + A(\omega)}{2\pi R_T C_T} \quad (5.3)$$

A design usually starts with a set of specifications, a selection of device technology and circuit architecture. An integrated photoreceiver for SONET OC-192 applications will likely have the following specifications as listed in Table 5.1. In order to achieve the target operating speed, it is important to achieve both high gain and high bandwidth. Achieving a

high gain is a conflicting constraint with achieving a high bandwidth as it can be seen from equations (5.2) and (5.3); the designer needs to find a trade-off which is made possible by a proper choice of circuit architecture.

5.3.2 Effect of the interconnect on the receiver performance

It is essential that the length of the bondwire connecting the photo-detector to the TIA be precisely controlled and kept short. The resulting inductance associated with the bondwire will likely cause peaking in the gain characteristic of the receiver; sometimes, it is even used to extend the bandwidth [13]. Large values of inductance will lead to unwanted increased group delay causing different frequency components to reach the receiver output at different times resulting in increased pattern dependent jitter and Bit Error Rate (BER) degradation. One way of minimizing these undesirable effects at the interface is to have the photodetector and the TIA integrated on the same chip; but this is not always possible depending on the process technology.

To alleviate the technology limitation, we propose to optimize the interconnect design so as to minimize the influence of the inductance at the interface. Using the interconnect model proposed in Figure 5.3, simulation iterations allow optimization of parameter values. The AC current at the input must see minimal inductance to the ground otherwise; the inductance will increase the path length to ground causing ground to look like an open circuit at a frequency where the path length is one quarter of the wavelength. The photoreceiver front-end model is shown in Figure 5.3. The overall transfer function can be written as:

$$\frac{V_{out}(\omega)}{P_{opt}(\omega)} = \frac{I_d(\omega)}{P_{opt}(\omega)} \cdot \frac{I_{in}(\omega)}{I_d(\omega)} \cdot \frac{V_{out}(\omega)}{I_{in}(\omega)} \quad (5.4)$$

Equation (5.4) is an idealization of the transfer function because, in reality, there will be an interaction between the TIA frequency response and the source impedance of the network driving it. The interconnection network can be seen as a matching network between the TIA and the photodiode having a frequency response that can be approximated by:

$$\frac{I_{in}(\omega)}{I_d(\omega)} \quad (5.5)$$

From the microwave theory, signal reflections occur whenever there are impedance mismatches in the communication channel. Reflections in a data signal channel create deterministic jitter (Dj) due to the signal interfering with itself. The reflected signal will interfere with the incoming signal causing inter symbol interference (ISI) translating into signal integrity degradation. All depending on the reflection coefficient given by (5.6), the reflected energy reduces the signal-to-noise ratio at the receiver, increases jitter and causes the error rate to degrade. Reflections are typically due to discontinuities on the signal path causing impedance mismatches. One way of addressing this issue during the design is by adopting adequate signal routing in the chip layout and at the board layout. A strong recommendation to be made is to avoid any sharp 90 degrees trace routing on the signal path and provide appropriate terminations.

$$\Gamma = \frac{Z - Z_0}{Z + Z_0} \quad (5.6)$$

Typically, Z_0 is 50Ω which represents the characteristic impedance of the system environment where the device is tested. Z can have both resistive and reactive components and is a complex number.

Traditional transimpedance design has always considered the interconnection of the photodiode to the input of the TIA as ideal without loss. As the operating frequency increases, this condition is no longer valid. The design of high-speed TIAs has evolved toward the microwave design considerations. Furthermore, to evaluate the circuit electrical performance at such frequencies, the usage of microwave test equipment is required. Those high-speed test equipments are generally 50Ω terminated. The interface between the device under test and the test equipment has to be adequately considered for valid measurements results. In this work, the test setup was inspired by the work from Rein Hans-Martins' team over the past decade [5], [9], [13], [16], [17] and particularly the paper from Jens Mullrich et al. [16].

5.3.3 Receiver sensitivity

The sensitivity of the receiver is the smallest average incident power for which the receiver maintains a specified BER. High signal to noise ratio (SNR) is one of the requirements for achieving high optical sensitivity. SNR is typically expressed as a function of the parameter Q which has a theoretical relationship to the BER as shown in (5.7).

$$BER = \int_Q^{\infty} Gauss(x)dx \quad (5.7)$$

with

$$Q = \frac{i_S^{pp}}{2i_N^{rms}} \quad (5.8)$$

where i_S^{pp} is the peak-to-peak signal current at the input of the receiver and i_N^{rms} is the RMS current noise referred to the input. The optical sensitivity can be estimated by (5.9):

$$P_{min} = \frac{Qi_N^{rms}}{R} \quad (5.9)$$

with R being the photodetector responsivity. For 10-Gb/s applications, typical bit error rate used to define sensitivity is $BER = 10^{-12}$ and $Q = 7$. Essentially, (5.8) shows that low input noise current and high optical responsivity are key parameters in obtaining higher sensitivity. But in order to obtain higher responsivity, the photodetector will exhibit lower bandwidth, which might become an issue for high-speed response. Several of the critical device characteristics pose conflicting design constraints that must be optimized for good high frequency performance. Of primary importance, is the ability to achieve a sufficient 3-dB bandwidth with a high gain.

5.4 Fundamentals of the design for stability

The stability of an amplifier can be determined from S parameters, the matching network, and the terminations. For the design of integrated circuits, we propose a new concept to be introduced in the design flow, that of design for stability (DFS). In addition to the “Root-Locus Techniques” explained in reference [26] which is based on gain and

phase margin, the DFS is a concept that will guarantee the stability of the design. The DFS has its rules and roots in the microwaves theory. As a rule of thumb, oscillation occurs whenever the input or the output port presents a negative resistance to the device. In this section, we first analyze possible conditions of stability for a transimpedance amplifier shown in Figure 5.4; this analysis can be extended to more complex design. Figure 5.4 represents the photoreceiver model used for simulating S-parameters. Using this model, and a parametric simulation, two separate simulations were performed at 1 GHz and at 10 GHz. L_{p1} and L_{p2} are design variables representing inductance length. We have optimized parameter values of the design to make it stable, Figure 5.5 and Figure 5.6 provide an insight of that effort. It can be noticed that S_{22} is mainly sensitive to the output inductances at 10 GHz and S_{11} is sensitive to the input inductances both at 1 GHz and 10 GHz; thus the importance of finding the optimum inductance value at each location. From Figure 5.6, inductance values as low as 400 pH are highly recommended in order to achieve $|S_{22}| < -10dB$ at 10 GHz. In practice, this is made possible by using multiple bondwires and double bondpads.

5.4.1 Unconditional stability analysis

The stability of the device depends on some design variables. One of the design variables to consider is the maximum available gain (MAG). This is achieved by simultaneous conjugate matching of both input and output when the device is stable. Using the amplifier S-parameters, the MAG is given by equation (5.10) from which, one necessary and sufficient condition of stability is derived [21].

$$MAG = \left| \frac{S_{21}}{S_{12}} \right| \left(k_f - \sqrt{k_f^2 - 1} \right) \quad (5.10)$$

where k_f is the stability factor defined by equation (5.11) [21]

$$k_f = \frac{1 + |S_{11}S_{22} - S_{12}S_{21}|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|} \quad (5.11)$$

From equation (5.11), the MAG is defined only if $k_f > 1$. At frequencies where $k_f < 1$, the device is called conditionally stable. For a conditionally stable amplifier, another parameter to consider is the maximum stable gain (MSG) defined in equation (5.12) as [21]

$$MSG = \left| \frac{S_{21}}{S_{12}} \right| \quad (5.12)$$

Based on experimental results, we highly suggest having the $|S_{12}| > |S_{21}|$ by at least 6 dB and ideally 10 dB; typically |MSG| greater than 2/3 in the bandwidth of interest to be unconditionally stable. Another design parameter to consider is the measure of the stability B_{1f} [27]. The amplifier will be stable for $B_{1f} > 0$, and B_{1f} is given by (5.13) as:

$$B_{1f} = \frac{1 + |D|^2 + |S_{11}|^2 - |S_{22}|^2}{2|S_{11}| - S_{22}|D|} \quad (5.13)$$

where D is the determinant defined by $D = S_{11}S_{22} - S_{12}S_{21}$; the condition $B_{1f} > 0$ implies $|D| < 1$. Based on these analysis, an amplifier will have stable operation if $B_{1f} > 0$ and $k_f > 1$. In other words, the maximum stable gain is the forward gain divided by the reverse isolation. Physically, MSG is the maximum gain the device is capable of

providing once enough loss has been added to make it unconditionally stable. During the design flow, these two stability parameters should be satisfied over temperature and process variations. For the design presented in this paper, Figure 5.7 and Figure 5.8 show the simulation plots of the measure of stability B_{1f} and that of the stability factor k_f over corners. From these results, $B_{1f} > 0$ and $k_f > 1$ are satisfied, which conforms to the stability condition.

In terms of impedance matrix, for a 2-ports device, the designer will need to consider the input and output matching impedances, namely Z_{IN} and Z_{OUT} . We propose for unconditional stability to consider not only if $B_{1f} > 0$ and $k_f > 1$ condition, but also to guarantee that the real part of each Z parameter is positive. In other words, $\text{real}(Z_{11}) > 0$ and $\text{real}(Z_{22}) > 0$ for all passive load and source impedances in and out of the bandwidth of interest. For the case considered in this paper, Figure 5.9 and Figure 5.10 show Z parameters simulations results over corners; from these plots, we can see that, the stability conditions are met.

This seems to be an additional stability condition but, it is a very important one. In fact, as operating speed continues to increase, the input/output impedance changes with the frequency. For high bandwidth and high gain amplifiers, some impedance combinations when presented to their input/output could push them into instability causing oscillations to occur. Oscillations occur when the amplifier see a negative resistance at its input/output. The best way to check for that condition is to look at the real part of Z-parameters in addition to looking at the real part of S-parameters and make sure they are all positive.

5.4.2 Conditional stability analysis

When the frequency is high enough, input and output matching networks affect each other and multiple iterations in simulation are needed to obtain the optimum matching. Conditional stability of an active device means that some passive reactances, when presented to the device, cause it to oscillate. In other words, some impedance combinations at either input or output of the 2-ports device may cause the magnitude of either S_{11} or S_{22} to become greater than unity. If for a given load impedance, the magnitude of S_{11} for example is greater than unity, a standing wave established on the input of the transmission line can grow to an unwanted oscillation. Therefore, looking at the input of the 2-ports device, the designer should evaluate and find the values of the load reflection coefficient Γ_L that could make the device unstable. Solving equation (5.14) [21]

$$\Gamma_S = \left| S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \right| = 1 \quad (5.14)$$

gives the instability boundary for load values presented to the device. The solution is a circle on the smith chart known as stability circle. The radius r_L and center C_L of the circle are found to be [21]

$$r_L = \left| \frac{S_{12}S_{21}}{|S_{22}|^2 - |D|^2} \right| \quad (5.15)$$

$$C_L = \frac{(S_{22} - DS_{11})}{|S_{22}|^2 - |D|^2} \quad (5.16)$$

On one side of the circle, the operation of the device is unstable. In most cases, the centre of the Smith chart is where S-parameters were measured and falls within the stable

region. From there, the designer can find the passive loads to be avoided in circuit design [21]. Active device for which the stability circle falls completely outside the Smith chart are called unconditionally stable. In order for this condition to hold, the following relation should be satisfied:

$$|C_L| - r_L = k_f > 1 \quad (5.17)$$

A concurrent use of existing tools allows the designer to make the right decision. These tools include: the Smith Chart, scattering parameters (S parameters), input and output impedances matching. As a final touch on the DFS, we propose to run the “Load-Pull” simulations [26] consisting of intentionally unbalance the input or the output port and to evaluate the resistance of the design to oscillate. This method provides a range of passive loads not causing the device to become unstable. This is particularly important when designing with a process which is not yet mature or well controlled; sometime, the input and output impedances can easily fall out of initial design specifications.

5.5 Applying DFS to the design of high-speed ICs

Right first-time success is extremely important in meeting product’s market window. Accurate simulations allow optimization of the power/performance and gain/bandwidth trade-offs. But the accuracy of the simulated results however heavily depends upon the device models used, and poorly characterized models compel long iterations in design to achieve the target performance. Gain and bandwidth simulations require good device models, package models, interconnect models and the inclusion of other layout parasitics.

5.5.1 Corners simulation

Realistic process corners with specific sets of process variations and accurate temperature- dependence modeling minimize over-design to meet specification at process, temperature, and supply voltage extremes. For high-speed design using a bipolar process, in order to account for process variations, supply and temperature variations, we propose the following sets of corners as illustrated in Table 5.2. This methodology can be extended to other technologies.

There are three sets of parameters: device models, junction temperature and supply voltage. This yields to 2^3 combinations or corners cases plus the typical case, which gives 9 corners cases. Running these 9 corners gives the designers an idea of what would be the range of variation of different performance indicators. Our corners simulations models are correlated with Monte Carlo models for process and mismatch. Figure 5.11 represents the transient simulation results of the design over corners accounting for process and power supply variations. Figure 5.12 is the AC simulation of the power supply rejection over corners. We recommend achieving a $PSR < -50dB$ for $f < 1MHz$ to avoid any noise injection into the signal from the power supply. If there is no way for the designer to modify models, we highly recommend running Monte Carlo simulations for process variation and mismatch. Running process variations is more useful here as designer can correlate results with corners simulations results. But the accuracy of the results depends also on how designers account for on-chip parasitics.

5.5.2 On-chip parasitics

On-chip inductance has become increasingly important as technology continues to scale down in active device's size. The gate parasitic impedance of transistors has always been considered much greater than interconnect parasitic impedances. This assumption led to neglecting parasitic impedance of the interconnection and modeling it as a short circuit [3]. Until recently, interconnect has been modeled as a single lumped capacitance in the analysis of the performance of on-chip interconnects. With the scaling of the minimum gate feature size in modern technologies and the continuous increase in device density per unit area, interconnect density has also correspondingly increased. One way of handling this is to decrease the cross-section of interconnects in order to provide more interconnects per unit area. Both the decreased cross-sectional area and the increased wire length have caused the global wire resistance to dramatically increase. The resistance of the interconnection has therefore become significant, requiring the use of more accurate RC impedance models.

Furthermore, interconnect capacitances have become comparable to the gate capacitance, requiring to model interconnect as an RLC network as shown in Figure 5.3. With this interconnect model, new design techniques emerged to drive large capacitive loads associated with long global interconnects and large interconnect trees with large fan-out. The R and C can be extracted from layout based on traces width, thickness, and spacing to adjacent traces and layers; readers willing to learn more about can find details in [3], [4], [26] and [28].

Optimizing inter-stage and I/O interconnections as well as load impedance circuits requires good inductor modeling to find the best combination of inductance, self-resonant frequency, and quality factor. This is particularly important in order to account for stability in the bandwidth of interest. In fact, adverse influence of the substrate coupling and on-chip inductance on the circuit performance become increasingly important and must be modeled accurately during the circuit design. Designers need to extract of parasitics from the layout and include them in the circuit simulations.

Most integrated circuit designers today use parasitic RLC models of on-chip interconnects package and board level interconnects to more accurately analyze their designs for capacitive, inductive crosstalk and supply bounce. However, the simulation of noise coupling through the common substrate of mixed-signal systems has in large been ignored [3], [4], mostly due to the difficulty in dealing with analysis of the substrate itself, which is a multidimensional interconnect connecting every single device on the die to every other one in the case of the SiGe technology that we have used. Although mixed-signal designers have employed specialized models for substrate coupling in the verification of their systems, it is highly desirable to seek for accurate and process-independent techniques.

5.5.3 DFS rules.

We propose four rules that high-speed designers will apply during the stability check of their design. The application of these rules will depend on the given device condition. In the presence of feedback loops in the design, the designer needs to break the loop and perform loop analysis, then apply the DFS.

Rule1:

If $B_{1f} > 0$ and $k_f > 1$, the design is unconditionally stable. However, we recommend to run the “Load-Pull” simulations in order to evaluate the tolerance range of passive loads that, when connected to the device will not lead to oscillation. Also, when running S-parameter simulations, consider achieving $|S_{11}| \leq -10dB$ and $|S_{22}| \leq -10dB$ in the bandwidth of interest and make sure that $\text{real}(Z_{11}) > 0$ and $\text{real}(Z_{22}) > 0$ for all passive load and source impedances.

Rule 2:

If $B_{1f} > 0$ and $k_f < 1$, the design is conditionally stable. To fix the problem, the designer needs to lower the forward gain by few decibels (dB) then, run the “Load-Pull” simulations to find the combination of load-matching network causing the problem. Looking at Figure 5.4, one way of improving the stability in this case is to tweak the inductance values (L2, L3, L4, L5 and L6) and typically low inductance (short bond wire or double bond wires) will be used. In the layout, the geometry of the signal traces and their routing might be modified after performing iterations on parameters in the interconnect model during simulations. Consider achieving $|S_{11}| \leq -10dB$ and $|S_{22}| \leq -10dB$ in the bandwidth of interest, make sure that $\text{real}(Z_{11}) > 0$ and $\text{real}(Z_{22}) > 0$ for all passive load and source impedances.

Rule 3:

If $B_{1f} < 0$ and $k_f > 1$, the design is conditionally stable. To fix the problem, the

designer needs to run the “Load-Pull” simulations to find the combination of load-matching network causing the problem. One way of improving the stability in this case is to tweak the interconnection models by performing multiple simulation iterations on the model’s parameters so as to adjust the geometry of signal traces and routing in the layout. The size of the input and output stages might need to be adjusted to set the value of R_{in} and R_{out} of the design so that $|S_{11}| \leq -10dB$ and $|S_{22}| \leq -10dB$ in the bandwidth of interest. Then, make sure that $\text{real}(Z_{11}) > 0$ and $\text{real}(Z_{22}) > 0$ for all passive load and source impedances.

Rule 4:

If $B_{1f} < 0$ and $k_f < 1$, the design is unstable. Check the design for possible positive feedback loops. Scale down the forward gain to find the best trade-off between gain and bandwidth. Tweak the interconnect models by performing multiple simulation iterations on the model’s parameters so as to adjust the geometry of signal traces and routing in the layout. Adjust the size of the input and output stages to set R_{in} and R_{out} of the design so that $|S_{11}| \leq -10dB$ and $|S_{22}| \leq -10dB$ in the bandwidth of interest. Then, make sure that $\text{real}(Z_{11}) > 0$ and $\text{real}(Z_{22}) > 0$ for all passive load and source impedances.

5.6 Design implementation

The proposed DFS was applied to build a transimpedance amplifier featuring a single-ended to differential conversion stage, an offset cancellation scheme and a limiting amplifier stage with programmable output amplitude. The schematic diagram of the TIA front-end is shown in Figure 5.13. Although inverter-based transimpedance amplifiers have shown good speed and sensibility, they generally have poor power supply rejection because of the capacitive coupling of the supplies to the signal path. To improve gain and noise performance, the signal path was made differential by applying a single ended to differential conversion to maximize the preamplifier immunity to noise from the power supply. Also, to minimize the interaction of noise sources with the sensitive amplifier input (e.g. via the parasitic inductances of common on-chip lines and bonds to the ground and supply voltage terminals or via the substrate), the different amplifier cells were electrically and spatially separated by adequate measures in the layout. For example, separate ground and supply-voltage pads for each cell are required. An efficient shielding of signal pads at the input and outputs by a low-ohmic buried layer is suggested if supported by the manufacturing technology.

5.6.1 Circuit design

Although transimpedance amplifiers with differential outputs have been reported in the literature [13]-[20], single-ended to differential conversion stages are still streaky to implement. In fact, most designs will present some impairments namely: the two output signals are not perfectly symmetrical, the common mode voltage is different for the two

outputs causing non-symmetric crossing points susceptible to generate more jitter, thus degrading the bit error rate (BER) and the signal integrity.

In Figure 5.13, we propose a front-end architecture to generate complementary output signals from the single-ended input. The resistor R_S at the input node can be implemented using an active device. The proposed receiver configuration has the advantage of offering lower offset, low-noise, wide dynamic range and good operating bandwidth. The single-ended signal from the preamplifier will be converted to a differential signal, and fully differential circuits will be employed throughout the remainder of the receiver to ensure balanced operation. Comprehensive investigations of different amplifier concepts have shown that the required high gain can hardly be achieved with a completely linear circuit at the required high operating speed [16]-[20]. Therefore, only the first amplifier cell operates in the linear and the others in the limiting mode. The limiting mode guarantees the desired constant output swing and, in addition, compensates the gain drop at high frequencies.

5.6.2 Design optimization

To ensure proper circuit function and to minimize any pattern-dependent degradation, transient simulations of the circuit with pseudo-random input data were performed. Eye diagrams were created from resulting output waveforms. S-parameters simulations were also conducted to minimize impedance mismatch at the input and outputs of the circuit. These allowed the circuit to be optimized for maximum performance and stability in a lightwave system.

Optimization involved varying individual transistor size and bias point to ensure maximum operating speed in the data-path, and also varying input/output inductance to minimize any relaxation oscillation in the output waveforms. The optimization of the transistor size is constrained between smaller devices with ever increasing base resistance and, using a larger device with increasing parasitic capacitances. When the small device is used, it is operated at the maximum allowable collector current density without entering high current regimes associated with a rapidly increasing transit time (resulting in a poor switching time) [5], [13], [15]. To avoid high current effects, minimum size devices are tailored individually for a given collector current and reverse bias voltage (V_{bc}). We have optimized the length of input and output bond wires to minimize inductances influence on circuit performances and stability.

Furthermore, the speed and bandwidth of a TIA depend strongly on circuit's capacitances, which arise from intrinsic device parasitics and interconnect parasitics. In deep sub micron technologies, interconnect capacitances dominate and scaling down the transistor size does not provide a proportional impact in bandwidth improvement. Since systems are becoming faster and complex, the die size is getting also larger, corresponding longer wiring lengths worsen the distributed RC delays and susceptibility for substrate noise coupling and crosstalk. Using multiple bond pads for supply and ground allows designers to keep the equivalent wirebond length as short as possible thus, minimizing lead inductance that can cause unwanted feedback, resonances and possible oscillations. The layout was optimized using high frequency design guidelines.

5.6.3 Design evaluation

An evaluation board was designed for the purpose of performance evaluation. High-speed guidelines have been considered during the board layout to preserve signal integrity. The photograph of the chip mounted on the evaluation board is shown in Figure 5.14. As it can be seen on this figure, double bond wires have been used at the output side to optimize the inductance values, thus improving S_{22} . The input and output of the chip conform to a Ground-Signal- Ground pattern to minimize cross coupling of signals. Multiple bond wires have been used for ground and supply connections to improve ground returns and minimize lead inductance.

Since process variations may affect the performance of the design during fabrication, we have used three different samples mounted on three boards. Each board is build with SMA connectors to allow fixture to the test equipment. The signal path from the output pads to the connectors has been designed as a control impedance of 50Ω . The differential outputs of the TIA chip are wire bonded to coupled Grounded Coplanar Waveguide (GCPW) transmission lines. The GCPW is an option for low-loss and low impedance mismatch at high-frequency transmissions. This PCB structure becomes useful when interfacing with SMA connectors. In fact, a GCPW is similar to a Coplanar Waveguide (CPW) except that it has an additional ground plane. With this configuration, the electric fields are split between the ground plane and the coplanar grounds. The electric fields flow in a very similar fashion to those of a coaxial cable. As a result, the controlled impedance is less dependent to the spacing between the signal traces and the coplanar grounds. Having the

ground reference as well as ground vias along the signal trace creates a good matching impedance. Spacing of vias should be approximately 1/10 of the wavelength of the highest frequency of interest.

5.7 Experimental results and discussion

The design was implemented in a 0.18 μm SiGe BiCMOS technology. To minimize common mode noise, power supply fluctuations and, reduce the sensitivity penalty due to parasitic feedbacks, the receiver has been designed for differential operation and two power domains. Another advantage of the differential configuration is that, it allows self-threshold and reduces the effect of bond-wire inductances of ground and supply voltage. Using multiple bond pads for supply and ground allows designers to keep bond wire length as short as possible thus, minimize lead inductance that can cause unwanted feedback, resonance and possible oscillations.

As mentioned in the previous section, the interconnection technique used to couple the photodiode to the pre-amplifier has to be properly chosen in conjunction with the performance of the amplifier as current sink at the input port. The relationship between the characteristic impedance of the signal line Z_0 , the bond wires inductance L , the equivalent input capacitance C_{in} and equivalent input resistance R_{in} of the TIA should be adequately considered to avoid signal integrity degradation and oscillation. A relationship between input capacitance, the characteristic impedance of the trace and the possible bond wire length that can be chosen without compromising performance has been defined in [7], [8].

Using a HP83480A Digital Communications Analyzer, Anritzu Pattern Generator with a 10^{31} -1 PRBS pattern and an external Bias-T, data eyes and jitter were measured. For the PRBS pattern set at 12.5-Gb/s, we have set different values of the input level. Figure 5.15 shows the corresponding output eye diagrams: (a) 200 μ A input current and (b) 2.2 mA input current. The peak-to-peak (p-p) output swings are 558 mV and 562 mV respectively. The measured peak-to-peak jitter is as low as 10.1 ps at 200 μ A and 10.6 ps at 2.2 mA. Rise time is 18.24 ps for (a) and 19.3 ps for (b).

Analytical and theoretical design techniques common to those used in the design of microwave amplifiers were used to achieve the maximum electrical performance at 12.5 Gb/s. The TIA is considered here as a microwave amplifier and the connections to its input and output are considered as source and load impedances respectively. The TIA S-parameters were measured up to 15 GHz in 1 GHz increments using a network analyzer. The output return loss (S_{22}) was measured as shown in Figure 5.16 and results indicate two bumps at 9 GHz and 12.5 GHz where the average value is about -7.5 dB. From 0 to 8 GHz, S_{22} is less than -10 dB, which conforms to the analysis made in [21]. Results also indicate that, the magnitude S_{22} has not become greater than unity for all frequencies, which also conforms to the DFS rules.

The insertion loss (S_{12}) has been measured as shown in Figure 5.17 and results indicate an excellent performance in the entire frequency span considered. The overall S-parameters results confirm a robust and stable design, which verifies the effectiveness of the methodology proposed in this paper. BER measurements were performed to determine

the input sensitivity. Figure 5.18 shows a plot of the measured BER as a function of the input power levels. From this plot it can be seen that, the minimum input power that can be detected at the input of the receiver is -20 dBm at a BER of 10^{-9} . Figure 5.19 is the receiver input referred noise. This figure shows an excellent noise performance of $8.8\text{pA}/\sqrt{\text{Hz}}$. From the optical to electronic transfer function shown in Figure 5.20, the receiver has a bandwidth of 11 GHz; the sensitivity and bandwidth are compliant to OC-192 SONET specifications.

5.8 Conclusion

In this paper, the design for stability (DFS) methodology has been introduced. The DFS can be very useful especially when designing ICs for high-speed applications. We have applied the DFS to the design of a 12.5-Gb/s transimpedance amplifier; the receiver performances are in agreement with the DFS rules and the initial design specifications. These results indicate that the receiver has sufficient characteristics for both long and short haul applications. The receiver was designed to convert its single-ended input into a differential output suitable for driving subsequent high-speed ICs with differential inputs. Although the DFS is intended for high-speed circuits operating at 10-Gb/s and above, it can be used in conjunction with reliable design techniques in CMOS [28] for the design of high performance transceivers for fiber channel (FC) or serial attached SCSI (SAS) operating at 4.25-Gb/s and 3-Gb/s respectively.

REFERENCES

- [1] M. Pfof, H. M. Rein and T. Holzwarth, "Modeling substrate effects in the design of high-speed Si-bipolar ICs," *IEEE Journal of Solid-State Circuits*, Vol. 31, pp. 1493-1501, October 1996
- [2] M. Pfof and H. M. Rein, "Modeling and Measurement of Substrate Coupling in Si-bipolar IC's up to 40 GHz," *IEEE Journal of Solid-State Circuits*, Vol. 33, pp.582-591, April 1998.
- [3] Y. Massoud and Y. Ismail, "Grasping the impact of On-Chip Inductance," *Circuits and Devices*, pp. 14- 21, July 2001
- [4] B. Kleveland et al., "High-Frequency characterization of On-Chip Digital Interconnects," *IEEE Journal of Solid State Circuits*, Vol. 37, pp.716-724, June 2002.
- [5] H.-M. Rein, "Silicon bipolar integrated circuits for multigigabit-persecond light-wave communications," *IEEE J. Lightwave Technology*, vol. 8, pp. 1371–1378, Sept. 1990.
- [6] R. K. Montgomery, A. Feygenson, P. R. Smith, R. D. Yadvish, R. A.Hamm, and H. Temkin, "A 28-GHz transimpedance pre-amplifier with inductive bandwidth enhancement," in *IEEE Int. Electron Devices Meeting Tech. Dig.*, San Francisco, CA, Dec. 1992, pp. 423–426
- [7] N. Ishihara, E Sano, Y. Imai, H. Kikuchi, and Y. Yamane, "A Design Technique for High-Gain, 10-GHz Class-Bandwidth GaAs MESFET Amplifier IC Module", *IEEE Journal of Solid-State Circ.*, Vol. 27, No. 4, pp 554-562, 1992.
- [8] H. Ichino et al., "Over-10-Gb/s IC's for Future Lightwave Communications", *Jour-*

- nal of Lightwave technology, Vol. 12, No. 2, pp.308-17, 1994.
- [9] M. Neuhäuser, H.M. Rein and H. Wernz, "Low-Noise, High-Gain Si-Bipolar Preamplifiers for 10 Gb/s Optical links - Design and Realization," IEEE Journal of Solid State Circuits, Vol. 31, pp.24-29, Jan. 1996.
 - [10] Y. Suzuki et al., "50-GHz-Bandwidth Baseband Amplifiers Using GaAs-Based HBT's," IEEE Journal of Solid State Circuits, Vol. 33, pp.136-1341, Sept. 1998.
 - [11] H. Ikeda, T. Ohshima, M. Tsunotani, T. Ichioka and T. Kimura, "An Auto-Gain Control Transimpedance Amplifier with Low Noise and Wide input Dynamic Range for 10-Gb/s Optical Communication Systems", IEEE Journal of Solid State Circuits, Vol. 36, pp. 1303-1308, Sep. 2001.
 - [12] H. H. Kim, S. Chandrasekhar, C.A. Burrus, Jr.; J. Bauman, "Si BiCMOS transimpedance amplifier for 10-Gb/s SONET receiver", IEEE Journal of Solid State Circuits, Vol. 36, pp.769-776, May 2001.
 - [13] H. M. Rein and M. Moller, "Design considerations for very-high-speed Si-bipolar IC's operating up to 50-Gb/s," IEEE Journal of Solid State Circuits, Vol. 31, pp.1076-1090, August 1996.
 - [14] J. Rue, M. Itzler, N. Agrawal, S. Bay and W. Sherry, "High Performance 10 Gb/s PIN and APD Optical Receivers", Electronic Components and Technology Conference, pp. 207-215, 1999.
 - [15] H. D. Huber, R. Bauknecht, C. Bergamaschi, M. Bitter, A. Huber, T. Morf, A. Neiger, M. Rohner, I. Schnyder, V. Schwarz, and A. Jackel, "InP-InGaAs single HBT technology for photoreceiver OEICs at 40 Gb/s and beyond," Journal of Light-

- wave Technology, vol. 18, pp. 992–1000, July 2000.
- [16] Jens Müllrich, Herbert Thurner, Ernst Müllner, Joseph F. Jensen, William E. Stanchina, M. Kardos, and Hans-Martin Rein, “High-Gain Transimpedance Amplifier in InP-Based HBT Technology for the Receiver in 40-Gb/s Optical-Fiber TDM Links,” *IEEE Journal of Solid State Circuits*, Vol. 35, pp.1260-1265, September 2000.
 - [17] A. Schild, H-M. Rein, J. Mullrich, L. Altenhain, J. Blank and K. Schrodinger, “High-Gain SiGe Transimpedance Amplifier Array for a 12 x 10 Gb/s Parallel Optical Link”, *IEEE Journal of Solid State Circuits*, Vol. 38, pp.1512- 1517, Jan. 2003.
 - [18] P. Roux, Y. Baeyens, V. Houtsma, A. Leven, J. Weiner, A. Benz and Y. K. Chen, “Single-ended to differential MHEMT Transimpedance Amplifier with 66-dB Ohms differential Transimpedance and 50 GHz Bandwidth”, *IEEE MTT-S Digest*, pp. 1193- 1195, 2003.
 - [19] J. S. Weiner, A. Leven, V. Houtsma, Y. Baeyens, Y. K. Chen, P Paschke, Y. Yang, F. Frackoviak, W. J. Sung, and Weimann, “SiGe Differential Transimpedance Amplifier with 50 GHz Bandwidth”, *IEEE Journal of Solid State Circuits*, Vol. 38, pp.1512- 1517, Sep. 2003.
 - [20] C. H. Wu, E. A. Sovero and B. Massey, “40-GHz Transimpedance Amplifier with Differential Outputs Using InP-InGaAs Heterojunction Bipolar Transistors”, *IEEE Journal of Solid State Circuits*, Vol. 38, pp. 1518-1523, Sep. 2003.
 - [21] G. Gonzalez, “Microwave Transistor Amplifiers: Analysis and Design,” Englewood Cliffs, NJ, Prentice-Hall, 1984.
 - [22] T. Misugi and A. Shibatomi, “Compound and Josephson High-Speed Devices,” Ple-

num Press NY, ISBN 0-306-44384-8, 1993, Chapter 3.

- [23] H. F. Hammad, A. P. Freundorfer and Y. M. Antar, "Comprehensive Study of Multi-band Unconditional Stabilization of Common-Source and Common-Gate MESFET Transistors Using Feedback", IEEE Journal of Solid State Circuits, Vol. 37, pp.1260-1270, October 2002.
- [24] I. T. Sylla, M. Slamani and B. Kaminska, "A Unity Gain High Speed Buffer to Improve signal Integrity in high Frequency Test Interface", Journal of Electronic Testing: Theory and Applications, Vol.17, pp.53-61, 2001.
- [25] R.G. Smith & S. D. Personick, "Receiver Design for Fiber Optic Communication Systems", Semiconductor Devices for Optical Communications, New York, Springer-Verlag, 1980, Chap. 4.
- [26] Thomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, 1998, Chap. 14.
- [27] Analog Artist design guide, Cadence Framework package, Cadence corporation.
- [28] C. J. B. Fayomi, M. Sawan and G. W. Roberts, "Reliable Circuit Techniques for Low-Voltage Analog Design in Deep Submicron Standard CMOS: A Tutorial", Analog Integrated Circuits and Signal Processing, Vol. 39, pp.21-38, 2004.

LIST OF FIGURES

- Figure 5.1 Proposed design flow for high-speed ICs
- Figure 5.2 Schematic of a typical photoreceiver in TIA configuration
- Figure 5.3 The photoreceiver front-end model
- Figure 5.4 The transimpedance amplifier model for S-parameter simulation
- Figure 5.5 Sensitivity of S11 to the wire bond inductances
- Figure 5.6 Sensitivity of S22 to the wire bond inductances
- Figure 5.7 Simulation results of the measure of the stability B_{1f} over corners
- Figure 5.8 Simulation results of the stability factor k_f over corners
- Figure 5.9 Z parameters simulation over corners for Real(Z₁₁)
- Figure 5.10 Z parameters simulation over corners for Real(Z₂₂)
- Figure 5.11 Transient simulation results over corners
- Figure 5.12 Power supply rejection over corners
- Figure 5.13 Schematic of the photoreceiver front-end
- Figure 5.14 The photograph of the photoreceiver
- Figure 5.15 Output eye diagrams: (a) 200 μ A and (b) 2.2 mA input current
- Figure 5.16 Measured output return loss (S22)
- Figure 5.17 Measured reverse isolation (S12)
- Figure 5.18 The bit error rate (BER) versus the input power
- Figure 5.19 The receiver input referred noise
- Figure 5.20 The measured optoelectronic transfer function

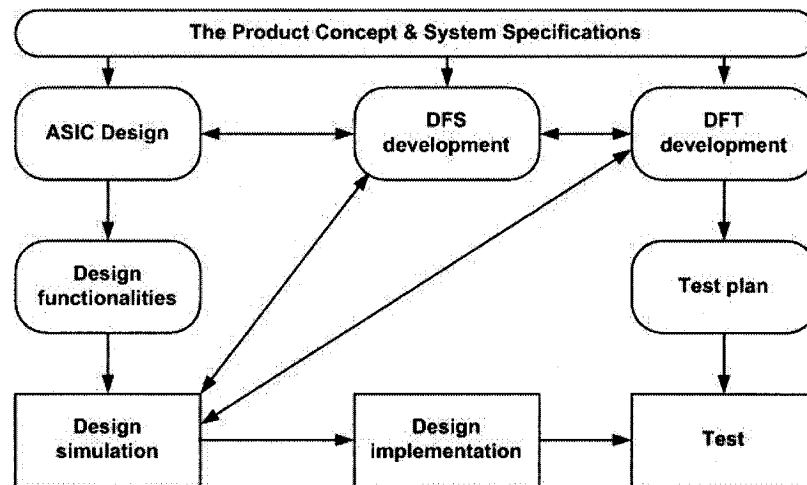


Figure 5.1 Proposed design flow for high-speed ICs

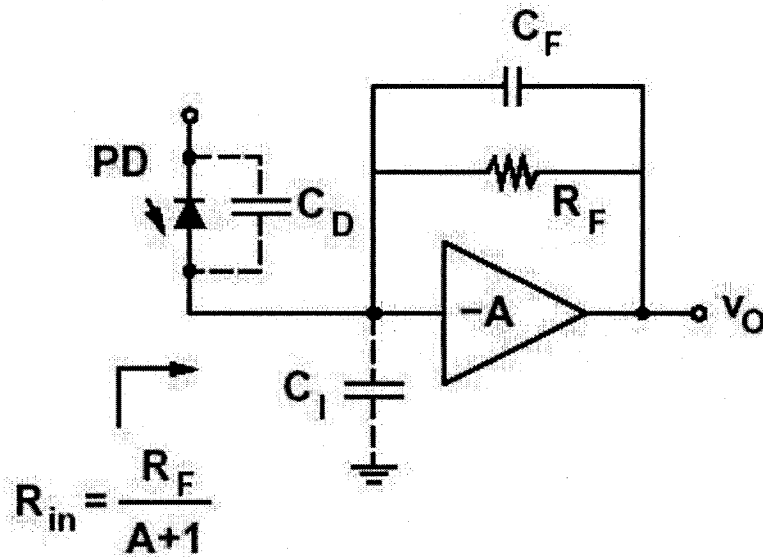


Figure 5.2 Schematic of a typical photoreceiver in TIA configuration

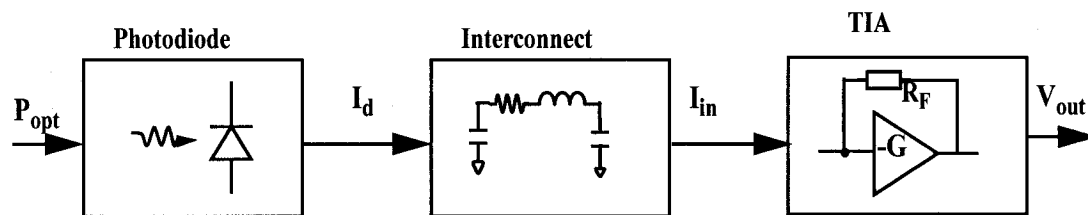


Figure 5.3 The photoreceiver front-end model

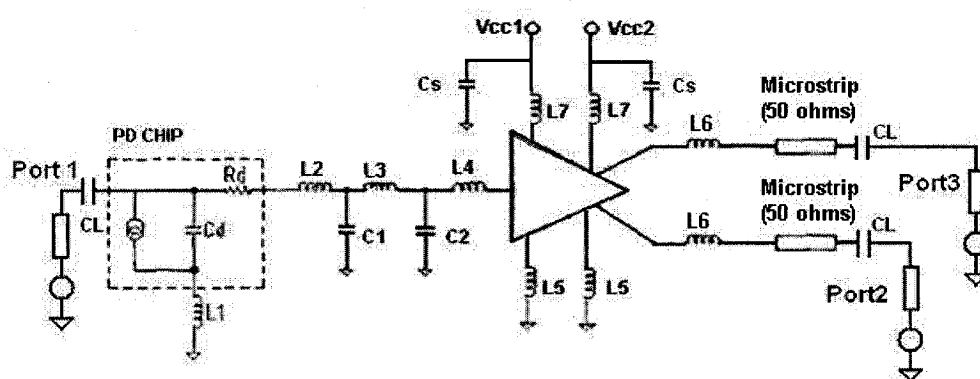


Figure 5.4 The transimpedance amplifier model for S-parameter simulation

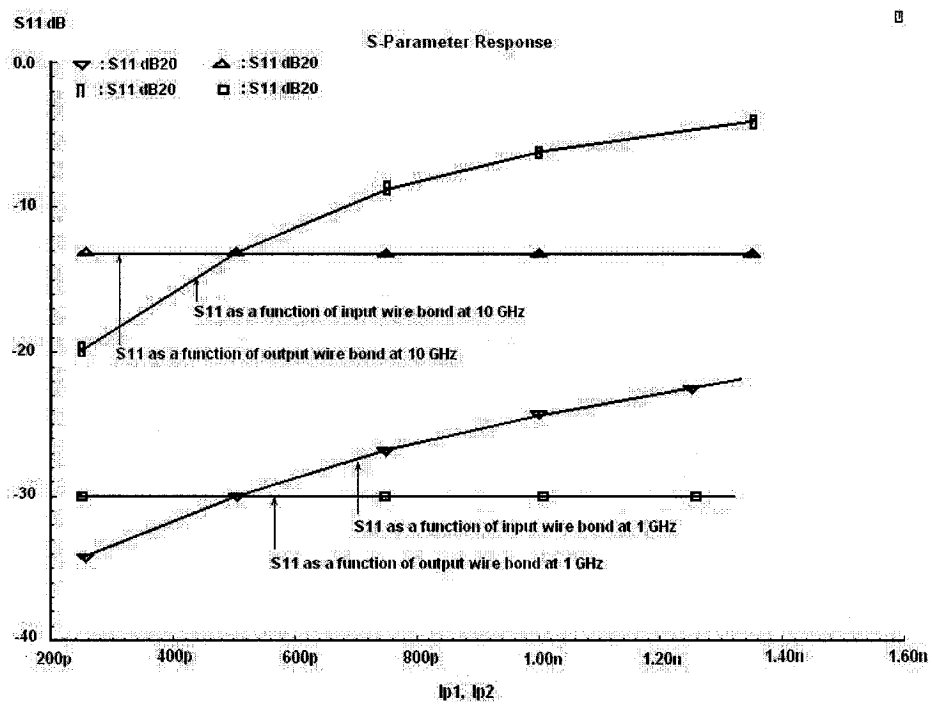


Figure 5.5 Sensitivity of S11 to the bond wire inductances

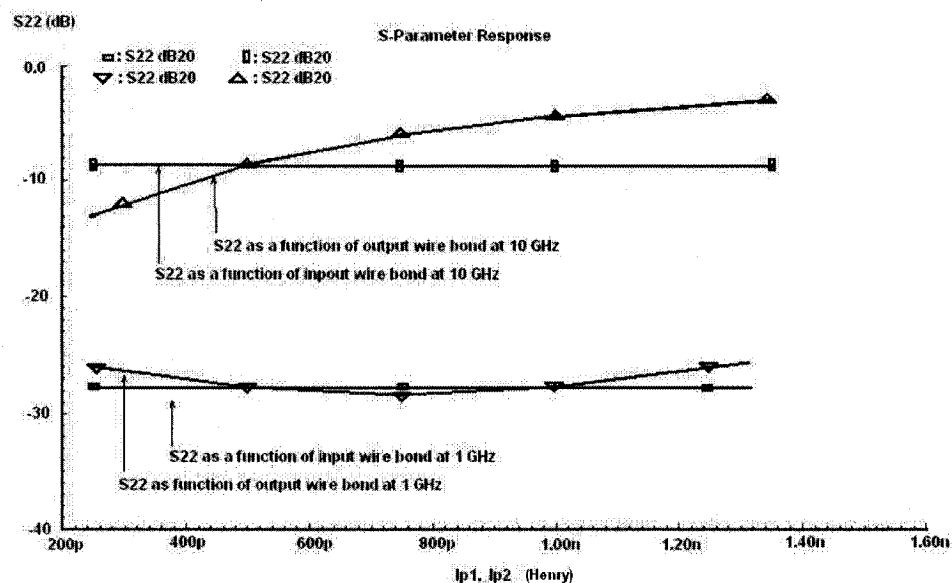


Figure 5.6 Sensitivity of S22 to the bond wire inductances

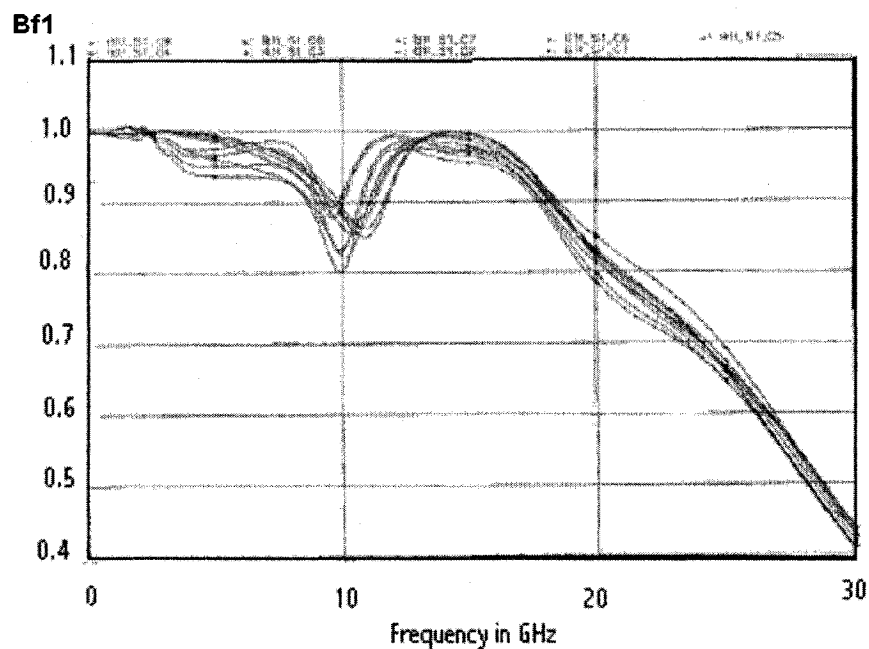


Figure 5.7 Simulation results of the measure of stability B_{1f} over corners

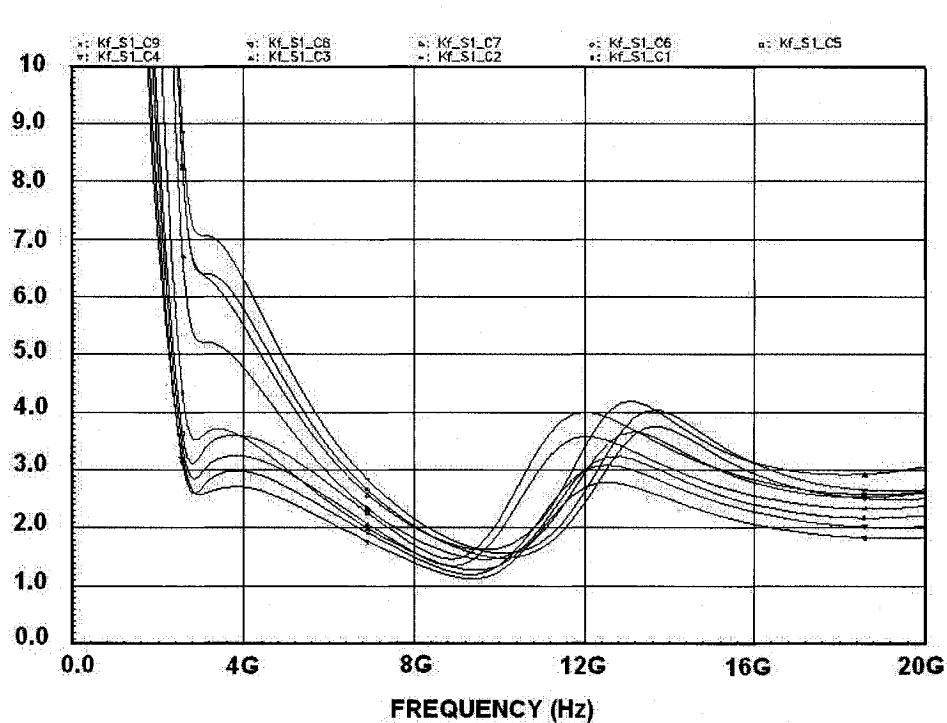


Figure 5.8 Simulation results of stability factor k_f over corners

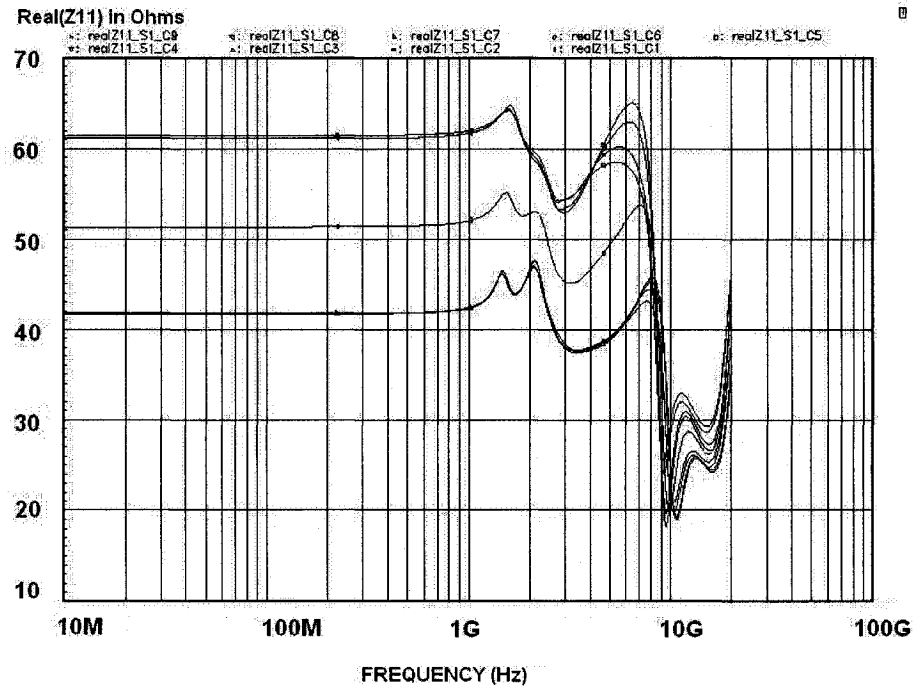


Figure 5.9 Z parameters simulation over corners for Real(Z_{11})

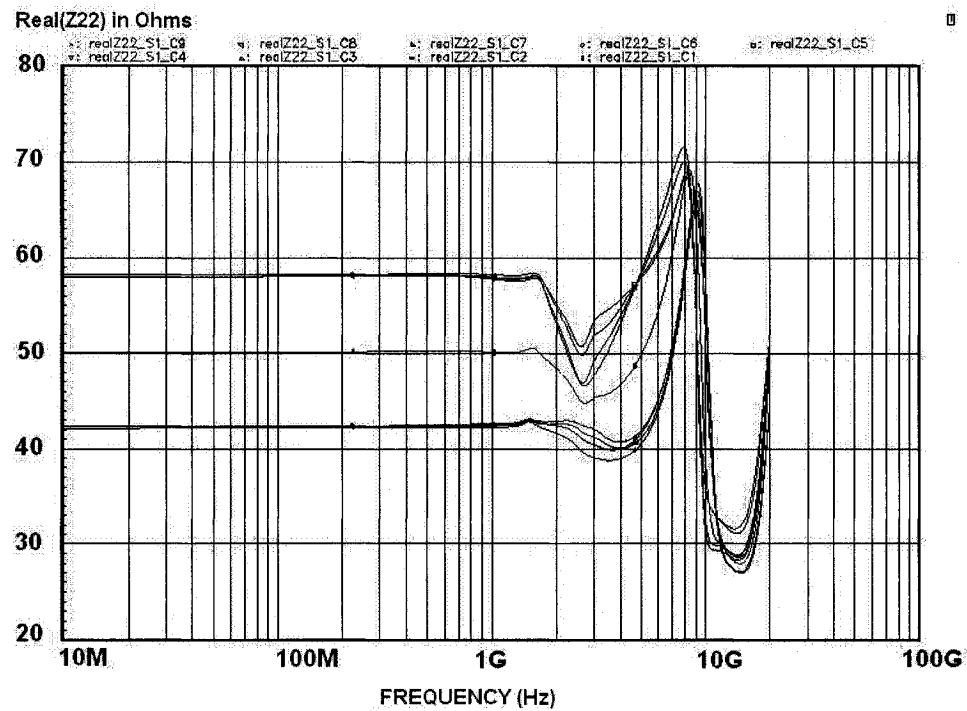


Figure 5.10 Z parameters simulation over corners for Real(Z_{22})

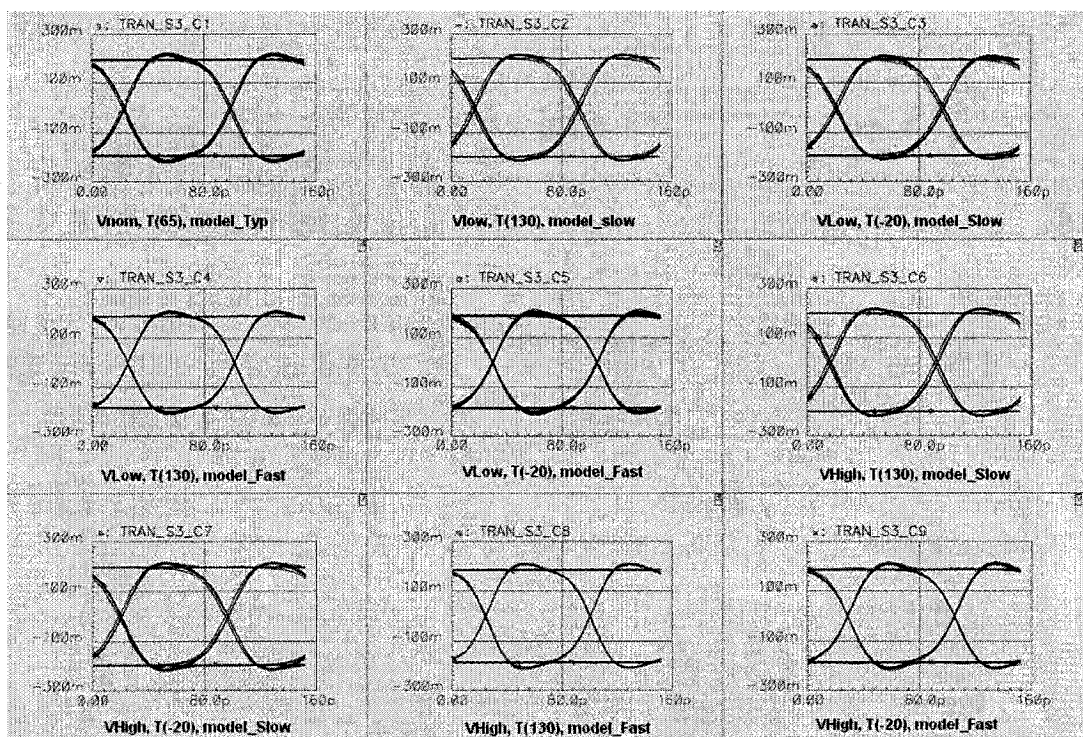


Figure 5.11 Transient simulation results over corners

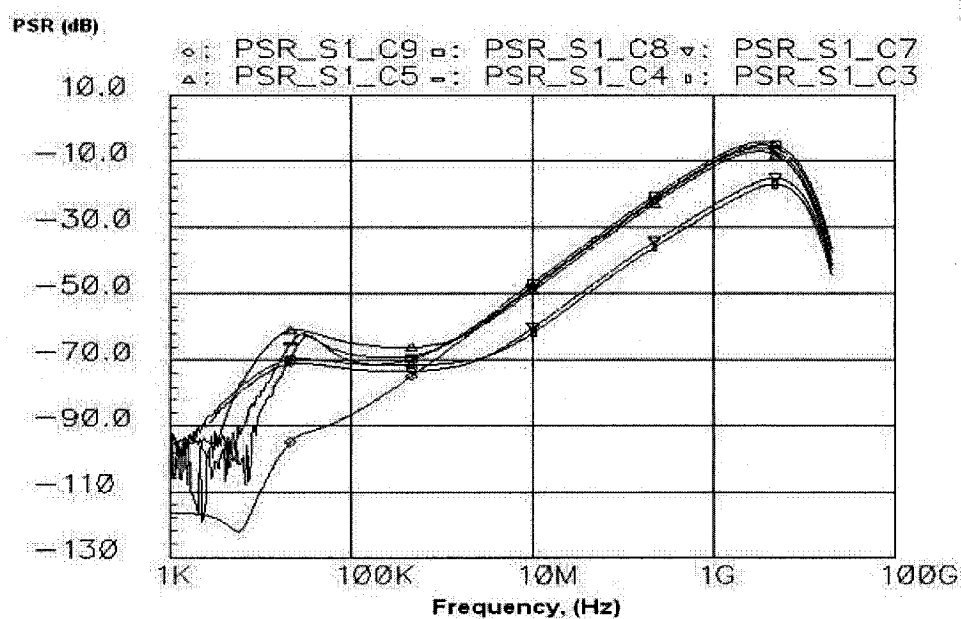


Figure 5.12 Power supply rejection over corners

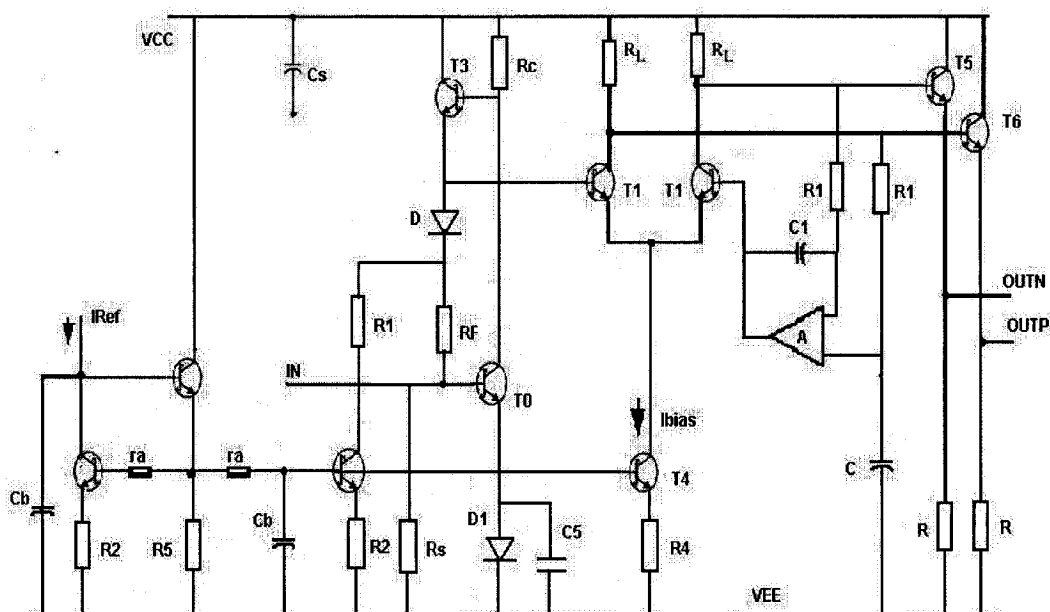


Figure 5.13 Schematic of the photoreceiver front-end

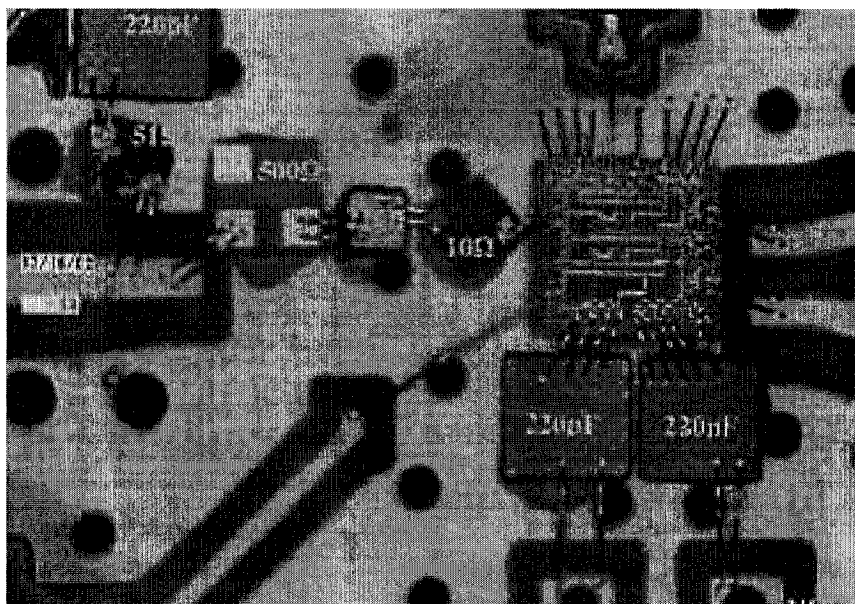
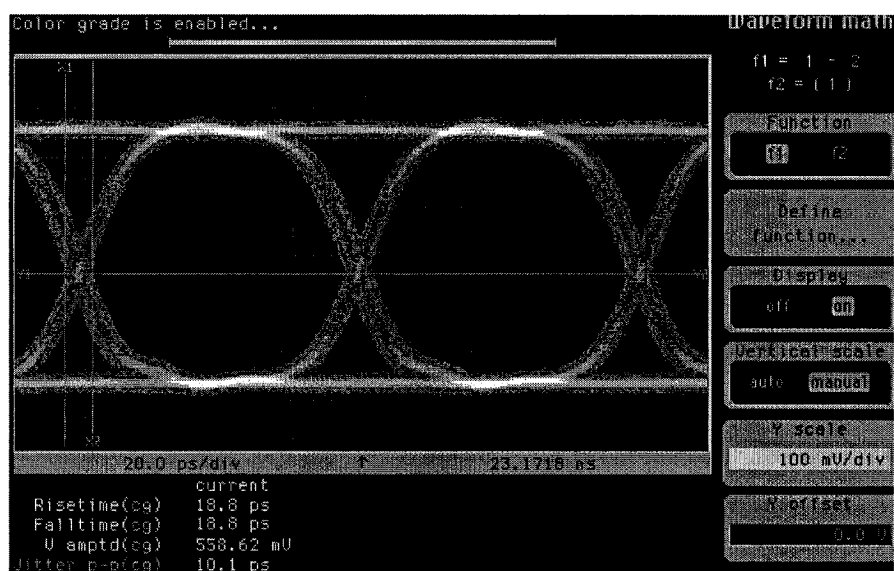
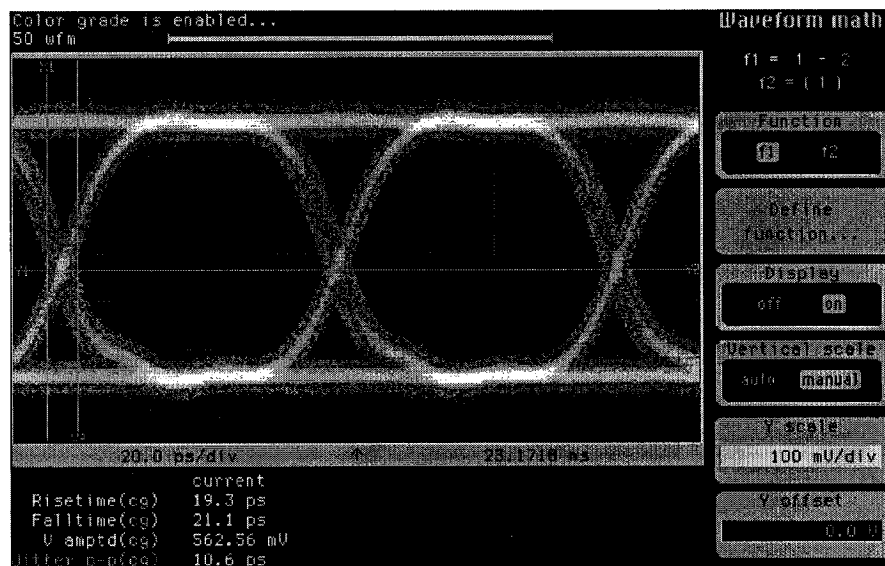


Figure 5.14 The photograph of the photoreceiver on the evaluation board



a)



b)

Figure 5.15 Output Eye diagrams for: (a) 200 μ A and (b) 2.2 mA input currents.

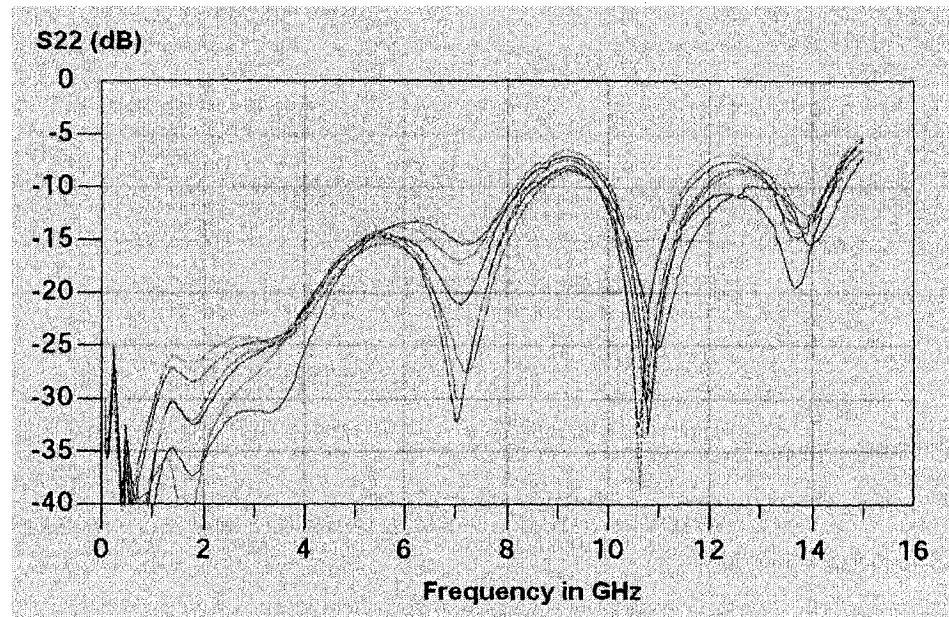


Figure 5.16 Measured output return loss (S22)

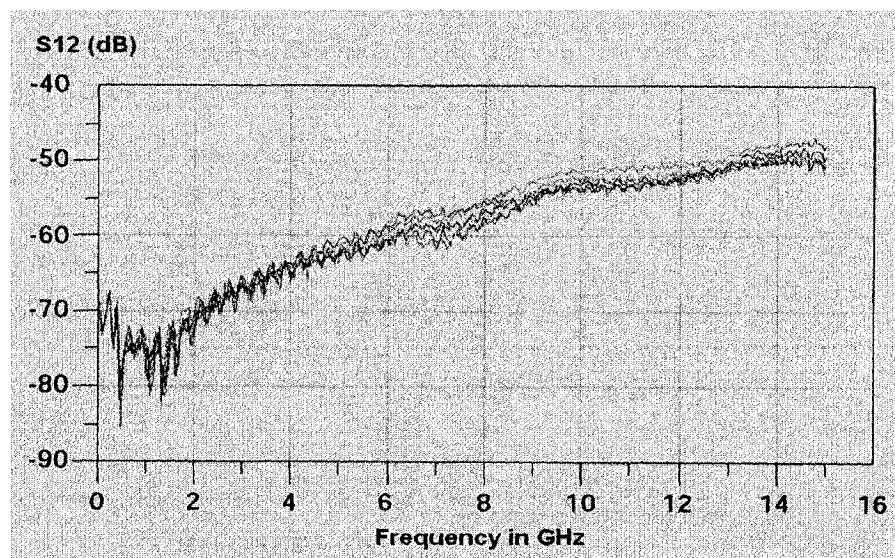


Figure 5.17 Measured reverse isolation (S12)

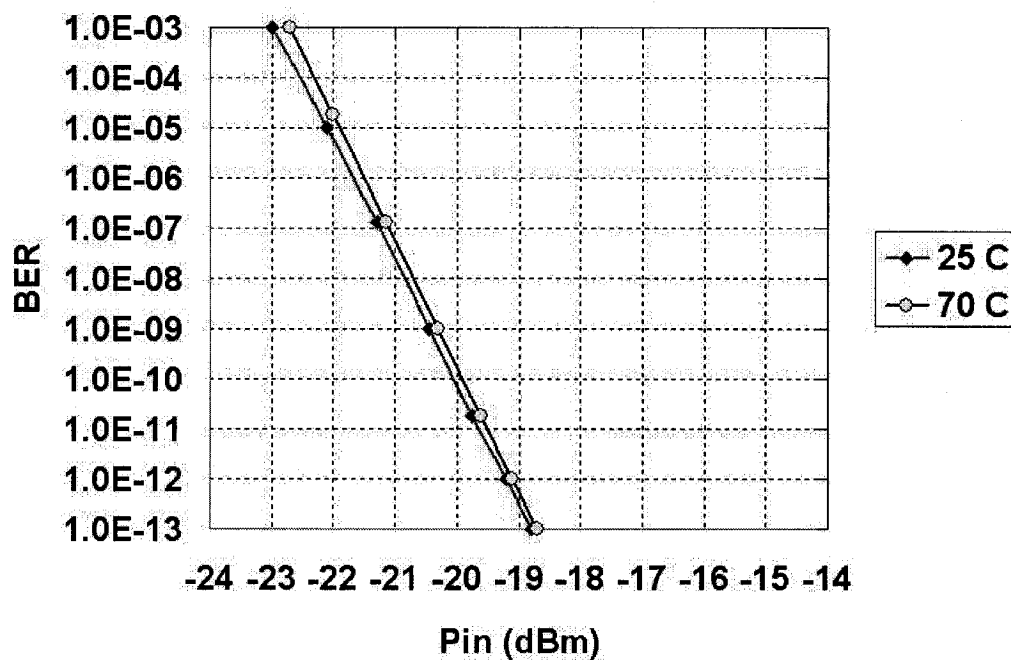


Figure 5.18 The bit error rate (BER) versus the input power

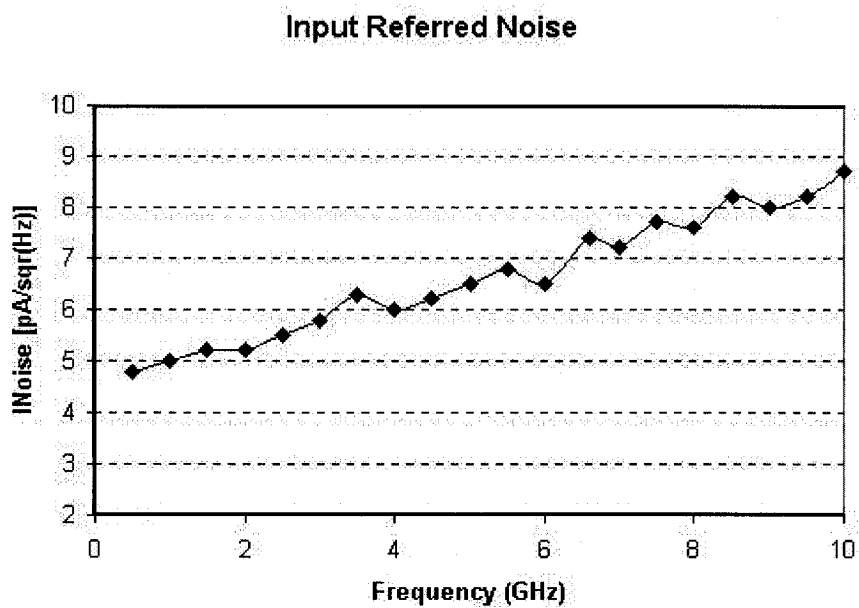


Figure 5.19 The receiver input referred noise

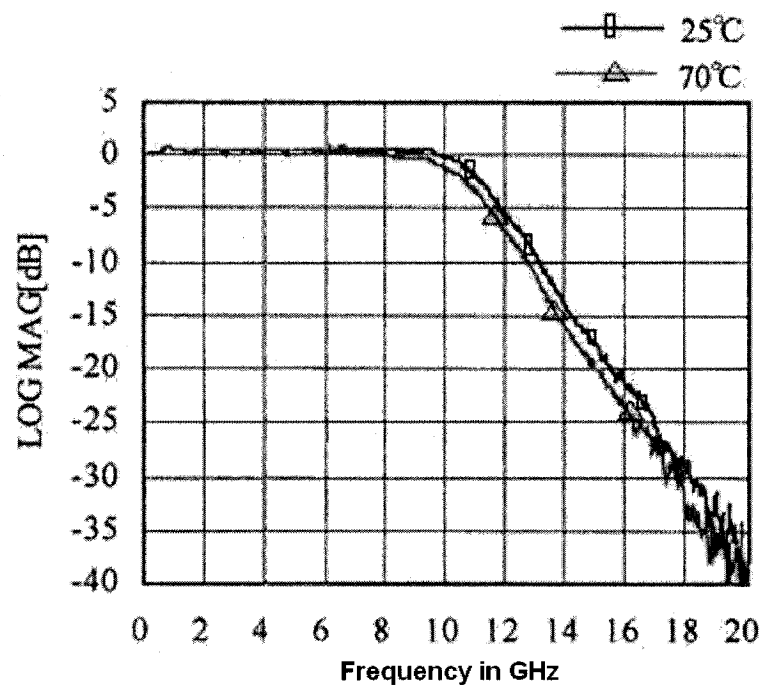


Figure 5.20 The measured optoelectronic transfer function

LIST OF TABLES

Table 5.1 Design specifications of a high-speed TIA

Table 5.2 Set of corners specification

Table 5.1 Design specifications of a high-speed TIA

Parameter	Symbol	Min	Typical	Max	Units	Comment
AC transimpedance	Z_t	600	1000	14 00	V/A	Differential 100 Ohms line-to-line
3 dB bandwidth	BW_{-3dB}	8	10	13	GHz	
Input noise current	I_{NOISE}		1	1.25	μA_{RMS}	From 0 - 10 GHz
Diff. output swing	VOD	400	500	600	mV	
Rise & Fall times	t_R & t_F	20	22	24	pS	
Sensitivity	Pin		-19		dBm	
Output impedance	R_{OUT}	42	50	58	Ohms	
Group delay	grp delay			20	pS	100 MHz - 8GHz

Table 5.2 Set of corners specification

Designation	Specification
Device models	Typical model (typ) Slow bipolar & fast resistor (sb & fr) Fast bipolar & slow resistor (fb & sr)
Junction temperature	Typical temperature, T_{nom} = 65 degrees Low temperature, T_{low} = -20 degrees High temperature, T_{high} = 130 degrees
Supply voltage	Typical voltage, V_{typ} = V_{nom} High supply voltage, V_{high} = $V_{nom} + 5\%$ Low supply voltage, V_{low} = $V_{nom} - 5\%$

CHAPITRE 6

CONCLUSION

La présente thèse constitue à notre humble avis une contribution dans le domaine de la conception et de la stabilité des circuits intégrés dédiés aux communications optiques à hauts débits. Durant les travaux de recherche associés à cette thèse, nous avons étudié et analysé divers aspects des communications utilisant la fibre optique comme canal de transmission. Les résultats expérimentaux obtenus se rapportent en particulier à la conception de l'interface optoélectronique de réception opérant à grands débits. Nous avons mis en évidence deux problèmes fondamentaux rencontrés dans la conception et la fabrication des circuits intégrés utilisés dans de telles applications.

Le premier problème se situe au niveau de l'atteinte des performances requises. En effet, la conception des récepteurs utilisés dans les réseaux de communication optique à grand débit exige non seulement un produit gain bande passante élevé, une capacité de réception à grands débits et une grande sensibilité, mais aussi une gamme dynamique élevée afin de pouvoir s'adapter à différents protocoles de communication.

Le deuxième problème est, quant à lui, relatif au fonctionnement des circuits fabriqués dans leur environnement d'opération. En effet, on peut avoir réalisé le circuit le plus performant, mais si celui-ci n'a pas un fonctionnement stable dans l'environnement pour lequel il a été conçu, l'effort déployé aura été vain. À cause de l'exigence de pouvoir

assurer simultanément un gain élevé, une bande passante large et une grande sensibilité, les amplificateurs utilisés dans les circuits de communication à grand débit sont de nature à osciller si un bon compromis n'a pu être réalisé entre les critères de performance désirés. Ce problème est d'autant plus important avec la réduction de l'échelle au niveau des technologies de fabrication de circuits intégrés. Il est donc important pour les concepteurs de circuits de communication à haute performance d'adopter et d'utiliser des techniques de conception qui non seulement minimisent les erreurs de communication, mais aussi, garantissent la stabilité des circuits réalisés.

Le premier chapitre de la thèse a été consacré à la définition du sujet traité et de la problématique associée. Nous y avons présenté la motivation ayant suscité l'intérêt pour ce sujet de recherche. Un aperçu des concepts utiles à la compréhension de la thèse et la méthodologie utilisée ont également été présentés. Au chapitre 2, un historique sur les communications par fibre optique a été présenté au début du chapitre afin de situer le lecteur sur l'évolution de la technologie optique. Par la suite, une revue de la littérature critique a été présentée, ce qui a permis de faire ressortir l'état de l'art dans la conception des circuits intégrés destinés à de telles applications.

Parallèlement aux développements dans le domaine des communications à longue portée, on assiste également à une percée de la technologie optique au niveau des réseaux de distribution des services locaux et résidentiels. Cependant, la plupart des réseaux de distribution actuels bâtis sur la paire torsadée ou le câble en cuivre coaxial ne sont plus capable de supporter la bande passante requise pour la distribution des nouveaux services

susceptibles d'être offerts aux usagers. La fibre optique devient donc le lien de communication par excellence, la bande passante réalisable dans ces systèmes n'est plus que limitée par l'électronique de conversion aux interfaces optoélectroniques de transmission et de réception.

Au chapitre 3, nous avons présenté la conception d'une nouvelle classe d'amplificateurs à transimpédance à faible bruit et à large bande en AsGa dont l'entrée est moins sensible aux variations de la charge capacitive d'entrée. Le travail présenté dans ce chapitre constitue la première contribution de cette thèse. Ce qui est nouveau dans ce design, c'est l'isolation totale de la capacité de la photodiode dans la détermination de la bande passante à -3 dB du système. Nous exploitons la faible impédance d'entrée associée à la configuration du transistor d'entrée monté en grille-commune pour étendre la bande passante du préamplificateur.

Par ailleurs, une des limitations au fonctionnement à haute performance des photorécepteurs est liée à la récupération d'horloge. En effet, dans les communications sérieelles, le signal d'horloge doit être récupéré à partir des données transmises, ce qui pose des problèmes de synchronisation graves en présence du bruit lorsque le débit de transmission devient élevé. La gigue est une des principales limitations à la performance des réseaux de transmission à grands débits. Ce bruit est caractérisé par deux composantes dont l'une est déterministe et l'autre est aléatoire.

La composante déterministe peut se décomposer à son tour en "*duty cycle distortion*" (DCD), en interférence intersymbole ("*Intersymbol Interference*" - ISI) et en "*peri-*

odic jitter” (PJ). Le DCD est généralement causé par une référence de tension instable, l’interférence intersymbole est causée par une limitation en bande passante des composants du circuit ou du canal de transmission et le PJ est causé par des réflexions dans le canal de transmission.

La composante aléatoire appelée “*random jitter*” (RJ) quant à elle, provient de l’excitation thermique dans la structure cristalline du semiconducteur. Elle est probabiliste de nature et peut être caractérisée par une distribution gaussienne. RJ est définie par sa valeur crête-à-crête donnée par 14 fois la déviation standard de la gaussienne pour un taux d’erreur binaire à 10^{-12} . Comme le “*random jitter*” est un processus stochastique, son amplitude n’est pas bornée; RJ va s’accumuler avec le temps, et par conséquent, va affecter la fiabilité à long terme du système. Pour un taux d’erreur binaire de 10^{-12} , le “*jitter*” total (TJ) $T_J = D_J + 14 \times R_J$ est fortement dépendant de la composante aléatoire. Une méthode de conception permettant de minimiser ces différentes composantes a été suggérée dans cette thèse.

En outre, les circuits utilisant des architectures non-différentielles ont un sérieux problème d’absence de référence de niveau d’entrée. Ces circuits souffrent non seulement d’une grande dépendance aux variations de la température et à celles du procédé de fabrication, mais également d’une grande sensibilité au bruit des alimentations; le bruit généré peut dégénérer sous forme de gigue et dégrader le signal transmis. Dans le chapitre 4, nous avons présenté une cellule d’amplification à transimpédance incorporant une nouvelle méthode de conversion d’une entrée simple en sorties différentielles pour un meilleur ren-

dement dynamique. Contrairement à la méthode conventionnelle d'ajustement de seuils par un contrôle externe, nous proposons également un circuit de compensation automatique de seuils avec des ajustements intégrés, minimisant ainsi la gigue. Cette méthode de conception constitue la deuxième contribution de cette thèse.

Dans la phase de mise en application des concepts proposés ci-haut, nous tenons compte des techniques de conception pour la stabilité car, l'un des problèmes majeurs dans la conception et la fabrication des circuits intégrés devant fonctionner à très hautes fréquences est celui de leur stabilité dans leur environnement d'opération. Pour cela, nous avons présenté au chapitre 5 une méthodologie de conception pour la stabilité (DFS) des circuits intégrés à haute performance. L'application de cette méthodologie permet aux concepteurs des circuits intégrés d'effectuer efficacement la vérification de la stabilité de leur circuit lors de la phase de conception. Cette méthodologie de conception constitue la troisième contribution de la thèse.

Afin de démontrer le fonctionnement effectif des techniques et méthodologie proposées, des prototypes ont été fabriqués en utilisant des procédés de fabrication à 0.6 micron en AsGa (Arsénure de Gallium) et à 0.18 micron en SiGe (Silicium Germanium). Les résultats de mesures effectuées sur les prototypes fabriqués démontrent le succès de la méthode utilisée, et sont en conformité avec les buts et spécifications initiales de conception. Nous rapportons entre autres, une bande passante de 11 GHz, une transimpédance de $75 - dB\Omega$, une sensibilité de -19 dBm mesurée pour un taux d'erreur binaire sur les bits de 10^{-12} , un bruit d'entrée de $7.81 pA/\sqrt{Hz}$ et une gigue de 9.6 ps crête-à-crête. Cet

ensemble de performances se situe parmi les meilleures dans cette classe d'application fonctionnant à 10 Gb/s comme l'indique le Tableau [6.1].

Tableau 6.1: Comparaison avec d'autres travaux de recherche

Specification	[30]	[48]	[51]	[This work]	[36]	[27]	[67]
f_T (GHz)	85	23	35	90	30	23	47
-3 dB bandwidth (GHz)	8	7.8	10.5	11	9	7.8	8
Transimpedance ($dB\Omega$)	63.3	57	60	75	55	55	63
Average input noise ($pA/(\sqrt{Hz})$)	6.5	9	12	7.8	18	9	10
Supply voltage (V)	-5	-6.5	5/-3.5	3.3	5	-6.5	3
Power dissipation (mW)	465	143	NA	140	140	146	60
Photodiode Cap (fF)	250	100	150	220	150	NA	200
Technologie	0.10 μm GaAs	0.40 μm Si-bip	0.30 μm Si-bip	0.18 μm SiGe	0.25 μm Si-bip	0.4 μm Si-bip	SiGe

DISCUSSION GÉNÉRALE

Nous avons analysé et proposé une méthodologie relative à la conception et à la stabilité des circuits intégrés dédiés aux communications optiques à grand débit, dans le cadre d'une production à grande échelle. Elle devrait permettre à l'industrie, d'augmenter la fiabilité des circuits intégrés fabriqués, en mettant sur le marché des circuits hautes fréquences robustes, tout en réduisant leur coût de production. La solution proposée repose en partie sur la conception d'une interface optoélectronique de réception à grande sensibilité permettant de convertir une entrée simple en sorties différentielles. L'autre aspect de la solution est l'analyse de la stabilité des circuits devant fonctionner en hautes fréquences. La solution ainsi proposée permettra dans sa globalité de régler un problème pratique auquel l'industrie fait face et qui retarde la phase de qualification du produit fabriqué.

Par ailleurs, il est très important de souligner que cette thèse ouvre des perspectives de recherche énormes dans le domaine de la conception des circuits intégrés dédiés aux communications optiques à grand débit qui est un domaine en évolution. En effet, grâce à la bande passante presque illimitée de la fibre optique, le développement des circuits d'interface optoélectronique va inévitablement se poursuivre et rester d'actualité à cause de la demande de plus en plus grandissante en bande passante requise pour accommoder de nouveaux besoins. Les défis à surmonter seront de plus en plus grands à cause de la réduction de l'échelle dans les procédés de fabrication modernes; le problème de sta-

bilité va alors se poser avec acuité car la fréquence d'opération des circuits sera plus élevée. Qu'on le veuille ou non, les ingénieurs oeuvrant dans le domaine devront se réajuster pour faire face aux nouvelles contraintes de conception.

Pour cela, il serait très intéressant d'explorer dans des travaux futurs, la mise au point d'un algorithme permettant l'automatisation de la DFS pour une production à grande échelle.

Dans cette thèse, nous avons utilisé le GaAs et le SiGe comme technologies de fabrication, une extension de ces travaux par l'utilisation de la technologie CMOS serait une avenue très intéressante en faveur de la réduction du coût du système.

L'un des problèmes qui nous a paru difficile à régler en rapport avec les règles de la DFS est celui d'assurer le coefficient de réflexion en sortie $|S_{22}| < -10dB$ sur toute la bande passante d'intérêt; il serait important d'approfondir l'étude sur les conditions favorisant cette règle.

Pour terminer, une étude similaire devrait être menée au niveau de l'interface optoélectronique de transmission pour un meilleurs rendement.

BIBLIOGRAPHIE

- [1] ADAMS, M. J., SINGH, J., FISHER, M.A., HENNING, I.D., BAKER, D.M. (1985). "Analysis of semiconductor Laser Amplifiers", IEEE Proc. Journal Vol. 132, No. 1, pp. 58-63.
- [2] AGRAWAL, G. P. (1992). "Fiber-optic communications systems", John Wiley & Son, Inc., New York.
- [3] AINSLI, B. J., BEALES, K. J., DAY, C. R., RUSH, J.D. (1982). "The Design and Fabrication of Monomode Optical Fiber", IEEE Transactions on Microwave Theory and Techniques, Volume: 82 , Issue: 4 , Pages: 360 - 369.
- [4] AKAZAWA, Y., ISHIHARA, N., WAKIMOTO, T., KAWARADA, K., KONAKA, S. (1986). "A Design and packaging technique for high-gain, gigahertz-band, single-chip amplifier," IEEE Journal of Solid-State Circuits, Vol. SC-21, pp.417-423.
- [5] ANDERSON, I., RUDBERG, B., LEWIN, T., REED, M., PLANAR, S., SUNDARAM, S. (1995). "Silicon bipolar chipset for SONET/SDH 10 Gbit/s fiberoptic communication links", IEEE Journal of Solid State Circuits, vol. 30, pp. 210-218.
- [6] ARCHAMBAULT, Y., PAVLIDIS, D., GUET, J. (1987). "GaAs Monolithic Integrated Optical Preamplifier", Journal of Lightwave Technology, Vol. LT-5, No. 3 pp.355-366.
- [7] BHAGAVATULA, V. A. (1983). "Scattering loss in single mode fibers by outside

- process,” Technical Digest, Six Topical Meeting Opt. Fiber Commun., pp. 22-25.
- [8] BOYOGUÉNO, A., KAMINSKA, B. (1998). “Broad-Band Low-Noise Preamplifier Design with GaAs MESFETs For Optical Communications”, International Symposium on Signal System and Electronique, pp. 326-32.
 - [9] BOYOGUÉNO, A. (1997). “Simulation de la transmission de données dans un système de transmission par fibre optique”, Mémoire de maîtrise présenté à la faculté des sciences et de génie, Université Laval.
 - [10] BRIAN, M., TIEN-PEI LEE (1985). “Optical Receivers for Lighthwave Communications Systems”, IEEE Transactions on Electron Devices, Vol. ED-32, No. 12.
 - [11] CHEN, C. F. (Jul. 2004) “High bandwidth and wide dynamic range preamplifier with high stability” United States Patent, N# US 6759900 B2.
 - [12] CHERRY, E. M., HOOPER, D. E. (1963). “The design of wide-band transistor feedback amplifiers”, Proc. IEE, Vol. 110, No. 2, pp. 375-89.
 - [13] CHIOU, F. C., ISOBE, Y. (Oct. 2004). “Pseudo-differential transimpedance amplifier”, United States Patent, N# US 6803825 B2.
 - [14] CHIOU, F. C., ISOBE, Y., YOSHIDA, Y. (Aug. 2004). “Transimpedance amplifier with selective DC compensation,” United States Patent N# US 6784750 B2.
 - [15] CLIFFORD, N. D., COOK, C. R., WILSON, M. G., RITCHIE (May 2004). “DC feedback control circuit,” United States Patent, N# US 6741134 B2.
 - [16] CSUTAK, S.M., SCHAUB, J.D., WU, W.E., SHIMER, R., CAMPBELL, J.C., (2002). “High-speed monolithically integrated silicon photoreceivers fabricated in 130-nm CMOS technology”, Journal of Lightwave Technology, Vol. 20 , Issue: 9,

pp. 1724 – 1729.

- [17] DAS, M. B., JAU-WEN CHEN; JOHN, E. (1995). "Designing Optoelectronic Integrated circuit (OEIC) Receivers for high Sensitivity and Maximum Flat Frequency Response", *Journal of Lightwave Technology*, Vol. 13, No. 9, pp.1876-1883.
- [18] DESURVIRE, E. (1992). "Les amplificateurs à fibre optique", *Pour la science*, No. 73.
- [19] FAY, P., CANEAU, C., ADESIDA, I. (2002). "High-speed MSM/HEMT and p-i-n/HEMT monolithic photoreceivers", *IEEE Transactions on Microwave Theory and Techniques*, Vol. 50, Issue: 1, pp. 62 – 67.
- [20] GABLA, P. M., SCARAMUCCI, O. (1992). "Liaisons par fibres optiques à longue portée et haut débit avec amplification optique", *Communication & Transmission* 3, pp. 67-74.
- [21] GONZALEZ, G. (1984). "Microwave Transistor Amplifiers: Analysis and Design," Englewood Cliffs, NJ, Prentice-Hall.
- [22] GORDON, E. I. (1964). "Optical laser oscillators and noise", *Bell System Technical Journal*, Vol. 43, pp. 507-539.
- [23] GREEN, Paul E. Jr. (1993). "Fiber Optic NETWORKS", Prentice Hall, Englewood Cliffs, New Jersey 07632, p. 513.
- [24] GRESHISHCHEV, Y. M., SCHVAN, P., SHOWELL, J. L., MU-LIANG XU; OJHA, J. J., ROGERS, J. E. (2000). "A fully integrated SiGe Receiver IC for 10-Gb/s Data rate", *IEEE Journal of Solid State Circuits*, Vol. 35, pp.1949-1957.
- [25] HAMAGUCHI, H. MAKIUCHI, M., KUMAI, T., AOKI, O., OIKAWI, Y., WADA,

- O. (1987). "GaAs Optoelectronic Integrated Receiver with High-Output Fast-Response Characteristics", IEEE Electron Device Letters, Vol. EDL-8, No. 1, pp. 39-41.
- [26] HAMMAD, H. F., FREUNDORFER, A. P., ANTAR, Y. M. (2002). "Comprehensive Study of Multiband Unconditional Stabilization of Common-Source and Common-Gate MESFET Transistors Using Feedback", IEEE Journal of Solid State Circuits, Vol. 37, pp.1260-1270.
- [27] HURM, V., BENZ, W., BERROTH, M., BRONNER, W., FINK, T., HAUPT, M., KOHLER, K., LUDWIG, M., RAYNOR, B., ROSENZWEIG, J. (1996). "10 Gbit/s long wavelength monolithic integrated optoelectronic receiver grown on GaAs", Electronics Letters, Vol. 32, Iss. 4, pp. 391-393.
- [28] HURM, V., BENZ, W., BRONNER, W., FINK, T., HAUPT, M., JAKOBUS, T., KAUFEL, G., LAO, Z., LEVEN, A., LUDWIG, M., (1997). "Long Wavelength MSM-HEMT and PIN-HEMT Photoreceivers grown on GaAs", IEEE GaAs IC Symposium, pp. 197-200.
- [29] ICHINO, H., TOGASHI, M., OHHATA, M., IMAI, Y., ISHAHARA, N. and SANO, E. (1994). "Over-10-Gb/s IC's for Future Lightwave Communications", Journal of lightwave technology, Vol. 12, No.2, pp.308-317.
- [30] IKEDA, H., OHSHIMA, T., TSUNOTANI, M., ICHIOKA T. and KIRUMA, T. (2001). "An Auto-Gain Control Transimpedance Amplifier with Low Noise and Wide input Dynamique Range for 10-Gb/s Optical Communication Systems", IEEE Journal of Solid State Circuits, Vol. 36, pp. 1303-1308.

- [31] IMAI Y., KATO, N., OHWADA, K., SUGETA, T. (1985). "Design and Performance of Monolithic GaAs direct-Coupled Préamplifiers and Main Amplifiers", IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-33, No. 8, pp. 686-92.
- [32] ISHIHARA, I.N., SANO, E., IMAI, Y., KIKUCHI, H. and YAMANE, Y. (1992). "A Design Technique for High-Gain, 10 GHz Class-Bandwidth GaAs MESFET Amplifier IC Module", IEEE Journal of Solid-State Circ., Vol. 27, No. 4, pp 554-562.
- [33] ITOH, M. NISHIO, M., NUMAI, T., SUZUKI, S., FUJIWARA, M., MURATA, S. (1984). "Monolithic integration of metal-semiconductor-metal diode and a GaAs preamplifier", IEEE Electron Device Letters, Vol. 5, No. 12, pp. 531-32.
- [34] KAMITSUNA, H. (1995). "Ultra-wideband monolithic photoreceivers using HBT-compatible HPTs with novel base circuits, and simultaneously integrated with an HBT amplifier", Journal of Lightwave Technology, Vol. 13, No. 12, pp.2301-7.
- [35] KENNETH, P. (1998). "High-speed Circuit Design for Lightwave communications", International Journal of High-Speed Electronics and Systems, Vol. 9, No. 2, pp. 313-334.
- [36] KIM, H. H., CHANRASEKHAR, S., BURRUS, C. A., Jr., BAUMAN, J. (2001). "Si BiCMOS transimpedance amplifier for 10-Gb/s SONET receiver", IEEE Journal of Solid State Circuits, Vol. 36, pp.769-776.
- [37] KLEVELAND, B., XIAONING QI; MADDEN, L., FURUSAWA, T., DUTTON, R. W., HOROWITZ, M. A., WONG, S. S., (2002). "High-Frequency characterization of On-Chip Digital Interconnects," IEEE Journal of Solid State Circuits, Vol. 37,

pp.716-724.

- [38] LAO, Z., HURM, V., BENZ, W., THIEDE, A., BRONNER, W., LUDWIG, M., HAUPT, M., KAUFEL, G., LEVEN, A., JAKOBUS, T., (1998). "Modulator Driver and Photoreceiver for 20 Gb/s Optic-Fiber Links", *Journal of Lightwave Technology*, Volume: 16, Issue: 8, Pages:1491 – 1495.
- [39] Lecture Notes for IC Design for Optical Communication Systems, Monterey, California, USA, March 2001.
- [40] LEE, T. H. (1998). "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, Chap. 14.
- [41] MA, O., BHATTACHARYA, Z., CROKE, P., QASAIMAH, E. T. (2000). "Monolithically integrated multichannel SiGe/Si p-i-n-HBT photoreceiver arrays," *Journal of Lightwave Technology*, Volume: 18, Issue: 11, Pages:1548 – 1553.
- [42] MACLEAN, D. J. H. (1996). "Optical Line Systems, Transmission Aspects," Wiley.
- [43] MASSOUD, Y., ISMAIL, Y., (2001). "Grasping the impact of On-Chip Inductance," *Circuits and Devices*, pp. 14- 21.
- [44] MOLLER, M., REIN, H.-M., WERNZ, H. (1994). "13 Gb/s Si-bipolar AGC amplifier IC with high gain and wide dynamic range for optical-fiber receivers", *IEEE Journal of Solid-State Circuits*, Vol.29, pp.815-22.
- [45] MULLRICH, J; THURNER, H., MULLNER, E., JENSEN, J., STANCHINA, W., KARDOS, M., REIN, H. M. (2000). "High-Gain Transimpedance Amplifier in InP-Based HBT Technology for the Receiver in 40-Gb/s Optical-Fiber TDM Links", *IEEE Journal of Solid State Circuits*, Vol. 35, pp. 1260-1265.

- [46] MUOI, T. V. (1984). "Receiver Design for High-Speed Optical-Fiber Systems", Journal of Lightwave Technology, Vol. LT-2, No. 3, pp. 243-268.
- [47] NÉROU, J. P. (1983). "Les fibres optiques, Introduction aux télécommunications par fibres optiques", Le Griffon d'argile inc. première édition.
- [48] NEUHAUSER, M., REIN, H.-M., WERNZ, H. (1996). "Low-Noise, High-Gain Si-Bipolar Preamplifiers for 10 Gb/s Optical links - Design and Realization," IEEE Journal of Solid State Circuits, Vol. 31, pp.24-29.
- [49] OGAWA, K., CHINNOCK, E. L. (1979). "GaAs FET Transimpedance Front-End Design for Wideband Optical Receiver", Electronics Letters, Vol. 15, No. 20 pp.650-52.
- [50] OGAWA, K. (1983). "Considerations for Optical Receiver Design", IEEE Journal of Selected Areas communication, Vol. SAC-1, pp. 524-532.
- [51] OHHATA, K., MASUDA, T., IMAI, K., TAKEYARI, R., WASHIO, K. (1999). "A Wide-dynamic-range, High-transimpedance Si bipolar preamplifier IC for 10-Gb/s Optical fiber links", IEEE Journal of Solid State Circuits, Vol. 34, pp. 18-24.
- [52] OLSON, A. A. (1989). "Lightwave systems with optical amplifiers", Journal of lightwave technology, Vol. 7, No. 7, pp.1071-1082.
- [53] O'MAHONY, M. J. (1988). "Semiconductor Laser Optical Amplifiers for Use in Future Fiber Systems", Journal of Lightwave Technology, Vol. 6, No. 4, pp. 531-544.
- [54] PALAIS, J. C. (1988). "Fiber optic communications", second edition, Prentice Hall, Englewood Cliffs, New Jersey 07632.
- [55] PEDROTTI, K. D., SEABURY, C.W., PIERSON, R.L., TSANG, D.Z. (May 1993).

- “Monolithic optical integrated receivers using GaAs heterojunction bipolar transistors”, *Microwave Journal* Vol.36, pp. 254-256.
- [56] PERSONICK, S. D. (1973). “Receiver Design for Digital Fiber Optic Communication Systems Parts I & II”, *Bell System Technical Journal*, Vol. 52, pp. 843-86.
- [57] PETERSEN, A. K., KIZILOGLU, K., TY YOON; WILLIAMS, F., Jr., SANDOR, M. R. (2002). “Front-end CMOS chipset for 10 Gb/s communication”, *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 93 – 96.
- [58] PFOST, M., REIN, H. M., HOLZWARTH, T. (1996). "Modeling substrate effects in the design of high-speed Si-bipolar ICs," *IEEE Journal of Solid-State Circuits*, Vol. 31, pp. 1493-15-01.
- [59] PFOST, M., REIN, H. M. (1998). "Modeling and Measurement of Substrate Coupling in Si-bipolar IC's up to 40 GHz," *IEEE Journal of Solid-State Circuits*, Vol. 33, pp.582-591.
- [60] REIN, H.-M. (1990). “Silicon bipolar integrated circuits for multigigabit-persecond lightwave communications”, *IEEE J. Lightwave Technology*, vol. 8, pp. 1371–1378.
- [61] REIN, H. M., MOLLER, M. (1996). “Design considerations for very-high-speed Si-bipolar IC's operating up to 50 Gb/s”, *IEEE Journal of Solid State Circuits*, Vol. 31, pp.1076-1090.
- [62] REIN, H. M. (1998). “Si and SiGe Bipolar ICs for 10 Gb/s to 40 Gb/s Optical-Fiber TDM Links”, *International Journal of High-Speed Electronics and Systems*, Vol. 9, No. 2, pp. 347-383.
- [63] RIAZIAT, M. L. (1996). “Introduction to High-Speed Electronics and Optoelectron-

- ics”, Wiley Series, ISBN 0471-01582-2.
- [64] ROUX, P., BAEYENS, Y., HOUTSMA, V., LEVEN, A., WEINER, J., BENZ, A., CHEN, Y. K. (2003). “Single-ended to differential MHEMT Transimpedance Amplifier with 66 dB Ohms differential Transimpedance and 50 GHz Bandwidth”, IEEE MTT-S Digest, pp. 1193- 1195.
 - [65] RUE, J., ITZLER, M., AGRAWAL, N., BAY, S. and SHERRY, W. (1999). “High Performance 10 Gb/s PIN and APD Optical Receivers”, Electronic Components and Technology Conference, pp. 207-215.
 - [66] SALEH, B. E. A., TEICH, M. C. (1991). "Fundamentals of Photonics", Wiley Series in pure and applied optics, J. W. Goodman, Editor.
 - [67] SAMADI, B. M. R., KARSILAYAN, A. .I., SILVA-MARTINEZ, J. (2002). “Design of transimpedance and limiting amplifiers for 10 Gb/s optical communication systems”, IEEE, 45th Midwest Symposium on Circuits and Systems, Volume: 3, 4-7, pp. 164 –167.
 - [68] SCHEINBERG, N., BAYRUNS, R.J., LAVERICK, T. M. (1991). “Monolithic GaAs transimpedance amplifiers for fiber-optic receivers”, IEEE Journal of Solid-State Circuits, Vol.26 pp.1834-9.
 - [69] SCHILD, A., REIN, H. M., MULLRICH, J., ALTENHAIN, L., BLANK, J., SCHRODINGER, K. (2003). “High-Gain SiGe Transimpedance Amplifier Array for a 12 x 10 Gb/s Parallel Optical Link”, IEEE Journal of Solid State Circuits, Vol. 38, pp.1512- 1517.
 - [70] SMITH, R.G., PERSONICK, S. D. (1980). “Receiver Design for Fiber Optic Com-

munication Systems”, Semiconductor Devices for Optical Communications, New York, Springer-Verlag, Chap. 4.

- [71] SMITH R. M., McKAY, P. C., CARROLL, R. T. (Oct. 2004). “Transimpedance amplifier and circuit including the same”, United States Patent, N# US 6801084 B2.
- [72] SUEMATSU, Y. Traduit par DePardieu, D. (1984). "Transmissions sur fibres optiques", technologie générale, Masson, p. 205.
- [73] SYLLA, I. T., SLAMANI, M., KAMINSKA, B. (2001). “A Unity Gain High Speed Buffer to Improve signal Integrity in high Frequency Test Interface”, Journal of Electronic Testing: Theory and Applications, Vol.17, pp.53-61.
- [74] TRISCHITTA, P., COLAS, M., GREEN, M., WUZNIAK, G., ARENA, J. (1996). “The TAT-12/13 Cable Network”, IEEE Communications Magazine, Vol. 34, Issue: 2, pp. 24-28.
- [75] ULCHIDA, N., AKAHORI, Y., IKEDA, M., KOHZEN, A., YOSHIDA, J., KOKUBUN, T., SUTO, K. (1991). “A 622 Mb/s High-Sensitivity Monolithic InGaAs-InP pin-FET Receiver OEIC Employing a Cascode Preamplifier”, IEEE Photonic Technology Letters, Vol. 3, No. 6 , pp. 540-42.
- [76] Understanding Jitter, Seminar on jitter analysis by Wavecrest corporation, USA, 2001.
- [77] WANG, J., SHIH, C.G., CHANG, W. H., MIDDLETON, J., APOSTOLAKIS, P.J., FENG, M. (1993). “11 GHz Bandwidth GaAs Mesfet/MSM OEIC Receivers”, IEEE MTT-S Digest, pp. 1047-1050.
- [78] WEINER, J. S., LEVEN, A., HOUTSMA, V., BAEYENS, Y., YOUNG-KAI

- CHEN; PASCHKE, P., YANG YYANG; FRACKOVIK, J., WEI-JER SUNG; TATE, A., REYES, R., KOPF, R. F., WEIMANN, N. G., (2003). "SiGe Differential Transimpedance Amplifier with 50 GHz Bandwidth", IEEE Journal of Solid State Circuits, Vol. 38, pp.1512- 1517.
- [79] WU, C. H., SOVERO, E. A., MASSEY, B. (2003). "40-GHz Transimpedance Amplifier with Differential Outputs Using InP-InGaAs Heterojunction Bipolar Transistors", IEEE Journal of Solid State Circuits, Vol. 38, pp. 1518-1523, Sep. 2003.
- [80] XIAN-JIE L., JIN-PING A., WANG, R., WEI-JI, L., WANG, Z. G., ZENG, Q. M., LIU, S. W., LIANG, C. G. (2001). "An 850 nm wavelength monolithic integrated photoreceiver with a single power supplied transimpedance amplifier based on GaAs PHEMT technology", IEEE GaAs Digest, pp. 65-68.
- [81] YAMADA, J., KAWANA, A., MIYA, T, NAGAI, H., KIMURA, T.(1981). "2 Gb/s optical transmission experiment at 1.3 μm with 44 km single mode fiber," Electron. Letter Vol. 17 pp. 479-480.
- [82] YAMADA, J., KAWANA, A., MIYA, T, NAGAI, H., KIMURA, T. (1982). "1.55 μm optical transmission experiment at 2 Gb/s using 51.1 km dispersion free fiber", Electron. Letter, Vol. 18, pp. 98-100.
- [83] YAMANE, Y, OHHATA, M., KIKUCHI, H., ASAI, K., IMAI, Y. (1991). "A 0.2 μm GaAs MESFET Technology For 10 Gb/s Digital and Analog IC's", IEEE Int. Microwave Symp. Digest, pp.513-516.