

UNIVERSITÉ DE MONTRÉAL

**TECHNIQUES DE CALIBRATION DE CIRCUITS ANALOGIQUES
POUR DES APPLICATIONS DE HAUTE PRÉCISION**

ABDELAZIZ TRABELSI

**DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL**

**MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION
DU DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES
DÉCEMBRE 2003**



National Library
of Canada

Bibliothèque nationale
du Canada

Acquisitions and
Bibliographic Services

Acquisitions et
services bibliographiques

395 Wellington Street
Ottawa ON K1A 0N4
Canada

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 0-612-90874-7

Our file Notre référence

ISBN: 0-612-90874-7

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this dissertation.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de ce manuscrit.

While these forms may be included in the document page count, their removal does not represent any loss of content from the dissertation.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

Canada

UNIVERSITÉ DE MONTRÉAL
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé :

TECHNIQUES DE CALIBRATION DE CIRCUITS ANALOGIQUES
POUR DES APPLICATIONS DE HAUTE PRÉCISION

Présenté par : TRABELSI Abdelaziz

en vue de l'obtention du diplôme de : Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de :

M. BOYER François-Raymond, Ph.D., président

M. SAVARIA Yvon, Ph.D., membre et directeur de recherche

M. AUDET Yves, D.Sc.A., membre et codirecteur de recherche

M. MEUNIER Michel, Ph.D., membre

À ma femme Teodora et ma fille Nadia.

REMERCIEMENTS

Je tiens à exprimer ma reconnaissance et mes remerciements à mon directeur de recherche, professeur Yvon Savaria, et mon codirecteur de recherche, professeur Yves Audet, pour leur support, leurs conseils et leur patience tout au long de ce projet de recherche.

J'exprime ma gratitude au professeur François-Raymond Boyer, pour avoir accepté de présider le jury d'examen de mon mémoire de maîtrise, et au professeur Michel Meunier, pour son support pendant la réalisation de la deuxième partie de ce mémoire et pour avoir accepté d'être membre du jury.

Je voudrais également remercier Monsieur Yves Gagnon, président de la société Technologies-LTRIM, et Monsieur Alain Lacourse, ingénieur chez Technologies-LTRIM, pour leur soutien pendant l'exécution du projet objet de la deuxième partie du présent mémoire.

Je tiens également à remercier toute l'équipe de conception avec laquelle j'ai travaillé, tout particulièrement messieurs Wang Zhengrongh et Guillaume Wild, pour m'avoir aidé à mener à bien la deuxième partie du présent mémoire. Qu'ils trouvent ici l'expression de mon amitié.

Et finalement, je suis spécialement reconnaissant envers ma famille et mes amis, qui ont toujours été présents. Merci pour votre soutien affectif en toute circonstance.

RÉSUMÉ

Ce mémoire de maîtrise s'inscrit dans le cadre de la conception de cellules analogiques à la fois performantes et compatibles avec le processus de miniaturisation des circuits intégrés. Il se compose de deux parties principales. La technique de calibration proposée dans la deuxième partie constitue une alternative intéressante de validation du concept de l'approche présentée dans la première partie.

La première partie porte sur le développement d'une technique numérique de correction de la tension de décalage d'entrée d'un amplificateur opérationnel (AO) réalisé en technologie CMOS. Cette correction est effectuée d'une manière automatique au moyen d'une machine à états finis qui considère l'utilisation d'un algorithme d'approximations successives. Cet algorithme raffine graduellement une estimation du courant de décalage devant être injecté à la sortie de l'étage différentiel d'un AO afin de compenser sa tension de décalage d'entrée. La technique proposée a été employée avec succès à deux structures classiques d'AO avec des paires différentielles d'entrée à transistors PMOS et NMOS respectivement. Elle peut être aisément appliquée à plusieurs architectures d'AO CMOS sans entraîner de modifications dans leur structure de base. L'originalité de l'approche proposée réside dans l'utilisation d'un générateur de signal d'horloge intégré sur puce. Ce générateur est actif uniquement pendant la phase de

compensation de l'AO. Cette stratégie élimine le bruit de commutation produit par un générateur de signal d'horloge lorsque l'AO est dans son mode normal d'opération. Les résultats de mesure obtenus au moyen d'un prototype fabriqué en technologie CMOS 0.18 μ m standard, montrent que la tension de décalage d'entrée de l'AO compensé est réduite d'environ 10 fois par rapport à sa valeur avant compensation.

La deuxième partie entre dans le cadre d'un projet visant à améliorer la technologie LTRIM des résistances diffusées par impulsion laser. Cette résistance est désignée dans le cahier des charges initial par le nom de dispositif LTRIM. Le principal objectif du travail confié à notre équipe du GRM est d'étudier expérimentalement les phénomènes parasites introduits dans le substrat Si-cristallin par le traitement laser pendant la séquence de création d'un dispositif LTRIM. Plusieurs procédures de caractérisation du procédé de création de dispositifs LTRIM ont été mises au point. Dans cette partie du mémoire, nous avons choisi de présenter trois procédures intéressantes. La première procédure examine les effets d'une perturbation et d'une injection de charges non entièrement compensées sur la dynamique d'un circuit adjacent au dispositif. La deuxième procédure étudie l'influence des paramètres technologiques et de conception sur les conditions de verrouillage dans son état direct-passant du thyristor parasite omniprésent dans les procédés CMOS sur substrat de silicium. Quant à la troisième procédure, elle utilise deux dispositifs LTRIM introduits dans l'étage différentiel d'un AO dans le but de compenser sa tension de décalage d'entrée. La technique de compensation proposée s'appuie sur le

même concept de base développé dans la première partie de ce travail de mémoire de maîtrise.

Mots clés

Amplificateur opérationnel, Tension de décalage d'entrée, Algorithme d'approximations successives, Générateur de signal d'horloge intégré, Dispositif LTRIM, Caractérisation de procédé LTRIM, Phénomènes parasites.

ABSTRACT

This master thesis studies the trade offs between performing analog cells design and meeting the miniaturization process size constraints. It is composed of two main parts. The trimming technique proposed in the second part is an interesting alternative to validate the concept of the approach presented in the first part.

In the first part, we present a digital offset correction technique for CMOS operational amplifier (op-amp). The offset correction is achieved automatically by means of a finite state machine that employs a successive approximation algorithm. This algorithm gradually refines an approximation of the offset current that must be injected at the output of an op-amp differential stage in order to compensate its input offset voltage. The proposed technique has been successfully employed for two classical op-amp topologies; with PMOS and NMOS input pairs. It can easily be applied to several CMOS op-amp architectures without altering their design. The originality of the proposed approach is the use of an on-chip oscillator. This oscillator is only active during the op-amp compensation state. This strategy eliminates the switching noise introduced by the timing signal generator when the op-amp is in its operating state. The experimental results extracted from a prototype fabricated in a standard $0.18\mu\text{m}$ CMOS technology, show that the input offset of the compensated op-amp is 10 times lower than its value before compensation.

The second part deals with a project that aims at enhancing the LTRIM technology of pulse laser diffusible resistances. This resistance is assigned in the initial specifications under the LTRIM device name. The main goal of the work of the GRM team is to study experimentally the parasitic phenomena introduced on the Si-crystalline substrate by the laser processing during the creation sequence of an LTRIM device. Several characterization procedures of the creation process of the LTRIM device have been finalized. In this part of the thesis, we have chosen to present three interesting procedures. The first one analyses the effects of the perturbation and the charge injection that is not totally compensated on the dynamic of a nearby circuit to the device. The second procedure studies the effects of the technological and conception parameters on the triggering conditions of the parasitic thyristor omnipresent in CMOS processes on silicon substrate. The third procedure makes use of two LTRIM devices introduced at the op-amp differential stage to compensate its offset voltage. The proposed compensation technique uses the same basic concept developed in the first part of this thesis.

Keywords

Operational amplifier, Offset voltage, Successive approximation algorithm, On-chip oscillator, LTRIM device, LTRIM process characterization, Parasitic phenomena.

TABLE DES MATIÈRES

DEDICACE	IV
REMERCIEMENTS.....	V
RÉSUMÉ.....	VI
ABSTRACT.....	IX
TABLE DES MATIÈRES	XI
LISTE DES FIGURES	XV
LISTE DES TABLEAUX.....	XVII
LISTE DES ANNEXES.....	XVIII
ACRONYMES.....	XIX
CHAPITRE 1	1
INTRODUCTION.....	1
1.1 Motivations et cadre de travail	1
1.2 Plan du Manuscrit.....	6
CHAPITRE 2	8
ÉTAT DE L'ART	8
2.1 Introduction	8
2.2 Techniques classiques	11
2.2.1 Technique <i>Autozeroing</i>	11
2.2.2 Technique <i>Chopper Stabilization</i>	15

2.3	Justification du choix d'une méthode numérique	17
2.3.1	Considérations technologiques.....	18
2.3.2	Considérations méthodologiques	20
2.4	Techniques numériques.....	22
2.4.1	Structure "Ping-Pong"	22
2.4.2	Technique à base d'un port de compensation en tension	23
2.4.3	Technique à base d'un port de compensation en courant.....	24
2.5	Conclusion.....	26
CHAPITRE 3		29
TECHNIQUE DE CORRECTION PROPOSÉE.....		29
3.1	Introduction	29
3.2	Concept de base.....	31
3.3	Description générale au niveau système	36
3.4	Spécifications de la chaîne de compensation	38
3.4.1	Bloc numérique d'autocorrection.....	38
a.	Exemple d'exécution d'un cycle de compensation	41
b.	Contraintes topologiques.....	43
c.	Méthodologie de conception	46
3.4.2	AO à auto-calibrer	47
3.4.3	Convertisseur numérique analogique (CNA).....	49
3.4.4	Générateur interne de signal d'horloge	52
3.4.5	Comparateur de niveaux et Synchroniseur.....	56

3.5	Validation et Résultats	57
3.5.1	Résultats de simulation.....	57
3.5.2	Résultats de mesure.....	60
3.6	Conclusion.....	63
CHAPITRE 4		64
CARACTÉRISATION D'UN PROCÉDÉ DE CRÉATION DE RÉSISTANCES		
DIFFUSÉES PAR IMPULSION LASER..... 64		
4.1	Introduction	64
4.2	Motivations.....	67
4.3	Procédures de caractérisation.....	68
4.3.1	Effet thermique et injection de charge	69
a.	Diviseur de fréquence.....	72
b.	Suiveurs.....	72
c.	Convertisseur fréquence-tension (CFV).....	76
4.3.2	Thyristor parasite.....	78
4.3.3	Application à un AO	84
4.4	Perspectives futures.....	86
4.5	Conclusion.....	86
CHAPITRE 5		88
CONCLUSION GÉNÉRALE..... 88		
RÉFÉRENCES..... 92		
ANNEXES..... 98		

Annexe A	99
Annexe B	103
Annexe C	105
Annexe D	106

LISTE DES FIGURES

2.1	Principe de base de la technique <i>Autozeroing</i>	12
2.2	Fonctions de transfert de la bande de base et du composant de repli.....	14
2.3	Principe de base de la technique <i>Chopper</i>	16
2.4	PSD <i>chopper</i> de sortie du bruit blanc après filtrage.....	17
2.5	Caractéristiques linéaire et non-linéaire versus la variable x_c de contrôle (a) large tension de décalage initiale (b) faible tension de décalage initiale.....	21
2.6	Principe d'opération de la structure Ping-Pong, (a) AO1 est en mode compensation, AO2 est en mode opération (b) AO1 est soumis aux mêmes conditions que celles de AO2 (c) AO2 est en mode compensation, AO1 est en mode opération.....	23
2.7	Technique à base d'un port de compensation en tension.....	24
2.8	Technique à base d'un port de compensation en courant.....	25
3.1	Modèle petit signal d'une charge active de type NMOS.....	32
3.2	Gain en tension fonction du rapport des courants de drain.....	34
3.3	Concept d'autocorrection à base d'un CNA en mode courant.....	35
3.4	Diagramme bloc du système implémenté.....	38
3.5	FSM du bloc numérique synchrone d'autocorrection.....	40
3.6	(a) Bit de poids le plus élevé du CNA change d'état (b) Sortie de l'AO (c) Sortie du comparateur.....	44
3.7	Méthodologie de conception.....	46
3.8	Structure de l'AO à auto-calibrer.....	48

3.9	CNA à sources de courants pondérées.....	50
3.10	Générateur interne de signal d'horloge.....	53
3.11	Inverseur de déclenchement.....	55
3.12	Simulation Spectre – Sortie de l'AO pendant la phase de compensation.....	58
3.13	(a) Sortie du circuit reset de mise sous tension (b) Signal $\overline{E_Clk}$ (c) Sortie du générateur.....	59
3.14	Résultats de mesure – Uos de l'AO versus Iref du CNA.....	62
4.1	Résistance LTRIM (a) avant création (b) pendant création (c) après création.....	67
4.2	Diagramme bloc de la chaîne de mesure de l'absorption de charges par le substrat.....	70
4.3	Diviseur de fréquence 2:1.....	72
4.4	Suiveur analogique.....	73
4.5	Linéarité versus Plage d'entrée.....	75
4.6	(a) CFV (b) Logique de contrôle (c) Signaux de contrôle.....	76
4.7	Plage de linéarité du CFV versus Suiveur Analogique.....	78
4.8	Transistors bipolaires parasites dans un inverseur CMOS.....	79
4.9	Montage de caractérisation du phénomène <i>latchup</i>	81
4.10	Application de la technologie LTRIM à un AO.....	85

LISTE DES TABLEAUX

3.1	États des bits du CNA à la fin du cycle.....	42
3.2	Dimensions des transistors de l'AO implémenté.....	48
3.3	Performances de l'AO.....	49
3.4	Simulation Spectre – Courants produits par le CNA.....	51
4.1	Dimensions des transistors.....	74
4.2	Dimensions des transistors.....	77
4.3	Dimensions des transistors.....	84

LISTE DES ANNEXES

A.1	Spécification en langage VHDL de la FSM.....	99
A.2	Spécification en langage VHDL du diviseur de fréquence.....	101
B.1	Circuit au niveau porte de la FSM.....	103
B.2	Circuit au niveau porte du diviseur de fréquence.....	104
C.1	Photographie du prototype de "Mode Manuel".....	105
C.2	Photographie du prototype de "Mode Automatique".....	105
D.1	Prototype expérimental du projet LTRIM.....	106

ACRONYMES

AC	Alternating Current
AO	Amplificateur Opérationnel
AOR	Amplificateur Opérationnel Réel
ASIC	Application Specific Integrated Circuit
AZ	Auto-Zeroing
BiCMOS	Bipolar CMOS
CFV	Convertisseur Fréquence Tension
CHS	Chopper Stabilization
CMC	Canadian Microelectronics Corporation
CMOS	Complementary Metal Oxide Semiconductor
CNA	Convertisseur Numérique Analogique
DC	Direct Current
DNL	Differential Non-linearity
ENOB	Effective Number Of Bits
FSM	Finite State Machine
GRM	Groupe de Recherche en Microélectronique
LTRIM	Laser Trimming
MOS	Metal Oxide Semiconductor
NMOS	N-channel Metal Oxide Semiconductor

PMOS	P-channel Metal Oxide Semiconductor
POR	Power On Reset
PSD	Power Spectral Density
S&H	Sample and Hold
SAR	Successive Approximation Algorithm
SDR	Signal to Distortion Ratio
SFDR	Spurious Free Dynamic Range
SNDR	Signal to Noise plus Distortion Ratio
SNR	Signal to noise ratio
TSMC	Taiwan Semiconductor Manufacturing Company
VHDL	Very High Description Language
VLSI	Very Large Scale Integration

CHAPITRE 1

INTRODUCTION

1.1 Motivations et cadre de travail

Avec l'évolution conjointe des technologies de fabrication, des outils de conception de circuits intégrés et des techniques avancées de caractérisation de dispositifs à semi-conducteurs, il est devenu possible de concevoir et d'intégrer dans la même puce de silicium des applications de plus en plus complexes en un temps de plus en plus court.

La conception de cellules analogiques performantes est une étape fondamentale dans la réalisation d'applications de haute précision. Les applications qui utilisent l'amplificateur opérationnel (AO) comme élément actif, tels que les références de tension *bandgap* et les comparateurs de haute résolution, souffrent de plusieurs imperfections qui se classent en deux catégories essentielles.

La première catégorie incorpore les imperfections qui s'observent dans un comportement statique (caractéristiques électriques DC). Elles s'attachent principalement à la tension de décalage d'entrée (*offset*) qui génère une tension de sortie en l'absence de tension différentielle d'entrée. Ces imperfections contribuent, d'une façon significative, à la dégradation des performances de ces applications, notamment si elles sont fabriquées en une technologie à basse tension d'alimentation.

La seconde catégorie regroupe les imperfections en régime dynamique (caractéristiques électriques AC). Dans le cas de signaux de faible amplitude, elles sont dues à la limitation de la bande passante de l'AO paramétrée par son gain en boucle ouverte élevé et sa fréquence de coupure. Pour les signaux de grande amplitude, elles sont dues à la limitation de la vitesse d'évolution de la tension de sortie d'un AO.

Une partie de ce mémoire de maîtrise s'intéresse exclusivement aux imperfections faisant partie de la première catégorie. Il s'agit de développer une technique qui sert à auto-compenser la tension de décalage d'entrée d'un AO CMOS, tout en respectant les contraintes de performance conditionnées par les spécifications des applications de haute précision, telles qu'une basse tension d'alimentation, une faible consommation d'énergie, un faible bruit, une grande plage dynamique, etc.

Durant la dernière décennie, des efforts considérables ont été consacrés à la réduction de la tension d'alimentation et à la réduction de la consommation d'énergie des systèmes CMOS mixtes analogiques/numériques. Cela est dû essentiellement à la tendance actuelle du marché des systèmes électroniques à l'intégration et à la miniaturisation des circuits intégrés. Cependant, les conséquences de ces réductions sont différentes selon la nature des circuits.

D'une part, les circuits numériques à basse tension d'alimentation et à faible consommation d'énergie peuvent facilement atteindre d'excellentes performances fonctionnelles, tels qu'un très bon rapport signal sur bruit (SNR) et une très grande

résolution. En plus de ça, la taille de la partie numérique est réduite radicalement grâce à la réduction des tailles des blocs fonctionnels.

D'autre part, les circuits analogiques à base d'amplificateur opérationnel, à basse tension d'alimentation et à faible consommation d'énergie ne peuvent pas être conçus en utilisant des tailles minimales des transistors pour des raisons de gain, tension de décalage d'entrée, bruit, plage dynamique de sortie, temps d'établissement, etc. Par conséquent, la surface de la partie analogique ne peut pas être réduite significativement avec la réduction d'échelle des technologies.

La solution retenue généralement est d'utiliser une approche mixte analogique/numérique. Une partie du circuit est réalisée en analogique, tandis que l'autre partie est réalisée en numérique.

Le premier objectif du présent mémoire de maîtrise a porté sur le développement d'une technique numérique qui sert à auto-calibrer un AO CMOS. Étant donné que la tension de décalage d'entrée d'un AO peut être positive ou négative selon la dispersion technologique sur la paire différentielle, le circuit numérique doit être en mesure de prendre en compte cette polarité. La technique proposée exploite un algorithme d'approximations successives (SAR). Cet algorithme raffine graduellement une estimation du courant qui doit être injecté à la sortie de l'une des deux colonnes de l'étage différentiel de l'AO. La colonne distinguée est celle qui est à l'origine de la déviation de la sortie de l'AO par rapport à son point de polarisation.

Il est évident de remarquer que cette technique utilise une caractéristique non-linéaire de compensation, puisqu'il s'agit bel et bien d'une technique numérique. De ce fait, la sensibilité de l'AO aux erreurs de contrôle pourra être potentiellement réduite, à condition que la tension de décalage d'entrée initiale soit relativement faible. Ces erreurs de contrôle sont dues par exemple à l'injection de charge induite par les commutateurs analogiques, l'erreur de non-linéarité différentielle (DNL) d'un convertisseur, etc. L'application de méthodes de conception adéquates, tel que la possibilité de s'affranchir des gradients d'oxyde en dessinant les transistors d'entrée sous forme croisée, pourra contribuer à l'obtention d'une tension d'entrée initiale relativement faible.

Les résistances ainsi que d'autres composants passifs continuent à maintenir leur importance dans tout type de circuits analogiques intégrés. Les propriétés les plus importantes de ces dispositifs sont la linéarité (leur fidélité à la loi d'Ohm, par exemple), la stabilité thermique (leurs coefficients thermiques et la reproductibilité de leurs caractéristiques après un nombre de cycles thermiques, en particulier), les capacités parasites et les courants de fuite associés au type d'isolation utilisé. La deuxième partie de ce mémoire de maîtrise s'intéresse exclusivement aux résistances intégrées dans un substrat de silicium et en technologie CMOS.

Sur la technologie Silicium standard, les résistances intégrées en silicium polycristallin sont formées en "double-poly". L'intégration de ce type de composant sur la même puce de silicium est désormais difficile à cause de leur taille encombrante. Grâce au développement des techniques de laser en milieu industriel, de nombreuses

perspectives à la fois industrielles et scientifiques sont ouvertes, notamment dans le domaine de la microélectronique. Le mode d'interaction laser-matière commence à faire l'objet de nombreuses études scientifiques dont l'objectif est une meilleure compréhension des mécanismes de diffusion thermique dans les matériaux après l'injection d'énergie sur des durées d'impulsions courtes.

C'est dans cette perspective que la société montréalaise Technologies-LTRIM en collaboration avec l'École Polytechnique de Montréal a développé une nouvelle

technique de diffusion par impulsion laser. Cette technique est destinée à la création de résistances diffusées directement dans le silicium qui sont à la fois précises et stables en températures. Il a été prouvé expérimentalement que, d'une part, cette technique est parfaitement compatible avec les procédés CMOS conventionnels, et d'autre part, des résistances de valeurs allant de 100Ω jusqu'à quelques $M\Omega$ peuvent être aisément formées avec une précision d'environ 50ppm [24].

Le deuxième objectif du présent mémoire de maîtrise a porté sur la conception de structures analogiques intégrées pour la caractérisation d'un procédé de création de résistance diffusée grâce à des impulsions laser. Ce travail s'inscrit dans le cadre d'un projet d'amélioration de la technologie LTRIM des résistances diffusées par impulsion laser, et est réalisé par notre équipe du GRM en étroite collaboration avec le département de génie physique de l'École Polytechnique de Montréal et le soutien de l'équipe technique de la société Technologies-LTRIM.

Dans ce mémoire de maîtrise, nous nous intéressons exclusivement à la technologie CMOS 0.18 micron standard à six niveaux de métal. Cette restriction se justifie par le constat que, d'une part, l'immense majorité des circuits intégrés actuels utilisent la technologie CMOS 0.18 micron, et d'autre part, cette technologie se distingue par une maturité accrue notamment dans les milieux universitaires.

1.2 Plan du Manuscrit

Ce manuscrit comporte cinq chapitres dont nous esquissons une brève description dans les lignes suivantes.

Le chapitre 2 présente un aperçu des techniques usuelles d'autocorrection de la tension de décalage d'entrée d'un AO. Ce chapitre couvre à la fois les techniques de base qui utilisent, dans la majorité des cas, une caractéristique linéaire de compensation, et les techniques numériques qui utilisent évidemment une caractéristique non-linéaire de compensation. Tout d'abord, il met l'accent sur les approches classiques et passe en revue les deux techniques de base les plus fréquemment utilisées qui sont *Autozeroing* et *Chopper Stabilization*. Ensuite il aborde les motivations qui ont favorisé le développement des techniques numériques d'autocorrection, notamment au niveau de la réduction à la fois de la tension d'alimentation et de la consommation d'énergie des systèmes CMOS mixtes analogiques/numériques. Enfin, le chapitre achève par la présentation de deux techniques numériques intéressantes qui ont fait l'objet de publication ces dernières années.

La technique proposée est analysée de manière approfondie au chapitre 3. Ce chapitre expose les aspects qui distinguent cette technique des approches existantes. Il décrit aussi le concept de base utilisé pour auto-compenser l'AO. Il contient également la description ainsi que la fonction de chaque bloc qui intègre la chaîne de compensation implémentée. Il regroupe aussi les résultats de simulation ainsi que les résultats expérimentaux obtenus avec les deux prototypes réels implémentés dans un ASIC. Finalement, il présente en perspective les perfectionnements qui pourront être apportées à cette approche afin d'améliorer davantage ses performances.

Le chapitre 4 porte sur la caractérisation d'un procédé de création de résistances diffusées par impulsion laser. Il propose d'abord une brève introduction au procédé LTRIM suivi des motivations qui ont abouti à la réalisation de ce projet. Ensuite, il décrit en détail quelques structures analogiques intéressantes conçues et implémentées par notre équipe du GRM et qui, une fois la puce est fabriquée, vont servir à mieux caractériser ce type de dispositif. Finalement, il dresse un bilan des travaux futurs.

Enfin, le chapitre 5 fournit un bilan complet des activités effectuées dans le cadre de ce mémoire de maîtrise. En guise de conclusion, nous rappelons l'essentiel des travaux réalisés ainsi que les résultats de mesure obtenus sur les prototypes fabriqués.

CHAPITRE 2

ÉTAT DE L'ART

2.1 Introduction

La tension de décalage d'entrée est considérée l'un des principaux défauts d'un amplificateur opérationnel réel (AOR). Pour des forts gains en tension et/ou des faibles tensions d'entrée, il faut en tenir compte. Il convient de mentionner que dans le régime de fonctionnement linéaire d'un AO sans correction et réalisé en technologie CMOS, la tension de décalage d'entrée typique se positionne dans une plage de ± 5 mV. L'origine de cette tension de décalage est multiple.

Premièrement, les variations inévitables, présentes dans presque tous les procédés technologiques de fabrication, sont à l'origine du non-appariement de deux composants de caractéristiques électriques supposées identiques, tels que les paires différentielles et les transistors des charges actives, en particulier. Ces variations sont dues essentiellement aux inhomogénéités du procédé technologique, tant du point de vue des paramètres électriques telles que la transconductance et la tension de seuil, que de celui des paramètres technologiques telle que l'uniformité du dopage des transistors pendant la phase de fabrication par exemple. Il s'agit d'une tension de décalage aléatoire.

Deuxièmement, il existe une incertitude sur la définition exacte du potentiel de sortie de l'étage de puissance d'un AO. Cette incertitude provient du fait que le

choix par le concepteur du point de polarisation d'un AO dépend largement de l'application où cet AO sera introduit, tel que le choix d'une tension de polarisation en mode commun adéquate par exemple. Certaines composantes de la tension de décalage comme celle qui découle de la tension de polarisation des entrées tendent à produire un décalage systématique.

Dans la pratique de conception d'un amplificateur opérationnel, la déviation de la tension de sortie, due à la tension de décalage systématique, est usuellement faible et pourra être nettement réduite par l'application de méthodes de conception adéquates. D'ailleurs, c'est au concepteur d'identifier les performances de l'AO et de les adapter aux besoins de son application. Contrairement à la tension de décalage aléatoire, où la déviation de la tension de sortie est incontournable malgré l'existence de techniques de dessin des masques appropriées qui permettent d'effectuer un bon appariement des composants de caractéristiques électriques identiques. La création de composants qui utilisent des géométries identiques améliore l'appariement en permettant aux structures similaires de subir les mêmes distorsions géométriques.

Finalement, la tension de décalage d'entrée d'un AO réel dépend à la fois de la température et du temps. La dérive typique de cette tension en température est de l'ordre de quelques μVolts par degré Celsius ($\mu\text{V}/^{\circ}\text{C}$). Alors que sa dérive dans le temps est de l'ordre de quelques μVolts par mois ($\mu\text{V}/\text{mois}$). Les principaux composants vulnérables aux effets de la température et du temps sont les paires

différentielles, les transistors des charges actives et les sources de courants. Pour minimiser l'impact de cette déviation sur les performances des applications à base d'AO, en particulier les applications de haute précision, le circuit de correction doit posséder une fonctionnalité qui lui permet d'effectuer un calibrage périodique ou du moins à intervalles réguliers. Avec cette fonctionnalité, les montages à base d'AO pourront être moins sensibles aux variations de ces deux facteurs importants.

Durant ces dernières années, de nombreuses recherches ont été consacrées au développement des techniques d'autocorrection qui permettent la réduction des imperfections d'un AO. Ces recherches ont conduit à l'apparition de plusieurs approches qui peuvent être classées en deux catégories essentielles.

La première catégorie concerne les techniques qui utilisent dans la plupart des cas une caractéristique linéaire de compensation, par exemple un circuit "Échantillonneur/Bloqueur" (É/B) ou une fonction de "modulation", et qui sont basées sur des principes analogiques. Alors que la seconde catégorie inclut celles qui utilisent une caractéristique non-linéaire de compensation, tel qu'un algorithme dédié par exemple, et qui sont fondées sur des principes numériques.

La prochaine section expose les techniques de base qui se classent dans la première catégorie. Elle met en évidence les deux techniques les plus fréquemment utilisées qui sont *Autozeroing* (AZ) et *Chopper Stabilization* (CHS). Les techniques de la deuxième catégorie seront présentées à l'avant dernière section.

2.2 Techniques classiques

On présente dans cette section les principes de base des deux techniques classiques que sont AZ et CHS. Ces deux techniques se distinguent par le fait que AZ est une technique d'échantillonnage, alors que CHS est une technique de modulation. Cette principale distinction prend en considération les effets de ces deux approches sur les imperfections à large bande d'un AO.

2.2.1 Technique *Autozeroing*

Le principe de base de la technique AZ est illustré à la figure 2.1. Le processus de cette technique s'effectue en deux phases principales.

La première phase (ϕ_1) réalise l'échantillonnage suivi de l'accumulation des imperfections de l'AO qui se composent à la fois de la tension de décalage d'entrée (V_{os}) et du potentiel de bruit (V_N) généré par son étage de sortie. Pendant cette phase, l'amplificateur est déconnecté des chemins du circuit et ses entrées différentielles sont court-circuitées et forcées à un mode commun approprié. Ensuite, ces imperfections sont neutralisées ou du moins réduites à une valeur aussi petite que désirée, au moyen d'un port d'entrée (N) auxiliaire de compensation et d'une configuration de rétroaction appropriée ou grâce à un algorithme dédié. Le résultat de cette phase est une variable de contrôle (x_c) échantillonnée et conservée soit sous une forme analogique à l'aide d'un É/B par exemple ou sous une forme numérique à l'aide d'un registre.

La deuxième phase (ϕ_2) est celle de l'amplification. Pendant cette phase, les entrées différentielles de l'AO sont reconnectées de nouveau aux chemins du circuit et l'amplificateur reprend son mode normal d'opération. Cependant, s'il est utilisé sous les mêmes conditions que celles durant la phase d'échantillonnage, l'AO sera idéalement dégagé de toutes les imperfections qui sont présentes aussi bien à ses entrées qu'à sa sortie, tels que la tension de décalage d'entrée et le bruit instantané de basse fréquence généré par l'étage de sortie (bruit $1/f$).

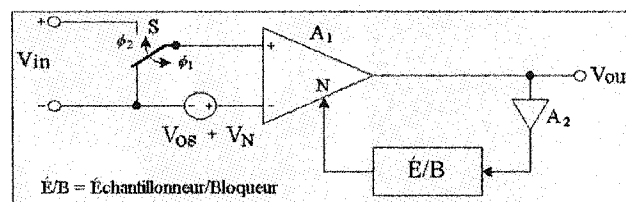


Fig. 2.1. Principe de base de la technique *Autozeroing*.

Contrairement à la tension de décalage d'entrée qui peut être considérée constante, le bruit généré par l'étage de sortie d'un AO et plus particulièrement sa composante thermique est non seulement aléatoire mais aussi variable dans le temps. En conséquence, l'efficacité du processus AZ vis à vis de la réduction du bruit de basse fréquence (bruit $1/f$), dépend amplement de la corrélation entre la composante échantillonnée et celle instantanée. La littérature reportée dans [9] laisse entendre que l'autocorrélation entre deux échantillons du bruit de scintillation (bruit $1/f$), séparés par un intervalle de temps " τ ", décroît plus lentement que celle du bruit blanc, lorsque ce même intervalle de temps s'élargit.

Cependant, le processus AZ s'avère efficace pour réduire les imperfections à basse fréquence d'un AO, tels que la tension de décalage d'entrée et le bruit $1/f$, mais il

reste inefficace à l'égard des imperfections à haute fréquence notamment le bruit blanc. Une analyse à base de fonctions de transfert de la densité spectrale de puissance (PSD) relative au processus AZ permet de confirmer ce résultat.

La PSD ($S_{AZ}(f)$) peut être exprimée de la façon suivante [9]:

$$S_{AZ}(f) = |H_0(f)|^2 S_N(f) + S_{fold}(f) \quad (2.1)$$

La fonction de transfert $|H_0(f)|^2$ de la bande de base est donnée par l'équation (2.2), où $d \equiv T_h/T_s$ est le facteur d'utilisation du signal d'horloge, T_h est la période de temps de maintien relatif à la phase d'amplification et T_s est la période d'échantillonnage.

$$|H_0(f)|^2 = d^2 \left\{ \left[1 - \frac{\sin(2\pi f T_h)}{2\pi f T_h} \right]^2 + \left[\frac{1 - \cos(2\pi f T_h)}{2\pi f T_h} \right]^2 \right\} \quad (2.2)$$

La composante de repli résultant de la superposition des subdivisions (multiples entiers de la fréquence d'échantillonnage) du spectre original, est donné par la formule suivante [9]:

$$S_{repli}(f) \equiv \sum_{n=-\infty}^{+\infty} |H_n(f)|^2 S_N(f - \frac{n}{T_s}); \text{ pour } n \neq 0 \quad (2.3)$$

Les fonctions de transfert $|H_n(f)|^2$ (pour $n \neq 0$) relatives au repliement sont données par l'équation (2.4) dans laquelle "n" est l'ordre des harmoniques du spectre original.

$$|H_n(f)|^2 = d^2 \left\{ \left[\frac{\sin \alpha}{\alpha} - \frac{\sin \beta}{\beta} \right]^2 + \left[\frac{1 - \cos \alpha}{\alpha} - \frac{1 - \cos \beta}{\beta} \right]^2 \right\} \quad (2.4)$$

avec $\alpha \equiv 2\pi d n$, $\beta \equiv 2\pi d f T_s$

La figure 2.2 représente le tracé de la fonction de transfert $|H_0(f)|^2$ normalisée au facteur d'utilisation d (tracé en ligne continue). On y remarque qu'un zéro est imposé à l'origine de l'axe des fréquences, ce qui se traduit par une annulation de toute composante DC présente à la sortie de l'AO durant la phase de compensation.

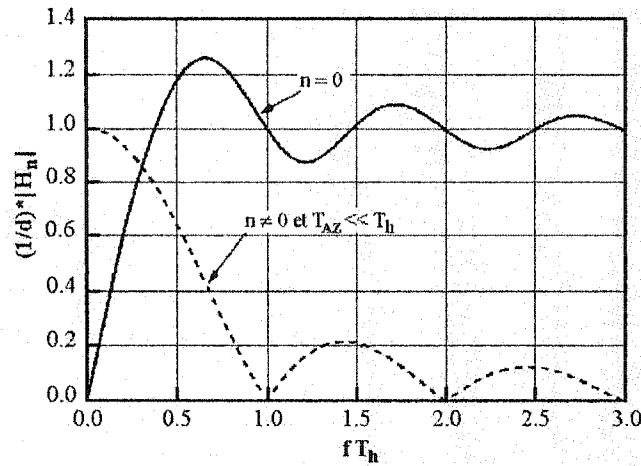


Fig. 2.2. Fonctions de transfert de la bande de base et du composant de repli.

Il convient de noter que les fonctions de transfert $|H_n(f)|^2$ (pour $n \neq 0$) dépendent également du facteur d'utilisation du signal d'horloge, mais convergent vers une fonction commune (tracé en ligne discontinue à la figure 2.2) dans le cas où le temps d'échantillonnage (phase ϕ_1) serait considéré très faible par rapport à celui de l'amplification (phase ϕ_2).

Ce résultat met en évidence l'inefficacité du processus AZ à réduire les imperfections à large bande d'un AO, dominées dans la plupart des cas par le repliement du bruit blanc.

2.2.2 Technique *Chopper Stabilization*

Le principe de base de la technique CHS est illustré à la figure 2.3. Il s'agit d'une technique de modulation qui s'applique au moyen de plusieurs fonctions de base telles que la fonction "modulation", la fonction "amplification", la fonction "démodulation" et la fonction "filtrage". Par multiplication temporelle de deux signaux, la fonction "modulation" permet de transposer le signal à moduler (V_{in}) à une plus haute fréquence, appelée fréquence *chopper*. À l'entrée de l'amplificateur, il en résulte un signal double et translaté vers les fréquences d'harmoniques impaires, auquel s'ajoutent les imperfections en bande de base, principalement la tension de décalage d'entrée et le potentiel du bruit $1/f$. Ensuite, le signal amplifié issu de l'AO est converti en bande de base par une fonction "démodulation", et est filtré au moyen d'un filtre passe-bas (la fonction "filtrage").

Les imperfections de l'AO sont modulées une seule fois à travers la chaîne d'autocorrection. En conséquence, à la sortie du démodulateur, elles sont portées aux fréquences harmoniques impaires, de sorte qu'idéalement et après filtrage, l'AO est débarrassé de tout signal indésirable.

Une analyse à base de fonctions de transfert de la densité spectrale bilatérale de puissance relative au processus CHS, permet de mettre en évidence l'effet de cette technique de modulation sur les imperfections d'un AO.

La densité spectrale bilatérale de puissance ($S_{CS}(f)$) peut être exprimée de la façon suivante [9]:

$$S_{CS}(f) = \left(\frac{2}{\pi}\right)^2 \sum_{n=-\infty}^{+\infty} \left(\frac{1}{n^2}\right) S_N\left(f - \frac{n}{T}\right); \text{ pour } n \text{ impair} \quad (2.5)$$

Le tracé de la PSD de sortie, résultant de la fonction de "démodulation" à travers la chaîne d'autocorrection, est représenté à la figure 2.4. Ce tracé est obtenu en considérant, d'une part, exclusivement les harmoniques d'ordre 1, -1, 3 et -3, et d'autre part, une fréquence de coupure de l'AO cinq fois supérieure à celle de la modulation *chopper*. Notons que "n" est l'ordre des harmoniques.

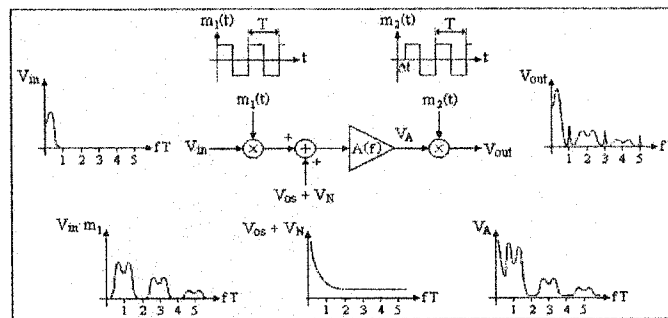


Fig. 2.3. Principe de base de la technique *Chopper*.

L'analyse de ce résultat montre que, contrairement à la technique AZ, la technique CHS n'introduit pas des repliements dans le spectre du bruit à large bande de l'AO. Cela est dû au fait que les imperfections de l'AO ne sont ni échantillonnées ni bloquées, mais plutôt transposées périodiquement, tout en gardant leurs propriétés générales dans le domaine temporel. Il convient également de souligner que les subdivisions du spectre original translatées vers les harmoniques impaires de la

fréquence *chopper*, sont multipliées par le facteur $1/n^2$ (voir équation (2.5)), de sorte que leur contribution à la bande de base décroît très rapidement.

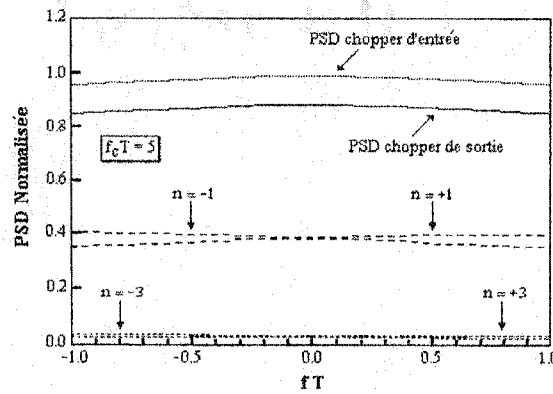


Fig. 2.4. PSD *chopper* de sortie du bruit blanc après filtrage.

Rappelons la condition sur la fréquence *chopper*, imposée par le théorème de Nyquist:

$$F_{chopper} \geq 2.F_{max} \quad (2.6)$$

Où F_{max} est la fréquence maximale du signal à moduler. Cette condition permet d'éviter une perte d'information due au recouvrement des spectres.

2.3 Justification du choix d'une méthode numérique

La contrainte de réduire la consommation d'énergie est longtemps demeurée secondaire dans la conception des circuits intégrés, contrairement à d'autres performances telles que la plage dynamique de sortie et la vitesse d'exécution, considérées en tant que cibles primordiales à atteindre.

Néanmoins, durant ces dernières années, l'accroissement du nombre de blocs fonctionnels réalisés sur la même puce de silicium, ainsi que les contraintes de performance imposées par les spécifications des applications de haute précision

(basse tension d'alimentation, faible bruit, une dynamique de sortie étendue, etc.), ont encouragé les concepteurs de circuits intégrés à utiliser des méthodes de conception qui permettent la réduction de la consommation d'énergie.

2.3.1 Considérations technologiques

Dans la technologie moderne des circuits intégrés à très grande échelle (circuits VLSI), la réduction de la consommation d'énergie est en partie obtenue par la réduction des tensions d'alimentations [6]. Toutefois, dans le cas des circuits analogiques, la réduction de la tension d'alimentation ne permet pas nécessairement la réduction de la consommation d'énergie. Par contre, c'est en général vrai pour les circuits intégrés mixtes analogiques/numériques, où la majorité du circuit est numérique.

Étant donné que la technologie CMOS se dirige vers des tailles sous-microniques, l'épaisseur de l'oxyde d'un composant MOS décroît en conséquence. Pour éviter des ruptures de jonctions p-n et des oxydes de grille, l'intensité du champ électrique doit être réduite. Puisque la longueur du canal est réduite à des dimensions sous-microniques et que l'épaisseur grille-oxyde n'est plus que de quelques nanomètres, la tension d'alimentation doit être réduite afin d'assurer la fiabilité des composants intégrés.

En réalité, la réduction de la tension d'alimentation est non seulement indispensable mais aussi désirable. Dans la conception des circuits numériques CMOS (*complementary metal oxide semiconductor*) avec un niveau de commutation élevé, la puissance dissipée est principalement de type dynamique. Elle est nécessairement

associée à la charge ou la décharge des capacités soumises à des variations de tension pendant les changements d'état logique. L'expression de la dissipation de puissance dynamique est généralement mise sous la forme suivante [5]:

$$P_{\text{dyn}} \cong C \Delta V^2 f_s \quad (2.7)$$

Où ΔV est l'excursion de tension, f_s est la fréquence du fonctionnement considérée et C est la capacité équivalente de charge ramenée à la sortie.

Dans la plupart des circuits numériques, les tensions représentant les états "haut" et "bas" coïncident avec les extrémités de l'alimentation (V_{DD} et V_{SS}). Par conséquent, le facteur de tension ΔV (voir équation (2.7)) est égal à V_{DD} . Étant donné que la puissance est proportionnelle au carré du facteur de tension ΔV , le fait d'abaisser ce facteur de 5V à 3V par exemple, entraîne une réduction de la dissipation de puissance par un facteur d'environ "2.8". Ce résultat est important, non seulement en terme de baisse de la dissipation de puissance totale, mais aussi en terme de densité de la dissipation de puissance qui, pour un processus sous-microniques, permet l'intégration d'un nombre considérable de fonctions sur une même puce de silicium. L'un des effets incontestables résultant de l'utilisation des tailles sous-microniques est que les capacités parasites commutées contribuant au facteur C dans l'équation (2.7) sont plus petites et par conséquent la dissipation de puissance est plus faible.

Dans la conception des circuits analogiques, les implications d'une baisse de la tension d'alimentation sont particulièrement remarquables. Dans ce cas, une variété

de contraintes pourrait aboutir à un compromis plutôt qu'à un objectif voulu. Les limitations de la conception des circuits intégrés analogiques à basse tension d'alimentation et à faible consommation d'énergie dépassent le cadre de ce travail.

Cependant, une conception orientée mixte analogique/numérique semble être le moyen le plus efficace de réduire la consommation d'énergie dans les circuits intégrés à très grande échelle.

2.3.2 Considérations méthodologiques

Considérons d'abord deux cas extrêmes représentés à la figure 2.5. Il s'agit d'une large tension de décalage d'entrée initiale dans le premier cas [Fig. 2.5(a)], et d'une faible tension de décalage d'entrée initiale dans le deuxième cas [Fig. 2.5(b)].

Soit x_c une variable de contrôle qui exprime une tension ou un courant devant être compensé au moyen d'un port d'entrée (N) auxiliaire de compensation et Δx_c est l'erreur associée à cette variable de contrôle. Supposons également que la correction de la tension de décalage d'entrée peut se faire soit au moyen d'une caractéristique linéaire de compensation (courbe en ligne continue), désigné par V_{os-lin} sur la figure 2.5 ou par l'intermédiaire d'une caractéristique non-linéaire de compensation (courbe en ligne discontinue), désigné par V_{os-NL} sur la même figure 2.5.

On désigne par ΔV la différence entre la tension de décalage d'entrée initiale et la tension relative au point où le gain incrémental de la caractéristique non-linéaire de compensation égalise les écarts de la caractéristique linéaire de compensation.

Dans ces conditions, l'analyse du résultat de la figure 2.5 montre que, dans le cas d'une tension de décalage d'entrée initiale supérieure à ΔV , l'erreur résiduelle issue d'une caractéristique non-linéaire de compensation est, de toute évidence, plus élevée que celle issue d'une caractéristique linéaire de compensation [Fig. 2.5(a)].

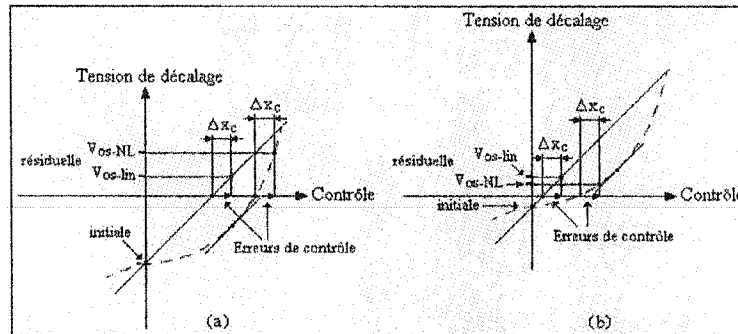


Fig. 2.5. Caractéristiques linéaire et non-linéaire versus la variable x_c de contrôle
(a) large tension de décalage initiale (b) faible tension de décalage initiale.

En contrepartie, dans le cas d'une tension de décalage d'entrée initiale inférieure à ΔV , l'erreur résiduelle issue d'une caractéristique non-linéaire est plus faible que celle issue d'une caractéristique linéaire [Fig. 2.5(b)].

Par conséquent, une caractéristique non-linéaire de compensation tel qu'un algorithme dédié par exemple, peut être potentiellement efficace en terme de réduction de la tension de décalage d'entrée d'un AO, à condition que cette tension soit initialement faible. En effet, cette dernière condition peut véritablement être satisfaite grâce à l'utilisation de techniques de dessin des masques appropriées qui permettent d'effectuer un bon appariement des composants de caractéristiques électriques identiques.

2.4 Techniques numériques

Cette section présente les concepts généraux de deux techniques basées sur une caractéristique non-linéaire de compensation. Ces techniques considèrent l'utilisation d'une structure intéressante, désignée par structure "Ping-Pong", et qui sera brièvement décrite au prochain paragraphe. Ces méthodes sont d'une grande pertinence dans la mesure où elles ont été exploitées en tant que base pour le développement de notre approche exposée au prochain chapitre.

2.4.1 Structure "Ping-Pong"

Le principe de base de la structure "Ping-Pong" est illustré à la figure 2.6. Elle est souvent employée dans les applications en ligne à base d'AO. Il s'agit de deux AO ayant des caractéristiques électriques identiques et contrôlés par une séquence appropriée d'évènements, générée par un algorithme dédié. Cette séquence permet de sélectionner un des AO en le connectant à son application, tandis que l'autre est soumis à une procédure de calibration. Un facteur d'utilisation avoisinant les 100%, peut être obtenu par intervention des fonctions de ces deux AO.

Il convient de souligner que l'ajustement périodique de la tension de décalage d'entrée d'un AO par l'opération "Ping-Pong" rend le schéma employant cette structure insensible aux dérives à la fois en température et avec le temps.

Dans la pratique, la caractéristique transitoire due à l'opération "Ping-Pong", peut être considérée en tant que facteur restrictif associé à l'emploi de cette structure [37].

En effet, ce phénomène transitoire se manifeste d'une façon intrinsèque lors du

passage de l'un ou l'autre des AO du mode de compensation au mode normal d'opération et vice versa.

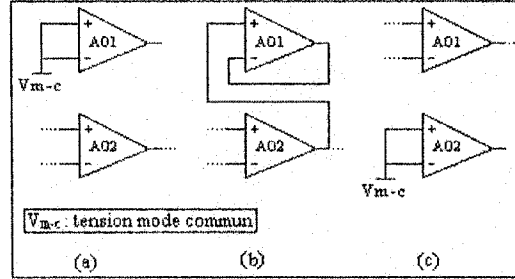


Fig. 2.6. Principe d'opération de la structure Ping-Pong
 (a) AO1 est en mode compensation, AO2 est en mode opération
 (b) AO1 est soumis aux mêmes conditions que celles de AO2
 (c) AO2 est en mode compensation, AO1 est en mode opération.

2.4.2 Technique à base d'un port de compensation en tension

Le principe de base de cette approche est illustré à la figure 2.7. Il s'agit d'une technique à base d'une caractéristique non-linéaire de correction, qui considère l'utilisation de la structure "Ping-Pong" et d'un port d'entrée auxiliaire de compensation en tension. Elle consiste à raffiner une approximation de la tension de polarisation (VC) du transistor MR2 [Fig. 2.7(b)] opérant dans le régime linéaire afin d'ajuster le gain du miroir de courant programmable, donné par l'équation (2.8).

$$A_i = \frac{I_{out}}{I_{in}} \cong \frac{g_{m2}}{g_{m1}} \left(\frac{1 + g_{m1}R_1}{1 + g_{m2}R_2} \right) \quad (2.8)$$

Cependant, la tension de décalage d'entrée de l'AO peut être réduite à une valeur aussi petite que désirée, sachant que la tension de polarisation (VCB) du transistor MR1 [Fig. 2.7(b)] opérant également dans le régime linéaire, est maintenue à une valeur constante.

$$V_{DS} \ll V_{GS} - V_T \quad (2.9)$$

Dans le cas où l'équation (2.9) serait vérifiée, les transistors MR1 et MR2 se comportent en tant que résistances linéaires et variables dont la valeur est donnée par l'équation (2.10).

$$1/R \equiv \mu C_{ox} \left(\frac{w}{l} \right) (V_{GS} - V_T) \quad (2.10)$$

Il est important de souligner que l'efficacité de cette approche dépend amplement de la plage d'ajustement du gain du miroir de courant programmable (voir équation (2.8)), lequel est fonction des dimensions des transistors MR1 et MR2. En effet, une valeur plus faible du facteur (w/l) accroît la valeur de la résistance linéaire, ce qui amplifie davantage la plage d'ajustement du gain du miroir de courant programmable. En conséquence, la plage d'ajustement de la tension de décalage d'entrée de l'AO est à son tour amplifiée.

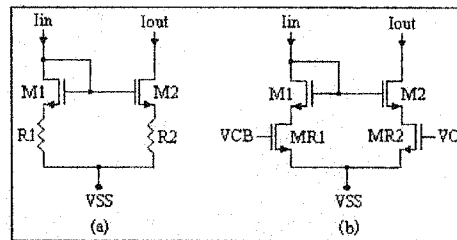


Fig. 2.7. Technique à base d'un port de compensation en tension.

La tension de décalage résiduelle maximale obtenue par les circuits de test employant cette technique, est de l'ordre de $400 \mu V$ [37].

2.4.3 Technique à base d'un port de compensation en courant

Le principe de base de cette approche est illustré à la figure 2.8. Il s'agit d'une technique à base d'une caractéristique non-linéaire de correction, qui considère

l'utilisation de la structure "Ping-Pong" et d'un port d'entrée auxiliaire de compensation en courant. Elle consiste à raffiner une approximation du courant qui doit être injecté à la sortie de l'étage différentiel d'un AO afin de réduire sa tension de décalage d'entrée. Cette correction est accomplie au moyen de deux sources de courant externe à l'AO dont l'une est constante (désignée par I_p à la figure 2.8) et l'autre est variable (désignée par I_{CNA} à la figure 2.8). L'équation (2.11) formule le concept de cette approche [20].

$$I_L = |I_{os}| + I_p - I_{CNA} \quad (2.11)$$

$$\text{avec } I_{os, \max} = I_p = \frac{I_{CNA, \max}}{2} = g_m V_{os, \max}$$

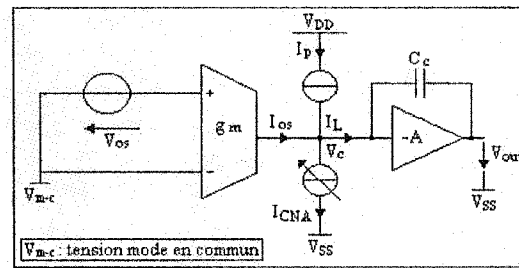


Fig. 2.8. Technique à base d'un port de compensation en courant.

Dans le cas d'un convertisseur numérique analogique (CNA) de résolution N , la tension de décalage résiduelle minimale peut théoriquement s'exprimer de la manière suivante:

$$V_{os, \min} = \frac{V_{os, \max}}{2^N} = \frac{I_p}{2^N g_m} \quad (2.12)$$

Toutefois, l'équation (2.12) montre que l'efficacité de cette approche dépend amplement de la source de courant fixe (I_p) et de la résolution du CNA (N). Cette corrélation affecte de toute évidence le résultat de la correction.

La tension de décalage résiduelle maximale obtenue par les circuits de test employant cette technique est de l'ordre de $200\text{ }\mu\text{V}$ [20].

2.5 Conclusion

Dans ce chapitre, nous avons étudié et examiné de manière unifiée plusieurs techniques concernant la correction de la tension de décalage d'entrée d'un AO. Nous avons d'abord présenté les principes de base de deux techniques classiques qui sont AZ et CHS. Nous avons ensuite examiné les considérations technologiques et méthodologiques qui favorisent le choix d'une méthode numérique. Enfin, nous avons exposé les concepts de base de deux techniques numériques intéressantes basées sur la structure "Ping-Pong". Dans cette section, nous allons examiner brièvement les avantages et les inconvénients de chaque approche ainsi que les aspects qui nous paraissent améliorables.

Bien que les deux approches classiques, AZ et CHS, soient pratiques et faciles à implémenter, elles souffrent de plusieurs limitations en terme de performance. Premièrement, l'injection de charge due aux commutateurs analogiques d'échantillonnage connectés aux chemins du circuit dans le cas du processus AZ, et les non-idéalités associés aux modulateurs avec CHS engendrent une tension de décalage résiduelle qui affecte considérablement le résultat de la compensation.

Deuxièmement, la non-disponibilité du signal de sortie de l'AO au reste de son application, pendant la phase de compensation est un inconvénient majeur de la technique AZ à l'égard des applications en ligne. Finalement, un AO à base de la technique CHS requiert un filtre passe-bas dont la fréquence de coupure est de l'ordre de quelques Hertz, pour pouvoir supprimer ses imperfections préalablement modulées. Toutefois, l'intégration de ce filtre s'avère une tâche difficile, en terme de surface de silicium occupée notamment en technologie CMOS à basse tension d'alimentation.

Néanmoins, il existe des stratégies efficaces [9] qui peuvent être adoptées afin de réduire l'effet de l'injection de charge due aux commutateurs analogiques. Citons particulièrement l'utilisation d'une large capacité en parallèle au port d'entrée de chaque commutateur analogique afin d'assurer l'absorption de la plupart des charges du canal et le choix d'un temps de transition du signal d'horloge assez lent afin d'avantager ce processus d'absorption de charge.

Dans la section finale de ce chapitre, nous avons proposé et examiné deux techniques intéressantes à base d'une caractéristique non-linéaire de compensation. Bien que ces deux approches soient épargnées de la tension de décalage résiduelle générée par l'injection de charge due aux commutateurs analogiques, elles possèdent également des limitations évidentes. Premièrement, elles considèrent l'utilisation de la structure "Ping-Pong", qui requiert un générateur de signal d'horloge constamment actif. En conséquence, cette particularité peut véritablement dégrader l'efficacité des circuits de haute précision, en introduisant un bruit de haute

fréquence indésirable. Deuxièmement, la caractéristique transitoire qui se produit intrinsèquement lors du passage de l'un ou l'autre des AO du mode de compensation au mode normal d'opération et vice versa, peut être considérée en tant qu'un inconvénient majeur associé à l'utilisation de cette structure "Ping-Pong". La réduction de ce phénomène transitoire nécessite l'utilisation de techniques appropriées qui dépassent le cadre de ce mémoire.

CHAPITRE 3

TECHNIQUE DE CORRECTION PROPOSÉE

3.1 Introduction

Dans le chapitre portant sur l'état de l'art, nous avons étudié les concepts de base de plusieurs techniques qui visent à compenser la tension de décalage d'entrée d'un amplificateur opérationnel. Cependant, nous avons vu que ces approches comportent des limitations marquantes qui engendrent des effets déplaisants sur la résolution du processus de correction. Citons notamment la tension de décalage résiduelle due à l'injection de charge générée par les commutateurs analogiques pour le cas des techniques AZ et CHS, et le bruit de haute fréquence généré par le signal d'horloge constamment actif pour les deux techniques numériques à base de la structure "Ping-Pong".

L'apport principal de la technique proposée est de fournir des solutions à ces limitations. Il s'agit d'une technique à base d'une caractéristique non-linéaire de compensation et qui considère l'utilisation d'un algorithme d'approximations successives. Ce dernier raffine graduellement une estimation du courant de décalage qui doit être injecté à la sortie de l'étage différentiel d'un AO CMOS afin de compenser sa tension de décalage d'entrée. Rappelons que cette tension de décalage résulte principalement du non-appariement de deux composants de caractéristiques électriques identiques, telles que les entrées différentielles et les charges actives.

L'originalité de cette technique réside dans l'utilisation d'un générateur de signal d'horloge intégré sur puce. Ce générateur est actif uniquement pendant la phase de compensation de l'AO afin de fournir un environnement séquentiel au bloc numérique de correction. En conséquence, cette stratégie élimine de toute évidence le bruit de commutation produit par un générateur de signal d'horloge lorsque l'AO est dans son mode normal d'opération. Ceci est particulièrement intéressant pour les applications de haute précision telles que les références de tension *bandgap* et les comparateurs de haute résolution.

Toutefois, il est parfois intéressant d'offrir plus de contrôle au concepteur d'applications à base d'AO, en particulier en ce qui concerne les spécifications fonctionnelles d'un système de calibration automatique en termes topologiques. Si de telles conventions doivent être considérées en tant qu'une discipline de conception, le concepteur devra être en mesure de définir avec précision les intervalles de temps auxquels un processus d'autocorrection pourra avoir lieu.

C'est pour cette raison que nous avons décidé de doter notre système d'un signal de re-calibration (Start). En effet, ce signal pourra être activé d'une manière asynchrone et interactive au moyen d'une structure physique adéquate, tel qu'un circuit de remise à zéro par exemple. Un tel signal permet de définir les instants appropriés auxquels un cycle de compensation peut être initié lorsqu'il est sollicité ou désiré. Avec cette fonctionnalité, notre circuit de correction de la tension de décalage d'entrée, pourra être considéré quasiment insensible aux dérives à la fois en température et avec le temps.

Toutefois, ces améliorations en terme de performance sont accomplies au prix d'une surface de silicium supplémentaire et raisonnable attribuée à l'implémentation d'un générateur de signal d'horloge à l'intérieur du boîtier.

Dans la prochaine section, nous allons décrire en détail le concept de base sur lequel repose notre méthode de correction. Cette description est basée sur les composants petits signaux dégagés du modèle classique d'un miroir de courant simple à base de transistors MOS.

3.2 Concept de base

Étant donné que l'étage différentiel a une contribution dominante sur la tension de décalage d'entrée d'un AO, la chaîne de compensation doit être en mesure de corriger tout type de déséquilibre qui peut être observé à cet étage. Citons notamment les déséquilibres qui peuvent être observés aux niveaux d'une paire différentielle et d'un miroir de courant.

Le concept de base de la technique de correction proposée est plus facilement compris en partant de l'hypothèse où un déséquilibre est observé au niveau d'un miroir de courant simple employé dans l'étage différentiel. La formulation de la tension de décalage d'entrée peut être aisément obtenue grâce au modèle petit signal de ce miroir de courant.

Pour définir le modèle petit signal d'un miroir de courant à base de transistors MOS, on utilise une linéarisation des équations de chaque transistor autour de son point de polarisation. Le modèle dégagé dans cette section concerne la zone dite de saturation

du transistor, la plus fréquemment utilisée. La figure 3.1 illustre le modèle petit signal d'un miroir de courant simple de type NMOS. Toutefois, cette analyse pourra facilement être appliquée à un miroir de courant simple à base de transistors PMOS.

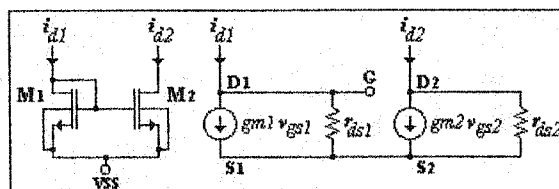


Fig. 3.1. Modèle petit signal d'une charge active NMOS.

Rappelons qu'un miroir de courant est un montage utilisé très fréquemment dans les circuits à transistor MOS. En effet, grâce à l'impédance d'entrée infinie en continu des transistors MOS, il est possible de contrôler des courants entre les colonnes du miroir avec une bonne précision. Les miroirs de courants se retrouvent aussi bien dans la polarisation des différents étages des amplificateurs opérationnels que dans d'autres montages plus spécifiques, tels que les étages différentiels CMOS. Dans ce dernier cas, un miroir de courant est employé dans le premier étage d'un AO en tant que charge active à l'égard de la source de courant qui alimente cette structure différentielle.

Dans un premier temps, on néglige les capacités parasites intrinsèques associées à chacun des transistors du modèle de la figure 3.1. Dès lors, nous avons la relation suivante:

$$v_{gs1} = v_{gs2} = v_{ds1} \quad (3.1)$$

En utilisant l'expression (3.1), les courants de drain des deux transistors M1 et M2 peuvent se mettre sous la forme approximative suivante:

$$i_{d1} = g_{m1} \cdot v_{ds1} + \frac{v_{ds1}}{r_{ds1}} \quad (3.2)$$

$$i_{d2} = g_{m2} \cdot v_{ds1} + \frac{v_{ds2}}{r_{ds2}} \quad (3.3)$$

En se référant aux équations (3.2) et (3.3), on en déduit facilement l'expression suivante:

$$\frac{v_{ds2}}{v_{ds1}} = \left(g_{m1} \cdot r_{ds2} + \frac{r_{ds2}}{r_{ds1}} \right) \frac{i_{d2}}{i_{d1}} - g_{m2} \cdot r_{ds2} \quad (3.4)$$

Le résultat fourni par l'équation (3.4) est important dans la mesure où il exprime le gain intrinsèque en tension du miroir de courant illustré à la figure 3.1. En effet, il est évident que ce gain en tension est fonction des propriétés électriques des transistors M1 et M2, qui sont les transconductances g_{mi} ($i = 1, 2$) et les résistances drain-source r_{di} ($i = 1, 2$). De plus, chacun de ces paramètres dépend nécessairement du courant de drain du transistor auquel il est associé.

Dans un deuxième temps on suppose que le gain en tension, donné par l'équation (3.4), est quasiment linéaire au voisinage de l'unité. À l'égard de cette approximation de premier ordre, l'équation (3.4) peut être représentée de la manière indiquée à la figure 3.2.

Étant donné que l'obtention d'un appariement parfait entre deux composants de caractéristiques électriques identiques est pratiquement impossible, on peut

distinguer les deux cas de figure suivants. Premièrement, le non-appariement est du côté du transistor M1. Dans cette condition particulière, le gain en tension du miroir de courant de la figure 3.1 est inférieur à l'unité. Et par conséquent, le courant de drain (i_{d1}) du transistor M1 est plus élevé que celui de M2. Deuxièmement et par symétrie, lorsque le non-appariement est de côté du transistor M2, ce même gain en tension devient supérieur à l'unité. Ce qui fait que le courant de drain (i_{d2}) de M2 devient à son tour supérieur à celui de M1.

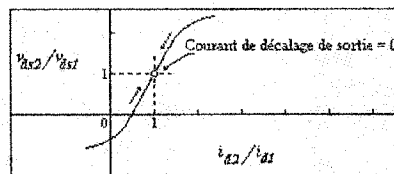


Fig. 3.2. Gain en tension fonction du rapport des courants de drain.

Supposons que ce miroir de courant simple est employé dans l'étage différentiel d'un AO en tant que charge active. La figure 3.2 montre que conformément à la direction du non-appariement, c'est à dire du côté de M1 ou de M2, il est possible de compenser le courant de décalage à la sortie du premier étage de l'AO de sorte que le gain en tension de sa charge active soit égal à l'unité (voir équation (3.5)). Si une telle condition est satisfaite, les tensions drain-source des deux transistors montés en charge active (M1 et M2) seront nécessairement identiques, et par conséquent, les deux courants de drain le seront également [36].

$$\frac{v_{ds2}}{v_{ds1}} = 1 \Rightarrow i_{d2} = i_{d1} \quad (3.5)$$

Pour satisfaire le critère dicté par l'équation (3.5), plusieurs solutions de réalisation existent. Une solution simple et pratique a été adoptée. Elle consiste à injecter du courant à la sortie du premier étage d'un AO afin de corriger sa tension de décalage d'entrée. Cette solution est réalisée à l'aide d'un convertisseur numérique analogique (CNA) à poids pondérés, opérant en mode courant et contrôlé par un bloc numérique synchrone de correction. En effet, conformément à la direction du non-appariement, ce CNA peut être automatiquement connecté à la colonne de gauche ou de droite de l'étage différentiel d'un AO, comme illustré à la figure 3.3.

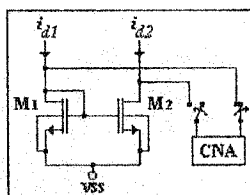


Fig. 3.3. Concept d'autocorrection à base d'un CNA en mode courant.

Supposons le cas d'un AO qui opère dans le régime de fonctionnement linéaire. Dans cette condition particulière, si la tension drain-source du transistor M1 (Fig. 3.3) est supérieure à celle de M2, pour des raisons de non-appariement, alors le CNA doit être connecté au drain du transistor M1 afin d'absorber le courant qui corrige le décalage observé. Par symétrie, ce même CNA doit être connecté au drain du transistor M2 dans le cas contraire.

La méthode proposée non seulement compense globalement tous les déséquilibres qui peuvent être observés au niveau de l'étage d'entrée d'un AO, mais elle est aussi capable de compenser la plupart des déséquilibres ou erreurs dans les étages subséquents. En effet, il est généralement possible de ramener une erreur dans les

étages suivants à un déséquilibre équivalents à l'étage d'entrée de l'AO. Une description générale au niveau système et à base du présent concept, fera l'objet de la prochaine section.

3.3 Description générale au niveau système

Le diagramme bloc de l'ensemble du système implémenté est illustré à la figure 3.4. Il est composé de six blocs principaux que nous pouvons identifier sur la chaîne de compensation: un amplificateur opérationnel (AO) qui devra être compensé en tension de décalage d'entrée, un comparateur de niveaux, un synchroniseur, un générateur interne de signal d'horloge, un bloc numérique synchrone de correction et finalement, un convertisseur numérique analogique (CNA) à poids pondérés et opérant en mode courant. On distingue également un ensemble de commutateurs analogiques employés pour contrôler les deux modes de compensation et d'opération de l'AO [36].

Le fonctionnement de cette chaîne de compensation est plus facilement compris en partant de la condition où un cycle d'autocorrection est sollicité à travers l'activation du signal de validation $\overline{\text{Start}}$ ("Start" est actif bas). Une fois que le cycle est initié, la séquence suivante est exécutée:

1. Le bloc numérique synchrone donne l'ordre de démarrage au générateur interne de signal d'horloge, en produisant le signal $\overline{\text{E_Clk}}$ (" $\overline{\text{E_Clk}}$ " est "0"). Ce générateur interne fournit un environnement séquentiel au bloc numérique d'autocorrection.

2. Ensuite, le bloc numérique génère les signaux S1 à S3 ("S1" est "1", "S2" est "1", "S3" est "1") afin de mettre l'AO dans l'état de compensation en le plaçant dans une configuration en boucle ouverte. Dans cet état, les entrées différentielles de l'AO sont court-circuitées et forcées à un mode en commun approprié ($V_{DD}/2$, dans notre cas) et les deux entrées du comparateur sont connectées l'une à l'entrée non-inverseuse (V_{in+}) de l'AO et l'autre à sa sortie (V_{out}) respectivement.
3. Subséquemment, selon la direction du non-appariement ("W_R" est "1": tension de décalage positive, "W_R" est "0": tension de décalage négative) déterminée par le premier résultat de comparaison, le bloc numérique de correction connecte le CNA du côté gauche ou droit de l'étage différentiel de l'AO ("S4" est "1": Côté droit, "S4" est "0": Côté gauche).
4. Ensuite, le bloc numérique synchrone exécute un algorithme d'approximations successives qui permet de raffiner un courant de décalage devant être absorbé par le CNA (I_{CNA}), et ce après un nombre bien déterminé de périodes d'horloge.
5. À la fin du cycle de compensation, l'AO est déconnecté de la chaîne de correction ("S1" est "0", "S2" est "0", "S3" est "0"). Aucune mise à jour supplémentaire n'est requise pour les bits du CNA. Le générateur interne de signal d'horloge est arrêté (" $\overline{E_Clk}$ " est "1"), et l'AO reprend son mode normal d'opération jusqu'au moment où un nouveau cycle de compensation est sollicité à travers le signal de validation $\overline{Start}$.

Le signal E_R est utilisé par le bloc numérique synchrone pendant la phase de compensation de l'AO afin de solliciter le synchroniseur à transmettre le résultat de comparaison conformément au front montant de l'horloge.

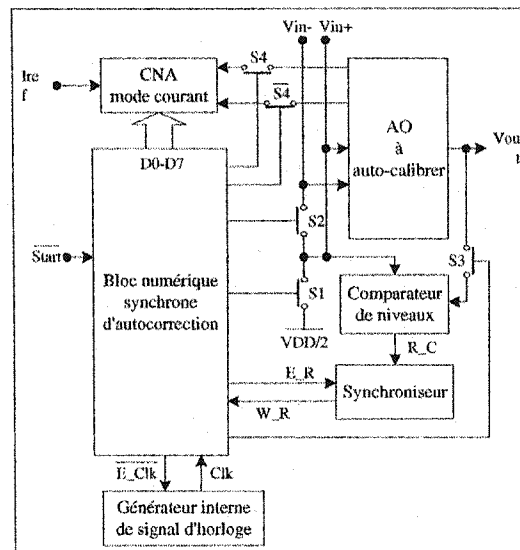


Fig. 3.4. Diagramme bloc du système implémenté.

Dans le cas d'une application en ligne et à base d'un AO compensé, la tension de sortie (V_{out}) de l'AO peut être stockée momentanément dans une capacité de valeur appropriée pour être utilisée pendant la phase de compensation.

3.4 Spécifications de la chaîne de compensation

Dans cette section, nous présentons en détail les spécifications formelles et opérationnelles des différents blocs, aussi bien numériques qu'analogiques, qui incorporent la chaîne de compensation implémentée [36].

3.4.1 Bloc numérique d'autocorrection

La méthode de conception adoptée, pour caractériser la séquentialité des étapes de contrôle du système implémenté, repose sur une approche synchrone. Dans cette

approche, le séquencement et le temps sont régis par un signal d'horloge global désigné par "Clk" sur la figure 3.4 et fourni par un générateur interne contrôlable. Le modèle logique proposé est celui d'une machine à états finis (FSM) de type *Moore*, comme le montre la figure 3.5.

Comme il a été mentionné précédemment, cet automate d'états finis garantit le séquencement d'un algorithme d'approximations successives (SAR) au moyen d'un signal asynchrone de validation ($\overline{\text{Start}}$) et d'un générateur interne de signal d'horloge. Cet algorithme itératif raffine graduellement une approximation du courant de décalage devant être absorbé par le CNA (I_{CNA}) afin de compenser la tension de décalage d'entrée d'un AO.

Toutefois, l'efficacité de cet algorithme dépend entre autres de la résolution (N) ainsi que l'erreur de non-linéarité différentielle (DNL) du convertisseur numérique analogique (CNA). En effet, le raffinement du courant de décalage s'effectue selon l'équation suivante (le nombre de bits du CNA, N , est de 8 dans ce cas):

$$I_{\text{CNA}} = \left(D_7 + 2^{-1}D_6 + 2^{-2}D_5 + \dots + 2^{-6}D_1 + 2^{-7}D_0 \right) \cdot I_{\text{ref}} \quad (3.6)$$

Dans cette expression, D_i est le i^{eme} bit du CNA, et I_{ref} est le courant de référence injecté dans le CNA.

Au début de chaque cycle de compensation, l'automate d'états finis commence par activer le bit de poids le plus élevé du CNA (D_7). Un changement à la sortie du comparateur de niveaux notifie que le courant injecté à la sortie du premier étage de

l'AO est supérieur à celui nécessaire à l'établissement du non-appariement. En conséquence, le bit en cours d'épreuve est désactivé et aussitôt le bit suivant est activé. Dans le cas contraire, le bit en cours d'épreuve est maintenu actif et aussitôt le bit suivant est activé. Cette séquence est ainsi répétée pour tous les bits du CNA jusqu'au bit de poids le plus faible (D_0).

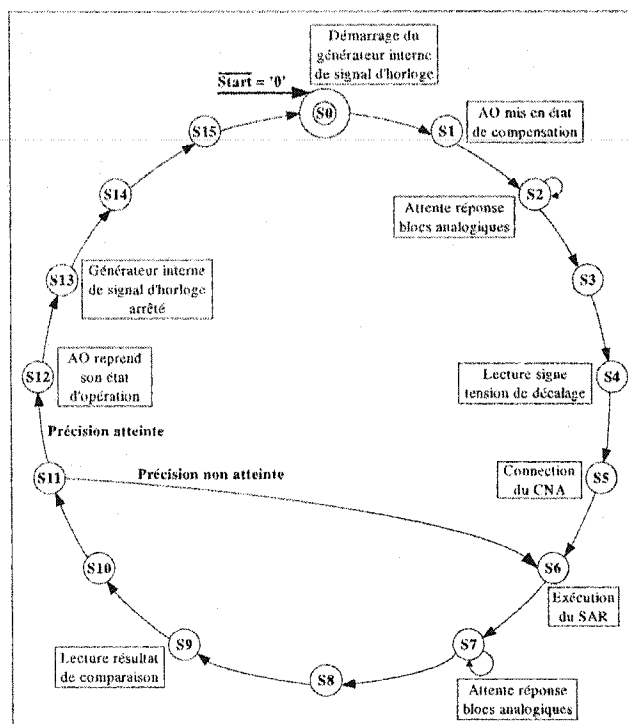


Fig. 3.5. FSM du bloc numérique synchrone d'autocorrection.

Rappelons que la direction du non-appariement, autrement dit le signe de la tension de décalage d'entrée, est déterminée par l'état de la sortie du comparateur avant la connexion du CNA à l'étage différentiel de l'AO. Cependant, une simple opération mathématique de comparaison est prévue chaque fois où un bit du CNA est mis à l'épreuve.

Comme nous le démontrerons plus loin par un exemple, cette procédure peut causer une erreur résiduelle de 1 LSB. En effet, les décisions prises lors de la convergence de l'algorithme, ne sont pas prises sur la base d'un arrondi ou d'une estimation de la distance à un seuil de décision, mais elles sont simplement prises sur la base du croisement d'un seuil.

a. Exemple d'exécution d'un cycle de compensation

Considérons une tension de décalage d'entrée (V_{os}) de 1mV, un CNA d'une résolution de 8 bits, un courant de référence (I_{ref}) injecté dans le CNA de 1 μ A et une transconductance g_m donnée de 1.2mA/V. Cette transconductance est en fait associée à la tension grille-source de l'un des deux transistors représentés à la figure 3.1. Étant donné que la tension de décalage initiale est positive, la sortie du comparateur ($V_{out-cmp}$) est initialement positive. Dans ces conditions, le courant de décalage, donné par l'équation (3.7), vaut 1.2 μ A.

$$I_{os} = g_m V_{os} \quad (3.7)$$

Le tableau 3.1 résume les résultats d'une séquence possible générée par l'automate d'états finis. Cette séquence suppose que le CNA possède une fonction de transfert idéale.

Dans cet exemple, la valeur finale retenue à la fin d'exécution d'un cycle de compensation est de 1.195 μ A. Nous apercevons que la déviation de cette valeur par rapport à celle désirée (1.2 μ A) est plus élevée que celle correspondant au résultat

obtenu à l'avant dernière étape de cette séquence (1.203 μ A). Ceci s'explique par le fait que l'algorithme proposé ne dispose pas d'un mécanisme ou d'une fonctionnalité qui lui permet d'identifier, parmi l'ensemble des valeurs obtenues durant son séquençement, laquelle est la plus proche de la valeur désirée. Son principe d'exécution est plutôt basé sur la détection d'un éventuel changement de signe au niveau de la sortie de l'AO relativement au signe de la tension de décalage initiale. En effet, cet algorithme tente de ramener une déviation à sa valeur la plus faible en permettant un raffinement qui ne contribue pas à un changement de signe de la sortie de l'AO et en rejetant celui qui autorise ce changement. Par conséquent, une erreur de 1 LSB pourra être inévitablement associée au résultat d'exécution de l'algorithme employé. C'est ce qui se passe dans l'exemple du tableau 3.1.

Tableau 3. 1. États des bits du CNA à la fin du cycle.

D₇ ... D₀	I_{CNA} (μA)	V_{out-emp}	Résultat
10000000	1	+	
11000000	1.5	-	
10100000	1.25	-	
10010000	1.125	+	
10011000	1.187	+	
10011100	1.218	-	
10011010	1.203	-	
10011001	1.195	+	
			10011001

Néanmoins, en principe il est possible de contourner ce problème en permettant au système d'intégrer un mécanisme qui estime la distance à un seuil de décision. L'implémentation de cette fonctionnalité nécessite que le bloc numérique d'autocorrection doit nécessairement connaître le niveau en tension à la sortie de

l'AO pour chaque étape d'exécution du cycle de compensation. En effet, cette solution requiert les éléments suivants. Premièrement, il est nécessaire d'avoir un bloc supplémentaire tel qu'un convertisseur analogique numérique permettant de fournir cette information à l'automate d'états finis. Deuxièmement, le bloc numérique doit être en mesure de conserver les résultats intermédiaires obtenus pendant l'exécution du cycle pour fins de comparaison.

Cette solution ne peut être réalisée qu'au prix d'une part, d'une surface de silicium supplémentaire pour implémenter un convertisseur analogique numérique et d'autre part, d'une augmentation de la complexité de l'automate d'états finis pour identifier parmi l'ensemble des résultats intermédiaires obtenus lequel est le plus proche de la valeur désirée.

b. Contraintes topologiques

Nous définissons le temps de propagation comme étant le temps nécessaire à la stabilisation de la sortie du comparateur, conséquence d'un changement de la valeur du courant au port de sortie du CNA. Ce changement de la valeur du courant est nécessairement dû, soit à une activation ou une désactivation de l'un des bits du CNA. Ce temps de propagation est maximal lorsqu'il s'agit du bit de poids le plus faible parmi l'ensemble des bits qui provoquent un changement de signe à la sortie du comparateur.

Dans une configuration de simulation, le temps de propagation choisi est celui du bit de poids le plus élevé (D_7) et est environ de $6\mu s$, comme indiqué à la figure 3.6.

Dans cette simulation, l'AO est utilisé dans une configuration en boucle ouverte. La tension de sortie de l'AO [Fig. 3.6(a)] passe de V_{sat}^- (0 V) à V_{sat}^+ (1.5 V) lorsque le bit de poids le plus élevé (D_7) du CNA change d'état [Fig. 3.6(b)]. En conséquence, la sortie du comparateur accompagne ses changements en succédant de V_{sat}^+ (1.5 V) à V_{sat}^- (0 V) [Fig. 3.6(c)].

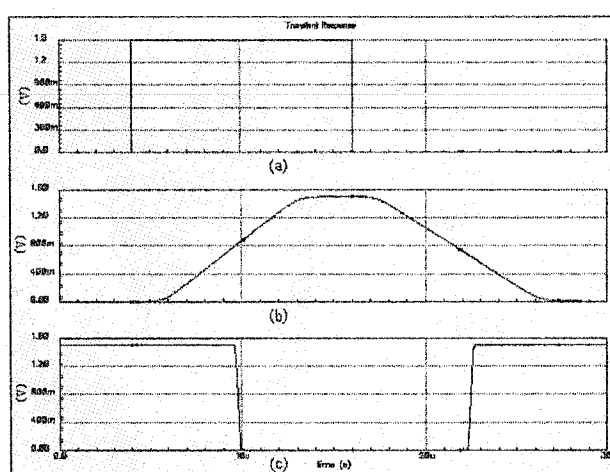


Fig. 3.6. (a) Bit de poids le plus élevé du CNA change d'état
(b) Sortie de l'AO (c) Sortie du comparateur.

Toutefois, ce temps de propagation a des conséquences importantes dans la conception du système implémenté. Étant donné que la vitesse de séquençage des états de la machine à états finis (FSM) est associée au temps de réaction des blocs analogiques, deux limites sont imposées à la caractéristique du signal d'horloge. Premièrement, la durée de l'impulsion d'horloge doit être suffisamment longue de manière à satisfaire cette contrainte. Deuxièmement, la fréquence du générateur interne de signal d'horloge doit être raisonnablement élevée de manière à réduire le temps du cycle de compensation. Afin d'établir une correspondance élégante entre

les exigences du système implémenté et son automate d'états finis, un diviseur de fréquence du signal principal d'horloge a été employé. En conséquence, les états de la FSM effectuant un traitement interne opèrent à la fréquence du signal principal d'horloge (une fréquence raisonnablement élevée), tandis que les états restants de la FSM opèrent à une fréquence sensiblement plus basse.

Étant donné que le générateur interne implémenté fournit un signal d'horloge de fréquence 5MHz, un diviseur de fréquence par "32" a été choisi de manière à garantir un comportement déterministe de la chaîne entière de compensation. Il s'agit de 5 bascules de type "D" cascadées et sensibles au front montant du signal d'horloge, auxquelles sont associées quelques portes logiques élémentaires. Les circuits au niveau porte sont présentés dans l'annexe B.

La durée du cycle entier de compensation du système implémenté est donnée par l'expression (3.8).

$$T_{\text{cycle}} = [(a + 5) * N + (K + a)] * T \quad (3.8)$$

Où "a" est le nombre de périodes d'horloge (32, dans notre cas) ajoutées par le diviseur de fréquence de manière à satisfaire la contrainte préalablement mentionnée sur le temps de stabilisation des circuits analogiques. Par ailleurs, "a+5" est le nombre de périodes d'horloge, requis par l'automate d'états finis pour effectuer un certain traitement interne. "N" est la résolution en bits du CNA et "T" est la période du signal principal d'horloge dont la fréquence nominale est de 5MHz. Tandis que

"K" (=6) est le nombre total de périodes d'horloge requis pour contrôler le passage de l'AO du mode normal d'opération au mode de compensation et vice versa.

c. Méthodologie de conception

Le bloc numérique de correction incluant le diviseur de fréquence, a été conçu au moyen d'une méthode de conception classique. Cette méthode est effectuée en deux phases principales, comme indiqué à la figure 3.7.

La première phase est celle de la synthèse descendante. Il s'agit de la génération d'une description de bas niveau au moyen de l'outil "Synopsys", à partir d'une spécification de haut niveau. Cette spécification est fournie dans un modèle comportemental au moyen du langage "VHDL" (*Very High Speed Integrated Circuit Hardware Description Language*) conçu pour la description de matériel. L'objectif est de valider par simulation l'algorithme d'approximations successives implémenté, avant de l'intégrer dans un ASIC. Le code en langage "VHDL" de cette spécification est présenté dans l'annexe A.

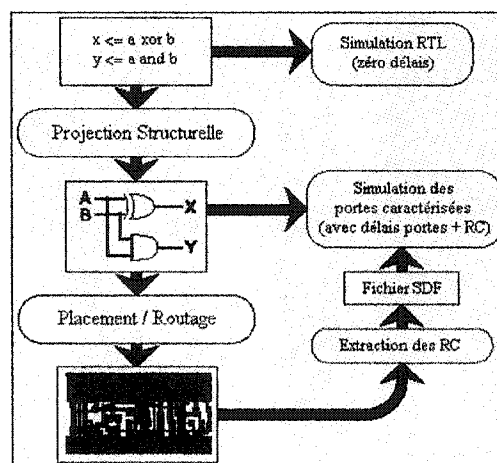


Fig. 3.7. Méthodologie de conception.

La deuxième phase est celle de la vérification. En effet, la vérification du résultat final est réalisée en s'appuyant sur la description structurelle (schémas) générée dans la phase descendante. La partie ascendante extrait les capacités et les résistances à partir de la description physique, permettant ainsi une retro-annotation des schémas.

La vérification fonctionnelle est limitée à une simulation du réseau de portes issu de la synthèse des blocs construits à partir de bibliothèques de cellules standards.

L'analyse temporelle est effectuée à partir du réseau de portes, après extraction des capacités et des résistances d'interconnexion. Quant à la simulation électrique, elle est effectuée dans l'environnement de conception de circuits intégrés Cadence, à partir du réseau de transistors obtenu par extraction du dessin des masques, lequel est généré automatiquement par les outils "*Physical Design Planner*" et "*Silicon Ensemble*".

3.4.2 AO à auto-calibrer

Le concept préalablement mentionné a été appliqué dans une configuration de simulation et avec succès, à deux structures classiques d'AO avec des paires différentielles d'entrée à transistors PMOS et NMOS respectivement. Celle à base d'une paire différentielle d'entrée à transistors PMOS (Fig. 3.8) est retenue et implémentée dans les prototypes expérimentaux en ASIC. Elle est composée de deux étages et utilise un condensateur de Miller pour effectuer la compensation en fréquence. Le tableau 3.2 donne les dimensions (w et l) attribuées aux différents transistors implémentés dans le prototype expérimental.

Dans la plupart des applications modernes à base d'AO, une polarité unique de l'alimentation est souvent utilisée. En conséquence, un mode commun nécessairement non égal à zéro est employé dans le mode normal d'opération de l'AO. Dans ces conditions, la chaîne de compensation doit être en mesure de prendre en compte la déviation de la sortie de l'AO, due incontestablement à un changement du point d'opération de cet AO par rapport à son point de polarisation. En effet, le choix d'un mode commun approprié avec lequel la phase de correction est accomplie, contribue d'une manière significative à la réduction de l'amplitude de cette déviation. Dans le cas de la chaîne d'autocorrection implémentée, un mode en commun de " $V_{DD}/2$ " est employé. Néanmoins, le choix d'une valeur convenable dépend de l'application.

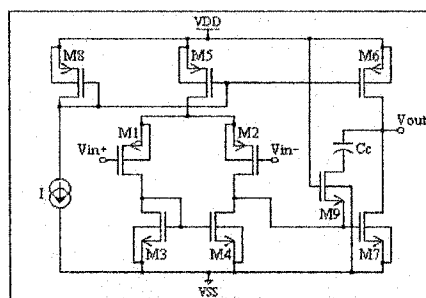


Fig. 3.8. Structure de l'AO à auto-calibrer.

Tableau 3. 2. Dimensions des transistors de l'AO implémenté.

Composant	w (μm)	l (μm)	Valeur (pF)
M1	240	1.2	
M2	240	1.2	
M3	120	1.2	
M4	120	1.2	
M5	160	1.2	
M6	160	1.2	
M7	160	1.2	
M8	80	1.2	
M9	1.2	1.2	
Cc			1

Le tableau 3.3 présente les performances simulées et mesurées de l'AO conçu et implémenté.

Tableau 3. 3. Performances de l'AO.

Paramètres	Simulation	Mesure
Tension d'alimentation (V)	1.5	1.5
Courant de polarisation (μA)	10	10
Gain DC (dB)	87	82
Dynamique de sortie (V)	1.1	1.2
Fréquence de transition (MHz)	30	25
Marge de Phase (deg)	74	79
CMRR (dB)	92	90
Courant total consommé (μA)	50	50.5
Slew Rate (V/ μs)	20	20

Le concept préalablement décrit, peut être aisément appliqué à plusieurs architectures d'AO de type CMOS sans entraîner de modifications dans leur structure de base.

3.4.3 Convertisseur numérique analogique (CNA)

Le CNA utilisé dans la chaîne de compensation est basé sur une commutation de sources de courant. Ces sources sont pondérées de façon binaire par des transistors de différentes largeurs, comme indiqué à la figure 3.9. La conversion est faite sur 8 bits et les largeurs des transistors utilisés dans les sources de courant, sont proportionnées à l'échelle de "128:1". L'idée de base repose sur le transistor MOS dont la conductance est affectée par un bit qui selon qu'il sera 1 ou 0, rendra le transistor conducteur ou non. En conséquence, le transistor associé au bit de poids le

plus faible (D_0) devra, une fois activé, être parcouru par un courant 128 fois plus faible que celui associé au bit de poids le plus élevé (D_7).

L'étage de sortie du CNA est composé de deux ports de sortie commandés par des commutateurs analogiques. Pendant la phase de compensation, uniquement un de ses ports est connecté par le bloc numérique de correction, à la colonne sélectionnée de l'étage différentiel de l'AO. Un courant de référence (I_{ref}) est injecté de l'extérieur du boîtier dans le transistor d'entrée du CNA. Cette stratégie permet de vérifier les performances du processus de réduction de la tension de décalage d'entrée lors d'une variation de la résolution du CNA. Cette résolution est définie comme étant le pourcentage d'évolution de la sortie du CNA résultant de l'écart minimum entre deux codes.

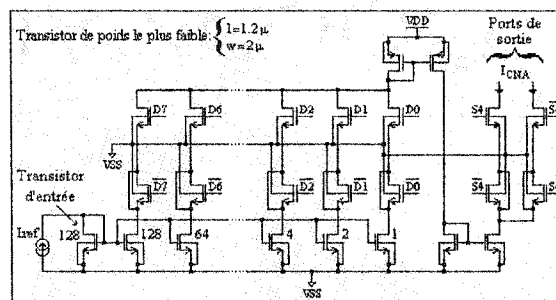


Fig. 3.9. CNA à sources de courant pondérées.

Étant donné que les dimensions (w et l) du transistor d'entrée du CNA sont équivalentes à celles du transistor associé au bit de poids le plus élevé (D_7), le courant maximal que l'on pourra obtenir en sortie, c'est-à-dire à l'un des ports de sortie du CNA, est environ deux fois le courant de référence (I_{ref}). Des commutateurs analogiques inactifs ("*Dummy*") sont également employés afin de

réduire les effets d'injection de charge et d'alimentation capacitive (*capacitive feedthrough*).

Bien que la réponse de ces sources de courant soit rapide, elle n'est pas forcément monotone. En effet, ces sources génèrent des transitoires et parasites qui influencent la croissance de la tension de sortie du CNA en fonction du code binaire. Ces transitoires et parasites sont dus nécessairement à la commutation des sources de courant. Des résultats de simulations (voir tableau 3.4), obtenus dans l'environnement Cadence sur le dessin des masques extrait du CNA, montrent que sa monotonie est convenablement assurée. Ces résultats sont obtenus avec un courant de référence (I_{ref}) du CNA d'environ $1\mu A$.

Tableau 3. 4. Simulation Spectre - Courants produits par le CNA.

$D_7 \dots D_0$	$I_{CNA} (nA)$
00000001	9.55
00000010	18.82
00000011	28.04
00000100	37.12
00000101	46.24
00000110	55.29
00000111	64.34
00001000	73.16
00001001	82.16
00001010	91.12
00001011	100.1
00001100	108.9
00001101	117.9
00001110	126.8
00001111	135.7
00010000	144.1
00100000	283.4
01000000	557.4
10000000	1096
11111111	2156

L'erreur de non-linéarité différentielle (DNL) d'un CNA est définie, pour chaque palier du convertisseur, comme étant la différence entre la largeur réelle du palier et la largeur idéale. En pratique, cette erreur est due essentiellement aux variations présentes dans presque tous les procédés technologiques de fabrication, aux gradients de température, au vieillissement et au bruit généré par les commutations. En effet, elle provoque des erreurs de conversion à la sortie $y(t)$ du CNA, tel que $y(nT) = qx[n] + e[n]$ où $x[n]$ est le code numérique d'entrée indexé par l'entier n , T est la période d'échantillonnage, q est une constante de quantification et $e[n]$ est la séquence d'erreurs de conversion. Cette séquence $e[n]$ contient la distorsion harmonique du CNA qui provoque la réduction de ses SFDR (*spurious free dynamic range*), SDR (*signal to distortion ratio*), SNDR (*signal to noise ratio*) et son ENOB (*effective number of bits*). Cependant, la DNL constitue une des limitations indéniables quant à l'utilisation de ce type de convertisseur.

Bien que le CNA soit de 8 bits, la conversion est véritablement effectuée sur 9 bits. Ce constat découle du fait que le CNA est connecté par le bloc numérique de correction à l'une ou l'autre des deux colonnes de l'étage différentiel de l'AO.

3.4.4 Générateur interne de signal d'horloge

De façon courante, il est tout à fait possible de générer des signaux d'horloge à l'intérieur d'un circuit intégré. Ceci est essentiel pour deux raisons. Premièrement, certains systèmes VLSI requièrent une autosuffisance en terme de signal d'horloge, notamment lorsqu'une horloge très précise n'est pas requise. Deuxièmement, les considérations mentionnées à la section 3.1 de ce chapitre justifient la nécessité

d'avoir un générateur interne de signal d'horloge dans la chaîne de compensation implémentée.

Une façon simple pour réaliser un oscillateur est d'utiliser une chaîne d'inverseurs configurée comme un oscillateur bouclé. Le temps de propagation d'une telle chaîne de retards suit les variations de la constante de temps " τ ", en fonction des dispersions dues aux procédés de fabrication, des gradients de température, du vieillissement et de la tension d'alimentation. L'oscillateur bouclé comporte un nombre impair d'inversions et ne possède pas d'état stable. Il oscille avec une période qui est un sous-multiple impair du double du temps de propagation dans l'anneau complet.

Le générateur interne de signal d'horloge implémenté fait partie de cette catégorie de chaînes de retards. Il est montré dans la figure 3.10.

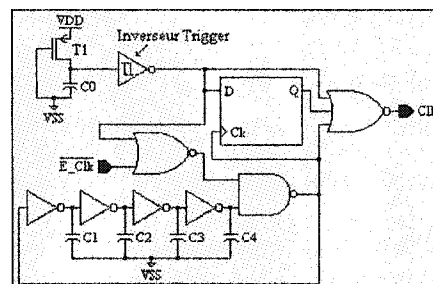


Fig 3.10. Générateur interne de signal d'horloge.

L'état d'un système au démarrage est une considération importante dans la conception d'un circuit. Il est souvent désirable de générer un signal d'initialisation (*start-up*) au démarrage afin d'initialiser l'état des circuits synchrones. En l'absence de ce signal d'initialisation, les signaux d'horloges aléatoires générés pendant la

mise sous tension peuvent mettre le système dans un état indéterminé. Cependant, un circuit d'initialisation à la mise sous tension (*Power On Reset*) permet d'éviter ce type de problème.

En technologie CMOS, une porte standard bascule à " $V_{DD}/2$ ". En conséquence, si le signal d'entrée ne dispose pas de fronts nets, la sortie de cette porte oscillera avant de se stabiliser. Un circuit de type "inverseur de déclenchement" permet la mise en forme de ce signal d'entrée (voir figure 3.11). Il s'agit d'un circuit régénératif spécial, capable de convertir un signal d'entrée caractérisé par un changement d'état lent en un signal digital caractérisé par un changement d'état propre.

Plusieurs améliorations ont été apportées à notre générateur interne de signal d'horloge, afin d'éviter les problèmes préalablement mentionnés. Tel qu'il est indiqué à la figure 3.10, ce générateur est composé de cinq portes inverseuses cascadées, un circuit de mise sous tension (POR), un inverseur de déclenchement et trois portes logiques utilisées pour raison de synchronisation.

Le circuit POR possède une constante de temps d'environ $1\mu s$, obtenue avec un transistor intégré (T1) constamment actif dont la résistance est environ de $1K\Omega$, et une capacité non intégrée (C0) d'une valeur de $1nF$. Cette capacité devra être connectée au boîtier à partir de l'extérieur.

L'inverseur de déclenchement conçu possède quant à lui deux seuils de basculement définis par les relations suivantes:

$$\begin{aligned} V_e > V_H &\Rightarrow V_s = 0 \\ V_e < V_B &\Rightarrow V_s = V_{DD} \end{aligned} \quad (3.9)$$

Où V_H et V_B sont les seuils de basculement de l'inverseur de déclenchement, V_e est son signal d'entrée, alors que V_s est son signal de sortie. Le circuit au niveau transistor de l'inverseur de déclenchement est présenté à la figure 3.11.

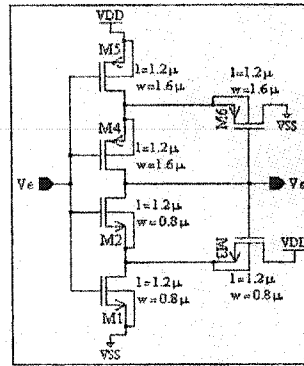


Fig. 3.11. Inverseur de déclenchement.

Le démarrage et l'arrêt du générateur de signal d'horloge implémenté se font d'une manière synchrone, au moyen d'un signal $\overline{E_Clk}$ généré par le bloc numérique de correction. Il démarre lorsque ce signal est actif bas, et s'arrête dans le cas contraire.

Quant à la fréquence du signal d'horloge, elle est déterminée par l'insertion d'une charge capacitive appropriée entre chaque paire d'inverseurs. Cette fréquence est associée aux constantes de temps de charge et de décharge d'une capacité équivalente de la grille d'un transistor, chargée à travers la résistance totale.

Cette fréquence vérifie la relation suivante:

$$f = \frac{V * K * \left(\frac{w}{l}\right)}{8 * N * C} \quad (3.10)$$

Où K est la transconductance intrinsèque d'un transistor MOS, C ($=0.5\text{pF}$, dans notre cas) est la charge équivalente à la sortie d'un inverseur, N ($=5$, dans notre cas) est la longueur de la chaîne d'inverseurs, w et l sont les dimensions d'un transistor MOS et V_{DD} est la tension d'alimentation.

À partir de l'équation (3.10), la fréquence d'opération du générateur interne de signal d'horloge, est fixée à environ 5MHZ.

3.4.5 Comparateur de niveaux et Synchroniseur

L'amplificateur opérationnel conçu possède un étage de sortie permettant de commander une importante charge capacitive (transistors de larges dimensions). Pour cela, nous avons utilisé cette même structure en tant que comparateur de niveaux (voir figure 3.8).

Étant donné que l'AO est utilisé dans une configuration en boucle ouverte pendant la phase de correction, la tension de décalage d'entrée du comparateur apparaît à l'une des entrées de l'AO divisée par son gain DC élevé (environ de 87dB). Par conséquent, elle peut être négligée.

Les erreurs de synchronisation constituent un problème sérieux pour les circuits synchrones qui traitent des signaux asynchrones d'origine externe comme des entrées ordinaires. Considérons le cas d'une bascule "D" qui voit son entrée changer dans l'intervalle de temps " $t_{su} - t_h$ ", où t_{su} est le temps de prépositionnement (*setup time*) et t_h est le temps de maintien (*hold time*). Un phénomène de métastabilité peut se manifester en cas de coïncidence entre la variation de l'entrée et la transition

négative de l'horloge. Dans ce cas particulier, la bascule risque de se mettre transitoirement dans un état intermédiaire qui peut durer indéfiniment. Quant à sa sortie, elle reste bloquée à un état illégal ou incorrect.

Toutefois, dans les applications où le risque, même faible, d'apparition d'états métastables est intolérable, il est possible d'en réduire la probabilité d'occurrence en utilisant la technique de double synchronisation. Il s'agit de monter deux registres en cascade du côté de l'entrée asynchrone, comme dans un registre à décalage. Ainsi, une cellule de mémorisation temporelle (bascule D) désignée par "synchroniseur" dans la figure 3.4, a été utilisée dans la chaîne de compensation. Cette cellule permet de résoudre ce problème de métastabilité lors de la lecture, par le bloc numérique de compensation, des décisions logiques issues du comparateur sur le signe de la déviation résiduelle à la sortie de l'AO.

3.5 Validation et Résultats

Cette section est consacrée tout d'abord aux résultats obtenus par simulation dans l'environnement Cadence et ensuite, à la mise à l'épreuve de la chaîne de compensation développée dans ce mémoire de maîtrise.

3.5.1 Résultats de simulation

Le résultat de simulation montré à la figure 3.12, est obtenu dans l'environnement de conception de circuits intégrés Cadence, à partir de l'AO utilisé en montage suiveur. Nous avons mis en œuvre une simulation mixte analogique/numérique de l'ensemble du système, avec pour premier objectif la validation fonctionnelle du bloc numérique de correction implémenté. Ce résultat de validation a ensuite permis

de vérifier la dépendance du processus de réduction de la tension de décalage d'entrée à la résolution du CNA.

Dans une configuration de simulation, nous avons utilisé un modèle simplifié du bloc numérique de correction qui suppose que l'AO en montage suiveur correspond au mode de compensation désiré. Alors qu'en réalité, l'AO est mis dans une configuration en boucle ouverte. Cette configuration nous a permis d'observer l'évolution de la tension de sortie de l'AO autour de son point de repos pendant la phase de compensation.

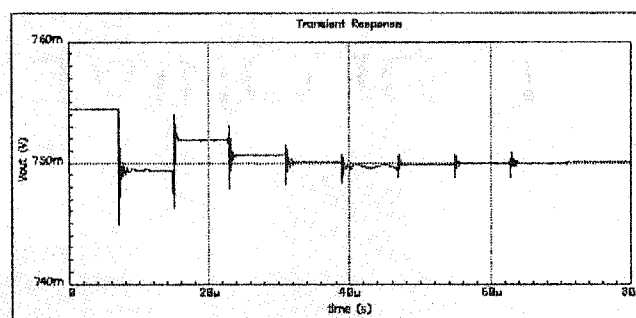


Fig. 3.12. Simulation Spectre - Sortie de l'AO pendant la phase de compensation.

Initialement, une large tension de décalage d'entrée environ de 4.5mV d'amplitude est induite en forçant une condition de non-appariement à l'étage différentiel de l'AO à auto-calibrer. La fréquence du générateur interne de signal d'horloge est de 5MHz. Le courant de référence (I_{ref}) du CNA est d'environ $1\mu A$. Le courant de polarisation de l'AO est d'environ $10\mu A$. Une tension de référence de " $VDD/2 = 750mV$ " est appliquée à l'entrée non-inverseuse de l'AO.

La figure 3.12 montre la déviation de la sortie de l'AO autour de son point de polarisation pendant la phase d'autocorrection.

L'équation (3.8) montre qu'un nombre total de périodes d'horloge de 334 est nécessaire pour compléter un cycle entier de compensation. Pour une fréquence d'horloge de 5MHz, ce nombre de périodes d'horloge correspond à un intervalle de temps environ de $66.8\mu s$. La figure 3.13 montre qu'à la fin du cycle de compensation, la tension résiduelle observée à la sortie de l'AO est environ de $40\mu V$ d'amplitude. Ce résultat est important dans la mesure où la tension de décalage d'entrée est réduite environ de 113 fois par rapport à sa valeur initiale.

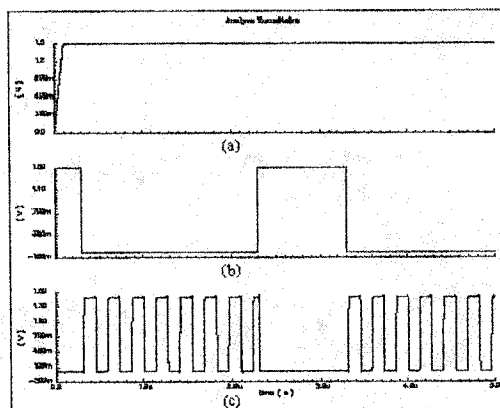


Fig 3.13. (a) Sortie du circuit reset de mise sous tension.
(b) Signal E_Clk (c) Sortie du générateur.

Il convient de mentionner l'apparition de quelques oscillations à la sortie de l'AO pendant la phase de compensation (Fig. 3.12). Ces oscillations sont dues essentiellement au temps d'établissement suffisamment lent de l'AO. En effet, l'AO utilisé pour tester les performances fonctionnelles de cette chaîne de compensation, repose sur une structure classique. Malheureusement les performances électriques de cette structure en termes de taux de transition (*slew-rate*) et de temps d'établissement (*settling-time*), sont assez limitées. Néanmoins, il existe d'autres

structures d'AO bien plus performantes, tels que les amplificateurs télescopiques, qui sont plus adaptées à un fonctionnement en haute fréquence.

Le générateur interne de signal d'horloge présenté antérieurement a été simulé également dans l'environnement Cadence (Fig. 3.13). Dans cette figure, on retrouve une constante de temps environ de 100ns attribuée au circuit de mise sous tension. Le signal $\overline{E_Clk}$ généré par le bloc numérique de correction est utilisé pour contrôler l'état de ce générateur. En effet, un signal actif bas démarre le générateur alors qu'un signal actif haut l'immobilise.

Rappelons qu'un circuit de mise sous tension (POR) protège un système synchrone contre un éventuel état indéterminé lors d'une mise sous tension.

3.5.2 Résultats de mesure

La chaîne de compensation proposée a été implémentée dans deux prototypes en technologie CMOS 0.18 μ m à puits N avec six niveaux de métal. Ces deux prototypes ont été fabriqués par la TSMC à travers la CMC.

Le premier prototype, désigné par prototype de "Mode Manuel", inclut exclusivement les blocs analogiques qui sont l'AO, le Comparateur et le CNA. Le dessin des masques de ce prototype occupe une surface environ de 700 μ m x 300 μ m. Ce prototype nous a permis, d'une part, de vérifier le bon fonctionnement des blocs analogiques intégrés et d'autre part, de valider le concept utilisé en nous autorisant à agir de manière externe sur les différents bits du CNA, afin d'observer

minutieusement le processus de calibration de l'AO réel. La microphotographie de ce prototype est présentée dans l'annexe C.

Le deuxième prototype, désigné par prototype de "Mode Automatique", inclut les blocs de la chaîne entière de compensation. Le dessin des masques de ce prototype occupe une surface environ de $1000\mu\text{m} \times 500\mu\text{m}$. La microphotographie de ce prototype est présentée dans l'annexe C. Les essais effectués avec ce prototype n'étaient pas concluant à cause d'un problème de démarrage au niveau du générateur interne du signal d'horloge.

Cependant, certains résultats de mesure réussis ont été obtenus avec le prototype de "Mode Manuel". Premièrement, des mesures de performance de l'AO ont été obtenues et résumées dans le tableau 3.3 de la section 3.4. Deuxièmement, des résultats de mesure qui démontrent la validité ainsi que la précision de la technique développée, ont été obtenues comme indiqué à la figure 3.14.

L'équipement de test utilisé pour les mesures est le suivant:

1. Alimentation stabilisée : Agilent Technologies *E3631A Triple Output DC Power Supply*. Résolution métrique de 1mV/1mA pour une sortie de 6V (0 à 5A), 10mV/1mA pour les sorties $\pm 25\text{V}$ (0 à 1A).
2. Multimètre de précision : Model 2002 *multimeter 8½ digits*. Fréquence de mesure de 1Hz à 15MHz. Mesure d'une tension DC de 1nV à 1100V. Mesure d'un courant DC de 10pA à 2.1A.

3. Oscilloscope numérique : *TDS7154 Model*. Bande passante jusqu'à 4GHz. Fréquence d'échantillonnage maximale de 20GS/s. Plage de sensibilité de 2mV/div. Impédance d'entrée (couplage DC) de $50\Omega \pm 2.5\%$ à 25°C. Précision du gain vertical DC de 2%. Acquisition rapide jusqu'à 400000 acquisitions/seconde.

Les résultats de mesure montrés à la figure 3.14 sont obtenus avec une tension initiale de décalage d'entrée (U_{os}) mesurée de l'AO environ de 450 μ V, un courant de polarisation de l'AO et du comparateur environ de 10 μ A, une alimentation des blocs analogiques environ de 1.5V et un courant de référence (I_{ref}) variable injecté dans le transistor d'entrée du CNA (1 μ A, 2 μ A, 3 μ A, 4 μ A et 5 μ A).

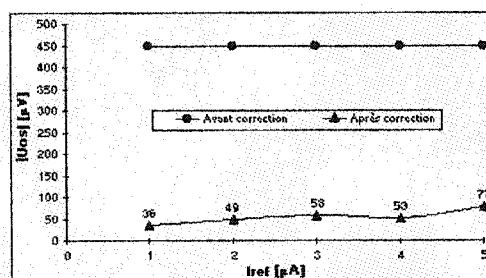


Fig. 3.14. Résultats de mesure - U_{os} de l'AO versus I_{ref} du CNA.

Ces résultats sont importants dans la mesure où ils mettent en évidence deux hypothèses. Premièrement, l'exactitude du processus de correction dépend à la fois de l'erreur de non-linéarité différentielle (DNL) du CNA, ainsi que du bruit généré pendant la commutation des sources de courant. Deuxièmement, une erreur de 1 LSB est inévitablement associée au résultat d'exécution de l'algorithme d'approximations successives employé.

3.6 Conclusion

Dans ce chapitre, nous avons présenté en détail une technique numérique d'autocorrection de la tension de décalage d'entrée d'un amplificateur opérationnel réalisé avec la technologie CMOS. Les spécifications formelles et fonctionnelles des blocs analogiques et numériques de la chaîne entière de compensation ont été également exposées. Les résultats obtenus par simulation ont permis de valider le concept utilisé. Quant aux résultats de mesure, ils ont permis de confirmer expérimentalement les résultats obtenus par simulation.

Toutefois, l'algorithme d'approximations successives implémenté peut être aisément adapté à l'architecture d'un CNA où une partie ou l'ensemble des bits du code binaire est généré par un code thermomètre. Ceci pourra réduire, d'une part, le bruit transitoire généré pendant le fonctionnement en haute fréquence et d'autre part, l'erreur de non-linéarité différentielle du CNA, tout en garantissant la monotonie du CNA.

CHAPITRE 4

CARACTÉRISATION D'UN PROCÉDÉ DE CRÉATION DE RÉSISTANCES DIFFUSÉES PAR IMPULSION LASER

4.1 Introduction

Les résistances, ainsi que d'autres composants passifs, sont des éléments cruciaux pour la conception de tout type de circuit intégré. La connaissance de leurs propriétés physiques et électriques détermine en grande partie les performances globales en termes de consommation, de bruit et de gain d'un circuit intégré en général, et d'un circuit intégré analogique en particulier.

Le comportement électrique des composants intégrés passifs dépend, d'une part, des caractéristiques physiques des matériaux conducteurs, semi-conducteurs et isolants au moyen desquels ils sont fabriqués, et d'autre part, de leur structure propre et de la manière dont ils sont polarisés. Dans ce chapitre, nous nous intéressons exclusivement aux résistances intégrées dans un substrat de silicium. En technologie CMOS standard, les résistances intégrées sont de deux types.

Premièrement, on distingue les résistances en silicium monocristallin intégrées. Elles sont habituellement formées par le dopage raisonnablement fort d'une région du substrat, qui était déjà dopé avec des impuretés de type opposé. L'isolation de ces résistances découle de la polarisation inverse de la jonction pn qui les sépare du substrat. Ces jonctions introduisent d'importantes capacités parasites. Cette isolation

est d'ailleurs à l'origine de courants de fuite qui sont significatifs pour certains circuits. Ces courants augmentent très rapidement avec la température et il peut devenir très important d'en tenir compte dans les applications sensibles aux dérives en température, telles que les références de tension *bandgap*.

Une deuxième manière populaire pour créer des résistances intégrées est d'utiliser le silicium polycristallin. La résistivité du film de silicium polycristallin peut être contrôlée en modifiant le dopage de ce film. Dans la plupart des technologies CMOS, une propriété intéressante des résistances en Poly-Si est leur très bonne isolation. Les couches de Poly-Si sont normalement isolées avec des diélectriques épais, ce qui rend les courants de fuite à haute température pratiquement négligeables. En contrepartie, la capacité parasite associée aux diélectriques isolants limite la valeur maximale des résistances réalisables dans certaines applications.

Les techniques normalement utilisées pour la création de résistances rencontrent de sérieuses difficultés pour atteindre les performances prescrites par les applications de haute précision en termes de stabilité et précision. Deux contraintes importantes sont associées à l'utilisation de ces résistances. Premièrement, leur valeur absolue est imprécise. Cela est dû essentiellement aux variations inévitables du procédé technologique telle que l'uniformité du dopage et l'incertitude sur la définition exacte des dimensions voulues. Deuxièmement, leur valeur relative est précise à environ 0.25% pour les résistances de petite taille. Il est toutefois possible d'améliorer la précision en concevant des résistances de grande taille. Dans ce cas, le prix à payer est l'introduction d'importantes capacités parasites. La technique de

diffusion par impulsion laser est désormais une solution aux problèmes cités pour la création de résistances diffusées directement dans le silicium qui sont à la fois précises et stables en température. L'importance de la technique étudiée réside donc dans la réduction significative des dimensions des résistances intégrées comparativement aux mêmes valeurs de résistances formées au moyen des techniques de dopage ordinaires. De plus, le procédé LTRIM permet non seulement un appariement plus précis que celui d'un procédé standard normalement sujet à des variations paramétriques, mais aussi un ajustement des imprécisions résiduelles associées aux procédés technologiques standards de fabrication.

Le procédé LTRIM est un nouveau procédé itératif de création de résistances diffusées. Ce procédé a été d'abord, proposé et élaboré à l'École Polytechnique de Montréal, et ensuite raffiné par la société montréalaise Technologies-LTRIM. Cette technique permet de créer des résistances de valeurs allant de 100Ω jusqu'à quelques $M\Omega$ avec une précision d'environ 50ppm et est parfaitement compatible avec les procédés CMOS conventionnels [24].

La figure 4.1 illustre schématiquement les étapes de création par le procédé LTRIM d'une résistance diffusée par laser. Avant sa création, la structure d'une résistance LTRIM correspond à celle d'un transistor CMOS sans grille [Fig. 4.1(a)]. Lorsqu'une impulsion laser est focalisée dans la région qui sépare les deux zones diffusées de part et d'autre de la structure, un processus de diffusion des dopants (paires électrons-trous) à l'intérieur de cette région [Fig. 4.1(b)] est initié. La

résistivité de cette région est contrôlée par les paramètres des impulsions et la puissance spécifique du rayonnement laser pendant la séquence de création de la résistance. À la fin de cette séquence, un lien physique permanent est établi entre les deux zones diffusées [Fig. 4.1(c)]. Ce lien détermine donc la valeur de la résistance créée.

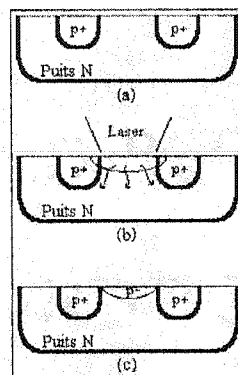


Fig. 4.1. Résistance LTRIM (a) avant création (b) pendant création (c) après création.

Il convient de souligner qu'une résistance diffusée par laser est de type N lorsque les deux zones diffusées sont dopées dans un puits N, et est de type P lorsque ces deux zones sont dopées dans un puits P.

4.2 Motivations

Ce projet porte sur la caractérisation d'un procédé de création de résistances diffusées par impulsion laser. Cette caractérisation est effectuée au moyen d'un ensemble de circuits de tests destinés à étudier les phénomènes parasites introduits dans le substrat Si-cristallin par le traitement laser pendant la séquence de création du dispositif LTRIM. L'ensemble des travaux réalisés à l'École, par une équipe comptant plusieurs chercheurs aux départements de Génie Électrique et de Génie

Physique vise comme un de ses objectifs à long terme l'élaboration d'un algorithme de contrôle efficace pour la création de ce type de dispositif.

Étant donné que le procédé LTRIM est itératif et que la séquence de création du dispositif s'effectue sous tension, l'enchaînement des impulsions laser produit trois faits importants. Premièrement, un échauffement local dû au rayonnement laser provoque une perturbation dans le substrat Si-cristallin. Cette perturbation paramétrique due nécessairement à l'effet thermique du laser peut affecter un circuit adjacent au dispositif LTRIM de façon temporaire ou permanente. Deuxièmement, une injection de charge due à l'illumination par rayonnement laser peut engendrer les phénomènes de claquage de grille et de *latchup*. Enfin, cette illumination génère un grand nombre de porteurs libres qui peuvent perturber un circuit adjacent au dispositif en injectant des charges sur des nœuds qui devraient être électriquement isolés

La nature itérative du procédé LTRIM requiert la mesure du résultat des itérations précédentes avec une exactitude conforme aux objectifs prévus. Cette mesure est effectuée au moyen d'un ensemble d'éléments sensibles aux variations paramétriques et incorporés dans un circuit intégré, tels qu'un amplificateur opérationnel, un plot, un oscillateur, un anneau de garde, etc.

4.3 Procédures de caractérisation

Plusieurs structures ont été élaborées par notre équipe du GRM (Groupe de Recherche en Microélectronique) afin d'évaluer l'impact des impulsions laser sur un circuit sous tension. Nous avons choisi de présenter dans cette section quelques

procédures intéressantes qui permettent de caractériser certains aspects de la technologie LTRIM. Les structures réalisées permettent notamment de caractériser les effets thermique et d'une injection de charges sur la dynamique d'un circuit adjacent au dispositif et l'influence des paramètres technologiques et de conception sur les conditions d'amorçage d'un thyristor parasite. Le cas d'un amplificateur opérationnel CMOS compensé en tension de décalage d'entrée moyennant l'utilisation de dispositifs LTRIM sera présenté à la fin de cette section. Le dessin des masques au complet du prototype expérimental est présenté dans l'annexe D.

4.3.1 Effet thermique et injection de charge

Comme il a été préalablement mentionné, la séquence de création d'un dispositif LTRIM génère des porteurs actifs dans la région fondue du dispositif. Ces porteurs sont dus à l'illumination par le rayonnement laser. Si le circuit est sous tension, le substrat de silicium est polarisé négativement. Ces porteurs peuvent franchir la barrière de potentiel de la région fondue pour être injectés finalement dans le substrat.

Dans le cadre de ce projet, nous avons mis au point une méthode de mesure de l'impact de ces porteurs sur la dynamique d'un circuit adjacent au dispositif. Le diagramme bloc de cette chaîne est présenté à la figure 4.2.

La chaîne de mesure conçue et implémentée, est composée de six blocs principaux: un ensemble de six oscillateurs en anneau, un diviseur de fréquence, un convertisseur fréquence-tension (CFV) et finalement, deux suiveurs dont l'un est analogique alors que l'autre est numérique.

Les oscillateurs en anneau de 1 à 5 sont quasiment identiques et oscillent à une fréquence d'environ 320MHz. Un dispositif LTRIM est installé au centre de chaque oscillateur à une distance D par rapport à l'anneau d'inverseurs qui le compose. Le principe de la chaîne de mesure est simple. Il consiste à détecter une éventuelle variation apportée à la fréquence d'oscillation de l'un des oscillateurs sous test, pendant la séquence de création du dispositif LTRIM. Si une variation de la fréquence d'oscillation se produit, elle sera due soit aux porteurs actifs générés par le rayonnement laser ou à l'effet thermique des impulsions laser. Il s'agit donc de déterminer expérimentalement la sensibilité paramétrique dynamique de composants électroniques actifs dans le voisinage d'impulsions laser.

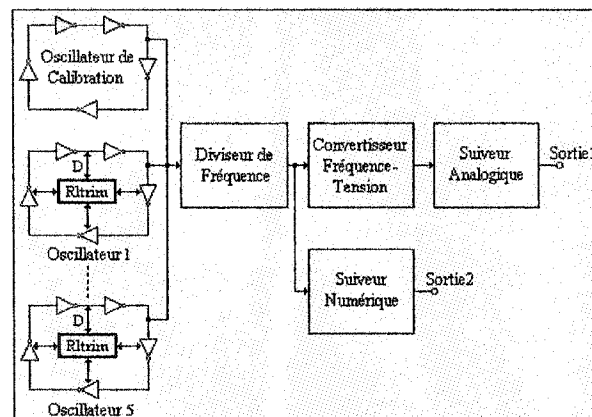


Fig. 4.2. Diagramme bloc de la chaîne de mesure de l'absorption de charges par le substrat.

Le choix d'un oscillateur en anneau opérant à une fréquence suffisamment élevée est justifié par le fait que cette structure est relativement sensible aux variations paramétriques. Les oscillateurs en anneau de 1 à 5 peuvent être classés en deux catégories.

Premièrement, les oscillateurs qui utilisent des cellules d'inverseurs TSMC standards. Deux modèles de dispositif LTRIM sont utilisés, l'un est doté d'un anneau de garde et l'autre est sans anneau de garde. Le dispositif LTRIM associé à chacun de ces oscillateurs est installé à une distance fixe d'environ $30\mu\text{m}$ par rapport à l'anneau d'inverseurs. Ces oscillateurs sont au nombre de deux.

Deuxièmement, les oscillateurs qui considèrent l'utilisation d'un modèle d'inverseur classique conçu et implémenté dans le prototype expérimental. Ce modèle utilise des transistors de tailles supérieures aux tailles minimales permises par la technologie $0.18\mu\text{m}$. Le modèle d'un dispositif LTRIM sans anneau de garde est employé dans ce cas. Ces oscillateurs sont au nombre de trois. Les distances d'établissement des dispositifs LTRIM par rapport aux anneaux d'inverseurs sont d'environ 10, 20 et $30\mu\text{m}$ respectivement. Ceci permet de déterminer le paramètre de dépendance de l'amplitude d'une perturbation à la distance d'établissement d'un dispositif LTRIM.

Étant donné que la sortie de la chaîne de mesure (Sortie1) est une tension analogique, il est nécessaire de trouver une caractéristique de corrélation entre le paramètre fréquence et son équivalent en tension. Ceci est effectué au moyen d'un oscillateur de calibration. Il s'agit également d'un oscillateur en anneau qui oscille à une fréquence d'environ 367MHz. Parallèlement à la sortie en tension, une sortie en fréquence (Sortie2) est disponible à travers un suiveur numérique.

a. Diviseur de fréquence

Le cahier des charges initial spécifie que l'on désire observer des variations de la fréquence d'oscillation aussi courte que 100ns. La durée de ces variations, si elles existent, n'est en fait pas connue. Nous visons également une précision de mesure d'environ 1%. Dans une configuration de simulation, le temps d'établissement minimal du CFV utilisé dans la chaîne de mesure est d'environ quatre fois la période du signal d'entrée.

Pour satisfaire aux spécifications mentionnées ci-dessus, la fréquence du signal d'entrée du CFV doit être au voisinage de 40MHz. Un diviseur de fréquence 8:1 est donc employé dans la chaîne de mesure implémentée. Il s'agit de trois diviseurs de fréquence 2:1 montés en cascade. La figure 4.3 illustre le diviseur de fréquence 2:1 utilisé [25].

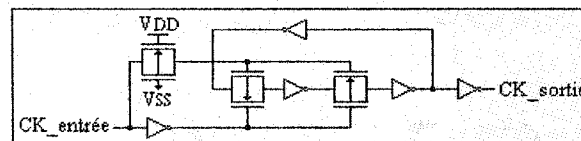


Fig. 4.3. Diviseur de fréquence 2:1.

b. Suiveurs

Les plots analogiques de tout circuit intégré introduisent des impédances parasites. Elles sont inductives, capacitives et résistives. Ceci dégrade de toute évidence les signaux analogiques transmis à l'extérieur du boîtier. En général, cette transmission est rendue possible moyennant l'utilisation d'un suiveur associé à chaque signal de sortie. Dans le cadre de ce projet, nous avons utilisé deux suiveurs afin de

transmettre les signaux en tension (Sortie1) et en fréquence (Sortie2) de la chaîne de mesure implémentée.

La transmission du signal en fréquence est effectuée au moyen d'un suiveur numérique. Il s'agit tout simplement de trois inverseurs montés en cascade et de dimensions appropriées. Quant au signal en tension, il est transmis au moyen d'un suiveur analogique. Il s'agit d'un circuit capable de commander une grosse charge résistive/capacitive connectée à sa sortie. La figure 4.4 montre le suiveur analogique employé [35].

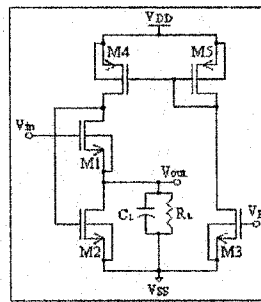


Fig. 4.4. Suiveur analogique.

Le tableau 4.1 récapitule les dimensions (w et l) attribuées aux différents transistors implémentés dans le prototype expérimental. La tension à la sortie du suiveur (V_{out}) est donnée par l'équation (4.1). La formulation de cette équation néglige l'effet de substrat (*body effect*) relatif au transistor M1. Cette hypothèse est valable si M1 est isolé dans un puits et que son puits est porté au même potentiel que sa source.

$$V_{out} = V_{in} - (V_B - V_{SS}) \quad (4.1)$$

Où V_B est la tension qui contrôle le courant de la source M3. Cette tension V_B doit être choisie de telle façon que le transistor M3 puisse opérer dans la région de

saturation. L'équation (4.1) montre effectivement que la tension de sortie du circuit suiveur est indépendante de la charge.

Dans toute chaîne de mesure, la linéarité des blocs analogiques est une caractéristique importante à prendre en considération. Plusieurs effets secondaires peuvent dégrader la performance du circuit suiveur employé, notamment en terme de linéarité de sa sortie en fonction de son entrée.

Premièrement, l'effet de modulation de la largeur du canal affecte la tension de seuil d'un transistor CMOS. Cet effet peut être réduit en utilisant des longueurs de grille des transistors supérieures à la longueur minimale permise par la technologie.

Deuxièmement, l'effet du non-appariement des caractéristiques électriques de deux transistors supposés identiques. Cet effet peut également être réduit en utilisant des techniques de dessin des masques appropriées.

Tableau 4. 1. Dimensions des transistors.

Composant	w (μm)	l (μm)
M1	40	1.2
M2	2	1.2
M3	40	1.2
M4	80	1.2
M5	80	1.2

Troisièmement, l'effet de substrat affecte à son tour la tension de seuil d'un transistor CMOS (voir équation (4.2)). Dans le cas du suiveur employé, cet effet est réduit en isolant le transistor M1 dans un puits P (ceci implique l'usage d'une couche *deep-nwell* dans une technologie CMOS comme la TSMC 0.18 μm). Ainsi, la

tension source-substrat (V_{SB}) du transistor est quasiment égale à zéro et par conséquent, la linéarité du suiveur est améliorée. D'autre part, le seuil varie avec la polarisation apparente du substrat en accord avec la relation suivante :

$$V_T = V_{TO} + \gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}) \quad (4.2)$$

Dans l'équation (4.2), V_{TO} est la tension de seuil lorsque la différence de potentiel entre la source et le substrat, V_{SB} , est égale à zéro, ϕ_F est le potentiel électrostatique du substrat (niveau de Fermi) et γ est le coefficient de l'effet de substrat.

Dans une configuration de simulation, une rampe de tension est injectée à l'entrée 'Vin' du suiveur qui commande une charge mixte résistive/capacitive connectée à sa sortie Vout. La charge résistive est d'environ $10K\Omega$, alors que la charge capacitive est d'environ $5pF$. La tension V_B de M3 est fixée à une valeur d'environ $600mV$. Le résultat de cette simulation montre que la linéarité du suiveur est uniquement garantie pour une tension d'entrée dans une plage allant de $0.9V$ à $1.5V$ (Fig. 4.5).

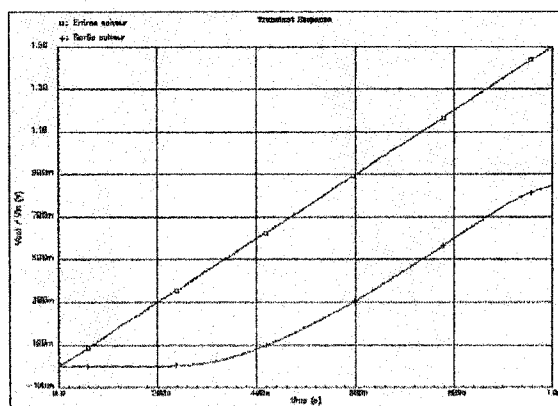


Fig. 4.5. Linéarité versus Plage d'entrée.

Il convient de souligner que la réponse en fréquence du suiveur employé dépend grandement de la tension V_B . Par exemple, la fréquence à -3dB est d'environ 32MHz pour un V_B d'environ 600mV , et est d'environ 100MHz pour un V_B d'environ 800mV .

c. Convertisseur fréquence-tension (CFV)

Pendant la séquence de création d'un dispositif LTRIM, on désire être en mesure d'observer des variations apportées à la fréquence d'oscillation aussi courte que 100ns . Étant donné que cette durée est relativement faible, il est plus commode d'utiliser un CFV en tant qu'analyseur de spectre permettant d'avoir une tension image de cette fréquence.

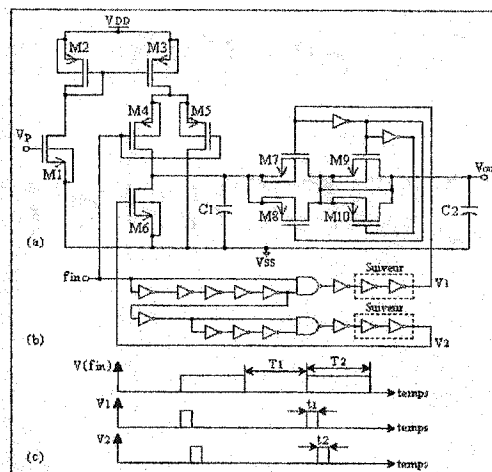


Fig. 4.6. (a) CFV (b) Logique de contrôle (c) Signaux de contrôle.

Le CFV employé dans la chaîne de mesure [Fig. 4.6(a)] est une version légèrement modifiée du circuit développé dans [8]. La conversion est effectuée en trois étapes. Premièrement, la capacité $C1$ est chargée, à travers le transistor $M4$, par un courant constant à la cadence du signal d'entrée en fréquence. Cette étape est réalisée à

chaque demi-période T1 du signal d'entrée. Deuxièmement, Les charges accumulées dans C1 et C2 sont redistribuées de façon égale, moyennant le principe de distribution de charge. Troisièmement, la capacité C2 est isolée du reste du circuit pendant que C1 est déchargée à travers M6. Cette séquence est répétée d'une façon périodique au moyen d'une logique de contrôle appropriée [Fig. 4.6(b)].

Les dimensions (w et l) attribuées aux différents transistors implémentés dans le prototype expérimental sont récapitulées dans le tableau 4.2.

Tableau 4. 2. Dimensions des transistors.

Composant	w (μm)	l (μm)	Valeur (pF)
M1	40	1.2	
M2	80	1.2	
M3	80	1.2	
M4	24	1.2	
M5	18	1.2	
M6	21	1.2	
M7	8	0.55	
M8	8	0.55	
M9	4	0.55	
M10	4	0.55	
C1			1
C2			0.5

La tension développée à la sortie du CFV est directement proportionnelle à la période de son signal d'entrée (voir équation (4.3)). La capacité C1 est choisie égale à deux fois C2 dans le but d'accélérer le temps de conversion. La tension V_p de contrôle de M1 doit être choisie de telle façon que le CFV puisse opérer dans sa plage linéaire. Dans le prototype expérimental implémenté, le signal transportant V_p

est connecté au même plot que celui transportant la tension V_B de contrôle de la source de courant M3 du suiveur analogique (voir figure 4.4).

Dans une configuration de simulation, la plage de linéarité observée à la sortie du CVF est établit entre 0.9V et 1.33V. Ceci correspond à une plage de fréquence du signal d'entrée allant de 34.5MHz à 47.5MHz (Fig. 4.7). En conséquence, toute variation apportée à la fréquence d'oscillation et comprise dans la plage de fréquence mentionnée, est aisément détectée par la chaîne de mesure implémentée.

$$V_{out} = \frac{I_{M3}}{C1} \left(\frac{1}{2f} \right) \quad (4.3)$$

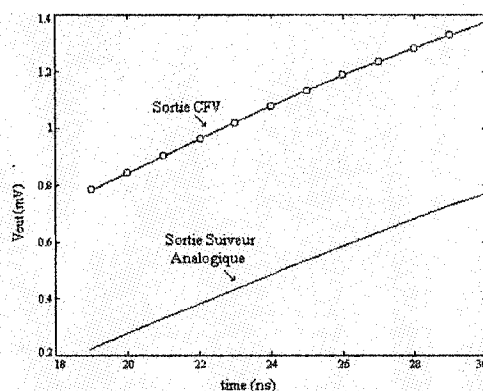


Fig. 4.7. Plage de linéarité du CFV versus Suiveur analogique.

4.3.2 Thyristor parasite

Dans toute structure MOS intégrée, on rencontre des transistors bipolaires parasites. Dans le dessin des masques d'un circuit CMOS intégré analogique, ces éléments parasites actifs se connectent entre eux par l'intermédiaire d'éléments parasites passifs omniprésents dans les différentes zones actives, pour former un thyristor

parasite. Ces éléments parasites passifs correspondent aux résistances des puits et du substrat de silicium.

Le thyristor est un composant constitué d'une structure pnpn à quatre couches (Fig. 4.8). Il s'agit d'un composant tenu responsable du phénomène de *latchup* dans les circuits intégrés. Le modèle électrique classique d'un thyristor latéral parasite, dans un procédé CMOS standard, consiste en l'association de deux transistors bipolaires, l'un du type pnp vertical et l'autre du type npn latéral, et de deux résistances d'accès désignées par R_n et R_p à la figure 4.8. L'anode constitue l'émetteur du pnp alors que la cathode est celui du npn. La diffusion n+ dans le puits n permet l'accès à travers la résistance de puits à la zone correspondant à la fois à la base du pnp et au collecteur du npn. La diffusion p+ dans le substrat permet l'accès à travers une résistance de substrat à une zone correspondant à la base du npn et au collecteur du pnp.

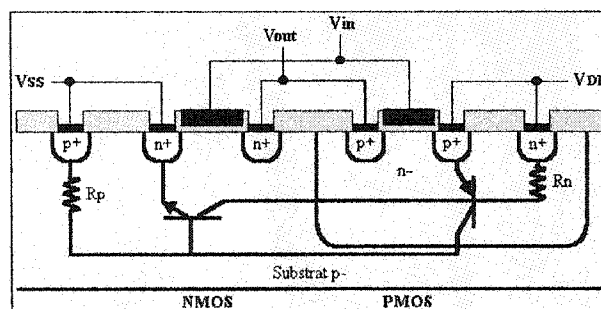


Fig. 4.8. Transistors bipolaires parasites dans un inverseur CMOS.

Sous certaines conditions de polarisation, ce réseau parasite peut se mettre involontairement dans l'état direct-passant, ce qui provoque des conséquences destructrices pour un circuit intégré. Les valeurs des courants de verrouillage et de

maintien sont les paramètres les plus importants qui décrivent la robustesse d'un circuit aux *latchups*. Ces courants dépendent fortement des paramètres technologiques et de conception.

Les paramètres technologiques peuvent être regroupés en deux catégories essentielles. Premièrement, ceux qui correspondent au dopage des puits ou du substrat dans le cas d'un procédé CMOS conventionnel. Deuxièmement, ceux qui correspondent aux porteurs actifs générés thermiquement dans le substrat par le rayonnement laser dans le cas du procédé LTRIM.

Quant aux paramètres de conception, ils sont principalement au nombre de trois. Premièrement, la largeur de la structure influence les valeurs des résistances R_n et R_p , et par conséquent le courant de déclenchement du *latchup*. Deuxièmement, la distance qui régit la largeur de la base du transistor parasite npn influence son gain, et par conséquent le courant nécessaire à la polarisation en direct de ce transistor bipolaire latéral. Troisièmement, le type d'isolation électrique en terme de polarité du puits (N ou P), utilisé dans les dispositifs qui partagent le même substrat de silicium.

Étant donné que la séquence de création d'un dispositif LTRIM engendre des porteurs actifs injectés immédiatement dans le substrat de silicium, ces porteurs peuvent entraîner une augmentation involontaire du courant de substrat. Ceci peut ensuite générer une variation de la tension du substrat. Dans le cas extrême, un courant de substrat suffisamment élevé pourrait polariser en direct la jonction

source-substrat et verrouiller dans son état direct-passant le thyristor parasite omniprésent dans les procédés CMOS sur substrat de silicium.

Étant donné également que l'effet de ces porteurs augmente avec la température, il faut bien en tenir compte. Cependant, l'objectif de cette partie de notre travail est orienté vers l'étude, dans un contexte empirique, de l'influence des paramètres technologiques et de conception sur les conditions de verrouillage dans un état passant de la structure d'un thyristor parasite.

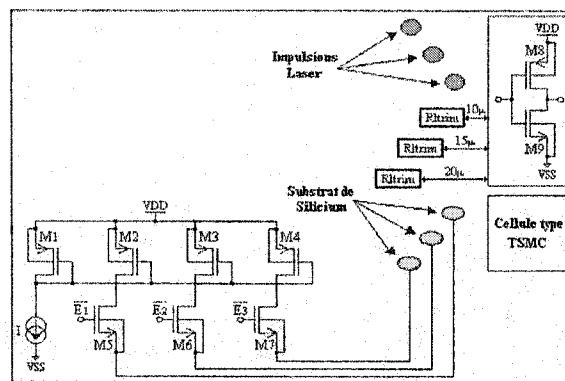


Fig. 4.9. Montage de caractérisation du phénomène *latchup*.

L'idée de base est de s'appuyer sur le modèle électrique classique d'un inverseur CMOS. Deux modèles d'inverseurs ont été utilisés (Fig. 4.9). Premièrement, un modèle d'inverseur de type TSMC employant des transistors de tailles minimales permises par la technologie CMOS 0.18 micron standard. Ce modèle est disponible dans la librairie cmosp18 de CMC. Ce choix est justifié par le fait qu'une cellule TSMC standard est relativement sensible aux variations dans le substrat de silicium. Deuxièmement, un modèle d'inverseur classique conçu et implémenté dans le

prototype expérimental. Ce modèle utilise des transistors de tailles supérieures aux tailles minimales permises par la technologie 0.18 μm .

Dans le cadre de ce projet, nous avons considéré l'utilisation d'un certain nombre de procédures et modèles de dispositif LTRIM dans le but d'engendrer des conditions pratiques pouvant favoriser l'amorçage d'un thyristor parasite. Ces conditions sont récapitulées dans les points suivants :

1. Il s'agit de focaliser à distance horizontale variable une brève impulsion laser dans le substrat de silicium. Trois points de focalisation du faisceau laser sont choisis. Par rapport au plan vertical des deux inverseurs, ces points de focalisation sont établis à des espacements de 10, 15 et 20 μm respectivement (Fig. 4.9). Ceci permet de déterminer deux éléments importants. Premièrement, la capacité d'absorption par le substrat de silicium de porteurs suffisamment énergétiques générés thermiquement par le rayonnement laser. Deuxièmement, l'espacement minimal sécuritaire entre le dispositif LTRIM et un circuit adjacent de telle façon que le risque de *latchup* soit diminué.
2. Il s'agit d'injecter un courant variable de 0 à 1mA dans le substrat de silicium. Pour des raisons de conformité des résultats, trois points d'injection sont également choisis. Ces points sont établis à des espacements de 10, 15 et 20 μm respectivement. Ceci permet d'estimer le courant de substrat qui pourrait polariser en direct la jonction source-substrat et par conséquent d'amorcer le thyristor parasite associé à chacun des deux inverseurs.

3. En technologie LTRIM, l'anneau de garde est employé en tant qu'une barrière qui sert à collecter les porteurs actifs générés thermiquement par le rayonnement laser et injectés dans le substrat de silicium. Dans le cadre de ce projet, nous avons considéré les deux cas de figure suivants. Premièrement, l'interface d'entrée-sortie d'un dispositif LTRIM est dotée ou non d'un anneau de garde. Deuxièmement, l'anneau de garde est flottant ou polarisé. Ceci permet d'abord de vérifier la nécessité ou non d'un anneau de garde pour chaque dispositif LTRIM. Par la suite, il permet de déterminer la polarisation adéquate de cet anneau dans le but de diminuer le risque de *latchup*.
4. Dans les technologies CMOS sur substrat de silicium, l'isolation électrique est une technique fondamentale permettant de dissocier les différents types de dispositifs actifs, passifs et les lignes d'interconnexions. Elle permet ainsi de réduire au minimum toute interaction électrique non-désirée entre les dispositifs tels que les courants de fuite puits-substrat. Dans le cadre de ce projet, nous avons considéré l'utilisation de deux types de puits, les N et les P. Ceci permet de déterminer le type d'isolation électrique adéquat à un dispositif LTRIM, en terme de polarité de puits, afin de limiter le courant de fuite puits-substrat, dû notamment aux porteurs actifs générés thermiquement par le rayonnement laser.

Les dimensions (w et l) attribuées aux différents transistors implémentés dans le prototype expérimental sont récapitulées dans le tableau 4.3.

Tableau 4. 3. Dimensions des transistors.

Composant	w (μm)	l (μm)
M1	10	1.2
M2	160	1.2
M3	160	1.2
M4	160	1.2
M5	160	1.2
M6	160	1.2
M7	160	1.2
M8	2.4	1.2
M9	1.2	1.2

Les commutateurs analogiques $\overline{E_i}$ ($i = 1, 2$ et 3), montrés à la figure 4.9, sont utilisés dans le but de choisir l'un des points d'injection de courant situés aux distances préalablement mentionnées.

4.3.3 Application à un AO

Comme il a été mentionné préalablement, la technologie LTRIM a été appliquée à un cas très concret d'amplificateur opérationnel de type CMOS. Cette application considère l'utilisation de deux dispositifs LTRIM introduits dans l'étage différentiel d'un AO compensé en fréquence par la méthode de Miller, dans le but de compenser sa tension de décalage d'entrée (Fig. 4.10). Dans le prototype expérimental implémenté, les deux dispositifs LTRIM utilisés sont de type N. Rappelons qu'un dispositif LTRIM est de type N lorsque les deux zones diffusées sont dopées dans un puits N.

La technique de compensation proposée s'appuie sur le même concept de base développé dans le chapitre précédent (voir section 3.2). Dans la figure 4.10, le gain intrinsèque en courant du miroir de courant composé par la paire de transistors

M3/M4 et les deux dispositifs LTRIM R_{ltrim1}/R_{ltrim2} , peut être aisément obtenu grâce au modèle petit signal de ce simple miroir de courant. Ce gain intrinsèque est donné approximativement par l'équation suivante :

$$\frac{i_{d4}}{i_{d3}} \cong \left(\frac{1 + g_{m3} \cdot R_{ltrim1}}{1 + g_{m4} \cdot R_{ltrim2}} \right) \frac{g_{m4}}{g_{m3}} \quad (4.4)$$

Où g_{mi} ($i = 3,4$) et r_{di} ($i = 3,4$) sont les transconductances et les résistances drain-source des transistors M3 et M4, respectivement. Rappelons que l'équation (4.4) est obtenue au moyen de deux hypothèses. Premièrement, en utilisant une linéarisation des équations de chaque transistor autour de son point de polarisation. Deuxièmement, en négligeant les capacités parasites intrinsèques associées à chacun des transistors M3 et M4 dans le modèle petit signal correspondant.

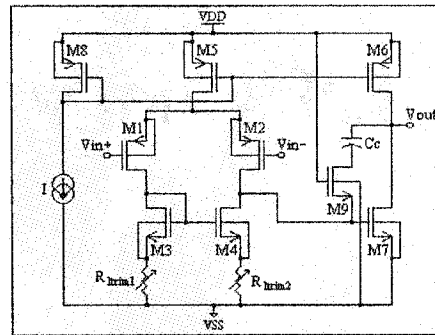


Fig. 4.10. Application de la technologie LTRIM à un AO.

Dans la figure 4.10, les dimensions des transistors M1 à M9 sont identiques à celles données dans le tableau 3.2 (chapitre 3). La capacité de compensation Miller est d'environ 1pF.

Étant donnée que la technique de diffusion par laser permet de créer des résistances de valeurs allant de 100Ω jusqu'à quelques $M\Omega$ avec une précision d'environ

50ppm, une large plage d'ajustement de la tension de décalage d'entrée de l'AO considéré peut être obtenue en raffinant minutieusement les valeurs des résistances des deux dispositifs LTRIM. Ce raffinement satisfera nécessairement la condition formulée par l'équation (3.5) au chapitre précédent.

4.4 Perspectives futures

Bien que les spécifications du cahier des charges initial soient quasiment satisfaites, notamment en ce qui concerne la caractérisation électrique du dispositif LTRIM, la nécessité de développer d'autres aspects de caractérisation demeure un travail essentiel et intéressant. Citons particulièrement le cas de la caractérisation du bruit et de l'effet Hall d'un dispositif LTRIM. La caractérisation de l'effet Hall dépasse le cadre du présent cahier des charges.

Quant au bruit, il s'agit d'un phénomène fondamental dont aussi bien son étude expérimentale que sa caractérisation constituent une étape essentielle au développement d'un modèle tangible et générique au dispositif LTRIM. Les paramètres de ce modèle devront être obtenus d'une manière empirique.

4.5 Conclusion

Dans ce chapitre, nous avons décrit une technique de diffusion par impulsion laser permettant la création de résistances diffusées directement dans le silicium qui sont à la fois précises et stables en température. Cette technique se distingue par une réduction importante des dimensions des résistances intégrées relativement aux mêmes valeurs de résistances formées au moyen des techniques de dopage ordinaires.

Le projet porte sur la caractérisation d'un procédé de création de résistances diffusées par impulsion laser, désignée dans le cahier des charges initial par le nom de dispositif LTRIM. Dans ce chapitre, nous avons présenté quelques procédures intéressantes permettant d'étudier les phénomènes parasites introduits dans le substrat Si-cristallin par le traitement laser pendant la séquence de création du dispositif LTRIM. Il s'agit des effets d'une perturbation et d'une injection de charges sur la dynamique d'un circuit adjacent au dispositif, et l'influence des paramètres technologiques et de conception sur les conditions d'amorçage d'un thyristor parasite.

Une application intéressante relative à cette nouvelle technologie a été également présentée. Il s'agit de compenser la tension de décalage d'entrée d'un AO moyennant l'utilisation de dispositifs LTRIM.

Bien que des efforts considérables aient été consacrés à l'aboutissement de cette première partie du projet, le besoin de mettre en lumière d'autres aspects de caractérisation demeure un travail essentiel et intéressant.

Le prototype expérimental relatif à ce projet (voir annexe D1) est en cours de fabrication par la TSMC à travers la CMC. Étant donné que mon rôle dans ce projet est de participer dans la conception des différentes structures préalablement mentionnées, les tests relatifs à ce prototype sont confiés à un autre membre de notre équipe.

CHAPITRE 5

CONCLUSION GÉNÉRALE

Le travail que nous venons de présenter est divisé en deux parties principales. La première partie porte sur les techniques de réduction de la tension de décalage d'entrée (*offset*) d'un amplificateur opérationnel de type CMOS. La technique proposée constitue notre contribution au perfectionnement des techniques existantes. Quant à la deuxième partie, elle s'attache essentiellement à la caractérisation d'un procédé de création de résistances diffusées par impulsion laser. Les structures analogiques proposées constituent notre apport à l'amélioration de la technologie LTRIM.

Au chapitre 2 nous avons présenté les concepts de base de plusieurs techniques qui ont fait l'objet de publications ces dernières années. Ces techniques ont été classées en deux catégories.

Premièrement, celles qui utilisent une caractéristique linéaire de compensation. Elles sont au nombre de deux, *Autozeroing* (AZ) et *Chopper Stabilization* (CHS). Une étude à base de la densité spectrale de puissance (PSD) nous a permis d'analyser le niveau d'efficacité de ces deux techniques face aux imperfections d'un AO. Cette étude a montré que la technique AZ est efficace pour réduire les imperfections à basse fréquence tels que la tension de décalage d'entrée et le bruit $1/f$, mais demeure inefficace à l'égard des imperfections à haute fréquence notamment le bruit blanc.

Au contraire de la technique CHS qui n'introduit pas des repliements dans le spectre du bruit à large bande.

Deuxièmement, nous avons discuté les techniques qui utilisent une caractéristique non-linéaire de compensation. Elles sont également au nombre de deux et considèrent l'utilisation de la structure "Ping-Pong" dans le but d'atteindre un facteur d'utilisation de l'AO d'environ 100%. Nous avons vu que la caractéristique transitoire due à l'opération "Ping-Pong" constitue la principale limitation associée à l'usage de cette structure. Dans ce chapitre, nous avons également mis l'accent sur les considérations technologiques et méthodologiques qui ont justifié notre choix d'opter pour une méthode de compensation à base d'un algorithme dédié.

Au chapitre 3 nous avons étudié en détail la chaîne de compensation proposée. Dans un premier temps, nous avons présenté les aspects qui distinguent la technique d'autocorrection proposée de celles existantes. Dans ce contexte, l'accent a été mis notamment sur l'utilisation d'un générateur de signal d'horloge uniquement actif pendant la phase de compensation de l'AO. Dans un deuxième temps, nous avons montré que le courant de décalage à la sortie du premier étage de l'AO peut être compensé moyennant l'ajustement du gain en tension de la charge active employée dans cet étage.

Ensuite, nous avons discuté la nécessité d'avoir un diviseur de fréquence du signal principal d'horloge dans le but d'établir une correspondance élégante entre les exigences du système implémenté et son automate d'états finis. Les résultats de

mesure obtenus ont permis de confirmer expérimentalement les résultats obtenus par simulation.

Finalement, nous avons présenté en perspective les perfectionnements qui pourront être apportées à cette technique dans le but d'améliorer davantage ses performances. Dans ce contexte, l'accent a été mis notamment sur l'adaptation de l'algorithme d'approximations successives à l'architecture d'un CNA à code thermomètre dans le but de réduire aussi bien le bruit transitoire généré pendant le fonctionnement en haute fréquence que l'erreur de non-linéarité différentielle du CNA. De plus, la monotonie du CNA sera garantie.

Le chapitre 4 regroupe les travaux qui sont effectués dans le cadre de l'amélioration de la technologie LTRIM des résistances diffusées par impulsion laser. Nous avons exposé en détail quelques procédures intéressantes permettant d'étudier expérimentalement les phénomènes parasites introduits dans le substrat Si-cristallin par le traitement laser pendant la séquence de création du dispositif.

La première procédure concerne les effets thermique et d'injection de charges non entièrement compensées sur la dynamique d'un circuit adjacent au dispositif LTRIM. Dans ce contexte, une chaîne de mesure à base d'un ensemble d'oscillateurs en anneau, est développée. Les charges absorbées par le substrat de silicium, seront alors détectables dans les grilles des différents inverseurs qui composent l'oscillateur à l'essai.

Quant à la seconde procédure, elle porte sur l'influence des paramètres technologiques et de conception sur les conditions de verrouillage dans son état direct-passant du thyristor parasite. Dans ce contexte, une structure à base du modèle électrique classique d'un inverseur CMOS, est développée. Dans cette structure, plusieurs modèles de dispositif LTRIM sont utilisés dans le but d'engendrer des conditions pratiques pouvant favoriser l'amorçage du thyristor parasite associé à chacun des inverseurs employés.

Finalement, nous avons présenté une application intéressante relative à cette nouvelle technologie. Elle consiste à compenser la tension de décalage d'entrée (offset) d'un AO moyennant l'utilisation de dispositifs LTRIM.

Signalons pour terminer que le prototype expérimental relatif au projet LTRIM est en cours de fabrication par la TSMC. Cependant, les résultats de mesure seront disponibles d'ici quelques mois.

RÉFÉRENCES

1. BAKER, R.J., LI, H.W., BOYCE, D.E. 1998. CMOS Circuit Design, Layout, and Simulation. Press IEEE, New York. 1998.
2. BAKKER, A., HUIJSING, J.H. 1997. A CMOS Chopper Opamp with Integrated Low-Pass Filter. Conférence ESSCIRC'97, septembre 1997.
3. BIANCHI, R-A. 1999. Techniques de Conception des Circuits Intégrés Analogiques pour des Applications en Haute Température, en Technologies sur Substrat de Silicium. Thèse de Doctorat, Institut National Polytechnique de Grenoble, octobre 1999.
4. BOONYAPORN, P., KASEMSUWAN, V. 2002. A High Performance Class AB CMOS Rail to Rail Voltage Follower. Proceedings. 2002 IEEE Asia-Pacific Conference on ASIC, pp. 161-163, août 2002.
5. CAND, M., DEMOULIN, E., LARDY, J-L., SENN, P. 1986. *Conception des Circuits Intégrés MOS, éléments de base - perspectives*. Éditions EYROLLES & CENT-ENST, 1986.
6. CHAAHOUB, F. 1999. Études des Méthodes de Conception et des Outils de C.A.O. pour la Synthèse des Circuits Intégrés Analogiques. Thèse de Doctorat, Institut National Polytechnique de Grenoble, septembre 1999.

7. CHANG, C-Y., CHEN, P-C., YANG, C-Y., LEE, Y-H. 2002. The CMOS On-chip Oscillator Based on Tracking Technique. Proceedings. IEEE Asia-Pacific Conference on ASIC, pp. 197-200, août 2002.
8. DJEMOUAI, A., SLAMANI, M., SAWAN, M. 1998. High Performance Integrated CMOS Frequency-to-Voltage Converter. Proceedings of the Tenth International Conference on Microelectronics, ICM'98, décembre 1998.
9. ENZ, C.C., TEMES, G.C. 1996. Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization. Invited Paper, IEEE Journal of Solid-State Circuits, vol. 31, novembre 1996.
10. ENZ, C.C., VITTOZ, E.A., KRUMMENACHER, F. 1987. A CMOS Chopper Amplifier. IEEE Journal Solid-State Circuits, vol. SC-22, pp. 335-342, juin 1987.
11. FAIRCHILD SEMICONDUCTOR. 1998. CMOS Schmitt Trigger-A Uniquely Versatile Design Component. Fairchild Semiconductor Corporation, AN006024, 1998.
12. GEFFROY, V. 2002. Conception de Circuits Intégrés Radiofréquences sur Technologie CMOS pour des Applications sans Fil Grand Public : Application aux Mélangeurs. Thèse de Doctorat, École Nationale Supérieure des Télécommunications – Paris, octobre 2002.

13. GEROSA, A. 2001. A Ready-to-Use Design Procedure for Operational Transconductance Amplifiers that Minimizes Power Consumption. The 8th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2001, vol. 2, pp. 949-952, 2-5 septembre 2001.
14. GUISTOLISI, G., PALUMBO, G. 2002. An Approach to Test the Open-Loop Parameters of Feedback Amplifiers. IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications, vol. 49, No. 1, janvier 2002.
15. JERRAYA, A-A. 2002. *Conception de haut niveau des systèmes monopuces*. Édition LAVOISIER, 2002.
16. JOHNS, D., MARTIN, K. 1997. *Analog Integrated Circuit Design*. John-Wiley and Sons, Inc., 1997.
17. JOHNSTON, A.H., MIYAHIRA, T.F. 2000. Latchup Test Considerations for Analog-to-Digital Converters. Presented at SEE Symposium, Manhattan Beach, avril 2000.
18. KADANKA, P., ROZSYPAL, A. 2000. Rail-to-Rail Voltage Follower without Feedback. Electronics Letters, vol. 36, No. 2, pp. 104-105, janvier 2000.
19. KAYAL, M., RANDJLOVIC, Z. 1987. Auto-zero differential difference amplifier. IEEE Journal of Solid-State Circuits, vol. 22, no. 3, pp. 335-342, juin 1987.

20. KAYAL, M., SÁEZ, R.T.L., DECLERCQ, M. 1998. An Automatic Offset Compensation Technique Applicable to Existing Operational Amplifier Core Cell. IEEE Proc.-Custom Integrated Circuits Conference 11-14, pp. 419-422, mai 1998.
21. LESTER, A. 1999. Abstraction Fonctionnelle des Circuits Numériques VLSI avec une Méthode Formelle Basée sur une Extraction de Réseau de Portes. Thèse de Doctorat, Université Pierre et Marie Curie - Paris, décembre 1999.
22. MANETAKIS, K., TOUMAZOU, C. 1996. A New High-Frequency Very Low Output-Impedance CMOS Buffer. IEEE International Symposium on Circuits and Systems, ISCAS'96, vol. 1, pp. 485-488, mai 1996.
23. MEAD, C., CONWAY, L. 1983. *Introduction aux systèmes VLSI*. InterÉditions, Paris (France), 1983.
24. MEUNIER, M., GAGNON, Y., SAVARIA, Y., LACOURSE, A., CADOTTE, M. 2001. A Novel Laser Trimming Technique for Microelectronics. Publié dans *Laser Applications in Microelectronics and Optoelectronic Manufacturing VI*, pp. 385-392, 2001.
25. NOGAWA, M., OHTOMO, Y. 2000. A 16.3-GHz 64:1 CMOS Frequency Divider. Proceedings of the Second IEEE Asia Pacific Conference on ASICs, pp. 95-98, août 2000.
26. PEASE, R.A. 1991. Troubleshooting Analog Circuits. Butterworth-Heinemann, Boston 1991. ISBN: 0-7506-9184-0.

27. R-ANGULO, J., CARVAJAL, R.G., TORRALBA, A., GALAN, J., V-LEAL, A.P., TOMBS, J. 2002. The Flipped Voltage Follower: A useful cell for low-voltage low-power circuit design. IEEE International Symposium on Circuits and Systems, ISCAS'02, vol. 3, pp. 615-618, mai 2002.
28. RUSZNYAK, A. 1987. Start-Up Time of CMOS Oscillators. IEEE Transactions on Circuits and Systems, vol. CAS-34, No 3, pp 259-268, mars 1987.
29. SAVARIA, Y. 1988. *Conception et vérification des circuits VLSI*. Édition de l'École Polytechnique de Montréal, 1988.
30. SETO, J.Y.W. 1975. The Electrical Properties of Polycrystalline Silicon Films. J. Appl. Physics, vol 46, pp. 5247-5254, 1975.
31. SHOUCAIR, F.S. 1988. High Temperature Latchup Characteristics in VLSI CMOS Circuits. IEEE Transactions on Electron Devices, vol 35, No 12, pp 2424-2426, décembre 1988.
32. S-SINENCIO, E., ANDREOU, A.G. 1999. *Low-Voltage/Low-Power Integrated Circuits and Systems, Low-Voltage Mixed-Signal Circuits*. Par IEEE Press. 1999.
33. S-SINENCIO, E., S-MARTINEZ, J. 2000. CMOS transconductance amplifiers, architectures and active filters: a tutorial. IEE Proceedings-Circuits, Devices and Systems, vol. 147, No. 1, pp. 3-12, février 2000.

34. TANG, A., TOUMAZOU, C. 1994. Novel Self-Calibrated High-Speed D/A Converter Using Trimmable Current Sources. Proceedings of ISCAS, vol. 5, pp. 469-472, juin 1994.
35. TANNO, K., MATSUMOTO, H., ISHISUKA, O., TANG, Z. 1999. Simple CMOS Voltage Follower with Resistive-Load Drivability. IEEE Transactions on Circuits and Systems-II : Analog and Digital Signal Processing, vol. 46, No. 2, pp. 172-177, février 1999.
36. TRABELSI, A., SAVARIA, Y., AUDET, Y. 2003. An Automatic Offset Correction Technique Based on Active Load Tuning. Conférence NEWCAS'2003, pp. 5, Montréal, juin 2003.
37. YU, C-G., GEIGER, R.L. 1994. An Automatic Offset Compensation Scheme with Ping-Pong Control for CMOS Operational Amplifiers. IEEE Journal of Solid-State Circuits, vol. 29, No. 5, pp. 335-342, mai 1994.

ANNEXES

Annexe A

A.1. Spécification en langage VHDL de la FSM

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_arith.ALL;
USE ieee.std_logic_unsigned.ALL;
LIBRARY Work;
USE Work.ALL;
ENTITY LOGIQUE IS
PORT (Start : IN STD_LOGIC;
Clk_I : IN STD_LOGIC;
W_R : IN STD_LOGIC;
R_Count: IN STD_LOGIC;
C_Sw : OUT STD_LOGIC_VECTOR (4 DOWNTO 0);
O_DAC : OUT STD_LOGIC_VECTOR (7 DOWNTO 0);
E_Count: OUT STD_LOGIC;
E_R : OUT STD_LOGIC;
E_Clk : OUT STD_LOGIC);
END LOGIQUE;
ARCHITECTURE FSM OF LOGIQUE IS
--Déclaration d'un type énuméré
TYPE STATE IS (S0,S1,S2,S3,S4,S5,S6,S7,S8,S9,S10,S11,S12,S13,S14,S15);
--Déclaration d'un type vecteur
ATTRIBUTE state_vector : STRING;
ATTRIBUTE state_vector OF FSM : ARCHITECTURE IS "next_state";
BEGIN
Proc_Sync : PROCESS (Clk_I,Start)
VARIABLE next_state : STATE;
VARIABLE D_cour : STD_LOGIC_VECTOR (7 DOWNTO 0);
VARIABLE D_suiv : STD_LOGIC_VECTOR (7 DOWNTO 0);
VARIABLE P_cour : STD_LOGIC_VECTOR (7 DOWNTO 0);
VARIABLE P_suiv : STD_LOGIC_VECTOR (7 DOWNTO 0);
VARIABLE Switch : STD_LOGIC_VECTOR (4 DOWNTO 0);
VARIABLE S_fd : STD_LOGIC;
VARIABLE S_mis : STD_LOGIC;
BEGIN
--Reset de la FSM
IF (Start = '0') THEN
next_state := S0;
ELSIF (Clk_I'EVENT AND Clk_I = '1') THEN
--Définition des actions et des conditions de transition de la FSM
CASE next_state IS
WHEN S0 =>
E_Clk <= '0';
D_cour := X"00";
D_suiv := X"00";
P_cour := X"80";
P_suiv := X"00";
Switch := "00111";

```

```

next_state := S1;
WHEN S1 =>
  C_Sw <= Switch;
  next_state := S2;
WHEN S2 =>
  E_Count <= '1';
  IF (R_Count = '1') THEN
    next_state := S3;
  ELSE
    next_state := S2;
  END IF;
WHEN S3 =>
  E_R <= '1';
  E_Count <= '0';
  next_state := S4;
WHEN S4 =>
  S_mis := W_R;
  E_R <= '0';
  next_state := S5;
WHEN S5 =>
  IF (S_mis = '1') THEN
    Switch := "01111";
    D_suiv := D_cour XOR P_cour;
  ELSE
    Switch := "10111";
    D_suiv := D_cour XOR P_cour;
  END IF;
  C_Sw <= Switch;
  next_state := S6;
WHEN S6 =>
  O_DAC <= D_suiv;
  next_state := S7;
WHEN S7 =>
  E_Count <= '1';
  IF (R_Count = '1') THEN
    next_state := S8;
  ELSE
    next_state := S7;
  END IF;
WHEN S8 =>
  E_R <= '1';
  E_Count <= '0';
  next_state := S9;
WHEN S9 =>
  S_fd := W_R;
  E_R <= '0';
  next_state := S10;
WHEN S10 =>
  IF (S_fd = S_mis) THEN
    D_cour := D_suiv;
    P_suiv := shr(P_cour, "01");
  ELSE

```

```

P_suiv := shr(P_cour, "01");
END IF;
next_state := S11;
-- Actualisation des registres
WHEN S11 =>
IF (P_suiv > X"00") THEN
D_suiv := D_cour XOR P_suiv;
P_cour := P_suiv;
next_state := S6;
ELSE
next_state := S12;
END IF;
WHEN S12 =>
Switch := Switch AND "11000";
next_state := S13;
WHEN S13 =>
C_Sw <= Switch;
E_Clk <= '1';
next_state := S14;
WHEN S14 =>
next_state := S15;
WHEN S15 =>
next_state := S0;
WHEN OTHERS =>
next_state := S0;
END CASE;
END IF;
END PROCESS Proc_Sync;
END FSM;

```

A.2. Spécification en langage VHDL du diviseur de fréquence

```

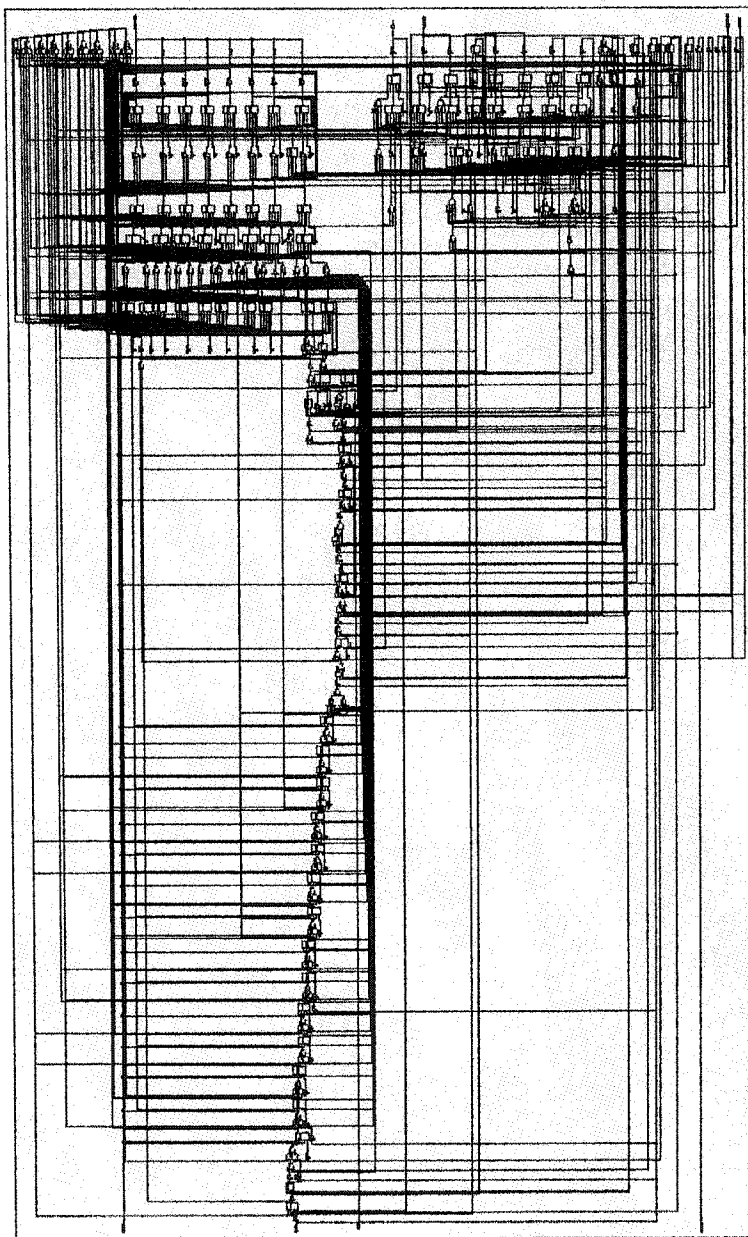
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_arith.ALL;
USE ieee.std_logic_unsigned.ALL;
LIBRARY Work;
USE Work.ALL;
ENTITY COUNTER IS
PORT (Start : IN STD_LOGIC;
Clk_I : IN STD_LOGIC;
E_Count: IN STD_LOGIC;
R_Count: OUT STD_LOGIC);
END COUNTER;
ARCHITECTURE BEH OF COUNTER IS
BEGIN
Proc_Sync : PROCESS (Clk_I,Start,E_Count)
VARIABLE Q_temp : STD_LOGIC_VECTOR (4 DOWNTO 0);
BEGIN
IF (Start = '0' OR E_Count = '0') THEN
Q_temp := (others => '0');
R_Count <= '0';

```

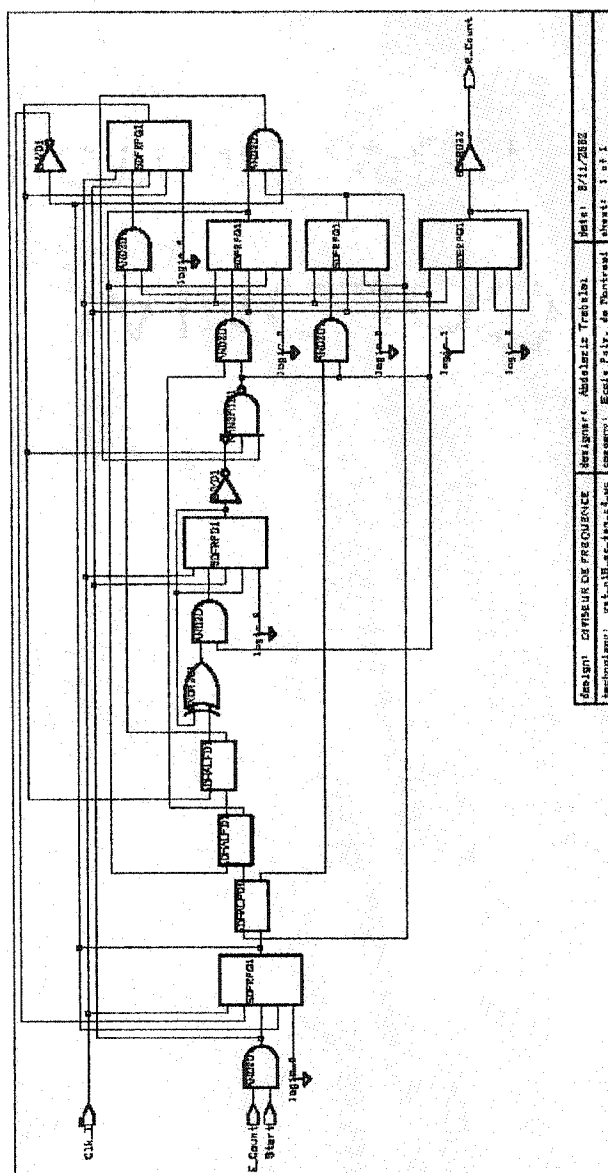
```
ELSIF (Cik_I'EVENT AND Cik_I = '1') THEN
IF (Q_temp < "11111") THEN
Q_temp := Q_temp + 1;
ELSE
Q_temp := (others => '0');
R_Count <= '1';
END IF;
END IF;
END PROCESS Proc_Sync;
END BEH;
```

Annexe B

B.1. Circuit au niveau porte de la FSM

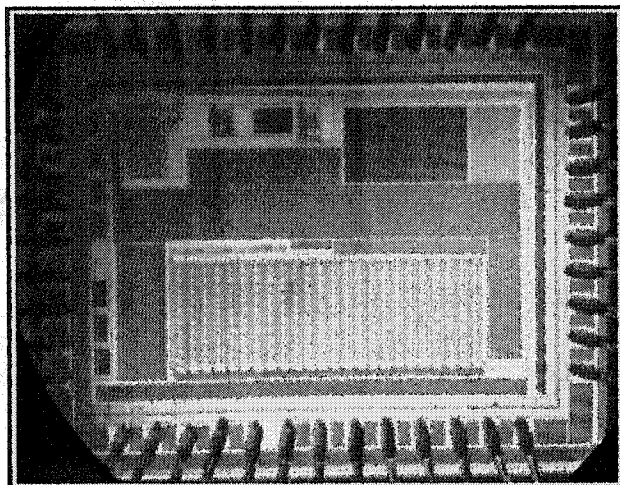


B.2. Circuit au niveau porte du diviseur de fréquence

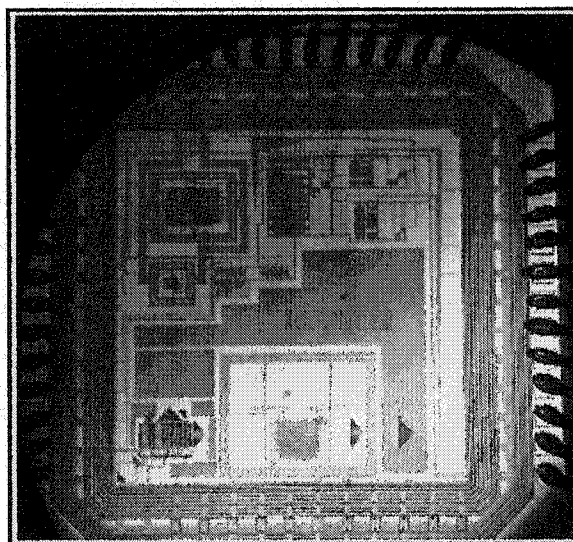


Annexe C

C.1. Photographie du prototype de "Mode Manuel"



C.2. Photographie du prototype de "Mode Automatique"



Annexe D

D.1. Prototype expérimental du projet LTRIM

