



Titre: Conception d'une référence de tension intégrée à faible
alimentation

Auteur: Abdelhalim Bendali
Author:

Date: 2003

Type: Mémoire ou thèse / Dissertation or Thesis

Référence: Bendali, A. (2003). Conception d'une référence de tension intégrée à faible
alimentation [Master's thesis, École Polytechnique de Montréal]. PolyPublie.
Citation: <https://publications.polymtl.ca/7220/>

 **Document en libre accès dans PolyPublie**
Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/7220/>
PolyPublie URL:

**Directeurs de
recherche:** Yvon Savaria
Advisors:

Programme: Unspecified
Program:

UNIVERSITÉ DE MONTRÉAL

CONCEPTION D'UNE RÉFÉRENCE DE TENSION INTÉGRÉE
À FAIBLE ALIMENTATION

ABDELHALIM BENDALI

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION
DU GRADE DE MAÎTRE ÈS SCIENCES APPLIQUÉES
(GÉNIE ÉLECTRIQUE)

NOVEMBRE 2003



National Library
of Canada

Bibliothèque nationale
du Canada

Acquisitions and
Bibliographic Services

Acquisitions et
services bibliographiques

395 Wellington Street
Ottawa ON K1A 0N4
Canada

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 0-612-89178-X

Our file Notre référence

ISBN: 0-612-89178-X

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this dissertation.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de ce manuscrit.

While these forms may be included in the document page count, their removal does not represent any loss of content from the dissertation.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

ce mémoire intitulé :

CONCEPTION D'UNE RÉFÉRENCE DE TENSION
INTÉGRÉE À FAIBLE ALIMENTATION

présenté par: Abelhalim Bendali

en vue de l'obtention du diplôme de: Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de:

M. AUDET Yves, Ph. D., président

M. SAVARIA Yvon, Ph. D., membre et directeur de recherche

M. KHOUAS Abdelhakim, Ph. D., membre du jury

À ma famille

REMERCIEMENTS

Je tiens à remercier mon directeur de recherche, M. Yvon Savaria, pour m'avoir accepté au sein de son équipe et pour m'avoir permis d'explorer des sujets de recherche très intéressants liés au domaine de la microélectronique analogique. Ses conseils pertinents, ses encouragements et son appui m'ont toujours accompagné durant mes travaux de maîtrise.

Je remercie messieurs Yves Audet et Abelhakim Khouas pour avoir accepté d'être les membres du jury d'examen et d'évaluer ce travail.

Je tiens à remercier toute l'équipe de LTRIM Technologies Inc., et plus particulièrement son directeur, M. Yves Gagnon, avec qui j'ai eu le plaisir de participer à de nombreux exposés et projets liés à la conception de références de tension. Je les remercie aussi pour le soutien technique et financier que j'ai reçu tout au long de ce travail.

Je tiens à remercier Abdelwahab Djemouai et Youcef Fouzar pour toutes les discussions constructives et soutenues à propos de la conception de circuits analogiques qui m'ont fortement aidé à éclaircir ce domaine.

Je remercie particulièrement Hugues Langlois, pour ses remarques, ses réflexions et ses suggestions liées à mon sujet de recherche.

Je tiens à remercier également Hicham Hallabi pour son aide durant mes cours de maîtrise.

Je tiens à remercier également la Corporation de microélectronique du Canada (CMC) pour son soutien technique ainsi que le Conseil de Recherches en Sciences Naturelles et en Génie du Canada (CRSNG) pour le support financier tout au long de ce travail.

Je tiens finalement à saluer toutes les personnes du groupe de recherche en microélectronique (GRM) avec qui j'ai eu le plaisir de partager des moments formidables.

RÉSUMÉ

La conception d'une référence de tension (RT) doit tenir compte des différents objectifs pour les performances fonctionnelles. Suivant les spécifications électriques et les contraintes technologiques, le choix de la topologie de la RT est souvent le résultat d'un compromis entre précision, simplicité, robustesse et coût.

Nous avons développé, dans le cadre de ce travail, une nouvelle topologie de circuit de référence de tension Bandgap (BGR). Ce circuit est conçu pour un procédé CMOS standard à puits N et opère avec une tension d'alimentation de 1 Volt. La stabilité de la tension de sortie en fonction de la température est obtenue par une technique qui exploite la tension de seuil (threshold) d'un transistor NMOS. Le degré de compensation en température que nous avons utilisé pour la tension de sortie est du premier ordre.

L'objectif de ce mémoire est de présenter la conception de la référence proposée, l'approche mathématique sur laquelle est basée le fonctionnement du circuit ainsi que les simulations et les résultats obtenus.

Mots-clés : Référence de tension, circuit Bandgap, circuits analogiques, compensation de la température, tension de seuil, microélectronique.

ABSTRACT

The design of voltage references takes into account various objectives with respect to desired functionalities. Depending on the electric specification and technological constraints, the choice of the reference topology is a result of tradeoffs between accuracy, simplicity, robustness and cost.

In this work, we present a new bandgap reference (BGR) topology. The circuit is designed for a Nwell CMOS process and operates with 1 Volt power supply. The thermal stability of the output exploits the threshold voltage of a NMOS transistor. The output voltage reference shows a first-order temperature compensation.

The goal of the thesis is to expose the design of the proposed topology, the mathematical analysis, simulation and experimental results.

Keywords : voltage reference, Bandgap circuits, analog circuit, temperature compensation, threshold voltage, microelectronics.

TABLE DES MATIÈRES

DÉDICACE.....	iv
REMERCIEMENTS.....	v
RÉSUMÉ	vii
ABSTRACT.....	viii
TABLE DES MATIÈRES.....	ix
LISTE DES FIGURES	xii
LISTE DES TABLEAUX.....	xiv
LISTE DES ANNEXES	xv
LISTE DES ABBRÉVIATIONS ET EXPRESSIONS.....	xvi
1 PERFORMANCES DES CIRCUITS RÉFÉRENCES DE TENSION	3
1.1 Introduction.....	3
1.2 Notions fondamentales.....	4
1.2.1 Caractéristiques des références de tension.....	4
1.2.1.1 Coefficient de température.....	6
1.2.1.2 Précision de la tension de sortie.....	6
1.2.1.3 Consommation de puissance.....	8
1.2.1.4 Bruit en sortie.....	9
1.2.1.5 Influence des variations de procédé.....	10
1.2.1.6 Modèle de diode dans le procédé CMOS standard.....	11
1.3 Conclusion	23
2 ANALYSE DES CIRCUITS BANDGAPS STANDARD (BGR).....	24
2.1 Introduction.....	24
2.2 Principe d'une référence de tension Bandgap (BGR).....	25
2.3 Analyse théorique du coefficient de température d'un circuit BGR.....	27
2.3.1 Tensions et courants proportionnels à la température (PTAT).....	31
2.3.1.1 Tension PTAT comme capteur de température	31
2.3.1.2 Références PTAT basées sur les jonctions PN	32

2.3.1.3	Références PTAT basées sur des transistors CMOS	33
2.3.2	Compensation du premier ordre.....	36
2.3.2.1	Circuit BGR avec amplificateur chopper pour compenser l'offset	40
2.3.2.2	Circuits à basse tension et à basse puissance (Topologie mode courant).....	43
2.3.3	Compensation d'ordre supérieur.....	56
2.3.3.1	Compensation adaptative [52] [33] [6].....	57
2.3.3.2	Compensation du second ordre [25][20].....	59
2.4	Considérations concernant le design des circuits BGR	60
2.4.1	Influence du décalage de l'amplificateur sur la tension de sortie [9][13] [48].....	60
2.4.2	Appariement des résistances utilisées [3] [34].....	62
2.5	Conclusion	63
3	CONCEPTION D'UNE RÉFÉRENCE DE TENSION BANDGAP À BASSE TENSION DONT LA COMPENSATION EN TEMPÉRATURE EST BASÉE SUR LA TENSION DE SEUIL D'UN TRANSISTOR MOS	64
3.1	Introduction.....	64
3.2	Références de tension BGR impliquant un courant issu de la tension de seuil V_{TH} d'un transistor MOS	64
3.3	Référence de tension BGR utilisant un amplificateur transimpédance	66
3.4	Description du circuit proposé.....	68
3.5	Circuit de démarrage (Startup).....	73
3.6	Amplificateur de tension.....	75
3.7	Influence des coefficients thermiques des résistances du circuit.....	75
3.8	Variation de la tension de sortie en fonction de la température.....	76
3.9	Conclusion	78
4	RÉSULTATS DE SIMULATIONS ET PROTOTYPE EXPÉRIMENTAL.....	79
4.1	Résultats de simulation	79
4.1.1	Simulation du bruit de sortie.....	83

4.1.2	Simulation de l'impact des variations de procédé sur la tension de sortie	83
4.1.3	Résumé des caractéristiques simulées de la référence de tension.....	84
4.2	Implémentation du circuit.....	85
4.3	Conclusion	92
5	CONCLUSION.....	93
	BIBLIOGRAPHIE.....	97

LISTE DES FIGURES

Figure 1-1 Structure de base d'une référence de tension Bandgap (BGR) utilisant des transistors PNP connectés en diode.	5
Figure 1-2 Référence de tension en mode courant.....	9
Figure 1-3 La diode de type P, les transistors PNP vertical et horizontal disponibles dans le procédé CMOS standard à puit N.	13
Figure 1-4 La diode de type N dans la CMOS standard.....	13
Figure 1-5 Transistor PNP vertical parasite dans la technologie CMOS.....	15
Figure 1-6 Effet du haut niveau d'injection causé par une augmentation du nombre de recombinaison électron- trou dans la base (puit N).	18
Figure 2-1 Principe d'une référence de tension Bandgap.....	26
Figure 2-2 Comportement en température d'une tension de diode.....	28
Figure 2-3 Transistors PNP CMOS utilisés comme capteur de température.....	32
Figure 2-4 Circuit Bandgap standard BGR pour générer un courant PTAT.	33
Figure 2-5 Courant PTAT avec des transistors CMOS opérant en mode sous le seuil [55] [22].....	34
Figure 2-6 Erreur résiduelle d'une compensation du 1 ^{er} ordre de la Topologie Mode tension.....	38
Figure 2-7 Le circuit de référence Bandgap proposé par Brokaw [38].	39
Figure 2-8 Référence BGR CMOS typique [59].	40
Figure 2-9 Circuit proposé par [45].	41
Figure 2-10 Amplificateur découpeur (<i>chopper</i>) utilisé dans le circuit de la Figure 2-9 [45].....	42
Figure 2-11 Circuit BGR en mode courant [44].	44
Figure 2-12 BGR en mode tension [44].....	46
Figure 2-13 V_{REF} en fonction de V_{DD} et en fonction de la température [44].	47
Figure 2-14 La section transversale du transistor DTMOS [2].....	47
Figure 2-15 Basse Tension DTMOS BGR [2].....	48

Figure 2-16 Tension V_{ref} en fonction de la température [2].	49
Figure 2-17 Le circuit proposé par [8].	50
Figure 2-18 Résultats expérimentaux de la topologie [8].	50
Figure 2-19 Circuit BGR basse tension proposé par [57].	52
Figure 2-20 Circuit proposé par [59].	53
Figure 2-21 Amplificateur opérationnel dont les PMOS d'entrée opèrent en faible inversion proposé en [40].	55
Figure 2-22 Amplificateur opérationnel à entrées NMOS avec décaleurs PMOS à l'entrée [40].	56
Figure 2-23 Variation de l'erreur sur la tension de référence V_{REF} avec le courant de polarisation I_C .	58
Figure 2-24 Circuit de traitement proposé par [52].	58
Figure 2-25 Circuit utilisé pour la compensation logarithmique [29].	59
Figure 2-26 Tension de décalage en sortie (offset).	60
Figure 3-1 Référence de tension utilisant la tension de seuil d'un transistor MOS.	65
Figure 3-2 Principe de la référence de tension à transimpédance proposée par [59].	66
Figure 3-3 Configuration du circuit proposé.	72
Figure 3-4 Circuit de démarrage.	74
Figure 3-5 Amplificateur de sortie.	74
Figure 3-6 Tension de sortie vs Température.	77
Figure 3-7 Variation du courant consommé par le circuit en fonction de la température.	78
Figure 4-1 Simulation de la variation de tension en fonction de la	80
Figure 4-2 Simulation du temps de démarrage de la référence de tension.	81
Figure 4-3 Simulation du taux de rejection d'alimentation (PSRR) à la sortie.	82
Figure 4-4 Figure de bruit de la tension de sortie.	83
Figure 4-5 Simulation des variations de procédé par les modèles des corners TT, FF, SS.	84
Figure 4-6 Puce de test fabriquée.	86
Figure 4-7 Type de compensation en température du premier et deuxième ordre.	90

LISTE DES TABLEAUX

Tableau 1 Degrés d'appariement des transistors PNP [21].	22
Tableau 2 Comparaisons de performance entre les circuits BGR de [53] et [59].	69
Tableau 3 Résumé des performances simulées de la référence de tension conçue.	85
Tableau 4 Mesure de la tension de référence à 25.4°C.	86
Tableau 5 Simulation de l'erreur produite à la tension de sortie.	89

LISTE DES ANNEXES

ANNEXE 1 Développement analytique de la relation V_{BE} en fonction du courant I_C d'une diode.....	106
ANNEXE 2 Quelques techniques d'appariement de dispositifs intégrés.....	111
ANNEXE 3 Fichier SPICE de la référence BGR proposée.....	117

LISTE DES ABBRÉVIATIONS ET EXPRESSIONS

BGR	Bandgap Reference (Référence de tension Bandgap)
RT	Référence de Tension
RC	Référence de Courant
CI	Circuit Intégré
PPF	Paramètres des Procédés de Fabrication
PTAT	Proportional To Absolute Temperature (Proportionnel à la Température Absolue)
CTAT	Conversely Proportional To Absolute Temperature (Inversement Proportionnel à la Température Absolue)
V_T	Tension thermique
V_{TH}	Threshold Voltage (Tension de seuil d'un transistor CMOS)
k	Constante de Boltzmann
DTMOS	Dynamic Threshold MOS (MOS à seuil dynamique)
PSRR	Power Supply Rejection Ratio (Taux de Rejection de la tension d'alimentation)
TC1	First Order Temperature Coefficient (Coefficient de température du premier ordre)
TC2	Second Order Temperature Coefficient (Coefficient de température du deuxième ordre)

INTRODUCTION

La conception d'appareils électroniques à faible consommation de puissance et à très basse tension d'alimentation est de nos jours une préoccupation constante. Du fait de l'intégration sur une puce électronique d'une grande densité de circuits mixtes analogiques et numériques de plus en plus performants, il y a un intérêt croissant à l'utilisation des références de tension (RT) pour les CI dédiés à des applications telles que les appareils portables, les appareils de mesures ou les circuits analogiques opérant dans un environnement bruyé.

Dans le contexte industriel, rentabilité et performance imposent souvent des compromis difficiles à gérer. Cela se traduit par des contraintes dans le choix de la stratégie pour la conception d'une RT: l'utilisation d'une technologie plus performante et par conséquent plus chère n'est pas toujours désirable.

Ce projet de maîtrise a pour but de concevoir une référence de tension en technologie CMOS basée sur les références de tension Bandgap (BGR), qui utilisent des diodes pour la stabilité en température. L'avantage que procure l'utilisation de la technologie CMOS, par rapport aux autres existantes, tels que la bipolaire ou la BiCMOS, est principalement son coût relativement plus bas et la possibilité d'intégrer une large densité de circuits mixtes analogique/numérique et analogique moins gourmands en terme de consommation de puissance.

Nous avons développé, dans le cadre de ce travail, une nouvelle topologie d'un circuit BGR. La stabilité de la tension de sortie en fonction de la température est obtenue par une technique basée sur la tension de seuil (threshold) d'un transistor NMOS standard. Le degré de compensation en température que nous avons utilisé pour la tension de sortie est du premier ordre.

Afin d'approcher au mieux les caractéristiques d'une référence de tension idéale, le circuit conçu est un compromis entre simplicité, robustesse et précision. Dans le chapitre 1, nous présenterons une analyse qualitative des effets causés par les éléments non idéaux sur les caractéristiques des références de tension, dans le but de mieux appréhender les sources d'erreurs pouvant détériorer leurs performances. Des exemples des principaux types de références de tension et de courant proposé dans la littérature sont revus dans le chapitre 2.

Nous exposerons l'approche mathématique sur laquelle est basée le fonctionnement du circuit. Les simulations ainsi que les résultats expérimentaux obtenus, font l'objet du dernier chapitre et nous terminerons par une conclusion.

1 PERFORMANCES DES CIRCUITS RÉFÉRENCES DE TENSION

1.1 Introduction

Le rôle d'une référence de tension est de générer une tension continue, précise et stable avec la température. Elle doit être insensible aux bruits provenant de la tension d'alimentation et aux fluctuations des procédés de fabrication. La conception d'une référence de tension tient compte aussi de plusieurs autres caractéristiques telle que la puissance consommée, la surface occupée sur la puce et la charge maximale en sortie. En général, la dérive en température est la plus importante caractéristique dont on doit tenir compte pour la référence [43].

Les RT présentent toujours une légère dépendance à la température, suivant les topologies utilisées on peut compenser en partie cette dérive. Une compensation en température dite du premier ordre sont des solutions moins coûteuses que celle d'ordres supérieurs. Les technologies bipolaires sont plus disposées à produire des références plus performantes mais plus chères. Ces dernières sont plus précises, plus complexes, nécessitent parfois plus d'espace de silicium et une consommation de courant plus élevée. La demande de performances élevées pour les références de tension (RT) découle de plusieurs raisons, entre autre :

- une basse tension d'opération, qui a pour effet de réduire le rapport signal sur bruit;

- la nécessité d'intégrer des circuits mixtes analogique et digital, qui injectent du bruit autour des blocs sensibles.
- une plus grande précision pour les circuits spéciaux tels que les convertisseurs analogique-numérique (ADC) et numérique-analogique (DAC), etc.

La majorité des références de tension disponibles compensent les dérives de premier ordre [42]. Ceci a pour conséquence que la variabilité résiduelle, une fois les dérives de premier ordre compensées de façon idéales, sont de nature au moins quadratique.

1.2 Notions fondamentales

1.2.1 Caractéristiques des références de tension

Dans la plupart des RT intégrées, le principe exploité pour générer une tension stable en température repose essentiellement sur l'utilisation de dispositifs à jonctions PN, tels que les transistors bipolaires NPN, PNP et les diodes. L'usage de ces dispositifs n'est pas obligatoire, mais leur utilisation permet d'atteindre des performances plus élevées à un coût raisonnable. Les circuits Bandgaps (BGR), qui utilisent la combinaison de deux tensions de diode, [15], restent la meilleure approche disponible pour générer une référence stable en température. La structure de base au noyau d'un BGR est illustrée à la Figure 1-1. Différentes topologies de BGR ont été développées depuis 1971 pour différents procédés de fabrication (bipolaire, BiCMOS et CMOS).

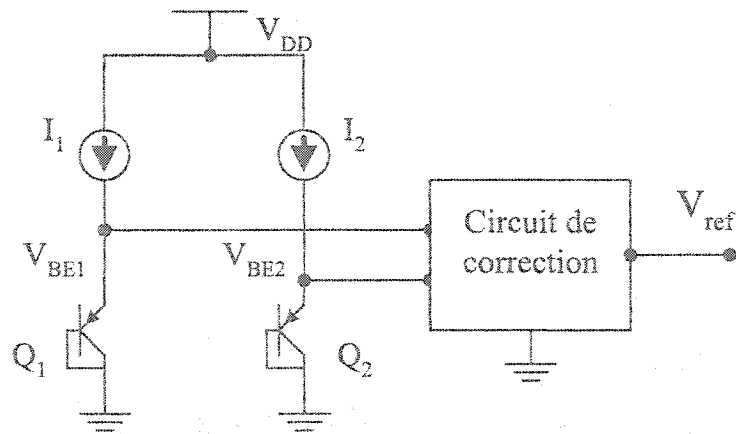


Figure 1-1 Structure de base d'une référence de tension Bandgap (BGR) utilisant des transistors PNP connectés en diode.

Certaines topologies ne sont valables que dans les technologies bipolaires, où les caractéristiques des transistors dont dépend la stabilité d'une RT sont beaucoup plus stables et mieux modélisées. Nous résumons les spécifications les plus importantes pour les références de tension par:

- La dérive en température de la tension de sortie;
- Le courant de repos consommé;
- La tension d'alimentation;
- La valeur de la résistance de charge;
- Le coût du circuit.

Parfois l'utilisation de dispositifs spéciaux tels que les DTMOS, qui sont présentés au Chapitre 2, n'est pas recommandée vu le coût élevé qui en découlera lors de la fabrication de la puce [2] [59].

1.2.1.1 Coefficient de température

Le coefficient de température (TC) est généralement exprimé en partie par million par degré Celsius (ppm/°C) et il est défini par la relation (1-1)

$$TC_{ref} = \frac{1}{V_{ref}} \left[\frac{\partial V_{ref}}{\partial T} \right] \quad (1-1)$$

Un grand nombre d'applications (aéronautique, véhicules à moteur, etc.) exigent un fonctionnement fiable des circuits pour une plage de températures entre [-40 à 120] °C. Ceci impose de concevoir des références précises de tension et de courant fonctionnant sur cette plage relativement large, ce qui représente un défi important. Traditionnellement, les circuits BGR ont bien rempli ce rôle, mais avec des tensions d'alimentation de plus en plus basses (inférieures à 1 V) les topologies classiques de BGR ne sont plus valables et de nouvelles approches de RT ont été développées pour palier certaines insuffisances des circuits classiques, [5].

Pour les circuits BGR, le coefficient TC délimite aussi le degré de compensation de premier ou deuxième ordre utilisé pour en assurer la stabilité: dans certaines technologies, un circuit BGR qui compense au premier ordre la tension de sortie ne peut avoir un TC inférieur à 15 ppm /°C . Pour une valeur de TC plus basse, le circuit doit pouvoir permettre une correction du second ordre [25] [26] [9].

1.2.1.2 Précision de la tension de sortie

La précision d'une référence de tension peut être évaluée en tenant compte des sources d'erreur pouvant affecter la valeur de la tension de sortie V_{REF} . Celles-ci

peuvent être divisées en trois catégories et l'expression de la précision de V_{REF} est donnée par

$$\text{Précision} = \frac{\Delta V_{REF}(\text{Initial}) + \Delta V_{REF}(\text{TC}) + \Delta V_{REF}(\text{Charge})}{V_{ref}} \quad (1-2)$$

$\Delta V_{REF}(\text{initial})$, $\Delta V_{REF}(\text{TC})$ et $\Delta V_{REF}(\text{Charge})$ désignent respectivement les variations causées par la structure initiale du circuit (variation des paramètres de fabrication, mésappariements internes, etc.), la température et la charge connectée en sortie.

La charge est souvent utilisée dans la métrique de la précision de certains types de références, telles que les références de courant ou les LDO (Low Drop Output). Un grand nombre de topologies de RT opèrent avec des charges de haute impédance [43].

Une référence est dite de 12 bits de précision si la variation correspondante de la sortie est de

$$\Delta V = \frac{V_{ref}}{2^{12}} \quad (1-3)$$

Le bruit en sortie et le coefficient de température, TC, sont les sources de variation dominantes dans une RT. La plage de température dans laquelle doit opérer la référence de tension détermine quel facteur domine l'erreur relative de la sortie. Pour une plage réduite de $\pm 10^\circ\text{C}$, par exemple, le bruit en sortie peut causer une erreur plus

élevée que le TC alors que l'inverse peut être observé dans le cas d'une plage plus large, [23].

1.2.1.3 Consommation de puissance

Les références de tension opérant à moins de 1.2 Volts peuvent être obtenues en utilisant une approche en mode courant. Cette technique est basée sur la somme de courant dépendant de la température sur une résistance de sortie. Le courant qui traverse la résistance de sortie R dans le cas de la topologie de la Figure 1-2, est la somme algébrique d'un courant proportionnel à la température T, désigné par PTAT (Proportional To Absolute Temperature), de la forme

$$I_{PTAT} = KT + I_{01} \quad (1-4)$$

et d'un courant inversement proportionnel à la température, désigné par courant CTAT (Conversely Proportional To Absolute Temperature), de la forme

$$I_{CPTAT} = -KT + I_{02} \quad (1-5)$$

Le coefficient K est une constante de proportionnalité, cependant, les termes I_{01} et I_{02} peuvent présenter une légère dépendance à la température. En général, I_{CTAT} est dérivée de la tension d'une diode. Le résultat de la somme de ces courants génère une tension de sortie indépendante du facteur de proportionnalité K. Suivant la valeur des courants impliqués et la valeur de la résistance de sortie R, nous pouvons générer une tension de sortie ajustable de quelques mV à quelques volts.

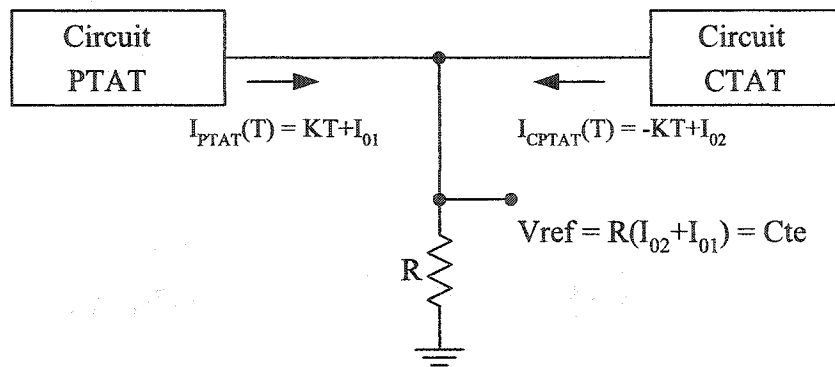


Figure 1-2 Référence de tension en mode courant.

1.2.1.4 Bruit en sortie

Aux basses fréquences, la source de bruit vient essentiellement du bruit de type Flicker des transistors CMOS et plus spécialement des NMOS, dont le bruit est plus important que les PMOS [23]. Le bruit équivalent d'un transistor MOS sur une bande de fréquence de 1 Hz, peut être exprimé par la relation (1-6)

$$E_n^2 = E_{n1}^2 + E_{n2}^2 = \frac{8kT \left(1 + \frac{g_{mbs}}{g_m} \right)}{3g_m} + \frac{KF}{2C_{OX} WLK'f} \quad (1-6)$$

Où f est la fréquence, k est la constante de Boltzman, KF est le coefficient de bruit $1/f$, K' est le paramètre de transconductance, g_{mbs} est la transconductance du substrat, g_m est la transconductance du transistor, W et L sont respectivement la longueur et la largeur du transistor considéré. La tension de bruit est donc inversement proportionnelle à la racine carrée de l'aire de la grille. Pour diminuer ce bruit, on peut utiliser aussi des topologies utilisant des PMOS, qui contribueront à le diminuer considérablement en sortie [23]. Les transistors bipolaires verticaux PNP et les diodes, présentés au paragraphe

1.2.1.6, créent un bruit plus faible que les transistors CMOS s'ils sont parcourus par avec la même valeur de courant.

D'une manière générale, pour réduire le bruit en sortie des circuits BGR dans les procédés CMOS, on utilise des courants de polarisation plus élevés, des dimensions de transistors CMOS plus grandes. Le bruit des dispositifs CMOS et le bruit thermique intrinsèque est inversement dépendant de la racine carré du courant de repos ou de la taille du dispositif, alors que le bruit en $1/f$ est inversement proportionnel à la racine carré de la surface de la grille d'un transistor CMOS [23] [50] [47].

1.2.1.5 Influence des variations de procédé

Les manufacturiers de CI sont constamment confrontés aux problèmes des fluctuations statistiques des paramètres des dispositifs intégrés dues aux procédés de fabrication. Ces variations statistiques font que deux transistors CMOS identiques, par exemple, ne sont pas parfaitement appariés. Les paramètres de ces dispositifs tels que l'épaisseur de l'oxyde t_{OX} et la tension de seuil, V_{TH} , sont des variables aléatoires dont la corrélation dépend des dimensions des transistors et de leurs distances sur la puce [55]

D'une manière générale, la précision des références de tension est directement liée aux valeurs de certaines grandeurs physiques, assujetties à des fluctuations. Une bonne conception d'une référence devrait être relativement peu sensible aux disparités des paramètres des procédés de fabrication (PPF) et aux dérives des valeurs des composants utilisés pour ajuster le point d'opération du circuit, tels que les résistances ajustables. Des programmes spécialisés de simulation, tel que GAME (General Analysis

of Mismatch Effects) de la compagnie allemande ZKOM GmbH [37], peuvent être utilisé pour prédire le comportement du circuit face aux variations des PPF fournies par le manufacturier et donner une bonne estimation des fluctuations des performances paramétriques du circuit lors de sa production de masse.

1.2.1.6 Modèle de diode dans le procédé CMOS standard

De plus en plus de technologies sont utilisées à leur limite physique et électrique de fonctionnement. Les modèles des dispositifs correspondants, dans ce cas, ne sont plus le reflet du vrai comportement électrique du circuit implanté sur silicium.

Dans les procédés BiCMOS et Bipolaire, la plupart des diodes utilisées comme composants explicites sont en réalité des transistors bipolaires connectés en diode, de ce fait les techniques pour apparier ces diodes sont les mêmes que celles utilisées pour les transistors bipolaires.

Dans le procédé CMOS standard à puit N, on peut trouver différentes jonctions PN qui peuvent créer des diodes comme illustré dans la Figure 1-3. La relation qui lie le courant et la tension aux bornes de la diode est

$$I_C = I_S \exp\left[\frac{kV_{BE}}{T}\right] \quad (1-7)$$

ou

$$V_{BE}(T) = \frac{kT}{q} \ln\left[\frac{I_C}{I_S}\right] \quad (1-8)$$

T est la température, I_S est le courant de saturation de la diode, k est la constante de Boltzmann et q est la charge d'un électron. La tension $V_{BE}(T)$ possède un coefficient de température négatif, $TC(V_{BE}) \cong -2\text{mV}/^\circ\text{C}$. La technique pour obtenir un TC positif est de faire la différence de deux tensions de diodes polarisées en direct et avec des densités de courant différentes. Dans le cas des transistors Q_1 et Q_2 de la Figure 1-1, la différence $\Delta V_{BE}(T)$ est donné par

$$\Delta V_{BE}(T) = V_{BE2} - V_{BE1} = \frac{kT}{q} \ln \left[\frac{I_{C2}}{I_{S2}} \right] - \frac{kT}{q} \ln \left[\frac{I_{C1}}{I_{S1}} \right] = \frac{kT}{q} \ln \left[\frac{I_{C2} I_{S1}}{I_{C1} I_{S2}} \right] \quad (1-9)$$

Si nous choisissons $I_{C1} = I_{C2}$, des dimensions différentes pour les transistors Q_1 et Q_2 avec un rapport A, $A = \frac{\text{Surface de l'émetteur de } Q_1}{\text{Surface de l'émetteur de } Q_2}$, alors l'équation (1-9)

devient

$$\Delta V_{BE}(T) = \frac{kT}{q} \ln[A] \quad (1-10)$$

La différence entre les tensions de diode devient proportionnelle à la température (PTAT) si $A > 1$.

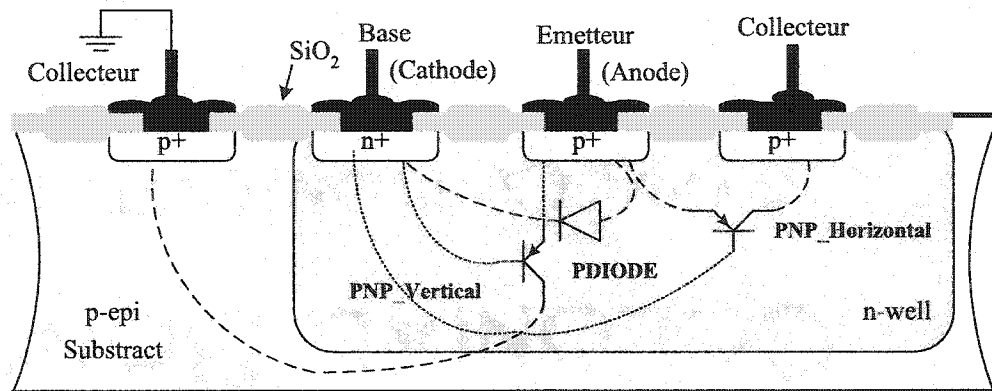


Figure 1-3 La diode de type P, les transistors PNP vertical et horizontal disponibles dans le procédé CMOS standard à puit N.

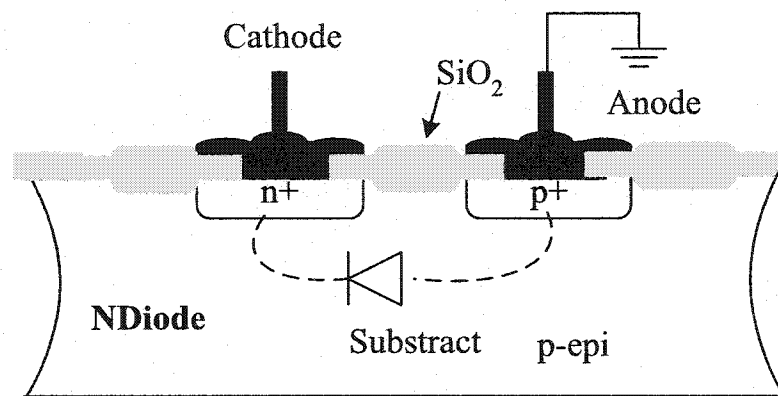


Figure 1-4 La diode de type N dans la CMOS standard.

1.2.1.6.1 Diodes NDiode et PDiode en CMOS

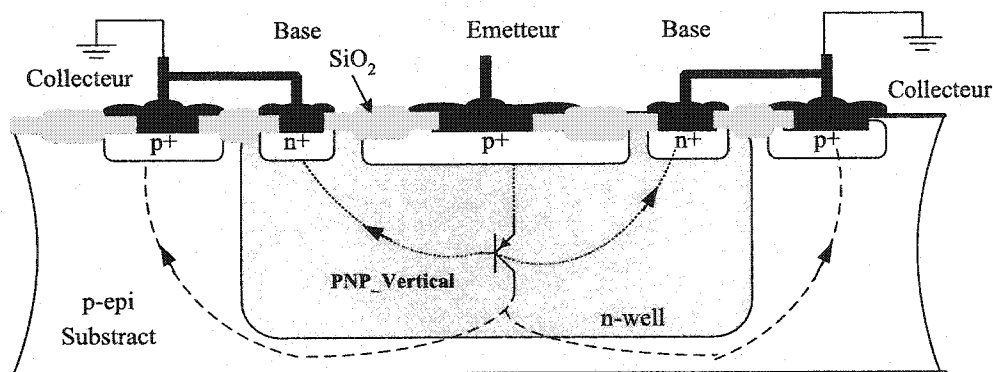
La diode de type N, désignée par NDIODE, a une utilisation limitée dans les circuits car son anode est connectée au substrat et donc au potentiel le plus négatif de la puce, tel qu'illustré à la Figure 1-4, de ce fait elle ne peut être polarisée en direct, ce qui limite son utilisation dans les circuits BGR. De plus, vu le faible dopage du substrat et du puit N, la résistance de la diode est assez élevée, ce qui contribue à diminuer ses performances.

Cependant la diode de type P, désignée par PDIODE, peut être utilisée dans la conception de circuit, car son anode peut être portée à une tension différente de V_{DD} , tel qu'illustré à la Figure 1-3. Son inconvénient est qu'elle contient un transistor PNP parasite vertical qui détourne une fraction du courant de l'anode vers le substrat (voir Figure 1-3). Le gain en courant de ce transistor peut varier entre 0.1 et 10. Le courant de base génère une différence de potentiel dans le puits qui s'ajoute au courant de la diode. Ainsi toute variation sur le gain en courant β du transistor produit un courant différent sur la cathode de la Pdiode. L'appariement des Pdiodes dépendra de l'appariement des transistors parasites et en particulier de leur gain β , de la résistance du puit ainsi que de la tension aux bornes de chaque diode.

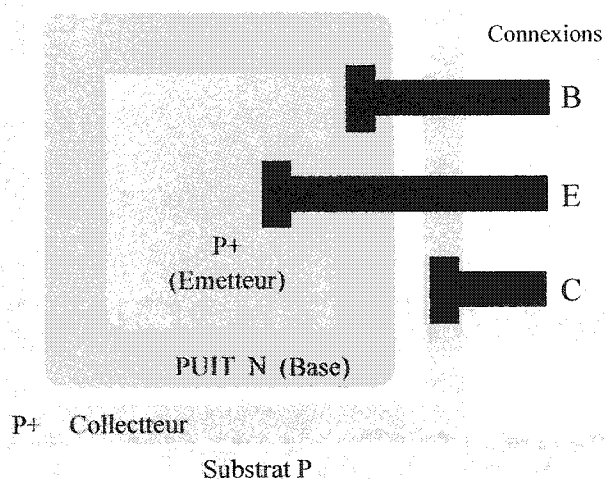
1.2.1.6.2 Transistor PNP latéral dans le procédé CMOS à puits N

Dans la technologie CMOS à puits N, seulement le transistor PNP latéral peut être construit dans un puits N (autrement, pour la CMOS à puits P, c'est un transistor NPN dans un puits P, [15]). Il utilise deux diffusions p+ qui représentent respectivement l'émetteur et le collecteur, la base étant le puits lui-même, Figure 1-3. Cependant, le dessin des masques de ce dispositif latéral contient un transistor PNP parasite vertical (voir Figure 1-3), et de ce fait un courant de fuite circule au substrat à travers l'émetteur et le collecteur du PNP vertical. Ce courant de fuite va être une source d'erreur notable (décalage) pour les circuits BGR, [43], au cas où l'on désire exploiter la tension Emetteur-Base du PNP latéral.

Comme précaution supplémentaire contre des problèmes de thyristor parasite dus aux courants inévitables de substrat, chaque dispositif devrait être entouré par un anneau de garde de substrat de type p+, [23], (voir Figure 1-5).



(a) Coupe transversale du transistor vertical.



(b) Dessin des masques du transistor vertical.

Figure 1-5 Transistor PNP vertical parasite dans la technologie CMOS.

Le transistor PNP latéral a un gain en courant pas très élevé (moyen) mais une excellente caractéristique de bruit, spécialement pour les basses fréquences. Cela le rend notamment intéressant pour les étages d'entrée des amplificateurs CMOS [23].

En raison du manque d'une couche enterrée (Buried layer) dans les procédés CMOS, la partie du courant d'émetteur perdue qui passe au collecteur du PNP vertical parasite (substrat), limite l'utilisation de tels dispositifs dans la conception de circuit CMOS tel que les BGR. En dépit de cet inconvénient, des transistors PNP latéraux ont été utilisés avec succès comme dispositifs d'entrée dans les amplificateurs à faible bruit, conçus dans le procédé CMOS à puit N de $1,2\mu\text{m}$ de MOSIS [23].

1.2.1.6.3 Transistor PNP vertical dans le procédé CMOS à puit N et résistance de base

Comme il a été présenté dans les paragraphes précédents, 1.2.1.6.1, l'inconvénient majeur des structures PDIODE et du transistor PNP latéral et le courant de fuite à travers le substrat causé par le transistor PNP vertical. Il est alors plus intéressant d'utiliser la PDIODE comme une structure de diode en connectant la base au substrat (voir Figure 1-5). Ainsi, le courant qui entre par l'émetteur aura une forte probabilité d'être capté par le collecteur réduisant ainsi les courants de fuite.

Le transistor PNP vertical a des limitations intrinsèques qui apparaissent lors de la conception des références de tension de haute précision. Le collecteur connecté au substrat sera plus vulnérable au bruit véhiculé dans le substrat. L'inconvénient principal de ce dispositif est la résistance série de sa base, due à la distance relativement élevée

entre les contacts au niveau de la région de la base et la région efficace d'émetteur [1]. Une autre source d'erreur majeure est la dispersion de la tension Base-Emetteur, dû aux variations de paramètres des procédés de fabrication (PPF). Ces variations peuvent créer une tension de décalage (offset) sur la jonction anode-cathode qui provoquera une erreur importante sur la tension de référence et par conséquent une dégradation du coefficient de température [23]. Dans le cas où l'on tiendrait compte de la résistance de base, la relation (1-8) devient [56]

$$V_{BE}(T) = \frac{kT}{q} \ln \left[\frac{I_C}{I_S} \right] + V_T \ln \frac{1}{1 + \frac{1}{\beta}} + r_b \frac{I_C}{\beta} \quad (1-11)$$

β est le gain en courant du transistor, r_b est la résistance de la base. La différence ΔV_{BE} de (1-9) devient

$$\Delta V_{BE}(T) = \frac{kT}{q} \ln \left[\frac{I_{C2}}{I_{C1}} \frac{I_{S1}}{I_{S2}} \right] + V_T \ln \frac{1 + \frac{1}{\beta_1}}{1 + \frac{1}{\beta_2}} + r_b \left\{ \frac{I_{C2}}{\beta_2} - \frac{I_{C1}}{A\beta_1} \right\} \quad (1-12)$$

où A est le rapport de surface entre les deux transistors. L'erreur rajoutée à ΔV_{BE} par la résistance de base et le mésappariement du gain en courant β peut être significatifs, [49].

1.2.1.6.4 Phénomène du haut niveau d'injection

A cause du faible dopage de la base pour les transistors PNP, qui n'est autre que le puits N, le gain en courant β décroît rapidement lorsque le courant collecteur augmente

à cause du phénomène de haut niveau d'injection. Ce phénomène apparaît lorsque la densité des porteurs minoritaires (trous) devient comparable à la densité des porteurs majoritaires (électrons). Afin de conserver la neutralité des charges dans la base, une augmentation des trous injectés de l'émetteur vers la base entraîne une augmentation du nombre d'électrons, tel qu'illustré à la Figure 1-6. Le courant de base devient alors plus important et le β diminue. La même chose peut se produire pour le transistor NPN latéral contenu dans un puit P, mais pour une plus grande densité de courant, le substrat est plus dopé que le puits de type N. L'effet de haut niveau d'injection apparaît pour les valeurs de densités de courant élevées. Il est important de le réduire en opérant le transistor PNP avec une densité de courant raisonnable.

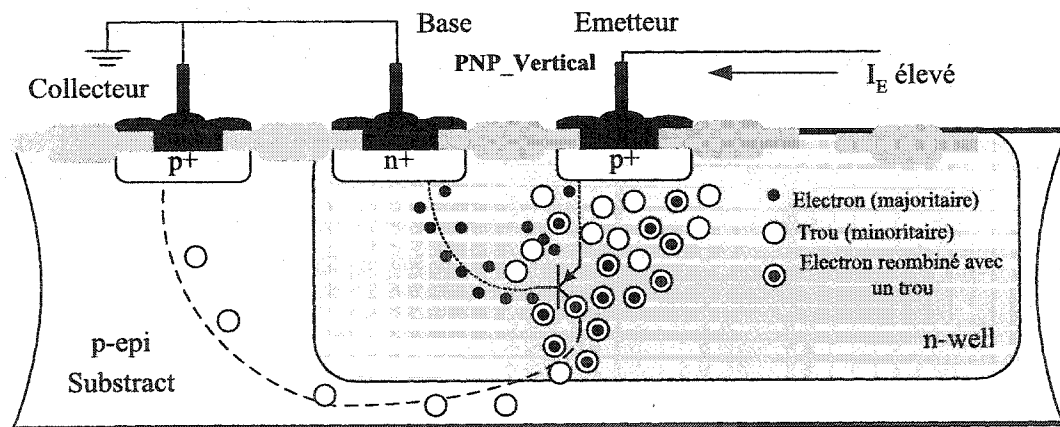


Figure 1-6 Effet du haut niveau d'injection causé par une augmentation du nombre de recombinaison électron-trou dans la base (puits N).

Il a été rapporté dans la littérature que pour le procédé CMOS 0.5 μm et avec la structure du transistor PNP vertical utilisé, ce courant ne doit pas dépasser les 10 μA [56].

1.2.1.6.5 Phénomène du faible niveau d'injection

Lorsque le transistor est polarisé par une faible densité de courant et que la température est élevée, le phénomène de faible injection ne devient plus négligeable, [56]. Un courant, dû aux recombinaisons des porteurs minoritaires dans la base et l'accroissement des courants de fuites dans les jonctions PN, s'ajoute au courant de collecteur et de ce fait la relation entre le courant de collecteur I_C et la tension V_{BE} devient plus complexe [56]. Le courant de collecteur devient dépendant de la tension via d'autres contributions et la relation (1-7) n'est plus valable.

Ces imperfections changent le comportement en température du BGR. La relation (1-9) de la tension PTAT devient, si l'on tient compte de cet effet

$$V_{PTAT} = nV_T \ln \frac{I_{C1} + I_{S2}}{I_{C1} + I_{S1}} \frac{I_{S2}}{I_{S1}} \quad (1-13)$$

Afin de réduire l'effet de faible injection dans les transistors PNP verticaux, un courant plus élevé est recommandé.

1.2.1.6.6 Facteur d'émission

En technologie CMOS, le modèle Gummel-Poon convient très bien si le courant d'émetteur n'est ni trop élevé ni trop faible. La relation (1-8) devient égale, dans le cas où l'on tient compte du facteur d'émission, à :

$$V_{BE1}(T) = V_T \ln \left(n \frac{I_C(T)}{I_S} \right) \quad (1-14)$$

Avec n défini par la relation

$$\frac{1}{n} = \frac{V_T}{I_C} \frac{\partial I_C}{\partial V_{BE}} \bigg|_{V_{BC}=\text{constante}} \quad (1-15)$$

Le facteur, n , dépend de la température, du courant de polarisation et de la technologie. Pour de faibles valeurs du courant de collecteur I_C , le facteur d'émission, n , est proche de un (01) et augmente avec la densité de courant [56]. Ceci conduit à des erreurs pour la tension V_{BE} et V_{PTAT} vu sa dépendance en température. Pour une meilleure précision, il est recommandé de polariser le transistor bipolaire avec une faible densité de courant d'émetteur. Pour diminuer l'effet de la résistance de base sur la tension V_{BE} , il est recommandé de polariser le transistor par un courant très faible sans pour autant augmenter l'effet du faible niveau d'injection et le bruit $1/f$. Le courant optimum résulte d'un compromis entre le faible niveau d'injection et la résistance de base.

1.2.1.6.7 Techniques d'appariement physique des transistors bipolaires

Les transistors bipolaires sont très sensibles aux gradients de température et l'appariement de ces transistors devient critique pour les BGR, [24]. On peut utiliser la règle du centroïde pour l'appariement des transistors. Cette règle consiste à placer un groupe de transistors sur la puce suivant une géométrie symétrique de façon à obtenir un gradient de température isotrope à partir du centre du groupe. Cependant, vu la nature exponentielle de I_C en fonction de V_{BE} le design selon un centroïde commun ne peut éliminer les variations thermiques non linéaires. De ce fait une structure compacte est souvent souhaitée. Si on veut générer une tension PTAT par la

relation $\Delta V_{BE}(T) = \frac{kT}{q} \ln[A]$, on a intérêt à augmenter le rapport de surface A .

Néanmoins, le décalage produit par le gradient thermique et les contraintes mécaniques augmente comme le carré du rapport A , [21]. Pour un design donné, il existe un rapport qui donne un appariement optimal. Ce rapport se situe généralement entre 8 :1 et 16 :1. Le dessin des masques doit fournir un haut degré de symétrie avec une compacité la plus élevée possible. Le rapport de taille pour les transistors le plus utilisé est 8, il produit une différence de tension $\Delta V_{BE}(T)$ de l'ordre de 54mV à la température ambiante.

Généralement, les transistors bipolaires verticaux permettent un meilleur appariement que les structures PNP horizontales.

L'appariement des diodes est amélioré pour une faible densité de courant de collecteur car la chute de tension dans le puit N diminue (résistance de la base). Nous pouvons aussi augmenter la surface du dispositif de jonction. Les diodes CMOS opèrent avec des densités de courant typique de 4 à 400nA/ μm^2 , [21].

Il est aussi important de noter que vu la relation exponentielle entre le courant et la tension aux bornes d'une diode, un courant plus fort contribue à diminuer la chute de tension à ses bornes pour une variation du courant, [43].

Dans la technologie TSMC CMOS 0.18 μm , il existe des cellules de transistors PNP parasites de dimensions (2 μm x 2 μm), (5 μm x 5 μm), et (10 μm x 10 μm). Nous avons préféré utiliser une cellule de taille moyenne 5 μm par 5 μm .

Tableau 1 Degrés d'appariement des transistors PNP [21].

Niveau d'appariement	Minimal	Modéré	Précis
Dispersion de la tension V_{BE} $3\sigma(V_{BE2}-V_{BE1})$ (1)	$\pm 1 \text{ mV}$	$\pm 0.25 \text{ mV}$	$\pm 0.1 \text{ mV}$
Dispersion du courant collecteur équivalent $3\sigma(\frac{\Delta I_C}{I_C})$ (2)	$\pm 4\%$	$\pm 1\%$	$\pm 0.5\%$
$3\sigma(V_{Offset})$ en tension typique requis pour l'amplificateur	$\pm 3 \text{ à } 5 \text{ mV}$	$\pm 1 \text{ à } 2 \text{ mV}$	$\pm 1 \text{ mV}$
Commentaires	Acceptable pour les BGR à précision moyenne.	Idéal pour les BGR avec un niveau de précision de $\pm 1\%$	Peut nécessiter un ajustement des résistances

(1) Le courant de collecteur I_C est supposé sans variation.

(2) Dispersion du courant de collecteur équivalent typique qui donnerait la même dispersion que celle des transistors PNP.

Les règles utilisées pour l'appariement des transistors bipolaires doivent être prises en considération, mais il n'existe pas d'études quantitatives précises dans la littérature. Les règles dont on doit tenir compte dépendent de la précision des BGR qu'on souhaite réaliser : ainsi pour le procédé CMOS utilisé comme exemple dans [21], les recommandations présentées dans le Tableau 1 ont été formulées [21].

1.3 Conclusion

Les techniques de dessin des masques pour l'appariement des transistors PNP, qui sont à la base des BGR, occupent une place importante dans la conception des BGR de haute performance. Les tensions d'erreur résiduelles (offset) que causent les mésappariements des dispositifs CMOS détériorent directement la précision de la tension de référence générée par le circuit. La différence entre les simulations et le circuit fabriqué devient non négligeable et le concepteur ne possède aucun outil efficace pour prédire avec précision l'impact des imperfections sur le circuit réel. De par ces techniques, un choix judicieux des points d'opération du circuit permet d'améliorer encore plus la précision de la référence. Les imperfections de certaines structures telles que les transistors PNP peuvent être accentuées si des courants de polarisation inadéquats lui sont imposés. Enfin, signalons que, généralement, les technologies CMOS standards sont plus optimisées pour intégrer des circuits numériques et, dans la majorité des cas, les structures de transistors bipolaires et les diodes ne sont pas caractérisées avec une précision suffisante pour être exploitées dans des références de haute performance.

Parfois, le concepteur de RT aura besoin de plus d'information sur la précision des modèles et de leur fiabilité suivant l'objectif de performances visées: une précision de 2 ou 3 % d'un circuit RT, par exemple, peut facilement être atteinte avec les paramètres de premier ordre du modèle fournis par le manufacturier.

2 ANALYSE DES CIRCUITS BANDGAPS STANDARD (BGR)

2.1 Introduction

Par définition, une BGR produit une tension de sortie qui est reliée à l'énergie de Bandgap du semi-conducteur utilisé. Ainsi Robert Widlar a proposé la première BGR en 1971 [56]. Elle fut employée avec la technologie bipolaire et exploitait la tension aux bornes d'une jonction conventionnelle pour faire une tension stable de 1,220 Volts. Les diodes sont à la base des circuits BGR.

Bien que l'on désire des références de tension les plus précises possibles, cela n'est pas nécessaire dans un grand nombre d'applications usuelles. Dans le cas des performances élevées, une connaissance du modèle mathématique régissant le comportement de la jonction PN est une étape importante pour la mise au point de BGR de haute précision. Sur la base de ce modèle, on peut concevoir l'architecture des circuits de correction qui feront partie du circuit BGR. Un inventaire précis des sources d'erreur qui peuvent affecter ces circuits de traitement devra être fait afin d'estimer la précision de la tension de référence générée. Il permettra aussi de cibler les sources d'erreur majeures qui devront être réduites par un choix plus judicieux des topologies de circuits impliquées. Parmi les sources d'erreurs des circuits BGR, [13], [31], on peut citer :

- Le décalage de l'amplificateur de contre réaction;
- Le mésappariement des miroirs de courant ;

- Le mésappariement des résistances;
- Le mésappariement des diodes ;

L'évaluation quantitative de l'impact des variations PPF sur la tension de référence de tension par des méthodes statistiques telles que la méthode de Monte Carlo est la meilleure approche pour estimer l'erreur en sortie du BGR. Néanmoins, cette évaluation peut ne pas refléter l'erreur attendue ou espérée une fois le circuit fabriqué. En effet, si certaines techniques de conception au niveau des masques ne sont pas respectées, 1.2.1.6, elles contribuent grandement à détériorer la précision de la sortie.

2.2 Principe d'une référence de tension Bandgap (BGR)

Il est bien connu que la tension de diode V_{BE} diminue avec la température [33]. La valeur du V_{BE} est égale à la tension de Bandgap du semi-conducteur, V_{G0} , (dans une première estimation) extrapolée à la température du zéro absolu.

Le principe d'une BGR de tension est basé sur la combinaison de deux tensions du même ordre de grandeur que V_{BE} ayant des coefficients de température égaux et opposés, tel qu'illustré à la Figure 2-1. L'une est la tension de diode polarisée en direct (ou la tension Base-Emetteur d'un transistor bipolaire) avec un coefficient de température de l'ordre de $-2\text{mV}/^\circ\text{C}$. La deuxième tension est basée sur la tension thermique V_T de l'équation courant-tension d'une jonction PN, où

$$V_T = \frac{kT}{q} \quad (2-1)$$

Où k est la constante de Boltzmann's, q est charge d'électron, et T est température absolue en Kelvin (K) [16]. Le coefficient de température de V_T est proportionnel à la température absolue (ou PTAT), multiplié par une constante de gain K jusqu'à ce que le coefficient de la température ait atteint approximativement $+2 \text{ mV}/^\circ\text{C}$. Les deux tensions sont alors additionnées pour produire une tension de référence V_{REF} avec un coefficient de température qui tend vers zéro, Figure 2-1.

$$V_{\text{REF}}(T) = V_{\text{BE}}(T) + KV_T \cong 1.2\text{V} \quad (2-2)$$

Dans les circuits BGR, la tension thermique V_T peut être générée par la différence de deux tensions Base-Emetteur (1-10). Le circuit est désigné par « référence de tension Bandgap » du fait que la valeur de V_{REF} , lorsque son coefficient de température est réduit au minimum, est égale à V_{G0} qui est la tension de Bandgap du silicium extrapolée à 0°K (ou $1,205 \text{ V}$) [15], [16].

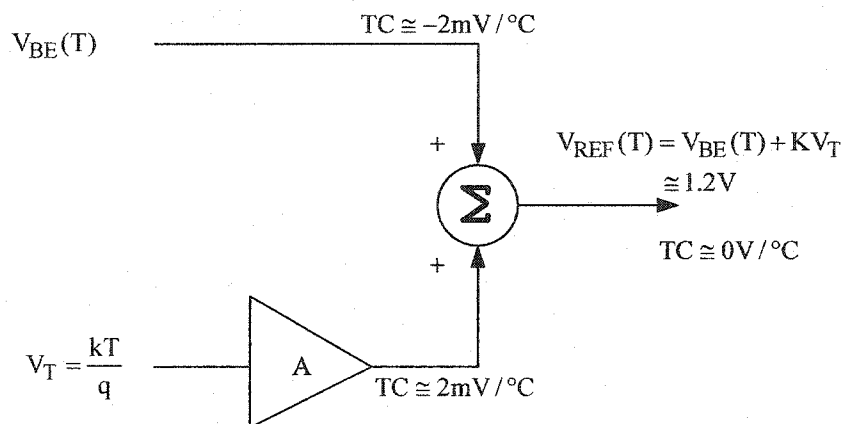


Figure 2-1 Principe d'une référence de tension Bandgap.

Malheureusement, les non linéarités d'ordre supérieur sur V_{REF} ajoutent un résidu à son coefficient de température qui devient non nul.

Les références Bandgaps sont facilement implantables dans les technologies bipolaire, BiCMOS, ou CMOS et peuvent avoir un coefficient de température de 20 ppm / °C ou moins.

2.3 Analyse théorique du coefficient de température d'un circuit BGR

Le coefficient de température (TC) est en relation directe avec le comportement en température du courant I_C qui polarise la jonction Base-Emetteur du transistor PNP, Q_1 , Figure 2-2 (b). Dans le cas général, la variation de ce courant est de la forme

$$I_C(T) = I_{C0} T^\theta \quad (2-3)$$

I_{C0} est une constante ;

θ est une constante qui représente le degré de dépendance en température du courant forcé dans l'émetteur. Pour $\theta=1$, le courant varie linéairement avec la température.

La relation qui décrit la variation de la tension aux bornes d'une diode en fonction de la température n'est pas linéaire, [28] [32], et elle est donnée par la relation (2-4), voir Annexe 1 pour son développement.

$$V_{BE}(T) = V_G(0) + \frac{T}{T_r} [V_G(0) - V_{BE}(T_r)] - (\eta - \theta) V_T \ln \frac{T}{T_r} \quad (2-4)$$

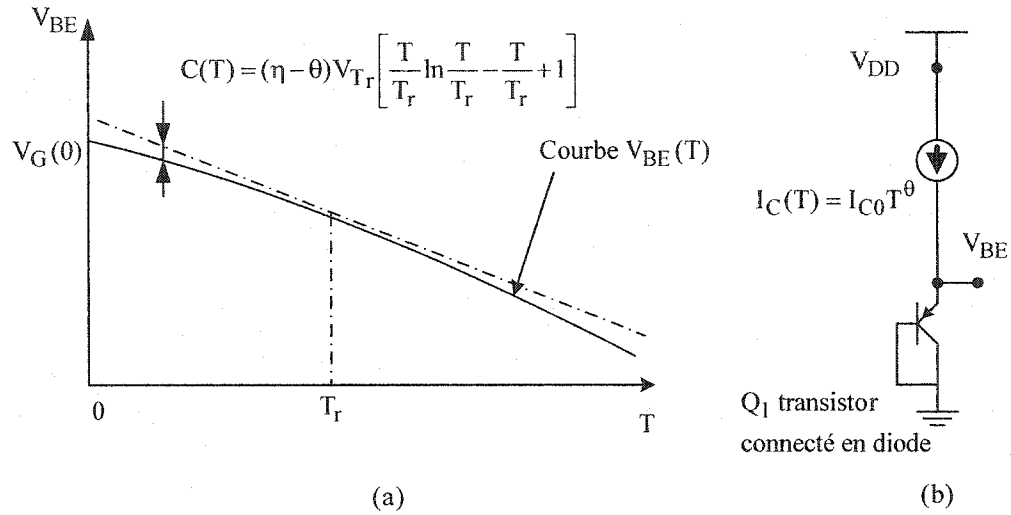


Figure 2-2 Comportement en température d'une tension de diode

(la courbure a été exagérée pour plus de clarté sur le point d'opération [32]).

Dans ce développement, T_r est la tension de référence autour de laquelle est faite la décomposition en série de Taylor de la relation $V_{BE}(T)$.

La relation (2-4) est composée de trois termes constant, linéaire et logarithmique, il est souhaitable de ramener la relation sous la forme de

$$V_{BE}(T) = V_{BE0} - K_{BE} T - C(T) \quad (2-5)$$

Où V_{BE0} et K_{BE} sont des constantes qui représentent respectivement le terme constant et le terme linéaire (1^{er} ordre) de $V_{BE}(T)$. Alors que $C(T)$ est le terme non-linéaire qui représente les ordres supérieurs à 1. Cependant, le terme logarithmique de

(2-4) possède lui-même une composante constante et linéaire. De ce fait, il est souvent utile de développer (2-4) en série de Taylor autour de la température de référence T_r . Notons que le choix de T_r est arbitraire, et c'est en général la température ambiante ou le centre de la bande de température pour laquelle on optimise la BGR. La décomposition du terme logarithmique $-(\eta - \theta)V_T \ln \frac{T}{T_r}$ de (2-4) conduit à la relation suivante.

$$-(\eta - \theta)V_T \ln \frac{T}{T_r} = -\frac{(\eta - \theta)V_{T_r}}{T_r} \left[a_0 + a_1(T - T_r) + a_2 \frac{(T - T_r)^2}{2!} + \dots + a_n \frac{(T - T_r)^n}{n!} \right]$$

(2-6)

avec

$$a_n = \frac{\partial^n \left[T \ln \frac{T}{T_r} \right]}{\partial^n T} \bigg|_{T=T_r} \quad (2-7)$$

De ce fait les termes d'ordre supérieur ou égal à 2 de (2-6) vont affecter les termes d'ordre inférieur de la même expression. Ainsi nous pouvons décomposer aussi chaque numérateur des termes de la série en une combinaison de termes d'ordre moins élevé

$$(T - T_r)^n = T + T_r^n + \dots \quad (2-8)$$

Si on s'arrête la série (2-6) à l'ordre 1 et en remplaçant dans (2-4), on obtient la relation qui donne la variation de V_{BE} autour de la température de référence T_r

$$\begin{aligned} V_{BE}(T) \approx & (V_G(0) + (\eta - \theta)V_{Tr}) - \frac{T}{T_r} [V_G(0) - V_{BE}(T_r) + (\eta - \theta)V_{Tr}] \\ & - (\eta - \theta) \frac{k}{q} \left[T_r - T + T \ln \left[\frac{T}{T_r} \right] \right] \end{aligned} \quad (2-9)$$

avec

$$V_{Tr} = \frac{kT_r}{q} \quad (2-10)$$

V_{Tr} est la tension thermique à la température de référence T_r

Si on fait la différence de deux tensions V_{BE} avec *le même courant collecteur* I_C alors

$$\begin{aligned} \Delta V_{BE}(T) &= V_{BE2} - V_{BE1} \\ &= \frac{T}{T_r} \{ [V_{G2}(0) - V_{G1}(0)] - [V_{BE2}(T_r) - V_{BE1}(T_r)] \} \end{aligned} \quad (2-11)$$

La différence ΔV_{BE} résultante est une tension PTAT et le terme logarithmique de la relation (2-9) est éliminé.

2.3.1 Tensions et courants proportionnels à la température (PTAT)

2.3.1.1 Tension PTAT comme capteur de température

La technique pour mesurer la température en comparant la différence de la tension Base-Emetteur de deux transistors bipolaires est bien connue et elle a été utilisée dans de nombreuses applications comme capteur de température [49]. Cette technique peut être implémentée en technologie CMOS en utilisant des transistors PNP parasites dans un puit N pour différentes densités de courant. Le signal PTAT résultant, déjà établi par la relation (1-10), est

$$\delta V_{BE} = V_T \ln \left[\frac{I_{C1} S_1}{I_{C2} S_2} \right] = V_T \ln[A] \quad (2-12)$$

S est la surface de l'émetteur et on choisit $I_{C1} = I_{C2} = I$. Pour un rapport de densité de courant A de 8, la relation (2-12) donne une différence de $\delta V_{BE} = 53\text{mV}$ à la température ambiante. Le circuit qui doit faire le traitement doit avoir un décalage faible et introduire un faible bruit (voir Figure 2-3). Cependant même avec des circuits de traitement performants comme l'amplificateur, une source d'erreur assez significative est due au mésappariement des transistors PNP parasites. Une erreur d'appariement de 1.06mV produirait une erreur de 2% sur la tension δV_{BE} mesurée équivalente à une erreur de 6 degré à la température ambiante.

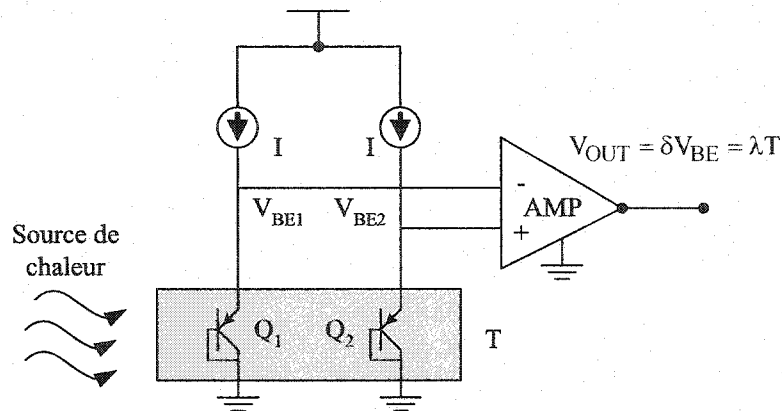


Figure 2-3 Transistors PNP CMOS utilisés comme capteur de température.

Nous pouvons remarquer que la tension PTAT ne dépend pas des paramètres du procédé ou de la valeur du courant de collecteur, (2-12). Sa valeur absolue dépend du décalage de l'amplificateur, le mésappariement des sources de courant et des structures de transistors bipolaires, ainsi que l'erreur introduite par le courant de base, tel que discuté au paragraphe 1.2.1.6.3. Ces erreurs peuvent être minimisées en utilisant des techniques de découpage [39].

2.3.1.2 Références PTAT basées sur les jonctions PN

Comme nous avons introduit auparavant, paragraphe 2.1, la plupart des références de courant PTAT sont basées sur les transistors bipolaires [43]. Le circuit qui génère un courant PTAT exploite la relation logarithmique de la tension de diode Base-Emetteur. Il est basé sur la différence de deux tensions de jonctions de diodes avec des densités de courant différentes [27], [51].

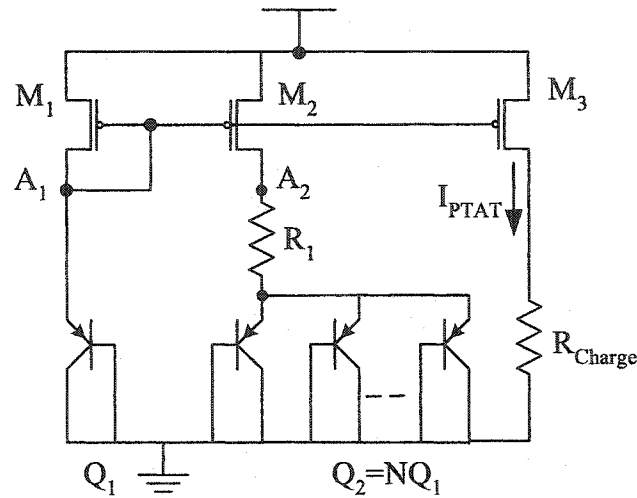


Figure 2-4 Circuit Bandgap standard BGR pour générer un courant PTAT.

La Figure 2-4 illustre un exemple simple qui permet de générer un courant PTAT. Le miroir de courant, constitué de M_1 et M_2 , impose le même courant à travers les transistors Q_1 et Q_2 (Q_2 a une surface N fois supérieure à Q_1). Du fait que les nœuds A_1 et A_2 sont portés au même potentiel, alors le courant est un PTAT et il est égal

$$I_{PTAT} = \frac{\Delta V_{BE}}{R_1} = V_T \frac{\ln[N]}{R_1} \quad (2-13)$$

2.3.1.3 Références PTAT basées sur des transistors CMOS

Les générateurs de courant PTAT (IPTAT) peuvent être basés uniquement sur des transistors CMOS. En plus des jonctions bipolaires PN, une tension proportionnelle à V_T peut être produite par la différence de deux tensions Grille-Source de deux transistors MOS opérant dans la zone de faible inversion (*weak inversion*), ou sous le seuil (*Subthreshold*). Puisque la relation entre le courant de drain et la tension V_{GS} devient exponentielle [1]. Suivant le principe de la topologie de la Figure 2-5.

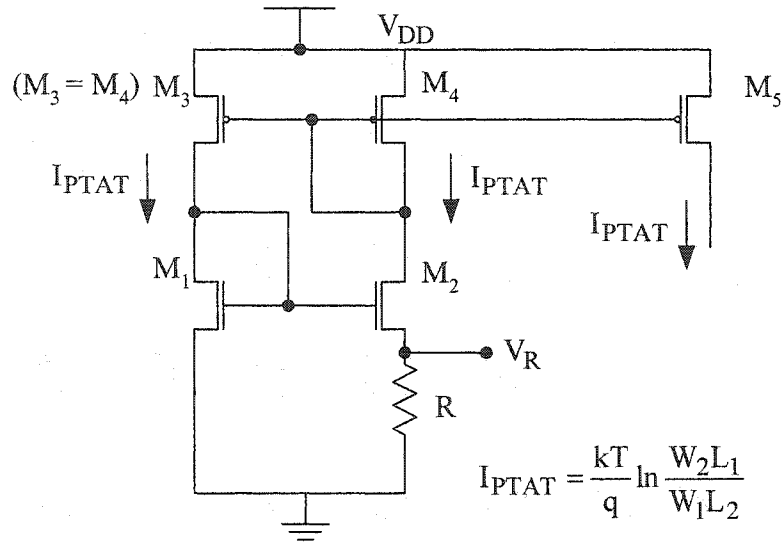


Figure 2-5 Courant PTAT avec des transistors CMOS opérant en mode sous le seuil [55] [22].

2.3.1.3.1 Transistors MOS en faible inversion [35] [22] [18]

Pour un transistor CMOS opérant dans la zone de faible inversion (*Subthreshold*) avec les suppositions suivantes $V_{TH} - 100\text{mV} < V_{GS} < V_{TH}$ et $V_{DS} > 100\text{mV}$, le courant de drain est donné par la relation suivante

$$I_D = I_{D0} \frac{W}{L} \exp \left[\frac{q(V_{GS} - V_{THN})}{kT.N_S} \right] \quad (2-14)$$

I_{D0} est supposé une constante et N_S est une constante de pente, [18]. Nous pouvons remarquer que la tension Grille-Source est proportionnelle au logarithme décimal de la différence de courant de drain et qui ressemble à un effet de diode [27].

$$V_{GS} = \frac{N_S}{\log(e)} V_T [\log(I_D) - \log(I_{D0})] \quad (2-15)$$

Avec cette approche, une référence Bandgap en CMOS peut être réalisée avec un très faible courant de repos (qq nA). Une référence de tension avec des transistors CMOS a été développée par E. Vittoz [55] dont le principe est similaire à un circuit BGR conventionnel. Le circuit qui génère un courant PTAT est représenté à la Figure 2-5.

On remplace les transistors bipolaires par leurs équivalents CMOS, on opère les transistors M_1 et M_2 dans la zone de faible inversion. Une résistance R de grande valeur est mise en série avec M_1 et M_2 on obtient alors à ses bornes une tension proportionnelle à la température. Son expression est donnée par la relation suivante [22] [58]:

$$V_R = V_{GS1} - V_{GS2} = \frac{kT}{q} \ln \frac{W_2 L_1}{W_1 L_2} \quad (2-16)$$

Les transistors M_3 et M_4 du miroir de courant sont polarisés en forte inversion pour réduire l'effet de leurs différences. On peut remarquer dans (2-16) que la tension V_R ne dépend pas de la valeur du courant qui traverse le transistor M_1 , tant que M_1 et M_2 sont en zone de faible l'inversion. La valeur de V_R est entre 40 à 80 mV à la température ambiante [22]. Par conséquent le courant PTAT est donné par (2-17)

$$I_{PTAT} = \frac{V_R}{R} = \frac{1}{R} \left(\frac{kT}{q} \ln \frac{W_2 L_1}{W_1 L_2} \right) \quad (2-17)$$

L'avantage principal de ce circuit est sa faible consommation (qq nano à qq μ watts) et il peut opérer avec une basse tension d'alimentation. Parmi ses inconvénients :

- La dégradation de la précision de V_{REF} à cause des erreurs introduites par le mésappariement des transistors M_1 et M_2 . De plus pour les transistors CMOS qui opèrent dans la zone de faible inversion (Subthreshold) les courants de fuite augmentent avec la température ce qui limite la plage d'opération du circuit.
- Vu le faible courant consommé, le bruit intrinsèque est assez important, ce qui limite l'utilisation du circuit pour les références de tension à faible bruit [23].
- Les modèles qui régissent le comportement du transistor sous le seuil ne sont pas assez précis pour être utilisés avec les références de haute précision.

2.3.2 Compensation du premier ordre

Plusieurs techniques de compensation ont été publiées dans la littérature. Ces corrections utilisent en général des courants de polarisation inversement proportionnels à la température CTAT [39]. Si on identifie la relation (2-5) avec (2-9) on obtient

$$V_{BE}(T) = V_{BE0} - K_{BE}T - C(T) \quad (2-18)$$

avec

$$V_{BE0} = (V_G(0) + (\eta - \theta)V_{Tr}) \quad (2-19)$$

$$K_{BE} = \frac{1}{T_r} [V_G(0) - V_{BE}(T_r) + (\eta - \theta)V_{Tr}] = \frac{1}{T_r} [V_{BE0} - V_{BE}(T_r)] \quad (2-20)$$

$$C(T) = (\eta - \theta)V_{Tr} \left[\frac{T}{T_r} \ln \frac{T}{T_r} - \frac{T}{T_r} + 1 \right] \quad (2-21)$$

La tension V_{BE} est la somme d'un terme linéaire, avec $K_{BE} \cong -2\text{mV}/^\circ\text{C}$, et d'un terme nonlinéaire $C(T)$, qui représente la courbure. La compensation du 1er ordre dans un circuit BGR est obtenue par la somme d'une tension PTAT et de la tension V_{BE} , on obtient alors la tension de référence

$$V_{REF}(T) = V_{BE}(T) + \xi V_{PTAT} = V_{BE0} - C(T) \quad (2-22)$$

Où ξ est définie par le rapport $\xi = \frac{K_{BE}}{K_{PTAT}}$. La courbure $C(T)$ est le seul terme

dépendant de la température dans la relation de $V_{REF}(T)$. La précision d'un circuit BGR va dépendre du terme $C(T)$, de la dispersion du terme V_{BE0} , $V_{BE0}(T_r)$ et du coefficient ξ . La courbure est déterminée par le paramètre de procédé η et on peut avoir une déviation de 6 mV sur la plage de température -50°C à 150°C pour $\eta = 4.7$. Néanmoins, aucune donnée sur la dispersion de η n'est fournie dans les fichiers technologique et des mesures faites sur des dispositifs PNP suggèrent que la dispersion sur η est faible. Nous pouvons donc considérer l'erreur sur la courbure comme une erreur systématique, [55].

Dans les procédés CMOS, le transistor bipolaire PNP peut avoir sa tension, supposée constante, V_{BE0} qui dépend du courant de collecteur I_C et sa déviation standard peut être inférieure à 0.25mV, [39]. La tension $V_{BE}(T_r)$ présente une dispersion de $\sigma \approx 0.6\text{mV}$ à l'intérieur d'un même lot (batch) et de $\sigma \approx 2\text{mV}$ d'un lot à un autre, ceci est causé par les variations de procédé dans le transistor bipolaire PNP et la variation de leurs courants de polarisation. Le rapport $\xi = \frac{K_{BE}}{K_{PTAT}}$ est généralement déterminé par le rapport de résistance et sa précision est typiquement de 0.1% [39].

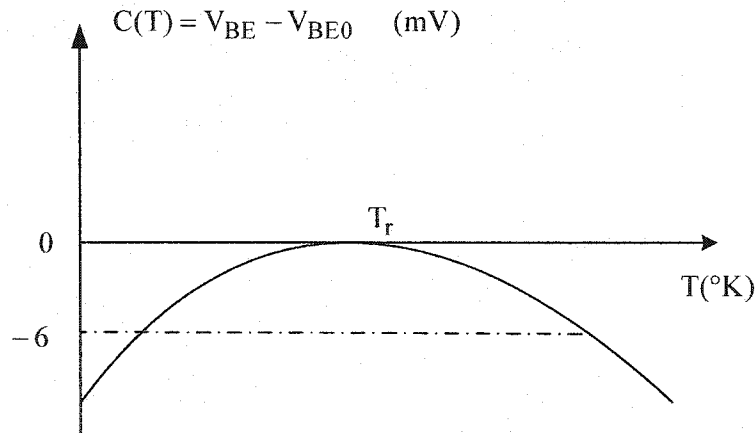


Figure 2-6 Erreur résiduelle d'une compensation du 1^{er} ordre de la Topologie Mode tension.

Une implémentation dans un procédé bipolaire d'une topologie classique est représentée à la Figure 2-7. La tension de référence est donnée par la relation

$$V_{REF} = 1.25V \left[\frac{R_{P1}}{R_{P2}} + 1 \right] \quad (2-23)$$

Le rapport des résistances va déterminer la valeur de la tension de sortie, [38].

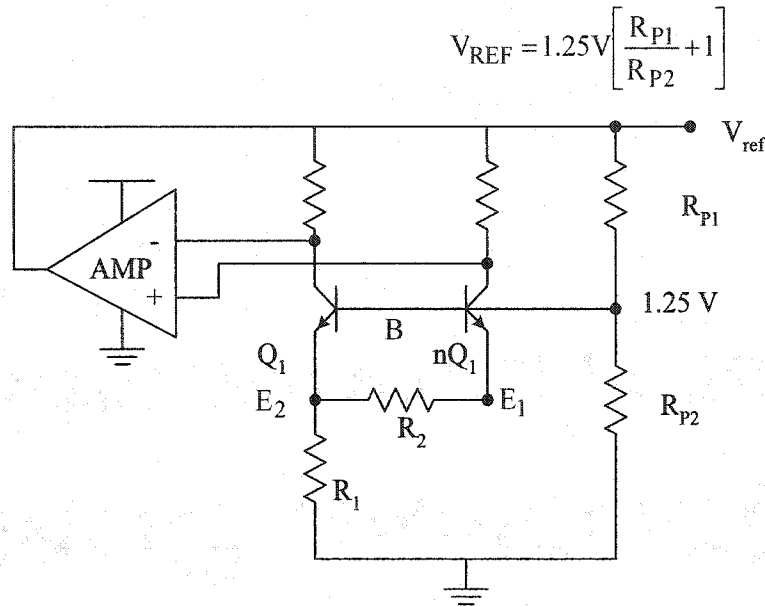


Figure 2-7 Le circuit de référence Bandgap proposé par Brokaw [38].

Un circuit d'une référence BGR typique en CMOS est présenté à la Figure 2-8. La tension de référence, V_{REF} , est donnée par la relation suivante

$$V_{REF} = V_{BE2} + \frac{R_2}{R_1} V_T \ln \frac{S_1}{S_2} = V_{BE2}(T) + \frac{R_2}{R_1} \frac{kT}{q} \ln(A) \quad (2-24)$$

Où S_1 et S_2 sont les surfaces d'émetteur des transistors Q_1 et de Q_2 et $A = \frac{S_1}{S_2}$.

Le premier terme, $V_{BE2}(T)$, représente une tension CTAT alors que le deuxième, $\frac{R_2}{R_1} \frac{kT}{q} \ln(A)$, est un PTAT. La tension minimum d'alimentation pour ce circuit est, [59] :

$$\min(V_{DD}) = V_{REF} + V_{DSat}(M_2) \quad (2-25)$$

La valeur de V_{REF} est typiquement de 1.25 Volt, alors que $V_{DSat}(M_3)$ s'étend de (0,1 à 0.3) Volt. Par conséquent, la tension d'alimentation minimum théorique est approximativement de 1.4V. Une autre variante du circuit Brokaw est proposée par [19] qui opère avec une tension de 1.2V.

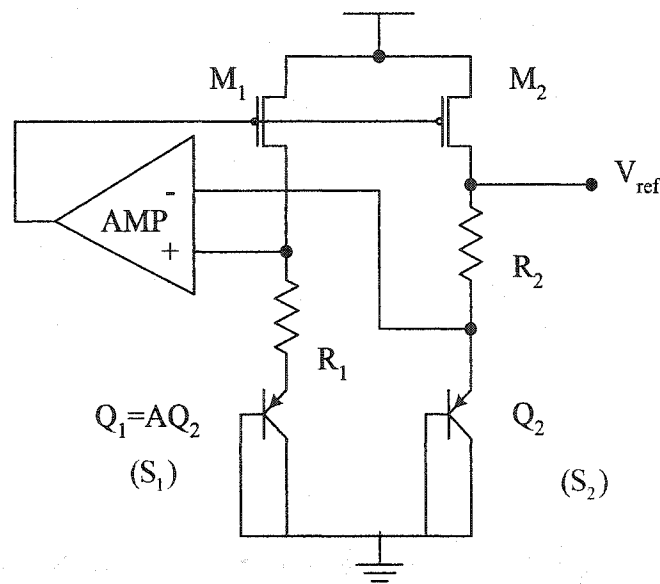


Figure 2-8 Référence BGR CMOS typique [59].

2.3.2.1 Circuit BGR avec amplificateur chopper pour compenser l'offset

Une des plus importantes sources d'erreurs dans les BGR CMOS est la tension de décalage à l'entrée de l'amplificateur de la boucle de contre-réaction. Elle peut provenir de l'amplificateur ou des transistors bipolaires, [45].

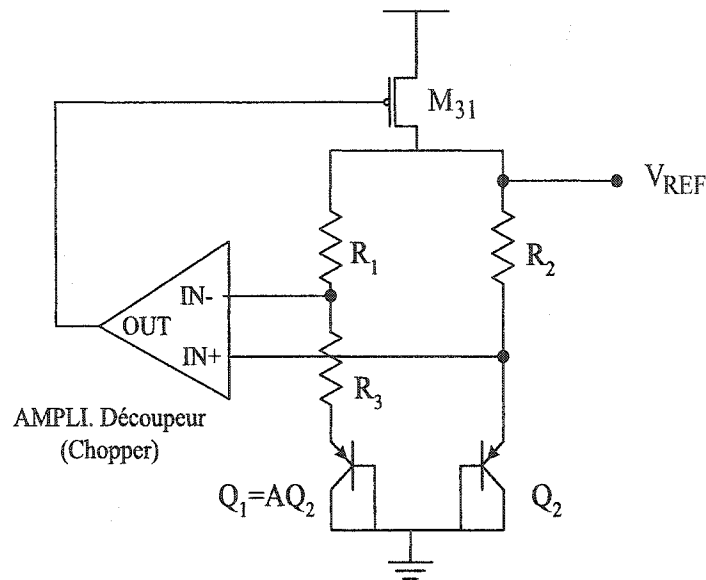


Figure 2-9 Circuit proposé par [45].

Un décalage important détériore la précision de la tension de référence. Le réglage de la sortie par l'utilisation de dispositifs spéciaux, tels que des résistances ajustables par laser, est une solution coûteuse. Dans les relations reliant l'erreur de la sortie en fonction des variations des paramètres, [45], on démontre que le terme dominant dans la relation de la tension de référence est une fonction de la tension de décalage et il doit être réduit si on veut améliorer la précision de la référence. L'auteur propose le circuit de la Figure 2-9. Son principe de fonctionnement est basé sur un circuit standard BGR, mais il utilise un amplificateur découpeur (*chopper*) pour compenser la tension de décalage (voir Figure 2-10). Les transistors M_{10} , M_{11} , M_{13} et M_{15} opèrent comme des hacheurs de tension pour l'entrée différentielle appliquée aux entrées $IN+$ et $IN-$.

Le décalage de la paire différentielle d'entrée, constitué des transistors M_2 et M_3 , et du miroir de courant, constitué de M_6 et M_7 , est réduit par le deuxième étage du hacheur constitué de M_{19} , M_{20} , M_{21} , et M_{22} , [45].

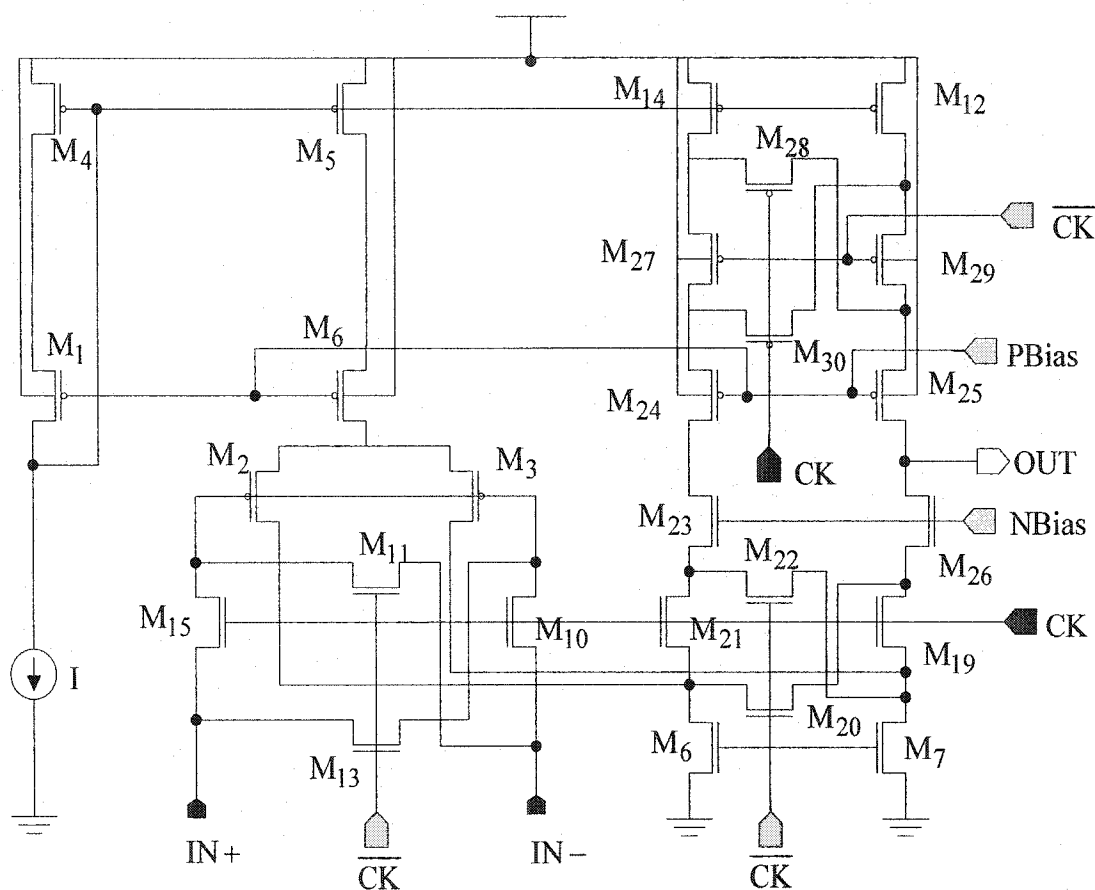


Figure 2-10 Amplificateur découpeur (*chopper*) utilisé dans le circuit de la Figure 2-9 [45].

Grâce au troisième étage découpeur constitué de M_{27} , M_{28} , M_{29} , et M_{30} , les décalages des sources de courant M_{12} et M_{14} sont également éliminés. Le transistor M_{25} fournit la tension de référence. Les simulations montrent que l'utilisation de la technique

de découpage réduit la tension de décalage d'un facteur 10 soit à 3.2mV (32mV si on utilise un amplificateur normal). La puissance consommée par le circuit est de 7.5 μ W.

2.3.2.2 Circuits à basse tension et à basse puissance (Topologie mode courant)

Les topologies BGR présentée précédemment fournissent une tension stable invariable de 1.25V. Cependant, si l'on désire une tension de référence différente. La possibilité de références BGR opérant avec 0.9 V est étudiée dans la référence [44], où on propose deux topologies alternatives, Figure 2-11 et Figure 2-12. La première technique fonctionne par une sommation dans une résistance de sortie de deux courants dont les coefficients de température sont opposés. La valeur de résistance détermine la tension de référence à produire.

Le circuit qui fait la somme de deux courants est présenté sur le Figure 2-11. Il se compose de trois blocs. Le premier produit un courant PTAT, désigné par I_{PTAT} . Le deuxième génère un courant proportionnel à tension V_{BE} grâce au transistor PNP, Q_1 . Le courant produit, désigné par I_{NPTAT} , possède un coefficient de température négatif, (2-27).

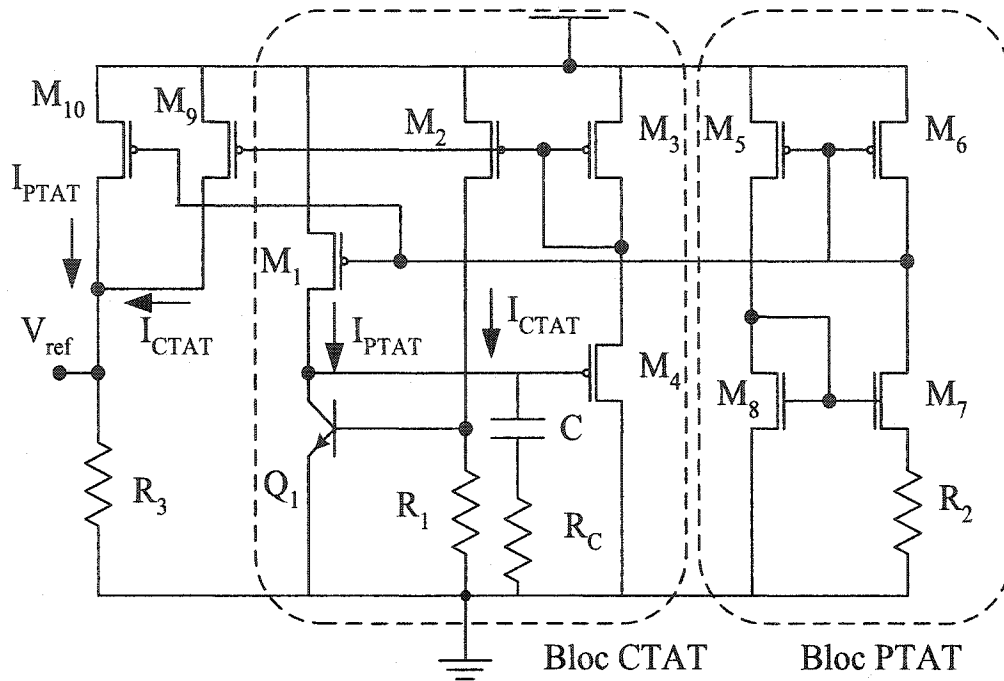


Figure 2-11 Circuit BGR en mode courant [44].

Enfin, le dernier bloc est constitué essentiellement d'une résistance R_3 dont la fonction est de faire la somme des courants provenant des deux premiers blocs et les convertit en un niveau de tension ajustable, (2-26). Les transistors M_9 et M_{10} miroitent respectivement les courants I_{PTAT} et I_{NPTAT} .

$$V_{REF} = R_3(I_{PTAT} + I_{CTAT}) = R_3 \frac{V_{BE}}{R_1} \quad (2-26)$$

$$I_{NPTAT} = I_b + \frac{V_{BE}}{R_1} = \frac{I_{PTAT}}{\beta} + \frac{V_{BE}}{R_1} \approx \frac{V_{BE}}{R_1} \quad (2-27)$$

La tension de la diode polarisée en direct est de l'ordre de 0.7 V et celle entre Drain-Source du transistor M_1 du miroir courant est de l'ordre de 0.3V. La tension

minimale d'alimentation du circuit est donc $\min\{\max(V_{BE}) + V_{DSsat}(M_1)\} \cong 1V$. De cette façon le circuit BGR opère avec une très basse tension d'alimentation.

La deuxième technique proposée par [44] pour travailler à basse tension additionne deux tensions qui sont d'abord atténuées. Des diviseurs résistifs de tension sont employés pour le facteur déterminé d'atténuation.

Le circuit BGR de la Figure 2-12, montre le deuxième circuit, qui se compose également de trois blocs. La seule différence entre le BGR en mode courant et en mode tension est le troisième bloc. Ce dernier se compose d'un amplificateur différentiel monté en boucle de rétroaction négative.

La différence de tension entre les transistors bipolaires produit une tension PTAT. La tension de diode appliquée n'est pas la tension d'émetteur de base, comme dans un BGR standard, mais une partie de la valeur. La tension d'alimentation minimum est approximativement égale à

$$V_{\min}(V_{DD}) = V_{A1} + V_{BE}(Q_2) + V_{DSat}(M_{10}) \quad (2-28)$$

La valeur est égale à 1V avec la technologie utilisé dans cette étude. Les résultats expérimentaux montrent, Figure 2-13, que la variation de la tension de référence V_{REF} est de 0,5% lorsque la tension d'alimentation du circuit varie de 0.9V à 2.5V. La variation de V_{REF} en fonction de la température est de 2%.

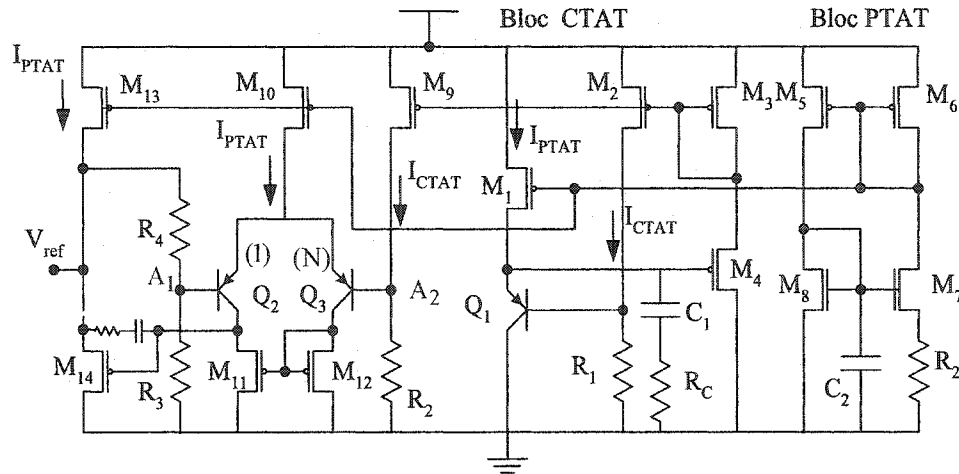


Figure 2-12 BGR en mode tension [44].

La troisième méthode pour réaliser des références BGR opérant à basse tension est l'utilisation des transistors spéciaux désignés par MOS à seuil dynamiques (DTMOS). La tension bandgap, terme V_{G0} de la relation (A.1.14), dans une jonction PN peut également être abaissée si elle est soumise à un champ électrostatique. Cette méthode peut être appliquée en remplaçant les diodes normales par des diodes MOS dont la grille et le puit, connexion «nc» de la Figure 2-14, sont reliés ensemble. Ces dispositifs sont appelés DTMOS; une section transversale est montrée sur Figure 2-14.

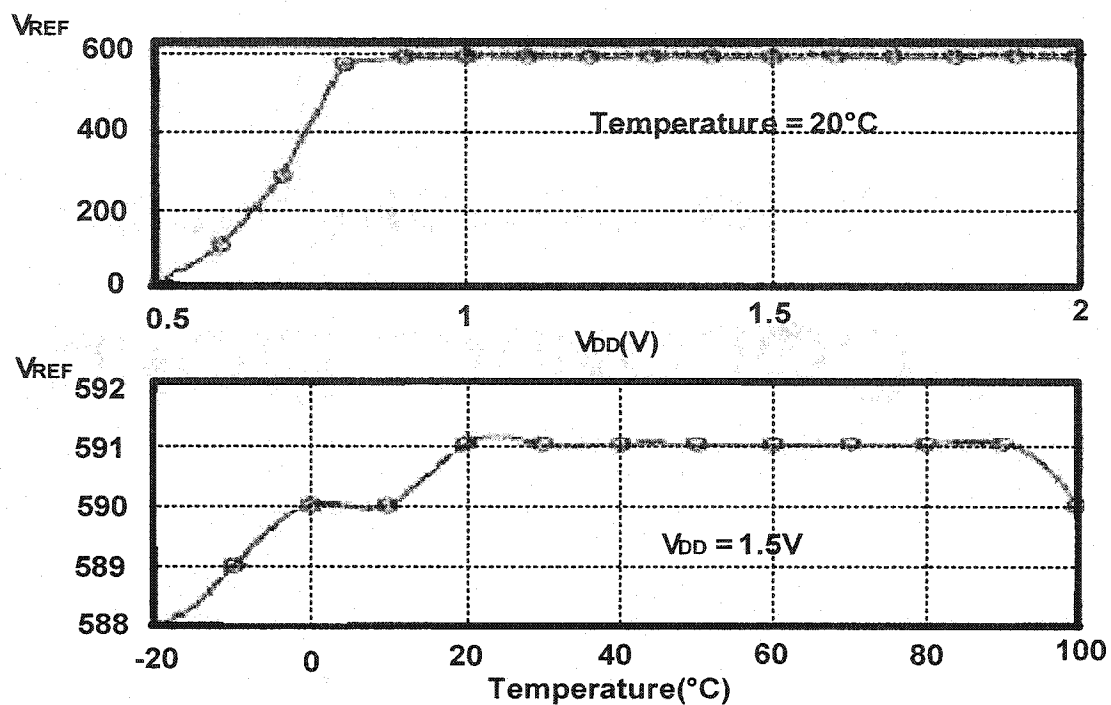


Figure 2-13 V_{REF} en fonction de V_{DD} et en fonction de la température [44].

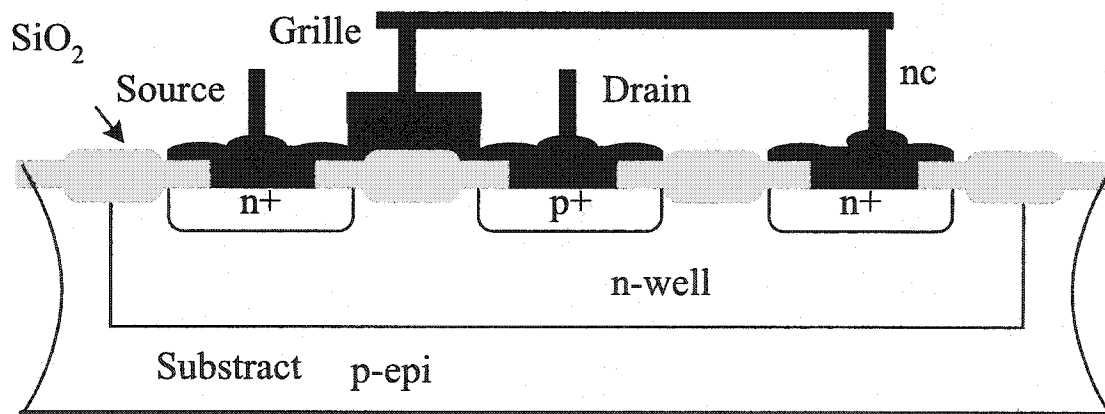


Figure 2-14 La section transversale du transistor DT MOS [2].

L'utilisation d'un dispositif de P-DTMOS a comme conséquence un V_{G0} de 0.6V et le coefficient de température de la tension V_{GS} aux bornes du Grilles-Source est approximativement de $1\text{mV}/^\circ\text{K}$. Ces valeurs sont à peu près la moitié des valeurs typiques d'une diode normale dans les BGR standard.

Les circuits BGR à transistors DTMOS peuvent être conçus en utilisant la même topologie que ceux utilisant les transistors CMOS standard. La Figure 2-15, présente un tel circuit.

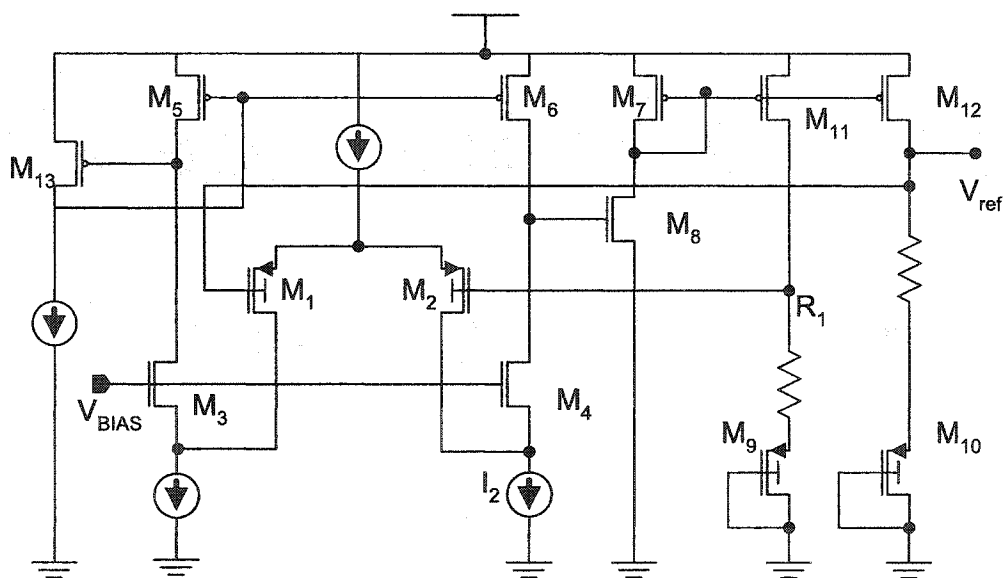


Figure 2-15 Basse Tension DTMOS BGR [2].

Il se compose d'un amplificateur de type folded cascode et de résistances. Les diodes DTMOS sont connectées suivant le schéma de la Figure 2-15. L'étage d'entrée de l'ampli utilise également des transistors DTMOS, ce qui lui permet d'opérer à basse tension d'alimentation. L'étage de sortie de l'amplificateur utilise un miroir de courant à

faible tension d'alimentation. Pour un fonctionnement correct de l'amplificateur, la tension d'alimentation est supérieure ou égal à 0.7V. La variation de la tension de référence en fonction de la température est présentée sur la Figure 2-16. La variation de la tension de référence générée est de 4.5mV sur la gamme de température, -20°C à 100°C.

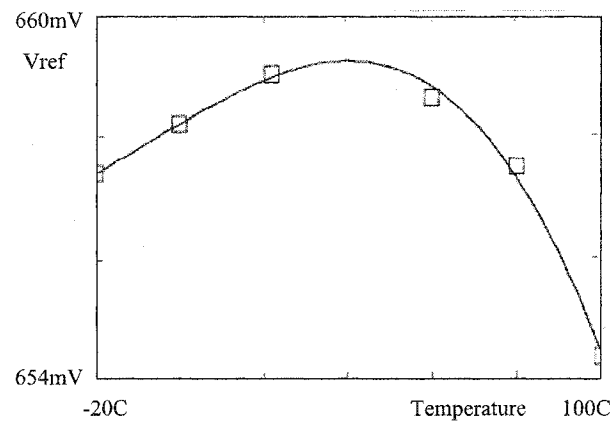


Figure 2-16 Tension Vref en fonction de la température [2].

Plusieurs autres topologies BGR en CMOS à basse tension d'alimentation ont été proposées [8], [57], [59], [12], [46] et [40]. Elles sont basées principalement sur l'utilisation d'un diviseur résistif et opèrent en mode courant. La référence [8] est parmi les premières à proposer un circuit opérant à moins de 1.5 V, Figure 2-17. La tension de référence est définie par la relation suivante

$$V_{REF} = R_3 \left\{ \frac{V_{BE}}{R_2} + \frac{\Delta V_{BE}}{R_1} \right\} \quad (2-29)$$

Les résultats expérimentaux pour ce circuit sont présentés à la Figure 2-18. Pour une tension d'alimentation ΔV_{DD} du circuit variant de 2.2 à 4 V, la tension de référence V_{REF} varie de $515\text{mV} \pm 1\text{mV}$ à 27°C . Cette variation devient $515\text{mV} \pm 3\text{mV}$ si la température est dans la gamme (27 à 125°C).

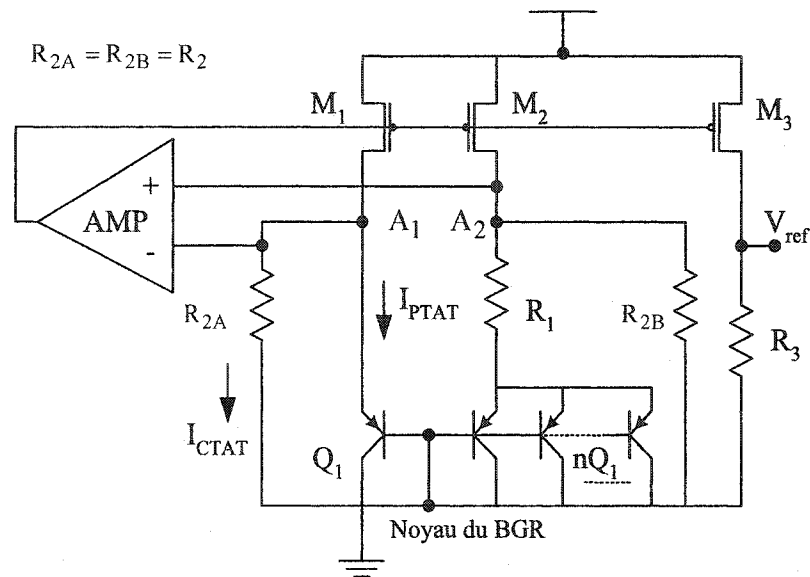


Figure 2-17 Le circuit proposé par [8].

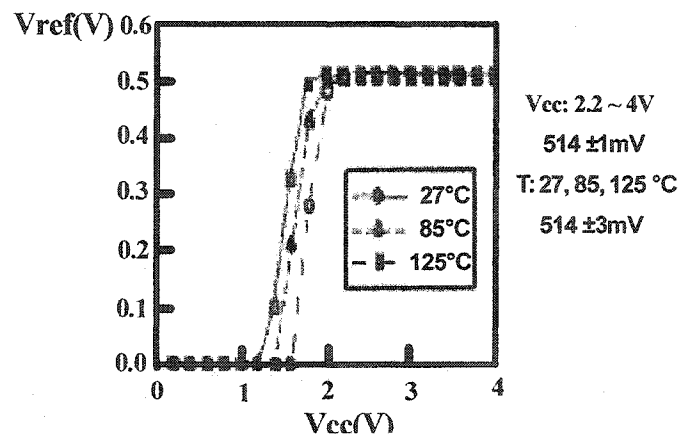


Figure 2-18 Résultats expérimentaux de la topologie [8].

La tension d'alimentation a été limitée à 2.1V, dû au type de transistor disponible dans la technologie utilisée. Cependant, les simulations ont montré que la tension d'alimentation minimum peut atteindre 0.84V.

Pour les BGR à basse tension d'alimentation la tension de mode commun à l'entrée de l'amplificateur est assez élevée et elle est égale la tension Base-Emetteur, dans les circuit [47], [26]. La tension de mode commun de l'amplificateur joue aussi un rôle important : en effet dans la Figure 2-17, les nœuds A_1 et A_2 qui attaquent l'amplificateur ont un niveau de tension de l'ordre de 0.7V ce qui n'est pas intéressant pour un amplificateur opérant sous une tension d'alimentation de 1V. Il devient nécessaire de réduire la tension de mode commun à l'entrée de l'amplificateur.

Le circuit proposé dans la référence [57] cherche à améliorer celui proposé en [8] par différentes modifications. L'utilisation de dispositifs en cascode contribue à améliorer l'impédance de sortie des sources de courant (voir Figure 2-19). Par cette technique, la sensibilité de V_{REF} à la tension d'alimentation diminue, améliorant ainsi le PSRR. Des résistances sont utilisées à l'entrée différentielle de l'amplificateur afin de diminuer la tension de mode commun. Les résistances R_{2A} et R_{2B} du circuit de la Figure 2-17 sont remplacées par des équivalents en série afin d'obtenir un diviseur de tension sur chaque branche. Le niveau de tension obtenu sur les nœuds A_3 et A_4 améliore la capacité de l'amplificateur à fonctionner avec une tension d'alimentation de moins de 1V. Le circuit a été simulé sur une gamme de température de (-20 à 100°C) et avec une tension

d'alimentation de 0.95V à 1.50V. Les courbes obtenues sur la variation de V_{REF} en fonction de la température montrent une variation de moins de 0,24%, [57].

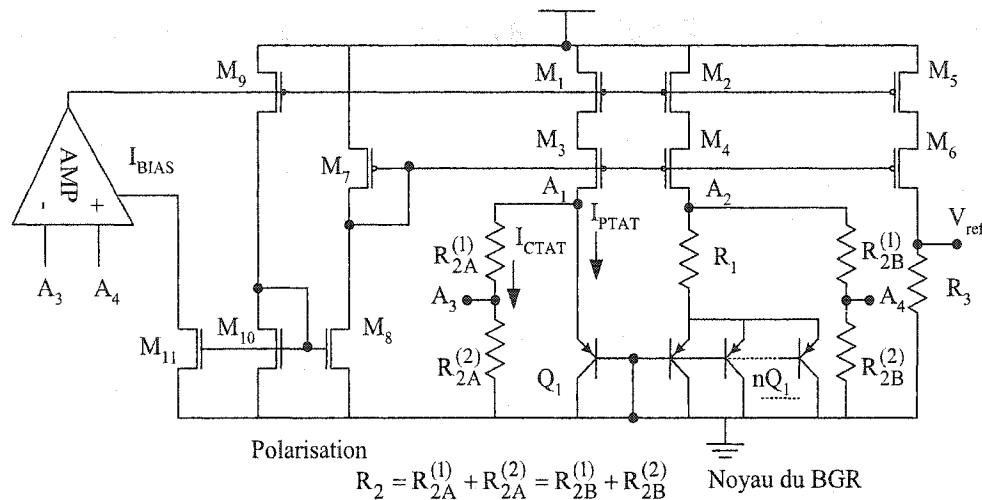


Figure 2-19 Circuit BGR basse tension proposé par [57].

La topologie [59] propose une autre amélioration par rapport au circuit de la Figure 2-19, [57]. Au lieu d'utiliser des diviseurs de tension sur chaque entrée de l'amplificateur, ce qui risque de faire augmenter le décalage à l'entrée à cause du mésappariement des résistances (voir Figure 2-19), un amplificateur à entrée courant est utilisé (transimpédance) (voir Figure 2-20). Le courant différentiel I_2 est amplifié et la boucle de rétroaction amène l'égalité des tensions aux nœuds A_1 et A_2 . Des résistances de même valeur R_{2A} et R_{2B} sont employées pour obtenir le courant I_2 avec un coefficient de température négatif. La tension de référence est obtenue par la somme de I_2 avec un courant proportionnel à la température I_{PTAT} . Cette technique, basée sur

l'utilisation d'un amplificateur à transimpédance, nécessite un circuit de correction qui

génère le courant $I_a = \frac{V_B}{R_2}$, V_B étant la tension aux bornes de l'amplificateur.

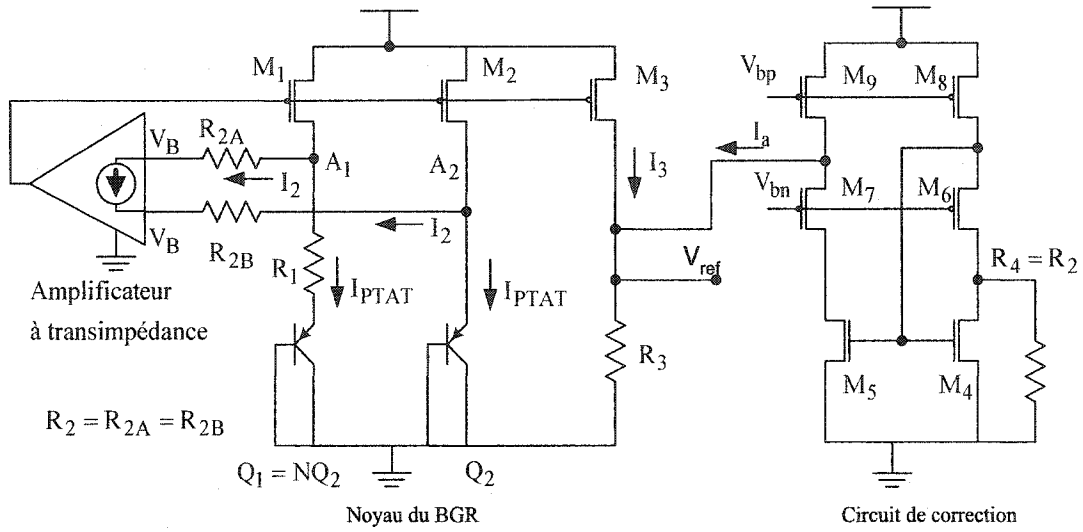


Figure 2-20 Circuit proposé par [59].

La compensation en température de la référence de tension est donnée par la relation suivante

$$V_{REF} = R_3(I_3 + I_a) = R_3(I_2 + I_{PTAT} + I_a) \quad (2-30)$$

$$= R_3 \left[\frac{1}{R_1} V_T \ln(N) + \frac{V_{EB2}}{R_2} - \frac{V_B}{R_2} + I_a \right]$$

$$V_{REF} \approx R_3 \left[\frac{1}{R_1} V_T \ln(N) + \frac{V_{EB2}}{R_2} \right] = \text{const} \quad (2-31)$$

Semblable à la topologie en mode courant de [8], la valeur de référence V_{REF} peut être ajustée en choisissant différentes valeurs de R_1 , R_2 , et R_3 . Les résultats expérimentaux pour une tension V_{REF} de 1V montrent que la précision est de $\pm 1\%$ sur une plage de température (0 à 100°C), et de $\pm 0.3\%$ par simulation si la résistance R_1 est ajustée. La consommation de puissance de ce circuit est 0.6 mW pour une tension d'alimentation de 1.2V.

L'auteur de la topologie de [40] suggère des améliorations au circuit de Banba [8]. La motivation pour les améliorations est que l'amplificateur différentiel utilisé par [8] utilise des transistors MOS à appauvrissement (*MOS depletion transistors*) dans son étage d'entrée. Ces dispositifs ne sont pas utilisés dans les procédés CMOS standard, et leur fabrication implique l'ajout d'au moins un masque de même que leur caractérisation implique des coûts additionnels.

Un des points chauds qui limite la réalisation de références de tension opérant à basse tension est la faculté de faire un amplificateur qui répond aux besoins de cette application. La référence [40] propose un amplificateur dont les transistors PMOS opèrent dans le mode faible inversion (*weak inversion*). Le nouveau circuit est présenté à la Figure 2-21. Comme la tension d'alimentation est diminuée au-dessous de 1.4V, les transistors CMOS d'entrée fonctionnent en régime d'inversion faible. Le circuit BGR reste polarisé correctement aussi longtemps que la tension d'alimentation est supérieure à 0.9V, au-dessous de cette valeur le gain en boucle ouverte devient insuffisant.

Une deuxième topologie d'amplificateur est proposée par [40], (voir Figure 2-22). Elle utilise des transistors NMOS à son entrée, mais pour décaler à la bonne valeur la tension en mode commun à l'entrée de l'amplificateur, des transistors PMOS sont mis comme étage intermédiaire. La tension d'alimentation minimale est approximativement 1.4V, ce qui est supérieur au premier circuit.

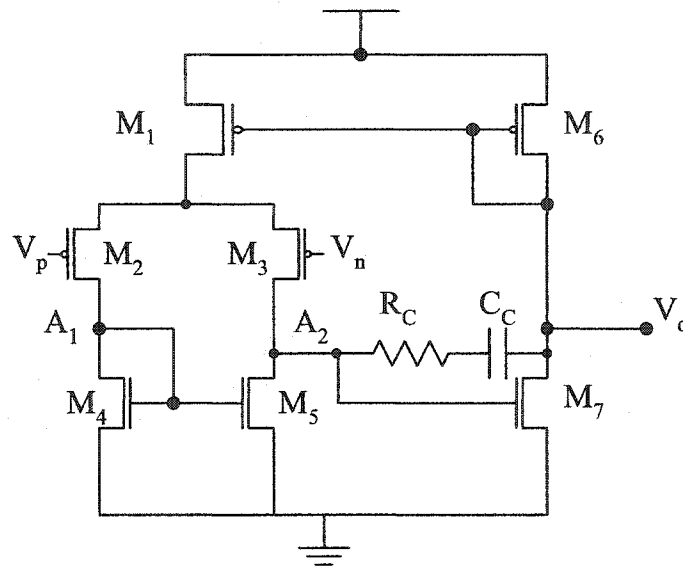


Figure 2-21 Amplificateur opérationnel dont les PMOS d'entrée opèrent en faible inversion proposé en [40].

La référence [5] propose une approche similaire au circuit de la Figure 2-22, avec un étage intermédiaire pour décaler le niveau de tension entre le noyau du bandgap (contenant les diodes) et l'amplificateur différentiel de rétroaction.

2.3.3.1 Compensation adaptative [52] [33] [6]

Le circuit proposé par [52] exploite le fait que le minimum de dérive en température de la tension de référence est obtenu pour $T = T_r$

$$\frac{\partial V_{REF}(T)}{\partial T} = -\frac{\partial C(T)}{\partial T} = (\eta - \theta) \frac{k}{q} \left[\ln \frac{T_r}{T} \right] \quad (2-33)$$

Dans le cas où le courant de polarisation du transistor I_C est proportionnel à la température ($\theta = 1$) et en vertu de la relation (2-3), la température T_r peut être contrôlée par le courant I_C , [3] [6].

$$\frac{I_C(T)}{T} = \frac{I_C(T_r)}{T_r} = \text{constante} \quad (2-34)$$

Il est possible de faire varier le courant de polarisation des transistors bipolaires de façon dynamique et cela dans des plages de température ciblées, de façon à réduire l'erreur sur V_{REF} due à la température. La

Figure 2-23 illustre ce principe, pour un courant de polarisation PTAT, désigné par I_{C2} , l'erreur sur V_{REF} sur $(0 \text{ à } T_F^\circ\text{C})$ est plus grande dans le cas où il n'y a qu'une seule valeur de courant PTAT calibré pour la température T_{r2} .

Le circuit que propose [52] contient un traitement digital pour contrôler la valeur du courant proportionnel à la température PTAT, Figure 2-24. On réalise avec cette technique une compensation des variations dues à la température avec une précision de 2.23 ppm/°C, selon l'auteur.

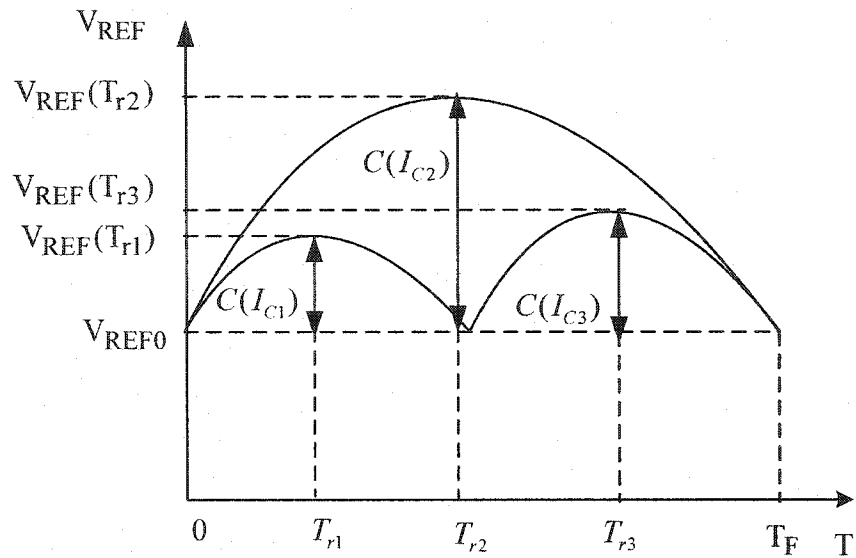


Figure 2-23 Variation de l'erreur sur la tension de référence V_{REF} avec le courant de polarisation I_C .

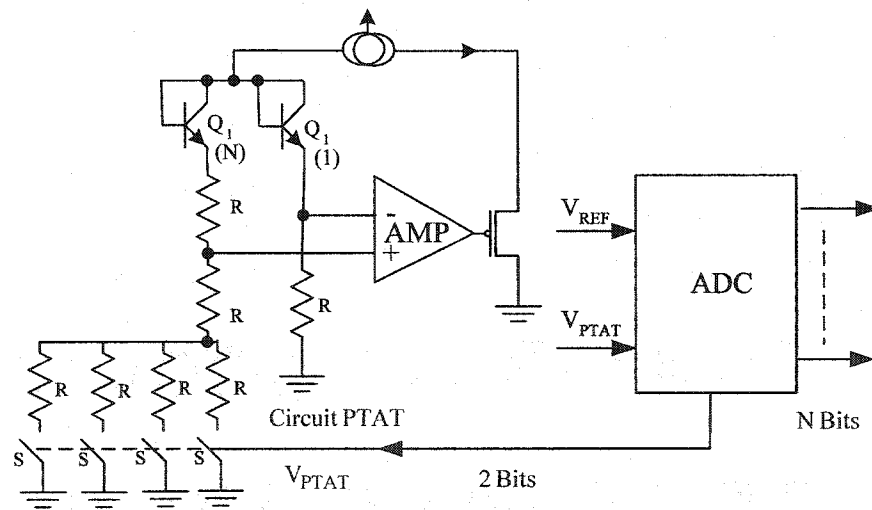


Figure 2-24 Circuit de traitement proposé par [52].

2.3.3.2 Compensation du second ordre [25][20]

Quelques circuits proposés pour la correction du second ordre ont été développés dans les procédés bipolaires et BiCMOS, [25] [20] [41]. Le circuit de la Figure 2-25, [29], propose une compensation du terme $C(T)$ de la relation (2-32) par un circuit opérant en mode courant. Il opère avec une tension d'alimentation de 1 V, ce qui est une limite pour ce type de topologie, implémentée dans le procédé BiCMOS.

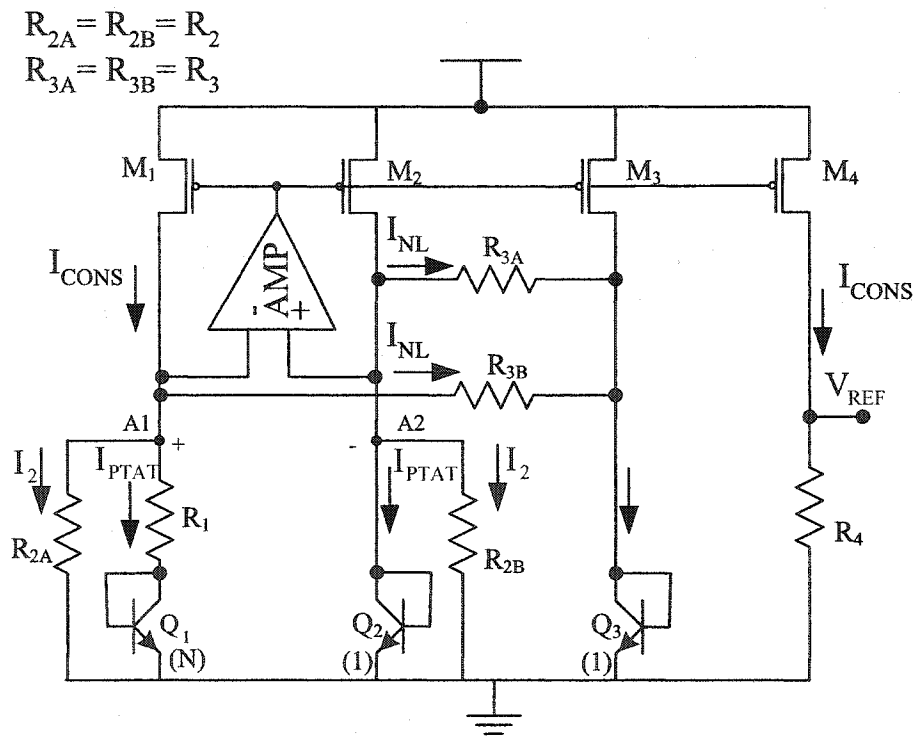


Figure 2-25 Circuit utilisé pour la compensation logarithmique [29].

Le circuit proposé réalise un coefficient de variation en température de 7.5 ppm/°C et un PSRR de 212 ppm/V. Le circuit n'a pas besoin d'amplificateur opérationnel additionnel ou de circuit complexe pour la compensation de courbure [29].

2.4 Considérations concernant le design des circuits BGR

2.4.1 Influence du décalage de l'amplificateur sur la tension de sortie [9][13] [48]

Le problème avec la tension de décalage (offset), $V_{OS}(T)$, est qu'elle est amplifiée par le facteur de gain du BGR, et elle varie avec la température, ce qui modifie son TC, [9] [13] [48].

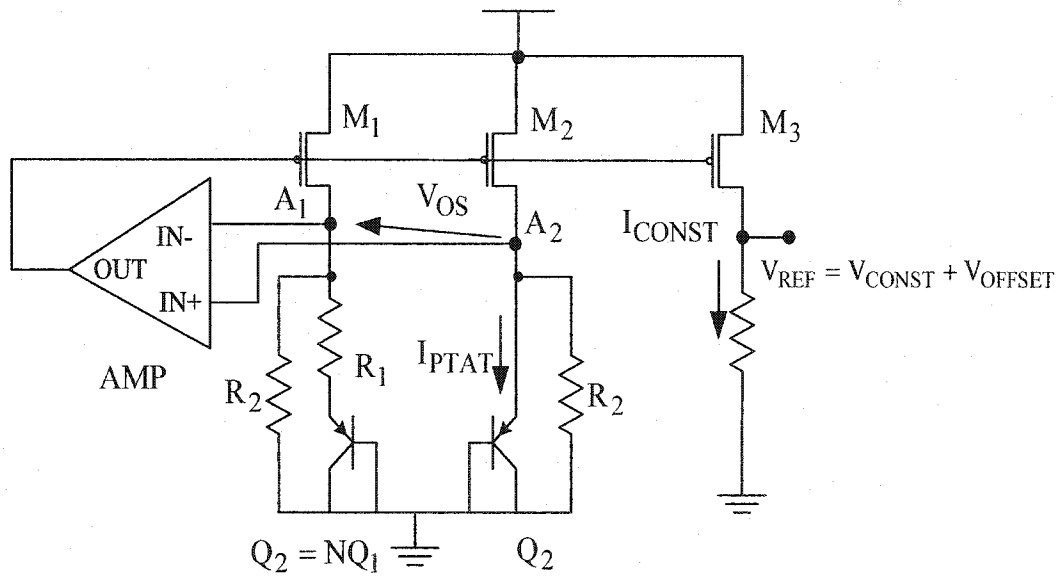


Figure 2-26 Tension de décalage en sortie (offset).

Le décalage à l'entrée de l'amplificateur crée une erreur sur le courant PTAT de

$$I_{PTAT} = \frac{\Delta V_{BE}}{R_1} + \frac{V_{OS}}{R_1} = V_T \frac{\ln[N]}{R_1} + \frac{V_{OS}}{R_1} \quad (2-35)$$

La tension de sortie V_{REF} est donnée par la relation

$$\begin{aligned}
 V_{REF} &= R_3 \left[I_{PTAT} + \frac{V_{BE}}{R_2} - \frac{V_{OS}}{R_2} \right] \\
 &= R_3 \left[V_T \frac{\ln[N]}{R_1} + \frac{V_{BE}}{R_2} - V_{OS} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \right]
 \end{aligned} \tag{2-36}$$

Si l'on pose

$$V_{REF} = V_{CONST} + V_{OFFSET} \tag{2-37}$$

Avec V_{CONST} la tension stable en température et V_{OFFSET} la tension de décalage en sortie

$$V_{CONST} = R_3 \left[V_T \frac{\ln[N]}{R_1} + \frac{V_{BE}}{R_2} \right] \tag{2-38}$$

$$V_{OFFSET} = -R_3 \left(\frac{1}{R_1} + \frac{1}{R_2} \right) V_{OS} \tag{2-39}$$

La tension de décalage crée une erreur en sortie de V_{OFFSET} . En général, la tension de décalage est une fonction de la température, d'où l'intérêt de réduire sa valeur. Il s'agit d'une des principales sources de dégradation des performances des BGR.

Plusieurs méthodes sont utilisées pour diminuer l'effet de la tension de décalage, parmi lesquelles on retrouve:

a- Incorporer des transistors de grandes dimensions dans l'amplificateur de la boucle, [10]. Le bruit et la tension de décalage d'un amplificateur opérationnel (OPAMP)

sont principalement déterminés par son étage d'entrée. Le bruit thermique peut être réduit par un choix rigoureux des transconductances requises (ce qui peut impliquer un courant consommé plus élevé et une tension d'alimentation plus élevée). Le bruit Flicker et le décalage d'un OPAMP sont minimisés par un bon appariement des transistors dans le circuit. Les techniques de compensation dynamique telles que le découpage (chopping) pourraient aussi diminuer le bruit Flicker et l'offset mais elles peuvent nécessiter un amplificateur beaucoup plus rapide et par conséquent plus de bruit thermique et plus de consommation de puissance. D'autre part, la largeur de bande de l'amplificateur peut être diminuée par des tailles de transistors plus élevées. On voit donc le caractère contradictoire de ces approches.

b- La deuxième est d'augmenter les dimensions des collecteurs des transistors bipolaires de façon que l'appariement soit meilleur et que le décalage engendré par ces transistors soit plus faible.

2.4.2 Appariement des résistances utilisées [3] [34]

Dans les procédés CMOS submicroniques, il existe différents types de résistances qui peuvent être intégrées. Les résistances en Polysilicium (désignées aussi par poly-résistances), les résistances N ou P, utilisant les diffusions source/drain des transistors CMOS (désignées par P-implant resistors) et les résistances diffusées (Nwell). Les propriétés des résistances en poly (valeur de résistance, capacité parasite) ont une faible dépendance vis-à-vis de la tension appliquées à leurs bornes et elles permettent un bon appariement des propriétés seulement la dispersion des propriétés paramétriques d'un lot

à l'autre est grande. Les résistances à puits N (Nwell resistor) ont une dépendance plus grande à la tension appliquée et elles prennent plus d'espace, mais elles sont moins sensibles au bruit de substrat.

Les résistances implantées sont comparables aux résistances en poly, toutefois leur appariement et la dispersion sont meilleurs [31]. Dans les réalisations discutées plus loin, nous avons utilisé les résistances P-implant contenues dans un puits N.

Le TC d'une résistance peut être aussi un facteur important pour la compensation en température d'un circuit RT, [4], [34]. Par exemple, dans [3], le TC des résistances est utilisé pour la compensation en température de la tension de référence.

2.5 Conclusion

La réalisation de circuits opérant à basse puissance et à basse tension d'alimentation demeure un objectif important des concepteurs et cette tendance est motivée par l'utilisation de procédés d'intégration dont les géométries sont de plus en plus fines. Les dimensions des dispositifs utilisés dans ces technologies ainsi que leurs tensions d'opération diminuent de plus en plus, ouvrant la voie aux défis que représente la conception de références à basse tension. Les performances d'une référence de tension sont d'un grand apport pour les circuits de traitement de signaux analogiques sensibles aux bruits véhiculés par les tensions ou les courants de polarisation. Elles peuvent de ce fait améliorer la qualité et la précision du traitement.

3 CONCEPTION D'UNE RÉFÉRENCE DE TENSION BANDGAP À BASSE TENSION DONT LA COMPENSATION EN TEMPÉRATURE EST BASÉE SUR LA TENSION DE SEUIL D'UN TRANSISTOR MOS

3.1 Introduction

Dans ce chapitre, nous décrivons une référence de tension bandgap (BGR) opérant à une tension d'alimentation de 1 Volt. Le circuit est conçu avec la technologie CMOS. La topologie proposée est basée sur une structure BGR en mode courant et utilise un amplificateur à transimpédance. Une boucle de rétroaction dans le BGR produit la compensation de la température de la tension de référence générée. Cette compensation est réalisée en combinant un courant PTAT (proportionnel à la température absolue) dérivé d'un noyau BGR et un courant CTAT (inversement proportionnel à la température absolue) dérivés d'une tension de seuil d'un transistor nMOS. Le circuit proposé a été simulé en utilisant les modèles de la technologie CMOS 0.18 μ m standard et avec une tension d'alimentation de 1 volt. Les variations de la tension de référence sur une plage de température de (0 à 100 °C) sont inférieures à 1%, [10].

3.2 Références de tension BGR impliquant un courant issu de la tension de seuil V_{TH} d'un transistor MOS

Une approche proposée récemment [53], permet de produire une compensation des effets de la température sur la tension de référence par la somme de deux courants dans une résistance de sortie. Le premier courant qui est proportionnel à la température (PTAT) est issu d'un noyau constitué de transistors bipolaires. Le deuxième est inversement proportionnel à la température CTAT est dérivé d'une tension V_{TH} d'un transistor CMOS et son coefficient TC est négatif.

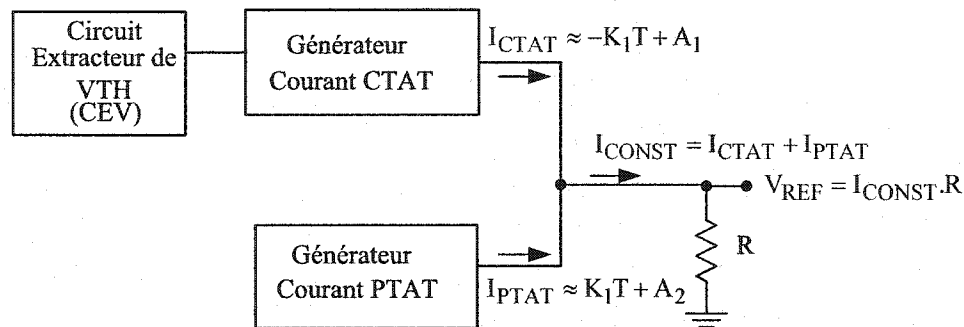


Figure 3-1 Référence de tension utilisant la tension de seuil d'un transistor MOS.

Le résultat de la sommation des courant donne une tension stable en température mais la tension de référence peut être sensible au TC de la résistance de sortie R , Figure 3-1.

Pour produire un courant CTAT, la méthode proposée extrait la tension V_{TH} grâce au circuit CEV, (voir Figure 3-1). Les topologies des CEV connues opèrent avec des tensions d'alimentation de plus de 1.2 V.

$$\begin{aligned}
V_{\text{ref}} &= R_3 [I_2 + I_{\text{PTAT}} + I_a] = \frac{R_3}{R_2} \left[\frac{R_2}{R_1} V_T \ln(N) + V_{\text{EB2}} - V_B + R_2 I_a \right] \\
&= \frac{R_3}{R_2} \left[\frac{R_2}{R_1} V_T \ln(N) + V_{\text{EB2}} \right] + R_3 \left[-\frac{V_B}{R_2} + I_a \right]
\end{aligned}
\tag{3-1}$$

Le circuit de compensation de courant (CC) génère la valeur de courant approprié I_a nécessaire pour annuler le terme V_B dans la relation (3-1). La compensation de premier ordre est ainsi réalisée par un choix approprié du rapport entre les résistances R_2 et R_1 et du rapport $\frac{V_B}{R_2}$ qui doit être égal à I_a dans la relation (3-1). La tension de référence devient

$$V_{\text{ref}} = \frac{R_3}{R_2} \left[\frac{R_2}{R_1} V_T \ln(N) + V_{\text{EB2}} \right]
\tag{3-2}$$

Cette topologie nécessite un étage additionnel, le circuit CC, pour la compensation de la tension de sortie. Cet étage est assez critique pour le fonctionnement du circuit, car il permet d'annuler l'effet de la tension parasite V_B à l'entrée de l'amplificateur. La valeur de la tension de référence ainsi que sa stabilité en fonction de la température dépendront des bonnes performances de l'étage CC, ce qui contribue à augmenter la complexité du circuit.

L'étage différentiel à l'entrée de l'amplificateur de transimpédance est attaqué par un courant, cette structure a l'avantage de fonctionner avec une tension d'alimentation

très faible de l'ordre de 1Volts, cependant la puissance consommée par le circuit, telle que rapporté par [59], est assez élevée et elle est de plus de $600\mu\text{W}$

3.4 Description du circuit proposé

Afin de palier aux inconvénients du circuit précédent, nous avons proposé une solution qui permet de faire opérer le circuit :

- sans le bloc de compensation de courant CC, qui est nécessaire pour la stabilité en température de la tension de référence. Ce qui réduit la complexité du circuit.
- à une puissance de $80\mu\text{W}$, qui est nettement inférieure à celle du circuit de base ($600\mu\text{W}$).
- sur une plage de température plus large soit de -40 à 100°C comparativement à 0 à 100°C

Nous pouvons résumer les avantages et inconvénients respectifs de ces circuits au Tableau 2.

La topologie proposée, voir Figure 3-3, tire profit des deux circuits respectivement présentés aux Figure 3-1 et Figure 3-2. Avec le circuit proposé, une nouvelle approche pour la stabilité en température est à considérer. Nous avons adopté une approche développée dans [53] qui combine une tension PTAT avec une tension CTAT.

Notre circuit n'a pas besoin d'un circuit extracteur de V_{TH} (CEV), voir Figure 3-1, comme c'est le cas pour [53]. Ceci lève la contrainte que l'on retrouve pour les CEV connus, qui n'opèrent pas à moins de 1.2 V.

Tableau 2 Comparaisons de performance entre les circuits BGR de [53] et [59].

	Circuit de la Figure 3-1	Circuit de la Figure 3-2
Courant consommé	$> 73 \mu A$	Elevé $> 600 \mu A$
Tension d'alimentation	5 V	1.2V
Technologie utilisée	ABN CMOS $1.5 \mu m$	CMOS $1.2 \mu m$
Bloc spécifique dans le circuit	Extracteur de V_{TH} (CEV)	Compensateur de courant (CC)
Plage de température	0 à $100^\circ C$	0 à $100^\circ C$

Nous avons effectué certaines modifications sur l'amplificateur transimpédance (TA) de [59]. Sur le circuit proposé de la Figure 3-3, les grilles des transistors M_5 et M_6 sont connectées à l'émetteur du transistor bipolaire Q_1 et ainsi mis au potentiel V_{EB1} . Le courant source-drain à travers le transistor M_5 , opérant en saturation, est donné par

$$I_{DS5} = \frac{\mu_n C_{ox}}{2} \frac{W_5}{L_5} (V_{GS5} - V_{THN})^2 \quad (3-3)$$

Nous supposons que la modulation de canal est négligée, V_{THN} est la tension de seuil, μ_n est la mobilité des charges dans le transistor NMOS. Les paramètres V_{THN} et μ_n diminuent avec la température et peuvent être exprimées par les relations suivantes, [17] [7]

$$V_{THN}(T) = V_{THN}(T_0) + \alpha_{VT}(T - T_0) = V_{TH0} + \alpha_{VT}(T - T_0) \quad (3-4)$$

$$\mu_n(T) = \mu_n(T_0) \left[\frac{T}{T_0} \right]^{\alpha_n} \quad (3-5)$$

Où T_0 est la référence de température. En première approximation, nous supposons que α_n et α_{VT} sont des constantes négatives et que le courant I_{D5} est constant sur la plage de température et alors le courant I_{D5} satisfait la relation

$$\frac{\partial I_{D5}}{\partial T} = 0 \quad (3-6)$$

En combinant les relations (3-6) et (3-3), la tension grille-source du transistor M_5 doit satisfaire la relation

$$V_{GS5} = V_{THN}(T) + 2\mu_n \left(\frac{\partial V_{THN} / \partial T}{\partial \mu_n / \partial T} \right) \quad (3-7)$$

On remplaçant les équations (3-4) et (3-5) dans (3-7), si on développe au premier ordre de la variable T (température) la relation (3-7), nous obtenons

$$V_{GS5}(T) \cong V_{TH0} + \alpha_{VT} T \left(1 + \frac{2}{\alpha_n} \right) - \alpha_{VT} T_0 \quad (3-8)$$

La tension grille-source du transistor M_5 change linéairement avec la température et la tension V_{A3} peut être approximée à

$$V_{A3} = V_{EB1} - V_{GS5}(T) = V_{EB1} - \alpha_{VT} T \left(1 + \frac{2}{\alpha_n} \right) + (\alpha_{VT} T_0 - V_{TH0}) \quad (3-9)$$

L'amplificateur TA agit avec son gain pour maintenir des tensions égales aux nœuds A_1 et A_2 . Si nous considérons les résistances R_{2A} et R_{2B} , respectivement connectées aux couples de nœuds (A_1, A_4) et (A_2, A_3) . En supposant ces résistances bien appariées avec la valeur égale à R_2 , ils conduisent un courant I_2 égale à

$$I_2 = \frac{V_{EB2} - V_{A3}}{R_2} \quad (3-10)$$

Les courants à travers les diodes Q_1 et Q_2 sont égaux au courant I_{PTAT} , ou I_{PTAT} est le courant PTAT exprimé par la relation (2-13). Le courant I_{M1} , à travers le transistor M_1 , est égal à

$$I_{M1} = I_2 + I_{PTAT} = \left[\frac{1}{R_1} V_T \ln(N) + \frac{V_{EB2}}{R_2} - \frac{V_{A3}}{R_2} \right] \quad (3-11)$$

En remplaçant l'équation (3-9) dans (3-11), on obtient

$$I_{M_1}(T) = \frac{1}{R_2} \left[\left[\frac{R_1 + R_2}{R_1} \right] V_T \ln(N) + \alpha_{VT} T \left(1 + \frac{2}{\alpha_n} \right) \right] - \frac{(\alpha_{VT} T_0 - V_{TH0})}{R_2} \quad (3-12)$$

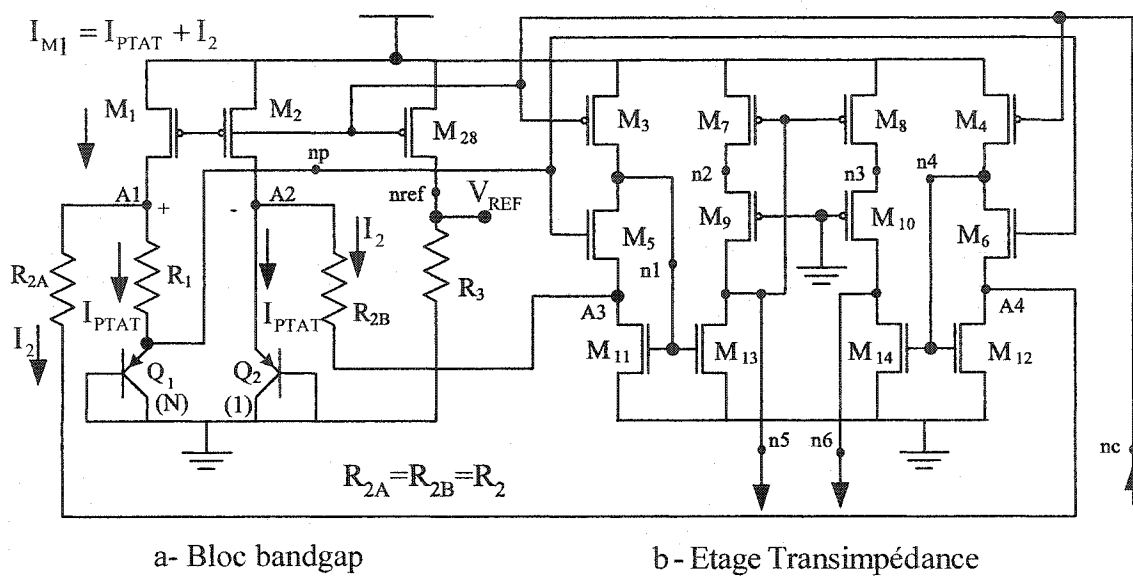


Figure 3-3 Configuration du circuit proposé.

Comme nous désirons avoir

$$\left. \frac{\partial I_{M_1}(T)}{\partial T} \right|_{T_0} = 0 \quad (3-13)$$

alors

$$\left. \frac{\partial I_{M_1}(T)}{\partial T} \right|_{T_0} = \frac{\partial}{\partial T} \left[\frac{1}{R_2} \left[\left[\frac{R_1 + R_2}{R_1} \right] V_T \ln(N) + \alpha_{VT} T \left(1 + \frac{2}{\alpha_n} \right) \right] \right]_{T_0} - \frac{\partial}{\partial T} \left[\frac{(\alpha_{VT} T_0 - V_{TH0})}{R_2} \right]_{T_0} \quad (3-14)$$

En choisissant le rapport R_2/R_1 comme suit

$$\frac{R_2}{R_1} = - \frac{q \alpha_{VT}}{k \ln(N)} \left(1 + \frac{2}{\alpha_n} \right) - 1 \quad (3-15)$$

On produit un courant I_{M_1} indépendant de T . Le courant résultant qui circule dans la paire de transistor (M_1, M_2), et qui est copié en miroir à (M_3, M_4), est indépendant de la température et à la température de référence T_0 , il est égal à

$$I_{M_1}(T_0) = \frac{(V_{TH0} - \alpha_{VT} T_0)}{R_2(T_0)} \quad (3-16)$$

$R_2(T_0)$ est la valeur de la résistance R_2 à T_0 . Cependant, I_{M_1} est sensible à la variation de procédé sur V_{TH0} .

3.5 Circuit de démarrage (Startup)

En général, les BGR possèdent deux points d'opération stables. Un de ces points correspond à une sortie de 0V où aucun courant n'est injecté dans Q_1 et Q_2 . Pour s'assurer que le circuit bandgap converge bien au bon état, un circuit de démarrage est nécessaire. Il fournit le courant transitoire initial au nœud A_2 durant la mise sous tension

pour augmenter son voltage, ce qui impose une tension minimale (plus grande que 0) à la sortie. Le circuit proposé est une version modifiée du circuit présenté dans [57]. Si la tension au nœud A_2 tend vers zéro, le transistor M_{29} est fermé et suivant le rapport d'impédance entre les transistors M_{30} et M_{31} , la tension de grille du transistor M_{33} est à une tension telle qu'elle met les transistors M_{32} fermé et M_{33} ouvert.

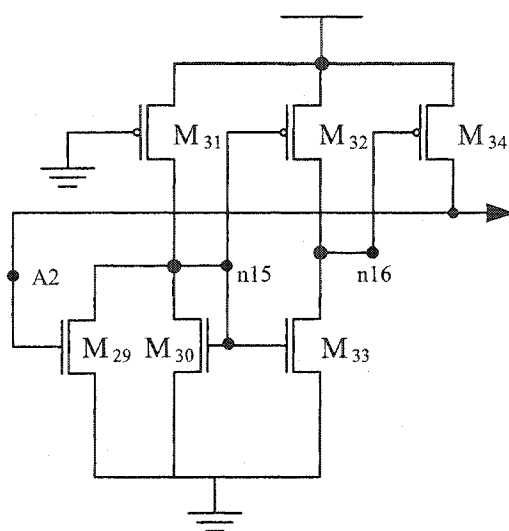


Figure 3-4 Circuit de démarrage.

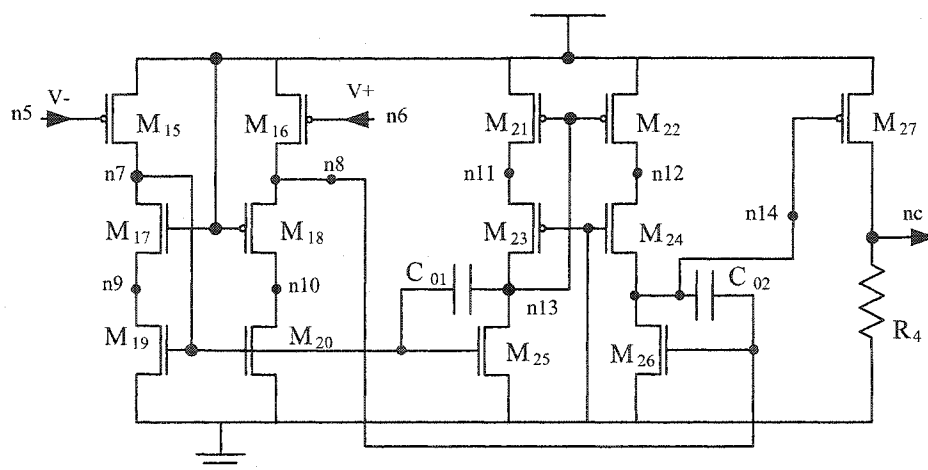


Figure 3-5 Amplificateur de sortie.

Le transistor M_{34} est ouvert et injecte un courant dans l'émetteur de Q_2 (voir Figure 3-4), ce qui fait démarrer le circuit. Une fois que le circuit approche du point d'opération désiré, la tension de grille du transistor M_{29} et M_{34} augmentent, ce qui désactive le circuit de démarrage.

3.6 Amplificateur de tension

Pour augmenter le gain de l'amplificateur de la boucle de contre-réaction, un deuxième étage amplificateur est mis en série. Sa structure proposée dans [59] est présentée sur la Figure 3-5. Les capacités C_{01} et C_{02} sont mises pour garantir la stabilité de la boucle et garantir une marge de phase suffisante.

3.7 Influence des coefficients thermiques des résistances du circuit

Le circuit comporte cinq résistances, certaines sont plus critiques que d'autres pour la tension de référence. En effet, dans la relation (3-15), le rapport R_2/R_1 intervient dans la stabilité du courant I_{M1} et ce rapport doit être une constante indépendante de la température. Si nous supposons des résistances de même nature, c'est-à-dire que les coefficients en température de premier et deuxième ordre, désigné respectivement par TC_1 et TC_2 , sont les mêmes alors les variations en température peuvent se compenser.

Dans ce cas le rapport devient

$$\frac{R_2(T)}{R_1(T)} = \frac{R_2(T_0) \left[1 + TC_1(T - T_0) + TC_2(T - T_0)^2 \right]}{R_1(T_0) \left[1 + TC_1(T - T_0) + TC_2(T - T_0)^2 \right]} = \frac{R_2(T_0)}{R_1(T_0)} \quad (3-17)$$

$R_1(T_0)$ et $R_2(T_0)$ sont les valeurs des résistances R_1 et R_2 à la température de référence.

De plus, les résistances R_{2A} et R_1 ainsi que R_{2A} et R_{2B} doivent être bien appariées pour garder un rapport constant. Dans la réalisation expérimentale discutée plus loin, nous avons utilisé des résistances en diffusion «ppplus», désignées par le nom RPODRPO. Ces diffusions sont contenues dans un puits N, généralement connecté à l'alimentation du circuit, ce qui leurs confèrent une meilleure immunité aux bruits de substrat. Le TC1 de ce type de résistance est positif.

La résistance de sortie R_3 est alimentée par le courant I_{M1} , la tension de référence est le produit de ce courant par la valeur de la résistance, de ce fait les coefficients TC1 et TC2 de R_3 peuvent être compensés par ceux de la résistance R_{2A} si elles sont de même nature. La tension de sortie n'est pas affectée de manière significative et elle est égale à

$$\begin{aligned} V_{\text{ref}}(T) = I_{M1}(T)R_3(T) &= \frac{(V_{TH0} - \alpha_{VT}T_0)R_3(T)}{R_2(T)} \\ &\cong \frac{(V_{TH0} - \alpha_{VT}T_0)R_3(T_0)}{R_2(T_0)} \end{aligned} \quad (3-18)$$

3.8 Variation de la tension de sortie en fonction de la température

Le circuit BGR proposé (Figure 3-3) a été simulé en variant la température de -40 à 100 °C. La tension d'alimentation du circuit était de 1 V.

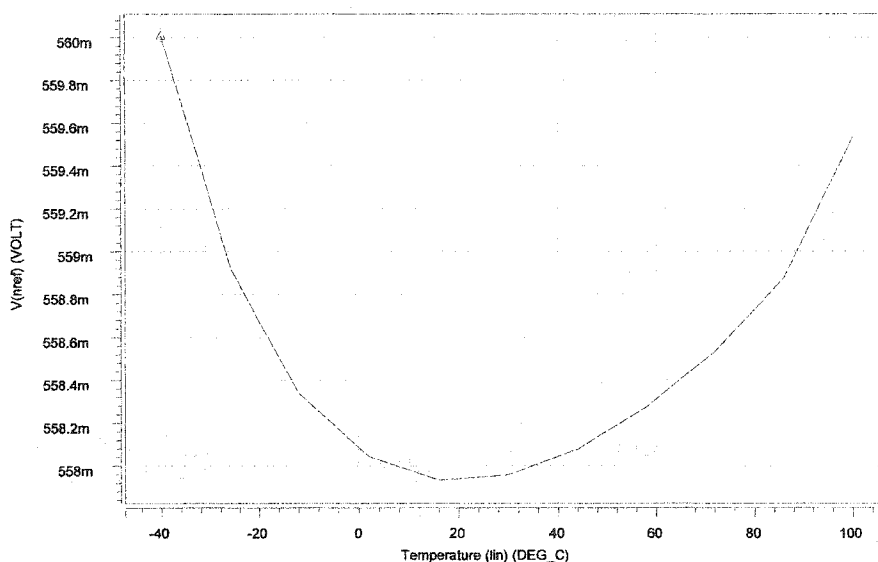


Figure 3-6 Tension de sortie vs Température.

En ajustant la valeur de la résistance R_1 , nous avons obtenu la stabilité en température de la tension de sortie, Figure 3-6. La courbe montre une variation de la tension de référence de 2.1 mV sur la plage de température: ce qui correspond à $\pm 0.18\%$ de variation sur la plage $[-40, 100]^\circ\text{C}$ ou 13.4 ppm. Si nous comparons les performances du circuit simulé avec le circuit originel, nous avons une amélioration de la stabilité en température, comparativement à $\pm 0.3\%$ pour [59].

Consommation de courant

Le circuit proposé consomme une puissance de $77\mu\text{W}$ à 25°C . La courbe de la variation de courant en fonction de la température est présentée dans la Figure 3-7.

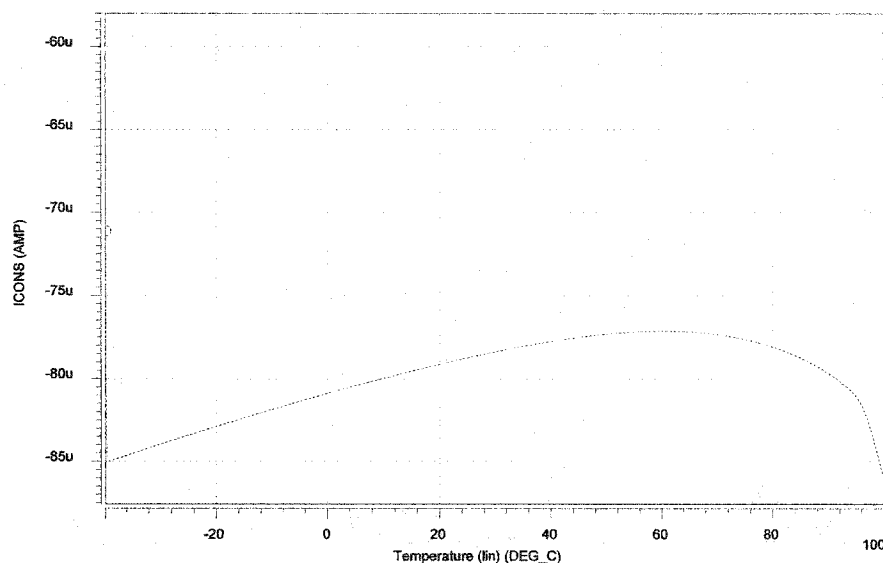


Figure 3-7 Variation du courant consommé par le circuit en fonction de la température.

Le fait d'imposer un courant de drain constant, égal à $9.6 \mu\text{A}$ dans les transistors M_3 et M_4 a contribué à réduire le courant consommé dans le bloc de transimpédance et à réduire le courant de repos de la référence de tension.

3.9 Conclusion

Nous avons présenté une nouvelle référence de tension. Sa topologie peut fonctionner avec une tension d'alimentation de 1 V ou plus. Le circuit combine un courant proportionnel avec un courant inversement proportionnel à la température absolue pour obtenir la stabilité en température. Nous avons proposé un modèle mathématique qui démontre de façon analytique le comportement attendu du circuit. Comparé au circuit existant dont il est inspiré, il est moins complexe, offre une meilleure stabilité en température, opère sur une plage de température plus large soit de -40 à 100°C et consomme moins de puissance.

4 RÉSULTATS DE SIMULATIONS ET PROTOTYPE EXPÉRIMENTAL

Le circuit référence de tension proposé au chapitre précédent a été implémenté dans la technologie 0.18 μ m de TSMC. Nous avons utilisé le simulateur HSPICE de AVANTI ainsi que les modèles de TSMC. Nous présenterons les résultats de simulation ainsi que les difficultés rencontrées lors du test (Annexe 3 présente les fichiers de simulation).

4.1 Résultats de simulation

Nous avons effectué des simulations sur le circuit en transitoire (TR), en continu (DC) et dans le domaine fréquentiel (AC).

Nous pouvons remarquer sur la Figure 4-1 que les variations en fonction de la température des tensions aux nœuds A1 et A3 obéissent au comportement prédit par le développement mathématique, c'est-à-dire que la tension de A1 présente une pente négative et linéaire au premier degré. La Figure 4-2 montre le temps nécessaire au circuit pour que sa sortie atteigne la tension d'opération lors du démarrage (mise sous tension). Le temps de démarrage du circuit est fonction de la température. Il est maximal à 100 °C et sa valeur ne dépasse pas 25 μ s.

Les simulations montrent aussi à la Figure 4-3 que le PSRR est de 40 dB à la température de 25°C et à 10KHz.

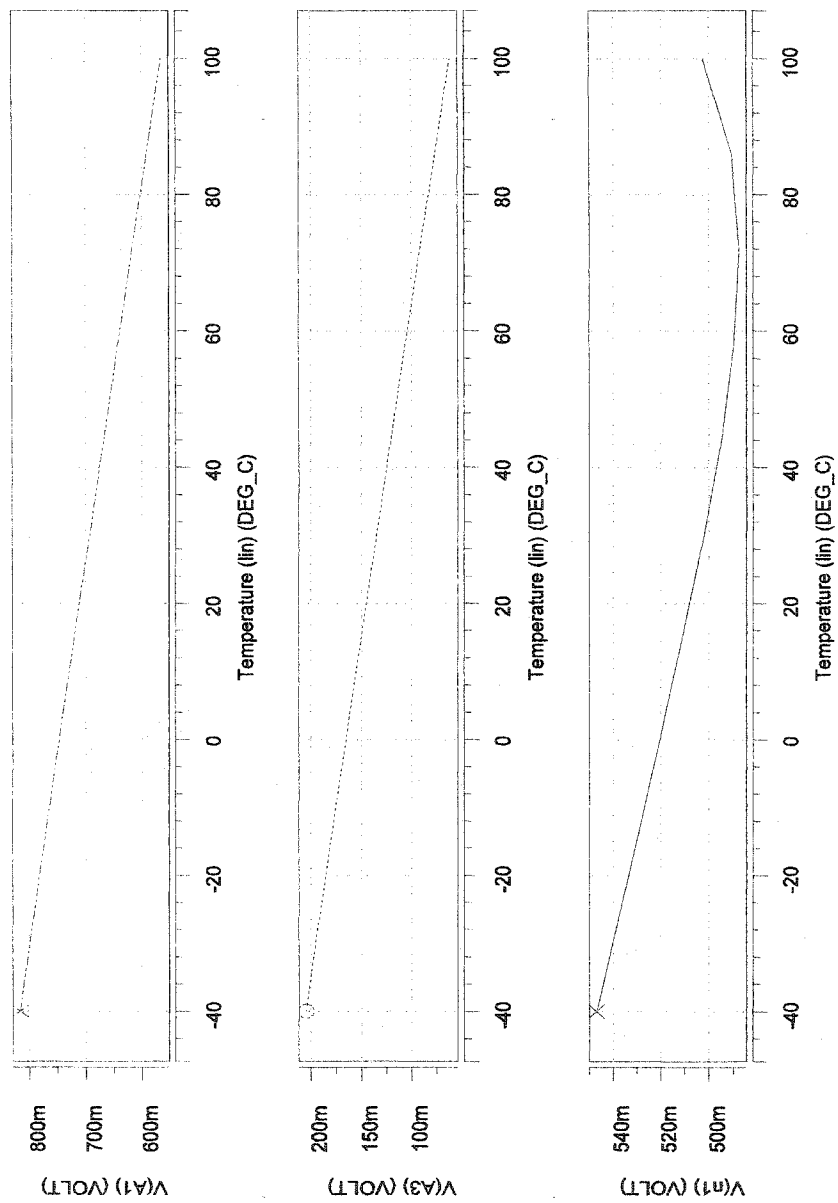


Figure 4-1 Simulation de la variation de tension en fonction de la température des nœuds A1, A3 et n1.

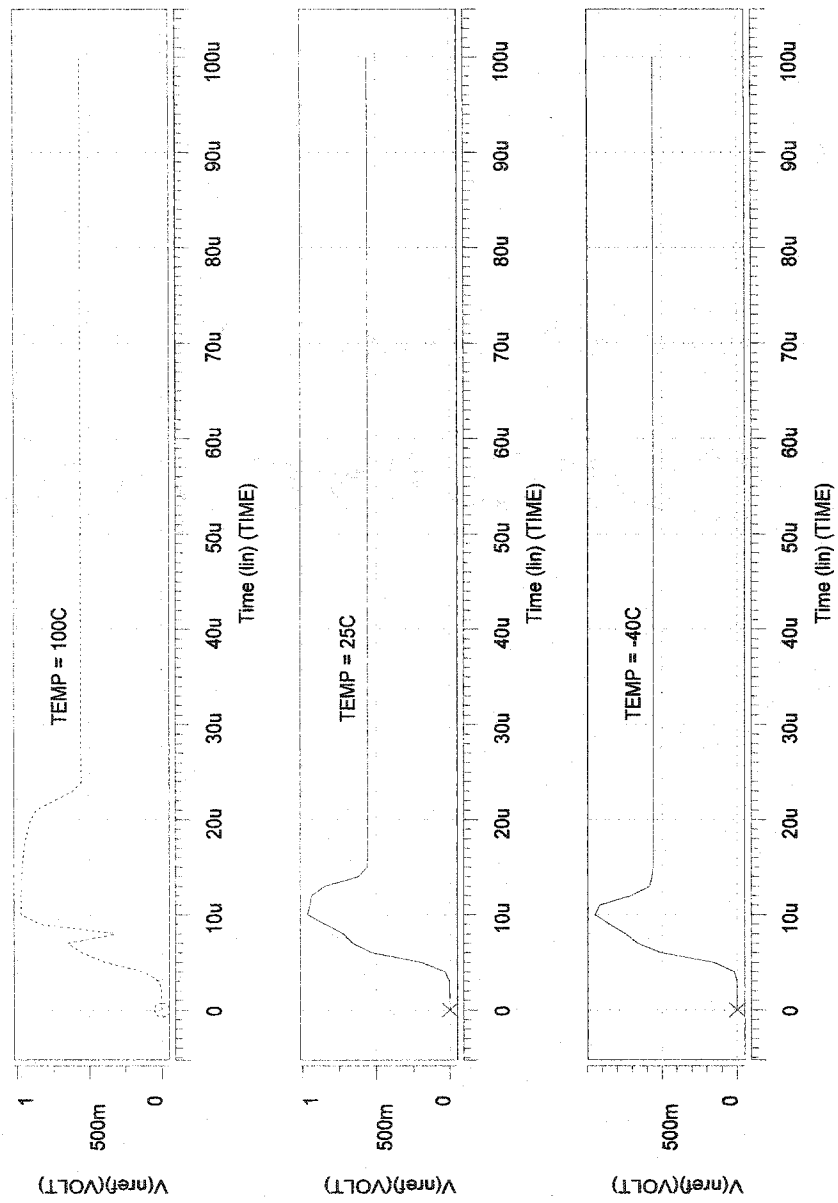


Figure 4-2 Simulation du temps de démarrage de la référence de tension.

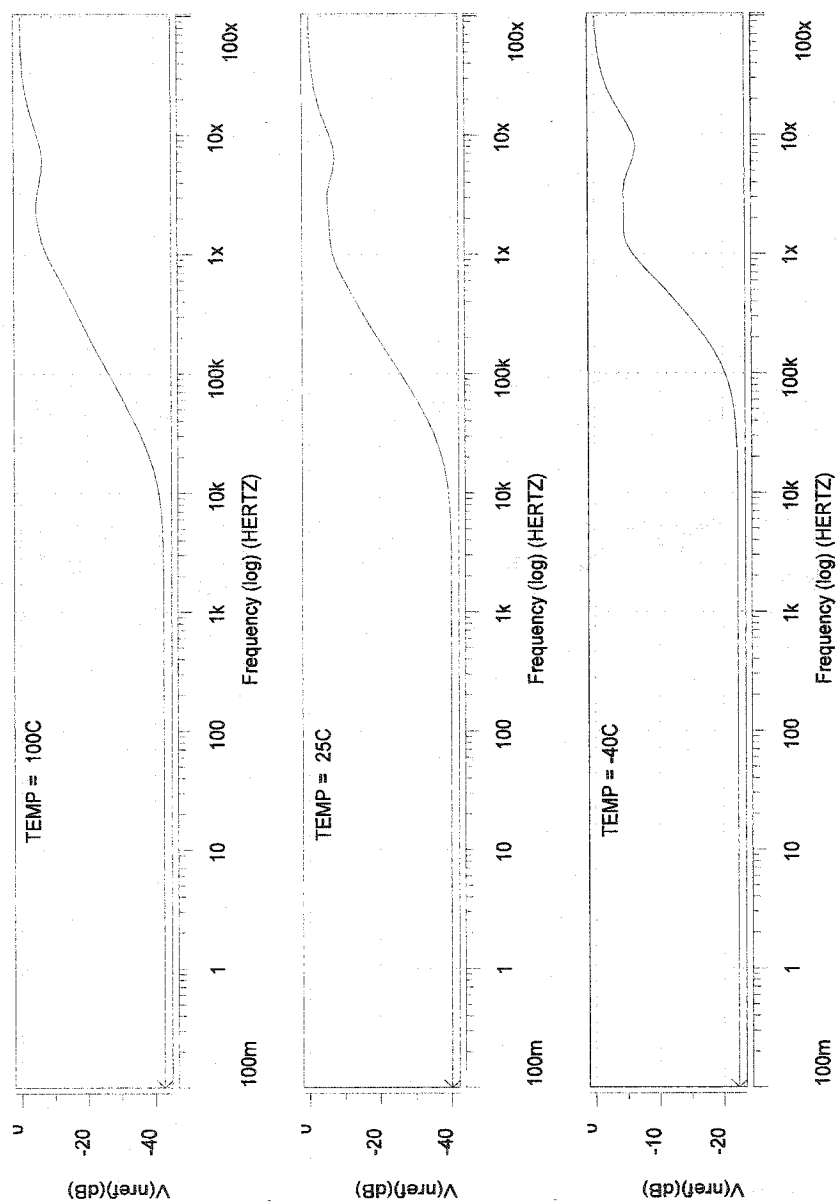


Figure 4-3 Simulation du taux de rejection d'alimentation (PSRR) à la sortie.

4.1.1 Simulation du bruit de sortie

Le bruit simulé en sortie de la référence de tension est présenté à la Figure 4-4.

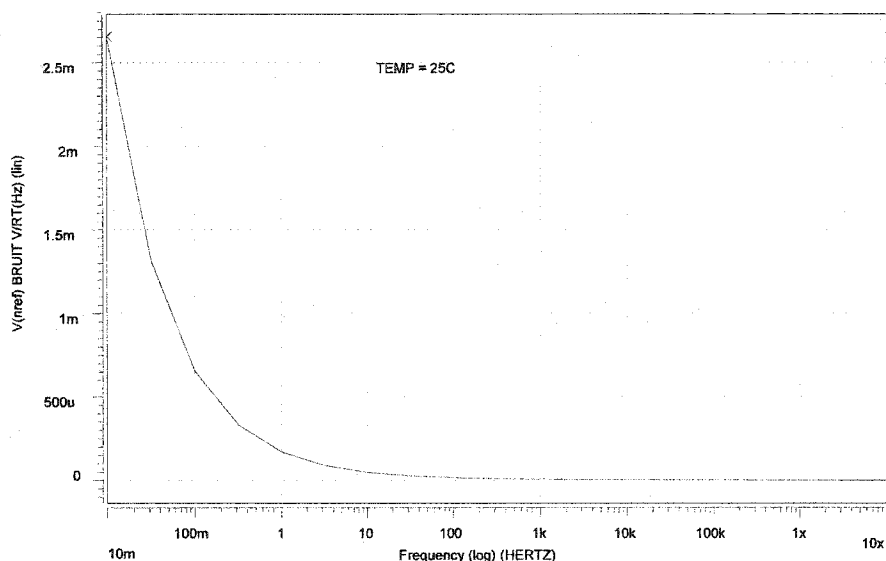


Figure 4-4 Figure de bruit de la tension de sortie.

A la température de 25°C et à 10 Hz le bruit est $48.3 \frac{\mu V}{\sqrt{Hz}}$, il passe à $15.7 \frac{\mu V}{\sqrt{Hz}}$

à 100 Hz.

4.1.2 Simulation de l'impact des variations de procédé sur la tension de sortie

Nous avons utilisé les modèles de coins extrêmes contenus dans les fichiers technologiques pour simuler le comportement en température de notre référence de tension (voir Figure 4-5). Ces modèles représentent les variations extrêmes des paramètres technologiques, telles que l'épaisseur de l'oxyde et la mobilité, auxquels on peut s'attendre après fabrication. Nous sommes conscient que la solution que nous avons proposée pour la référence de tension est sensible aux variations de la tension de seuil

ainsi que la mobilité des porteurs des transistors MOS. Les résultats de simulation par les paramètres coins FF (Fast Fast) et SS (Slow Slow), qui représentent dans notre cas les limites maximales de variation, nous montrent que le décalage de la tension de sortie peut atteindre $\pm 60\text{mV}$. Cette valeur est comparable à la variation de la tension de seuil V_{TH} .

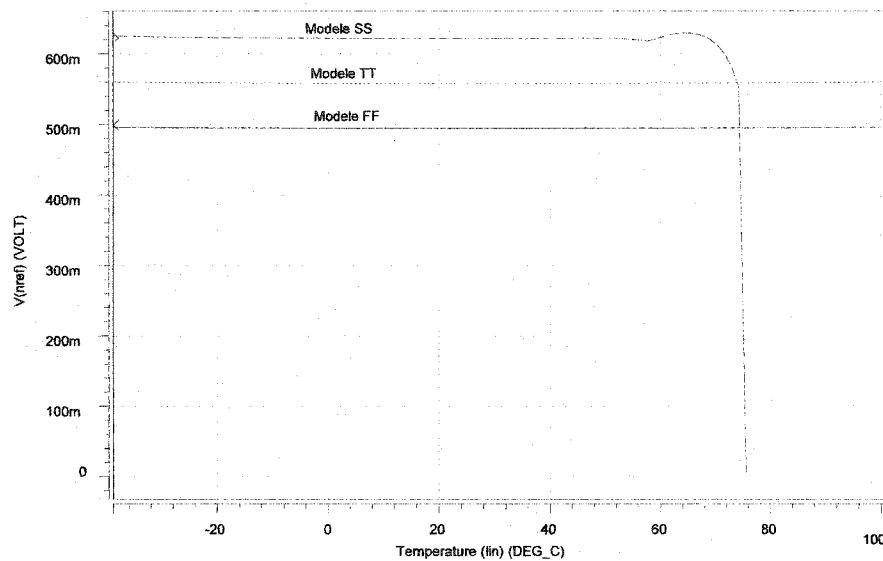


Figure 4-5 Simulation des variations de procédé par les modèles des coins TT, FF, SS.

Nous pouvons remarquer sur la Figure 4-5 que la tension de référence avec le modèle SS et pour une température supérieure à 46°C chute vers zéro (0). C'est donc dire que le circuit ne fonctionne plus correctement.

4.1.3 Résumé des caractéristiques simulées de la référence de tension

Le Tableau 3 résume les performances que nous avons obtenues par simulation.

Tableau 3 Résumé des performances simulées de la référence de tension conçue.

PARAMETES	CONDITIONS	MIN	TYP	MAX	UNITÉS
Tension de référence	T= 25 °C	-	557.96	-	mV
Courant consommé	T=25 C°	-	77	-	μA
Coefficient de température	T= [-40, 100] °C	-	13.4	-	ppm/C°
PSRR	T= [-40, 100] °C Freq= 1k	22.3	40	42.6	dB
	T= [-40, 100] °C Freq= 100k	20.3	25.3	25.9	
Bruit en sortie	T=25 C°, Freq= 10 Hz	-	48.3	-	$\frac{\mu V}{\sqrt{Hz}}$
	T=25 C°, Freq= 100Hz	-	15.7	-	

4.2 Implémentation du circuit

Nous avons implémenté la référence de tension en technologie TSMC CMOS 0.18μm. Le dessin des masques de ce prototype est fourni à la Figure 4-6. Nous avons pris le soin de respecter les règles de conception couramment utilisées pour l'appariement des résistances et des transistors. Les tests ont été effectués sur cinq puces à la température ambiante. Nous avons mesuré le niveau de tension à la sortie du circuit.

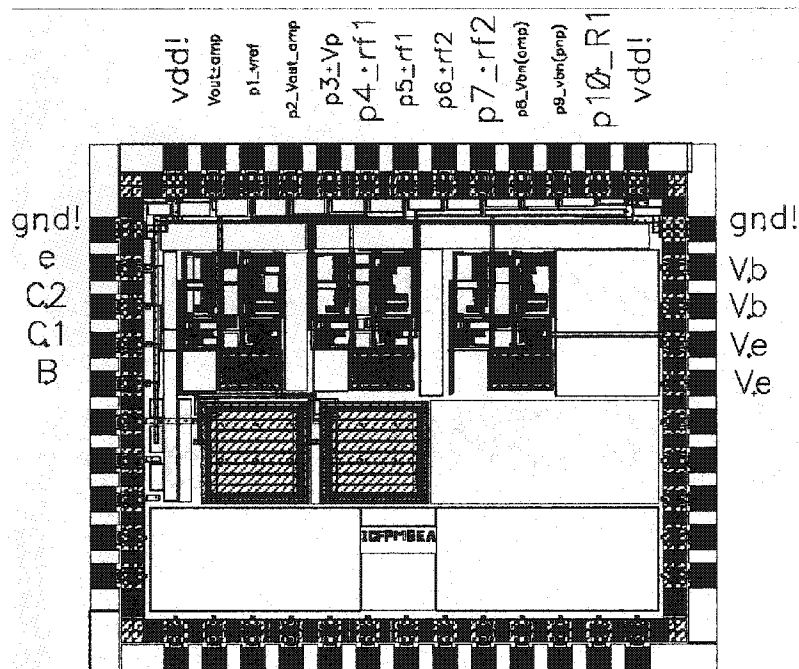


Figure 4-6 Puce de test fabriquée.

Tableau 4 Mesure de la tension de référence à 25.4°C.

VDD (Volt) Alimentation du circuit		1	1.1	1.2	1.3	1.4	1.5
Tension de sortie (mV)	Puce 1	983	1081	1183	1292	1393	1448
	Puce 2	982	1080	1185	1290	1390	1450
	Puce 3	981	1082	1183	1290	1392	1451
	Puce 4	981	1081	1182	1291	1390	1449
	Puce 5	983	1080	1183	1290	1391	1449
	moyenne	982	1080.8	1183.2	1290.6	1391.2	1449.4

Sur les cinq échantillons testés, la tension de sortie ne répondait pas comme prévu par les simulations. La sortie de référence se comporte comme étant collée à la tension d'alimentation. Nous pensons qu'un décalage important à l'entrée de l'amplificateur transimpédance (TA) de la boucle de contre-réaction, ainsi que les variations des

procédés de fabrication ont fait saturer la sortie du TA à zéro. Cela provoque l'ouverture permanente du transistor M_{28} (Figure 3-3) et le nœud de sortie est toujours collé à l'alimentation du circuit. Afin de vérifier expérimentalement cela, nous avons rajouté à la sortie (nref) une résistance variable de 10k et avons ajusté sa valeur pour obtenir la tension nominale de 558mV à la température ambiante. La valeur de cette résistance correspondante est de 2.2 k Ω , ce résultat se rapproche de celui obtenu en simulations dans les mêmes circonstances soit 2.05 k Ω , dans le cas où la grille du transistor est connectée à la masse.

Afin d'identifier le degré d'appariement à respecter pour un bon fonctionnement de la topologie proposée, nous avons effectué des simulations avec des variations Monte Carlo sur les différents dispositifs (transistors, résistances, capacités) du circuit. Sur le Tableau 5, l'erreur à 3 sigma produite pour une grandeur donnée, telle que la largeur d'un transistor CMOS, est égale à

$$Err_{3\sigma} = Val.Err(\%) \quad (4-1)$$

Val est la valeur de la grandeur Err(%) qui est le pourcentage d'erreur.

Le but de cette analyse est d'évaluer approximativement l'impact que peut produire la variation d'un, ou de plusieurs paramètre(s) technologique(s) sur la tension de référence. L'analyse proposée n'est pas une approche statistique rigoureuse et complète (nous avons omis d'inclure d'autres variations paramétriques telles que la mobilité) et ne garantit pas que le circuit fabriqué possèdera les performances simulées. Par cette approche nous

pouvons estimer le degré de précision *minimum* que devra avoir *l'appariement* des transistors symétriques pour un fonctionnement correct et *sans saturation* de la tension de référence. Notre objectif est d'essayer de trouver les transistors qui ont pu causer la saturation de la sortie.

Nous pouvons remarquer sur le Tableau 5 que si l'erreur d'appariement des transistors CMOS est de $\pm 2\%$ ou plus, il y a plus de chance d'avoir la sortie saturée à VDD. La sortie instable correspond à un niveau de tension qui bascule entre 0 Volt et VDD.

Dans les expériences rapportées aux colonnes 5, 6 et 7, nous avons diminué l'erreur d'appariement pour les transistors que nous avons jugés plus critiques pour la stabilité de la sortie, cependant le nombre de candidats dont la sortie est saturée n'a pas beaucoup changé.

Nous pouvons conclure que le circuit doit présenter un haut degré de symétrie et l'erreur d'appariement (voir Annexe 2) pour cette topologie ne doit pas dépasser $\pm 2\%$ pour tous les transistors à appairer si on veut augmenter la probabilité d'avoir une tension de référence non saturée à VDD.

Il y a lieu de préciser l'influence de l'imprécision des modèles bipolaires PNP sur le comportement du BGR. En effet, elle peut provoquer une tension de décalage en sortie, entre le circuit simulé et implémenté, qui peut atteindre des dizaines de mV.

Tableau 5 Simulation de l'erreur produite à la tension de sortie.

	Appariés	Pourcentage d'appariement (%) ou d'erreur						
	Colonne	1	2	3	4	5	6	7
Transistors	(M1 ; M2)	±1	±2	±2	±3	±1	±1	±1
	(M3 ; M4)	±1	±2	±2	±3	±3	±1	±1
	(M5 ; M6)	±1	±2	±2	±3	±3	±1	±1
	(M7 ; M8)	±1	±2	±2	±3	±3	±3	±3
	(M9 ; M10)	±1	±2	±2	±3	±3	±3	±3
	(M11 ; M12)	±1	±2	±2	±3	±3	±3	±3
	(M13 ; M14)	±1	±2	±2	±3	±3	±3	±3
	(M15 ; M16)	±1	±2	±2	±3	±3	±3	±3
	(M17 ; M18)	±1	±2	±2	±3	±3	±3	±3
	(M19 ; M20)	±1	±2	±2	±3	±3	±3	±3
	(M21 ; M22)	±1	±2	±2	±3	±3	±3	±3
	(M23 ; M24)	±1	±2	±2	±3	±3	±3	±3
	(M25 ; M26)	±1	±2	±2	±3	±3	±3	±3
	M27;M28	±1	±1	±4	±3	±3	±3	±3
	M29;M30	±1	±1	±4	±3	±3	±3	±3
	M31; M32	±1	±1	±4	±3	±3	±3	±3
	M33; M34	±1	±1	±4	±3	±3	±3	±3
Paramètres technologiques	V_{THN}	±10	±10	±10	±10	±10	±10	±10
	V_{THP}	±10	±10	±10	±10	±10	±10	±10
	I_s	±1	±1	±1	±1	±1	±1	±1
	E_g	±1	±1	±1	±1	±1	±1	±1

	XTI	±1	±1	±1	±1	±1	±1	±1
Capacités de stabilité	C01,CO2	±1	±1	±2	±2	±2	±2	±0.5
Résistances	R1	±1	±10	±10	±10	±10	±10	±10
	(R2A, R2B)	±1	±5	±5	±5	±5	±5	±5
	R3	±1	±10	±10	±10	±10	±10	±10
	R4	±1	±10	±10	±10	±10	±10	±10
Résultats obtenus pour 100 candidats	Sortie correcte	94	83	79	57	57	59	61
	Sortie collée à VDD	1	9	7	31	30	25	24
	Sortie instable	5	8	14	12	13	16	15
* les dispositifs à apparier sont entre parenthèses								

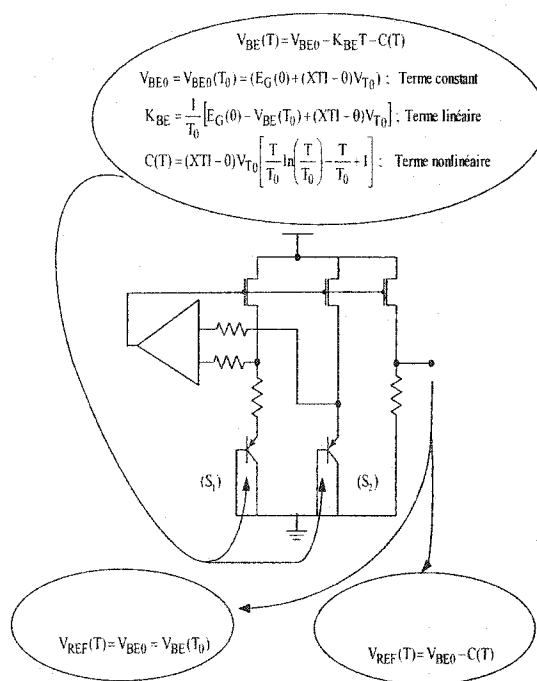


Figure 4-7 Type de compensation en température du premier et deuxième ordre.

Les paramètres $E_G(0)$ et XTI , sont utilisées par SPICE pour modéliser la variation en température de la tension Base-Emetteur. La tension $E_G(0)$ n'est autre que la tension $V_G(0)$ et XTI le paramètre η , voir Annexe 1. Pour un courant de collecteur (I_C) constant, la relation (A.1.16) devient

$$V_{BE}(T) = E_G(0) - \frac{T}{T_0} [E_G(0) - V_{BE}(T_0)] - (XTI)V_T \ln \frac{T}{T_0} + V_T \ln \left[\frac{I_C(T)}{I_C(T_0)} \right] \quad (4-1)$$

La Figure 4-7 présente les relations utilisées dans le simulateur pour modéliser le comportement en température. La précision de la tension de référence est directement liée aux paramètres $E_G(0)$ et XTI . Un modèle de transistor bipolaire précis est nécessaire pour la conception des BGR de haute performance.

Nous avons aussi intégré des transistors bipolaires PNP dans le but d'en effectuer la caractérisation en collaboration avec l'entreprise *Technologies LTRIM* de Montréal. Cependant, pour des raisons de confidentialité, les résultats de cette caractérisation ne seront pas publiés dans ce mémoire mais pourront être exploités pour des travaux futurs dans la poursuite de ce travail. Précisons seulement que ces travaux ont montrés que les paramètres $E_G(0)$ et XTI fournis par le fondeur pour la technologie utilisée se sont avérés imprécis.

4.3 Conclusion

Pour cette topologie qui opère à 1 Volt, qui est la limite théorique d'opération d'un circuit BGR dont les transistors opèrent en saturation sur une plage de température de (-40 à 100) °C, la symétrie des transistors de l'amplificateur de transimpédance est importante et l'appariement des transistors (voir Annexe 2) doit se faire avec une précision de $\pm 2\%$ ou moins pour garantir le bon fonctionnement du circuit.

5 CONCLUSION

Ce projet s'inscrit dans le cadre des efforts de recherche au sein du groupe de recherche en microélectronique (GRM) en vue de maîtriser les techniques de conception des références de tension de haute performance. Cette étude est une première tentative que nous avons menée afin d'acquérir une expertise dans le domaine.

Dans le cadre de ce projet, nous avons développé une nouvelle approche pour atteindre la stabilité en température dans une référence de tension (RT). Cela a été réalisé par la modification d'une topologie de RT capable d'opérer à très basse tension (opère à 1 Volt), déjà publiée dont nous avons modifié et adapté la circuiterie. Cela nous a permis d'améliorer certaines performances du circuit dont il est inspiré. Les simulations du circuit ont été effectuées en technologie CMOS 0.18 μ m de TSMC. Elles ont démontré une amélioration du coefficient de température (TC), du PSRR, une réduction notable de la puissance consommée par le circuit, 77 μ W au lieu de 600 μ W, et une augmentation de la plage d'opération du circuit qui passe de (0 à 100) °C à (-40 à 100)°C .

Lors de la mise au point de ce projet, nous avons tenu compte des aspects théoriques, pratiques et architecturaux abordés par les auteurs pour la réalisation de références de tension de haute performance.

Parmi les contraintes que nous avons dû respecter, et qui représentaient un défi, on note la très faible tension d'alimentation de 1 Volt, qui est une limite pour notre topologie, et celle des circuits BGR en général, dont les transistors CMOS opèrent en

saturation. A ceci s'ajoute le fait que nous avons adapté la topologie au procédé CMOS en $0.18\mu\text{m}$ de TSMC. Nous avons aussi été contraint de proposer un circuit BGR qui permet l'ajustement de la valeur de sortie de la référence de tension. En effet, la tension en sortie d'une topologie classique d'une référence BGR est souvent fixé à 1.25V et seule la topologie en mode courant proposée par Banba [8] permet de varier cette tension par un ajustement d'une résistance de sortie.

Malheureusement, les premiers tests que nous avons effectués sur la puce fabriquée ne nous ont pas permis de vérifier expérimentalement les bonnes performances du circuit, validées par les résultats de simulation. Malgré, que nous avons respecté les techniques de conception physique couramment utilisés dans les circuits, les tensions obtenues semblaient présenter une saturation majeure.

Nous étions évidemment conscient que la topologie que nous avons développée doit présenter un degré de symétrie élevée sur la plupart des transistors à appairer et qu'elle était vulnérable aux fluctuations des paramètres de procédés telles que la tension de seuil et la mobilité des transistors NMOS. Après investigation, nous nous sommes rendu compte que les techniques de conception physique doivent être appliquées de façons très strictes pour l'appariement des dispositifs intégrés (transistors, résistances). Cet appariement pour notre circuit doit se faire à $\pm 2\%$ ou moins si l'on veut garantir le fonctionnement du circuit et éviter la saturation.

Le niveau de précision de la tension de référence ainsi que son coefficient de température dépendent des tensions aux bornes des transistors bipolaires PNP. Nous

avons pris conscience de l'importance d'une validation préalable des modèles PNP. Récemment, nous avons été informé par l'entreprise Technologies LTRIM de Montréal, que les modèles bipolaires dans cette technologie (CMOS 0.18 μ m de TSMC) ne sont pas suffisamment précis. LTRIM a procédé à une caractérisation plus précise des modèles bipolaires et il s'avère que, à un niveau expérimental, certaines valeurs de paramètres de ces modèles ne correspondent pas exactement avec celles disponibles dans les fichiers technologiques de simulation fournis par la fonderie.

Nos résultats de test sont encourageants et nous ont permis d'éclaircir un peu plus les causes majeures qui ont affecté le fonctionnement du circuit BGR implémenté.

Les références de tension de haute performance sont des circuits complexes et assez difficiles à implémenter car leur fonctionnement dépend des aléas des procédés de fabrication. Entre le début et la fin de ce travail, nous avons acquis des connaissances théoriques et pratiques considérables sur le fonctionnement des RT et avons perfectionné la manière d'aborder leur conception pour les travaux futurs. Dans la poursuite de ce projet, certaines améliorations restent à être apportées et nous recommandons de :

- Faire une caractérisation des transistors bipolaires PNP dans la technologie utilisée, de s'assurer des bonnes valeurs de paramètres technologiques en particulier $E_G(0)$ et X_{TI} , ce qui devrait conduire à re-optimiser la conception physique et les circuits avec les nouvelles données;

- De proposer une manière pour augmenter le PSRR du circuit. En effet, cette topologie souffre d'un PSRR peu élevé (20 à 45dB) comparativement aux topologies de BGR classiques.

BIBLIOGRAPHIE

- [1] ALLEN, P. E. and. HOLBERG, D. R.. 2002. «CMOS Analog Circuit Design». Oxford University Press. 784 pages.
- [2] ANNEMA, A. J.. July 1999. «Low Power Bandgap References Featuring DTMOST's». IEEE Journal of Solid-State Circuits. Vol. 34: No.7. P. 949–955.
- [3] AUDY, J.M.. August 1996. «3rd Order Curvature Corrected Bandgap Cell Circuits and Systems». Proceedings of the 38th Midwest Symposium on. Vol. 1. P. 397 – 400.
- [4] AZARKAN, A., VAN STAVEREN, A. and FRUETT F.. 2002. «A Low-noise Bandgap Reference Voltage Source with Curvature Correction». IEEE International Symposium on Circuits and Systems, ISCAS 2002. P. 205-208.
- [5] BADILLO, D. A.. May 2002. «1.5V CMOS Current Reference with Extended Temperature Operating Range». IEEE International Symposium on Circuits and Systems, ISCAS2002. Vol. 3. P. 197 -200.
- [6] BANWELL, C.. February 1994. «Simple Precision Bias Circuit for Medium-Power Amplifiers». IEEE Journal of Solid-State Circuits. Vol. 29: No. 2. P. 134-137.
- [7] BAKER, R. J., LI, H. W. and BOYCE, D. E.. 1998. «CMOS Circuit Design, Layout, and Simulation». IEEE PRESS. 902 pages.
- [8] BANBA, H., SHIGA, H., UMEZAWA, A., MIYABA, T., TANZAWA, T., ATSUMI, S., SAKUI, K.. May 1999. «A CMOS bandgap reference circuit with sub-1- V operation». IEEE Journal of Solid-State Circuits. Vol. 34. P. 670 -6745.

- [9] BANWELL, T.C.. March 1995. «Error amplifier limitations in low voltage regulators using only NPN transistors». IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing. Vol. 42: No. 3. P. 220-224.
- [10] BENDALI, A., SAVARIA, Y.. 2002. «Low-voltage bandgap reference with temperature compensation based on a threshold voltage technique». IEEE International Symposium on Circuits and Systems, ISCAS 2002. Vol. 3. P. 201 -204.
- [11] BROOKS, T. L., WESTWICK, A. L.. 1994. «A low-Power Differential CMOS Bandgap». Solid-State Circuits Conference, Digest of Technical Papers. 41st ISSCC., 1994 IEEE International. P. 248-249.
- [12] BUCK, A., MCDONALD, C., LEWIS, S.,VISWANATHAN, T.R.. January 2002. «A CMOS Bandgap Reference Without Resistors». IEEE Journal of Solid-State Circuits. Vol. 37: No: 1. P. 81 –83.
- [13] CEEKALA, V. G, LEWICKI, L. D., WIESER, J. B., VARADARAJAN, D., MOHAN, J.. 2002. «A Method of Reducing the Effects of Random Mismatches in CMOS Bandgap References». ISSCC 2002, Session 23, Analog Techniques, 23.7.
- [14] CLEIN, Dan. 2000. «CMOS IC, Layout». Newnes. 261 pages.
- [15] DEGRAUWE, M.G.R , LEUTHOLD, O. N., VITTOZ, E. A.. December 1985. «CMOS Voltage References Using Lateral Bipolar Transistors». IEEE Journal of Solid-State Circuits. Vol. 20: No. 6. P. 1151-1157.
- [16] FILANOVSKY, I. M., ALLAM, A. and SU TARN LIM. 2001. «Temperature Dependence of Output Voltage Generated by Interaction of Threshold Voltage and

Mobility of an NMOS Transistor». Analog Integrated Circuits and Signal Processing. Vol. 27. P. 229–238.

[17] FILANOVSKY, I. M., ALLAM, A.. July 2001. «Mutual Compensation of Mobility and Threshold Voltage Temperature Effects with Applications in CMOS Circuits». IEEE Transactions On Circuits And Systems -I: Fundamental Theory and Applications. Vol. 48: No. 7. P. 876 –884.

[18] GEORGIOU, J. and TOUMAZOU, C.. 2002. «A Resistorless Low Current Reference Circuit For Implantable Devices». IEEE International Symposium on Circuits and Systems, ISCAS 2002. P. 193-196.

[19] GIUSTOLISI, G., PALUMBO, G.. 2001. «Detailed Frequency Analysis of Power Supply Rejection in Brokaw Bandgap». IEEE International Symposium on Circuits and Systems, ISCAS 2001. P. 731-734.

[20] GUNAWAN, M., MEIJER, G.C.M., Fonderie, J., HUIJSING, J.H.A.. June 1993. «Curvature-Corrected Low-Voltage Bandgap Reference». IEEE Journal of Solid-State Circuits. Vol. 28: No. 6. P. 667-670.

[21] HASTINGS A.. 2001. « The Art of Analog Layout, BOOK». Prentice Hall. 538 pages.

[22] HENRI, O., OGUEY, J. and AEBISCHER, D.. July 1997. «CMOS Current Reference Without Resistance». IEEE Journal of Solid State Circuits. Vol. 32: No. 7. P. 81–89.

[23] HOLMAN, W. T.. October 7th 1994. «A Low Noise CMOS Voltage Reference». Ph.D Thesis, Georgia Institute of Technology. 176 pages.

[24] KHADOURI, S. H., MEIJER, G. C. M. and FRANK VAN DER GOES, M. L.. January 1997. «A CMOS Interface for Thermocouples with Reference-Junction Compensation». Kluwer Academic Publishers, Analog Integrated Circuits and Signal Processing. 14. P. 235–248.

[25] LEE, L., KIM, G., KIM, W.. November 2002. «Exponential Curvature-Compensated BICMOS Bandgap References». IEEE Journal of Solid-State Circuits. Vol. 29: No. 11. P. 1396-1403.

[26] LEUNG, K. N. and MOK, P. K. T.. April 2002. «A Sub-1-V 15-ppm/ C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device». IEEE Journal of Solid-State Circuits. Vol. 37: No. 4. P. 526-530.

[27] LI, H.W, BAKER, R. J., THELEN, D. C.. 2000. «CMOS Amplifier Design, The VLSI Handbook». CRC Press LLC, 2000 by CRC PRESS LLC. 42 pages.

[28] LIN, S.L. and SALAMA, A.T.. December 1985. «A $V_{be}(T)$ model with application to bandgap reference design». IEEE Journal of Solid-State Circuits. Vol. SC-20: No. 6. P. 1283-1285.

[29] MALCOVATI, P., MALOBERTI, F., FIOCCHI, C. and PRUZZI, M.. July 2001. «Curvature-Compensated BiCMOS Bandgap with 1-V Supply Voltage». IEEE Journal of Solid-State Circuits. Vol. 36: No. 7. P. 1076-1081.

[30] MANKU T. and WANG Y.. 8th June 1995. «Temperature-Independant Output Voltage Generates by Threshold Voltage of an NMOS Transistor». Electronic Letters. Vol. 31: No. 12. P. 935-536.

- [31] MEIJER, G. C. M.. May 1995. «Concept for Bandgap References and Voltage Measurement Systems». Kluwer Academic Publishers, J.H.Huijsing et al (eds.), Analog Circuit Design. P. 243-268.
- [32] MEIJER, C.M., SCHMALE, C. and VAN ZALINGE, K.. December 1982. «A New Curvature-Corrected Bandgap Reference». IEEE Journal of Solid-State Circuits. Vol. SC-17: No. 6. P. 1139-1143.
- [33] MEIJER, G. C. M., WANG, G. and FRUETT, F.. October 2001. «Temperature Sensors and Voltage References Implemented in CMOS Technology». IEEE Sensors Journal. Vol. 1: No. 3. P. 225– 234.
- [34] MICHEJDA, JOHN and KIM, SUK K.. December 1984. A Precision CMOS Bandgap Reference, IEEE Journal of Solid-State Circuits, vol. SC-19, No. 6. P. 1014-1021.
- [35] NAM, D., SEO, Y. D., PARK, L. J., PARK, C. H. and KIM, B.. August 2001. «Parameter Optimization of an On-Chip Voltage Reference Circuit Using Evolutionary Programming». IEEE Transactions On Evolutionary Computation. Vol. 5, No. 4. P. 414-421.
- [36] NICOLLINI, G. and SENDEROWICZ, D.. January 1991. «A CMOS Bandgap Reference for Differential Signal Processing». IEEE Journal of Solid-State Circuits. Vol. 26: No. 1. P. 41-50.
- [37] OEHM, J. and GRUNEBAUM, U.. February, 2001. «Statistical Analysis and Optimization of a Bandgap Reference for VLSI Applications». Analog Integrated Circuits and Signal Processing, 29. P. 213–220.

[38] PEASE R.. 1990. «The Design of Band-Gap Reference Circuits: Trials and Tribulations». Bipolar Circuits and Technology Meeting, Proceedings of the 1990. P. 214-218.

[39] PERTIJS, M.A.P., BAKKER, A., HUIJSING, J.H.. 2001. «A High-Accuracy Temperature Sensor With Second Order Curvature Correction and Digital Bus Interface». IEEE International Symposium on Circuits and Systems, ISCAS 2001. Vol. 1. P. I368 – I371.

[40] PIERAZZI, A., BONI, A. et MORANDI, C.. 2001.«Band-Gap Reference for near 1-V operation in standard CMOS technology». IEEE 2001 Custom Integrated Circuits Conference. P. 463-466.

[41] POPA, C., MITREA, O.. June 2001. «Optimal Curvature-Compensated BiCMOS Bandgap Reference». Proceedings of the 2nd International Symposium on Image and Signal Processing and Analysis, ISPA 2001. P. 507 –510.

[42] RAZAVI B.. 2001. «Design of Analog CMOS Integrated Circuits». BOOK, MC GRAW HILL. 684 pages.

[43] RINCON-MORA, G. A.. 2002. «VOLTAGE REFERENCES From Diodes to Precision High-Order Bandgap Circuit». BOOK, IEEE Press 2002. 168 pages.

[44] RIPAMONTI, G., BERTOLACCINI, M, PERITORE, R. et SCHIPPERS, S.. 1999. «Low Power – Low Voltage BandGap References for Flash-EEPROM Integrated Circuits: Design Alternatives and Experiments». Proceedings of ICECS 1999. Vol. 2. P. 635-638.

- [45] SANDULEANU, M.A.T., TUIJL A.J.M. et WASSENAAR, R. F.. May 1998. «Accurate low power bandgap voltage reference in 0.5 nm CMOS technology». Electronic Letters. Vol. 34. P. 1025-1026.
- [46] STAIR, R., CONNELLY, J.A., PULKIN, M.. 2000. «A Current Mode CMOS Voltage Reference». Mixed-Signal Design, SSMSD. 2000, Southwest Symposium on Mixed-Signal Design. P. 23–26.
- [47] STAVEREN A., VERHOEVEN C., ROERMUND A.. April 1996. «The Design of Low-Noise Bandgap References». IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications. Vol. 43: No. 4. P. 290-300.
- [48] STAVEREN, A., VERHOEVEN, C.J.M.. 2001. «Structured Electronic Design of Bandgap References Tutor». IEEE International Symposium on Circuits and Systems, ISCAS 2001. P. 621-628.
- [49] STEYAERT, M. S. J., SANSEN, W. M.C.. 1990. «Power Supply Rejection Ratio in Operational Transconductance Amplifiers». IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing. Vol. 37: No: 9. P. 1077-1084.
- [50] SUDHA, M., HOLMAN, W. Timothy. 1997. «A Low Noise Sub-Bandgap Voltage Reference». Proceedings of the 40th Midwest Symposium on Circuits and Systems. Vol. 1. P. 193-196.
- [51] THAM, M. K. and K. NAGARAJ, K.. May 1995. «Low Supply Voltage High PSRR Voltage Reference in CMOS Process». IEEE Journal of Solid-State Circuits. Vol. 30: No. 5. P. 586-591.

- [52] TIEW, K., CUSEY, J., GEIGER, R.. 2002. «A Curvature Compensation Technique for Bandgap Voltage References Using Adaptive Reference Temperature». IEEE International Symposium on Circuits and Systems, ISCAS 2002. Vol. 4. P. 265 -268.

- [53] TODD HARRISON W.. 2001. «An improved Current-mode CMOS Voltage Reference». IEEE International Symposium on Circuits and Systems, ISCAS 2001. Vol. 1: P. 23-26.

- [54] TSIVIDIS Y. P., Yannis P.. December 1980. «Accurate analysis of temperature Effects in I_c -VBE Characteristics with Application to Bandgap Reference Sources». IEEE Journal of Solid-State Circuits. Vol. 15. P. 1076 -1083.

- [55] VITTOZ, E. and FELLRATH, J. CMOS. June 1977. «Analog circuits based on weak inversion operation». IEEE Journal of Solid-State Circuits. Vol. SC-12. P. 224-231.

- [56] WANG, G, MEIJER, G. C. M. .April 2000. «The temperature characteristics of bipolar transistors fabricated in CMOS technology». Sensors and Actuators 87 2000. P. 81-89.

- [57] WALTARI, M., HALONEN, K.. 2000. «Reference Voltage Driver for low-voltage CMOS A/D Converter». Electronics, Circuits and Systems, ICECS 2000. The 7th IEEE International Conference. Vol. 1. P. 28 - 31.

- [58] YOO H. J., LEE S. J., KWON J. T., MIN W. S., OH K. H.. 1993. «A Precision CMOS Voltage Reference with Enhanced Stability for the application to Advanced VLSI's». Circuits and Systems, ISCAS '93, IEEE International Symposium on. P. 1318-1321.

- [59] YUEMING J., June 2000. «Design of Low-Voltage Bandgap Reference Using Transimpedance Amplifier». IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing. Vol. 47: No. 6. P. 552-555.

ANNEXE 1 Développement analytique de la relation

V_{BE} en fonction du courant I_C d'une diode

La diode est le plus souvent utilisée dans les circuits référence de tension. La caractéristique I-V d'une diode, ou d'un transistor bipolaire connecté en diode, Figure A1-1, est donnée par la relation

$$I_C = I_S(T) \exp\left(\frac{V_{BE}}{V_T}\right) \quad (A1.1)$$

I_S est le courant de saturation dans la région de polarisation en direct, $V_T = \frac{kT}{q}$ est la tension thermique de la diode, q est la charge d'un électron et k la constante de Boltzmann. Le courant de saturation est exprimé par la relation suivante [54], [43]

$$I_S = \frac{q S_e n_i^2 D(T)}{N_B} \quad (A1.2)$$

avec

$$n_i^2 = A T^3 \exp\left(-\frac{q V_G(T)}{kT}\right) \quad (A1.3)$$

n_i est la concentration intrinsèque des porteurs, et $D(T)$ est la constante de diffusion, S_e est la surface de la section transversale de l'émetteur, N_B est la densité de dopage de la base qui est supposée une constante, A est une constante.

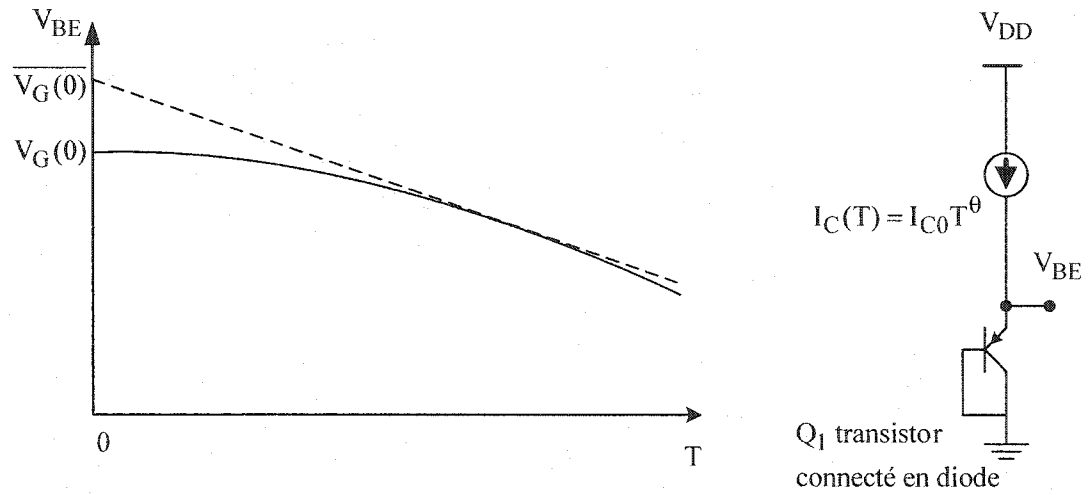


Figure A1-1 Comportement de la tension Base-Emetteur d'un transistor connecté en diode.

Le terme $V_G(T)$ dépend d'une manière non linéaire de la température, afin de linéariser cette grandeur l'auteur propose la simplification suivante (β est une constante)

$$\overline{V_G}(T) = \overline{V_G}(0) + \beta T \quad (A1.4)$$

Ce qui donne pour la relation (A1.3)

$$n_i^2 \cong AT^3 \exp\left(-\frac{q\overline{V_G}(T)}{KT}\right) \quad (A1.5)$$

En remplaçant (A1.4) dans (A1.5), on obtient

$$n_i^2 \cong AT^3 \exp\left(-\frac{q\beta}{K}\right) \exp\left(-\frac{q\overline{V_G}(0)}{KT}\right) \quad (A1.6)$$

La mobilité moyenne des porteurs minoritaires dans la base, $\overline{\mu_n}$, varie avec la température

$$\overline{\mu_n} = BT^{-n} \quad (A1.7)$$

La constante de diffusion moyenne, $\overline{D_n}$, est fonction de la mobilité suivant la relation

$$\overline{D_n} = V_T \overline{\mu_n} = V_T BT^{-n} \quad (A1.8)$$

n et B sont des constantes qui dépendent de la technologie utilisée et donc le courant de saturation I_S devient

$$I_S(T) \cong \frac{KB}{q} A \exp\left(-\frac{q\beta}{K}\right) \frac{qS_e}{N_B} T^{4-n} \exp\left(-\frac{\overline{V_G(0)}}{V_T}\right) \quad (A1.9)$$

On arrange (A1.9) pour la mettre sous la forme suivante

$$I_S(T) = CT^\eta \exp\left(-\frac{\overline{V_G(0)}}{V_T}\right) \quad (A1.10)$$

On pose

$$\eta = 4 - n \quad \text{et} \quad C = kBA \exp\left(-\frac{q\beta}{K}\right) \frac{S_e}{N_B} \quad (A1.11)$$

On remplace (A1.11) dans (A1.1). Le courant peut ainsi être exprimé par la relation suivante

$$V_{BE}(T) = V_T \ln \left(\frac{I_C(T)}{I_S} \right) = V_T \ln \left(\frac{I_C(T)}{CT^\eta \exp\left(-\frac{V_G(0)}{V_T}\right)} \right) \quad (A1.12)$$

La relation (A1.12) représente la variation absolue de la tension base-émetteur en fonction de la température, elle peut être exprimée suivant la relation (A1.13)

$$V_{BE}(T) = V_G(0) - \eta V_T \ln(CT) - V_T \ln(I_C) \quad (A1.13)$$

Afin d'éliminer la constante C, on développe $V_{BE}(T)$ pour avoir le terme $V_{BE}(T_r)$ où T_r est une température de référence, égale généralement à la température ambiante. Nous obtenons la relation suivante

$$V_{BE}(T) = V_G(0) + \frac{T}{T_r} [V_G(0) - V_{BE}(T_r)] - \eta V_T \ln \frac{T}{T_r} + V_T \ln \frac{I_C(T)}{I_C(T_r)} \quad (A1.14)$$

La variation en fonction de la température du courant de collecteur peut être décrite dans la majorité des cas par la relation

$$I_C(T) = I_{C0} T^\theta \quad (A1.15)$$

Ou I_{C0} est une constante et θ est une constante qui représente le degré de dépendance en température du courant forcé dans le collecteur. Pour un courant PTAT la

constante θ est égale à 1. En combinant A1.14 et A1.15, nous obtenons la relation (A1.16)

$$V_{BE}(T) = V_G(0) + \frac{T}{T_r} [V_G(0) - V_{BE}(T_r)] - (\eta - \theta) V_T \ln \frac{T}{T_r} \quad (\text{A1.16})$$

ANNEXE 2 Quelques techniques d'appariement de dispositifs intégrés

Lors de l'implémentation sur une puce de deux dispositifs intégrés (DI) identiques, il est difficile d'identifier avec précision les mécanismes qui conduisent à leur mésappariement. Une formulation analytique de la précision de la sortie en fonction des phénomènes impliqués est une tâche complexe et onéreuse car cela dépend du procédé de fabrication et de la géométrie physique des DI. On peut cependant énoncer des règles générales de dessin des masques basées sur des résultats intuitifs et sur l'analyse des effets du mésappariement sur les performances du circuit. Ces règles empiriques peuvent donner une estimation du degré de l'appariement [42]. Par exemple, pour les capacités et les résistances il peut être, respectivement, de 1% et de $\pm 0.1\%$ (si certaines techniques de dessin sont respectées) [42].

Dans le cadre de ce projet de maîtrise, nous avons utilisé les règles de base pour l'appariement des dispositifs (transistors et résistances). Pour deux DI donnés, nous avons dessiné une structure constituée de segments entrelacés, telle que représentée dans la Figure A2-1. Cependant, on peut remarquer que les lignes métalliques d'interconnexion entre les segments n'ont pas respectées une symétrie rigoureuse suivant les deux axes «X» et «Y». De plus, l'agencement des segments proposé selon l'ordre

M1 M2 M1 M2 M1 M2

ne présente pas de symétrie par rapport à l'axe transversal «Y». Nous pouvons améliorer cet appariement en proposant la structure de la Figure A2-2.

En règle générale, les DI à appairer doivent être placés loin des blocs qui génèrent du bruit (blocs numériques, oscillateurs) ou qui consomment de la puissance. Ces derniers induisent des gradients de température dus à leur échauffement local.

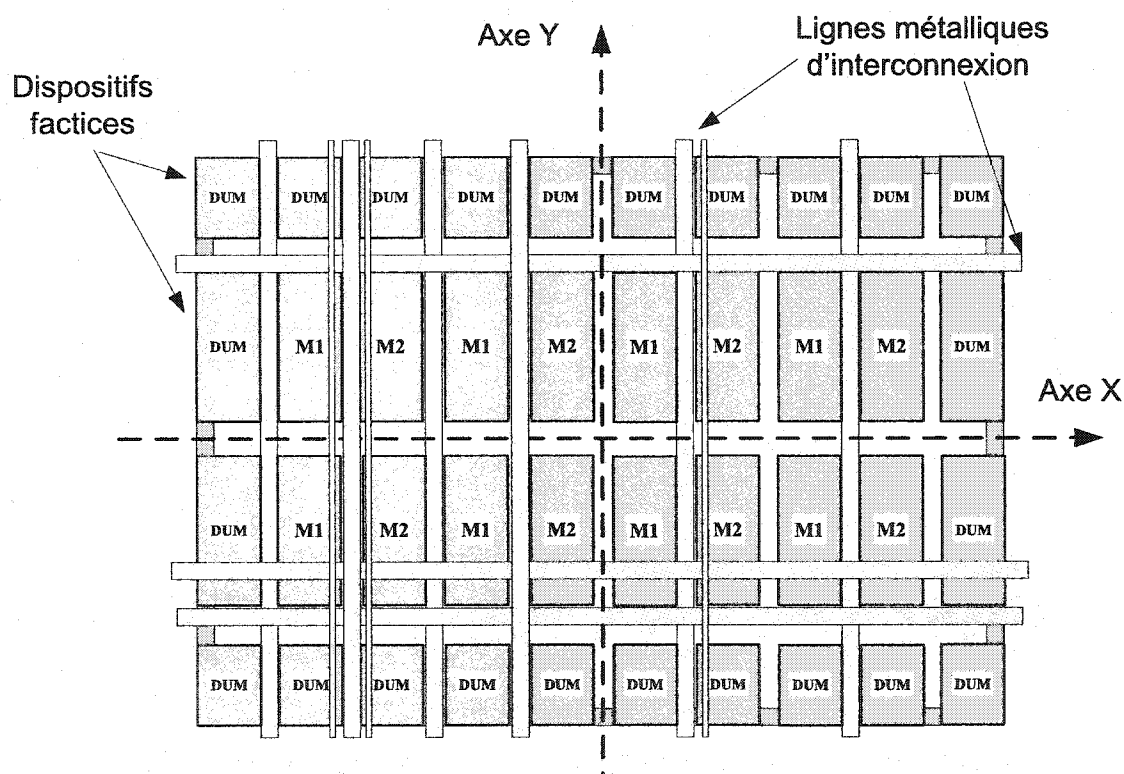


Figure A2-1 Exemple de matrice que nous avons utilisée dans ce projet pour appairer deux dispositifs intégrés segmentés $DI_1(8 \times M1)$ et $DI_2(8 \times M2)$.

Les lignes d'alimentation telles que le VDD et le VSS sont critiques pour les circuits sensibles au bruit. La consommation des blocs doit être estimée avec précision pour choisir la bonne dimension de ces connexions.

Il y a un compromis entre la largeur de ces lignes, afin d'assurer le courant d'alimentation nécessaire, et le besoin d'atténuer les effets de l'électromigration. Pour réduire sa résistance, une ligne large et courte est souhaitable mais cela consomme plus d'espace sur la puce [14].

Pour minimiser la résistance de sa grille, un transistor MOS de grande largeur est subdivisé en plusieurs transistors de largeur plus faible qui seront connectés en parallèle, [42]. Après un choix judicieux du nombre de segments, leurs alignements sur la puce doit se faire de préférence suivant deux dimensions «X» et «Y», (voir Figure A2-2).

La symétrie des structures des DI dans le dessin des masques est importante, elle peut créer un décalage plus grand que prévu par les variations statistiques. Il faut que chaque DI soit dans un environnement similaire de part et d'autre de son axe de symétrie. Pour ceux situés sur les bords, on rajoute alors des dispositif factices, désignés par «Dum» sur la Figure A2-2, et qui sont électriquement neutres [21].

Les contraintes mécaniques dues à l'encapsulation de la puce créent des erreurs relatives supplémentaires aux valeurs des grandeurs telles que la résistance, la capacité, la

tension de seuil, ou la mobilité. Afin de réduire leurs influences, on utilise les règles suivantes :

- Segmentation des structures à apparier; suivant deux dimensions «X» et «Y» et de préférence prendre une structure carrée;
- Positionnement des DI loin des coins et de préférence au centre de la puce;
- Placement des DI le plus près possible l'un de l'autre;
- Utilisation de la règle du centroïde commun.

Règles du centroïde commun

Le centroïde d'une structure est un point de sa géométrie qui représente son centre de gravité. Ce point peut se situer sur les axes de symétrie. On peut citer les quatre règles du centroïde commun pour apparier deux DI :

- Coïncidence : Le centroïde de chaque DI à apparier doit se coïncider, sur la Figure A2-2 le centroïde de DI_1 et DI_2 est le point d'intersection des axes de symétrie;
- Symétrie : Le réseau de segments entrelacés suivant les axes «X» et «Y» doit présenter une symétrie suivant ces deux axes;
- Dispersion : Les segments de chaque DI doivent occuper le maximum de l'espace du réseau et être uniformément distribués;
- Compacité : Les segments du réseau doivent être les plus près que possible et constituer un réseau compact.

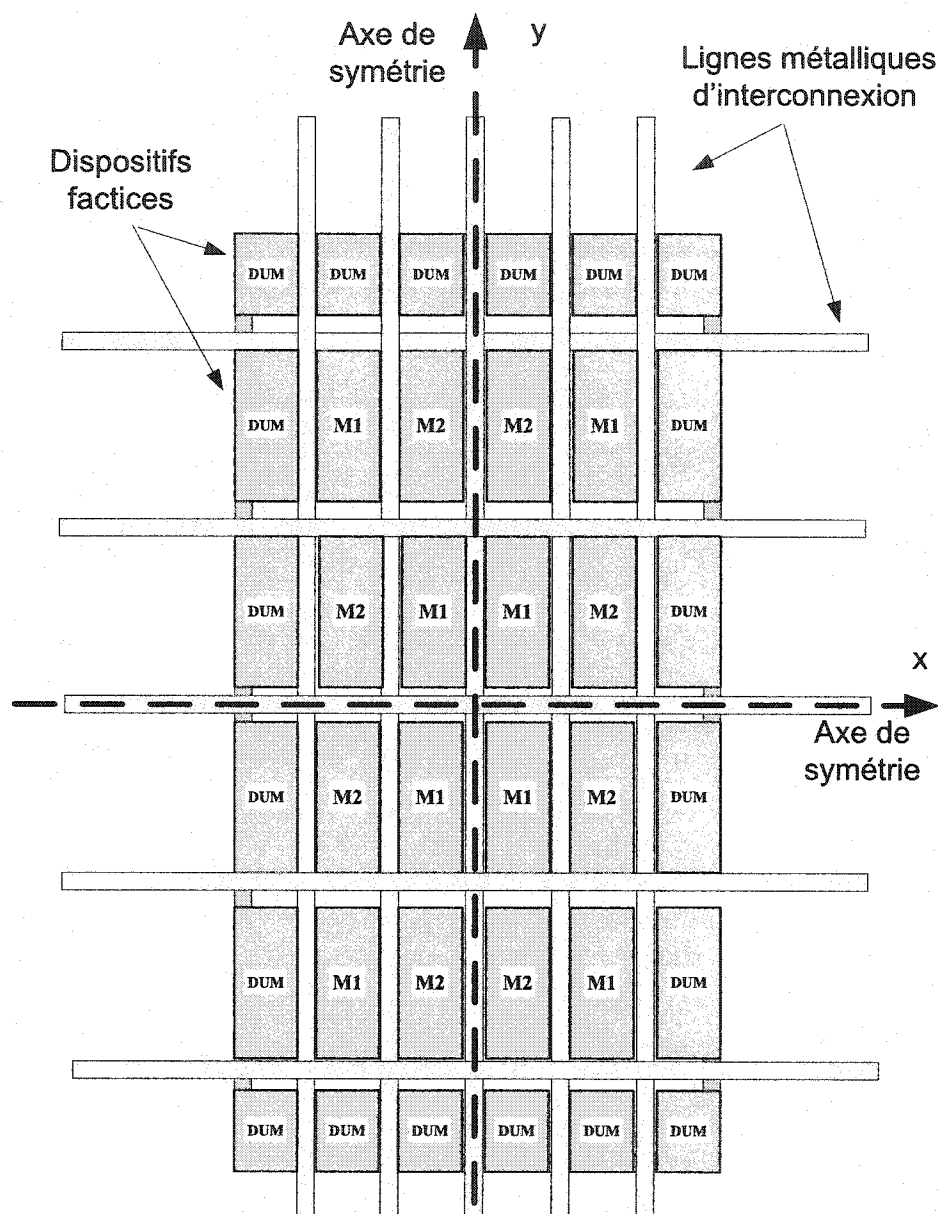


Figure A2-2 Exemple d'appariement de deux dispositifs intégrés segmentés $DI_1(8 \times M1)$ et $DI_2(8 \times M2)$ respectant le centroïde commun et la symétrie des interconnexions.

En plus des règles citées plus haut, pour l'appariement des résistances on suggère de les orienter toujours vers la même direction.

ANNEXE 3 Fichier SPICE de la référence BGR proposée

Le fichier de simulation SPICE du circuit proposé est :

```
$ FICHER BGR.SP
.lib 'mm018.l' TT
.lib 'mm018.l' TT_BIP
.lib 'mm018.l' RES
.OPTIONS POST=1 PROBE
*
**** ETAGE BGR
*M1 ET M2 A APPARIER
.param W1=14U
.param L1=4U
.param M1=10
*
**SORTIE
.param W14=12U
.param L14=16U
.param M14=5
*
** RESISTANCE
.param rap=0.568
.param L_R1= 19.9K
.param L_R2= 87.188k
.param MQ1=10
.param MQ2=1
****
M2 A2 nc1 VDD VDD pch L=L1 W=W1 M=M1
M1 A1 nc1 VDD VDD pch L=L1 W=W1 M=M1
Q1 0 0 np PNP5 M=MQ1
Q2 0 0 A2 PNP5 M=MQ2
XR1 np A1 RPODRPO L='(2U*L_R1)/133' W=2U
XR2A A1 A4 RPODRPO L='(2U*L_R2)/133' W=2U
XR2B A2 A3 RPODRPO L='(2U*L_R2)/133' W=2U
*
****ETAGE TRANSIMPEDANCE
*
*M5 ET M6 A APPARIER
.param W3=10U
.param L3=10U
.param M3=10
*
*M11 ET M12 A APPARIER
.param W6=24U
.param L6=16U
.param M6= 6
*
```

*M7 ET M8 A APPARIER

.param W4=12U

.param L4=10U

.param M4=1

*

*M9 ET M10 A APPARIER

.param W5=12U

.param L5=8U

.param M5=1

*

*M13 ET M14 A APPARIER

.param W7=16U

.param L7=16U

.param M7= 1

*

** Transistors M3 ET M4 a apparier

M3 n1 nc1 VDD VDD pch L=L1 W=W1 M=M1

M4 n4 nc1 VDD VDD pch L=L1 W=W1 M=M1

*

** Transistors M5 ET M6 a apparier

M5 n1 np A3 0 nch L=L3 W=W3 M=M3 \$

M6 n4 np A4 0 nch L=L3 W=W3 M=M3 \$

*

** Transistors M11 ET M12 a apparier

M11 A3 n1 0 0 nch L=L6 W=W6 M=M6

M12 A4 n4 0 0 nch L=L6 W=W6 M=M6

*

** Transistors M7 ET M8 a apparier

M7 n2 n5 VDD VDD pch L=L4 W=W4 M=M4

M8 n3 n5 VDD VDD pch L=L4 W=W4 M=M4

*

** Transistors M9 ET M10 a apparier

M9 n5 0 n2 n2 pch L=L5 W=W5 M=M5

M10 n6 0 n3 n3 pch L=L5 W=W5 M=M5

*

** Transistors M13 ET M14 a apparier

M13 n5 n1 0 0 nch L=L7 W=W7 M=M7

M14 n6 n4 0 0 nch L=L7 W=W7 M=M7

*

**** 2 eme ETAGE

*M15 ET M16 A APPARIER

.param W8= 6U

.param L8=4U

.param M8=1

*

*M17 ET M18 A APPARIER

.param W9=12U

.param L9=4U

.param M9= 2

*

*M19 ET M20 A APPARIER

.param W10=4U

```

.param L10=4U
.param M10=2
*
*M21 ET M22 A APPARIER
.param W11=12U
.param L11=8U
.param M11=4
*
*M23 ET M24 A APPARIER
.param W12=12U
.param L12=8U
.param M12=2
*
*M25 ET M26 A APPARIER
.param W13= 12U
.param L13=8U
.param M13=2
.param W14=12U
.param L14=16U
.param M14=5
.param par_c01=5P
.param par_c02=5P
.param L_R4=60K

M15 n7 n5 VDD VDD pch L=L8 W=W8 M=M8
M16 n8 n6 VDD VDD pch L=L8 W=W8 M=M8

M17 n7 VDD n9 0 nch L=L9 W=W9 M=M9
M18 n8 VDD n10 0 nch L=L9 W=W9 M=M9

M19 n9 n7 0 0 nch L=L10 W=W10 M=M10
M20 n10 n7 0 0 nch L=L10 W=W10 M=M10

M21 n11 n13 VDD VDD pch L=L11 W=W11 M=M11
M22 n12 n13 VDD VDD pch L=L11 W=W11 M=M11

M23 n13 0 n11 n11 pch L=L12 W=W12 M=M12
M24 n14 0 n12 n12 pch L=L12 W=W12 M=M12

M25 n13 n7 0 0 nch L=L13 W=W13 M=M13
M26 n14 n8 0 0 nch L=L13 W=W13 M=M13
*
**CAPACITE
C01 n7 n13 par_c01
C02 n8 n14 par_c01
*
M27 nc1 n14 VDD VDD pch L=L14 W=W14 M=M14
XR4 nc1 0 RPODRPO L='(2U*L_R4)/133' W=2U
*
*****CIRCUIT DE STARTUP
* M29
.param W16= 2U

```

```

.param L16= 1U
.param M16= 1
*M30
.param W17= 1U
.param L17= 1U
.param M17= 1
*
*M31
.param W18= 1U
.param L18= 1U
.param M18=1
*
*M32
.param W19=10U
.param L19=1U
.param M19=1
*
*M33
.param W20=10U
.param L20=1U
.param M20=1
*
*M34
.param W21=12U
.param L21=12U
.param M21=5
*
M29 n15 A2 0 0 nch L=L16 W=W16 M=M16
*
M30 n15 n15 0 0 nch L=L17 W=W17 M=M17
*
M31 n15 0 VDD VDD pch L=L18 W=W18 M=M18
*
M32 n16 n15 VDD VDD pch L=L19 W=W19 M=M19
*
M33 n16 n15 0 0 nch L=L20 W=W20 M=M20
*
M34 A2 n16 VDD VDD pch L=2U W=100U M=2
*
****TRANSISTOR DE SORTIE M28
.param L_R3=59.1k
.param W15=14U
.param L15=4U
.param M15=10
*
**
M28 nref nc1 VDD VDD pch L=L15 W=W15 M=M15
*
xR3 nref 0 RPODRPO L=(2U*L_R3)/133' W=2U
*
****APPEL DES LIBRAIRIES DE SIMULATION
.LIB 'BGR.lib' DC_TT

```

```
.alter
.DEL LIB 'BGR.lib' DC_TT
.LIB 'BGR.lib' DC_SS
.alter
.DEL LIB 'BGR.lib' DC_SS
.LIB 'BGR.lib' DC_FF
.alter
.DEL LIB 'BGR.lib' DC_FF
$.LIB 'BGR.lib' DC_SF
$.alter
$.DEL LIB 'BGR.lib' DC_SF
$.LIB 'BGR.lib' DC_FS
$.alter
$.DEL LIB 'BGR.lib' DC_FS
.LIB 'BGR.lib' TR100
.alter
.DEL LIB 'BGR.lib' TR100
.LIB 'BGR.lib' TR25
.alter
.DEL LIB 'BGR.lib' TR25
.LIB 'BGR.lib' TR0
.alter
.DEL LIB 'BGR.lib' TR0
.LIB 'BGR.lib' TR_40
.alter
.DEL LIB 'BGR.lib' TR_40
.LIB 'BGR.lib' AC_BRUIT
.alter
.DEL LIB 'BGR.lib' AC_BRUIT
.LIB 'BGR.lib' AC100
.alter
.DEL LIB 'BGR.lib' AC100
.LIB 'BGR.lib' AC25
.alter
.DEL LIB 'BGR.lib' AC25
.LIB 'BGR.lib' AC_40
.END
```