

UNIVERSITÉ DE MONTRÉAL

**Conception d'interfaces haut-voltage
utilisant une technologie CMOS/DMOS**

JEAN-FRANCOIS RICHARD

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION DU DIPLÔME DE
MAITRISE EN SCIENCES APPLIQUÉES (M.Sc.A.)

© JEAN-FRANCOIS RICHARD 2004



National Library
of Canada

Bibliothèque nationale
du Canada

Acquisitions and
Bibliographic Services

Acquisitiions et
services bibliographiques

395 Wellington Street
Ottawa ON K1A 0N4
Canada

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 0-612-91967-6

Our file Notre référence

ISBN: 0-612-91967-6

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this dissertation.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de ce manuscrit.

While these forms may be included in the document page count, their removal does not represent any loss of content from the dissertation.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé :

Conception d'interfaces haut-voltage
utilisant une technologie CMOS/DMOS

Présenté par : RICHARD, Jean-françois

En vue de l'obtention du diplôme de :

Maîtrise en sciences appliquées (M.Sc.A.)

A été dûment accepté par le jury d'examen constitué de :

M.AUDET, Yves, Ph.D., président

M.SAVARIA, Yvon, Ph.D., directeur et membre

M.SAWAN, Mohamad, Ph.D., membre

REMERCIEMENTS

Nous tenons à remercier ceux et celles qui, de près ou de loin, ont contribué à ce travail, en particulier : M. Yvon Savaria, dont la direction a été fondamentale dans l'élaboration de ce mémoire ainsi que M. Rémi Meingan pour son support continu, sans lequel ce mémoire n'aurait pas eu lieu.

Mes remerciements vont également à toute l'équipe de gestion de DALSA Semiconducteur, qui ont su promouvoir la créativité et la recherche dans le domaine du design des circuits intégrés.

RÉSUMÉ

Ce mémoire a comme objectif l'étude, le développement et la caractérisation de nouveaux circuits intégrés haut voltage en collaboration avec DALSA Semiconducteur Inc.

A l'intérieur de ce mémoire, une analyse approfondie des technologies haut-voltage ainsi que des outils de conception seront d'abord effectués. Nous présenterons les contraintes technologiques associées à ces technologies d'un point de vue de la conception de circuits, et de leur interface avec les outils de conception électronique d'aujourd'hui. De plus, nous étudierons une méthodologie de design adaptée aux outils de conception et aux contraintes de la technologie.

Par la suite, les résultats de recherche sur les structures de différents circuits d'interface seront présentés. Deux types de convertisseurs digitaux ont été identifiés et font l'objet de cette recherche. Le premier est un convertisseur de signaux bas voltage en des signaux haut voltage, tandis que le second est un convertisseur de signaux haut voltage en des signaux bas voltage. Nous pourrions constater que toutes les solutions proposées à l'intérieur de cette étude rencontrent les spécifications définies à l'intérieur de ces chapitres.

Basées sur les solutions proposées, des interfaces haut-voltage seront conçues et des résultats de mesure démontrant leur fonctionnalité seront présentés. La caractérisation des circuits d'interface démontrera en premier lieu l'atteinte des objectifs de notre présente étude, et que nous avons atteint les spécifications électriques visées au départ.

Enfin, nous aborderons le problème de la dissipation de puissance, de la stabilité des spécifications du manufacturier, ainsi que de la définition d'une méthodologie de conception utilisant les technologies haut-voltage.

ABSTRACT

In this master thesis, we will design and characterize integrated high voltage circuits in collaboration with DALSA Semiconducteur Inc.

In this thesis, we will first analyse existing high voltage technologies and related electronic design tool (EDA) limitations. We will present the high voltage technology constraints in terms of circuit design and their interfaces with today's tools. Also, we will study the design flow to be used with today's EDA and the resulting technology constraints.

Afterwards, we will present results of an extensive study on different interface circuits. Two types of digital interfaces have been identified and are studied. The first one is a digital low voltage to high voltage converter and the second one is a high voltage to low voltage converter. We will show that the proposed solutions inside this thesis meet the specifications defined in earlier chapters.

Based on previous solutions, those interfaces will be implemented and measurements will show their functionalities. We will show that the characterisation results of those circuits have met the general objectives of this study and the reported electrical measurements confirm that the target specifications are generally met.

In conclusion, we will discuss power dissipation, stability of the manufacturer specifications and we will propose a design flow adapted for the target high voltage technology.

Table des matières

REMERCIEMENTS	IV
RÉSUMÉ	V
ABSTRACT	VI
LISTE DES FIGURES	IX
LISTE DES TABLEAUX.....	XII
 CHAPITRE 1 INTRODUCTION	 1
1.1 OBJECTIF GÉNÉRAL	3
1.2 MÉTHODOLOGIE	3
 CHAPITRE 2 LES TECHNOLOGIES HAUT-VOLTAGE EXISTANTES.....	 4
2.1 COMPOSANTS DE TYPE LIGHTLY DOPED DRAIN (LDD)	6
2.2 COMPOSANTS A DRAINS ETENDUS	7
2.3 DMOS VERTICAL (V-DMOS)	11
2.4 RESURF L-DMOS	12
 CHAPITRE 3 LES TECHNOLOGIES HAUT-VOLTAGE DE DALSA SEMICONDUCTEUR.....	 15
 CHAPITRE 4 LES CONTRAINTES TECHNIQUES DES TECHNOLOGIES HAUT-VOLTAGE DE DALSA SEMICONDUCTEUR	 20
4.1 ENVIRONNEMENT DE SIMULATION	22
4.2 VÉRIFICATION D'UN CIRCUIT	24
4.3 CONFIGURATIONS DE CIRCUIT	25
4.4 TRANSISTORS HAUT-VOLTAGE	27

CHAPITRE 5 DÉFINITION DES SPÉCIFICATIONS ET RÉSULTATS DE RECHERCHE	29
5.1 CONVERTISSEUR DIGITAL LV/HV	31
5.2 CONVERTISSEUR DIGITAL HV /LV	40
CHAPITRE 6 CONCEPTION DES CONVERTISSEURS DIGITAUX LV/HV	44
6.1 TECHNOLOGIES UTILISEES	45
6.2 TRANSISTORS UTILISES	45
6.3 FONCTIONNALITE	47
6.4 OPTIMISATION SELON LA TECHNOLOGIE 2 μ M	48
6.5 OPTIMISATION SELON LA TECHNOLOGIE 0.8 μ M	54
6.6 CONCEPTION PHYSIQUE DES CONVERTISSEURS DIGITAUX LV/HV	57
CHAPITRE 7 CONCEPTION DU CONVERTISSEUR DIGITAL HV/LV	59
7.1 TECHNOLOGIE UTILISEE	60
7.2 FONCTIONNALITE	60
7.3 TRANSISTORS UTILISES	61
7.4 OPTIMISATION AVEC LA TECHNOLOGIE 0.8 μ M	63
7.5 CONCEPTION PHYSIQUE DU CONVERTISSEUR DIGITAL HV/LV	69
CHAPITRE 8 RÉSULTATS SUR SILICIUM	70
8.1 RESULTATS DU CONVERTISSEUR DIGITAL LV/HV	71
8.2 RESULTATS DU CONVERTISSEUR DIGITAL HV/LV	80
CHAPITRE 9 CONCLUSION.....	87
CHAPITRE 10 BIBLIOGRAPHIE	90

Liste des figures

FIGURE 2.1 – VUE EN COUPE DES TECHNOLOGIES HAUT-VOLTAGE.....	5
FIGURE 2.2 – VUE EN COUPE D’UN TRANSISTOR DE TYPE-N DE TYPE « LDD ».....	7
FIGURE 2.3 – VUE EN COUPE D’UN TRANSISTOR DE TYPE-N REALISE SUIVANT LA STRUCTURE A DRAIN ETENDU	8
FIGURE 2.4 – VUE EN COUPE DE CERTAINES ETAPES DE FABRICATION DES TRANSISTORS DE TYPE DRAINS ETENDUS	9
FIGURE 2.5 – POINT DE CLAQUAGE DES TRANSISTORS HAUT-VOLTAGE DE TYPE « LDD » ET A DRAINS ETENDUS	10
FIGURE 2.6 – VUE EN COUPE D’UN TRANSISTOR DE TYPE V-DMOS.....	11
FIGURE 2.7 – VUE EN COUPE D’UN TRANSISTOR DE TYPE-N REALISE SELON LA TECHNIQUE RESURF	12
FIGURE 2.8 – ZONES D’APPAUVRISSMENT D’UNE TECHNOLOGIE DITE « STANDARD » VERSUS UNE TECHNOLOGIE DITE « RESURF ».....	13
FIGURE 3.1 – VUE EN COUPE SIMPLIFIEE DE LA TECHNOLOGIE 2.0 μ m 5V/HV CMOS/DMOS DE DALSA SEMICONDUCTEUR	17
FIGURE 3.2 – VUE EN COUPE SIMPLIFIEE DE LA TECHNOLOGIE 0.8 μ m 5V/HV CMOS/DMOS DE DALSA SEMICONDUCTEUR	17
FIGURE 3.3 – RESUME DES LIMITES DE POTENTIEL POUR CHACUNE DES SECTIONS DES TECHNOLOGIES 0.8 μ m ET 2.0 μ m.....	19
FIGURE 4.1 – EFFET DES CONTRAINTES ELECTRIQUES DES TRANSISTORS HAUT-VOLTAGE..	21

FIGURE 5.1 – SPECIFICATIONS DES INTERFACES HAUT-VOLTAGE	30
FIGURE 5.2 – PREMIERE CONFIGURATION	31
FIGURE 5.3 – DEUXIEME CONFIGURATION	33
FIGURE 5.4 – BRANCHE UNIQUE DE LA CONFIGURATION #2	34
FIGURE 5.5 – COURBES I_{DS} - V_{DS} DU TRANSISTOR NDH11GA (A) ET PEH87FA (B)	38
FIGURE 5.6 – CONFIGURATION DU CONVERTISSEUR HV/LV	40
FIGURE 6.1 – FONCTIONNALITE DU CONVERTISSEUR DIGITAL LV/HV	47
FIGURE 6.2 – DIMENSIONS FINALES DU CONVERTISSEUR DIGITAL LV/HV	51
FIGURE 6.3 – TEMPS DE MONTEE TYPIQUE	52
FIGURE 6.4 – TEMPS DE DESCENTE TYPIQUE	52
FIGURE 6.5 – DIMINUTION DU VOLTAGE DE SORTIE EN FONCTION DE LA FREQUENCE DU SIGNAL D'ENTREE	53
FIGURE 6.6 – SCHEMA ELECTRIQUE COMPLET DU CONVERTISSEUR DIGITAL LV/HV	54
FIGURE 6.7 – CONVERTISSEUR LV/HV EN TECHNOLOGIE DALSA 2.0 μ M	58
FIGURE 7.1 – FONCTIONNALITE SIMULEE DU CIRCUIT	60
FIGURE 7.2 – DIFFERENCE DE TENSION ENTRE LA SOURCE DU TRANSISTOR M4 ET LA TENSION A SA GRILLE	64
FIGURE 7.3 – VARIATIONS DE LA TENSION A LA SORTIE EN FONCTION DE LA VARIATION DE LA VALEUR DE LA RESISTANCE.	65
FIGURE 7.4 – EFFET DE LA VARIATION DE LA RESISTIVITE ET DE LA TENSION V_{GS} DU TRANSISTOR M1	66

FIGURE 7.5 – DIMENSIONS FINALES DU CIRCUIT.....	67
FIGURE 7.6 – FONCTION DE TRANSFERT DU CIRCUIT	67
FIGURE 7.7 – VUE PHYSIQUE DU CONVERTISSEUR DIGITAL HV/LV CONÇU AVEC LA TECHNOLOGIE 0.8 μ m 5V/HV CMOS/DMOS	69
FIGURE 8.1 – RESULTATS EXTRAIT DU SILICIUM	72
FIGURE 8.2 – TEMPS DE PROPAGATION T _{PLH} DU CONVERTISSEUR LV/HV	73
FIGURE 8.3 – TEMPS DE PROPAGATION T _{PHL} DU CONVERTISSEUR LV/HV	73
FIGURE 8.4 – TEMPS DE MONTEE DU CONVERTISSEUR LV/HV VERSUS SIMULATION	74
FIGURE 8.5 – TEMPS DE DESCENTE DU CONVERTISSEUR LV/HV VERSUS SIMULATION	74
FIGURE 8.6 – RESULTATS EXTRAIT DU SILICIUM	76
FIGURE 8.7 – TEMPS DE PROPAGATION T _{PLH} DU CONVERTISSEUR LV/HV	77
FIGURE 8.8 – TEMPS DE PROPAGATION T _{PHL} DU CONVERTISSEUR LV/HV	78
FIGURE 8.9 – RESULTATS SUR SILICIUM.....	80
FIGURE 8.10 – VARIATIONS DU VOLTAGE A LA SORTIE DU CIRCUIT.....	84

Liste des tableaux

TABEAU 2.1 – PROCEDES HAUT-VOLTAGE	5
TABEAU 2.2 – TYPE DE COMPOSANTS HAUT-VOLTAGE	6
TABEAU 2.3 – TRANSISTORS HAUT-VOLTAGE DISPONIBLES AVEC LA TECHNOLOGIE A DRAINS ETENDUS	9
TABEAU 3.1 – RESUME DES TECHNOLOGIES HAUT-VOLTAGE DE DALSA SEMICONDUCTEUR.....	16
TABEAU 4.1- DIFFERENCE ENTRE UN CIRCUIT CMOS ET UN CIRCUIT CMOS+DMOS EN TERME DE POSSIBILITE DE VARIATIONS	24
TABEAU 4.2 – RESUME DES TRANSISTORS HAUT-VOLTAGE DISPONIBLES POUR LA TECHNOLOGIE 2 μ m 5V/HV CMOS/DMOS	27
TABEAU 5.1 – SPECIFICATIONS DU CONVERTISSEUR LV/HV	39
TABEAU 5.2 – SPECIFICATIONS DU CONVERTISSEUR HV/LV	43
TABEAU 6.1 – TRANSISTORS HAUT-VOLTAGE DISPONIBLES AVEC LA TECHNOLOGIE 2 μ m 5V/HV CMOS/DMOS	46
TABEAU 6.2 – TABLE DE VERITE DU CONVERTISSEUR LV/HV	47
TABEAU 6.3 – TABLEAU RESUME DE L’OPTIMISATION	49
TABEAU 6.4 – RESULTATS DE SIMULATION.....	51
TABEAU 6.5 – RESULTATS DE SIMULATION.....	56
TABEAU 7.1 – TABLE DE VERITE DU CONVERTISSEUR HV/LV	60

TABLEAU 7.2 – RESUME DES COMPOSANTES HAUT-VOLTAGE DISPONIBLES AVEC LA TECHNOLOGIE 0.8 μ M	63
TABLEAU 7.3 – RESULTATS DE SIMULATION.....	68
TABLEAU 8.1 – INFORMATION GENERALE DES LOTS DE SILICIUM.....	70
TABLEAU 8.2 – RESUME DES VALEURS MESUREES ET LES RESULTATS DE SIMULATION CORRESPONDANT	72
TABLEAU 8.3 – RESUME DES VALEURS MESUREES AVEC LES RESULTATS DE SIMULATION CORRESPONDANT	77
TABLEAU 8.4 – RESULTATS DU CONVERTISSEUR HV/LV	81

CHAPITRE 1 *Introduction*

Nombreux sont les manufacturiers de semiconducteur qui offrent de nouvelles technologies depuis les dix (10) dernières années. Nombreuses sont aussi les entreprises de conception de circuits intégrés qui réduisent la taille de leur produits afin d'être concurrentielle, ou d'être les premiers à occuper une part de marché. Une difficulté survient lorsque l'on tente d'intégrer certains de ces circuits opérant avec différentes tensions d'alimentation à l'intérieur d'un même système. Un des défis des concepteurs de systèmes est de conjuguer ces différents circuits intégrés afin qu'ils puissent communiquer entre eux. En effet, établir la communication entre ces différents modules se fait par diverses interfaces spécialisées. Ce genre de contrainte est devenu une réalité grandissante au cours des dernières années.

DALSA Semiconducteur est un fabricant de circuits intégrés dont les technologies utilisent des tensions d'alimentation variant entre 1.2Volt et 300Volts. Ce manufacturier

est spécialisé dans les technologies CMOS depuis plus de 20 ans. Depuis quelques années, DALSA Semiconducteur offre de nouvelles technologies. Les technologies de micro-machinage (MEMS) ainsi que les technologies DMOS dite « Haut-Voltage (HV) » sont deux nouvelles technologies offertes par DALSA Semiconducteur. Elles visent des marchés tel que l'imprimerie, l'automobile, ainsi que les télécommunications qui nécessitent des tensions d'opération largement supérieure à celles que l'on retrouve avec les technologies sous-microniques avancées communément appelées CMOS standard.

Les technologies HV de DALSA Semiconducteur permettent de combiner la technologie standard CMOS avec la technologie HV à l'intérieur d'un même circuit intégré. De cette façon, la logique dense utilisée pour le traitement de signal bénéficie d'une technologie sous-micronique, afin d'obtenir une meilleure densité de composants par unité de surface de silicium et elle permet d'intégrer des composantes HV afin de communiquer avec le monde externe.

DALSA Semiconducteur offre des services de conception de circuits intégrés par l'intermédiaire de bibliothèques de règles et de cellules (*Design Kits*), exprimées à différents niveaux de complexité. L'entreprise désire y inclure des interfaces CMOS/DMOS, ainsi que DMOS/CMOS, afin d'accélérer le développement des nouveaux produits chez ses clients.

1.1 Objectif général

Ce projet s'inscrit dans le cadre d'une étude en vue de réaliser des circuits d'interface intégrés haut-voltage en collaboration avec DALSA Semiconducteur Inc. (DALSA Semiconducteur). Ce projet permettra de définir différentes interfaces haut-voltage afin d'accélérer la mise en marché de nouveaux produits. Ce projet implique la recherche, l'analyse et la définition d'interfaces utilisant les technologies $2\mu\text{m}$ 5V/HV CMOS/DMOS ainsi que $0.8\mu\text{m}$ 5V/HV CMOS/DMOS de DALSA Semiconducteur.

1.2 Méthodologie

Une analyse approfondie des technologies haut-voltage et des outils de conception seront d'abord effectuées. Par la suite, une recherche sur la structure de différents circuits d'interface sera effectuée et des solutions seront proposées. Des interfaces haut-voltage conçues et réalisées seront décrites et des résultats de mesure démontrant leur bon fonctionnement seront présentés.

CHAPITRE 2 *Les technologies haut-voltage existantes*

Plusieurs manufacturiers de technologies haut-voltage existent sur le marché ([14], [15], [16], [17], [18], [19], [20] et [21]). En particulier, AMS, Amis semiconducteur, Micrel, TSMC et XFAB offrent des technologies dite haut-voltage utilisant des tensions d'alimentation variant entre 10V et 300V. Le tableau 2.1 ainsi que la figure 2.1 résument les différentes technologies haut-voltage disponibles pour réaliser des composants intégrés. Ce tableau représente un résumé des technologies les plus communes que l'on retrouve sur le marché. Suite à ce tableau, le tableau 2.2 présente divers composants haut-voltage qui seront discutés au cours des prochains chapitres. Il faut mentionner qu'il existe plusieurs variantes de procédés utilisés et aussi, des variantes au design de ces composants. Nous nous limitons aux principaux aspects de ces technologies, ainsi que de ces composants, afin de comprendre leur fonctionnement ainsi que leur différences.

Tableau 2.1 – Procédés haut-voltage

Technologies	Fabricants	Description	Avantages	Inconvénients
SI	TSMC XFAB	Auto Isolation (Self-Isolation)	• Faible coût de fabrication	• Bipolaires isolés impossible
WI	XFAB TSMC MICREL	Isolation par les puits (Well-Isolation)	• Isolation des composantes par jonctions	• Formation de thyristors
BCD	XFAB AMS Amis	Couches enterrées (Buried layers) (Bipolar/CMOS/DMOS)	• Nombre et type de composants pratiquement illimités	• Nombre de masques élevés
SOI	MICREL XFAB	Silicium sur substrat isolant (Silicon On Isolator)	• Réduction des dimensions latérales	• Coût du matériel de départ élevé

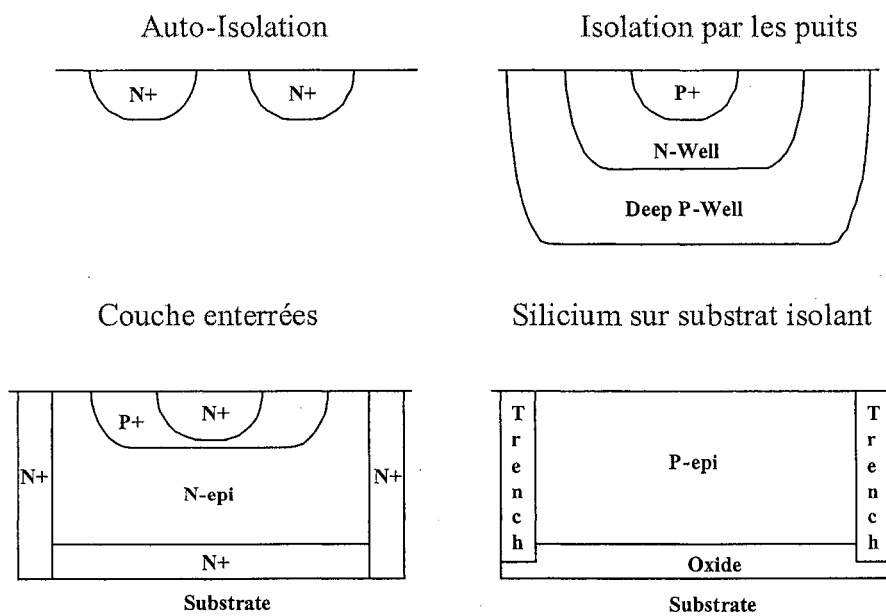


Figure 2.1 – Vue en coupe des technologies haut-voltage

Tableau 2.2 – Type de composants haut-voltage

Tension nominale d'opération	Type de procédé	Type de composant	Épaisseur de l'oxyde de grille
15V	Auto isolation	LDD	800 Å
20V-40V	Isolation par les puits	Drain étendu	500 Å – 950 Å
30V	Couches enterrée	V-DMOS	400 Å
300V	Isolation par les puits	RESURF LDMOS	325 Å

2.1 Composants de type *Lightly Doped Drain (LDD)*

La figure 2.2 montre une vue en coupe d'un transistor de type-N. Ce type de composant utilise un oxyde de grille épais et peut supporter une tension nominale d'environ 15V. Cette technique est couramment utilisée par [20] et [21]. Ce type de transistor est réalisé en utilisant deux différents dopants de même type ayant des doses différentes. Ces deux implants utilisent la même ouverture de masque donc, ne nécessitent pas de masque supplémentaire. Le principe de ce type de composant est le suivant. La région N- est moins dopée que la région N++. De ce fait, la jonction PN peut être déplétée sur une plus grande distance, résultant en un champ électrique moins intense que pour une simple jonction N+/P-.

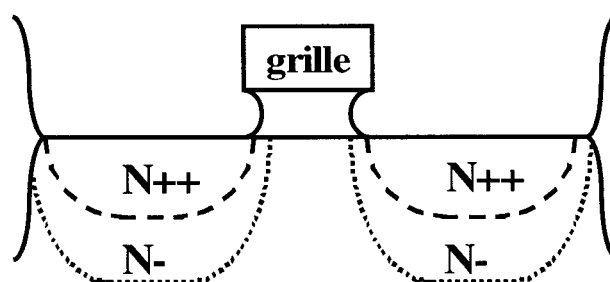


Figure 2.2 – Vue en coupe d'un transistor de type-N de type « LDD »

2.2 Composants à drains étendus

Ce type de composants est dérivé des composants de type « LDD ». Cette technique est aujourd'hui utilisée entre autres par [14], [15], [20] et [21]. La différence est que la région N++ est éloignée de la grille, ce qui réduit le champ électrique au coin de la grille. En créant une sorte de résistance supplémentaire entre la région N++ et la grille, nous avons une augmentation du voltage applicable à la région N++. En optimisant la distance appelée *dérive* (ainsi que l'épaisseur de l'oxyde de grille), nous pouvons réduire ou augmenter le voltage supporté au drain ou à la source de notre transistor. Ce type de technologie peut supporter des voltages allant jusqu'à 40V. La figure 2.3 montre une vue en coupe de ce type de transistors.

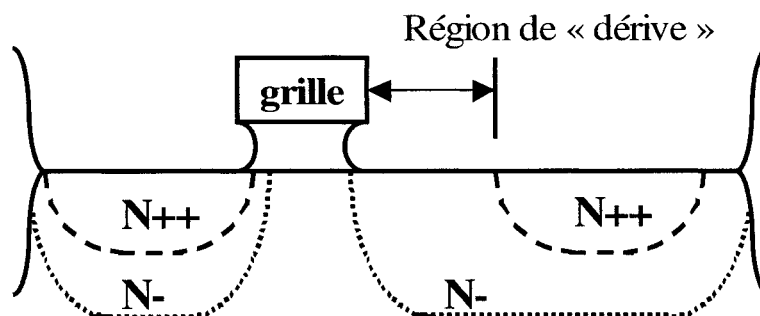


Figure 2.3 – Vue en coupe d’un transistor de type-N réalisé suivant la structure à drain étendu

Un avantage avec ce type de composant est qu’il est possible d’ajouter cette région de dérive soit au niveau du drain et/ou au niveau de la source du transistor uniquement. La figure 2.3 montre un transistor de type-N avec une région tampon supplémentaire au drain uniquement. De cette façon, seul le drain peut soutenir des tensions élevées. L’avantage est un gain en surface lors de la conception physique. Pour ce type de technologie, il est courant d’avoir accès à six (6) types de transistors différents comme le démontre le tableau 2.3. La figure 2.4 montre des vues en coupe de quelques étapes de fabrication relatives à cette technologie. Ajoutons qu’il faut utiliser deux (2) types de silicium polysilicristallin, puisqu’il y a deux (2) types d’oxyde de grille.

Tableau 2.3 – Transistors haut-voltage disponibles avec la technologie à drains étendus

Type de composant	Description	Épaisseur de l'oxyde de grille
NMOS	Transistor MOS standard	170 Å
NE	Transistor avec simple extension au drain	500 Å
NEE	Transistor avec double extension	500 Å
PMOS	Transistor MOS standard	170 Å
PE	Transistor avec simple extension au drain	500 Å
PEE	Transistor avec double extension	500 Å

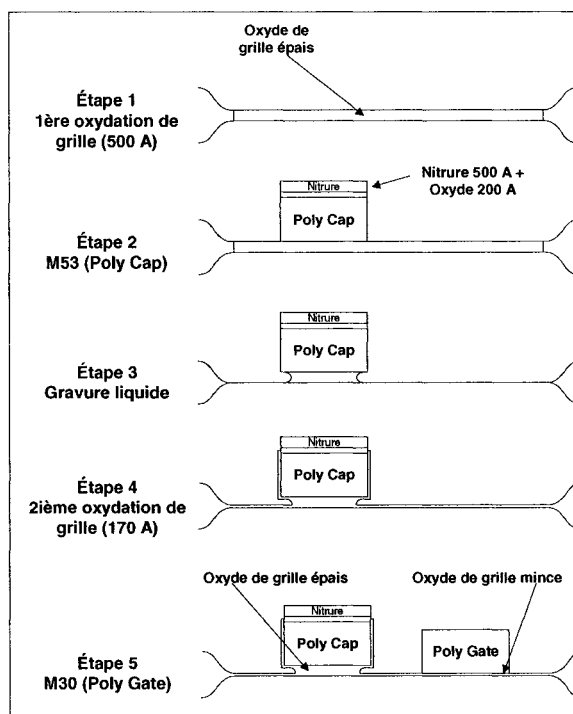


Figure 2.4 – Vue en coupe de certaines étapes de fabrication des transistors de type drains étendus

(source : DALSA Semiconducteur, département d'intégration des procédés, 2003)

La technique dite « LDD » et la technique dite de drain étendu ont toutes deux un point en commun. Leur point de claquage se situe en surface au coin de l'oxyde de grille. La figure 2.5 montre le lieu de claquage en surface et celui en profondeur. Grâce à ce déplacement du point de claquage, des tensions plus élevées peuvent être atteintes. Les deux (2) prochaines techniques, le V-DMOS et le LDMOS, ont toutes deux des points de claquage au niveau des jonctions PN (en profondeur).

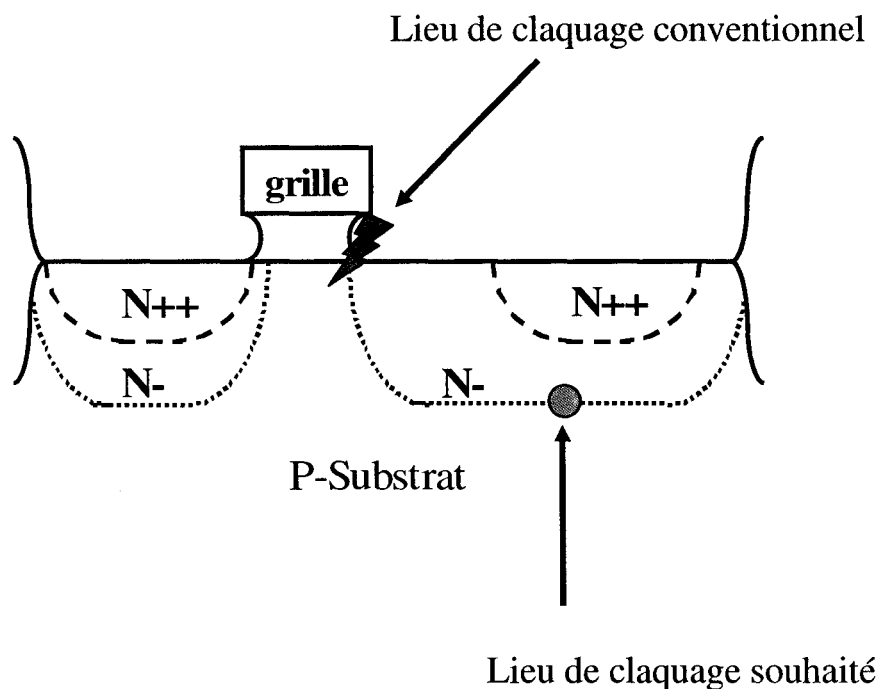


Figure 2.5 – Point de claquage des transistors haut-voltage de type « LDD » et à drains étendus

2.3 *DMOS vertical (V-DMOS)*

Ce type de transistor a été introduit au cours des années 1970 et est utilisé aujourd'hui par [14], [15], [19] et [21]. Il a l'avantage d'avoir un canal court et n'est pas dépendant des équipements de photolithographie. La principale contrainte vient du fait que le drain de ce transistor lui sert aussi de substrat. De ce fait, il est alors difficile d'implanter d'autres types de transistors en utilisant le même substrat. La figure 2.6 montre une vue en coupe de ce type de transistor. Le dos de la tranche est métallisé afin de fournir une zone de contact pour le drain du transistor. Les flèches indiquent la direction du courant (de la source au drain) pour un transistor de type vertical.

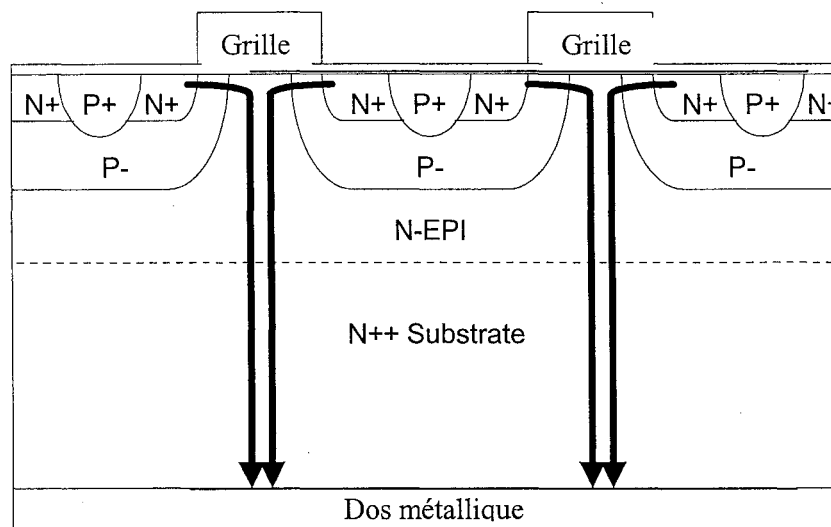


Figure 2.6 – Vue en coupe d'un transistor de type V-DMOS

2.4 RESURF L-DMOS

Le terme “RESURF” est un acronyme de Reduced SURface Field. La figure 2.7 montre une vue en coupe d’un transistor de type-N (source : [24]).

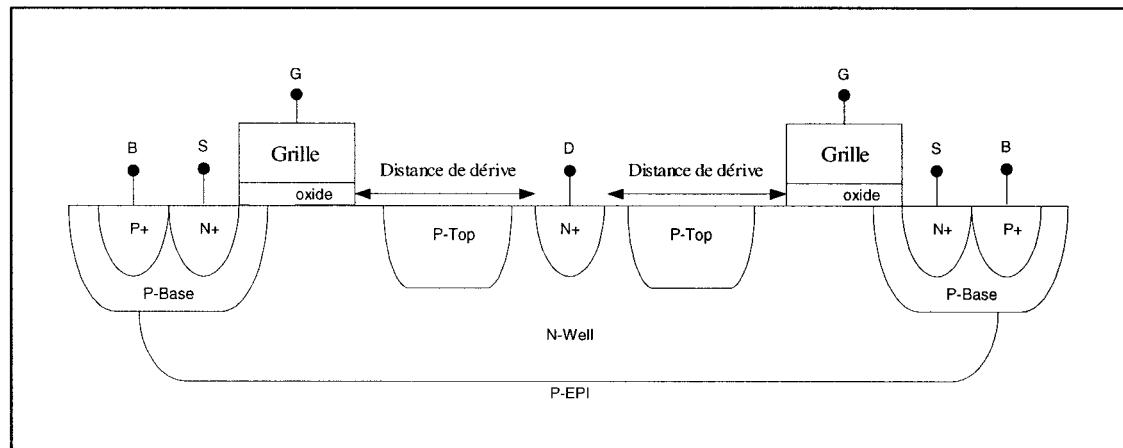


Figure 2.7 – Vue en coupe d’un transistor de type-N réalisé selon la technique RESURF

Cette technique, qui est utilisée par plusieurs concurrents ([16], [18] et [23]), permet d’appauvrir en totalité l’extension du drain du transistor. L’appauvrissement apparaît lorsque la profondeur de jonction de l’extension se trouve réduite et qu’il y a équilibre de charge de chaque côté de la jonction PN. Lorsque les dimensions sont suffisantes, le point de claquage se déplace dans le silicium plutôt qu’à la surface. L’avantage de cette technologie versus la technologie précédente, V-DMOS, est que le substrat est libre de toute source de potentiel. Pour ce transistor, lorsque le voltage au drain est supérieur à 40Volts, le puits N est dépeuplé à la fois par le substrat et par la zone dite P-Top, qui est dopée P, avec une concentration et une profondeur différente du P+ conventionnel. La figure 2.8 montre les zones d’appauvrissement d’une technologie dite « standard » versus la technologie dite « RESURF ».

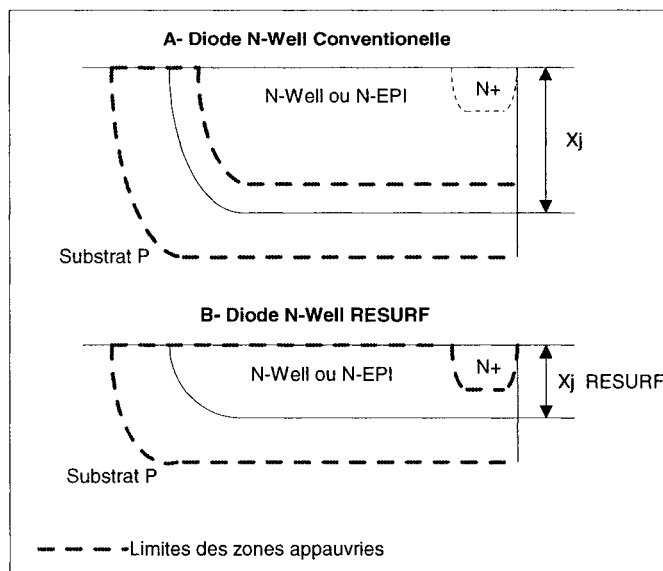
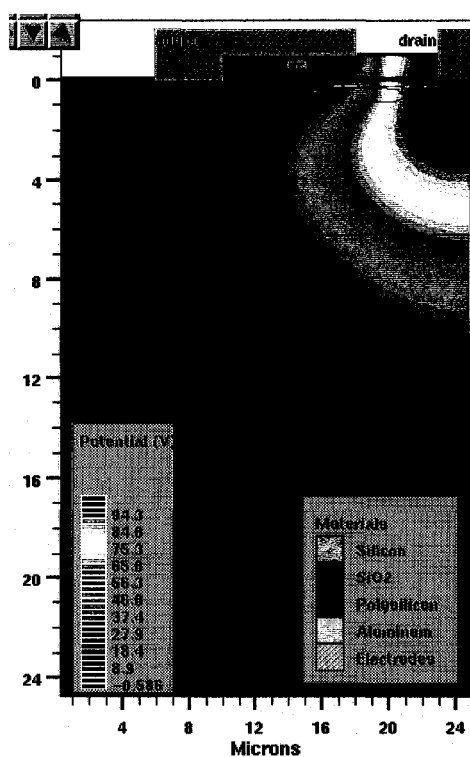


Figure 2.8 – Zones d'appauvrissement d'une technologie dite « standard » versus une technologie dite « RESURF »

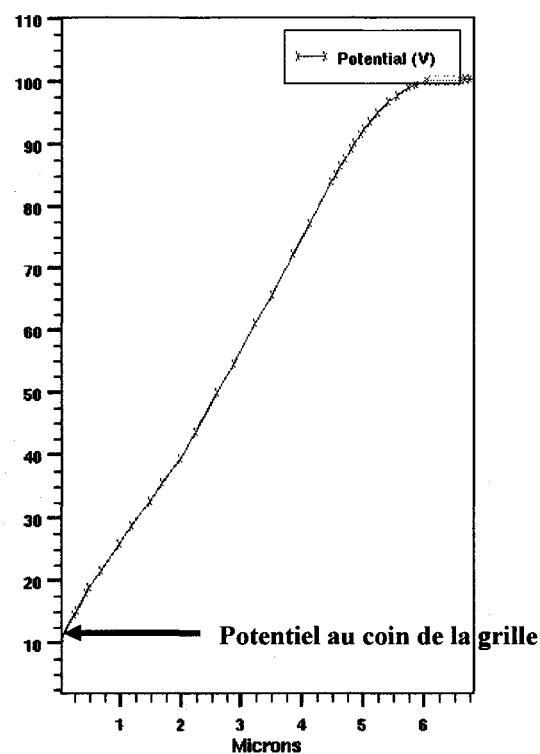
(source : DALSA Semiconducteur, département d'intégration des procédés, 2003)

Le dépeuplement du N-Well et du P-Top est associé à un JFET en série avec un MOS. Ceci permet d'isoler le drain et la grille lorsque le transistor est non-actif ($V_G = 0\text{Volts}$). Lorsque le transistor est actif ($V_G = 5\text{V}$), le dépeuplement diminue laissant passer un courant. Cette région peut-être vue comme une résistance qui procure une chute de tension importante pour ne pas faire claquer l'oxyde de grille. Cependant, l'analogie avec une résistance est imparfaite, car la zone dépeuplée continue à produire une chute de potentiel importante, même quand le courant est près de zéro (0), lorsque le transistor est bloqué. La figure 2.8 montre la distribution du potentiel à l'intérieur du transistor (obtenu par simulation [DALSA Semiconducteur, département d'intégration des procédés, 2003]) ainsi que la distribution du potentiel jusqu'à la grille. L'oxyde de grille utilisé pour ce type de composant est mince et est de l'ordre de $325 \text{ \AA}$. Un voltage résiduel inférieur à 10Volts n'est pas suffisant pour causer des dommages à l'oxyde de grille. La combinaison P-Top/N-Well/Substrat correspond à un équilibre précis de charge.

La concentration, le temps de cycle, la profondeur d'implantation, etc. sont tous des facteurs importants pour assurer le bon fonctionnement du transistor. Ce type de transistor peut atteindre des voltages de claquage supérieurs à 600Volts. Un des défis importants pour ce type de composant est l'apport des lignes d'interconnexion au drain sur la distribution des champs au centre du transistor. Ces interconnexions doivent se faire sans modifier de manière significative la distribution des lignes de champ électriques à l'intérieur du silicium. Une stratégie efficace consiste à utiliser une couche de métal comme blindage afin de préserver les lignes de champ électrique selon la distribution voulue dans le silicium.



(a)



(b)

Figure 2.8 – Distribution du potentiel à l'intérieur du silicium (a) et à la surface (b)

(source : DALSA Semiconducteur, département d'intégration des procédés, 2003)

CHAPITRE 3 *Les technologies haut-voltage de DALSA Semiconducteur*

Un des défis dans le développement de produits haut-voltage consiste à comprendre en détail la technologie haut-voltage et les limites des outils de conception. La prochaine section permet d'analyser les différentes technologies offertes par DALSA Semiconducteur et comment une méthodologie de conception peut être appliquée aux circuits haut-voltage.

DALSA Semiconducteur offre six (6) procédés haut-voltage. Tous les procédés haut-voltage de DALSA Semiconducteur sont compatibles avec la technologie CMOS standard. Ceci vient d'un choix stratégique d'entreprise et le tableau 3.1 présente un résumé de ces technologies.

Tableau 3.1 – Résumé des technologies haut-voltage de DALSA Semiconducteur

Géométrie	Tension d'opération	Type de procédé	Type de composant
4 μ m	10V	Auto isolation	LDD
4 μ m	15V	Auto isolation	LDD
2 μ m	40V	Isolation par les puits	Drain étendu
2 μ m	300V	Isolation par les puits	RESURF LDMOS
0.8 μ m	20V	Isolation par les puits	Drain étendu
0.8 μ m	600V	Isolation par les puits	RESURF LDMOS

Dans le cadre de ce projet, nous étudierons et exploiterons les technologies de DALSA Semiconducteur pouvant supporter des composants de type RESURF LDMOS. Précisons à ce stade que la terminologie 2 μ m ainsi que 0.8 μ m réfère uniquement à la géométrie minimale de la section CMOS. Il est aussi à noter que les règles de dessins entre les deux technologies sont différentes, non seulement pour la section CMOS, mais aussi pour la section haut-voltage. Par contre, la dimension de la longueur de la grille (L) des transistors haut-voltage est égale ou supérieure à 2.0 μ m, quelle que soit la technologie.

Ces deux (2) technologies utilisent l'isolation par les puits qui permet d'utiliser un matériel de départ de type epitaxial et de faible coût. Ces deux (2) procédés offrent plusieurs transistors de chaque type opérant entre 20V et 300V. Les figures 3.1 et 3.2 montrent une vue en coupe de ces deux technologies haut-voltage.

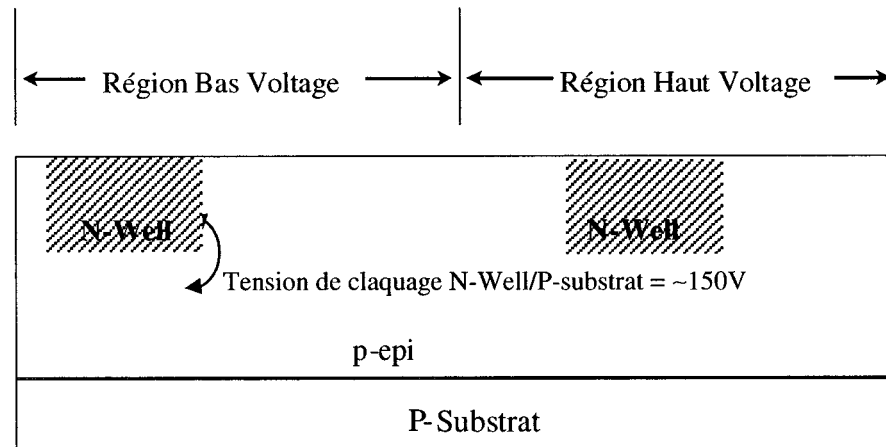


Figure 3.1 – Vue en coupe simplifiée de la technologie 2.0µm 5V/HV CMOS/DMOS de DALSA
Semiconducteur

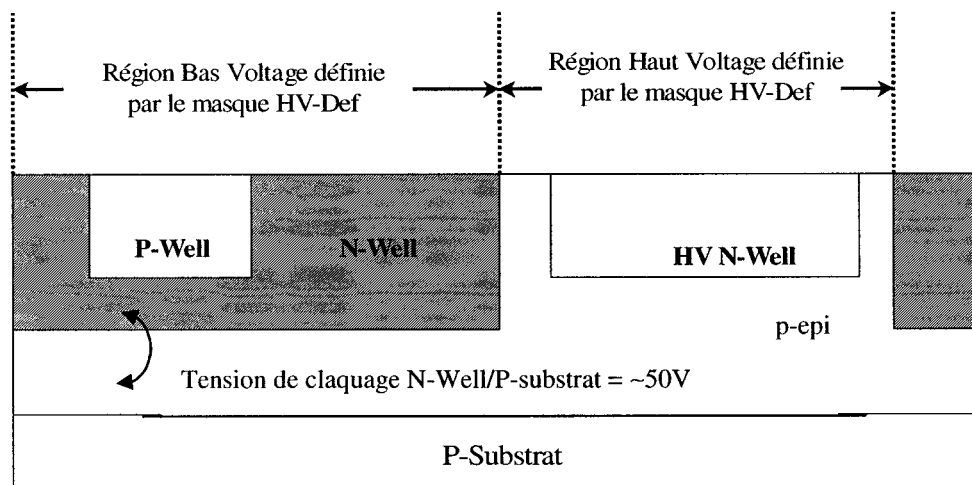


Figure 3.2 – Vue en coupe simplifiée de la technologie 0.8µm 5V/HV CMOS/DMOS de DALSA
Semiconducteur

Les deux sections N-Well de la technologie $2\mu\text{m}$ de DALSA Semiconducteur, illustrées à la figure 3.1, utilisent la même concentration de dopant. Cette jonction PN a une tension de claquage d'environ 150V. Donc, il serait possible d'utiliser des transistors PMOS à des tensions d'opération haut-voltage, à condition de respecter les spécifications électriques des composantes du manufacturier tel que, $V_{GS_{MAX}}=5V$, $V_{DS_{MAX}}=5V$, etc. Cet atout de procédé permet d'ajouter une certaine flexibilité lors de la conception de circuits haut-voltage, lorsque les tensions d'alimentation sont inférieures à 100V, comme l'indique la figure 3.3. La section CMOS du procédé $0.8\mu\text{m}$ est, quant à elle, physiquement différente de la section CMOS du procédé $2\mu\text{m}$. Non seulement de par la configuration des puits, mais aussi de par la tension de claquage de la jonction PN de la section CMOS comme le montre la figure 3.2. Cette tension de claquage est d'environ 50V. Nous pouvons imaginer qu'un circuit utilisant les avantages du procédé $2\mu\text{m}$, que l'on voudrait migrer en technologie $0.8\mu\text{m}$, afin de réduire la consommation de surface de sa section CMOS, pourrait en fait aboutir à occuper une surface plus grande. Non seulement il y a une incompatibilité physique de par la configuration des puits de la section CMOS entre les deux procédés, mais aussi parce que les tensions de claquage sont différentes. Pour des produits dont la complexité de la section CMOS est minimale, combiné avec une section haut-voltage utilisant certaines propriétés particulières d'une technologie et, utilisant des tensions d'alimentation inférieures à 100V, un transfert de technologie (de $2\mu\text{m}$ à $0.8\mu\text{m}$) peut vouloir dire une re-évaluation de certaines sections du produit afin de contrer les différences des procédés. Toutefois, pour des tensions d'opération supérieure à 150V, la technologie $0.8\mu\text{m}$ a un double avantage. En effet, la section CMOS va voir sa superficie réduite du quart ($1/4$) et la section DMOS va être réduite de 30% par rapport à un produit conçu avec la technologie $2\mu\text{m}$. Cette économie de 30% de la section haut-voltage vient du fait que les règles de dessin minimales sont différentes entre les deux technologies. En somme, pour certaines applications, la technologie $2\mu\text{m}$ est avantageuse d'un point de vue du coût de fabrication lorsque la tension d'alimentation se situe entre 40V et 120V. Comme le montre la figure 3.3, selon

le voltage d'opération, il est possible de combiner des composants standard CMOS avec des composants haut-voltage de type DMOS utilisant la même source de voltage. A partir d'une certaine limite, seulement des composants DMOS doivent être utilisés afin de concevoir des circuits utilisant des sources de voltage élevées.

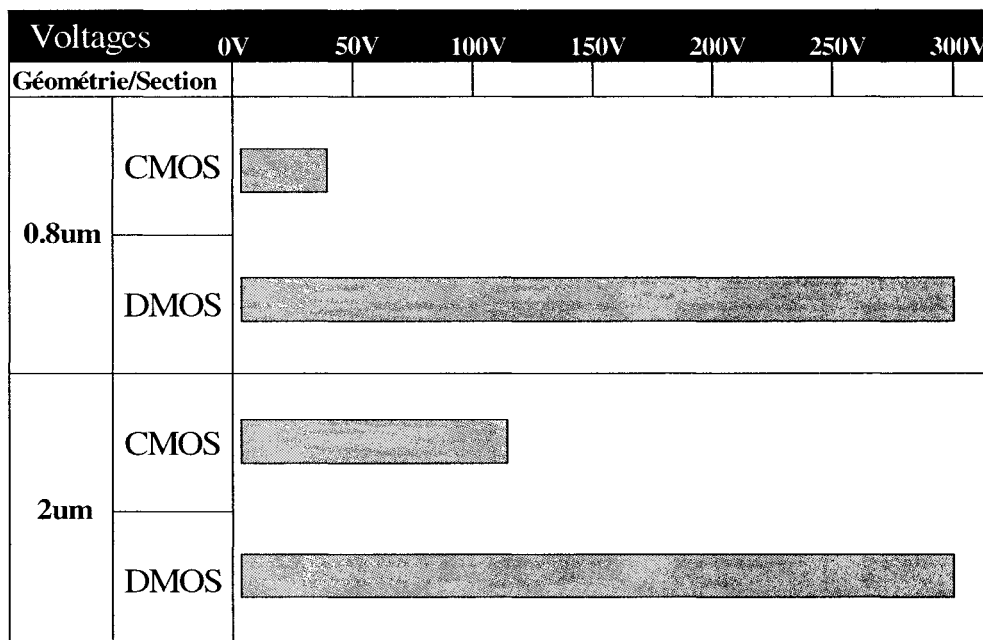


Figure 3.3 – Résumé des limites de potentiel pour chacune des sections des technologies 0.8µm et 2.0µm

CHAPITRE 4 *Les contraintes techniques des technologies haut-voltage de DALSA Semiconducteur*

Les composants DMOS haut-voltage diffèrent à plusieurs égards par rapport aux composants CMOS standards. Premièrement, leur comportement diffère dépendant du potentiel appliqué aux nœuds du transistor. Toutefois, ces deux types de famille de transistors ont un point en commun. C'est dans ce point en commun que réside toute la complexité de leur utilisation. Les transistors DMOS haut-voltage nécessitent les mêmes recommandations au sujet des tensions V_{GS} que les transistors CMOS basse tension. C'est-à-dire que l'oxyde de grille a une tension de claquage autour de 12V par contre, la tension nominale V_{GS} recommandée afin d'opérer les transistors haut-voltage est de 5V pour les transistors de type-N et de -5V pour les transistors de type-P. Cela dit, un transistor haut-voltage de type-P ayant une tension d'alimentation de 100V nécessite un voltage variant entre 95V et 100V à sa grille. La figure 4.1 présente un effet direct de cette contrainte sur un circuit de base. Cette structure classique d'inverseur est défendue parce que les plages d'opération des deux transistors sont mutuellement exclusives.

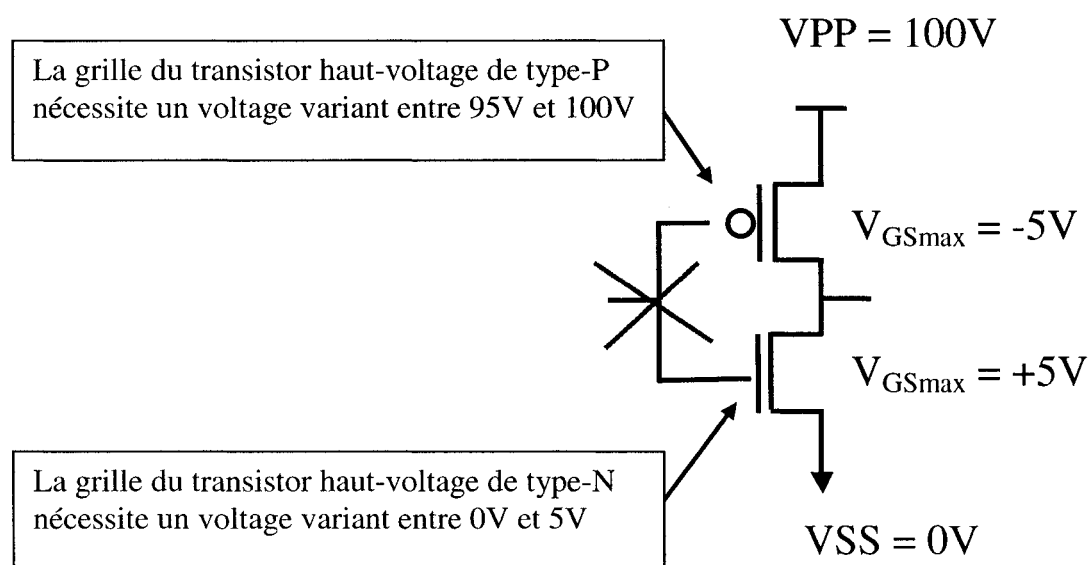


Figure 4.1 – Effet des contraintes électriques des transistors haut-voltage

Les sections suivantes de ce chapitre vont présenter les diverses autres contraintes des technologies haut-voltage. Entre autre, on observe des contraintes d'un point de vue de l'environnement de simulation, des configurations de circuit, ainsi que des modèles des transistors.

4.1 Environnement de simulation

Le but des modèles nécessaires à des fins de simulations est de représenter fidèlement le comportement d'un composant. Un modèle qui correspond aux courbes I_{DS} - V_{DS} est acceptable, même si celui-ci n'est pas basé directement sur la physique de ce composant. La modélisation doit faire face à plusieurs défis lorsque l'émulation du comportement des transistors haut-voltage doit être réalisée. Premièrement, il n'existe aucun modèle mathématique connu et validé permettant d'approximer directement le comportement des transistors haut-voltage. Deuxièmement, les outils de modélisation permettent de générer des modèles de composant de type BSIM3, SPECTRE, etc. pour des composants de faibles géométries seulement. Dans le cas qui nous intéresse, les modèles haut-voltage utilisent un regroupement de composants sous la forme d'un circuit électrique. Le résultat est satisfaisant en ce qui concerne la précision du modèle, comme le montre la figure 4.2 qui compare des courants mesurés ($i_{d.m}$) et des courbes simulées ($i_{d.s}$). Par contre, l'utilisation d'un circuit électrique, afin de modéliser le comportement d'un transistor haut-voltage, génère quelques difficultés de compatibilité avec les outils de conception.

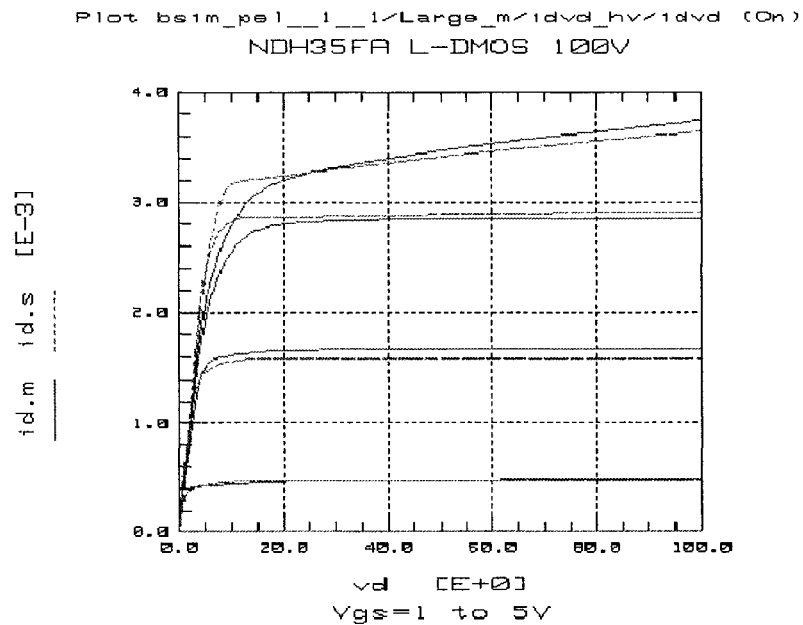


Figure 4.2 – Courbes I_{DS} - V_{DS} d'un transistor haut-voltage de type-N
(source : DALSA Semiconducteur – Document SPS-0050 - [7])

La principale difficulté découle du fait que les outils de conception interprètent ces modèles comme étant une entité propre, une instance d'un circuit, ou encore, un sous-circuit et non pas comme un composant unique, au même titre qu'un transistor CMOS standard. Par conséquent, il est difficile d'extraire des valeurs/paramètres DC propres à un composant. Par exemple, des informations de base telles que V_{GS} , V_{DS} , I_{DS} , puissance, etc. ne sont pas disponibles automatiquement via les outils de conception. Par conséquent, il est plus difficile d'effectuer des analyses visant à optimiser la polarisation des circuits.

4.2 Vérification d'un circuit

Une méthode de vérification du comportement électrique d'un circuit est connue sous l'appellation simulation « Monte Carlo ». Elle tient compte de différents paramètres comme les variations de la tension d'alimentation, les variations de procédé, les variations en température, etc. Dans une analyse Monte Carlo, les variations possibles sont traitées par des intervalles continus. Une autre méthode considère les extrêmes des variations possibles. Cette méthode est généralement appelée *corner analysis*, ou analyse des coins. Le tableau 4.1 présente un exemple du nombre de possibilités de variations dans une analyse des coins pour un circuit composé de composants CMOS uniquement et utilisant une seule tension d'alimentation versus, un circuit composé de composants CMOS et DMOS et utilisant deux (2) tensions d'alimentation.

Tableau 4.1- Différence entre un circuit CMOS et un circuit CMOS+DMOS en terme de possibilité de variations

CMOS			
Paramètres	Valeurs		Nombre de possibilité
CMOS	N	lent, typ., rapide	3
	P	lent, typ., rapide	3
Temp.	-40C, +25C, +125C		3
VDD	4.5V, 5.0V, 5.5V		3
TOTAL => 3 ⁴ = 81 possibilités			

CMOS + DMOS			
Paramètres	Valeurs		Nombre de possibilité
CMOS	N	lent, typ., rapide	3
	P	lent, typ., rapide	3
DMOS	N	lent, typ., rapide	3
	P	lent, typ., rapide	3
Temp.	-40C, +25C, +125C		3
VDD	4.5V, 5.0V, 5.5V		3
VPP	90V, 100V, 110V		3
TOTAL => 3 ⁷ = 2187 possibilités			

Ce tableau démontre que le fait d'utiliser une tension d'alimentation supplémentaire ainsi qu'une famille de transistors supplémentaire, augmente la charge de travail par un facteur de 27 fois en comparaison d'une vérification traditionnelle des coins. Il en résulte 2187 possibilités de variations de tout genre pour une application haut-voltage combinée avec des composants CMOS.

4.3 Configurations de circuit

Plusieurs contraintes existent du point de vue des configurations de circuit.

Premièrement, les transistors haut-voltage sont des composants pré-définis par le fabricant, étant donné la complexité de la conception physique qui y est associée. Ces composants, qui ont des paramètres fixes, limitent la flexibilité disponible lors de la conception à tous les niveaux. Étant donné que les transistors haut-voltage ont des paramètres fixes, chaque transistor a des paramètres individuels qui lui sont propres, ce qui rend la permutation d'un composant à une autre difficile à l'intérieur d'un circuit.

Deuxièmement, le choix des composants offerts est limité. Par exemple, un total de douze (12) types de transistors haut-voltage de type-N et de six (6) types de transistors haut-voltage de type-P sont disponibles avec la technologie 2 μ m 5V/HV CMOS/DMOS de DALSA Semiconducteur.

Troisièmement, certains composants ne sont pas disponibles en version haut-voltage, comme des diodes et des capacités, ce qui limite les configurations souhaitables, ainsi que les applications réalisables.

Quatrièmement, presque tous les composants haut-voltage de type-N ne peuvent être utilisés en série. Les composants haut-voltage ont soit le substrat et la source physiquement connectés ensembles ou soit la tension $V_{BS} = 0V$. Seulement quelques transistors de type-N (2/12) et les transistors de type-P (6/6) peuvent être utilisés en série. La contre-partie d'utiliser ces composants en série est une augmentation de la surface de silicium du produit final. La règle définissant la distance minimale entre deux régions HV N-Well est non négligeable. En plus de cette règle, il est recommandé d'insérer des zones de séparation dopée (appelées anneaux de garde) autour des composants HV, afin de minimiser les effets de thyristors parasites qui pourraient survenir entre deux régions HV N-Well.

Finalement, les transistors de type-N et de type-P qui ont une quantité de courant similaire pour une même tension V_{GS} sont rares. Cela s'ajoute au manque de flexibilité des diverses configurations possibles.

4.4 Transistors haut-voltage

Il faut mentionner que le nombre de types de transistors haut-voltage eux-mêmes est limité selon le voltage d'opération visé. Le tableau 4.2 présente le nombre des transistors haut-voltage disponibles pour différents voltages d'opération dans la technologie $2\mu\text{m}$ 5V/HV CMOS/DMOS (source : DALSA Semiconducteur – CDS-0001 - [6]).

Tableau 4.2 – Résumé des transistors haut-voltage disponibles pour la technologie $2\mu\text{m}$ 5V/HV CMOS/DMOS

Voltage d'opération	Transistors haut-voltage de type-N	Transistors haut-voltage de type-P
50V	12/12	6/6
100V	10/12	2/6
150V	6/12	1/6
200V	1/12	1/6
250V	1/12	1/6
300V	1/12	1/6

Pour la technologie $0.8\mu\text{m}$, le choix est moindre. Nous comptons la moitié des composants pour toutes les catégories. De plus, il faut mentionner à ce stade que la technologie $0.8\mu\text{m}$ est une technologie en développement, et plusieurs des transistors haut-voltage disponibles sont considérés comme des composants non-valider, voir virtuels. C'est-à-dire que les performances électriques en simulation sont extrapolées des performances des composants similaires sur le procédé $2\mu\text{m}$ 5V/HV CMOS/DMOS. Ces composants n'ont jamais été caractérisés réellement.

Il y a donc de fortes possibilités que les performances électriques obtenues en simulation diffèrent de celles obtenues en réalité.

Autre point important, seuls les modèles typiques des transistors haut-voltage sont disponibles. Il est donc impossible de vérifier les variations de comportements des circuits en fonction de la température, ainsi que des variations de procédés. Donc, les risques pour que les performances électriques obtenues des circuits lors des simulations diffèrent de celles obtenues en réalité sont d'autant plus importants.

Soulignons que les technologies comportant des composants RESURF LDMOS sont en développement au moment de compléter ce projet. La situation change rapidement et il ne serait pas surprenant de voir, d'ici quelques mois, plusieurs changements importants quant à l'accessibilité de la technologie au travers des différents outils de conception. De plus, on peut espérer une amélioration de la flexibilité des méthodes de conception.

CHAPITRE 5 *Définition des spécifications et résultats de recherche*

DALSA Semiconducteur est intéressé à obtenir des interfaces CMOS/DMOS, ainsi que DMOS/CMOS, afin de faciliter la conception de produits utilisant les technologies haut-voltage. Dans un premier temps, la définition du type d'interface a eu lieu, car plusieurs interfaces sont possibles selon l'application. Par exemple, l'interface peut prendre la forme de convertisseurs digitaux/analogiques, des convertisseurs analogiques/digitaux, d'amplificateurs, etc. Étant donné les contraintes techniques, le choix s'est arrêté à des applications utilisant des signaux digitaux uniquement. Deux types de convertisseurs ont été identifiés et font l'objet de cette recherche. Ils sont requis pour mettre en œuvre la structure générale illustrée à la figure 5.1.

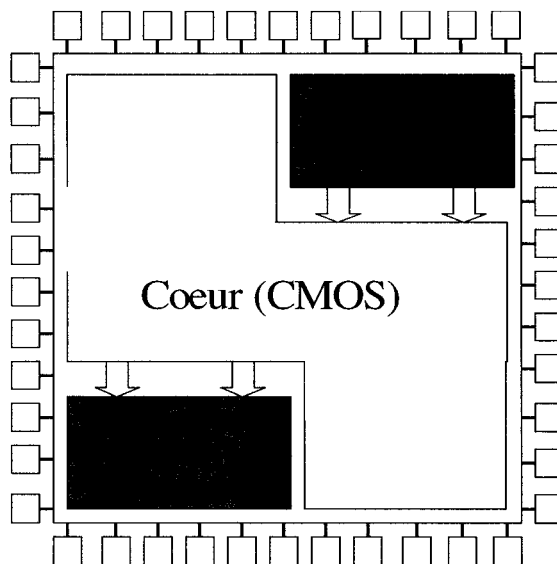


Figure 5.1 –Spécifications des interfaces haut-voltage

Par la suite, la technologie choisie pour une première phase d'expérimentation fut le $2\mu\text{m}$ 5V/HV CMOS/DMOS. La tension d'opération fut définie par le nombre de composants haut-voltage disponibles. En considérant le tableau 4.2, une tension d'opération intéressante à explorer est 100V. En effet, pour cette tension, nous disposons d'une variété de composants haut-voltage qui permettent d'explorer différentes configurations de circuits. Les prochains chapitres résument brièvement les recherches effectuées afin d'explorer les diverses configurations possibles.

5.1 Convertisseur digital LV/HV

Une des premières étapes est de pouvoir définir des spécifications. Pour ce faire, une analyse comparative des circuits existants peut nous permettre de définir ces paramètres.

Le type de convertisseur visé est communément appelé « *Level Shifter* » ou « *high voltage driver* ».

5.1.1 Première configuration

La première configuration considérée vient du papier [13]. Cette configuration est présentée à la figure 5.2. Elle est idéale lorsque la technologie permet de hautes tensions sur la grille des transistors, comme le montre l'analyse qui suit.

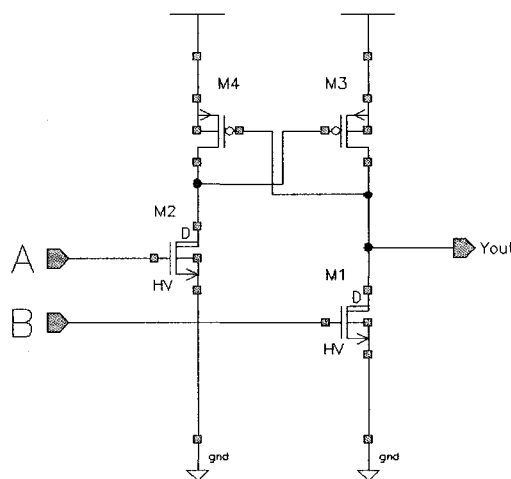


Figure 5.2 – Première configuration

Les transistors M2 et M1 sont des transistors haut-voltage de type-N. Les transistors de type-P peuvent être de type CMOS ou DMOS, selon la tension d'alimentation à leur source. Le principe de cette configuration est le suivant. Les transistors M1 et M2 sont utilisés comme source de courant et les transistors M3 et M4, vus comme des résistances, sont connectés sous une configuration croisée. La résistivité des transistors de type-P, combinée à un courant, permet d'obtenir une différence de voltage à la grille de ceux-ci.

Lorsque le voltage à l'entrée A est de 5V et de 0V à l'entrée B, nous obtenons à la sortie (Y) (et par le fait même à la grille du transistor M4) une tension variant entre V_{PP} et $V_{PP}-5V$ selon la polarisation des transistors M3 et M4. Lorsque le voltage à l'entrée A est de 0V et de 5V à l'entrée B, alors le voltage à la sortie est de 0V, voir haute impédance. Etant donné que la grille du transistor M4 de type-P obtient la même tension que la sortie, nous obtenons une tension V_{GS} nettement inférieure à -5V.

Selon les contraintes techniques définies au chapitre 4, la tension V_{GS} maximale pour tous les transistors de type-P est définie à -5V. Conclusion, cette configuration est non-implementable en utilisant les technologies haut-voltage de DALSA Semiconducteur.

Enfin, la sortie des deux branches de contrôle est connectée à la grille du transistor M6 de l'étage de sortie.

Prenons la figure 5.4 qui représente une branche remaniée de cette configuration. Le principe de fonctionnement de cette configuration est le suivant.

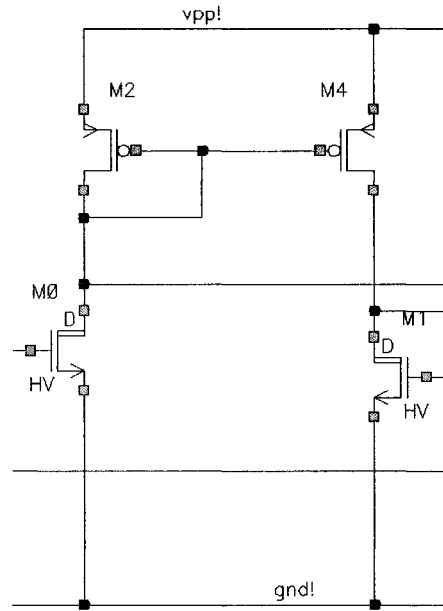


Figure 5.4 – Branche unique de la configuration #2

Le transistor M0 est un transistor haut-voltage qui est utilisé comme source de courant et les transistors de type-P (en l'occurrence M2 et M4) sont en fait utilisés selon une configuration miroir de courant. Les transistors qui composent ce miroir doivent avoir une taille telle que le courant fourni par M0 puisse être reflété en sortie avec une polarisation de grille pour M2 et M4 qui n'excède pas les limites de la technologie. Lorsque l'on désire désactiver le transistor M4, la source de courant à l'intérieur de cette branche (M0) est inactive et donc, la perte de voltage est minimisée et ainsi nous obtenons une valeur V_{DSM4} très faible.

En agissant de cette façon, la grille du transistor de type-P de sortie, M6, supportera une différence de tension maximale V_{GS} déterminée par la chute V_{DS} dans le miroir de courant. Dans le cas où M0 est actif, la tension de grille de M6 descend à $V_{pp}-5V$, ce qui met M6 à « on ».

Cette configuration est compatible avec les technologies haut-voltage de DALSA Semiconducteur. Cette configuration permet d'utiliser des transistors de type CMOS si ces derniers ont une tension de claquage au substrat suffisante, afin de contrôler la résistivité drain-source et ainsi, obtenir la tension V_{GS} voulue à la grille du transistor de sortie M6 de type-P.

5.1.3 Spécifications du convertisseur digital LV/HV

La deuxième configuration présentée (figure 5.3) a été sélectionnée comme la plus propice pour l'intégration avec la technologie $2\mu\text{m}$ 5V/HV CMOS/DMOS de DALSA Semiconducteur. Cette section définit les spécifications paramétriques retenues pour ce circuit.

La première étape est de choisir les tensions d'alimentation. La valeur typique du haut-voltage (VPP) a été choisie à 100V pour les raisons mentionnées ci-haut. La tension d'alimentation basse (VDD) a été choisie à 5V.

La deuxième étape consiste à analyser la configuration afin de définir les sites potentiels où des transistors haut-voltage sont nécessaires. A partir de la figure 5.3, il y a quatre (4) sites potentiels qui vont nécessiter des transistors haut-voltage. Les transistors M0, M1, M6 ainsi que M8 seront des transistors haut-voltage. Les transistors M2, M3, M4 et M5 peuvent être des transistors de type CMOS basse tension avec la technologie choisie et les paramètres retenus.

La troisième étape consiste à considérer l'application. Comme le convertisseur désiré fera le lien avec le monde externe, il est important de choisir adéquatement le courant de sortie. Les transistors M6 et M8 qui seront des transistors haut-voltage et auront un courant de sortie de 10mA.

D'après le tableau 4.2, 2/6 transistors haut-voltage de type-P nous sont offerts pour répondre aux exigences du transistor M6. Les deux transistors ont un courant maximal presque identique d'environ 10mA. La différence vient de la tension de claquage. Le premier a une tension de claquage supérieure à

300V, alors que le deuxième a une tension de claquage de 130V. Étant donné que certaines dimensions augmentent linéairement en fonction de la tension de claquage et que notre source d'alimentation a été fixée à 100V, il est inutile d'utiliser un transistor offrant une tension de claquage plus élevée. Après analyse, un (1) seul transistor nous est donc offert pour combler le site du transistor M6. Ce transistor a un courant maximal de 9mA lorsque sa tension V_{GS} est de -5V. Le transistor retenu est le « PEH87FA ».

Pour ce qui a trait au transistor M8, il serait intéressant d'avoir un transistor haut-voltage de type-N pouvant fournir la même quantité de courant que le transistor M6. Parmi les 10 choix qui nous sont offerts, aucun ne satisfait cette spécification. L'unique transistor se rapprochant de cette valeur est un transistor haut-voltage de type-N ayant un courant maximal d'environ 11mA à une tension V_{GS} de 5V. Il s'agit du « NDH11GA ».

Afin de faire correspondre la valeur du courant de sortie pour les deux transistors, il va être nécessaire d'augmenter la valeur V_{GS} du transistor M6 autour de 6V, étant donnée que la valeur V_{GS} du transistor M8 est définie par la tension d'alimentation basse du circuit qui est fixée à 5V. Par contre, la tension V_{GS} du transistor M8 est déterminée par la tension V_{DS} des transistors CMOS de type-P. La tension maximale des transistors CMOS est fixée à 5.5V par le manufacturier. Il faut donc trouver un point d'opération qui ne compromet pas la fiabilité à long terme des transistors CMOS.

La figure 5.5, qui compare des courants mesurés ($i_{d,m}$) et des courbes simulées ($i_{d,s}$), montre les courbes I_{DS} - V_{DS} respectives des deux transistors haut-voltage qui constituent l'étage de sortie.

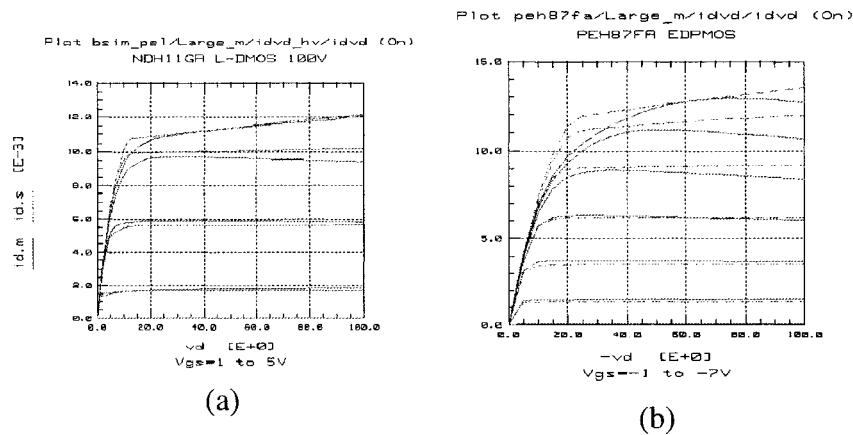


Figure 5.5– Courbes I_{DS} - V_{DS} du transistor NDH11GA (a) et PEH87FA (b)

(Source : DALSA Semiconducteur – Document SPS-0050 [7])

Nous pouvons remarquer aux figures 5.5a et 5.5b que les courbes I_{DS} - V_{DS} mesurées ont une pente négative lorsque de fortes tensions V_{GS} sont appliquées. Un analyse de ce phénomène a conduit à la conclusion que les pentes négatives observées sont associées à une augmentation locale de la température lorsque le circuit est stimulé à basse fréquence par un appareil de test qui applique des signaux continus. Cet effet serait forcément réduit lors de l'application de signaux AC ou transitoires à haute fréquence et, il est recommandé à ce jour, de ne pas aller dans ces zones d'opérations (i.e. $V_{GS} \leq 5V$). Une région d'opération sécuritaire ("Safe Operating Area") est normalement associée à chaque transistors [6] lorsque celui-ci doit être utilisé en régime permanent DC. De plus, les modèles associés ne tiennent pas compte de ces effets, comme le démontre les courbes simulées des figures 5.5a et 5.5b, et sont recommandés pour des circuits exploités dans un régime d'opération AC ou transitoire.

Le reste des spécifications sont inspirées à partir d'un document technique [25] de *Texas Instruments®*. Par contre, étant donné que le convertisseur de

Texas Instruments® est limité à une tension d'alimentation de 20V, il faut transposer certaines valeurs. Le tableau 5.1 résume les spécifications retenues pour le convertisseur digital LV/HV.

Tableau 5.1 – Spécifications du convertisseur LV/HV

Caractéristiques	Min.	Typ.	Max.	Unité
Voltage DC d'alimentation (VDD)	-	5	-	Volts
Voltage DC d'alimentation (VPP)	20	100	-	Volts
Courant de sortie DC I_{OUT}	-	10	-	mA
Délai de propagation T_{pLH}	-	250	-	ns
Délai de propagation T_{pHL}	-	250	-	ns
Délai de transition T_{tLH}	-	500	-	ns
Délai de transition T_{tHL}	-	500	-	ns
Puissance dissipée	-	-	1	Watt

5.2 *Convertisseur digital HV /LV*

Une des premières étapes est de définir les spécifications. Pour ce faire, une analyse des circuits comparables publiés [1] ou offerts commercialement peut nous permettre de définir ces paramètres.

Pour ce type de circuit, il est important d'avoir une configuration indépendante de la variation du courant à l'entrée. Par exemple, une première solution consiste en une simple résistance à l'entrée du signal. Celle-ci aurait rencontré la première fonction du circuit, qui est d'obtenir une chute de potentiel variant entre 0 et 5V. Par contre, cette résistance introduit une trop grande dépendance aux fluctuations du courant à l'entrée. Les prochains chapitres présentent d'autres configurations ainsi que l'analyse des spécifications de ce circuit.

5.2.1 *Configuration du convertisseur digital HV/LV*

Cette configuration vient de la référence [1] et est illustrée à la figure 5.6.

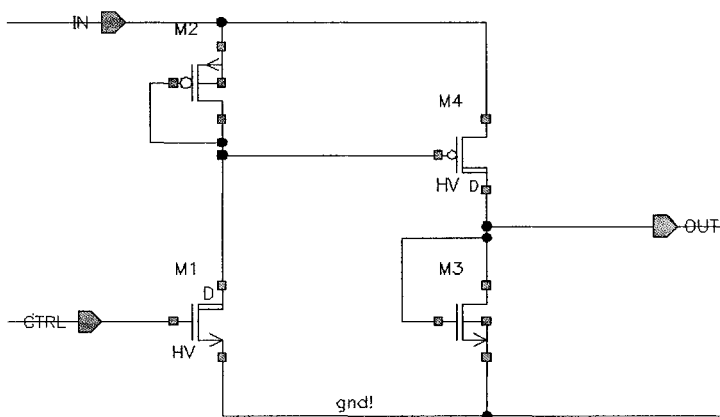


Figure 5.6 – Configuration du convertisseur HV/LV

Ce circuit fonctionne sensiblement comme la branche de la figure 5.4. Le transistor M1 est utilisé comme source de courant, tandis que le transistor M2 est utilisé comme une résistance, offrant une chute de potentiel de 5V permettant d'avoir une tension V_{GS} égale à $-5V$ en tout temps à la grille du transistor M4. Ce même transistor M4 permet de générer un courant qui, combiné à la résistance drain-source du transistor M3, permet d'obtenir une différence de voltage de 5V entre le drain et la source du transistor M3. Étant donné que le voltage de la source est égal à 0V, alors le voltage au drain du transistor M3 (et de par ce fait, la sortie) sera autour de 5V.

Cette configuration est implantable en utilisant les technologies haut-voltage de DALSA Semiconducteur et elle permet d'utiliser des transistors de type CMOS afin de contrôler la résistivité et ainsi obtenir plus de flexibilité lors de la conception.

5.2.2 *Spécifications du convertisseur digital HV/LV*

Cette configuration a aussi été implantée en utilisant la technologie 0.8 μ m 5V/HV CMOS/DMOS de DALSA Semiconducteur.

La première étape consiste à choisir les tensions d'alimentation. La tension haute à l'entrée (VPP) a été choisie préalablement et aura une valeur typique de 100V. La tension de sortie typique du domaine basse tension est choisie à 5V.

La deuxième étape consiste à analyser la configuration pour définir les sites potentiels où un transistor haut-voltage est nécessaire. A partir de l'analyse de la section 5.2.1, il y a deux (2) sites potentiels qui vont nécessiter des transistors haut-voltage. Les transistors M1 et M4 doivent être des transistors haut-voltage. Par contre, les transistors M2 et M3 peuvent être des transistors de type CMOS basse tension conventionnels.

Selon la technologie 0.8 μ m 5V/HV CMOS/DMOS, 3/3 transistors haut-voltage de type-P nous sont offerts pour répondre aux exigences du transistor M4. Parmi ces trois transistors disponibles, un des transistors a une tension de claquage de plus de 300V et l'autre à un courant nominal autour de 45mA (pour un $V_{GS}=-5V$). Le premier sera rejeté à cause de sa taille et le deuxième à cause de la dissipation de puissance qu'il va générer, ainsi que sa surface de silicium occupé. Après analyse, un (1) des transistors s'impose pour combler le site du transistor M4. Ce transistor a un courant maximal de 9mA pour une tension V_{GS} de $-5V$. Il s'agit du transistor « PEH87FA ». C'est le même composant qui a été utilisé dans l'étage de sortie du convertisseur LV/HV. Seul point à ajouter, ce transistor est un composant virtuel pour la

technologie 0.8 μ m 5V/HV CMOS/DMOS (jamais caractérisé directement au moment de l'inclure dans le design) et il peut engendrer des variations imprévues.

Le tableau 5.2 résume les spécifications retenues pour le convertisseur digital HV/LV.

Tableau 5.2 – Spécifications du convertisseur HV/LV

Caractéristiques	Min.	Typ.	Max.	Unité
Voltage DC à l'entrée	20	100	-	Volts
Voltage DC de sortie	4.5	5	5.5	Volts
Courant de sortie DC I_{OUT}	-	10	-	mA
Délai de propagation T_{pLH}	-	20	-	ns
Délai de propagation T_{pHL}	-	20	-	ns
Délai de transition T_{tLH}	-	20	-	ns
Délai de transition T_{tHL}	-	20	-	ns
Puissance dissipée	-	-	1	Watt

CHAPITRE 6 *Conception des convertisseurs digitaux LV/HV*

Afin de développer des produits haut-voltage pour le procédé ciblé, le défi consiste à comprendre en détail les particularités des technologies haut-voltage, les limites ainsi que les limites des outils de conception qui y sont associés. La prochaine section permet d'analyser les résultats des différentes optimisations et les résultats de recherche lors de la conception de ces circuits à partir des configurations déterminées au chapitre 5.

La figure 5.3 présente le circuit utilisé pour la conception du convertisseur digital LV/HV.

6.1 Technologies utilisées

Ce circuit a fait l'objet de deux phases de développement. Dans la première phase, il a été optimisé pour la technologie $2\mu\text{m}$ 5V/HV CMOS/DMOS. Par la suite, il a été implanté en utilisant la technologie $0.8\mu\text{m}$ 5V/HV CMOS/DMOS. Quelques différences distinguent les circuits réalisés lors des deux phases telles que décrites dans les chapitres suivants.

6.2 Transistors utilisés

Selon la technologie $2\mu\text{m}$ 5V/HV CMOS/DMOS et la polarisation des transistors à l'intérieur du circuit, les transistors M2, M3, M4 et M5 seront des transistors de type CMOS. Selon la technologie $0.8\mu\text{m}$ 5V/HV CMOS/DMOS, les transistors M2, M3, M4 et M5 seront des transistors haut-voltage. Ces transistors seront polarisés en fonction de la tension V_{DS} désirée qui sera par la suite transmise à la grille du transistor M6, permettant une tension V_{GS} dont la magnitude est d'environ 5V. Implémenté en utilisant la technologie $2.0\mu\text{m}$ 5V/HV CMOS/DMOS, la flexibilité des transistors CMOS va nous permettre de déterminer le rapport W/L nécessaire en fonction du courant des transistors M0 et M1. Les transistors de l'étage de sortie, M6 et M8, ont été préalablement définis comme étant le transistor PEH87FA et NDH11GA selon l'argumentation présentée au chapitre 5. Il reste à définir les transistors haut-voltage M0 et M1 en fonction des différents paramètres du circuit.

Le tableau 6.1 dresse une liste des transistors haut-voltage disponibles avec cette technologie (source : DALSA Semiconducteur - CDS-0001- [6]).

Tableau 6.1 – Transistors haut-voltage disponibles avec la technologie 2 μ m 5V/HV
CMOS/DMOS

Nom de la composante	Tension de claquage (V)	Type de la composante	Courant maximal à un V_{GS} de $\pm 5V$ et V_{DS} de 100V	Tension de seuil des composantes
NSH11EA	150	N	110 μ A	0.8V
NSH12FA	150	N	1.2mA	0.75V
NSH24FA	150	N	2.4mA	0.75V
NUH35FA	200	N	3.5mA	1.25V
NDH35FA	200	N	3.5mA	1.3V
NDH11GA	200	N	11mA	1.2V
NDH16GA	200	N	16mA	1.2V
NDH17GA	120	N	17mA	1.2V
PEH87FA	130	P	8.7mA	-0.7V

Remarquons d'abord que les transistors PEH87FA et NDH11GA, qui sont en série dans la configuration, n'ont pas la même tension de seuil, ni la même performance en terme de courant. Afin d'équilibrer un peu les courants, nous avons augmenté la tension V_{GS} du transistor PEH87FA.

Remarquons aussi que les tensions de seuil de la majorité des transistors haut-voltage de type-N sont supérieures à la tension de seuil des transistors CMOS de type-P. Par contre, étant donné que ce sont les transistors haut-voltage qui déterminent l'instant de mise en action du circuit car les transistors CMOS sont en quelque sorte des « suiveurs », la variation des tensions de seuil entre transistors aura une influence réduite sur la fonctionnalité du circuit.

Remarquons enfin que les deux transistors de l'étage de sortie sont de grande taille. La grille du transistor PEH87FA a les dimensions suivantes, $L=3\mu$ m et $W=148\mu$ m

tandis que la grille du transistor NDH11GA a les dimensions suivantes, $L=3\mu\text{m}$ et $W=84\mu\text{m}$. La quantité de courant nécessaire à alimenter ces deux grilles, ainsi que la dimension du transistor M3, joueront un rôle dans le temps de réponse du signal de sortie.

6.3 Fonctionnalité

La figure 6.1 a pour but de valider la fonctionnalité du convertisseur digital LV/HV tandis que le tableau 6.2 montre la table de vérité du circuit.

Tableau 6.2 – Table de vérité du convertisseur LV/HV

Entrée	Sortie
L	L
H	H

L = Niveau bas H = Niveau haut

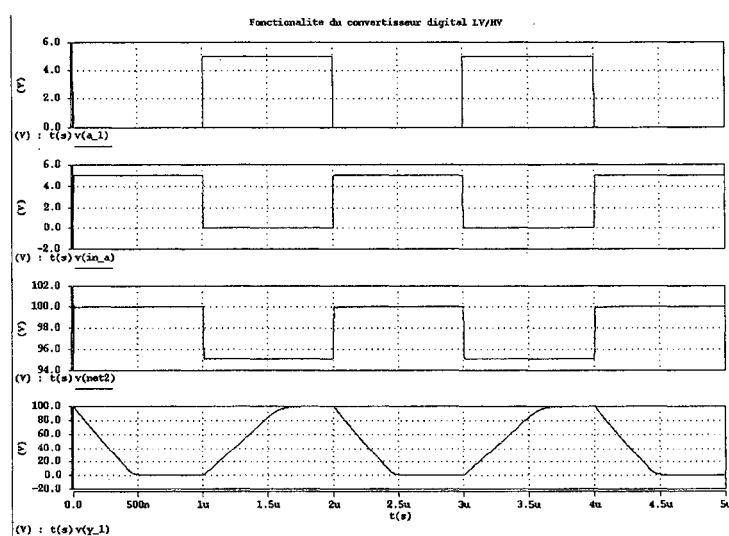


Figure 6.1 – Fonctionnalité du convertisseur digital LV/HV

Le signal « a_1 » est le signal d'entrée variant entre 0 et 5V. Ce signal attaque la grille de l'inverseur ainsi que la grille du transistor M0. La sortie de l'inverseur correspond au signal « in_a ». Ce signal se propage à la grille du transistor M1 ainsi que M8. Le signal « net2 » est celui qui se trouve à la grille du transistor de sortie PEH87FA. Finalement, le signal « y_1 » est le signal à la sortie du convertisseur digital LV/HV. Nous pouvons voir que le signal d'entrée est en phase avec le signal de sortie.

6.4 *Optimisation selon la technologie 2 μ m*

Une optimisation se fait normalement selon certains critères ou paramètres. Les critères que nous avons établis sont, en ordre de priorité, de minimiser : la surface finale de silicium, les délais de propagation et la puissance dissipée par le circuit.

De plus, le circuit sera optimisé en utilisant une charge capacitive de 32pF à la sortie. Ce chiffre vient de la sommation des charges capacitive des équipements de test lors de l'extraction des mesures de ces circuits sur silicium.

Les transistors M2 et M5 sont ceux qui permettent d'obtenir la tension V_{GS} nécessaire au transistor M6.

La tension V_{GS} du transistor M6 doit être inférieure à -5V afin de balancer le courant de sortie et supérieure à -5.5V afin de respecter les contraintes de polarisation des composants CMOS. La longueur de grille a été fixée à la géométrie minimale, soit 2 μ m. Les dimensions des transistors M3 et M4 seront le triple de celles des transistors M2 et M5 afin d'augmenter leur capacité de fournir du courant pour charger la capacité parasite de la grille du transistor M6 et d'accélérer le temps de montée du signal à cette même grille.

La sensibilité de la valeur V_{DS} des transistors M2 et M5 est critique, car elle affecte directement la valeur V_{GS} de ces mêmes transistors, de même que la tension V_{GS} du transistor de sortie et indirectement, le courant de sortie, ainsi que les temps de

propagation. Parmi les paramètres susceptibles d'affecter la valeur V_{DS} des transistors M2 et M5 on retrouve : la variation de la longueur de grille (ΔL), ainsi que la variation de la tension de seuil (ΔV_t).

Le tableau 6.3 montre les différentes optimisations du circuit en fonction de la surface de silicium, de la fréquence d'opération et de la puissance dissipée. La première colonne montre les choix des transistors haut-voltage utilisés pour M0 et M1. En fonction de ces choix, une optimisation de la taille des transistors de l'inverseur, M10 et M11, sera faite, ainsi que la taille des transistors M2, M3, M4 et M5. Aussi, les configurations sont présentées en ordre croissant en terme de la surface de silicium totale nécessaire. La deuxième colonne présente la valeur du courant à un V_{GS} de 5V pour chacun de ces transistors. La troisième colonne représente le rapport W/L des transistors M2 et M5 afin d'obtenir une polarisation V_{DS} de -5.5V. La quatrième colonne montre la fréquence maximale obtenue avec une charge capacitive de 32pF et une résistivité de $1M\Omega$ à la sortie du circuit. Cette valeur est extraite lorsque le signal à la sortie du circuit varie entre 2V et 98V. La dernière colonne présente les valeurs de la puissance dissipée pour un fonctionnement à la fréquence maximale.

Tableau 6.3 – Tableau résumé de l'optimisation

Configuration	Nom des composants	Courant à $V_{GS} = 5V$ (A)	W/L de M2/M5	Freq. Max. (MHz)	Puiss. dissip. (W)
1	NSH11EA	110.0 μ	1	1.02	0.37
2	NSH12FA	1.2m	7.3	1.25	0.63
3	NDH35FA	3.5m	20.5	1.30	0.82
4	NDH11GA	11.0m	65	1.33	1.60

Selon le tableau 6.3, la configuration #4 est rejetée car la puissance dissipée maximale doit être inférieure à 1Watt. La configuration #1 est elle aussi rejetée du fait que la fréquence maximale est trop près de la limite de 1MHz définie au chapitre 5. Les variations lors de la fabrication, les effets parasites lors de la conception des masques, etc. vont certainement faire chuter cette valeur et la marge restante sera très mince. Reste donc les configurations #2 et #3. La différence entre les deux circuits réside dans l'usage des transistors haut-voltage NSH12FA et NDH35FA que nous allons comparer.

Selon le tableau 6.1, la tension de seuil (V_t) du transistor NSH12FA est comparable au V_t des transistors PMOS, c'est-à-dire 0.75V, tandis que la tension de seuil (V_t) du transistor NDH35FA est presque le double. Autre point à considérer, la taille du transistor haut-voltage NDH35FA est le double du transistor NSH12FA. De plus, le rapport W/L des transistors M2/M5 PMOS est nettement plus élevé pour la configuration #3. En somme, le gain en fréquence est non-significatif par rapport à la configuration #2 afin de justifier cette augmentation de la surface de silicium.

La configuration #2 est donc celle qui rencontre le mieux les exigences en termes de la surface de silicium occupée, de la fréquence d'opération et de la puissance dissipée.

Nous pouvons constater que selon la quantité de courant à la grille du transistor de l'étage de sortie, M6, les temps de montée et de descente à cette même grille diminuent et la fréquence d'opération augmente. Par contre, étant donné que les transistors de sortie sont les mêmes pour toutes les configurations, ainsi que la tension d'alimentation, l'augmentation de la puissance dissipée est due uniquement à l'augmentation du courant à l'intérieur du circuit.

La figure 6.2 montre les dimensions finales des transistors, ainsi que les transistors haut-voltage utilisés afin de concevoir le convertisseur digital LV/HV. Le tableau 6.4 présente certaines caractéristiques et résultats de simulation obtenus avec cette configuration.

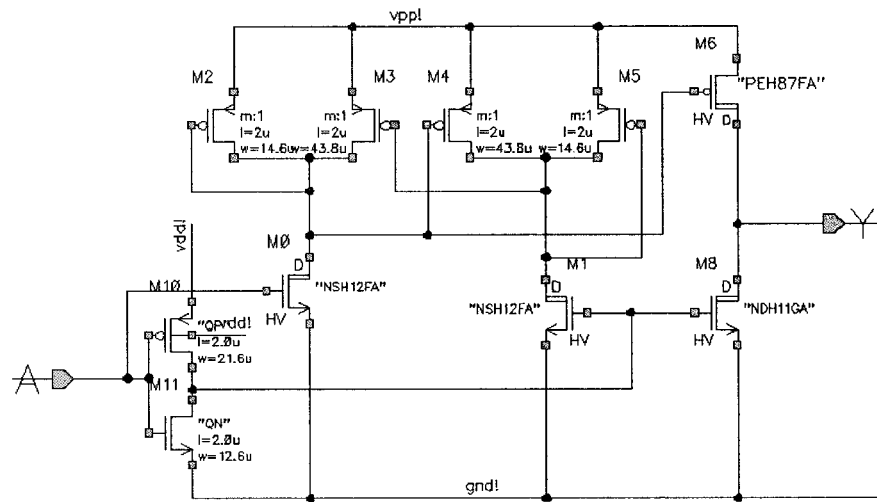


Figure 6.2 – Dimensions finales du convertisseur digital LV/HV

Tableau 6.4 – Résultats de simulation

Paramètre	Résultats de simulation	Unités
Voltage DC d'alimentation (VDD)	5	Volts
Voltage DC d'alimentation (VPP)	100	Volts
Courant de sortie DC (I_{OUT})	10	mA
Tension de transition du circuit	50	Volts
Temps de montée @ 32pF (T_{ILH})	220	ns
Temps de descente @ 32pF (T_{IHL})	298	ns
Temps de propagation 0V-100V @ 32pF (T_{pLH})	194	ns
Temps de propagation 100V-0V @ 32pF (T_{pHL})	134	ns
Courant de sortie @ $V_{OL} = 0.4V$	-780	μA
Courant de sortie @ $V_{OH} = 99.6V$	340	μA
Fréquence maximale à l'entrée @ 32pF	1.25	MHz
Puissance dissipée @ 1.25MHz	627	mW

Il faut remarquer que selon les contraintes techniques du chapitre 4, ce circuit n'a pu être testé en température, ni en fonction des variations du procédé de fabrication. Par contre, une variation des caractéristiques du circuit en fonction de la tension d'alimentation haut-voltage (VPP) a été réalisée. Les figures 6.3 et 6.4 présentent les variations des temps de montée et de descente en fonction des variations de la source d'alimentation pour une charge capacitive de 32pF.

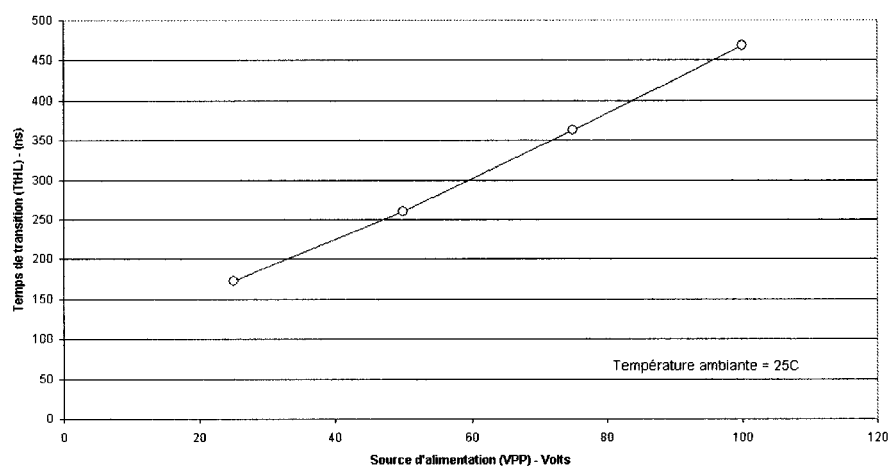


Figure 6.3 – Temps de montée typique

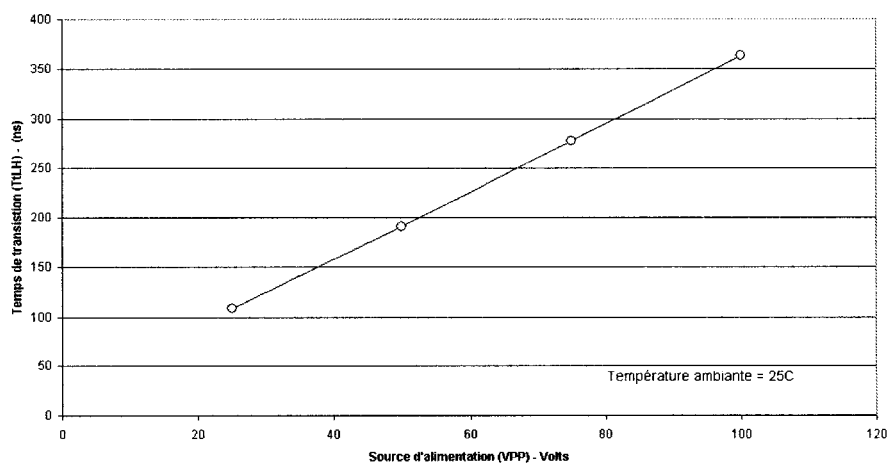


Figure 6.4 – Temps de descente typique

Nous pouvons constater que les variations de la tension d'alimentation (VPP) introduisent une variation linéaire du délai. Cela découle d'une pente $(\partial V/\partial t)^{-1}$ constante et invariante du signal de sortie en fonction de la tension d'alimentation. La figure 6.5 présente la diminution du voltage de sortie en fonction de la fréquence du signal d'entrée pour une charge de 32pF et une tension d'alimentation constante à 100V.

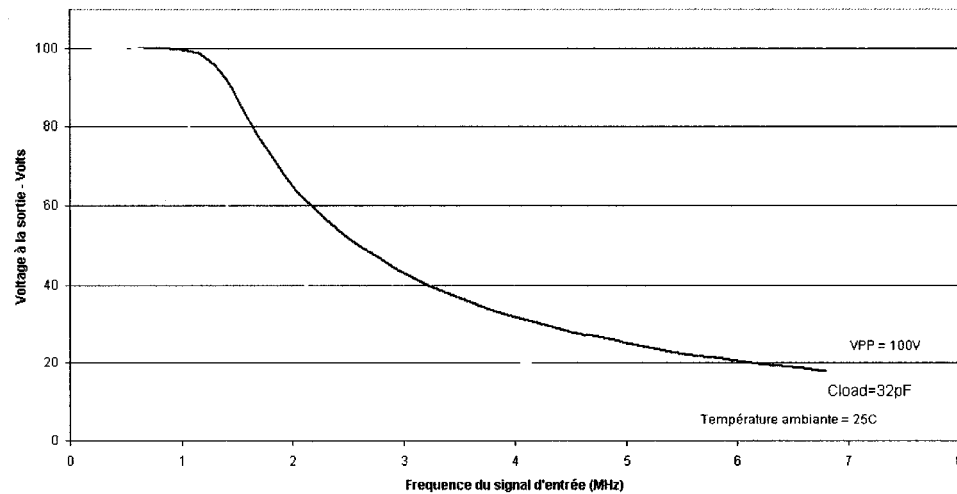


Figure 6.5 – Diminution du voltage de sortie en fonction de la fréquence du signal d'entrée

Première remarque : Les transistors M1 et M0 produisent 3.5mA comparativement à 1.2mA pour le même circuit avec la technologie 2 μ m. Cela signifie une plus grande consommation de silicium et une plus grande consommation de puissance pour le même circuit. Par contre, étant donné que ces transistors délivrent plus de courant à la grille du transistor M6, nous devrions nous attendre à une fréquence d'opération plus élevée.

Deuxième remarque : Les transistors M2, M3, M4 et M5 passent du type CMOS à la famille DMOS. Cela signifie une augmentation de la complexité de quelques microns carrés de silicium à plusieurs milliers de micron de silicium pour le même circuit.

Le tableau 6.5 présente les paramètres de ce circuit utilisant la technologie 0.8 μ m 5V/HV CMOS/DMOS de DALSA Semiconducteur.

Comme nous pouvons le constater au tableau 6.5, les spécifications sont couvertes et respectées malgré les aléas de la conception et le manque de flexibilité des configurations. Il faut cependant se rappeler que la plupart des composants ont des modèles virtuels pour cette technologie.

Tableau 6.5 – Résultats de simulation

Paramètre	Résultats de simulation	Unités
Voltage d'alimentation DC (VDD) pour la portion basse tension	5	Volts
Voltage d'alimentation DC (VPP) pour la portion haute tension	100	Volts
Courant de sortie DC (I_{OUT})	10	mA
Tension de transition du circuit pour VPP=100V	50	Volts
Temps de montée @ 32pF (T_{ILH})	215	ns
Temps de descente @ 32pF (T_{IHL})	337	ns
Temps de propagation 0V-100V @ 32pF (T_{PLH})	135	ns
Temps de propagation 100V-0V @ 32pF (T_{PHL})	215	ns
Fréquence maximale à l'entrée @ 32pF	1.0	MHz
Puissance dissipée @ 1.0MHz	753	mW

6.6 Conception physique des convertisseurs digitaux LV/HV

Nous discutons maintenant de la conception physique de ces deux circuits. La contrainte majeure est de ne pas croiser les interconnexions basses tension et haute tension. De plus, il ne faut pas router des interconnexions haute tension au dessus des transistors CMOS. Les règles de dessin sont différentes et non conventionnelles par rapport à ce que l'on connaît des technologies CMOS. Des règles strictes ont été établies lorsque nous avons des interconnexions haute tension à réaliser. Par exemple, il est uniquement possible de router avec du métal² les interconnexions hautes tension. Il faut aussi éviter toute forme de structure sous les interconnexions haute-tension, car des champs électriques intenses peuvent faire varier le comportement des structures sous ces interconnexions. Le champ électrique devient si intense qu'il crée un canal parasite sous ces lignes. Ceci peut engendrer la création d'un transistor parasite dans certaines conditions. Pour contrer ce phénomène, il est recommandé de mettre une ligne de poly sous chaque interconnexions haute tension et de connecter ces blindages de poly à la masse du circuit. De cette façon, nous évitons de créer un canal sous les interconnexions haute-tension. De plus, une isolation des puits grâce à des séparations de type P+ est recommandée.

Les circuits présentés aux figures 6.7 et 6.8 constituent des versions préliminaires conçues pour en vérifier la fonctionnalité et une optimisation de la surface de silicium est envisageable et recommandée.

La différence majeure entre les deux circuits est l'utilisation de composants CMOS pour la technologie 2 μ m. En fait, la différence en terme de surface de silicium est considérable. Il faut 3 fois plus de surface de silicium avec la technologie 0.8 μ m (150Kum²) qu'avec la technologie 2 μ m (50Kum²). Un quadrant de 20 broches a été utilisé et étant donné que l'espace disponible est limité, cette différence se traduit dans le nombre de circuits qu'il est possible d'insérer à l'intérieur d'un

quadrant. Les figures 6.7 et 6.8 montrent les résultats de la conception des masques de ces convertisseurs digitaux LV/HV.

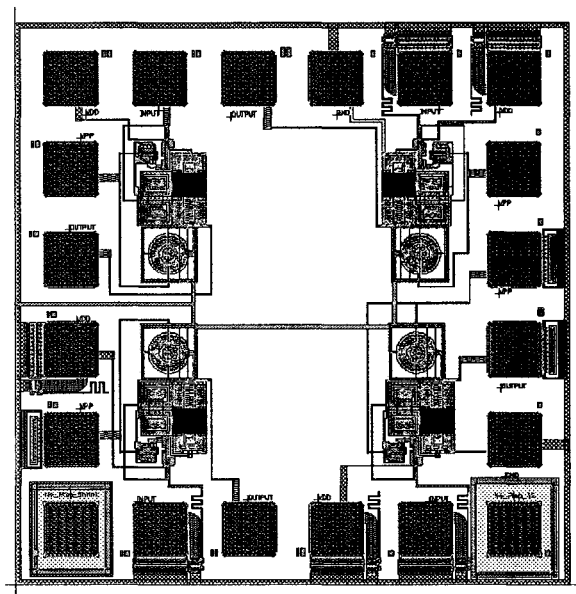


Figure 6.7 – Convertisseur LV/HV en technologie DALSA 2.0μm

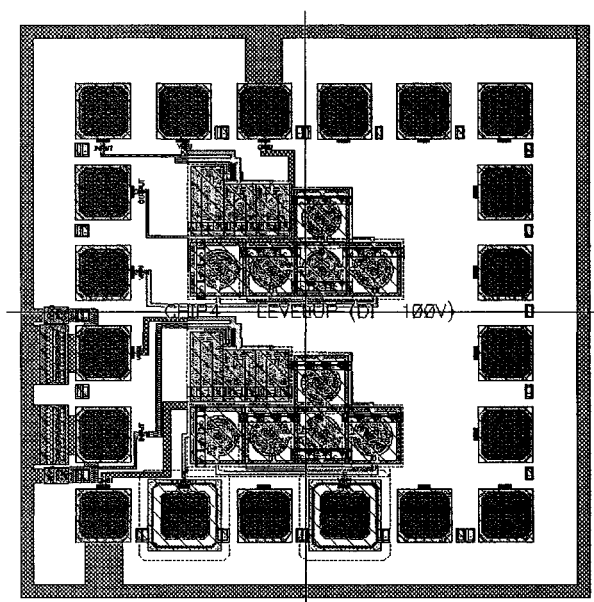


Figure 6.8 – Convertisseur LV/HV en technologie DALSA 0.8μm

CHAPITRE 7 *Conception du convertisseur digital HV/LV*

Ce chapitre analyse les résultats de différentes optimisations effectuées et résultats de recherche obtenus lors de la conception d'un convertisseur HV/LV à partir des configurations déterminées au chapitre 5.

7.1 Technologie utilisée

La technologie utilisée pour ce circuit a été uniquement le 0.8 μ m 5V/HV CMOS/DMOS.

7.2 Fonctionnalité

La figure 7.1 montre le fonctionnement simulé du convertisseur digital HV/LV tandis que le tableau 7.1 donne la table de vérité du circuit.

Tableau 7.1 – Table de vérité du convertisseur HV/LV

Entrée	Sortie
L	L
H	H

L = Niveau bas H = Niveau haut

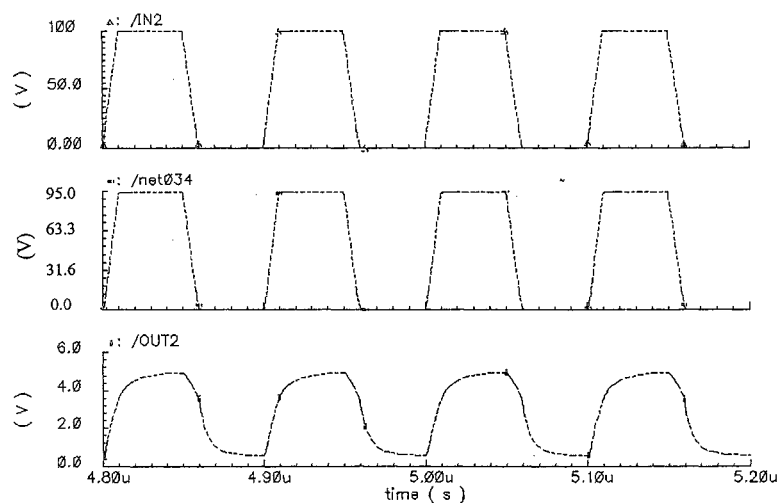


Figure 7.1 – Fonctionnalité simulée du circuit

La figure 7.1 est effective seulement si la grille du transistor M1 est à 5V. Le signal « IN2 » correspond au signal d'entrée. Le signal « net034 » correspond à la grille du transistor M4 tandis que le signal « OUT2 » correspond au signal de sortie du convertisseur digital HV/LV. Nous pouvons remarquer que la tension inférieure à la sortie est définie par la tension de seuil du transistor M3.

7.3 *Transistors utilisés*

Selon la technologie 0.8 μ m 5V/HV CMOS/DMOS, le nombre de transistors disponibles est moindre qu'avec la technologie 2 μ m. L'unique transistor haute-tension de type-P disponible pouvant supporter une tension de 100V est le PEH87FA. Donc, le transistor M4 de la figure 5.6 sera le PEH87FA et son rôle sera de fournir du courant au transistor M3. Le transistor M3 est un PMOS qui sera polarisé de telle sorte que la tension au drain et à la grille sera égale à 5V. Pour ce qui est du transistor M2, il est impossible d'utiliser un composant PMOS avec cette configuration. En effet, la source aura à supporter une tension de 100V, la polarisation de son puits ne peut supporter une telle tension.

Deux choix s'offrent à nous. Si nous analysons le circuit, nous pouvons voir que le transistor M1 détermine le courant I_{D1} et I_{D2} détermine la polarisation du transistor M3.

Le premier choix est de remplacer le transistor M2 par un transistor haut-voltage de type-P. Ce choix est coûteux d'un point de vue de la surface de silicium utilisée.

Notre deuxième choix, est de remplacer le transistor M2 par une simple résistance qui offrira une tension V_{GS} au transistor M4. Étant donné que le but du transistor M2 est de fournir une tension à la grille du transistor M4 par polarisation de

celui-ci, la résistance a été choisie pour la réduction de la surface de silicium qu'elle permet de réaliser.

Le point négatif de ce choix est qu'une résistance offre des variations de l'ordre de $\pm 30\%$ lors de la fabrication [4], tandis qu'une polarisation par le biais d'un transistor offre une tension plus stable.

D'un autre point de vue, étant donné que la sortie de ce circuit correspond à une tension pour une application digitale, la valeur de la tension à la sortie peut varier de plusieurs millivolts (mV) sans affecter la fonctionnalité du produit.

En résumé, les variations de la tension V_{GS} du transistor M4 engendrent des variations en terme de courant au drain du transistor M3. Ces variations vont affecter la polarisation du transistor M3 et du même coup, la valeur de la tension au nœud de sortie. Par contre, étant donné que cette tension sert à une application digitale et que le seuil de tolérance des circuits digitaux étant très large, ils peuvent supporter des tensions à la grille aussi basse que 4V et celle-ci sera encore considérée comme un « 1 » logique.

En conclusion, les inconvénients associés au choix de la résistance sont acceptables en regard de la réduction de la surface de silicium.

Le transistor M1 sert à activer la fonction du circuit et la valeur maximale du courant sera critique afin de déterminer la valeur de la résistance. Le tableau 7.2 dresse la liste des composants haut-voltage de type-N disponibles pour réaliser le transistor M1 (source : DALSA Semiconducteur - SPS-0077 - [3]).

Tableau 7.2 – Résumé des composantes haut-voltage disponibles avec la technologie 0.8 μ m

Nom du composant	Tension de claquage (V)	Type de composant	Courant maximal à un V_{GS} de $\pm 5V$ et V_{DS} de 100V	Tension de seuil des composants
NDG20FB	380	N	2.0mA	0.8V
NDG21FB	350	N	2.1mA	1.1V
NDH35FB	160	N	3.5mA	1.1V
NDH65FB	160	N	6.5mA	1.1V
NDH11GB	160	N	11mA	1.1V
NDH16GB	160	N	16mA	1.1V
PEG21FA	400	P	2.1mA	-0.8V
PEH87FA	120	P	8.7mA	-0.8V
PEH45GA	120	P	45mA	-0.8V

7.4 Optimisation avec la technologie 0.8 μ m

Ce circuit a été optimisé à plusieurs niveaux. Premièrement, la tension V_{GS} du transistor M4 a été choisie de telle sorte à être moins vulnérable aux variations des tensions de seuil dues à la fabrication. Cette valeur a été fixée à $-5V$. De par cette tension, le transistor M3 a été optimisé afin d'offrir une tension V_{DS} et V_{GS} de $5V$ à la sortie. La dimension de sa grille a été fixée à 3 fois la géométrie minimale, soit $2.4\mu m$.

Par la suite, le choix du transistor M1 a été déterminé par la quantité de courant qu'il doit porter, la taille du transistor et sa tension de claquage. Étant donné que la

grille de ce transistor est toujours soit à 0V ou à 5V, la tension de seuil élevée aura peu d'effet sur l'ensemble du circuit. Le choix de la valeur du courant est déterminé par la taille de la résistance et par la dissipation de puissance générée par ce transistor. Étant donné que ce transistor sera presque toujours actif, la valeur du courant devrait être faible afin de minimiser la puissance dissipée du circuit. Par contre, un courant faible signifie une forte valeur de résistance. D'après le tableau 7.1, notre choix s'est arrêté sur le transistor nommé NDH35FB. Ce transistor minimise à la fois la valeur du courant, et de par sa tension de claquage faible, la taille également. La valeur de la résistance a été fixée à 1500Ω afin de générer une différence de $\sim 5V$ aux bornes de celle-ci. La figure 7.2 donne la relation entre la tension à la source du transistor M4 et celle à sa grille. Une tension V_{GS} constante de 5.3V est maintenue en fonction de la tension à l'entrée.

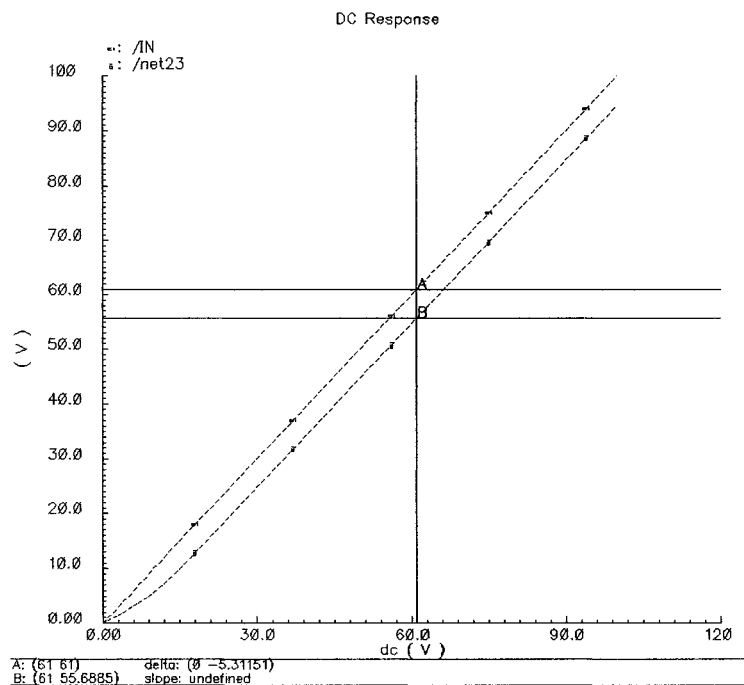


Figure 7.2 – Différence de tension entre la source du transistor M4 et la tension à sa grille

La résistance sera constituée avec du poly2 et sa résistivité est de $50\Omega/\square \pm 15\Omega/\square$. Cette résistance nécessitera 30 unités et aura une variation entre 1050Ω et 1950Ω . Cette variation de la résistivité aura comme effet de faire varier la tension V_{GS} du transistor M4 entre 3.6V et 5.5V. Cette variation affectera le courant au drain du transistor M3 et celui-ci verra sa polarisation varier. Cette variation de la tension à la sortie en fonction de la variation de la résistivité de la résistance est présentée à la figure 7.3.

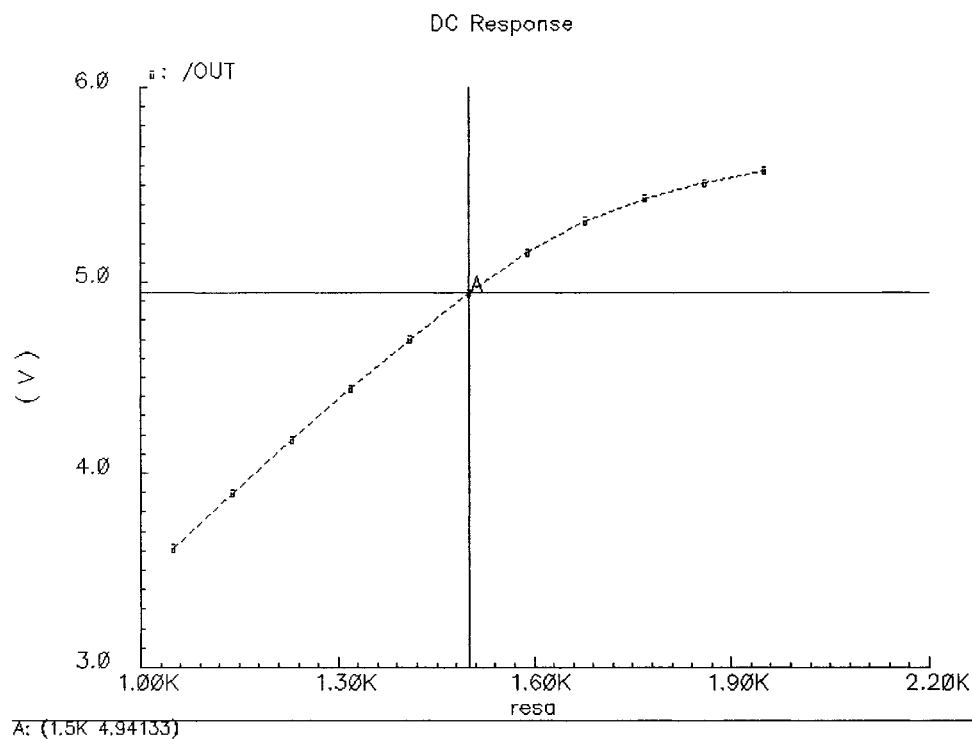


Figure 7.3 – Variations de la tension à la sortie en fonction de la variation de la valeur de la résistance.

Nous constatons qu'avec une résistance de 1500Ω , nous obtenons une tension V_{GS} de 5.3V aux bornes du transistor M4 ainsi qu'une tension de 4.9V à la sortie. La variation de la valeur de la résistance fait en sorte que la tension à la sortie varie entre 3.6V et 5.5V comme le montre la figure 7.3. Par contre, il est rare d'observer

qu'une résistance a sa valeur minimale ou maximale. Si l'on pose comme hypothèse que la variation de la résistivité sera, dans la plupart des cas, de $50\Omega/\square \pm 7.5\Omega/\square$, alors la résistance variera entre 1275 et 1725. La figure 7.4 montre cette variation en tenant compte, également, de la variation du voltage à la grille du transistor M1. Ceci se traduit par une variation de la tension de sortie entre 3.7V et 5.6V. Cette variation est acceptable en considérant que la fonction de ce circuit est de fournir une tension suffisamment élevée afin qu'elle soit reconnue comme un « 1 » logique. La figure 7.5 présente le schéma final du convertisseur digital HV/LV. Par contre, une stabilisation du voltage à la grille du transistor M1 contribuerait grandement à la stabilité du circuit.

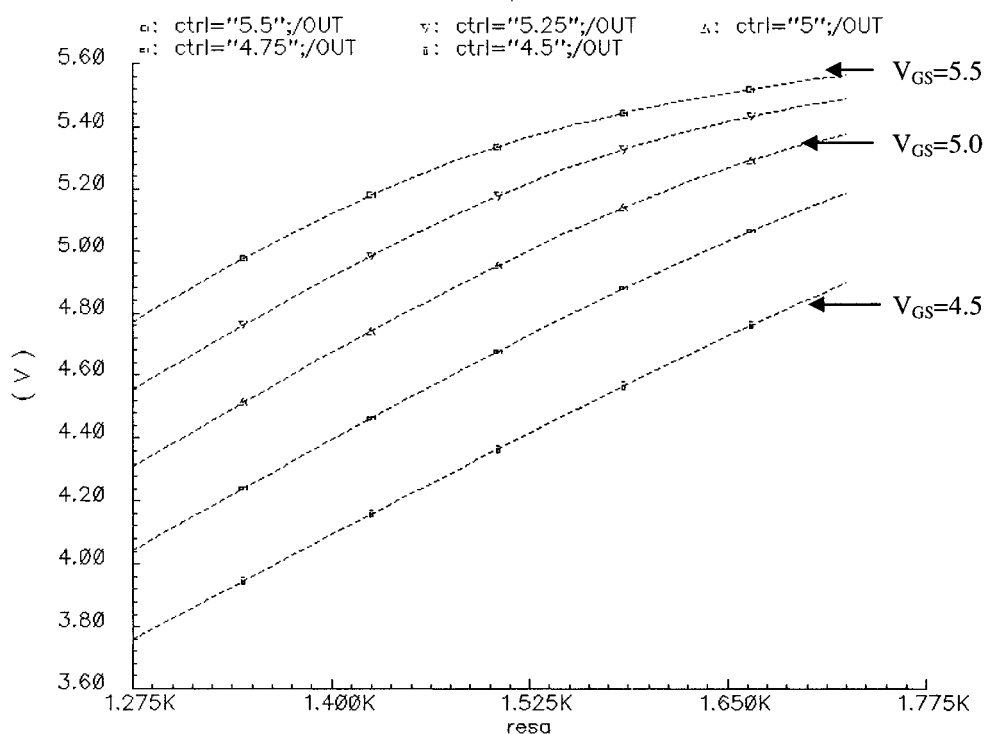


Figure 7.4 – Effet de la variation de la résistivité et de la tension V_{GS} du transistor M1

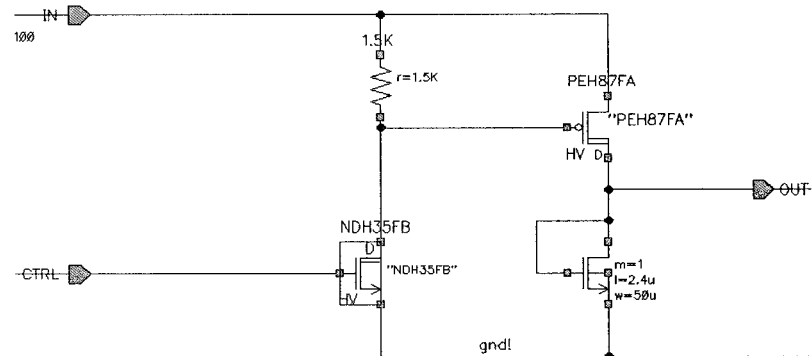


Figure 7.5 – Dimensions finales du circuit

La figure 7.6 présente la fonction de transfert de ce circuit. Nous constatons que 90% de la tension de sortie, soit 4.5V, est atteint lorsque seulement 19V est appliqué à l'entrée. De plus, nous constatons que lors d'une variation du voltage du signal à l'entrée, la tension à la sortie demeure constante. Ce circuit conserve les mêmes avantages que le convertisseur digital LV/HV.

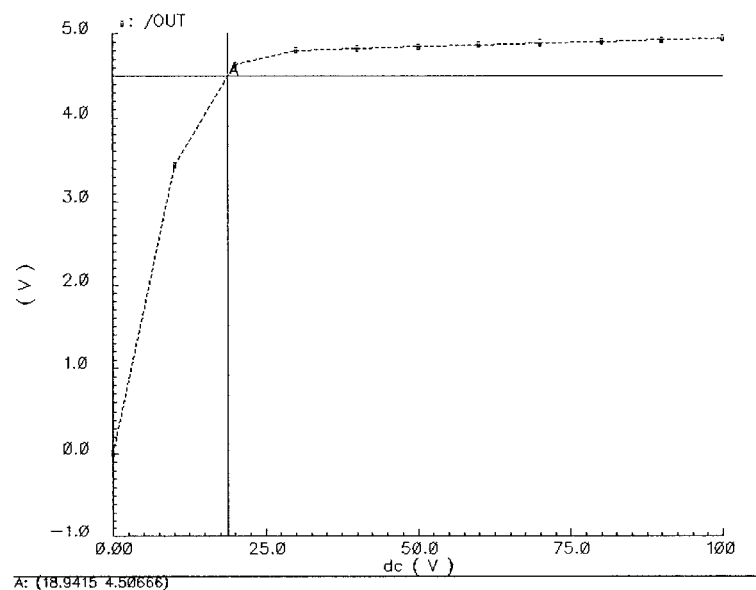


Figure 7.6 – Fonction de transfert du circuit

Le tableau 7.3 présente les données extraites d'une simulation du circuit lorsque la charge est capacitive et que la valeur de la charge est de 32pF. Nous pouvons constater que toutes les caractéristiques simulées satisfont les spécifications de départ définies au chapitre 5.

Tableau 7.3 – Résultats de simulation

Caractéristiques	Min.	Typ.	Max.	Unité
Voltage DC à l'entrée	20	100	-	Volts
Voltage DC de sortie	3.7	5	5.6	Volts
Courant de sortie DC I_{OUT}	-	10	-	mA
Délai de propagation T_{pLH}	-	10	-	ns
Délai de propagation T_{pHL}	-	7	-	ns
Délai de transition T_{tLH}	-	17	-	ns
Délai de transition T_{tHL}	-	16	-	ns
Puissance dissipée	-	0.5	-	Watt

7.5 Conception physique du convertisseur digital HV/LV

Les considérations physiques se rapportant à la conception de ce circuit sont les mêmes que celles discutées auparavant. La figure 7.7 présente la vue physique du convertisseur digital HV/LV.

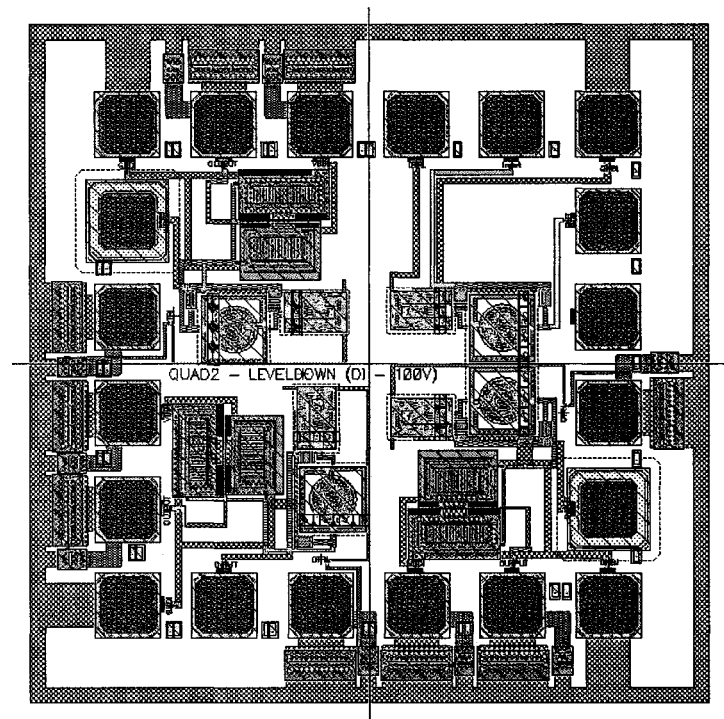


Figure 7.7 – Vue physique du convertisseur digital HV/LV conçu avec la technologie 0.8 μ m 5V/HV CMOS/DMOS

CHAPITRE 8 *Résultats sur silicium*

Ce chapitre présente des résultats mesurés sur des puces discutées aux chapitres précédents. Ces dernières ont été fabriquées par DALSA Semiconducteur. Ces résultats proviennent des lots suivants :

Tableau 8.1 – Information générale des lots de silicium

Nom du circuit	Technologie	Code de procédé	Numéro de lot	Numéro de la tranche
Convertisseur LV/HV	2 μ m	CD20G69MA00	81022.1	9
Convertisseur LV/HV	2 μ m	CD20G69MA00	81022.1	12
Convertisseur LV/HV	0.8 μ m	CD08G69MA00	84924.1	22
Convertisseur LV/HV	0.8 μ m	CD08G69MA00	84950.1	01
Convertisseur HV/LV	0.8 μ m	CD08G69MA00	84924.1	22
Convertisseur HV/LV	0.8 μ m	CD08G69MA00	84950.1	01

Les appareils de mesure qui ont été utilisés afin d'extraire les résultats occasionnent une charge capacitive de 32pF à la sortie du circuit. De plus, ces appareils sont utilisés à titre indicatif seulement.

8.1 Résultats du convertisseur digital LV/HV

Le convertisseur digital LV/HV a été fabriqué selon deux technologies. Les résultats seront d'abord comparés avec les résultats de simulations et par la suite, une analyse en profondeur sera faite afin de déterminer les causes des variations observées.

8.1.1 Technologie 2 μ m 5V/HV CMOS/DMOS

Le convertisseur LV/HV a été mesuré sur silicium et son comportement a démontré la fonctionnalité attendue. La figure 8.1 présente les résultats du signal d'entrée et de sortie de ce circuit. Le tableau 8.2 résume les valeurs mesurées. Ce tableau reproduit aussi les résultats de simulation correspondant. Les figures 8.2, 8.3, 8.4 et 8.5, pour leur part, reproduisent les réponses mesurées.

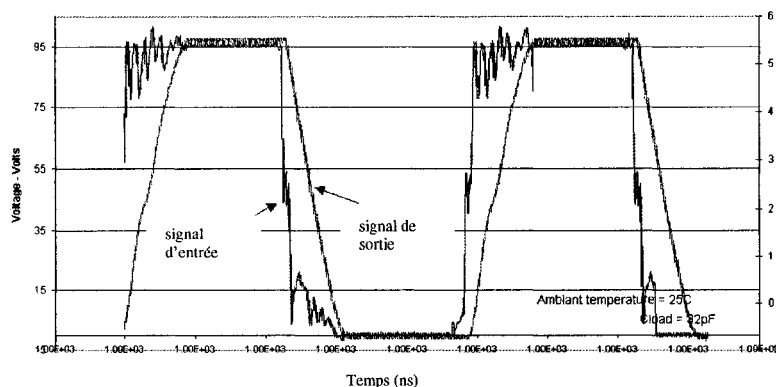


Figure 8.1 – Résultats extrait du silicium

Tableau 8.2 – Résumé des valeurs mesurées et les résultats de simulation correspondant

Paramètres	Résultats de simulation	Résultats de test	Unités
Voltage d'alimentation (VDD) du domaine basse tension	5	5	Volts
Voltage d'alimentation (VPP) du domaine haute tension	100	100	Volts
Tension de transition du circuit	50	47	Volts
Temps de montée @ 32pF (T_{uLH})	220	300	ns
Temps de descente @ 32pF (T_{tHL})	298	330	ns
Temps de propagation 0V-100V @ 32pF (T_{pLH})	194	200	ns
Temps de propagation 100V-0V @ 32pF (T_{pHL})	134	200	ns
Courant de sortie @ $V_{OL} = 0.4V$	-780	-640	μA
Courant de sortie @ $V_{OH} = 99.6V$	340	410	μA
Puissance dissipée @ 1.0MHz	627	-	mW
Fréquence maximale à l'entrée @ 32pF	1.25	1.2	MHz

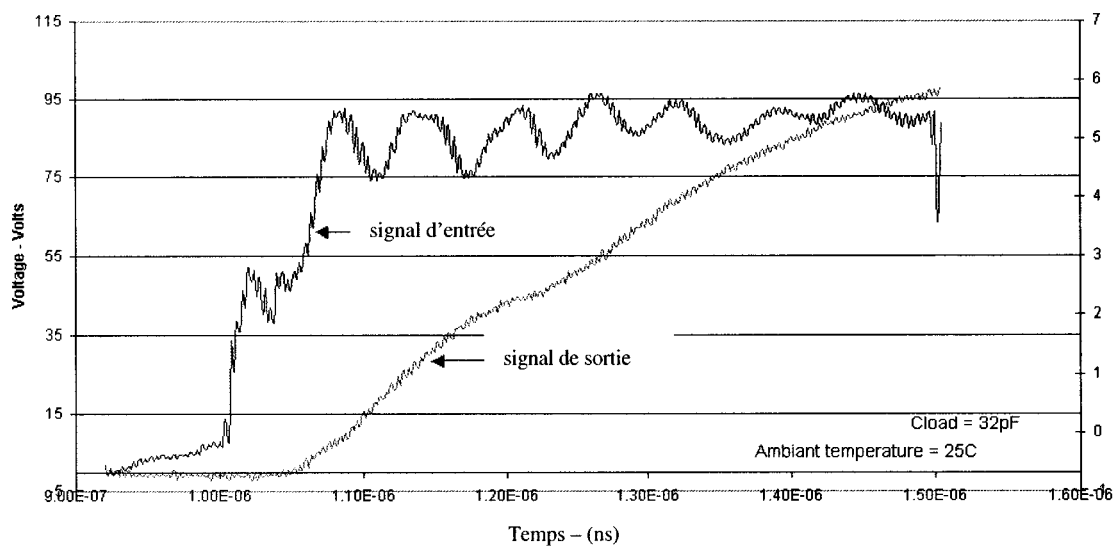


Figure 8.2 – Temps de propagation T_{pLH} du convertisseur LV/HV

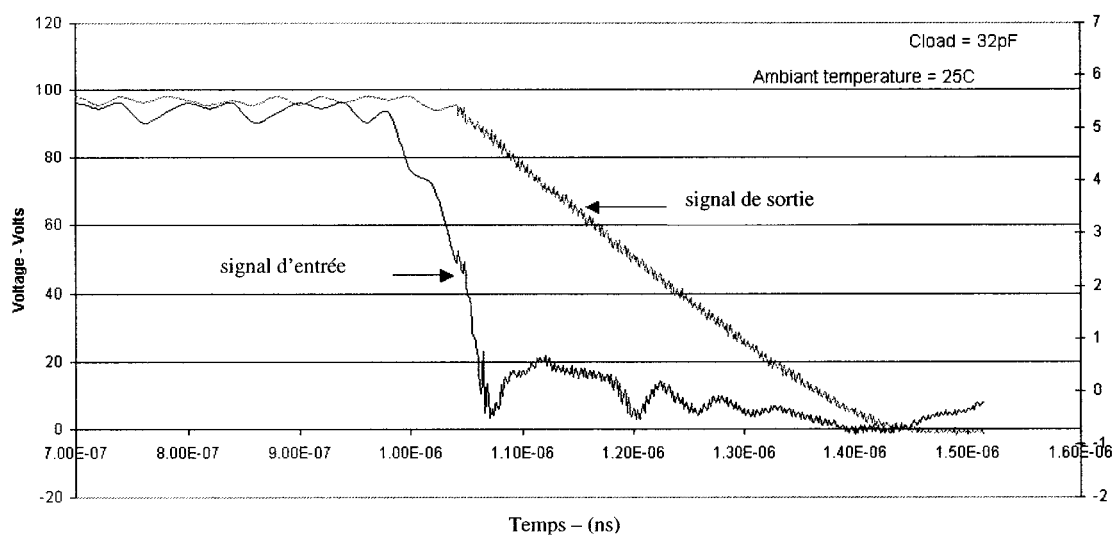


Figure 8.3 – Temps de propagation T_{pHL} du convertisseur LV/HV

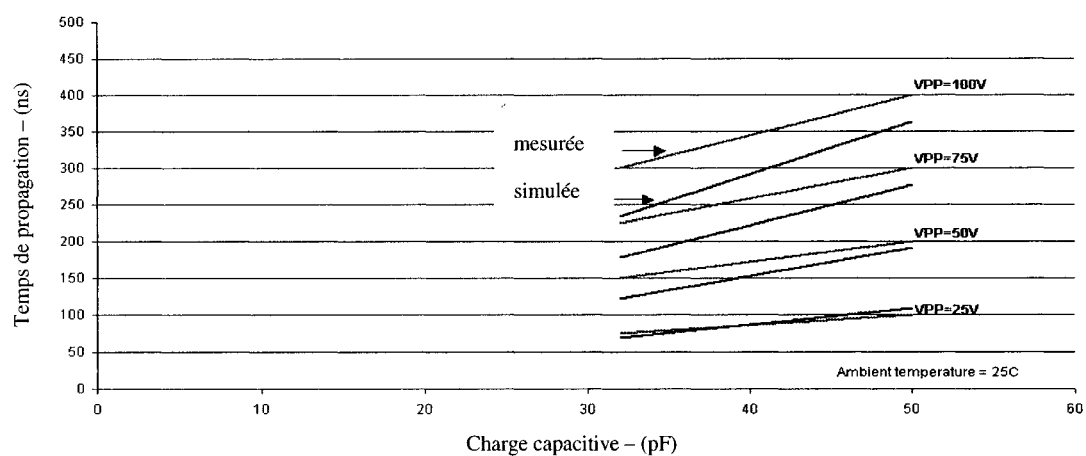


Figure 8.4 – Temps de montée du convertisseur LV/HV versus simulation

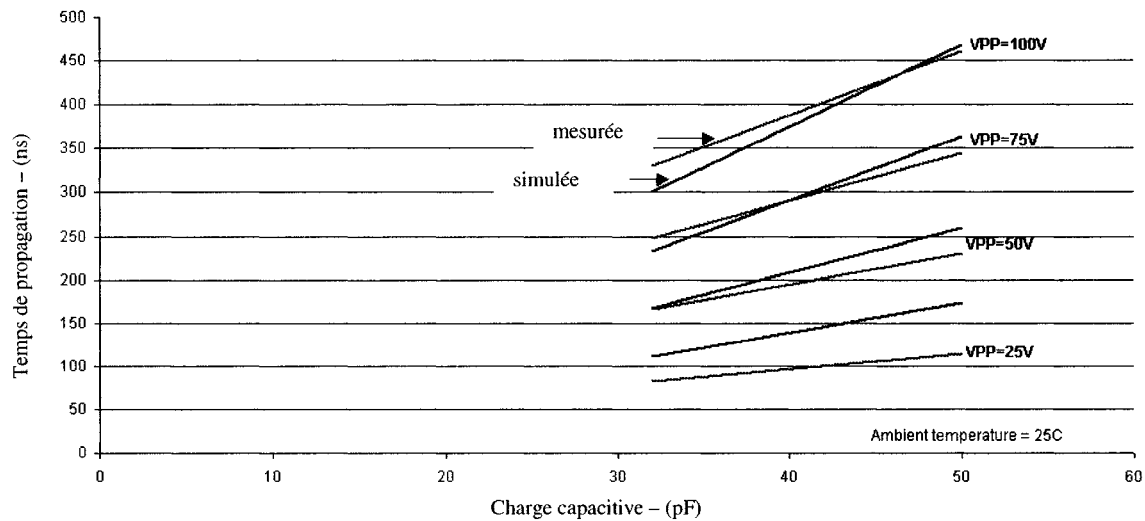


Figure 8.5 – Temps de descente du convertisseur LV/HV versus simulation

8.1.2 Analyses des résultats

Cette section discute des causes des différences entre les valeurs mesurées et simulées.

Les premières différences que nous pouvons constater se rapportent aux temps de propagation et de transition. Les différences listées au tableau 8.2 sont à notre avis explicables par les variations de procédé de fabrication. Nous constatons que le transistor haut-voltage PEH87FA a des courbes I_D inférieures aux valeurs attendues pour un V_{GS} donné. Ceci se traduit par des temps de montée 0V-100V plus lent que ceux estimés par simulation. Par contre, le transistor NDH11GA de l'étage de sortie a des performances assez conformes aux modèles. Il reste qu'à des tensions d'alimentation peu élevées (<25V), la région triode du transistor n'est pas modélisée de façon exacte. Il est donc normal d'observer des différences plus grandes lorsque le circuit fonctionne à de faibles tensions comme le montre la figure 8.5.

8.1.3 Solutions envisageables

Étant donné que le procédé qui fait l'objet de cette étude est en développement, nous ne disposons pas de tous les paramètres caractérisant les variations du procédé, ainsi que ceux qui décrivent les variations des paramètres en fonction de la température. Il est donc prématuré de proposer des modifications au circuit, car il nous manque de l'information afin d'évaluer tous les impacts des variations paramétriques sur ce circuit. Par contre, nous pouvons affirmer que les premiers échantillons semblent respecter les spécifications.

8.1.4 Technologie 0.8 μ m 5V/HV CMOS/DMOS

Un second circuit réalisé avec la technologie 0.8 μ m 5V/HV CMOS/DMOS a été testé. Les résultats de mesure en confirment la fonctionnalité. La figure 8.6 présente les résultats du signal d'entrée et de sortie de ce circuit. Le tableau 8.3 présente un résumé des paramètres mesurés avec les valeurs de simulation correspondantes. D'autre part, les figures 8.7 et 8.8 présentent des courbes mesurées.

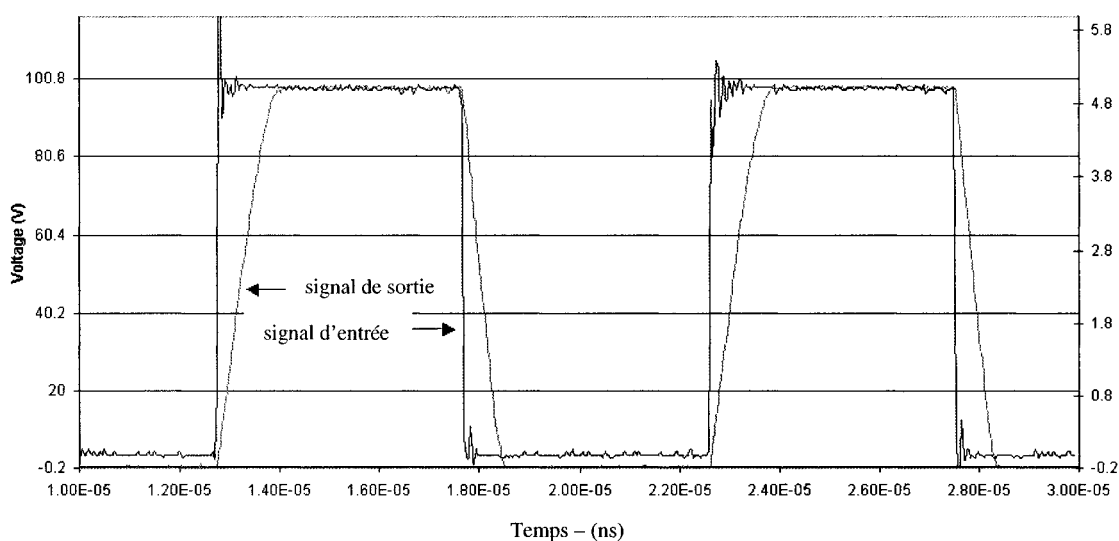


Figure 8.6 – Résultats extrait du silicium

Tableau 8.3 – Résumé des valeurs mesurées avec les résultats de simulation correspondant

Paramètres	Résultats de simulation	Résultats de test	Unités
Voltage d'alimentation (VDD) du domaine basse tension	5	5	Volts
Voltage d'alimentation (VPP) du domaine haute tension	100	100	Volts
Tension de transition du circuit	50	47	Volts
Temps de montée @ 32pF (T_{uLH})	215	900	ns
Temps de descente @ 32pF (T_{iHL})	337	600	ns
Temps de propagation 0V-100V @ 32pF (T_{pLH})	135	400	ns
Temps de propagation 100V-0V @ 32pF (T_{pHL})	215	450	ns
Puissance dissipée @ 1.0MHz	753	-	mW
Fréquence maximale à l'entrée @ 32pF	1	0.4	MHz

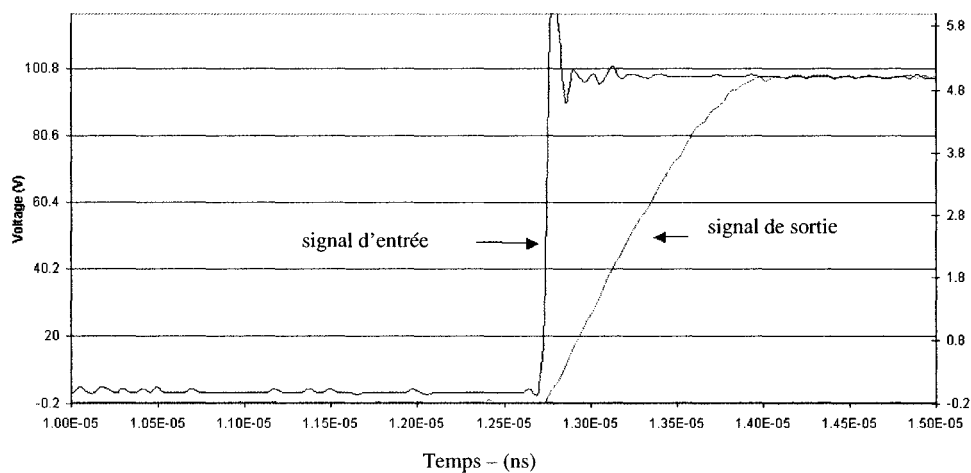


Figure 8.7 – Temps de propagation T_{pLH} du convertisseur LV/HV

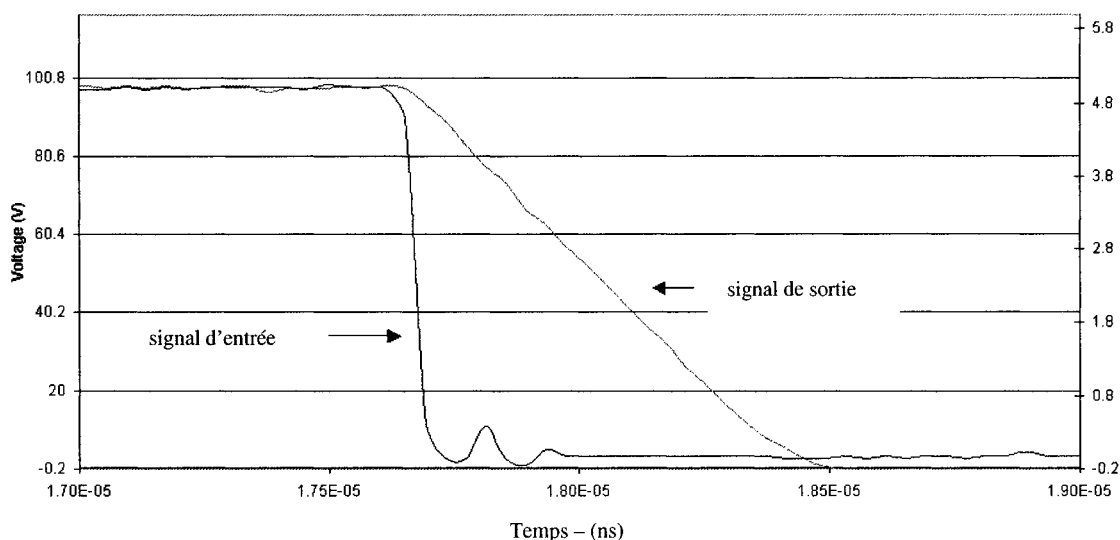


Figure 8.8 – Temps de propagation T_{pHL} du convertisseur LV/HV

8.1.5 Analyses des résultats

Cette section discute les causes des principales différences entre les résultats mesurés et simulés.

La première différence que nous constatons se rapporte aux temps de propagation et de transition. Les différences que nous retrouvons à l'intérieur du tableau 8.3, semblent toutes reliées aux variations de procédé. En fait, tous les transistors haut-voltage utilisés dans ce circuit ont des courbes I_D en fonction de V_{GS} inférieures aux valeurs attendues et modélisées.

Si nous analysons ces variations, nous obtenons l'hypothèse suivante : Les transistors M0 et M1 fournissent moins de courant pour une même tension V_{GS} aux transistors M2-M5. Cette diminution de courant, combinée à des courbes I_D moins élevées induit une tension V_{GS} doublement affaiblie au transistor M6. Cette diminution de la tension V_{GS} du transistor de l'étage de

sortie, combinée elle aussi à des courbes I_D moins élevées induit un courant de sortie très affaibli. Le tout se traduit par des temps de montée 4 fois plus lent que ceux prédits par les simulations. Le transistor de type-N de l'étage de sortie, M8, est quant à lui directement affecté par cette diminution des courbes I_D . Sa tension V_{GS} , provenant de la sortie de l'inverseur, est égale à 5V, donc sa diminution de courant est directement reliée au temps de descente, qui est 2 fois plus long par rapport aux simulations.

8.1.6 Solutions envisageables

Les mêmes phénomènes observés à la section 8.1.3 sont applicables pour ce circuit. Par contre, nous pouvons affirmer que les premiers échantillons ne semblent pas respecter les spécifications. Cela semble dû en grande partie à la modélisation virtuelle des transistors haut-voltage qui ne correspond pas à la réalité. Une nouvelle modélisation de tous les transistors haut-voltage est à envisager.

8.2 Résultats du convertisseur digital HV/LV

Le convertisseur digital HV/LV a été fabriqué avec la technologie 0.8 μ m 5V/HV CMOS/DMOS. Les résultats mesurés seront en premier lieu comparés aux résultats de simulations et par la suite, une analyse en profondeur sera faite afin de déterminer les causes de ces variations.

8.2.1 Technologie 0.8 μ m 5V/HV CMOS/DMOS

Le circuit a été testé et ces tests en démontrent la fonctionnalité. La figure 8.9 est un résultat de test typique qui présente les signaux d'entrée et de sortie de ce circuit.

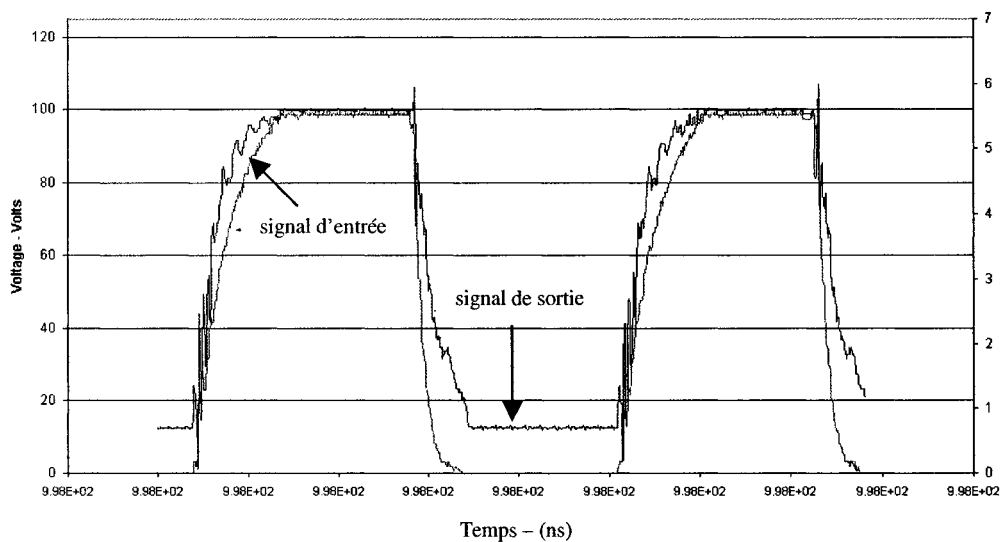


Figure 8.9 – Résultats sur silicium

Le tableau 8.4 résume les résultats paramétriques mesurés et les résultats de simulation correspondants. D'autre part, les figures 8.10 et 8.11 présentent des réponses mesurées typiques.

Tableau 8.4 – Résultats du convertisseur HV/LV

Caractéristiques	Résultats de simulation	Résultats de test	Unité
Voltage DC à l'entrée	100	100	Volts
Voltage DC de sortie	4.9	5.5	Volts
Délai de propagation T _{pLH}	10	80	ns
Délai de propagation T _{pHL}	7	60	ns
Délai de transition T _{tLH}	17	250	ns
Délai de transition T _{tHL}	16	300	ns
Puissance dissipée	0.5	-	Watt

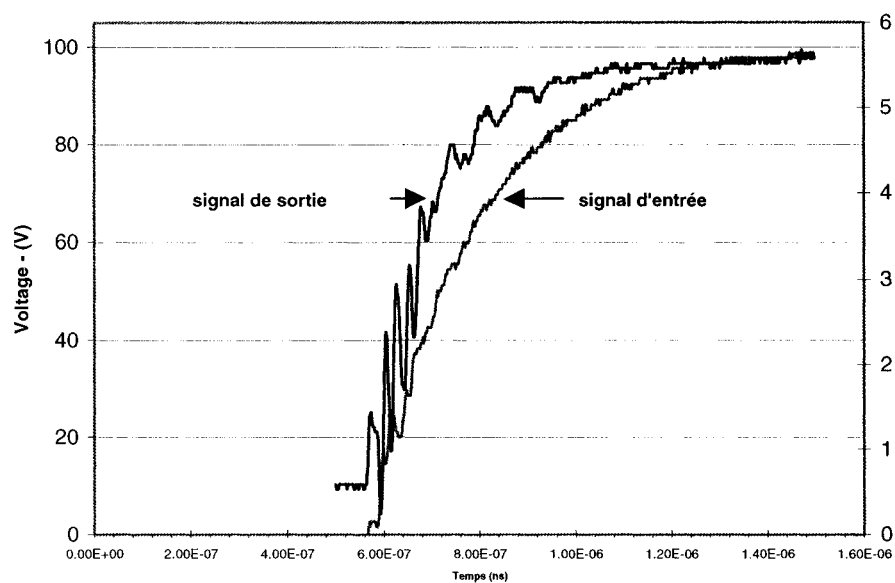


Figure 8.10 – Temps de montée du convertisseur HV/LV

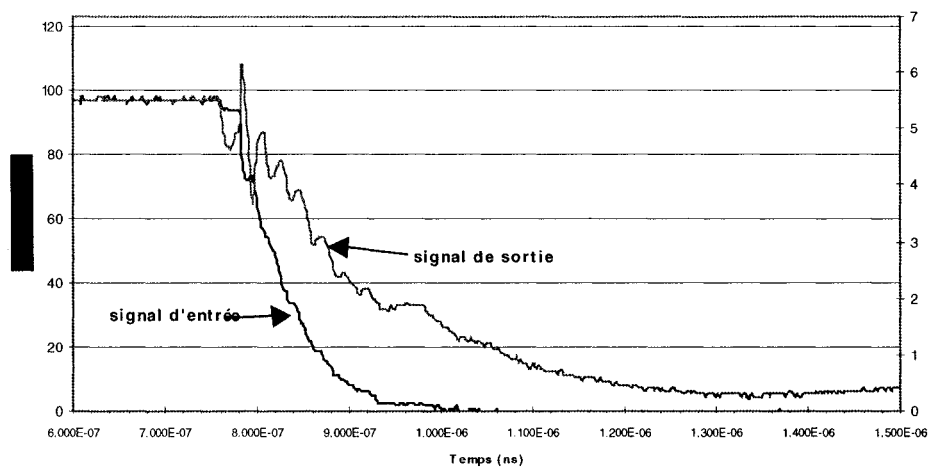


Figure 8.11 – Temps de descente du convertisseur HV/LV

8.2.2 Analyses des résultats

Cette section discute les causes des principales différences entre les résultats mesurés et simulés.

La première différence que nous constatons se rapporte aux temps de propagation et de transition. Ces temps sont directement liés à l'impédance de la source à l'entrée du circuit. Aucun appareil n'a pu fournir un signal performant à l'entrée afin de mesurer ce circuit. Nous avons utilisé la sortie du convertisseur LV/HV afin d'atteindre des temps de montée/descente 0V-100V dans l'ordre des centaines de nanosecondes. Comme le montre les figures 8.4 et 8.5, la sortie du convertisseur HV/LV suit le signal à l'entrée. Nous estimons que ce circuit ne nous a pas offert sa pleine performance dû au fait que la source à l'entrée est de qualité discutable. Les temps de montée/descente à la sortie du convertisseur HV/LV sont essentiellement les mêmes que ceux du signal à l'entrée. Nous sommes en attente d'une source de meilleure qualité que nous pourrions utiliser à l'entrée du convertisseur HV/LV avant de poser un diagnostic sur les résultats mesurés.

Une deuxième différence importante se rapporte à la tension en sortie. La figure 8.10 fournit un exemple typique de réponse du circuit.

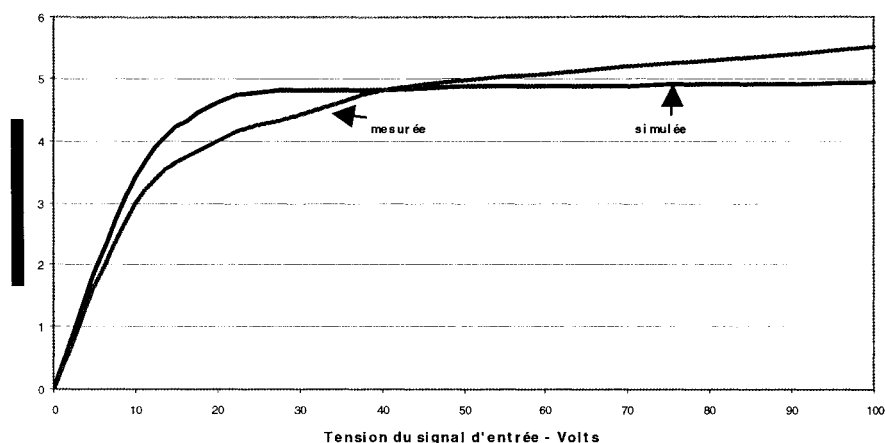


Figure 8.10 – Variations du voltage à la sortie du circuit

La première différence que nous constatons se rapporte à la valeur du voltage de sortie lorsque la tension d'alimentation est de 100V. Nous observons un écart de 0.6V par rapport à la valeur obtenue en simulation. Cet écart est explicable par plusieurs phénomènes reliés aux variations de procédé.

Le premier phénomène est une baisse des tensions de seuil des transistors haut-voltage. Nous constatons une diminution des valeurs de courant I_D pour une tension V_{GS} donnée

Le deuxième phénomène est une hausse de la tension de seuil des transistors PMOS de 0.3V. Cette hausse touche directement la tension V_{GS} du transistor, et donc, la valeur du voltage à la sortie du circuit.

Le troisième phénomène est une hausse de la résistivité de la couche utilisée pour former la résistance. Elle est nominale de $50\Omega/\square$. Cependant, la résistivité de cette couche est en fait de $53\Omega/\square$, ce qui induit une hausse de 90Ω de la valeur nominale de la résistance.

Donc, en résumé, si nous analysons toutes ces variations à l'intérieur du circuit, nous obtenons l'hypothèse suivante :

La hausse de la valeur de la résistance combinée avec une légère baisse du courant du transistor M1 induit une augmentation de la valeur V_{GS} du transistor M4. Cette hausse provoque une augmentation du courant au drain du transistor M3. Par contre, cette hausse de courant est contrôlée par la baisse de la tension de seuil du transistor M4. Le transistor M3 voit donc la valeur de son courant augmenter légèrement et combiné à une augmentation de sa tension de seuil de 0.3V, sa tension V_{GS} augmente de 0.6V.

Le dernier phénomène observé est la différence du voltage de sortie lorsque la tension d'alimentation est d'environ 20V. Nous observons une variation d'environ 0.6V entre les mesures et les valeurs simulées. Ces différences observables à la figure 8.6 viennent de la variation du courant du transistor haut-voltage M4. Nous observons de grandes différences entre les modèles et les courbes mesurées lorsque le transistor est dans la région triode pour une tension V_{GS} d'environ 6V. La figure 8.13 présente les courbes I_{DS} vs V_{DS} de ce transistor. Ces variations induisent une diminution précoce du voltage à la sortie pour des tensions d'alimentation de 40V et moins.

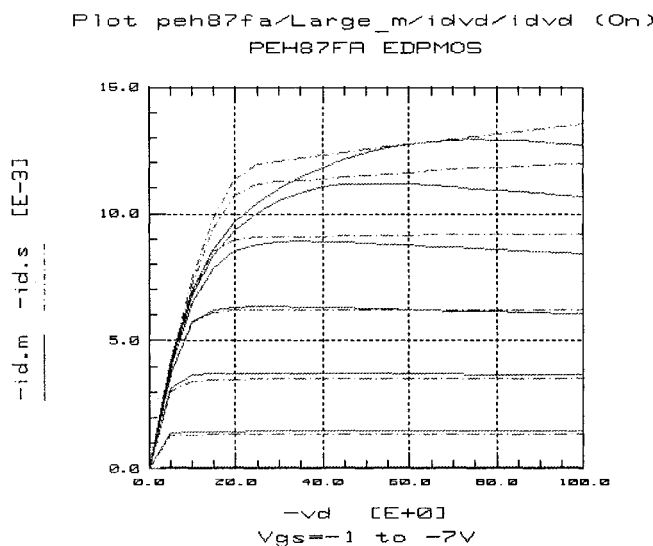


Figure 8.13 – Courbes I_{DS} vs V_{DS} du transistor PEH87FA

(source : DALSA Semiconducteur – SPS-0077 - [2])

8.2.3 Solutions envisageables

Les mêmes phénomènes observés à la section 8.1.3 sont applicables pour ce circuit. Par contre, nous avons des raisons de croire que les délais des spécifications seront atteints sans trop de difficultés.

CHAPITRE 9 *Conclusion*

Le présent mémoire permis de valider un ensemble de méthodes de conception de circuits intégré haut voltage. Nous avons étudié, développé et caractérisé, à l'intérieur de ce mémoire, un ensemble de circuits intégrés utilisant les technologies haut voltage de DALSA Semiconducteur. De plus, nous avons proposé un ensemble d'améliorations aux solutions implémentées qui vont permettre d'accroître la performance de ces circuits.

Aux chapitres 2 et 3, nous avons étudié les différentes technologies haut voltage les plus connues à ce jour. De par cette étude, nous avons démontré que les technologies haut voltage sont complexes et qu'il en existe de nombreuses variantes d'une maison de fabrication à l'autre. Ces chapitres ont permis de montrer comment les effets de champ électriques que l'on retrouve normalement en surface se déplacent graduellement en profondeur, afin de soutenir des tensions d'opération très élevées. Nous estimons qu'une étude du problème de bi-directionnalité des transistors haut voltage serait une extension

logique des travaux présentés aux chapitres 2 et 3. De plus, une autre extension des chapitres 2 et 3, pourrait être une étude des coûts de fabrication versus la surface de silicium occupée entre la technique pour réaliser des transistors DMOS verticaux et la technique RESURF L-DMOS.

Au chapitre 4, nous avons abordé les problèmes d'utilisation des technologies haut voltage à l'intérieur d'un environnement de conception de circuits intégrés. Ainsi, nous avons montré les limites de ces technologies relativement aux problèmes de simulation, d'opération des transistors haut voltage, ainsi que de vérification d'un circuit, comportant à la fois des composantes CMOS standard ainsi que des composantes de type haut voltage. Afin de remédier à ces difficultés, une méthodologie de travail a été abordée tout au cours des chapitres subséquents. Les résultats expérimentaux ont montré que cette méthodologie est efficace. Une extension logique de ce chapitre consisterait à définir un ensemble de règles à suivre afin de faire une gestion adéquate des difficultés et des pièges que nous rencontrons lors de la conception de circuits intégrés utilisant une technologie haut voltage.

Aux chapitres 5, 6 et 7, nous avons présenté les résultats des différentes recherches d'architecture des circuits haut voltage, nous avons défini les spécifications de ceux-ci et finalement, nous avons discuté de l'implémentation de ces circuits en utilisant les technologies de DALSA Semiconducteur. Nous avons démontré à l'intérieur de ces chapitres que chacune des architectures sélectionnées, peuvent être réutilisable en utilisant des technologies différentes. De plus, nous avons montré que la réduction de la géométrie pour une technologie ne se traduit pas nécessairement par un gain en terme de surface occupée. Une extension logique à ces chapitres, consisterait à définir des règles de partitionnement à l'intérieur d'une configuration de circuit. Un tel ensemble de règles permettrait de regrouper les composants dans des régions CMOS bas voltage et haut voltage. Ces règles tiendraient compte des particularités de chaque procédés haut voltage

et des spécifications du produit, afin de déterminer la technologie la plus avantageuse selon des critères particuliers. Parmi les éléments qui déterminent les choix optimal des composants, on retrouve : la surface occupée, la puissance dissipée, les délais de propagation, etc.

Au chapitre 8, nous avons caractérisé les circuits haut voltage et étudié les problèmes encourus lors de l'analyse des données. Nous avons utilisé les mesures définies aux chapitres 5, 6 et 7, afin de comprendre les variations du silicium. Une extension logique de ce chapitre consisterait à optimiser les solutions proposées à l'intérieur de ce mémoire en fonction de critères spécifiques. Autrement dit, il s'agirait d'établir de nouvelles spécifications et d'optimiser les solutions pour ces cas particuliers.

Nous estimons que le contenu de cet ouvrage constitue un pas dans le domaine de la conception des circuits haut voltage. Nous pensons que d'autres solutions plus raffinées peuvent être développées, notamment dans la diminution de la puissance dissipée de ces circuits. De plus, nous estimons plusieurs solutions dérivées de cet ouvrage peuvent être développées afin d'améliorer l'efficacité des circuits haute tension.

CHAPITRE 10 *Bibliographie*

-
- [1] Ballan H., Declercq M., Krummenacher F., "Design and Optimization of High Voltage Analog and Digital Circuits Built in a Standard 5V CMOS Technology", IEEE Custom Integrated Circuits Conference (CICC), 1994, pp.574-579
 - [2] Bassin C., Ballan H., Declercq M., "High-Voltage CMOS Devices Compatible with Standard Low-Voltage CMOS technologies", Kluwer AcademicPublisher, The Netherlands, 1999.
 - [3] DALSA Semiconductor, "Spice Parameters Specifications for the 0.8 μ m High Voltage CMOS/DMOS process", SPS-0077.2, Décembre 2002.
 - [4] DALSA Semiconductor, "Parameters Procurement Specification for the 0.8 μ m High Voltage CMOS/DMOS process ", SPE-0077.1, Octobre 2002.

- [5] DALSA Semiconductor, "Layout Rule for the 0.8 μ m High Voltage CMOS/DMOS process ", IDS-0077.2, Décembre 2002.
- [6] DALSA Semiconductor, "Component Datasheets for the High Voltage CMOS/DMOS process ", CDS-0001.2, Juin 2002 .
- [7] DALSA Semiconductor, "Spice Parameters Specifications for the 2.0 μ m High Voltage CMOS/DMOS process", SPS-0050.4, Juin 2002.
- [8] DALSA Semiconductor, "Parameters Procurement Specification for the 2.0 μ m 5V/100V/300V N-Well process ", SPE-0050.4, April 2002.
- [9] DALSA Semiconductor, "ISO-CMOS Design Rules - 2.0 μ m 5V/100V/300V N-Well process ", IDS-0056.2, May 2002.
- [10] DALSA Semiconductor, "Foundry Design Kit 0.8 μ m 5V/High Voltage CMOS/DMOS - User's Guide", DK08GUG01.1, Décembre 2002.
- [11] DALSA Semiconductor, "Foundry Design Kit 0.8 μ m 5V/High Voltage CMOS/DMOS - Reference Manual", DK08GRM01.1, Décembre 2002.
- [12] Declercq M., Clement F., Schubert M., Harb A., Dutoit M., "Design and Optimization of High Voltage CMOS Devices Compatible with Standard 5V CMOS Technology", IEEE Custom Integrated Circuits Conference (CICC), 1993, pp.24.6.1-24.6.4
- [13] Hass K., Cox D., "Level Shifting Interfaces for Low Voltage Logic", 9th NASA Symposium on VLSI Design , 2000, pp.3.1.1 3.1.7
- [14] <http://www.alpha-microelectronics.com>
- [15] <http://www.amis.com>
- [16] <http://www.asic.austriamicrosystems.com>
- [17] <http://www.asicon-tech.com>
- [18] <http://www.dalsasemi.com>
- [19] <http://www.micrel.com>

- [20] <http://www.tsmc.com>
- [21] <http://www.xfab.com>
- [22] Park M., Kim J., Lee D., Park J., Cho K., Cho H., "A 100V, 10mA High Voltage Driver Ics for Field Emission Display Applications", IEEE Asia Pacific conference, 1999, pp.4
- [23] Parpia Z., Salama C., "Optimization of RESURF LDMOS transistors: An Analatycal Approach", IEEE Transactions on Electron Devices, Vol.37, No.3, March 1990, pp.789-796
- [24] Richard J., Lessard B., Meingan R., Savaria Y., " High Voltage Interfaces for CMOS/DMOS Technologies", IEEE North East Workshop on Circuit And Systems (NEWCAS), Juin 2003.
- [25] Texas Instrument, Data Sheet, CD40109B Types, pp.3-395 3-398