POLYPUBLIE

Nouvelles approches pour la conception des circuits intégrés rapides

Florin Pera

Document en libre accès dans PolyPublie
Open Access document in PolyPublie

Date	1997
Type	Mémoire ou thèse / Dissertation or Thesis Mémoire de maîtrise/Master's thesis
URL de PolyPublie PolyPublie URL	https://publications.polymtl.ca/6936/
Conditions d'utilisation Terms of use	© Tous droits réservés / All rights reserved
Référence Citation	Pera, F. (1997). Nouvelles approches pour la conception des circuits intégrés rapides [Mémoire de maîtrise, École Polytechnique de Montréal]. PolyPublie. https://publications.polymtl.ca/6936/

Détails de la thèse
Thesis details

Directeurs de recherche Advisors	Yvon Savaria
Programme Program	Non spécifié

Ce fichier a été téléchargé à partir de PolyPublie, le dépôt institutionnel de Polytechnique Montréal
This file has been downloaded from PolyPublie, the institutional repository of Polytechnique Montréal
https://publications.polymtl.ca

NOTE TO USERS

The original manuscript received by UMI contains pages with indistinct and/or slanted print. Pages were microfilmed as received.

This reproduction is the best copy available

UMI

UNIVERSITÉ DE MONTRÉAL

NOUVELLES APPROCHES POUR LA CONCEPTION DES CIRCUITS INTÉGRÉS RAPIDES

FLORIN PERA

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE ET DE GÉNIE INFORMATIQUE

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION DU DIPLÔME DE

MAÎTRISE ÈS SCIENCES APPLIQUÉES

(GÉNIE ÉLECTRIQUE)

AOÛT 1997

c Florin Pera, 1997

National Library of Canada
Acquisitions and Bibliographic Services
395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque nationale du Canada
Acquisitions et services bibliographiques
395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

Our file Notre référence

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

0-612-33174-1

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé:

NOUVELLES APPROCHES POUR LA CONCEPTION DES CIRCUITS INTÉGRÉS RAPIDES

Présenté par: PERA Florin

en vue de l'obtention du diplôme de: Maîtrise ès Science Appliquées

a été dûment accepté par le jury d'examen constitué de:

M. BOIS Guy, Ph.D., président

M. SAVARIA Yvon, Ph.D., membre et directeur de recherche

M. MARQUIS François, Ing., membre

DÉDICACE

Aux gens qui cherchent la vérité par la science

REMERCIEMENTS

Je tiens à remercier en premier lieu le professeur Yvon Savaria pour son support moral et scientifique à toutes les étapes de cette recherche. C'est grâce à ses conseils que j'ai réussi à surmonter les étapes les plus difficiles et à trouver des solutions adéquates aux problèmes générés par la nouveauté du sujet abordé.

Toute ma gratitude au professeur Guy Bois pour son soutien moral et financier et pour les suggestions durant la structuration de cet ouvrage.

J'aimerais aussi remercier Monsieur François Marquis, Président de la Compagnie "Design Workshop" qui a constamment coordonné les aspects pratiques de ce travail et qui m'a inspiré dans la recherche de solutions adéquates.

J'apprécie également l'effort de Monsieur Nemmour qui m'a aidé dans la conception d'un circuit de test.

Je remercie enfin le personnel du laboratoire du Groupe de Recherche en Micro-électronique (GRM94) pour leur aide technique.

RÉSUMÉ

L'objectif principal de ce mémoire est de proposer de nouvelles méthodes de conception pour des circuits intégrés numériques rapides. Les résultats de cette analyse offrent quelques éléments importants pour le routage dans des conditions de haute fréquence. Ils seront utiles par la suite dans le processus de conception automatique de circuits intégrés de haute fréquence. On vise surtout des circuits logiques où les signaux internes de haute vitesse se caractérisent par des périodes de l'ordre 1 à 10ns avec des temps de transition dans la bande 10ps à 100ps.

Une bonne partie du travail est concentrée sur l'analyse des interconnexions internes aux circuits intégrés. Le développement d'un modèle de type large bande pour une ligne simple, placée sur un substrat semiconducteur, fait l'objet du chapitre 2. Deux circuits démonstrateurs ont été conçus en utilisant la technologie Mitel 1.5µm, accessible à partir des services offerts par la Société Canadienne de Micro-électronique. Une partie de ces circuits est dédiée aux mesures des délais encourus par des signaux rapides sur de longues interconnexions, surtout pour vérifier le modèle de ligne mentionné ci-haut et pour analyser les différentes configurations de ligne proposées. En étudiant ces configurations complexes, nous envisageons d'identifier quelques solutions viables pour le routage dans des conditions de haute fréquence. Nous avons caractérisé un ensemble de signaux rapides dont les périodes vont de l'ordre de 1.6ns à 11ns. Ces signaux sont générés à l'intérieur des circuits intégrés. La technologie CMOS Mitel 1.5µm utilisée à cette façon, permet d'atteindre une fréquence maximale d'environ 700MHz. Pour mesurer le délai sur une

ligne, nous avons adopté deux méthodes de mesure basées sur des modules oscillateurs et des modules détecteurs de phase. Dans les modules correspondants, certaines lignes longues (longueurs 1.2mm et 2.2mm) représentent les éléments de test. Ces lignes assurent la connexion entre deux modules logiques, elles sont donc placées dans des conditions réelles telles qu'on les rencontre dans des circuits intégrés normaux. Les tests sont accompagnés par des résultats de simulations, réalisés en grande partie à l'aide de HSPICE. Compte tenu de la difficulté des mesures que l'on cherche à effectuer, nous avons proposé des méthodes indirectes. Ces méthodes de mesure et les modules correspondants qui permettent de les effectuer sont décrits dans le mémoire. Nous avons réalisé deux circuits démonstrateurs pour lesquels nous avons développé une bibliothèque de cellules basées sur une structure améliorée, de type Mer-De-Portes (MDP).

Le mémoire contient une description de la nouvelle structure, ainsi que les méthodes de construction pour les cellules utilisées. Enfin, le mémoire compare les résultats de test aux résultats obtenus par simulation.

ABSTRACT

The main goal of this thesis is to develop new design methods for high speed digital integrated circuits. The results that were obtained aim toward the development of routing methods for high frequency circuits. They can be used for automatic design of such circuits. Analysis were carried on digital integrated circuits operating with signals whose periods range from 1ns to 10ns and transition times of 10ps to 100ps.

A great deal of attention is devoted to analysing the internal interconnections in ICs. The thesis presents a large band model of a single line placed on a semiconductor substrate. To validate the proosed models and techniques, two demonstrator circuits were designed in the Mitel 1.5μm CMOS technology (made possible by the Canadian Microelectronics Corporation). These circuits contain some modules where delays are produced on long interconnections and they are intended to validate the proposed line model and also to analyse the various line configurations proposed. The study of such complex configurations aims at identifying practical solutions for high frequency routing. All the waveforms with periods from 1.6ns to 11ns are internally generated. The 1.5μm Mitel CMOS technology allows a 700MHz frequency operation. In order to perform line delay measurements, we proposed two methods based on the use of oscillator and phase detector modules. Inside these modules, test elements are provided for 1.2mm and 2.2mm lines. The proposed line delay characterisation modules place the lines in realistic conditions. One of our test modules aims at evaluating the performances of the structure used for these circuits. The thesis describes measurement methods as well as corresponding test

modules. It also describes the proposed Sea of Gates structure as well as the procedure to synthesise circuits with this structure.

The thesis extensively compares tests to simulation results.

TABLE DES MATIÈRES

DÉDICACE IV

REMERCIEMENTS V

RÉSUMÉ VI

ABSTRACT VIII

TABLE DES MATIÈRES X

LISTE DES TABLEAUX XIV

LISTE DES FIGURES XVI

LISTE DES SIGLES ET ABRÉVIATIONS XX

LISTE DES ANNEXES XXI

CHAPITRE I: INTRODUCTION 1

1.1 Contexte 1

1.2 Survol des problèmes 2

1.3 Solution adoptée 4

CHAPITRE II: MODÉLISATION DE L'INTERCONNEXION SUR UN SUBSTRAT SEMICONDUCTEUR 5

2.1. Revue de la littérature 5

2.2. Extraction du modèle de type RLGC 7

2.2.1 Introduction dans la théorie de la ligne de transmission

2.2.2 Calcul des éléments dans le modèle RLGC 12

2.2.3 Cellule RLGC équivalente 23

2.3. Configurations de ligne proposées pour améliorer la propagation des signaux de haute vitesse 25

2.4. Simulations effectuées pour le modèle de ligne développé; extraction du modèle RCG simplifié 30

CHAPITRE III: DÉVELOPPEMENT DES CELLULES EN UTILISANT UNE STRUCTURE DE TYPE MER-DE-PORTES (MDP) 39

3.1. Introduction 39

3.2. Analyse de la structure de type MDP, principes généraux 40

3.3 Structure classique de type MDP 42

3.4. Structure MDP proposée 44

3.5. Principes pour la description d'une image MDP paramétrée 47

3.6. Description de la cellule basée sur une structure MDP 50

3.7. Construction d'une librairie à l'aide des cellules élémentaires 53

CHAPITRE IV: MÉTHODES DE TEST ET DESCRIPTION DES CIRCUITS DEMONSTRATEURS 59

4.1. Introduction 59

4.2. Délai composé, définition 62

4.3. Méthodes de test et description des circuits démonstrateurs 65

4.3.1. Validation de la structure MDP 65

4.3.2. Mesure des délais de propagation pour les longues interconnexions 68

4.3.2.1. Méthode basée sur des oscillateurs en anneau 68

4.3.2.1.1. Implantation de la méthode oscillateurs en anneau dans le premier circuit démonstrateur 72

4.3.2.1.2. Implantation de la méthode oscillateurs en anneau dans le deuxième circuit démonstrateur .. 77

4.3.2.1.3 Conclusions pour la méthode de mesure de délai basée sur des oscillateurs en anneau 81

4.3.2.3. Mesure du délai composé basée sur la détection de phase 82

4.3. Circuits démonstrateurs, présentation des schémas bloc et dessins de masques 87

CHAPITRE V: ANALYSE DES RESULTATS EXPÉRIMENTAUX ET SIMULATIONS 92

5.1 Validation de la structure MDP, résultats de test 86

5.2 Caractérisation du délai sur des lignes longues 98

5.2.1. Lignes placées sur des structures complexes 98

5.2.2. Lignes de géométrie variable, ou avec des discontinuités 103

5.2.2.1 Mesure de délai à l'aide des oscillateurs en anneau 104

5.2.2.2 Mesure du temps de délai avec les modules détecteurs de phase 110

CHAPITRE VI : CONCLUSIONS 118

RÉFÉRENCES 123

ANNEXE I : Description de l'image paramétrée- exemple 127

LISTE DES TABLEAUX

Tableau 2.1 : Période d'oscillation pour le circuit de la figure 2.8 avec connexion directe entre X3 et X1 33

Tableau 2.2 : Différence de délai ajouté par la ligne 1 connectée dans l'oscillateur de la figure 2.8; valeurs obtenues par simulation en utilisant les différents modèles de ligne 34

Tableau 2.3 : Différence de délai ajouté par la ligne 2 connectée dans l'oscillateur de la figure 2.8; valeurs obtenues par simulation en utilisant les différents modèles de ligne 34

Tableau 2.4 : Différence de délai ajouté par la ligne 3 connectée dans l'oscillateur de la figure 2.8; valeurs obtenues par simulation en utilisant les différents modèles de ligne 35

Tableau 2.5 : Différence de délai ajouté par la ligne 4 connectée dans l'oscillateur de la figure 2.8; valeurs obtenues par simulation en utilisant les différents modèles de ligne 36

Tableau 5.1 : Période du signal généré par les oscillateurs 3 et 5 étages en fonction de la polarisation V_p, V_n 92

Tableau 5.2.A : Analyse des résultats de tests et des simulations pour le module oscillateur à 3 étages [5.1] 94

Tableau 5.2.B : Analyse des résultats de tests et des simulations pour le module oscillateur à 5 étages [5.2] 95

Tableau 5.3 : Résultats de test pour les lignes analysées dans le circuit numéro 1 100

Tableau 5.4 : Période d'oscillation pour les modules «osc3a» contenant les lignes L1osc à L4osc; valeurs mesurées (ns) 108

Tableau 5.5 : Somme des temps de montée et de descente pour les lignes L1osc et L2osc 109

Tableau 5.6 : Paramètres t_{m1} et t_{d1} du signal à la sortie de l'inverseur X2 en fonction de la polarisation V_{p2} et V_{n2} respectivement et en fonction de leurs référence $t_{m1}(0)$ et $t_{d1}(5)$ 109

Tableau 5.7 : Valeurs mesurées aux sorties du module "phd" - détecteur de phase 111

Tableau 5.8 : Temps de montée t_m (ns) calculés à partir des résultats de test rapportés au tableau 5.7 et du graphique 5.2 113

LISTE DES FIGURES

Figure 2.1 : Ligne physique et modèle RLGC associé 9

Figure 2.2 : Variation des paramètres "α", "β" et Zo dans la bande de fréquence correspondante aux modes "d'ondes lentes" et "quasi-TEM"..... 12

Figure 2.3 : Cellule RLGC avec éléments L et G, variables en fonction de la fréquence 22

Figure 2.4 : Variation des éléments L et G du modèle pour deux substrats de résistivités différentes 22

Figure 2.5 : Circuit équivalent avec des composantes stables dans la bande de fréquence considérée 24

Figure 2.6 : Quatre structures complexes associées aux lignes longues analysées dans le circuit démonstrateur numéro 1 28

Figure 2.1 : Ligne physique et modèle RLGC associé 9

Figure 2.2 : Variation des paramètres "α", "β" et Zo dans la bande de fréquence correspondante aux modes "d'ondes lentes" et "quasi-TEM". 12

Figure 2.3 : Cellule RLGC avec éléments L et G, variables en fonction de la fréquence 22

Figure 2.4 : Variation des éléments L et G du modèle pour deux substrats de résistivités différentes 22

Figure 2.5 : Circuit équivalent avec des composantes stables dans la bande de fréquence considérée 24

Figure 2.6 : Quatre structures complexes associées aux lignes longues analysées dans le circuit démonstrateur numéro 1 28

Figure 2.7 : Ligne à section variable, prévue pour caractérisation dans le circuit de test numéro 2 (L3osc) 29

Figure 2.8 : Schéma utilisé pour simulations 30

Figure 2.9 : Modèles "C" (1.), "RC" (2.) et "RCG" (5.) 32

Figure 3.1 : Structure classique MDP 40

Figure 3.3 : Structure MDP avec canal 45

Figure 3.3 : Différents arrangements pour la structure de type MDP 46

Figure 3.4 : Positionnement des points de contact dans une cellule; exemple 52

Figure 3.5 : Construction d'une porte "inverseur" de taille N en utilisant quatre cellules élémentaires 55

Figure 3.6 : Construction des portes NON-OU et NON-ET basée sur huit cellules élémentaires 56

Figure 4.1 : Représentation graphique du délai; (voir les noeuds 1 et 3 dans la figure 4.2) 62

Figure 4.2 : Ligne d'interconnexion T entre deux cellules X1 et X2 63

Figure 4.3 : Module de test pour la validation de la structure MDP 65

Figure 4.4 : Inverseur "trinv2A" de type C^2MOS et cellule "dff1" (diviseur dynamique) 66

Figure 4.5 : Facteur de division pour la cellule "dff1"; résultats de simulation 67

Figure 4.6.A : Oscillateur en anneau à trois étages, isolé 69

Figure 4.6.B : Oscillateur en anneau à trois étages avec une sortie 70

Figure 4.6.C : Oscillateur en anneau à N étages avec une sortie 70

Figure 4.6.D : Oscillateur en anneau à trois étages avec des sorties équilibrées 70

Figure 4.7 : Résultats de simulation pour le schéma de la figure 4.6.D; exemple avec une ligne de longueur 200µm entre les noeuds 1 et 4 71

Figure 4.8 : Mesure de délai du signal sur des lignes longues placées sur des structures complexes; module "str2" dans le circuit démonstrateur numéro 1 74

Figure 4.9 : Cellule «tshv1» utilisée dans le circuit numéro 1 76

Figure 4.10 : Schéma détaillé du module "osc3a" utilisé dans le circuit démonstrateur 2 77

Figure 4.11 : Schéma bloc du circuit démonstrateur 2, section dédiée pour mesures de délai 80

Figure 4.12 : Schéma de principe d'un détecteur de phase 82

Figure 4.13 : Formes d'ondes obtenues par simulation du module de détection de phase; elles correspondent aux noeuds "B" (l'image en haut), "SORTIE_P" (l'image au centre) et "SORTIE_N" (l'image en bas), pour deux valeurs de longueur de la ligne T (longueur 100µm et 1200µm, largeur 4µm) 83

Figure 4.14 : Niveaux de tension à la sortie du module détecteur de phase (basé sur des simulations HSPICE) 85

Figure 4.15 : Circuit démonstrateur numéro 1; détail sur les modules "str2" 89

Figure 4.16 : Circuit démonstrateur numéro 2; détail sur les modules "osc3a" et "phd" 90

Figure 4.17 : Circuit démonstrateur numéro 1; module "osc35io" conçu pour la validation de la structure MDP 91

Figure 5.1 : Structures complexes, image sectionnée en plan vertical 99

Figure 5.2 : Capacité de jonction et résistance de la couche de diffusion dans le modèle de ligne RLGC 102

Figure 5.3 : Oscillateur dans le module "osc3a" 105

Figure 5.4 : Variation du niveau de tension à la sortie N du détecteur de phase "phd" en fonction du temps de montée du signal à la sortie X2 (noeud B, figure 4.12) 112

Figure 5.5 : Ensemble d'interconnexions L6phd dans le circuit démonstrateur 2 ...115

Figure 5.6 : Résultats de simulation pour le circuit de la figure 4.12 116

LISTE DES SIGLES ET ABRÉVIATIONS

CMOS - structure MOS complémentaire;

C^2MOS - structure CMOS avec transistors;

DMUX - démultiplexeur;

GSG - ground-signal-ground (masse - signal - masse); type de sonde de mesure de haute fréquence avec blindage;

HSPICE - logiciel utilisé pour la simulation des schémas électroniques;

MDP - structure mer-de-portes;

MOS - transistor de type métal-oxyde-semiconducteur;

MUX - multiplexeur;

OTC - "over the cell"; méthode de routage au-dessus des cellules;

quasi-TEM - mode de propagation TEM (transversale électromagnétique) majoritaire;

RLGC - modèle de ligne contenant des éléments de type résistance, inductance, conductance et capacitance;

SiO_2 - bioxyde de silicium (isolateur dans les circuits intégrés);

TSPC - circuits dynamiques à vraies horloges monophasées;

VCO - oscillateur commandé par tension;

LISTE DES ANNEXES

Annexe I : Description de l'image paramétrée- exemple 127

CHAPITRE I

INTRODUCTION

1.1 Contexte

Suite à l'évolution de la technologie des semiconducteurs, les structures des nouvelles générations technologiques qui comportent des géométries sous-microns, offrent des caractéristiques dynamiques de plus en plus performantes. Le temps de propagation des signaux internes sur des portes statiques CMOS peut être inférieur à 1ns et la période d'horloge peut atteindre des valeurs de 1 à 5ns. Le processus d'augmentation de la vitesse des circuits, ainsi que la haute complexité requise actuellement, sont les principaux facteurs qui imposent l'introduction de nouvelles règles dans la conception des circuits intégrés. En effet, la taille des circuits est considérablement plus grande que celle des cellules, ce qui fait que les interconnexions deviennent des éléments importants dans la définition des performances dynamiques. Des structures actives, qui comportent des dimensions de l'ordre du micron, doivent communiquer à travers des interconnexions métalliques qui peuvent atteindre des longueurs allant jusqu'à 10-20 mm. Le délai d'un signal rapide sur une ligne longue qui relie des cellules dans les différentes zones du circuit peut excéder celui d'un élément actif. La présence des signaux internes avec des transitions rapides exige dans certains cas une analyse dans le domaine des hautes fréquences, où les phénomènes de propagation et de réflexion du signal doivent être considérés. Par conséquent, la simulation électrique sur des modules rapides nécessite un

nouveau modèle électrique équivalent pour les interconnexions. Ce modèle devrait être valide dans une bande large de fréquence, en assurant un certain niveau de précision dans des conditions d'environnement et de bande de fréquence bien définies. En même temps, il doit avoir une représentation relativement simple, qui permet d'être utilisée dans les simulateurs usuels.

Compte tenu de l'ampleur du sujet, cette étude porte seulement sur quelques aspects relatifs aux règles de dessin dans des conditions de haute vitesse. Il s'agit de l'analyse de la propagation du signal sur des lignes isolées. Nous avons proposé et mesuré quelques configurations pour les interconnexions, en envisageant une réduction des délais et de l'atténuation des signaux numériques.

1.2. Survol des problèmes

Une méthode directe pour caractériser les paramètres de ligne consiste à placer plusieurs interconnexions de différentes longueurs sur le silicium et d'en mesurer les impédances (les éléments de la matrice [Z] ou de la matrice [S]) dans une bande de fréquence donnée. Cette approche à été utilisée par Hasegawa (1971) en utilisant des interconnexions de largeur de 70μm et 1600μm. Cette étude porte sur des lignes de différentes longueurs placées sur des substrats de silicium de différentes résistivités. Dans ce type de test, à au moins une extrémité de chaque ligne mesurée, il faut prévoir un plot pour connecter des sondes adaptées de 50 ohms de type GSG ("ground-signal-ground", masse - signal - masse).

Pour des raisons de nature pratique, nous avons adopté d'autres techniques pour réaliser ce type de caractérisation. La méthode directe résumé ci-dessus est apparemment simple, mais sa mise en oeuvre dans le cas réel d'un circuit VLSI pose quelques problèmes. De nos jours, les interconnexions ont en général des géométries très fines (moins de 2μm de largeur) tandis que le substrat est de l'ordre 300μm d'épaisseur et les broches prévues pour contacter les sondes GSG ont des dimensions minimales d'environ 30μm. Dans ces conditions, on rencontre des problèmes dans la réalisation des contacts de masse. Le blindage du fil pour les sondes adaptées 50 ohms de type GSG est connecté aux broches dédiées à cette fin, placées au-dessus de la plaquette. Ces broches se trouvent entre 300μm et 400μm de distance du plan de masse au-dessous du substrat semiconducteur; dans des conditions réelles du circuit, cette dimension n'est pas négligeable face à la longueur d'une interconnexion de grandeur moyenne.

L'erreur introduite par les plots de contact aux sondes GSG est considérable quand les traces sont minces. Pour compenser ces erreurs, il faut trouver des solutions pratiques. La méthode de caractérisation directe nécessiterait beaucoup d'espace dans un circuit démonstrateur. En utilisant une surface limitée, disponible pour réaliser les circuits démonstrateurs, nous devons caractériser plusieurs types de lignes de différentes configurations (géométrie ou combinaison de couches variables). Cette condition rend difficile la mise en oeuvre de la méthode de caractérisation directe. Enfin, il est préférable de développer ces tests dans des conditions réelles, quand les lignes mesurées connectent des cellules dans le circuit de façon réaliste et quand le signal injecté est de type numérique (en commutation).

1.3 Solution adoptée

Pour résoudre de façon pratique cet ensemble de problèmes, les tests prévus pour caractériser les paramètres des interconnexions sont principalement basés sur des mesures de délai. À cette fin, deux techniques pour les mesures de délai ont été proposées, dont les principes sont décrits à la section 4.3.2. Des modules originaux, basés sur ces techniques de test, ont été conçues et assemblés dans deux circuits démonstrateurs. Les cellules sont construites sur une structure Mer-Des-Portes (MDP) adaptée aux exigences requises par les tests prévues. Son architecture se caractérise par un emplacement des transistors MOS spécifique à une structure MDP et par l'existence des canaux à l'intérieur et à l'extérieur des cellules. Nous avons considéré que ces canaux sont utiles pour le routage de haute fréquence. Dans les circuits de test, les lignes longues prévues pour caractérisation sont routées dans ces canaux, à l'extérieur de la cellule active. Pour s'assurer que la nouvelle structure MDP offre les conditions nécessaires pour faire fonctionner les différents modules dans les circuits démonstrateurs, nous avons ajouté un bloc dédié à cette fin.
Les tests effectués sur ce bloc établissent si les cellules construites sur la structure MDP fonctionnent aux paramètres requis, afin de poursuivre avec les mesures de délai.

CHAPITRE II

MODÉLISATION DE L'INTERCONNEXION PLACÉE SUR UN SUBSTRAT SEMI-CONDUCTEUR

2.1. Revue de littérature

Pendant les années '70, les concepteurs de circuits intégrés ont pris beaucoup d'intérêt à étudier le phénomène de propagation d'un signal numérique à travers les interconnexions placées sur un substrat semiconducteur. Parmi ceux-ci, on remarque les noms de Hasegawa, Furukawa et Yanai (1971) qui ont analysé les modes de propagation du signal sur une ligne de type micro ruban placée dans un environnement fortement dispersif. Par les tests qu'ils ont réalisé et les modèles pour des lignes de circuits intégrés, de dimensions assez larges (lignes de largeur de 70μm à 1600μm), ils ont caractérisé l'influence du substrat sur les paramètres électriques de la trace. Le but des tests qu'ils ont réalisé dans une bande de fréquences de 30MHz à 4GHz était de valider des théories développées par plusieurs auteurs dans les années '50 et '60. Ils font référence à des équations de A.R. von Hippel (1954) et à celles de l'article de H. Guckel, P.A. Brennan et I. Palocz (1967). Bref, l'analyse porte sur la modélisation d'une interconnexion placée sur un substrat semiconducteur. Dans ces conditions, ils ont constaté la variation de certains paramètres de la ligne en fonction de la fréquence. Il s'agit principalement du facteur d'atténuation "α"et de la vitesse de phase V_ϕ (voir les détails dans la section suivante). Par exemple, à basse fréquence, ils ont observé une réduction accentuée de la vitesse de phase. Pour cette

raison, le mode de propagation du signal pour cette bande de fréquence a été nommé mode d'ondes lentes.

Pour des fréquences supérieures à la région d'ondes lentes, le substrat agit comme un diélectrique avec pertes. Les équations correspondantes au mode quasi-TEM (valide pour l'analyse de la ligne micro ruban à faibles pertes) sont utilisées dans de telles conditions.

En augmentant la fréquence, l'effet pelliculaire dans le matériel conducteur doit être considéré et cela se traduit dans le modèle équivalent par l'ajout d'une résistance série supplémentaire. Dans la bande de fréquence d'intérêt (inférieure à 20GHz), on va négliger l'effet pelliculaire dans le matériel conducteur. Nous considérons dans cette analyse seulement les deux modes "d'ondes lentes" et "quasi-TEM". Dans l'article de Hasegawa (1971), à chaque mode de propagation correspond un schéma équivalent. Bien que cet article représente encore une référence fondamentale dans l'analyse des interconnexions rapides, il existe quelques améliorations qu'on doit apporter aux modèles et aux équations correspondantes.

En considérant seulement les deux modes d'intérêt, c'est à dire les modes "d'ondes lentes" et "quasi-TEM", ainsi qu'un ensemble d'améliorations proposées pour le modèle d'Hasegawa, nous développerons une cellule RLGC équivalente. Cette cellule est remarquable parce qu'elle est unique pour toute la bande de fréquence considérée. Dans la zone de transition, entre les deux modes de propagation, les valeurs de certains éléments changent. Cette variation reflète avec un certain degré de précision les phénomènes dominants dans le système physique étudié. Par conséquence, une particularité du modèle RLGC associé à la ligne avec pertes, est la dépendance de certains éléments en fonction de

la fréquence du signal. On considère surtout la variation de deux paramètres: le facteur d'atténuation "α"et la constante de phase "β"(qui est en relation directe avec la vitesse de phase).

Les équations utilisées pour l'extraction des paramètres tiennent compte de la géométrie réelle du système (ex. conducteurs beaucoup plus minces que l'épaisseur du substrat semiconducteur). Elles contiennent des facteurs de correction qui simplifient les calculs en assurant en même temps une précision acceptable. Par exemple, nous introduisons des facteurs de correction dans le calcul de l'impédance caractéristique Z_0 et de la permittivité relative équivalente ε_{eff} (eq. 2.2.6 et 2.2.7).

La cellule RLGC comportant des éléments variables en fonction de la fréquence, représente le modèle proposé pour la ligne avec pertes. Pour réaliser des simulations avec SPICE et effectuer une analyse comparative des différents modèles de ligne, nous avons extrait un circuit avec des éléments stables dans toute la bande de fréquence considérée. Il offre une précision satisfaisante pour les simulations effectuées.

Les résultats présentés constituent une solution pratique dans la modélisation de la ligne simple, routée sur un substrat semiconducteur.

2.2. Extraction du modèle de type RLGC.

2.2.1 Introduction dans la théorie de la ligne de transmission micro ruban

Dans la section précédente, nous avons motivé la nécessité de développer un nouveau

modèle électrique pour les interconnexions intégrées, placées dans un environnement semiconducteur. Pour réaliser une analyse large bande, il faut considérer les phénomènes de propagation du signal et les variations des paramètres en fonction de la fréquence. Du point de vue géométrique, la ligne est de type micro ruban; la trace est beaucoup moins large que l'épaisseur de la couche semiconductrice. Le substrat n'est pas un matériel diélectrique idéal. Il est constitué de deux couches, un oxyde très mince qui a de bonnes propriétés d'isolation et le substrat semiconducteur, beaucoup plus épais que l'oxyde. Etant donné que les pertes dans le substrat ne sont pas négligeables, nous ne pouvons pas utiliser des formules simplifiées pour calculer les paramètres du modèle RLGC de la même manière que pour un substrat diélectrique.

Supposons pour l'instant que la couche semiconductrice est d'un seul type de conductivité (figure 2.1). Notre système, constitué d'une ligne conductrice placée sur un substrat mixte diélectrique/semiconducteur, est donc considéré, du point de vue micro-ondes, comme une ligne de type micro ruban avec des pertes importantes dans le substrat.

Ce type de ligne est en général modélisé par un circuit électrique équivalent de type RLGC. L'interconnexion physique, autant que le circuit équivalent, sont caractérisés par une impédance caractéristique Z_0. De plus, la propagation du signal est caractérisée par la constante "γ". Dans cette analyse, on maintient constamment le parallélisme entre les paramètres électriques de la ligne physique et ceux du circuit équivalent d'une structure RLGC. Ceci peut se faire en préservant la similitude entre les équations qui décrivent la propagation du signal dans les deux cas. Dans une ligne physique, un signal se propage sous forme d'onde. On décompose normalement le signal comme une onde directe et une

onde réfléchie. Dans une analyse en fréquence, le signal numérique représente la somme de plusieurs composantes sinusoïdales. L'amplitude de chacune de ces composantes, exprimée par une tension ou par un courant, varie en fonction de la position sur la ligne (position "z", voir les équations 2.2.1, 2.2.2 et la figure 2.1).

$$V(z) = Vo^{+} \cdot \exp(-\gamma z) + V0^{-} \cdot \exp(\gamma z) \qquad \{2.2.1\}$$

$$I(z) = Io^{+} \cdot \exp(-\gamma z) + Io^{-} \cdot \exp(\gamma z) \qquad \{2.2.2\}$$

Les termes Vo^{+} et Io^{+} (amplitudes) correspondent à l'onde directe et Vo^{-}, Io^{-} à l'onde réfléchie. Le facteur "γ" est exprimé comme un nombre complexe et il représente la constante de propagation (eq. 2.2.3).

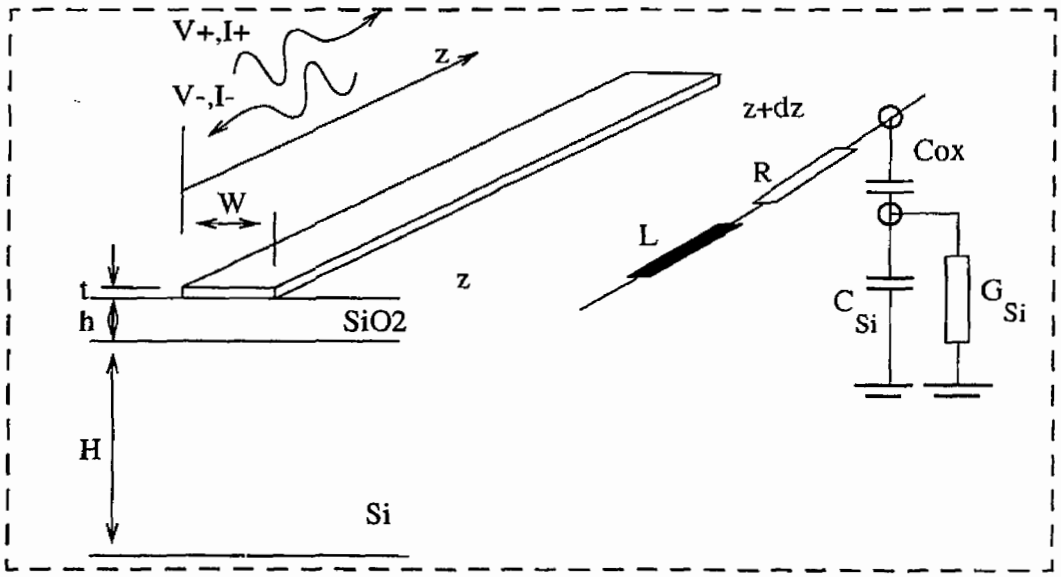


Figure 2.1. Ligne physique et modèle RLGC associé

Dans la théorie classique pour lequel le modèle de la figure 2.1 est réduit en enlevant l'élément Cox, les deux principaux paramètres considérés sont le facteur de propagation d'ondes "γ" et l'impédance caractéristique Z_0. Cet élément, Cox, correspond à l'oxyde mince qui sépare les interconnexions et le substrat semiconducteur. La présence d'une telle structure à deux couches (Si-SiO_2) n'est pas directement pris en compte dans la théorie classique. Les paramètres "γ" et Z_0 peuvent être calculés pour le segment de ligne physique et pour le circuit équivalent de type RLGC. Par exemple, dans le cadre de la théorie micro-ondes, pour la ligne micro ruban, "γ" et "Zo" peuvent être calculés à partir des paramètres de la ligne physique ou à l'aide des éléments de la cellule RLGC équivalente.

Les formules correspondantes sont:

$$\gamma = \alpha + j\beta = \sqrt{(R + j\omega L) \cdot (G + j\omega C)} \qquad \{2.2.3\}$$

$$Zo = \frac{(R + j\omega L)}{\gamma} = \frac{\gamma}{(G + j\omega C)} = \sqrt{\frac{(R + j\omega L)}{(G + j\omega C)}} \qquad \{2.2.4\}$$

où "α" est la constante d'atténuation et "β" la constante de phase.

Les équations 2.2.3 et 2.2.4 demeurent valides en général, mais à défaut de prendre en compte directement le Cox, les valeurs C et G deviennent variables avec la fréquence.

Pour les lignes sans pertes (atténuation négligeable), le facteur "β" est une fonction

linéaire de la fréquence. Cela signifie que toutes les composantes harmoniques se propagent avec la même vitesse de phase, V_ϕ.

$$\beta = \omega\sqrt{LC} \qquad V_\phi = \frac{1}{\sqrt{L \cdot C}} \tag{2.2.5}$$

Dans un environnement à forte dispersion, cette approche n'est plus valable. Les facteurs d'atténuation "α" et de constante de phase "β" varient en fonction de la fréquence. Les composantes harmoniques du signal se propagent sur la ligne avec des vitesses et des niveaux d'atténuation différents. Ceci a comme effet la déformation du signal. La variation des paramètres "α" et "β" est en étroite relation avec les caractéristiques du substrat. Un exemple basé sur des résultats de l'article de Hasegawa (1971) est présenté à la figure 2.2. Ces résultats reflètent les variations de "α" et de "β" entre les deux zones correspondant aux modes d'ondes lentes et quasi-TEM.

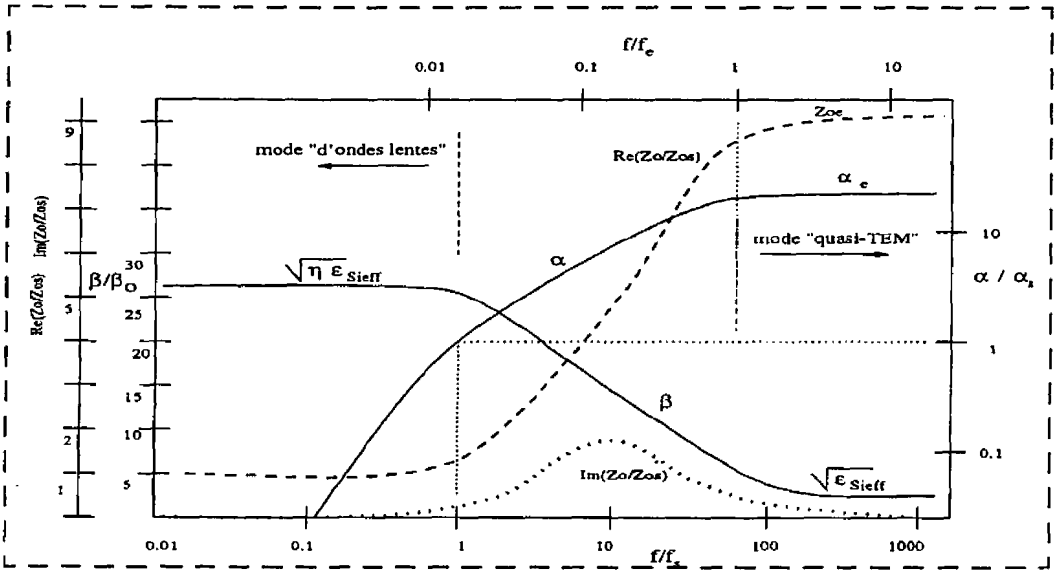


Figure 2.2 Variation des paramètres "α", "β" et Zo dans la bande de fréquence correspondante aux modes "d'ondes lentes" et "quasi-TEM"

2.2.2 Calcul des éléments dans le modèle RLGC

Les équations pour le mode "quasi-TEM" sont bien connues dans l'analyse micro-onde de la ligne micro ruban où le substrat est sans perte (ou à faible perte, matériel diélectrique). Par exemple, l'impédance caractéristique calculé de façon empirique (voir D. Pozar, chapitre 4.7) pour la ligne micro ruban est:

$$Z_{oe} = \frac{120\pi}{\sqrt{\varepsilon_{sieff}}} \cdot F(w,H) \qquad \{2.2.6\}$$

où

$$\varepsilon_{sieff} = \frac{\left(\varepsilon_{si}+1\right)}{2} + \frac{\left(\varepsilon_{si}-1\right)}{2\cdot\sqrt{1+10\left(\frac{H}{w}\right)}} \qquad \{2.2.7\}$$

est la permittivité relative équivalente (valeur utilisée pour le système micro-ruban avec matériel diélectrique seulement d'une côté de la trace). Le facteur de forme F(w, H), est utilisé dans le calcul de Z_0 quand l'épaisseur du substrat (H) est plus grande que la largeur de la trace (W).

$$F(w,H) = \frac{1}{2\pi}\cdot\ln\left(8\cdot r+\frac{1}{4\cdot r}\right);\ldots\ldots r = \frac{H}{w} \qquad \{2.2.8\}$$

On obtient une valeur normalisée de l'inductance L (Henry/mètre) dans la cellule RLGC égale à

$$L_e = \mu o\cdot F(w,H) \qquad \mu_o = 4\cdot\pi\cdot 10^{-7} \qquad \{2.2.9\}$$

Cette valeur (L_e) est valide dans la bande de fréquence correspondante au mode quasi-TEM.

Les valeurs de Zo, "β" et "α_d" (figure 2.2) varient dans la zone de transition entre les modes "d'ondes lentes" et "quasi-TEM". Cette variation, conformément aux résultats de Hasegawa, se produit entre deux fréquences f_s et f_e.

Les fréquences-limite pour cette zone sont:

$$f_s = \frac{1}{2\pi} \cdot \frac{\sigma_{si}}{\varepsilon_o \cdot \varepsilon_{ox}} \cdot \frac{h}{H} \qquad \{2.2.10\}$$

la fréquence limite supérieure pour le mode d'ondes lentes, et

$$f_e = \frac{1}{2\pi} \cdot \frac{\sigma_{si}}{\varepsilon_o \cdot \varepsilon_{si}} \qquad \{2.2.11\}$$

la fréquence limite inférieure pour le mode «quasi-TEM».

Selon Hasegawa (1971), le rapport entre les deux fréquences limite ("η") est:

$$\eta = \frac{f_e}{f_s} = \left(\frac{\varepsilon_{ox}}{\varepsilon_{si}} \cdot \frac{H}{h} \right) \qquad \{2.2.12\}$$

La variation de la vitesse de phase entre les deux modes est considérée dans le calcul de l'inductance de la cellule RLGC du modèle. Les valeurs L_s et L_e (eq. 2.2.15) représentent les valeurs calculées pour l'inductance du modèle RLGC valides dans les domaines de fréquence $f < f_s$ et $f > f_e$ respectivement:

Le phénomène d'ondes lentes est caractérisé par une variation non-linéaire des paramètres V_ϕ vitesse de phase, de la longueur d'onde λ, et la constante de phase "β" car ces paramètres sont en étroite relation. Entre les deux domaines de fréquence considérés, ces paramètres varient dans un rapport égal à la racine carrée du facteur "η" (figure 2.2 et équation 2.2.13).

$$\frac{\varepsilon_{so}}{\varepsilon_{sieff}} = \frac{\varepsilon_{ox} \cdot H/h}{\varepsilon_{sieff}} = \eta ; \frac{V_\phi(f_s)}{V_\phi(f_e)} - \frac{\lambda_s \cdot f_s}{\lambda_e \cdot f_e} - \sqrt{\eta} = \sqrt{\frac{L_s}{L_e}} \qquad \{2.2.13\}$$

où

$$\varepsilon_{so} = \varepsilon_{sieff} \cdot \sqrt{\eta} \qquad \{2.2.14\}$$

est connue comme valeur statique de la permittivité Maxwell-Wagner (Hasegawa (1971)). Dans la cellule RLGC équivalente, on essaye de simuler le phénomène d'ondes lentes par la variation de l'inductance série. Elle varie entre les valeurs L_e (eq. 2.2.9) calculée sur la base de la théorie du mode quasi-TEM et L_s. La formule pour calculer L_e est tirée de Jiann-Shiun Yuan, W. Eisenstadt et Juin Liou (1990). Comme l'inductance du modèle est en relation directe avec "β" (eq. 2.2.5), le rapport entre L_s et L_e est égal à "η", donc

$$L_s = \eta \cdot L_e \qquad \{2.2.15\}$$

Dans la zone de transition, nous avons exprimé la variation de "β" par l'équation 2.2.17. Cette solution suit les courbes présentées dans les articles de Hasegawa (1971) et de Henry Guckel, Pierce Brennan et Istvan Palocz (1968) et elle permet la synthèse d'un circuit équivalent simplifié. Par exemple, dans la figure 2.2, on peut approximer la courbe de "β" par une fonction arctangente hyperbolique, ayant comme abscisse le logarithme de la fréquence.

Il résulte une fonction du type 2.2.16.

$$\frac{\beta(f)}{\beta_o} \sim \frac{\beta(f>fe)}{\beta_o} \cdot \frac{\frac{f}{f_s}+\eta}{\frac{f}{f_s}+\sqrt{\eta}} \sim \frac{\omega \cdot \sqrt{L \cdot C}}{\beta o} \qquad \{2.2.16\}$$

où β_0 représente la constante de phase pour la propagation dans le vide.

En considérant comme constant le condensateur C (eq. 2.2.16) et la relation entre "β" et l'inductance du modèle, la variation de L est conforme à l'équation 2.2.17.

$$L = L_e \cdot \frac{f^2 + 2 \cdot \eta \cdot f_s \cdot f + \eta^2 \cdot f_s^2}{f^2 + 2 \cdot \sqrt{\eta} \cdot f_s \cdot f + \eta \cdot f_s^2} \qquad \{2.2.17\}$$

Aux cas limite, L prend les valeurs L_e (quand $f > f_e$, dans le mode quasi-TEM) et $L_s=\eta * L_e$ (à basse fréquence, pour le mode d'ondes lentes).

Pour extraire la conductance G du modèle, on utilise les équations et la variation de la constante d'atténuation dans le substrat.

L'atténuation globale du signal "α" est due aux pertes dans le matériel conducteur et dans le substrat.

$$\alpha = \alpha_c + \alpha_d \qquad \{2.2.18\}$$

où α_c représente les pertes dans le métal (conducteur)

et α_d les pertes dans le substrat (appelé diélectrique).

Le facteur d'atténuation α_c est fonction de la résistance de la trace, R_c.

$$\alpha_c \equiv \frac{R_c}{2 \cdot Z_e} \qquad \{2.2.19\}$$

Dans l'article de Keith Goossen et Robert Hammond (1989), les auteurs ont présenté une formule complexe pour calculer α_c pour une ligne micro-ruban. En effet, nous n'avons pas l'intention de calculer ici avec précision l'atténuation dans le conducteur, mais plutôt d'identifier l'élément dans la cellule RLGC qui est responsable de cette perte, la résistance série du fil, R_c. On a constaté que dans le domaine de fréquence considéré, l'effet pelliculaire dans le matériel conducteur est négligeable, donc R_c est de valeur constante et égale à la résistance physique de la trace.

Pour calculer G on analyse l'effet d'atténuation dans le substrat. À basse fréquence, par couplage capacitif, les électrons créés dans le substrat vont se déplacer vers le potentiel le plus bas (par exemple le dos de la plaquette) ou bien, certains d'entre eux vont se recombiner dans le silicium. Pour le calcul de G dans ce cas, il faut utiliser la résistivité du substrat qui intègre les deux phénomènes. Pour simplifier l'équation qui permet le calcul de G à basse fréquence, on considère dans le silicium seulement les lignes verticales de courant.

$$G = G_o = \sigma_{si} \cdot \frac{w}{H} \qquad \{2.2.20\}$$

(valeur par unité de longueur de ligne)

L'erreur faite par cette approximation peut être négligeable, car dans ce domaine de fréquence le couplage par Cox (condensateur d'oxyde) est faible.

De même, les valeurs usuelles de G sont tellement proches de zéro, du fait qu'une variation d'environ 30% de la conductance G_0 obtenue par la suite d'un calcul précis n'est pas saisissable. Pour cette zone, nous avons utilisé la notation α_0 pour les pertes dans le substrat, α_0 qui est fonction linéaire de $(1/G_0)$.

Dans la bande de fréquences supérieure, on utilise la théorie micro-ondes pour la ligne micro ruban. Le facteur tg(δ) (qui exprime les pertes dans diélectrique) est constitué de deux éléments: une partie contenant la partie imaginaire de la permittivité ε'' et l'autre due à la conduction dans le substrat (σ_{si}). Dans les conditions présentes du substrat et du domaine de fréquences (résistivité du substrat inférieure à 1000 Ωcm et fréquence maximale 20GHz), la perte due à la conductivité du silicium est majoritaire.

L'équation Maxwell pour le champ magnétique H est:

$$\nabla \times H = j \cdot \omega \cdot D + J = j \cdot \omega \cdot \left(\varepsilon' - j \cdot \varepsilon'' - j \cdot \frac{\sigma}{\omega} \right) \qquad \{2.2.21\}$$

Le terme ($\omega \cdot \varepsilon'' + \sigma$) est la conductivité totale effective. Il est associé à la partie imaginaire de ε.

La tangente des pertes est le rapport entre la partie imaginaire et la partie réelle de la permittivité.

$$tg(\delta) = \frac{\omega \cdot \varepsilon'' + \sigma_{Si}}{\omega \cdot \varepsilon'} \cong \frac{\sigma_{Si}}{\omega \cdot \varepsilon'} \qquad \{2.2.22\}$$

Une expression pour l'atténuation dans le substrat, calculée pour la ligne micro ruban (calcul à partir de D. Pozar (1990), chapitre 4.1), est:

$$\alpha_e \equiv \frac{tg(\delta)\cdot\pi}{\lambda} \qquad \text{où } \lambda \text{ est la longueur d'ondes} \qquad \{2.2.23\}$$

Le matériel semiconducteur se trouve d'une côté de la trace et seulement une partie des lignes de champs électro-magnétique passent à travers le silicium. Le facteur d'atténuation α_e de l'équation 2.2.23 doit être multiplié par un facteur de forme, Ko. Par une série des calcules simples on arrive à une expression simple de α_e.

$$\alpha_e \equiv \frac{tg(\delta)\cdot\pi}{\lambda}\cdot Ko = \frac{\pi\cdot\sigma_{Si}}{2\cdot\pi\cdot f\cdot\varepsilon_0\cdot\varepsilon_{Si}}\cdot\frac{f\cdot\sqrt{\varepsilon_{Sieff}}}{c}\cdot K_0 = \frac{\pi\cdot\sigma_{Si}}{2\cdot\pi\cdot f\cdot\varepsilon_0\cdot\varepsilon_{Si}}\cdot\frac{f\cdot\sqrt{\varepsilon_{Sieff}}}{c}\cdot K_0 \quad (\Rightarrow)$$

$$(\Rightarrow)) = \frac{\sigma_{Si}\cdot\varepsilon_{Sieff}}{2\cdot\varepsilon_{Si}}\cdot\frac{1}{\sqrt{\varepsilon_{Sieff}}}\cdot\sqrt{\frac{\mu_o}{\varepsilon_o}}\cdot K_0 = \frac{\sigma_{Si}\cdot\varepsilon_{Sieff}}{\varepsilon_{Si}}\cdot\frac{Z_{oe}}{F(w,H)}\cdot K_0 \qquad \{2.2.24\}$$

où le facteur de forme est (exemple dans D. Pozar (1990), page 186):

$$K_0 = \frac{\varepsilon_{Si}}{\varepsilon_{Sieff}}\cdot\frac{\left(\varepsilon_{Sieff}-1\right)}{\left(\varepsilon_{Si}-1\right)} \qquad \{2.2.25\}$$

Enfin, la formule finale obtenue pour α_e est:

$$\alpha_e = \frac{\sigma_{Si} \cdot Z_{oe}}{F(w,H)} \cdot \frac{\left(\varepsilon_{Sieff} - 1\right)}{\left(\varepsilon_{Si} - 1\right)} \cong \frac{\sigma_{Si} \cdot Z_{oe}}{F(w,H)} \cdot \frac{1}{2} \qquad \{2.2.26\}$$

Afin d'obtenir la relation entre α_d et G, il faut exprimer les équations de tension et de courant, en fonction du temps et de la position, pour la cellule RLGC et la ligne physique (voir exemple dans D. Pozar (1990), page 68, ou dans Keith Goossen et Robert Hammond, (1989)). L'équation 2.2.27, qui offre cette relation entre α_d et G dans une forme simplifiée, est valide pour le mode quasi-TEM.

$$G\big|_{f>fe} = G_e = \frac{2 \cdot \alpha_e}{Z_{oe}} = \frac{\sigma_{si}}{F(w,H))} \qquad \{2.2.27\}$$

où σ_{si} = la conductivité du substrat semiconducteur; Z_{oe}= l'impédance caractéristique de la ligne.

Dans toute la bande de fréquence considérée, l'atténuation dans le substrat α_d varie entre les valeurs α_o (α_d pour $f < f_s$) et α_e (α_d pour $f > f_e$). À la fréquence f_s, selon Hasegawa (1971), l'atténuation (α_s) est:

$$\alpha_s = \frac{\alpha_e}{\sqrt{\eta}} \qquad \{2.2.28\}$$

L'équation 2.2.29 est une expression obtenue pour α_d. La fonction assure les conditions à la limite pour les modes d'ondes lente et quasi-TEM (α_o pour f-->0, α_e pour f-->*oo*) et passe par le point (α_s, f_s)

$$\alpha_d = \alpha_e \cdot \frac{f + f_s \cdot \frac{\sqrt{\eta} - 1}{\nu - \sqrt{\eta}}}{f + f_s \cdot \nu \cdot \frac{\sqrt{\eta} - 1}{\nu - \sqrt{\eta}}} \qquad \nu = \frac{\alpha_e}{\alpha_o} \qquad \{2.2.29\}$$

En considérant les relations entre α_d et G, on obtient une expression pour la conductance G (eq. 2.2.29).

$$G = Go + Ge \cdot \frac{f}{f + f_s \cdot (\sqrt{\eta} - 1)} \qquad \{2.2.30\}$$

Dans la cellule RLGC, les deux autres composantes à calculer sont R_c (la résistance série du fil conducteur) et C, le condensateur parasite entre la trace et le plan de référence (le dos de la plaquette). Ce condensateur comprend deux composantes: C_{ox}, considéré entre la trace et le plan de séparation entre l'oxyde et le semiconducteur, et C_{si} pour la zone semiconductrice.

La cellule RLGC résultante est présentée dans la figure 2.3.

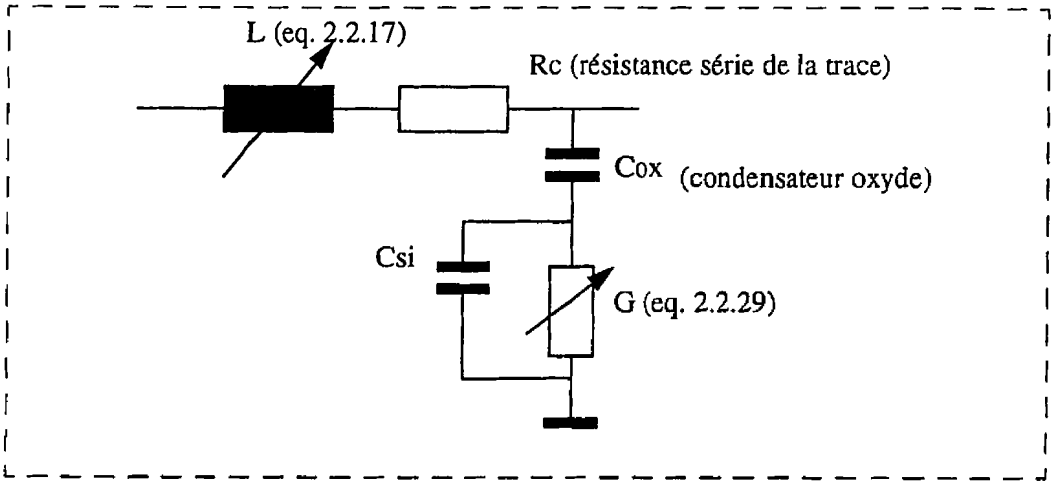


Figure 2.3 Cellule RLGC avec éléments L et G, variables en fonction de la fréquence

Afin de mieux comprendre les variations de la cellule RLGC en fonction de la fréquence, nous présentons à la figure 2.4 les courbes correspondantes aux éléments L et G pour deux substrats semiconducteurs de résistivités différentes ($\rho_2 > \rho_1$).

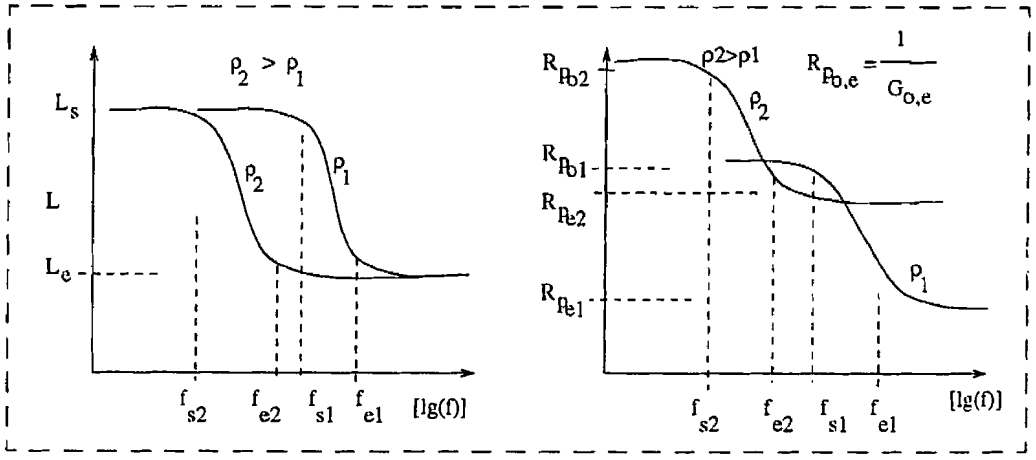


Figure 2.4 Variation des éléments L et G du modèle pour deux substrats de résistivités différentes

2.2.3 Cellule RLGC équivalente

Dans les simulations avec HSPICE, nous devons utiliser une cellule RLGC avec des composantes de valeur fixe dans toute la bande de fréquence utile. Le circuit de la figure 2.5 propose une solution pour résoudre le problème de la variabilité de L et G dans le modèle simple, afin d'obtenir une cellule avec des composants de valeur fixe. Bien que ce modèle n'est qu'une approximation, nous avons pu reproduire le comportement du modèle de la figure 2.3 avec L et G variables (voir eq. 2.2.17 et 2.2.30) avec une précision assez bonne. Les composantes L1, L2, R1, R2, C1, R3 et R4, remplacent l'inductance variable L et Rc, tandis que Co2, Rp2 et Rp1 remplacent la conductance variable G (figures 2.3 et 2.5). Pour valider le circuit de la figure 2.5, on a effectué des travaux de synthèse du circuit et des simulations en fréquence avec le simulateur "Touchstone".

Pendant ces simulations, nous avons observé la différence entre les fonctions de transfert pour les deux circuits (paramètre S21 amplitude et phase).

Par la suite on a obtenu le groupe d'équations 2.2.31.

$$L_1 = Le \qquad L_2 = \frac{R_1}{2 \cdot \pi \cdot f_s} \qquad C_1 = \frac{1}{2 \cdot \pi \cdot R_3 \cdot fe} \qquad R_2 = R_4 = Rc \cdot \frac{1 + 0.7 \cdot \sqrt{\eta}}{2 + 0.7 \cdot \sqrt{\eta}}$$

$$R_1 = R_3 = \frac{R_2}{0.7 \cdot \sqrt{\eta}} \qquad \{2.2.31\}$$

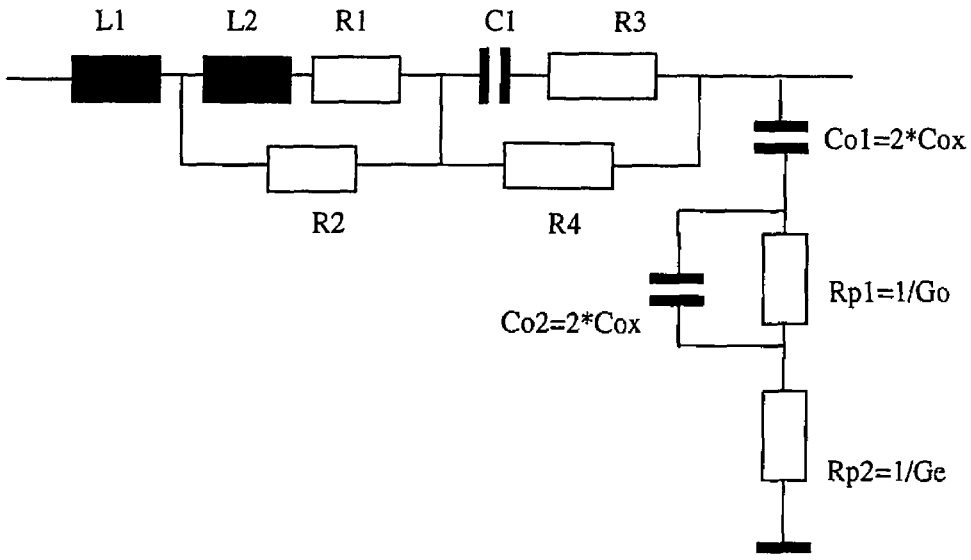


Figure 2.5 Circuit équivalent avec des composantes stables dans la bande de fréquence considérée

Le schéma de la figure 2.5 a été vérifié pour un ensemble de lignes choisies dans les simulations HSPICE effectuées. Pourtant, la validité de la structure, ainsi que les équations associées, ne sont pas garanties dans tous les cas avec une erreur acceptable. Néanmoins, dans la suite, nous utiliserons cette structure pour l'analyse du modèle RLGC ainsi que pour l'extraction d'un modèle simplifié.

Avant d'analyser les résultats de simulation, nous présentons les configurations de ligne choisies pour le test. Afin de comparer les tests avec les simulations, certaines dimensions de ligne se retrouvent dans les deux analyses (simulation et test).

2.3. Configurations de ligne proposées pour améliorer la propagation des signaux de haute vitesse

Pour valider le modèle RLGC développé et pour caractériser certaines structures, nous avons prévu d'effectuer des mesures de délai du signal numérique sur un ensemble des traces de différentes dimensions et géométries. Les méthodes de mesure et les circuits afférents sont détaillés dans les chapitres suivants.

Dans cette section, nous présentons une liste des interconnexions conçues pour ce test. Parmi plusieurs architectures possibles, on a choisi neuf différents types de lignes en essayant d'analyser les aspects suivants:

- un cas général de référence, où l'interconnexion est de largeur constante et placée sur un substrat semiconducteur simple (d'un seul type de conductivité et polarisé à potentiel constant);
- le degré de perturbation du signal due aux éléments de discontinuité; l'analyse porte sur les changements de direction et sur les passages entre les différentes couches de métal;
- l'effet du substrat sur les caractéristiques de la ligne; solutions pour réduire les pertes dans le substrat en ajoutant des couches de diffusion dans le substrat:

Voici une description sommaire des types d'interconnexions prévues pour le test:

A.) Lignes de longueur 1.2mm sur la couche métal 1, placées sur un substrat simple (semiconducteur d'un seul type de conductivité et polarisé à potentiel fixe).

Elles se trouvent dans un circuit de test que nous appelons numéro 2 et elles se

présentent comme suit:

A.1) L1osc, L1phd: lignes de largeur constante 4µm;

A.2) L2phd: ligne de largeur 4um et avec 40 changements de direction à 90 degrés;

A.3) L3osc: ligne de largeur variable (largeur 6µm sur un segment de longueur 0.6mm et 2µm sur l'autre segment de 0.6mm);

A.4) L4phd: ligne avec 60 passages entre les couches métal 1 et métal 2;

A.5) L6phd(a,b,c): trois lignes parallèles de largeur 4µm est espacement de 2µm; avec cette configuration, nous analysons l'influence d'un signal synchrone qui se propage sur une ligne voisine;

Dans le chapitre 4, qui présente les méthodes de test pour les circuits démonstrateurs, la figure 4.11 montre les connexions pour ces lignes et l'image dessin des masques est présentée à la figure 4.16.

B.) Interconnexions isolées du substrat; pour réduire les pertes dans le substrat, nous essayons d'isoler les interconnexions par deux procédés:

B.1) l'introduction de structures complexes au-dessous de la trace; il est possible par exemple d'introduire une ou plusieurs couches de diffusion ou de polysilicium ("polySi") entre la trace d'intérêt et le substrat;

B.2) le placement d'une une ligne secondaire au-dessous de la trace principale, ligne sur laquelle on doit injecter un signal similaire et synchrone au signal sur la trace principale;

À cette fin, nous avons conçu dans un autre circuit de test que nous appelons numéro 1, quatre modules pour caractériser des lignes de longueur 2.1mm et largeur 3µm. Ces lignes sont placées sur quatre différentes structures ou ensemble de couches (figure 2.6):

- structure de type A: ligne principale de métal placée au-dessus d'une ligne secondaire sur la couche "polySi" (note 2.1) et la couche de diffusion "P^-", polarisée à Vss;
- structure de type B: ligne principale de métal placée au-dessus d'une ligne secondaire réalisée sur la couche de diffusion "N^+" (note 2.1) et isolée par un puits "P" ("P^-" polarisé à Vss);
- structure de type C: ligne principale de métal placée au-dessus d'une ligne secondaire réalisée sur la couche de diffusion "P^+" (note 2.1);
- structure de type D: ligne principale de métal placée au-dessus d'une ligne secondaire sur la couche "polySi" (note 2.1);

Le substrat n-epi est toujours connecté à Vdd.

2.1. La ligne secondaire est connectée au noeud "c" (figures 2.6 et 4.5); l'état du noeud "c" peut être sélectionné dans l'une des quatre positions suivantes: haute impédance (pour le mode "HiZ"); tiré à Vss par un transistor NMOS en conduction (pour le mode "L"); tiré à Vdd par un transistor PMOS en conduction (pour le mode "H"); en mode "S", qui est caractérisé par l'injection d'un signal sur le noeud "c", synchrone par rapport au signal sur le noeud "a" (figures 2.6 et 4.3);

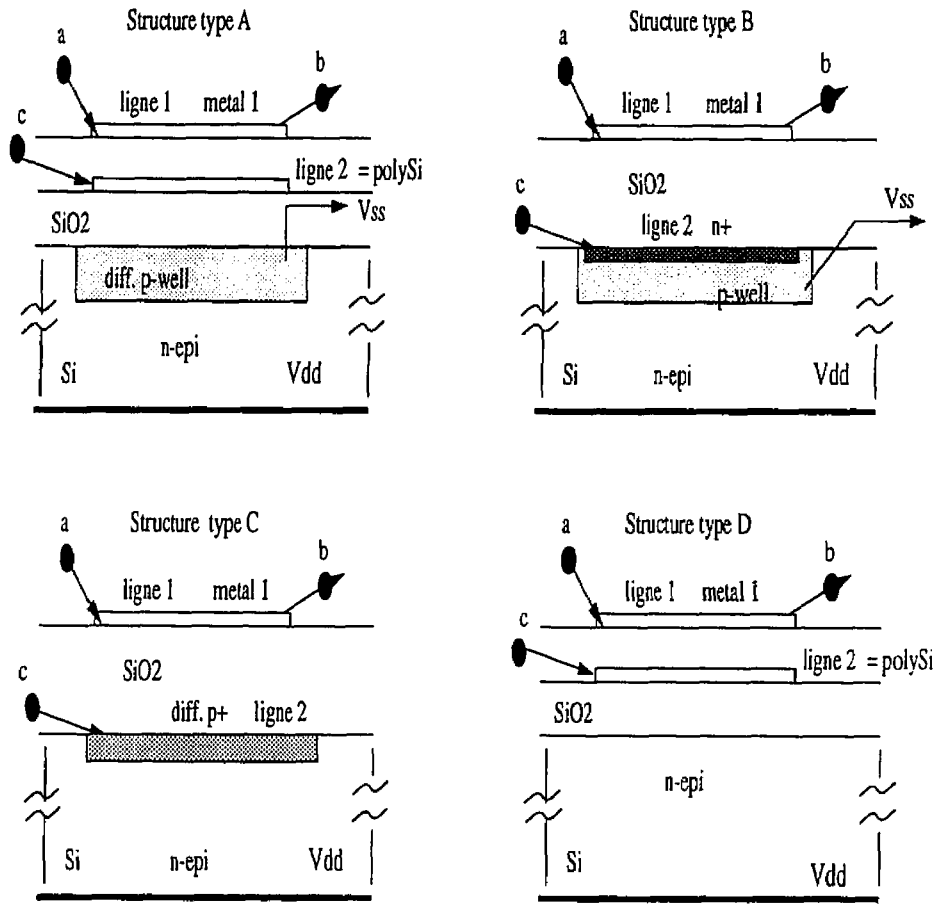


Figure 2.6 Quatre structures complexes associées aux lignes longues analysées dans le circuit démonstrateur numéro 1

Il y a certainement d'autres combinaisons possibles et qui méritent d'être étudiées, mais la surface disponible pour les circuits de test nous a forcé à limiter le nombre de lignes mesurées ainsi que la longueur maximale d'une trace. On s'attend à une amélioration dans la propagation du signal sur des lignes de type L3osc (à largeur variable), et dans certaines cas pour les lignes de structure complexe (figure 2.6).

En général, dans un circuit logique, une trace connecte les entrées de plusieurs portes à une source de basse impédance. Dans des conditions de signal numérique, on ne peut pas parler d'adaptation du circuit pour toutes les harmoniques dominantes, mais il est utile d'assurer une meilleure propagation pour les fréquences supérieures. La géométrie de la trace de largeur variable L3osc ressemble à celle d'un transformateur d'impédance (figure 2.7).

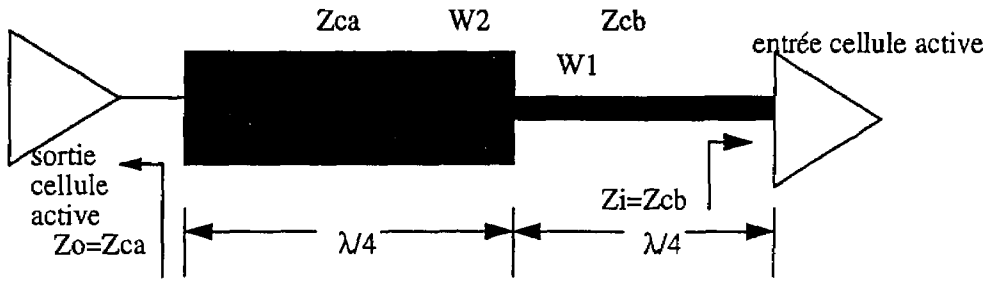


Figure 2.7 Ligne à section variable, prévue pour caractérisation dans le circuit de test numéro 2 (L3osc)

La condition pour l'adaptation de l'impédance est réalisée pour des fréquences supérieures dont la longueur d'onde est égale à deux fois la longueur du segment de ligne (voir explications sur le transformateur d'impédance dans H. Howe (1974)). Cette configuration est utilisée dans la conception des dispositifs micro-ruban sur circuit imprimé. J'ai analysé cette géométrie pour le cas d'une trace de circuit intégré en faisant plusieures simulations. Pour ces simulations, on a utilisé le modèle «U» , c'est-à-dire la ligne de transmission avec pertes de la librairie HSPICE. Nous avons constaté des

améliorations dans la propagation du signal de l'ordre 10 à 20ps quand l' interconnexion dépasse la longueur de 5mm. Une ligne de ce type (de longueur de 1.2mm, limite imposée par la surface disponible de 3.1mm X 3.1mm dans le circuit de test), a été prévue pour fins de caractérisation dans le circuit de test 2.

2.4. Simulations effectuées pour le modèle de ligne développé; extraction d'un *modèle RCG simplifié*

Le modèle RLGC obtenu (figure 2.3) indique une augmentation des pertes dans la bande de fréquence supérieure (mode quasi-TEM). L'équation 2.2.30 montre que l'élément G augmente avec la fréquence. Pour quantifier la perturbation du signal provoquée par les pertes dans le substrat semiconducteur, nous avons effectué un ensemble de simulations. Pour ce faire, nous avons simulé avec HSPICE un oscillateur en anneau à fréquence variable, similaire avec ceux utilisés dans les circuits de test (chapitre 4), où la boucle est fermée par la ligne analysée (figure 2.8). Nous voulons comparer le délai du signal sur l'interconnexion qui ferme la boucle de l'oscillateur, pour différents modèles de ligne.

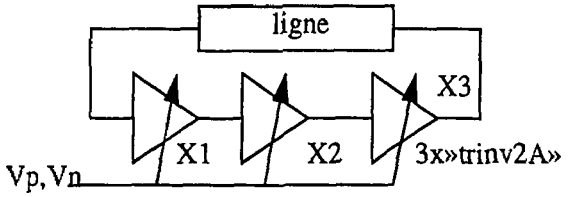


Figure 2.8 Schéma utilisé pour simulations

L'interconnexion physique ("ligne" dans la figure 2.8) est remplacée successivement dans nos simulations par plusieurs cellules correspondant aux modèles suivants:

1. modèle "C" - capacitif (figure 2.9, modèle 1); c'est un modèle simplifié, fréquemment utilisé dans la simulation des circuits numériques, qui tient compte seulement de la capacité parasite entre la trace et le substrat semiconducteur (Cox);
2. modèle "RC" - (figure 2.9, modèle 2); la cellule contient la capacité Cox et la résistance série de la trace;
3. modèle "U" - est présent dans la librairie HSPICE et représente la ligne micro-ruban avec pertes (détails dans le manuel d'utilisation HSPICE H93); pour ce modèle nous avons spécifié les dimensions physiques de la trace: l'hauteur de l'oxyde (ht), l'épaisseur du fil (th), la constante diélectrique de l'oxyde (KD) et la résistivité du métal RHO et du substrat RHOB; à titre d'exemple, une description du modèle utilisé dans le fichier "liste d'interconnexions" pour HSPICE est:

```
.MODEL diel3 U level=3 plev=1 elev=1 dlev=0 wd=3u ht=1u th=0.5u KD=3.9
+ RHO=2e-8 RHOB=1.2e-5
```

4. modèle "RLGC" développé dans ce chapitre (cellule équivalente de la figure 2.5); "RLGC-c" c'est le modèle avec valeurs concentrées (une seul cellule RLGC a été utilisée pour tout le segment de ligne) et "RLGC-d" le modèle distribué (une cellule pour un segment de longueur maximale de 3mm).

5. modèle simplifié RCG [2.2] (figure 2.9, modèle 5); il est composé d'une résistance série (la résistance du fil), le condensateur d'oxyde Cox et la conductance du substrat calculée selon la formule 2.2.27 et il constitue une version simplifié du modèle RLGC; cette cellule peut être utile quand on effectue des simulations pour un circuit complexe tout en considérant la résistivité du substrat semiconducteur.

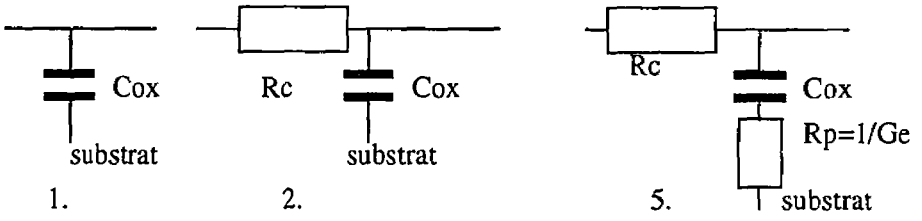


Figure 2.9. Modèles "C" (1.), "RC" (2.) et "RCG" (5.)

2.2 À partir des caractéristiques physiques de la trace, nous avons calculé les éléments requis pour la cellule de la figure 2.2.3 (L_e, η, f_s, f_e, F(w,H), Cox, Rc); par exemple, pour une ligne de longueur 1mm, d'épaisseur 0.5µm et de largeur 4µm, placée sur un oxyde d'épaisseur 1µm et substrat silicium de 200µm (résistivité ρ=10 à 100 Ωcm), on a obtenu les valeurs suivantes: Rc=10 Ω, Cox = 154 fF, f_s= 230MHz et f_e=16.1GHz (@ρ=10 Ωcm), f_s= 23MHz et f_e=1.61GHz (@ρ=100 Ωcm); L_e=1.33nH, η=70, ε_{Sieff}=6.5. Par la suite, on a utilisé l'ensemble d'équations 2.2.31 afin d'extraire les valeurs pour les composantes de la figure 2.2.5, la cellule RLGC équivalente, utilisée dans les simulations HSPICE.

La fréquence d'oscillation libre varie en fonction de la tension sur les lignes de contrôle V_p et V_n (figure 2.8). Pour une polarisation (V_p, V_n) = (0V, 5V), les inverseurs sont puissants (largeurs des transistors Wn=32µm et Wp=44µm) et les transitions du signal sont fortes. L'autre cas c'est la polarisation (V_p, V_n) = (3V, 2V) quand les cellules "trinv2A" injectent un courant faible à la sortie pour simuler une réduction de la taille des transistors. Dans ce cas, la commutation du signal est moins forte. En premier, on effectue la simulation pour l'oscillateur de référence. Le module de référence est un oscillateur avec connexion directe entre X3 et X1. La période d'oscillation pour le module de référence en fonction de la polarisation V_p,V_n, est présentée dans le tableau 2.1.

Tableau 2.1 Période d'oscillation pour le circuit de la figure 2.8 avec connexion directe entre X3 et X1

			Vp / Vn (V)				
			0 / 5	1.5 / 3.5	2.5 / 2.5	3 / 2	
	Période oscillateur de référence		1.6	1.77	2.14	2.82	ns

Les lignes analysées ont les dimensions suivantes:

ligne 1: largeur 4µm, longueur 1.2mm

ligne2: largeur 6µm sur 0.6mm et 2µm sur un autre segment de 0.6mm de long.

ligne3: largeur 4µm, longueur 6mm

ligne 4: largeur 4µm, longueur 12mm.

Par la suite des simulations, dans l'oscillateur de la figure 2.8, la connexion entre X3 et X1

est réalisée par une des quatre lignes mentionnées ci-haut. Dans chacun des cas, nous avons enregistré dans les tableaux 2.2 à 2.5, la différence entre la période d'oscillation libre pour le module avec ligne et la valeur correspondante de l'oscillateur de référence (tableau 2.1). Ces valeurs représentent le délai additionnel sur la trace insérée dans la boucle.

Tableau 2.2. Différence de délai ajouté par la ligne 1 connectée dans l'oscillateur de la figure 2.8; valeurs obtenues par simulation en utilisant les différents modèles de ligne

			Vp / Vn (V)				
			0 / 5	1.5 / 3.5	2.5 / 2.5	3 / 2	
Cas	conditions	modèles					
1		«C»	0.27	0.31	0.43	0.61	ns
2		«RC»	0.28	0.35	0.45	0.62	
3		«U»	0.28	0.35	0.46	0.64	
4	ρ_{si}=10 Ωcm	«RLGC-c»	0.23	0.29	0.38	0.46	
5	ρ_{si}=100 Ωcm	«RLGC-c»	0.13	0.14	0.22	0.30	
6	ρ_{si}=100 Ωcm	«RCG-c»	0.1	0.14	0.19	0.28	

Tableau 2.3 Différence de délai ajouté par la ligne 2 connectée dans l'oscillateur de la figure 2.8; valeurs obtenues par simulation

			Vp / Vn (V)				
Cas	conditions	modèle	0 / 5	1.5 / 3.5	2.5 / 2.5	3 / 2	
7	ρ_{si}=100 Ωcm	«RLGC-c»	0.08	0.16	0.26	0.39	ns

Tableau 2.4 Différence de délai ajouté par la ligne 3 connectée dans l'oscillateur de la figure 2.8; valeurs obtenues par simulation en utilisant les différents modèles de ligne

			Vp / Vn (V)				
			0 / 5	1.5 / 3.5	2.5 / 2.5	3 / 2	
Cas	conditions	modèles					
8		«C»	1.03	1.15	1.22	2.04	ns
9		«RC»	1.02	1.18	1.34	2.14	
10		«U»	0.17	0.21	0.17	0.16	
11	ρ_{si}=10 Ωcm	«RLGC-c»	0.96	1.05	1.35	1.76	
12	ρ_{si}=10 Ωcm	«RLGC-d»	1.00	1.11	1.37	1.83	
13	ρ_{si}=100 Ωcm	«RLGC-c»	1.00	1.14	1.42	1.98	
14	ρ_{si}=100 Ωcm	«RLGC-d»	0.63	0.76	0.99	1.46	
15	ρ_{si}=10 Ωcm	«RCG-c»	0.98	1.18	1.43	2.01	
16	ρ_{si}=100 Ωcm	«RCG-c»	0.51	0.66	0.88	1.34	
17	ρ_{si}=10 Ωcm	«RCG-d»	0.99	1.20	1.47	2.05	
18	ρ_{si}=100 Ωcm	«RCG-d»	0.51	0.67	0.89	1.37	

Tableau 2.5. Différence de délai ajouté par la ligne 4 connectée dans l'oscillateur de la figure 2.8; valeurs obtenues par simulation en utilisant les différents modèles de ligne

			Vp / Vn (V)				
			0 / 5	1.5 / 3.5	2.5 / 2.5	3 / 2	
Cas	conditions	modèles					
19		«C»	1.58	1.86	2.24	2.92	
20		«RC»	1.63	1.83	2.21	2.76	
21		«U»	0.09	0.26	0.33	0.35	ns
22	ρ_{si}=10 Ωcm	«RLGC-c»	1.43	1.62	1.95	2.64	
23	ρ_{si}=10 Ωcm	«RLGC-d»	1.58	1.75	2.10	2.72	
24	ρ_{si}=100 Ωcm	«RLGC-c»	1.08	1.19	1.54	2.22	
25	ρ_{si}=100 Ωcm	«RLGC-d»	1.76	1.95	2.36	3.21	
26	ρ_{si}=10 Ωcm	«RCG-c»	1.69	1.88	2.34	3.21	
27	ρ_{si}=100 Ωcm	«RCG-c»	1.10	1.30	1.68	2.47	
28	ρ_{si}=10 Ωcm	«RCG-d»	1.76	1.92	2.38	3.28	
29	ρ_{si}=100 Ωcm	«RCG-d»	1.14	1.35	1.77	2.68	

Une analyse du modèle basée sur les résultats du tableaux 2.2 à 2.5 vise surtout l'aspect délai d'un signal numérique dans une interconnexion intégrée. Basé sur ces résultats, on peut tirer quelques conclusions importantes:

a) la résistivité du substrat doit être inclue dans le modèle. Dans tous les cas il faut utiliser soit le modèle complet RLGC, soit une forme simplifiée comme par exemple le modèle RCG proposé. La forme simplifiée RCG sera adoptée quand l'effet inductif est négligeable. Par exemple, dans les conditions du signal présent dans cet exemple (temps de commutation de l'ordre 500ps à 800ps), si la trace est inférieure à 1cm (longueur) et le substrat est de faible résistivité (inférieure à 100 Ωcm), avec une erreur limite de 5%, on peut utiliser le modèle simplifié RCG (une seul cellule pour tout le segment). Les modèles C et RC offrent en général des estimés de délai plus grands tout en négligeant le substrat. Le modèle RC peut offrir des résultats acceptables si le substrat est de faible résistivité (par exemple inférieure à 10 Ωcm). Dans le tableau 2.5 (cas 19, 20), on peut remarquer que pour Vp>1.5V et Vn<3.5V (quand les inverseurs sont en régime de faible puissance de sortie), avec le modèle RC, l'oscillateur semble tourner plus vite que pour le modèle C. Dans le cas présent, où la ligne 4 est remplacée par une cellule RC, l'inverseur est moins chargé à la sortie et il semble commuter plus vite, de façon à compenser partiellement le délai dû à la constante RC.

b) on doit considérer l'effet inductif pour les traces longues (dans cet exemple, des traces de longueur à partir de 1cm) lorsque le substrat est de haute résistivité

(plus de 100 Ωcm). Dans ces conditions, il est conseillé d'adopter le modèle RLGC distribué. Pour les valeurs choisies, l'utilisation du modèle RLGC distribué (une cellule par segment de longueur 5mm ou moins) est nécessaire pour des lignes de longueur 1cm ou plus placées sur un substrat de résistivité supérieure à 100 Ωcm.

c) les valeurs obtenues dans le tableau 2.2 pour le modèle de ligne "U" avec des faibles pertes sont proches de celles d'autres modèles; dans ce cas, la trace est courte et l'effet inductif n'est pas significatif.

d) l'utilisation d'une trace de largeur variable (figure 2.7) peut être avantageuse quand le signal est de commutation très rapide et le substrat est de haute résistivité; dans cet exemple (tableaux 2.2 et 2.3, cas 7 et 5), la ligne 2 offre une réduction du délai pour des transitions du signal plus rapides que 300ps.

CHAPITRE III

DEVELOPPEMENT D'UNE STRUCTURE DE TYPE MER-DE-PORTES ET DES CELLULES DE BASE

3.1. Introduction

Pour les circuits intégrés CMOS, l'architecture Mer-de-portes (MDP), analysée dans ce chapitre, présente certains avantages par rapport aux structures standards. Les études de Phillipe Duchene et Michel Declercq (1989), ainsi que d'autres auteurs, démontrent qu'une meilleure densité est réalisable en utilisant une structure MDP. De plus, elle est adéquate dans le développement de l'image d'un circuit CMOS pré-diffusé. Ces avantages nous ont amené à choisir ce type d'architecture pour nos circuits de test. Ce chapitre contient une analyse sur ces aspects et propose une nouvelle micro-architecture de type MDP. La nouvelle image a été utilisée pour la conception de deux circuits démonstrateurs. Une séquence de test a été spécialement conçue pour la validation de la structure et les résultats obtenus sont présentés à la section 5.1. Pour la conception de la nouvelle structure MDP, nous avons dû considérer quelques principes. Il faut maintenir une certaine régularité et une certaine symétrie dans le développement de l'image. La structure doit assurer un développement facile de la librairie et de la construction de cellules avec des dimensions optimales et de bonnes caractéristiques électriques. Après une analyse de l'arrangement classique MDP, nous allons présenter les éléments spécifiques de la nouvelle image, en y incluant le mécanisme de construction automatique. La section 3.6 décrit les éléments

nécessaires dans la construction des cellules. La dernière partie de ce chapitre offre une solution pratique pour la construction automatique d'une bibliothèque. Nous allons y décrire les principes directeurs et nous allons donner quelques exemples pour les portes logiques.

3.2. Analyse de la structure MDP; principes généraux

Les éléments actifs considérés sont généralement des transistors MOS de type P et N. L'architecture MDP est simple, elle se caractérise par un empilement en cascade des transistors MOS de type P et N (figure 3.1). On peut remarquer dans cette figure que chaque rangée contient des transistors du même type, N ou P. Les transistors d'un même rangé sont connectés en série, il n'y a donc pas de séparation électrique définie par la structure elle même. L'isolation électrique entre deux zones actives est réalisée à l'aide d'un transistor en état bloqué.

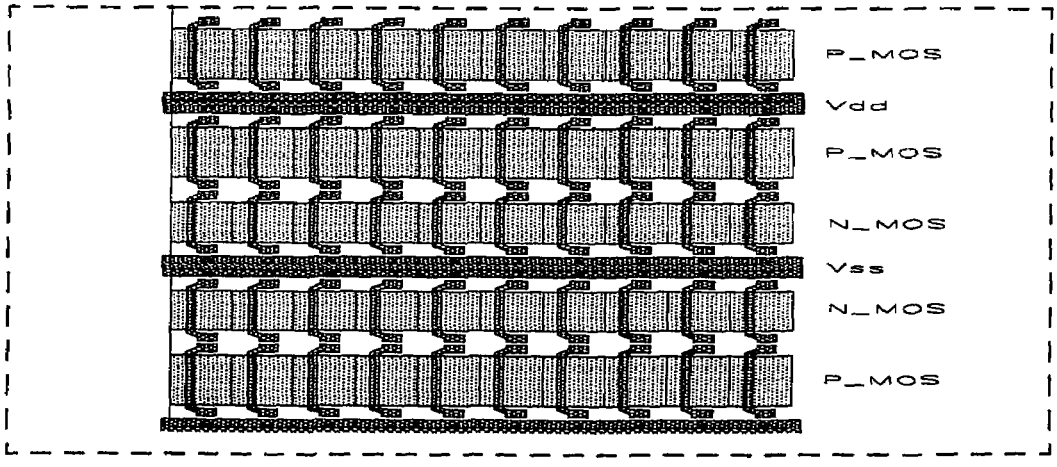


Figure 3.1 Structure classique MDP

Cette technique pour séparer les éléments actifs permet de développer facilement une structure pré-diffusée. Les limites des différentes zones sont alors définies par les connexions réalisées à l'aide des métallisations. Pour bloquer un transistor MOS de type N, il suffit de connecter sa grille à V_{ss} (ou au potentiel le plus bas). De la même façon, pour les transistors MOS de type P destinés à isoler deux régions actives, il faut connecter leurs grilles à V_{dd} (ou au potentiel le plus haut). Chaque cellule est définie par un routage interne qui assure les connexions entre les transistors actifs et les polarisations pour les transistors d'isolation. Les différents points de connexion assurent l'interface avec l'extérieur de la cellule. En général, les interconnexions internes d'une cellule n'occupent pas tous les chemins disponibles. Les cellules sont donc partiellement transparentes, ce qui permet d'utiliser l'espace libre pour le routage aux niveaux hiérarchiques supérieurs, selon une technique qui s'appelle "over-the-cell routing" (OTC) dans la littérature spécialisée. Dans la technique OTC, toute la surface du circuit est disponible au routage. Pour éviter les congestions, il faut respecter une règle fondamentale relative à l'utilisation des couches de métal. Pendant le routage, il faut changer de couche chaque fois qu'un changement de direction survient. Par exemple, dans une technologie à double métal, si la couche Métal 1 est choisie pour construire les segments horizontaux, alors la couche Métal 2 sert pour le routage dans la direction verticale. Pour trois niveaux de métal, le modèle s'appelle HVH (direction horizontale pour les traces sur les couches Métal 1 et Métal 3 et verticale pour Métal 2). Puisqu'on a la possibilité de développer du routage à l'intérieur de la cellule, la surface du circuit est en général mieux utilisée dans une architecture MDP. Notons que les pistes verticales dédiées aux transistors d'isolation sont

utiles pour réaliser des passages entre différentes rangées ("feed-through"). Dans certains cas, ces transistors peuvent aussi servir pour construire des condensateurs nécessaires dans le schéma. Nous avons observé qu'en général la structure MDP produit une image compacte, régulière, symétrique. Phillipe Duchene et Michel Declercq (1989) montrent que la structure MDP offre une densité d'éléments actifs qui peut excéder celle des circuits réalisés selon une approche basée sur des cellules normalisées. La réduction de la surface représente un avantage majeur offert par la structure MDP. De plus, comme nous pourrons le constater au chapitre 5, les cellules associées ont de bonnes caractéristiques électriques. Dans la configuration MDP, nous pouvons aussi réaliser de très bons contacts pour la polarisation du substrat. Le routage compact OTC permet une réduction importante des éléments électriques parasites.

3.3 Structure classique de type MDP

La figure 3.1 présente un arrangement typique des transistors dans une structure MDP. Des transistors MOS du même type sont connectés en série sous la forme d'une bande horizontale. Pour les circuits CMOS, les rangées de type N et P sont alternées. Dans la littérature, cette configuration s'appelle "fish-bone". On remarque l'absence du canal entre les cellules pour le routage des interconnexions. Cet espace est occupé par les barres d'alimentation V_{dd} et V_{ss}. Le routage horizontal s'effectue seulement au dessus des éléments actifs. Dans l'image de la figure 3.1 il y a cinq chemins horizontaux au dessus des transistors de type P et quatre au dessus des transistors de type N. Pour arriver à ce

nombre de pistes avec la technologie Mitel1.5µm utilisée, la largeur du transistor P est de 22µm et la largeur du transistor N est de 16µm. Les positions des contacts sur les grilles sont alignées dans le plan vertical avec les positions des contacts sur les zones actives (drains et sources). Afin d'éviter les congestion de routage dans la direction verticale, il faut ajouter un chemin supplémentaire entre deux grilles de transistors voisines. En conséquence, les dimensions des transistors augmentent dans la direction horizontale de 6µm à 10.5µm.

Cette version classique de l'image MDP présente quelques désavantages. Par exemple, suite à l'absence du canal entre les rangées de transistors de type P et N, le nombre de chemins disponibles dans la direction horizontale est limité et il dépend de la taille des transistors. Pour résoudre le problème de congestion, quasi inévitable dans la direction horizontale, il faut sacrifier périodiquement une rangée de paires de transistors MOS pour créer un canal (souvent plus large que nécessaire); cela conduit à une utilisation moins efficace de la surface. Deuxièmement, toutes les positions de contact sont alignées dans la direction verticale. Ce fait nous oblige d'ajouter un chemin entre deux transistors voisins ce qui conduit à un élargissement des transistors (de 6µm à 10.5µm).

3.4 Structure MDP proposée

Par le développement de cette nouvelle architecture, certaines améliorations ont été apportées à la structure MDP. En effet, pour minimiser les congestions du routage dans la direction horizontale et simplifier les interconnexions internes aux cellules, un canal entre les paires de transistors de type P et N a été ajouté. La taille de ce canal est un paramètre défini par l'utilisateur, en fonction de la complexité du circuit. De la même façon, un canal externe est prévu entre les rangées de paires de transistors MOS. L'existence de cette zone est très importante pour le routage entre les différentes cellules. Pour réaliser ces interconnexions inter-cellules, il est possible d'utiliser un programme de routage de canal classique. Le canal externe peut aussi servir à réaliser des structures diverses, nécessaires à l'amélioration des performances électriques du circuit. Par exemple, on peut y réaliser des structures de découplage connectées aux barres d'alimentation. Notons les contacts drain/source et les contacts aux grilles des transistors MOS qui se trouvent sur deux pistes verticales différentes. L'image obtenue est présentée à la figure 3.2.

En conséquence, on peut réaliser des grilles plus courtes qu'avec la structure classique de la figure 3.1, sans pour autant sacrifier la densité de routage dans le sens vertical.

Les joints de contact aux grilles et aux drains/sources ont la même taille, mais ils sont décalés dans la direction horizontale. Cet espacement permet le passage en parallèle des lignes verticales qui connectent les grilles ou les drains/sources des transistors.

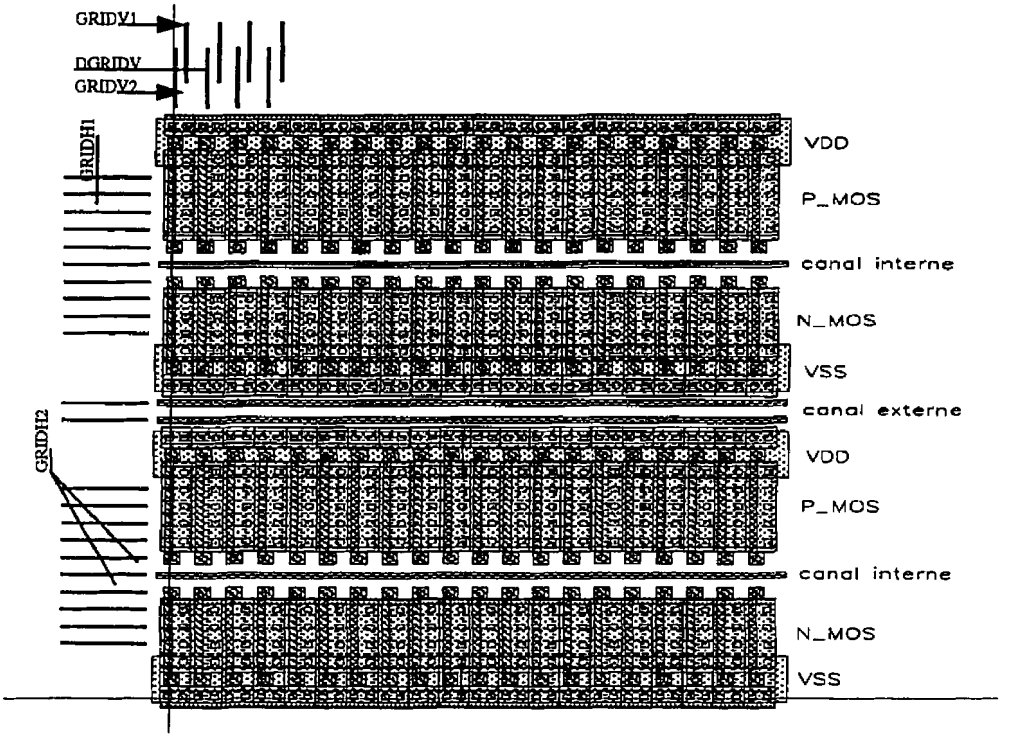


Figure 3.2 Structure MDP avec canal

Dans la figure 3.3, nous présentons quelques solutions concernant l'utilisation de la nouvelle image. Dans les zones "A1" et "A2", l'arrangement est spécifique aux circuits pré-diffusés. Ici, les grilles des transistors ont des points de contact des deux côtés. Généralement, les points extérieurs de contact pour les grilles des transistors sont réservés aux connexions sur les barres d'alimentation (figure 3.3, zone "A1").

La version correspondant à la zone "A2" utilise de façon plus efficace les chemins horizontaux. Ce système de routage est utile pour les circuits de haute densité et de basse fréquence. Quand la couche "polySi" utilisée pour réaliser les grilles des transistors MOS

est fortement résistive, cette version de routage n'est pas recommandée pour la conception des circuits rapides.

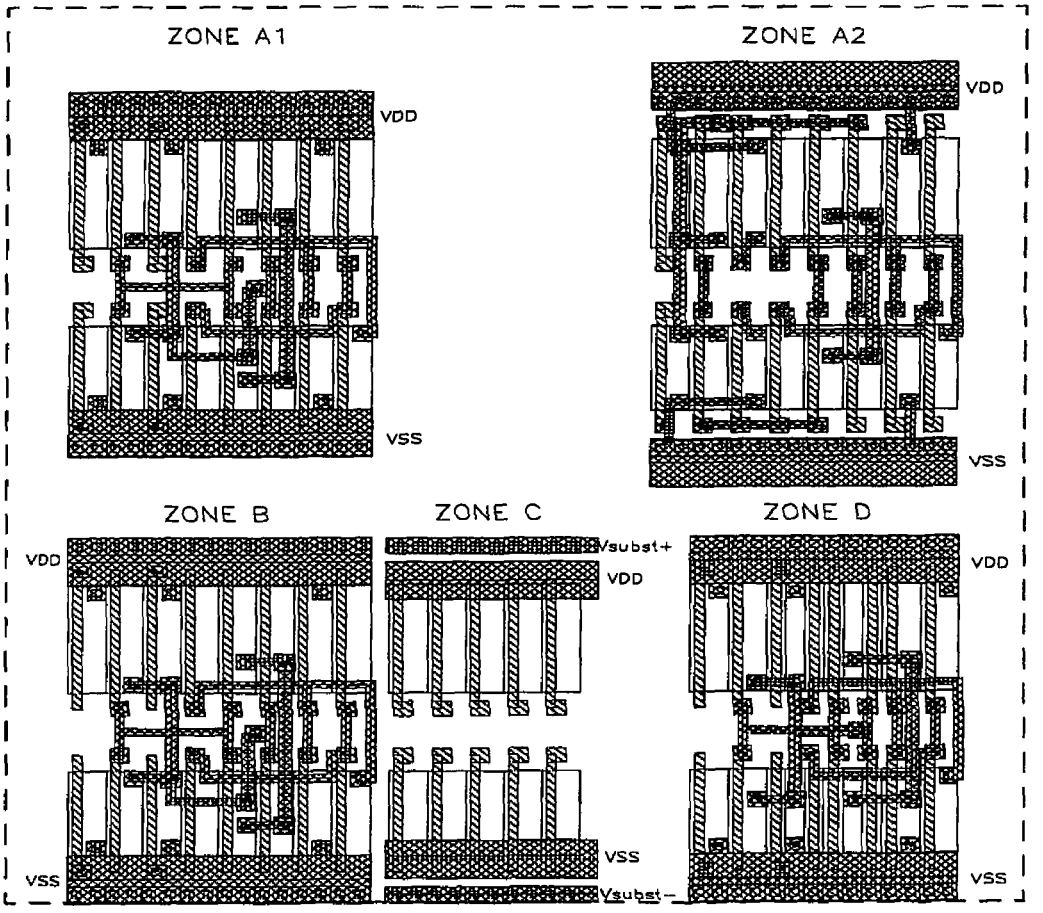


Figure 3.3 Différents arrangements pour la structure de type MDP

Dans la zone "B", les contacts des grilles des transistors sont ajoutés en fonction du routage, ce qui réduit les capacités parasites des grilles des transistors.

La zone "C" illustre comment on pourrait, au besoin, séparer les barres d'alimentation V_{dd}

/ V_{ss} de celles dédiées à la réalisation des connexions pour la polarisation du substrat.

La quatrième zone "D" contient des transistors avec un seul contact de grille. Cet arrangement offre plusieurs degrés de liberté pour le placement des transistors. Cette version n'est pas dédiée aux circuits pré-diffusés, mais elle est surtout conçue pour optimiser la surface de la cellule et pour réduire l'importance des éléments parasites associés aux transistors.

3.5 Principes pour la description d'une image MDP paramétrée

La structure MDP de la figure 3.2 est basée sur la technologie Mitel 1.5µm. Elle contient des transistors MOS de type P et N avec une géométrie fixe. Pour générer une image dans le système MDP, les transistors du même type sont placés sur des rangées, dans une seule direction. Entre les éléments actifs, on prévoit des espacements correspondant aux canaux externes et internes (voir figure 3.2). Les dimensions de tous ces éléments varient en fonction de la technologie utilisée et de certains paramètres fournis par l'utilisateur. Parmi ces paramètres, on peut mentionner les largeurs des transistors, les dimensions des canaux, le nombre de transistors, etc. L'image MDP est décrite sous la forme d'une fonction à plusieurs paramètres. À l'appel de cette fonction, dans un environnement de conception assistée par ordinateur (CAO) spécialisé pour la génération de circuits physiques, comme le logiciel DW-2000 produit par la Société "Design Workshop", une image est automatiquement générée. Les paramètres de la fonction spécifient la technologie utilisée et les différents éléments géométriques (annexe I). On identifie trois différentes sections

dans la description de la fonction. Chacune commence par un mot clé. La première est utilisée pour changer certains paramètres géométriques (par exemple les dimensions des transistors ou la dimension du canal, etc.), il faut qu'elle soit décrite à l'aide d'une fonction. Dans cette fonction, on doit spécifier un certain nombre de paramètres. A l'aide de ces paramètres, on choisit la technologie utilisée, ainsi que les différents éléments géométriques disponibles aux utilisateurs (voir annexe I). Le début de cette fonction est marqué par le mot clé TECHNOLOGY. À chaque règle de dessin, on associe une variable dont la valeur est initialisée en fonction de la technologie utilisée.

La forme générale d'une ligne dans cette section est:

L<numéro_couche>_<Numéro_règle= <valeur> # <commentaires>

.....

La fin de chaque section est marquée par le mot clé END<nom_section> (exemple: ENDTECHNOLOGY).

Le second module est dédié au calcul des différents éléments géométriques. Défini par le mot clé EQUATIONS, il contient les équations nécessaires pour calculer les éléments géométriques (les variables) en fonction de la technologie choisie et en fonction de certains paramètres d'entrée (voir annexe I, section EQUATIONS). Dans ces équations on utilise fréquemment la fonction "max" qui assure la génération de l'image pour toutes les technologies, sans violation des règles de dessin.

Enfin, la troisième zone dans la fonction génératrice d'image MDP commence par le mot

clé DCELLS. Elle construit l'image en utilisant les valeurs calculées à l'étape précédente. Cette description est de type hiérarchique[3.1]. A un niveau supérieur sont définies les cellules de base comme les inverseurs, les portes logiques, etc. L'image générée par une fonction comme celle de l'annexe I, est conforme à la structure de la figure 3.2. Elle contient les paires de transistors MOS (type N et P), un canal interne de dimension "NCH_INT" et un canal extérieur placé entre deux rangés P-N de dimension "NCH_EXT". Ces dimensions sont des paramètres à spécifier par l'utilisateur et elles représentent la capacité du canal, donnant le nombre maximal d'interconnexions horizontales qui peuvent passer à travers cette zone. D'autres paramètres accessibles aux utilisateurs sont:

- les largeurs des transistors exprimées par les valeurs Wn et Wp, ou exprimées par la capacité de supporter un nombre de pistes données, "CHN" et "CHP". Par défaut, si ces paramètres ne sont pas spécifiés, le programme pourrait choisir la valeur minimale permise.
- le nombre de paires P-N "NPAIRES" ou la dimension horizontale totale "H_MAX" d'une rangée de cellules;

3.1 Premier niveau de description: transistors N, P et éléments primaires comme contact ou via.; 2ème niveau de description: ensemble de paires de transistors; 3ème niveau de description: cellules de base, etc.

L'origine d'une cellule est alignée horizontalement sur le centre des premiers contacts de grille à la gauche de la cellule et verticalement au centre de la cellule elle même (figure 3.4). Les autres points de contact ou positions pour les «via» se trouvent à des endroits précis, situés sur deux quadrillages fixes. Il est possible de choisir une autre origine et la fonction «générateur_image» calcule cette translation "D_ORIG_X", "D_ORIG_Y". Les deux grilles ont la même taille (pas horizontal "GRIDV1", pas verticaux "GRIDH1" et "GRIDH2"). Elles sont seulement décalées horizontalement par "DGRIDV" (annexe I). Un quadrillage indique les positions de contact pour les grilles des transistors et l'autre, les contacts sur la zone active. Le quadrillage fixe est très utile pour simplifier la construction des cellules et pour faciliter le développement d'un programme de routage.

3.6. Description de la cellule basée sur une structure MDP

Nous avons utilisé la technologie CMOS Mitel 1.5µm et l'image de type MDP avec canal (figure 3.2) pour développer les cellules nécessaires dans nos circuits de test. Quelques règles fondamentales doivent être respectées:

- l'hauteur d'une cellule est fixe et égale à l'hauteur d'une rangée de transistors MOS P et N (voir figure 3.3);
- les interconnexions internes de la cellule sont placées le plus possible au centre, dans le canal interne et au-dessus des transistors MOS; les chemins horizontaux se trouvent sur un quadrillage régulier, bien défini dans une technologie donnée;

- le routage dans les deux directions s'effectue en utilisant des couches différentes, sauf pour les segments de ligne de longueur inférieure ou égale à un pas du quadrillage;
- les traces longues qui connectent des cellules différentes sont en général placées dans le canal extérieur; cependant, certaines traces peuvent occuper des chemins à l'intérieur des cellules dans le cas d'un routage OTC. Ce choix s'applique pour les traces qui connectent des blocs voisins ou dans le cas d'un court passage vertical avec translation dans la direction horizontale.

Par l'utilisation de toute la surface, l'efficacité du routage sur une architecture MDP peut devenir meilleure que celle obtenue avec des cellules normalisées. Les interconnexions qui relient les modules sur des distances courtes utilisent en général les pistes et les régions de routage internes. Les traces plus longues sont généralement placées dans le canal externe.

Dans une cellule, les positions des entrées/sorties sont indiquées par des marqueurs (figure 3.4). Chaque point de branchement d'entrée ou de sortie dans une cellule peut avoir des positions et des couches d'accès multiples. Par conséquent, il faut indiquer toutes ces positions et les modalités d'accès. Les points de branchement sont indiqués par de petits éléments (marqueurs carrés) en utilisant des couches non-physiques (voir la figure 3.4). Dans le cas présent, on a prévu trois types de points de branchement dépendant du mode d'accès et de sa signification. Pour chaque type de point de branchement (marqueur) il faut réserver une couche virtuelle (non-physique). La signification de chacune est la suivante:

- un marqueur sur la couche M0 indique la position d'un point d'accès pour

relier la cellule au routage externe (routeur de canal);

- les marqueurs sur les couches M1 et M2 représentent les points d'accès internes aux couches Métal 1 et Métal 2 respectivement;

Un type de marqueur supplémentaire (voir figure 3.4, couche M10), indique les endroits de transparence de la cellule pour le routage dans la direction verticale.

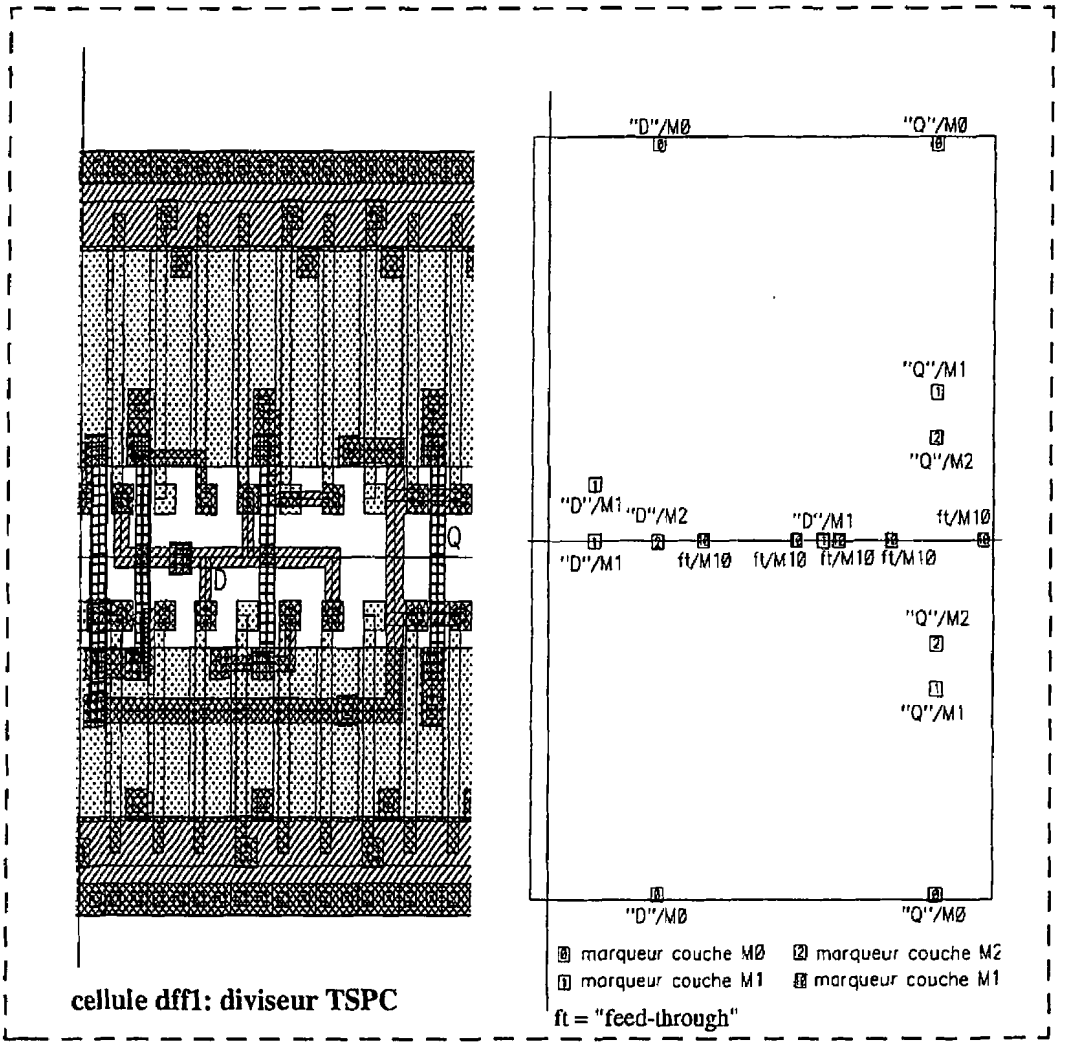


Figure 3.4 Positionnement des points de contact dans une cellule, exemple

Pour générer les interconnexions dans le canal extérieur, il est possible d'utiliser un algorithme de routage classique comme pour les circuits basés sur des cellules normalisées. Pour cet algorithme, les zones occupées par des cellules sont opaques, sauf pour la direction verticale aux endroits de transparence ("feed-through"). Le routeur établit des connexions entre des points de contact (couche M0). Pour finaliser ces liens électriques, il suffit d'ajouter un segment de métal (dans le cas présent, sur la couche Métal 2) entre chaque point de contact externe et le point de contact interne désiré (généralement le plus proche).

3.7 Construction d'une librairie à l'aide des cellules élémentaires

De façon générale, un "Générateur de cellules" développe une cellule physique à partir d'un schéma électrique. Pour cela, il faut placer les éléments de base, en général des transistors et les interconnecter. Une étape supplémentaire y est ajoutée dans le cas d'une structure MDP; c'est le placement des transistors d'isolation. Un tel programme peut créer de façon automatique toute cellule CMOS basée sur une structure MDP, à partir d'un schéma électrique. Cette section présente une technique pour construire les éléments d'une bibliothèque de cellules à partir d'un nombre de modules limité. Il ne s'agit pas véritablement d'un générateur de cellules, mais plutôt d'une solution pratique pour la construction d'une bibliothèque de cellules de base. Il est bien connu que le développement d'un générateur de cellules nécessite un travail considérable et qu'un tel générateur est souvent dédié à un type de structure. Dans les circuits numériques, les

cellules ne sont pas aussi diverses que celles des circuits intégrés analogiques. Ce qui varie souvent dans une bibliothèque de cellules logiques c'est le facteur d'échelle. Ce facteur prend ici deux sens: premièrement, il signifie la taille de certains transistors dans la cellule; dans un autre sens, il représente le nombre d'entrées ou de sorties de même type dans la cellule. Par exemple, dans le premier cas, nous faisons référence aux cellules de type "inverseur" ou "non-inverseur" avec différentes sortances (puissances de sortie). Dans le deuxième cas, nous prenons comme exemple les portes logiques avec des nombres d'entrées différents comme la NAND ou la NOR. Nous proposons donc la construction de cellules logiques en fonction du facteur d'échelle requis par l'utilisateur. Cette technique est basée sur l'assemblage d'éléments physiques pré-définis. Les éléments de base sont des groupes de transistors avec une métallisation spécifique. Pour bâtir une cellule, il suffit de placer certains "éléments primaires" selon un algorithme bien précis. Les figures 3.5 et 3.6. fournissent quelques exemples représentatifs.

Le premier cas (figure 3.5) présente la construction d'un "inverseur" à taille variable. En général, il suffit de disposer de quatre cellules de base:

"inv1"= inverseur de taille unitaire (égale à la taille d'un transistor);

"inv2" = inverseur à taille double;

"adrv1" et "adrv2" = éléments nécessaires dans la construction des inverseurs avec un facteur d'échelle supérieur à deux;

La taille des inverseurs peut être le multiple de la dimension de base de la cellule "inv1". Elle est représentée par le facteur d'échelle "2N" (valeurs paires) ou "2N+1" (valeurs impaires).

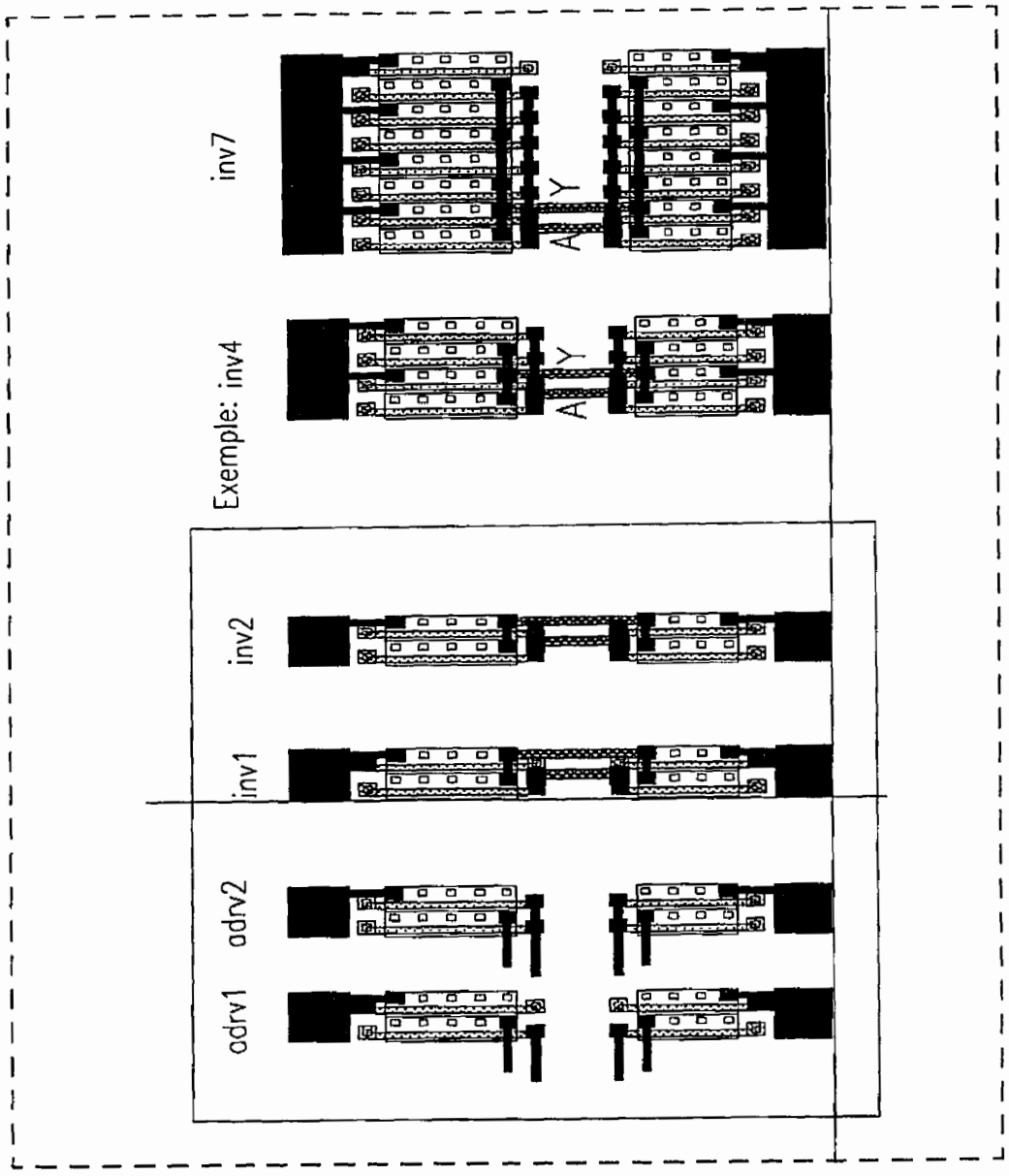


Figure 3.5 Construction d'une porte "inverseur" de taille N en utilisant quatre cellules élémentaires

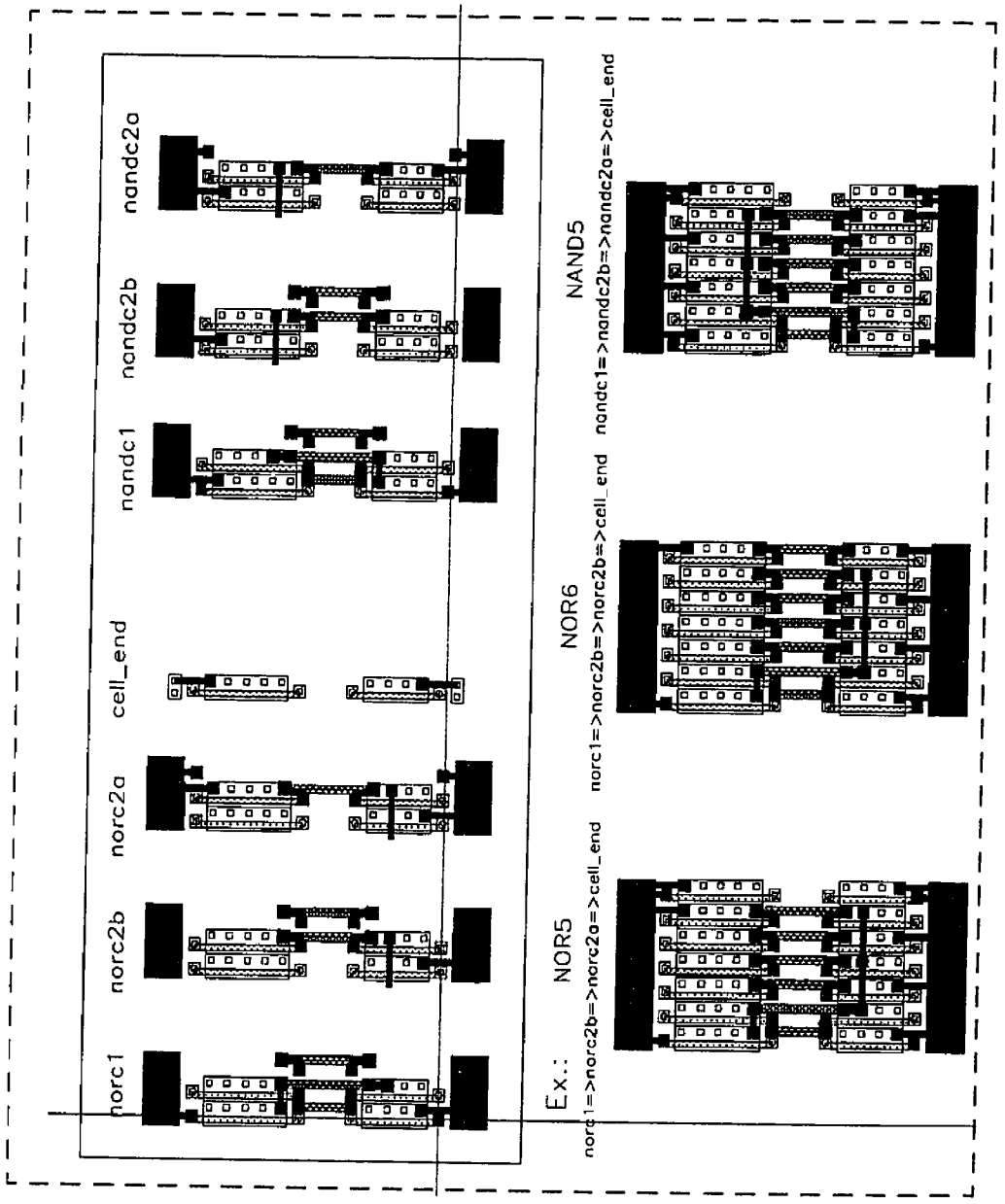


Figure 3.6 Construction des portes NON-OU et NON-ET basée sur sept cellules élémentaires

Les équations {3.1} et {3.2} expriment les algorithmes de construction des inverseurs de taille "2N" ou "2N+1". Le symbole "=>" signifie la concaténation directe des cellules dans le sens exprimé par la flèche. Par exemple, pour un inverseur de taille 11 (N=5), il faut utiliser l'équation {3.2}. On va placer dans le dessin physique une cellule "inv2", puis à droite quatre fois "adrv2" et une fois "adrv1".

$$inv(2N, N \geq 1) = inv2 \Rightarrow (N-1) \cdot adrv2 \qquad \{3.1\}$$

$$inv(2N+1, N \geq 1) = inv2 \Rightarrow (N-1) \cdot adrv2 \Rightarrow adrv1 \qquad \{3.2\}$$

Dans un deuxième exemple (figure 3.6), nous présentons la construction d'une porte logique de type "NON-ET" et "NON-OU" à différents nombres d'entrées. En suivant le même principe que dans le cas précédent pour les cellules "NON-ET" et "NON-OU", sept éléments primaires sont nécessaires: "norc1", "norc2b" et "norc2a", "cell_end", "nandc1", "nandc2b" et "nandc2a".

L'algorithme pour la construction d'une cellule de type "NON-OU" ou "NON-ET" à plusieurs entrées est décrit par les équations {3.3} à {3.6}. Les valeurs "2N" ou "2N+1" représentent le nombre d'entrées de la cellule, correspondant à des valeurs paires ou impaires.

$$nor(2N) = norc1 \Rightarrow (N-1) \cdot norc2b \Rightarrow cell\text{-}end \qquad \{3.3\}$$

$$nor(2N+1) = norc1 \Rightarrow (N-2) \cdot norc2bi \Rightarrow norc2a \Rightarrow cell\text{-}end \qquad \{3.4\}$$

$$nand(2N) = nandc1 \Rightarrow (N-1) \cdot nand2b \Rightarrow cell\text{-}end \quad \{3.5\}$$

$$nand(2N+1) = nandc1 \Rightarrow (N-2) \cdot nandc2b \Rightarrow nandc2a \Rightarrow cell\text{-}end \quad \{3.6\}$$

Comme règle générale, l'isolation d'une cellule est prévue dans la partie gauche. Pour cela, une paire des transistors P et N avec les grilles connectées à Vdd/Vss est ajoutée. Dans certaines cas, comme pour les inverseurs de la figure 3.5, on utilise les contacts Vdd et Vss provenant de la cellule voisine placée à gauche et pour ces cellules, il n'y a pas d'isolation à gauche. Les drains/sources des transistors liés à la bordure droite sont connectés à Vdd (transistor MOS_P) et Vss (transistor MOS_N). Par exemple, la cellule "cell_end" assure cette connexion.

En utilisant cette méthode, avec une douzaine d'éléments de base dans la bibliothèque, il est possible de construire tous les inverseurs et les portes logiques de type "NON-OU" et "NON-ET". Pour des cellules plus complexes, il faut ajouter encore quelques éléments dans la bibliothèque comme par exemple la configuration de type "porte de transmission". Il est fort possible que la construction des cellules complexes, basée sur cette méthode, après l'assemblage des éléments primaires, nécessite l'ajout de quelques interconnexions supplémentaires. La méthode proposée n'est pas l'équivalent d'un générateur de cellule complet et en général, elle fournit une solution pratique qui diminue l'effort requis pour le développement d'une bibliothèque et elle réduit le nombre d'éléments (cellules) requis.

CHAPITRE IV

MÉTHODES DE TEST ET DESCRIPTION DES CIRCUITS DÉMONSTRATEURS

4.1. Introduction

Ce chapitre présente les méthodes de test pour la validation de la nouvelle structure MDP et du modèle de ligne développé, ainsi que pour l'étude de certaines techniques de routage spécifiques pour les circuits intégrés de haute fréquence. Pour réaliser les tests nécessaires, nous avons développé deux circuits intégrés CMOS basés sur la technologie Mitel 1.5µm. En utilisant cette technologie, selon les simulations effectuées, il est possible de bâtir des modules fonctionnant dans une bande de fréquence allant jusqu'à 750MHz. Les cellules sont conçues sur une structure de type MDP présentée au chapitre 3.

Les tests portent principalement sur la validation de la structure MDP et sur la réalisation des mesures de délai. Voici une description sommaire des tests prévus pour les circuits démonstrateurs:

Circuit démonstrateur numéro 1:

1. Validation de la structure MDP.

   Éléments mesurés: vérifier le fonctionnement de multiplexeurs, de diviseurs de fréquence et d'un bloc contenant deux oscillateurs en anneau à trois et à cinq étages. Grâce à ce test, nous vérifions l'efficacité de l'isolation dans la structure MDP et les performances du diviseur de fréquence TSPC qui est utilisé dans les

mesures de délai.

2. Influence du substrat sur la propagation du signal à travers des lignes longues; on mesure le délai sur cinq interconnexions placées sur différentes couches de poly-silicium et / ou de diffusion; elles sont de longueur 2.2mm et de largeur constante 3μm; les modules utilisés pour ce test sont des oscillateurs en anneau.

Circuit démonstrateur numéro 2:

3. Mesure de délai du signal sur des interconnexions de différentes géométries et / ou avec des discontinuités (changements de direction ou passages entre deux couches de métal); les modules utilisés sont des oscillateurs en anneau et des détecteurs de phase;

Les méthodes de test et les schémas correspondants sont présentés dans les sections suivantes. L'analyse des résultats basée sur les valeurs mesurées et les résultats de simulation seront inclus dans le chapitre 5.

Les méthodes de test et l'architecture utilisée pour ces circuits de test sont développées en considérant quelques principes fondamentaux et les conditions réelles de fonctionnement. Voici quelques critères d'ordre général:

- la mesure des éléments est réalisée, le plus possible, dans des conditions réelles d'utilisation du circuit;
- il faut minimiser les perturbations créées par les éléments extérieurs sur le système mesuré. En conséquence, l'utilisation des méthodes de test indirectes semble être une approche adéquate. Ces méthodes ajoutent généralement un

bloc d'interface entre le module mesuré et l'instrument de test.

- les broches régulières du circuit ne sont généralement pas acceptables comme interface pour des signaux de haute fréquence. C'est pourquoi on utilise des sources internes pour générer les signaux requis et des circuits de détection pour mesurer les caractéristiques désirées.

Deux méthodes sont utilisées pour mesurer les délais internes. La première méthode est basée sur des oscillateurs en anneau. L'élément mesuré, une longue trace, est inclut dans la boucle de l'oscillateur. Par conséquent, la période du signal généré est fonction du délai sur la trace d'intérêt. Pour effectuer ces mesures à l'extérieur du circuit, la fréquence du signal interne généré est divisée par un facteur fixe. Cette méthode sera détaillée dans la section 4.3.2.1.

La deuxième méthode est basée sur la détection du déphasage entre deux signaux. Dans ce cas, les deux entrées d'un module détecteur de phase sont stimulées par un signal qui arrive directement de la source interne et un deuxième signal qui passe à travers la structure que l'on veut caractériser. À la sortie de ce module, le niveau de tension continu mesuré est fonction de la différence de phase entre ces deux signaux. Nous détaillerons cette deuxième méthode à la section 4.3.2.2.

4.2. Délai composé, définition

Pour caractériser le délai d'un signal digital dans un système donné, il faut d'abord choisir un niveau analogique comme référence. Par la suite, on doit mesurer le temps qui s'écoule entre l'instant où le signal est injecté à l'entrée du circuit et l'instant où les conséquences de la propagation de ce même signal arrivent à la sortie du système. Dans l'exemple de la figure 4.1, la référence choisie est Vdd/2. Dans ce cas, t_m et t_d représentent les délais correspondant aux transitions montante et descendante du signal. Supposons que le système mesuré est une interconnexion sur une couche de métal. Les valeurs de t_m et t_d sont constituées par la somme du temps de propagation t_p et par une partie du temps de transition (t_r pour transition montante et t_f pour la transition descendante du signal).

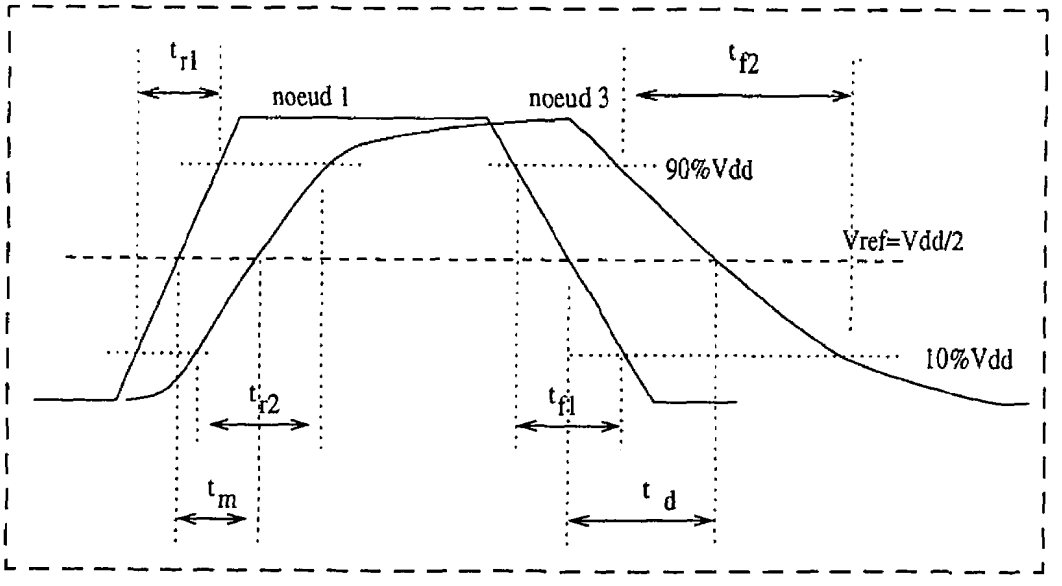


Figure 4.1 Représentation graphique du délai; (voir les noeuds 1 et 3 dans la figure 4.2)

Un signal numérique propagé de façon fidèle se caractérise par un spectre relativement large, même si dans certaines conditions on peut limiter la bande de fréquence considérée. Comme mentionné au chapitre 2, le silicium comme substrat, fréquemment utilisé dans les circuits intégrés, est un matériel fortement dispersif et il contribue considérablement à la déformation du signal propagé sur une longue trace. D'autres phénomènes, comme par exemple les réflexions du signal aux bouts de la ligne, ont des effets similaires. Par conséquence, la forme du signal change entre deux points sur une interconnexion. Les perturbations des signaux ont une incidence sur le comportement et la performance d'un circuit. Un autre facteur important c'est la dureté des transitions du signal. Pour un circuit opérant à haute fréquence, les paramètres t_r, t_f et t_p sont tous significatifs. Leurs valeurs sont définies pour le système complet, en fonction des conditions sur le signal d'entrée. La figure 4.2 présente un système composé de deux portes logiques X1 et X2 connectées par la ligne T. À l'entrée de la cellule X1, le signal se caractérise par des temps de transition t_{r1},t_{f1} et à l'entrée de X2 par t_{r2} et t_{f2}.

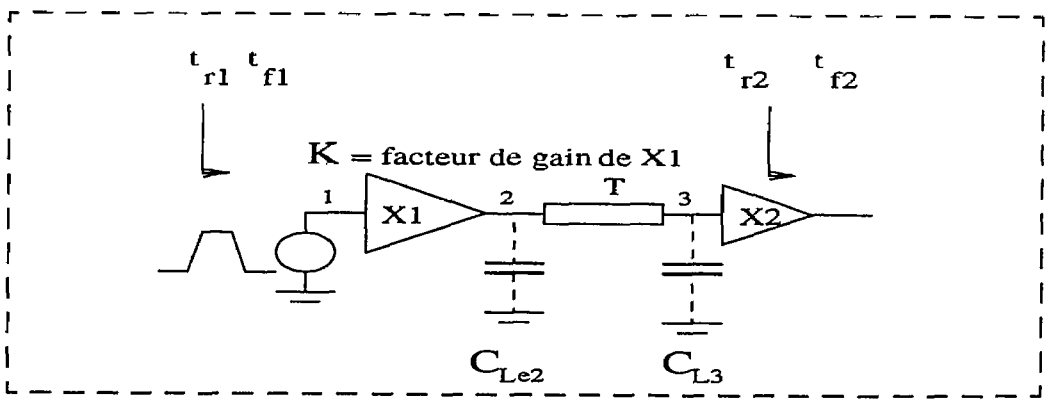


Figure 4.2 Ligne d'interconnexion T entre deux cellules X1 et X2

C_{Le2} = valeur du condensateur à la sortie de X1; C_{L3}= valeur du condensateur à la sortie de T.

Les condensateurs C_{Le2} et C_{L3} peuvent approximer l'effet de la ligne.

La vitesse de transition du signal à l'entrée de X2, exprimée par t_{r2} et t_{f2} (voir figure 4.1), varie en fonction des paramètres du signal à l'entrée du système t_{r1} et t_{f1}, des paramètres de la ligne T et des caractéristiques dynamiques de X1 et X2 (gain et impédance à la sortie de X1, impédance d'entrée de X2). Dans un article publié à ISCAS'97 (Florin Pera, Yvon Savaria et Guy Bois 1997), on mentionne la relation étroite entre les éléments X1, X2 et la ligne T, ainsi que l'influence réciproque de ces éléments. Ces considérations imposent l'analyse du système comme un tout inséparable, afin de pouvoir mesurer les valeurs réelles du délai entre les noeuds 1 à 3 ou entre les noeuds 2 à 3 (figure 4.2). Dans des conditions de haute fréquence, il faut considérer aussi les perturbations produites par d'autres phénomènes parasites, comme par exemple le bruit dans le substrat. Si le bruit généré dans des conditions de commutation rapide affecte le potentiel dans le substrat, les niveaux logiques réels "haut" et "bas" fluctuent. La présence du bruit dans le substrat, ainsi que les autres éléments mentionnés ci-dessus, nous permettent d'introduire la notion de "délai composé" pour définir la propagation d'un signal numérique.

Le délai composé est le temps nécessaire pour qu'un signal présent à l'entrée du système analysé (X1 et ligne T à la figure 4.2) agisse sur l'étage suivant (l'entrée de X2). C'est une approche qui, selon nous, reflète mieux la réalité. En mesurant le délai composé, on y inclut tous les phénomènes parasites; cela permet la caractérisation de la ligne dans des conditions réelles.

4.3 Méthodes de test et description des circuits démonstrateurs

4.3.1. Validation de la structure MDP

Ce test consiste à vérifier le fonctionnement de quelques types de cellules comme des inverseurs, des multiplexeurs 2 vers 1 et des diviseurs dynamiques, dans la bande de fréquence ciblée. Pour générer un signal de fréquence variable, on utilise des modules oscillateur en anneau à trois et à cinq étages (figure 4.3), où les portes logiques sont des inverseurs de type C^2MOS (figure 4.4). Avec le module à trois étages, les signaux générés dans la bande supérieure sont près de la limite caractéristique de la technologie choisie (environ 700MHz pour Mitel 1.5mm). Il est important de vérifier, à très haute fréquence, l'efficacité du système d'isolation par des transistors MOS bloqués, une des caractéristiques principales de la structure MDP.

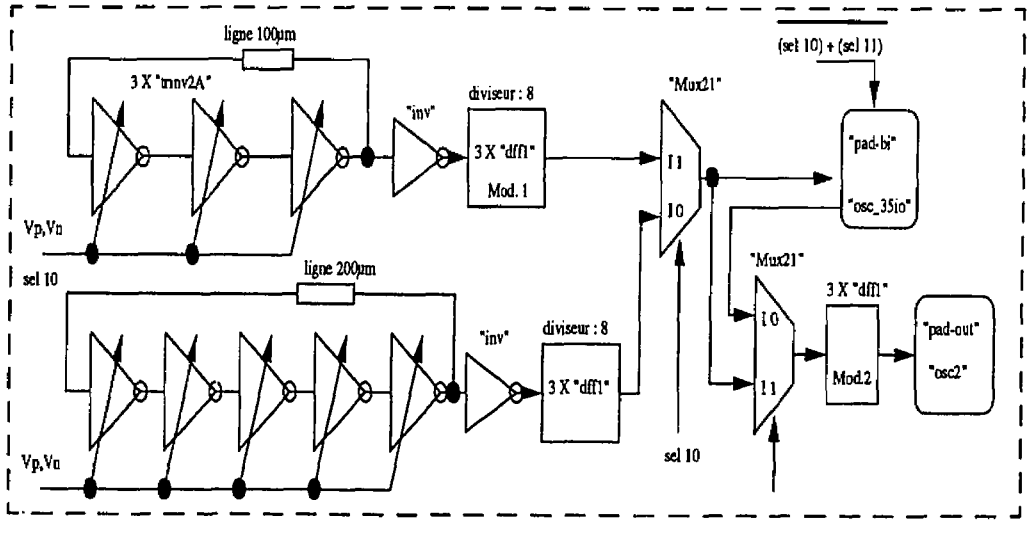


Figure 4.3 Module de test pour la validation de la structure MDP

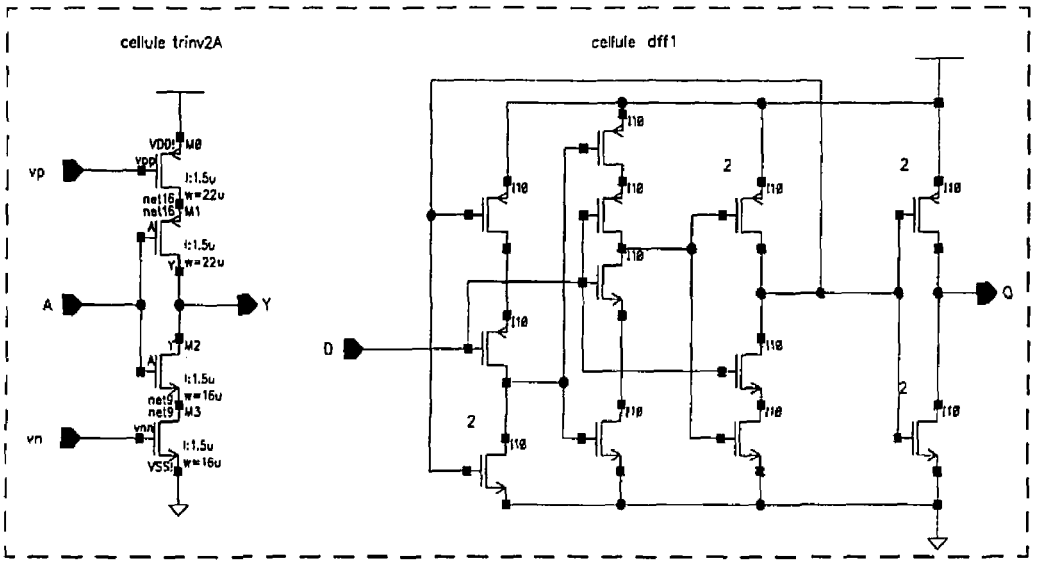


Figure 4.4. Inverseur "trinv2A" de type C^2MOS et cellule "dff1" (diviseur dynamique)

Pour accéder aux sorties des oscillateurs à partir de l'extérieur du circuit, afin d'en mesurer la période, la fréquence est divisée par 8 à l'aide des trois modules "dff1" (figure 4.3) réalisés en logique TSPC. Conformément aux résultats de notre simulations (figure 4.5) et aux tests effectués dans des travaux antérieurs par Chtchvyrkov (1995), les diviseurs de ce type peuvent fonctionner à des fréquences élevées, proche de la limite caractéristique de la technologie utilisée. Dans notre cas, les simulations montrent une fréquence limite maximale acceptée à l'entrée du module "dff1" de 650 MHz. Pour un signal d'entrée situé dans la bande de fréquence supérieure, le facteur de division enregistré pour la cellule "dff1" varie. Il augmente avec la fréquence jusqu'à l'arrêt total du module (figure 4.5). Deux oscillateurs, à trois et à cinq étages, sont utilisés pour

identifier dans nos tests cette fréquence limite supérieure (figure 4.3). La période du signal généré par chacun de ces oscillateurs varie en fonction des niveaux analogiques sur deux lignes de commande V_p et V_n. Dans le circuit de test numéro 1, un module démultiplexeur 4 vers 16 est utilisé pour configurer les différents étages. Les lignes de commande "sel10" et "sel11" correspondent aux positions 10 et 11 à la sortie de ce démultiplexeur. Avec cette logique de décodage, les deux oscillateurs peuvent être sélectionnés successivement, afin qu'un seul signal arrive sur la broche bi-directionnelle "osc35io". Tant que le rapport entre les deux valeurs de fréquence mesurées ($f_{3étages}/f_{5étages}$) est proche de 5/3, les cellules "dff1" de la chaîne "Mod.1" fonctionnent correctement. Il est clair qu'en l'absence de défectuosité, la seconde chaîne doit décrocher plus tard pour les mêmes V_n et V_p. La manière d'observer que le module "dff1" a atteint sa fréquence maximale consiste à caractériser son facteur de division, qui se met à augmenter quand le module commence à décrocher (figure 4.5, résultats de simulation).

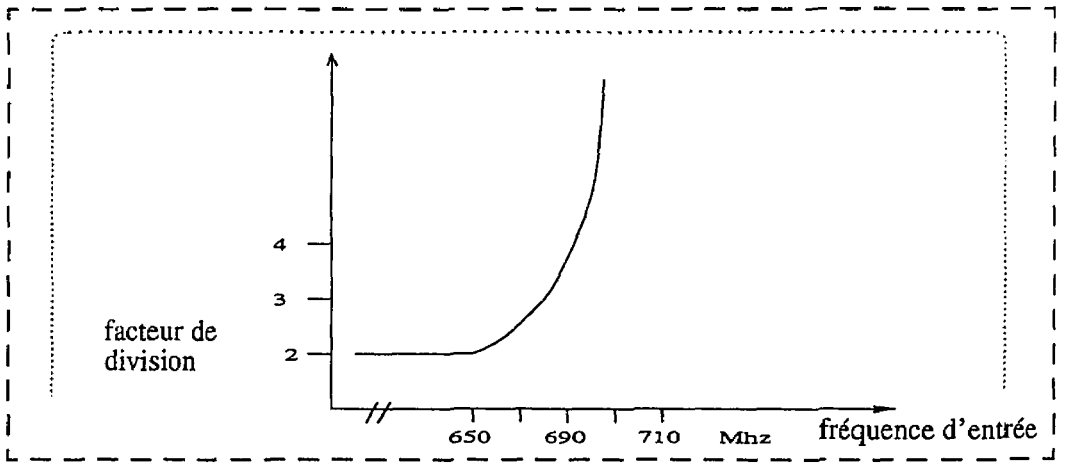


Figure 4.5. Facteur de division pour la cellule "dff1"; résultats de simulation

Les circuits de test décrits dans ce chapitre sont conçus de telle sorte que l'on peut effectuer ces mesures à l'aide d'un oscilloscope ou d'un fréquence-mètre possédant une bande passante de 100 MHz.

Le module "Mod.2" sert à caractériser la cellule "dff1" à basse fréquence. Pour ce test, les deux oscillateurs sont inactifs et la broche "osc35io" est configurée en mode entrée.

Dans ce cas, la broche "osc35io" est connectée à un générateur externe de signal basse fréquence. Le signal passe alors à travers le module diviseur "Mod.2", constitué de trois cellules "dff1" et la broche de sortie "osc2".

4.3.2. Mesure des délais de propagation pour les longues interconnexions

4.3.2.1 Méthode basée sur des oscillateurs en anneau

Cette méthode consiste à placer l'élément mesuré, dans notre cas une ligne longue, à l'intérieur de la boucle d'un oscillateur en anneau. Pour arriver à une fréquence élevée, on limite à trois le nombre d'éléments actifs. La période du signal généré dépend du délai sur chaque élément dans la boucle. Dans un cas idéal (figure 4.6.A), le délai est uniformément réparti sur chaque élément actif. En pratique, on doit avoir au moins un point d'accès à ce signal par l'intermédiaire d'une porte. La présence d'une cellule de sortie (X0) ajoute un déséquilibre dans l'oscillateur. Le délai sur chaque inverseur (τ_1, τ_2, τ_3 dans la figure 4.6.B) est fonction du signal à l'entrée, des caractéristiques et de la charge à la sortie de la cellule considérée. Dans un oscillateur à cinq étages ou plus (figure 4.6.C), on peut utiliser

un seul paramètre t_2 pour toutes les cellules X2 à X(n-1). Conformément aux simulations, cette approximation ajoute une erreur inférieure à 3%, mais elle offre l'avantage de limiter à trois le nombre de paramètres de délai dans l'oscillateur. Nous présenterons plus loin (tableau 5.2) des résultats de mesure et de simulation pour les paramètres τ_1, τ_2 et τ_3. Pour refaire l'équilibre dans l'oscillateur, une cellule inverseur peut être connectée à chaque noeud (figure 4.6.D). Cette configuration est utilisée dans le circuit démonstrateur numéro 2, pour les modules "osc3a". Dans ce cas, le déséquilibre entre les trois cellules de l'oscillateur est produit seulement par l'élément de test qui est la longue ligne qui ferme la boucle. Pour identifier les faibles différences entre les paramètres τ_1, τ_2, τ_3, les mesures sur les modules "osc3a" sont complétées par des simulations HSPICE et par des tests complémentaires en utilisant la méthode de détection de phase.

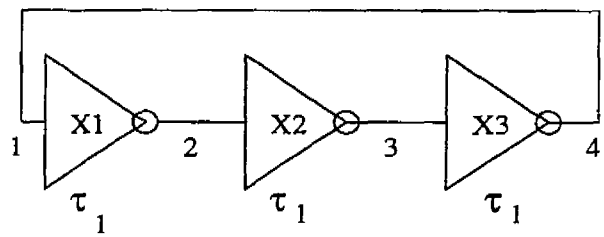


Figure 4.6.A Oscillateur en anneau à trois étages, isolé

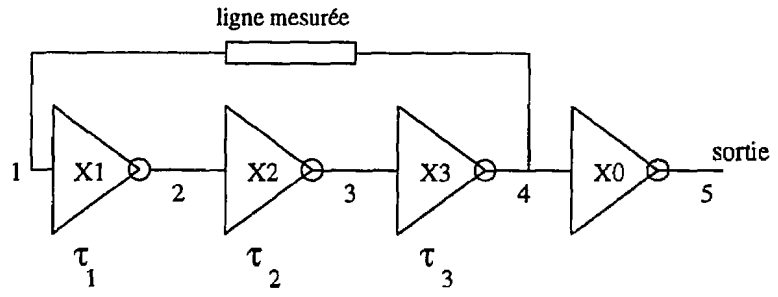


Figure 4.6.B Oscillateur en anneau à trois étages avec une sortie

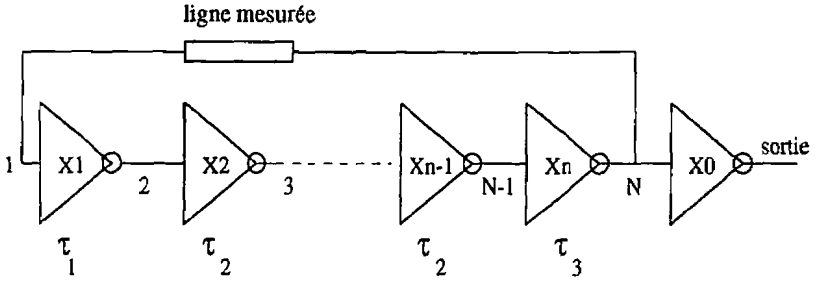


Figure 4.6.C Oscillateur en anneau à N étages avec une sortie

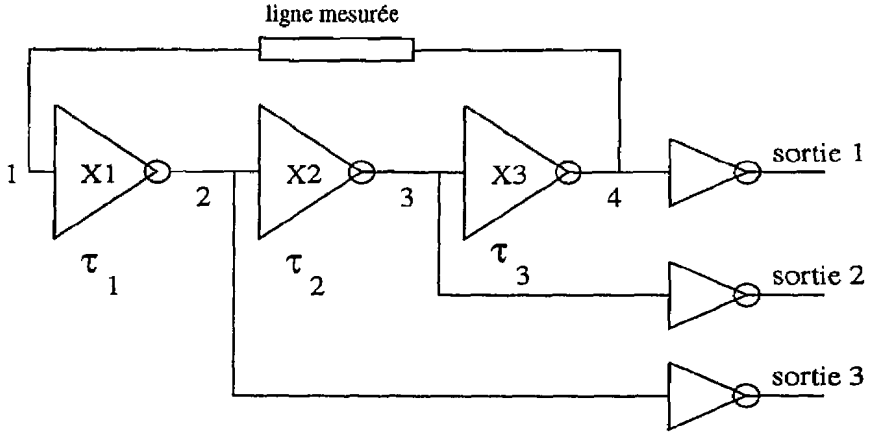


Figure 4.6.D Oscillateur en anneau à trois étages avec sorties équilibrées

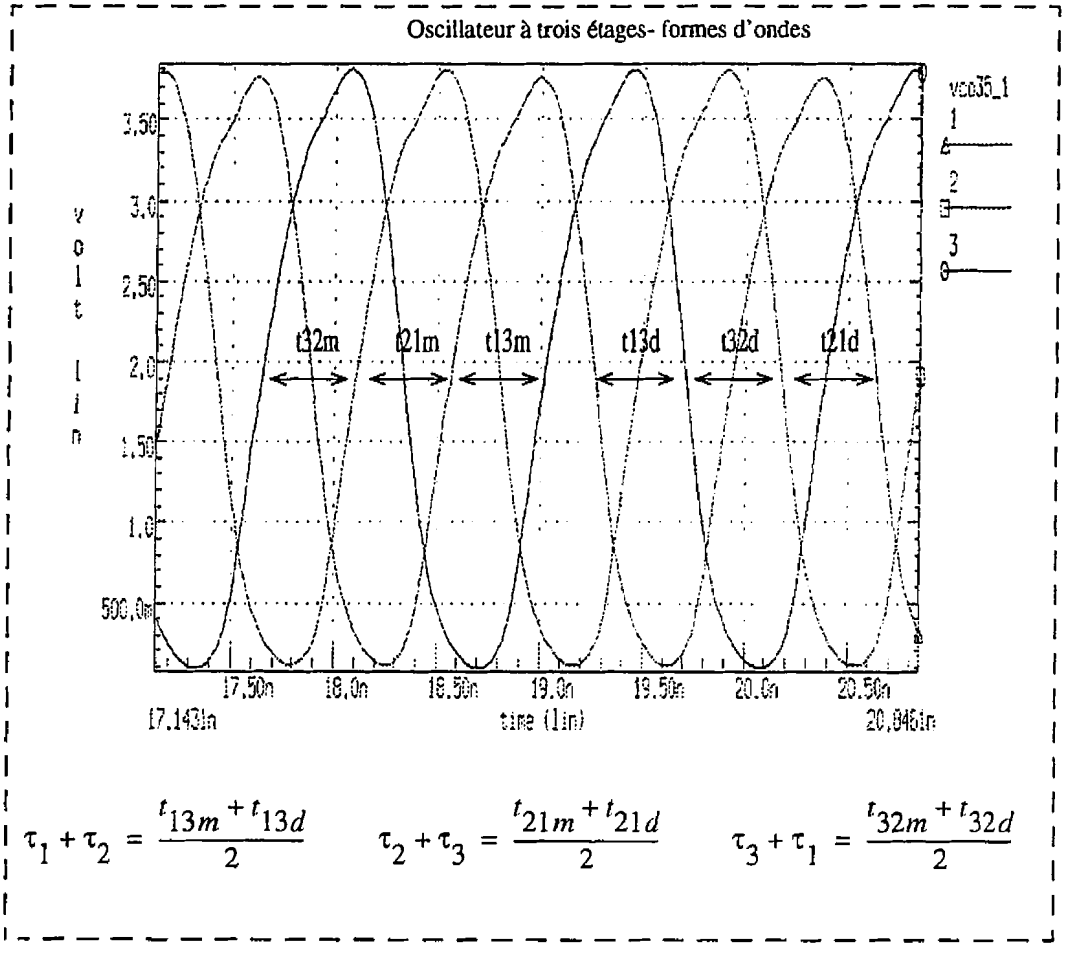


Figure 4.7. Résultats de simulation pour le schéma de la figure 4.6.D; exemple avec une ligne de longueur 200μm entre les noeuds 1 et 4

où les valeurs t_{13}, t_{21} et t_{32} sont des résultats de simulation (figure 4.7).

Les paramètres τ_1, τ_2 et τ_3 représentent la moyenne entre les délais pour la transition montante et la transition descendante du signal. Comme les cellules sont des inverseurs, dans les simulations effectuées, ces paramètres sont calculés selon les formules ci-dessus.

Les inverseurs utilisés dans les oscillateurs sont des C^2MOS (à titre d'exemple voir la figure 4.4, cellule "trinv2A"). L'impédance de sortie de chaque cellule peut être modifiée en ajustant les tensions V_p et V_n sur les grilles des transistors M_0 et M_3. Ceci nous donne le contrôle de la fréquence du signal généré.

En utilisant ce type de cellules dans les oscillateurs commandés par tension (VCO), le rapport entre la fréquence maximale et minimale générée est d'environ 1.5 pour le module à trois étages et de 4 pour le module à cinq étages.

4.3.2.1.1 Implantation de la méthode oscillateurs en anneau dans le premier circuit démonstrateur

Au chapitre 2 nous avons présenté un modèle électrique pour une ligne placée dans un environnement semiconducteur. Nous avons constaté l'importance des caractéristiques du substrat relativement à la propagation d'un signal numérique de haute vitesse à travers de longues interconnexions. Suite à cette analyse, quelques solutions ont été proposées pour l'amélioration de la propagation du signal. Il s'agit de réaliser les lignes longues au-dessus d'une structure complexe (différentes couches de diffusion ou une ligne "polySi" créée au-dessous du métal), ou de varier la géométrie de la trace.

Dans le premier circuit démonstrateur, l'analyse porte sur l'influence d'une structure complexe créée dans le substrat sur les caractéristiques de la ligne. Les interconnexions analysées ici ont des dimensions de 2.2mm de longueur sur 3µm de largeur et elles sont réalisées sur la couche de métal 1. En général, les longueurs pour les lignes caractérisées

ont été limitées par la surface du circuit disponible. Au total, il y a quatre types de structures étudiées dans le prototype réalisé. Une description de chacune d'entre elles a été faite dans le chapitre 2.3 et des vues en coupe latérale sont fournies à la figure 2.6. Nous avons conçu ces structures pour diminuer le couplage par capacité parasite entre la trace et le substrat et donc réduire les pertes. Les couches de diffusion de différents types, créées dans le substrat, modifient la résistivité du semiconducteur dans ces zones. Elles forment aussi des jonctions dont les capacités parasites s'ajoutent en série (dans le modèle de ligne RLGC) avec le condensateur de l'oxyde. La ligne secondaire a aussi le rôle de réduire le couplage par capacité parasite vers le substrat. Dans certains cas (en fonction de la technologie), l'ajout de cette ligne conduit à une augmentation de la distance entre la couche de métal et le substrat. Entre la ligne de métal et la ligne secondaire, il y a un couplage. Si dans cette deuxième ligne on a la possibilité d'injecter un signal synchrone avec celui qui passe à travers l'interconnexion, le couplage effectif entre la ligne 1 et le substrat sera réduit. La diminution des pertes assure une déformation du signal numérique moins accentuée tout en assurant des bons fronts et donc une meilleure propagation et une réduction du délai. Les interconnexions mesurées, accompagnées par des lignes secondaires, sont connectées comme à la figure 4.8. Il y a cinq modules de type "str2" dans le circuit numéro 1 (figures 4.8 et 4.15). L'oscillateur du bloc "str2" est constitué d'une cellule non-inverseur "tshv1" (X1), d'un inverseur "inv2A" (X3) et de la ligne 1 qui ferme la boucle.

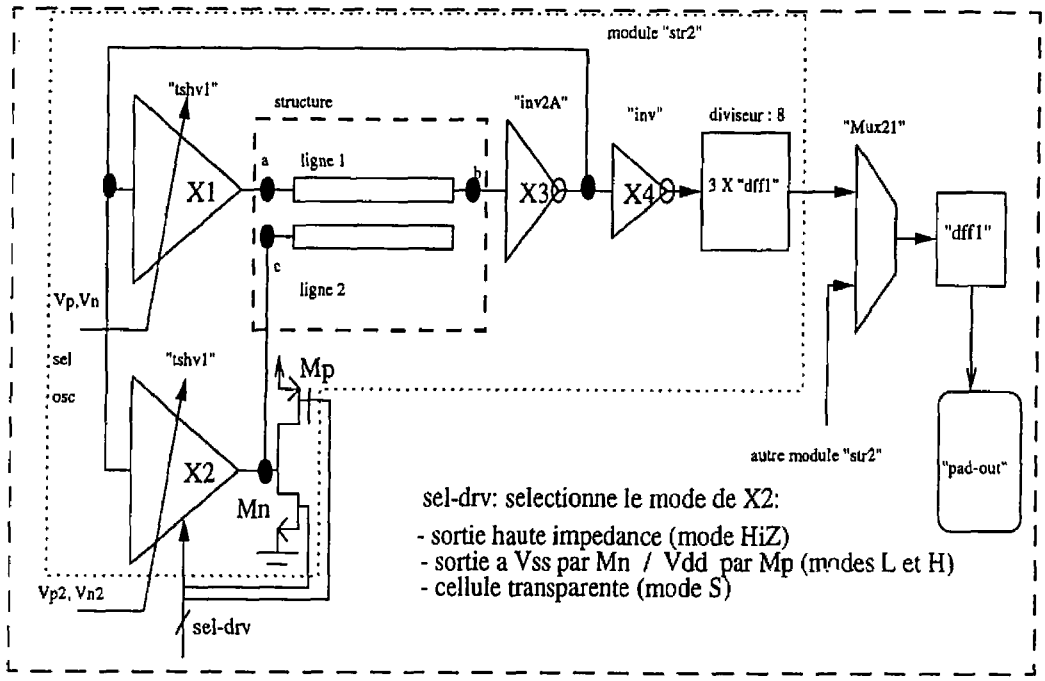


Figure 4.8. Mesure de délai du signal sur des lignes longues placées sur des structures complexes; module "str2" dans le circuit démonstrateur numéro 1[4.1]

Bien que ce type d'oscillateur soit moins équilibré que celui de la figure 4.6.D, son architecture est imposée par l'existence de la ligne secondaire. Il est plus important ici de commander de façon synchrone les lignes 1 et 2 que de disposer d'un oscillateur à charges équilibrées.

4.1. La ligne 1 est l'interconnexion principale réalisée sur la couche de métal 1; la ligne secondaire utilise la couche poly-silicium;

Les tests consistent à mesurer la période du signal généré par chacun de ces cinq oscillateurs, pour différentes valeurs V_p et V_n (niveaux de contrôle dans la cellule X1). Pour les quatre modules "str2" avec les lignes de structure complexe, il est nécessaire de répéter quatre fois les mêmes mesures pour les différentes commandes du noeud "c" (figure 4.8). En effet, la ligne 2 influence le signal qui passe à travers la ligne 1 par couplage capacitif et inductif d'une manière qui dépend de l'état du noeud "c". Dans un cas, la sortie de X2 est en haute impédance et la ligne 2 est laissée flottante (ce mode est appelé "HiZ"). Quand la cellule X2 est active, les deux signaux présents sur les noeuds "a" et "c" sont synchrones (mode "S"). Les cas où le noeud "c" est tiré à V_{ss} ou à V_{dd} par les transistors M_p et M_n respectivement, correspondent aux modes "L" et "H". La cellule X2 de type "tshv1" (figure 4.9) assure toutes les conditions concernant la sélection du mode et le contrôle de l'impédance de sortie par V_{n2} et V_{p2}. Les portes X1 et X2 sont identiques pour que les signaux sur les noeuds "a" et "c" soient synchrones (figure 4.8).
Les broches de contrôle V_p et V_n sont communes pour tous les modules "str2". Les éléments "sw" dans la figure 4.9 sont nécessaires pour laisser passer V_p et V_n seulement à l'intérieur du module sélectionné.

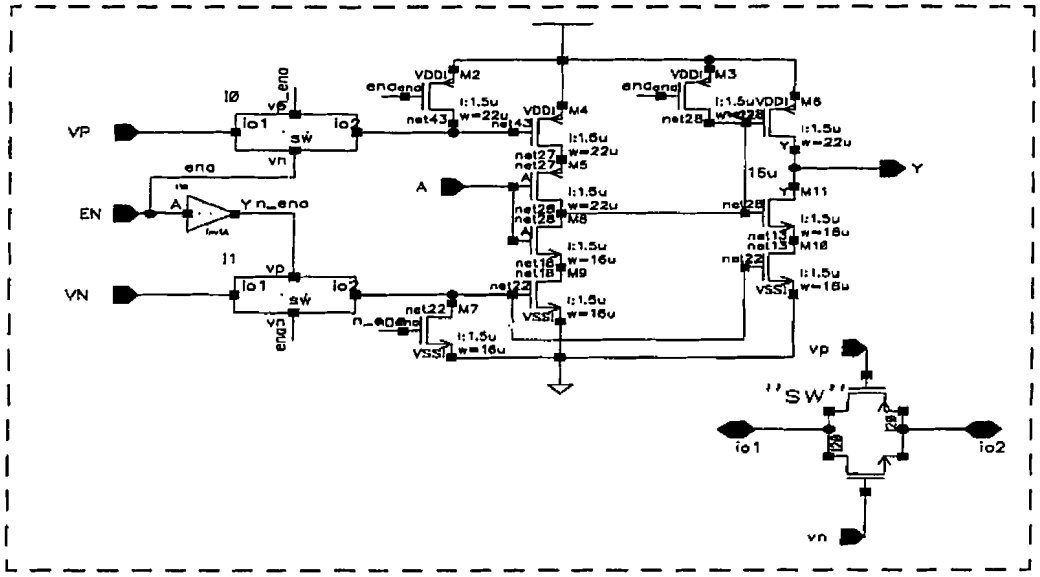


Figure 4.9. Cellule "tshv1" utilisée dans le circuit numéro 1

En ce qui concerne la méthode proposée avec ligne secondaire dans le but d'améliorer la propagation du signal, il est pertinent de préciser quelques aspects importants. Il est vrai que pour obtenir le signal synchrone nécessaire pour la ligne secondaire, il faut ajouter une porte logique qui augmente la puissance consommée. Pourtant, cette méthode représente une solution pour améliorer la propagation du signal rapide quand d'autres procédés comme la régénération du signal ne sont pas applicables. Pendant les tests, les résultats obtenus pour le module "str2" avec la ligne simple (placée sur substrat epitaxial) sont utilisés comme référence. Les autres résultats sont comparés avec cette référence pour valider l'efficacité de chaque structure complexe (figure 2.6).

4.3.2.1.2 Implantation de la méthode oscillateurs en anneau dans le deuxième circuit démonstrateur

Dans le deuxième circuit démonstrateur, un bloc est également dédié pour caractériser les délais à travers de longues interconnexions. Quatre modules "osc3a" contiennent des oscillateurs en anneau. La boucle de chaque oscillateur est fermée par une ligne choisie pour fins de caractérisation. Ces oscillateurs servent aussi comme source interne pour d'autres modules. Le schéma détaillé du module "osc3a" utilisé dans quatre blocs du circuit 2 est présenté dans la figure 4.10.

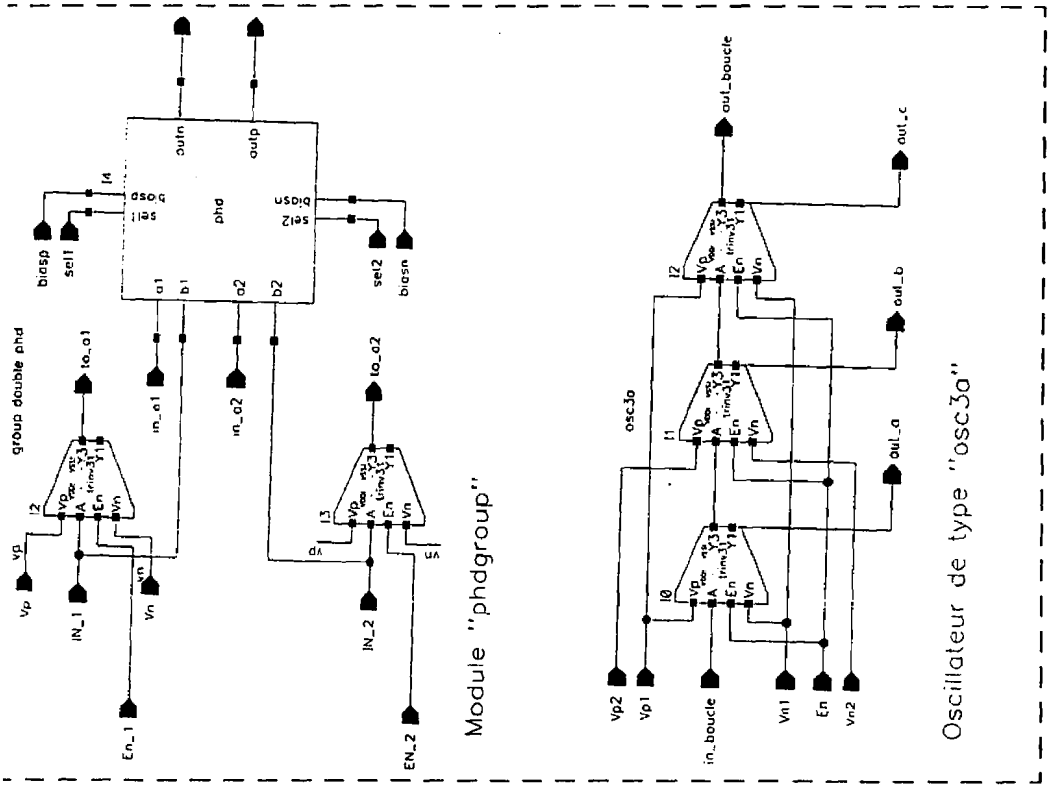


Figure 4.10. Schéma détaillé du module "osc3a" utilisé dans le circuit démonstrateur 2

Par l'intermédiaire des entrées V_{p1}, V_{p2}, V_{n1} et V_{n2}, nous pouvons contrôler les paramètres des inverseurs "trinv31" (la puissance à la sortie). Dans chaque module "osc3a", une ligne de dimension connue, connecte la sortie «out-boucle» à l'entrée «in-boucle».

Les modules de type "osc3a" sont représentés par OSC1 à OSC4 dans le schéma bloc du circuit 2 (figure 4.11). Chaque bloc est prévu avec une entrée de validation. Par l'intermède d'une chaîne de vingt cellules de mémoire, chargée par l'entrée "Data_cfg" nous avons la possibilité de configurer le circuit en choisissant les modules valides. La fréquence du signal généré successivement par un des oscillateurs OSC1 à OSC4 est divisée par un facteur 16 à l'aide de quatre modules "dff1" et mesurée à l'extérieur du circuit. Dans ces modules, les interconnexions dédiées pour fins de caractérisation (réalisées sur la couche métal 1 et placées directement sur le substrat epitaxial), sont:

- la ligne L2osc (module OSC2) sert comme référence dans les mesures effectuées par cette méthode dans le circuit 2; elle a une longueur minimale de 200µm.
- l'interconnexion L1osc est de longueur 1.2mm, de largeur constante 4µm et avec un minimum des changements de direction (quatre); celle-ci représente un cas usuel de routage.
- la ligne L3osc est de largeur variable (largeur 6µm sur les premières 600µm à partir de la sortie "out_boucle" et 2µm sur les autres 600µm); par les dimensions choisies, L3osc présente un couplage capacitif vers le substrat, similaire à celui de la ligne L1osc et une résistance 25% plus grande. En caractérisant cette ligne, on avait aussi l'intention de vérifier les performances de l'architecture de type

"transformateur d'impédance" présentée au chapitre 2.3. Étant donné que dans le circuit de test la longueur de la ligne est limitée à 1.2mm et la fréquence du signal est inférieure à 600MHz, pendant les mesures il y aura des faibles différences entre les valeurs enregistrées pour L1osc et L3osc.

- la ligne L4osc de longueur 1.2mm et de largeur 4μm, placée au-dessus d'une autre trace sur la couche poly-silicium, refait l'un des tests du circuit 1 (structure D), cette fois-ci en utilisant un oscillateur équilibré;

La procédure de test consiste à enregistrer la fréquence du signal généré par chaque oscillateur pour différentes valeurs de V_{p1} et V_{n1}. Les valeurs obtenues pour le module "OSC2" (figure 4.11) où la ligne L2osc qui est de longueur minimale sont utilisées comme référence. Le délai additionnel du signal sur une des lignes L1osc, L3osc et L4osc, se reflète respectivement comme une différence entre la période du signal généré par OSC1, OSC3 et OSC4, et les valeurs de référence de OSC2.

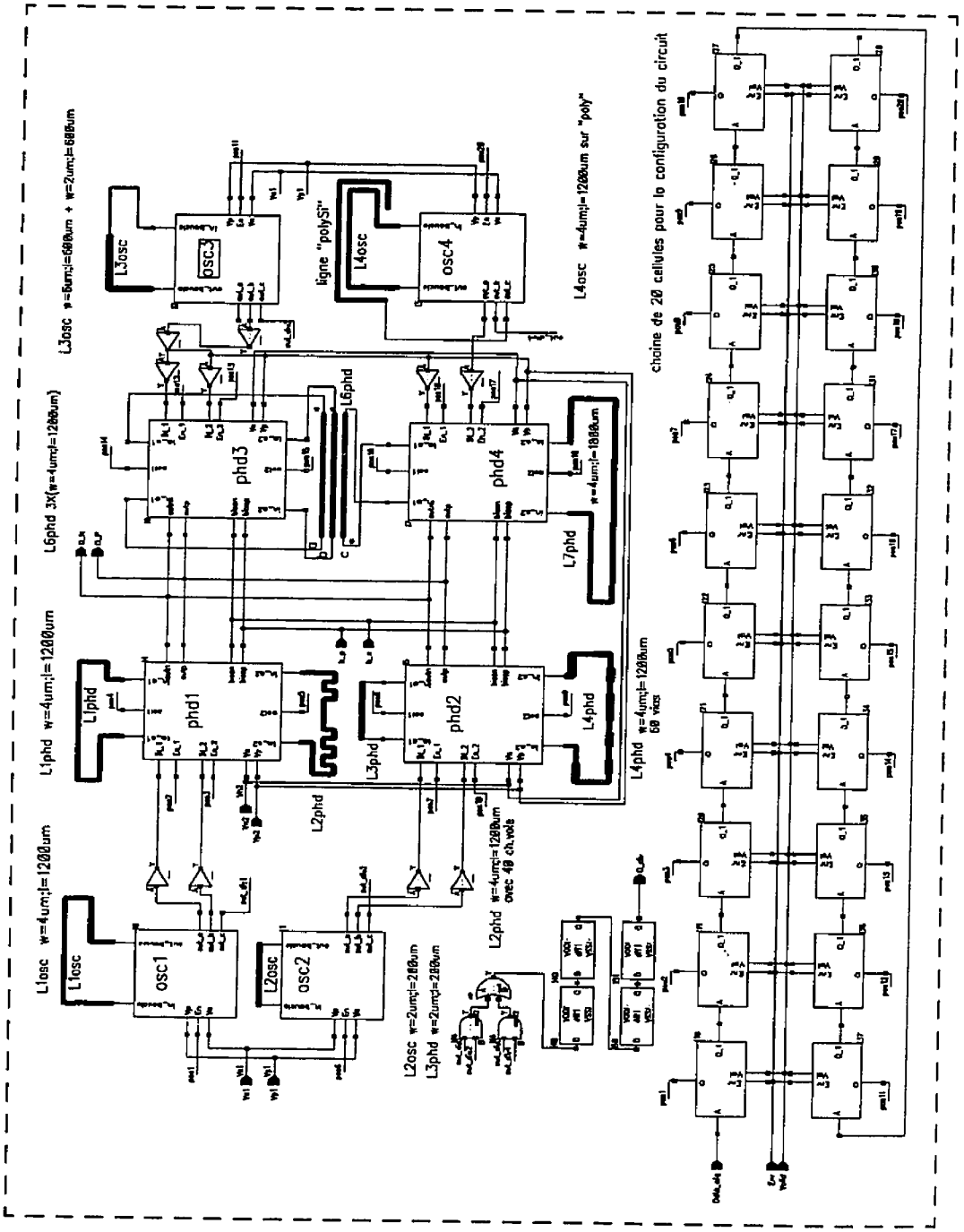


Figure 4.11 Schéma bloc du circuit démonstrateur 2, section dédiée pour mesures de délai

4.3.2.1.3 Conclusions pour la méthode de mesure de délai basée sur des oscillateurs en anneau

L'implantation de la méthode pour la mesure du délai du signal, présentée dans ce chapitre est relativement simple, mais certains problèmes pratiques ont dû être résolus pour obtenir une telle simplicité. Afin de mesurer la période du signal à partir d'appareillage à l'extérieur du circuit, en utilisant des broches régulières, il a fallu diminuer la fréquence à l'aide de cellules diviseures fonctionnant à très haute vitesse. Nous avons obtenu de bonnes performances avec des diviseurs dynamiques de type TSPC "dff1". De telles cellules, réalisées dans la technologie Mitel 1.5um, peuvent fonctionner jusqu'à 600MHz, fréquence du signal d'entrée. La cellule non-inverseur "tshv1" a été spécialement conçue pour le module "str2" (du circuit 1). Elle offre la possibilité de sélectionner le mode de connexion pour la ligne 2 (les modes "H", "L", "HiZ", "S", en fonction de l'état du noeud "c"). Finalement, on doit mentionner aussi la solution adoptée dans les blocs "osc3a", afin d'équilibrer le délai sur chaque cellule active dans l'oscillateur. Dans le but de créer l'équilibre avec un circuit simple et utile, nous avons utilisé deux sorties de chacun des oscillateurs "osc3a" comme source de signal interne nécessaire aux modules "phdgroup" (figure 4.11, "phd1" à "phd4").

Par cette méthode on peut extraire le délai composé, c'est-à-dire le temps de propagation à travers une interconnexion et l'inverseur qui injecte le signal. Les valeurs obtenues représentent la somme du délai correspondant à la partie montante et celui de la partie descendante du signal.

4.3.2.3.Mesure du délai composé basée sur la détection de phase

Cette section présente une technique de mesure du délai basée sur la détection de la phase du signal. Un signal qui passe à travers un système constitué par un circuit combinatoire et les interconnexions associées, arrive à la sortie de ce même système après un certain délai. Pour un signal numérique périodique, le temps de propagation dans le système représente une fraction de la période du signal et il est associé à une différence de phase. La méthode de test présentée dans cette section utilise cette correspondance entre les deux paramètres, différence de phase et délai. Un oscillateur interne génère un signal périodique de haute fréquence (figure 4.12). Ce signal passe par la suite à travers le système mesuré, représenté par X2 et T.

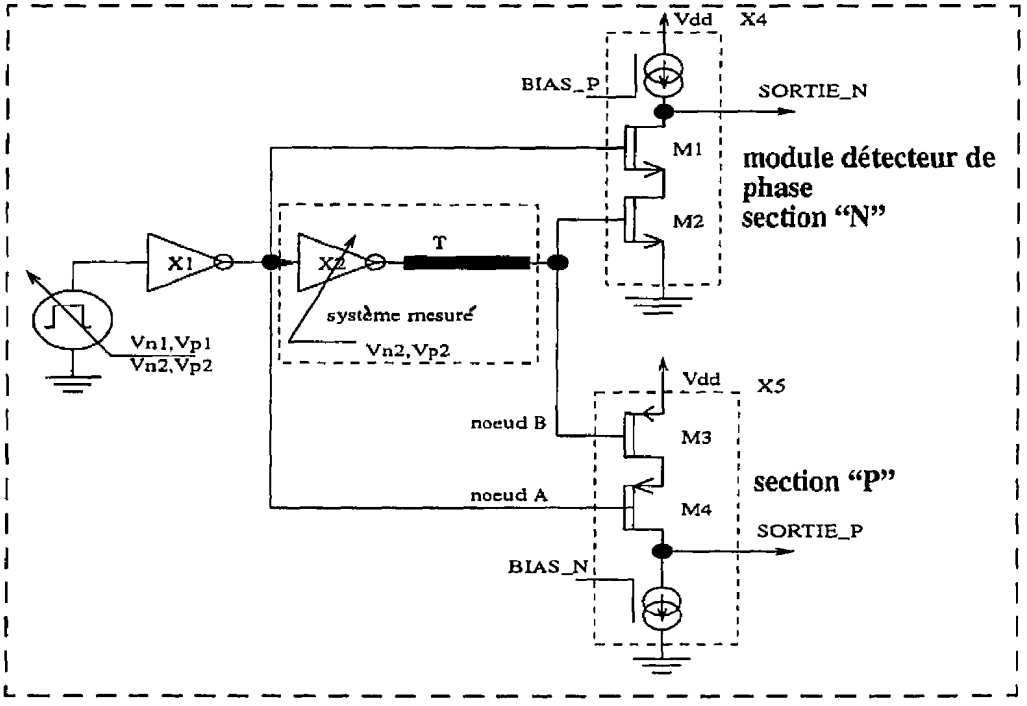


Figure 4.12. Schéma de principe d'un détecteur de phase

Deux modules détecteurs de phase, X4 et X5, comparent les deux signaux sur les noeuds "A" et "B". La figure 4.13 présente un exemple de simulation pour deux longueurs de ligne T. Le délai du signal qui arrive sur le noeud "B" varie en fonction de la longueur de cette ligne, qui fait partie du système mesuré. Les formes d'ondes de la figure 4.13 correspondent aux entrées "noeud A" et "noeud B" et aux sorties de X4 et X5 dans le schéma de la figure 4.12

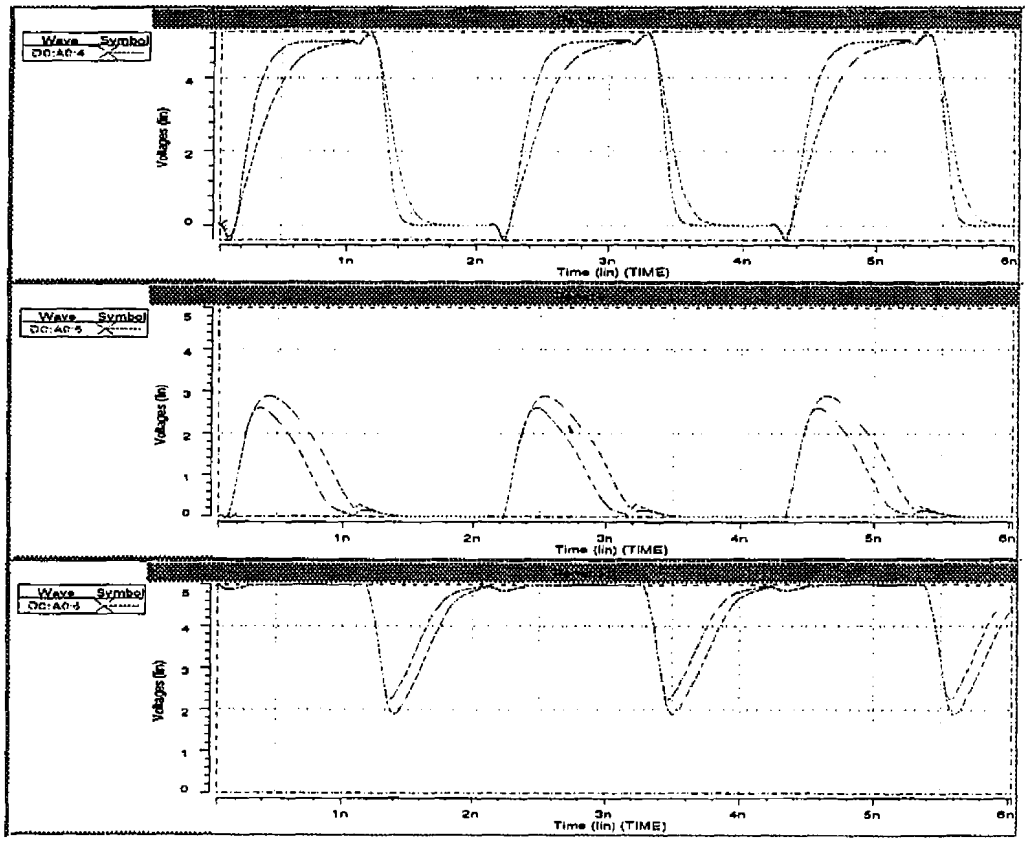


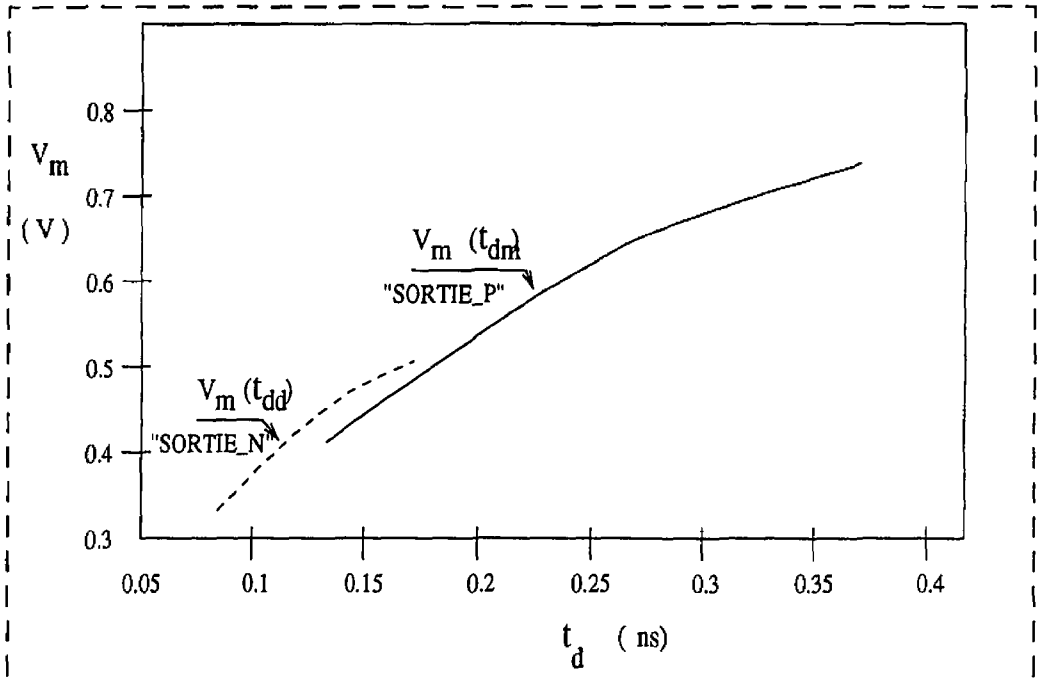
Figure 4.13 Formes d'ondes obtenues par la simulation du module de détection de phase; elles correspondent aux noeuds "B" (l'image en haut), "SORTIE_P" (l'image au centre) et "SORTIE_N (l'image en bas), pour deux valeurs de longueur de la ligne T (longueur 100um et 1200um, largeur 4um)

Pour comprendre et utiliser efficacement le détecteur de phase, il faut tenir compte de deux éléments importants:

- l'amplitude du signal à la sortie de chaque module détecteur de phase (noeuds "SORTIE_P" et "SORTIE_N") varie en fonction du délai du signal sur le système mesuré (X2 et la ligne T);
- l'information sur le délai correspondant à la transition montante du signal sur le noeud "A" est convertie par le module détecteur de phase X4. Il en est de même pour la transition descendante et le module X5.

Compte tenu de la bande passante limitée des plots, deux condensateurs sont connectés aux sorties "SORTIE_N" et "SORTIE_P" pour extraire les valeurs moyennes. En conséquence, par cette technique, l'information sur le délai du signal est convertie en deux niveaux de tension continue et de façon séparée pour les deux transitions, fronts de montée et de descente ("SORTIE_P" et "SORTIE_N"). Une telle séparation n'est pas possible avec la technique de mesure basée sur un oscillateur bouclé. Le graphique de la figure 4.13, basé sur des simulations HSPICE, présente un exemple de variation du niveau moyen à la sortie en fonction du délai du signal sur le système mesuré (figure 4.12). Les différentes valeurs du délai correspondent aux longueurs de ligne choisies dans ces simulations. Pour cette simulation, les niveaux "BIAS_N" et "BIAS_P" de polarisation ont été fixés à 2 volts. La période du signal est de 3.1ns. Cet exemple nous révèle la correspondance qui existe entre le niveau continu à la sortie du module «phd» (figures 4.10, 4.11 et 4.12, "SORTIE_N" et "SORTIE_P") et le délai du signal (t_{dm}, t_{dd}) entre les

noeuds "A" et "B" (figure 4.12). Notons que sur des zones bien définies, il est possible d'approximer ces courbes par des droites, ce qui nous permettra au chapitre 5 de simplifier l'analyse des résultats de test.



V_m - niveau du voltage mesuré sur "SORTIE_P" et "SORTIE_N", valeurs moyennes;

t_{dm}, t_{dp} - temps de délai du signal entre les noeuds "A" et "B" (figure 4.10) pour les transitions de montée (t_{dm}) et de descente (t_{dd});

Figure 4.14 Niveaux de tension à la sortie du module détecteur de phase (basé sur des simulations HSPICE)

Par cette méthode on a prévu la caractérisation du délai pour les lignes suivantes (voir aussi figure 4.11, schéma bloc du circuit 2):

L1phd: ligne de longueur 1.2mm et de largeur 4μm, similaire à L1osc;

L2phd: ligne avec 40 changements de direction à 90 degrés; chaque coin est un élément de discontinuité; par la caractérisation de cette ligne nous envisageons de mettre en évidence la perturbation du signal causée par les coins, en effectuant des mesures de délai.

L3phd: ligne de longueur minimale 200μm, utilisée comme référence;

L4phd: ligne avec 60 passages entre les couches métal 1 et métal 2 ("via"); les interconnexions dans un circuit intégré utilisent plusieurs couches de métal; les passages entre deux couches de métal (via) sont aussi des éléments de discontinuité; les performance de cette ligne sont comparées avec celles de L1phd (routée sur métal 1);

L6phd(a,b,c): trois lignes parallèles; elles sont de longueur 1.2mm, de largeur 4μm et d'espacement 2μm; dans une configuration donnée, pour les modules "phd3" et "phd4", une seule ligne à la fois est un élément sous test, tandis que les deux autres servent de source de bruit, dans un système constitué par L6phd(a), L6phd(b) et L6phd(c). Le signal sur L6phd(c) se propage en sens inverse par rapport aux signaux sur L6phd(a) et L6phd(b). Prenons l'exemple où L6phd(b) est l'interconnexion mesurée. En parallèle, sur les deux autres lignes, un signal en phase ou en opposition de phase peut être injecté, cela en fonction de la configuration choisie pour les modules "phd3" et "phd4"; avec L6phd nous voulons analyser la perturbation causée par une trace voisine

Toutes ces interconnexions (exception L4phd) utilisent la couche métal 1 et elles sont placées sur le substrat "epitaxial".

4.3 Circuits démonstrateurs, présentation des schémas bloc et des dessins de masques

Les deux circuits démonstrateurs ont été développés en utilisant la nouvelle structure MDP présentée dans le chapitre 3. Les cellules intègrent en général une architecture simple. Toutes les cellules ont été conçues spécialement pour ces circuits et leur routage interne a été optimisé surtout pour les modules fonctionnant dans des conditions de haute vitesse.

Dans cette catégorie, on considère les cellules suivantes:

"dff1"- diviseur dynamique TSPC (schéma à la figure 4.4 et dessin de masque à la figure 3.4);

"tshv1" - non-inverseur à trois états avec puissance de sortie contrôlée par tension;

"trinv2A" et "trinv31" - «cellules-inverseurs» avec entrée de validation et contrôle de l'impédance de sortie;

"phd" - module détecteur de phase (figure 4.10);

Dans les figures 4.15 et 4.17, les dessins des masques présentent les zones d'intérêt dans les deux circuits démonstrateurs. Nous voulons mettre en évidence dans ces figures l'emplacement des blocs sur lesquels ont été réalisés les mesures présentées plus loin au

chapitre 5. Dans ces figures, nous avons indiqué l'emplacement des longues lignes mesurées.

La figure 4.16 présente un détail du module "osc35io" utilisé pour la validation de la structure MDP.

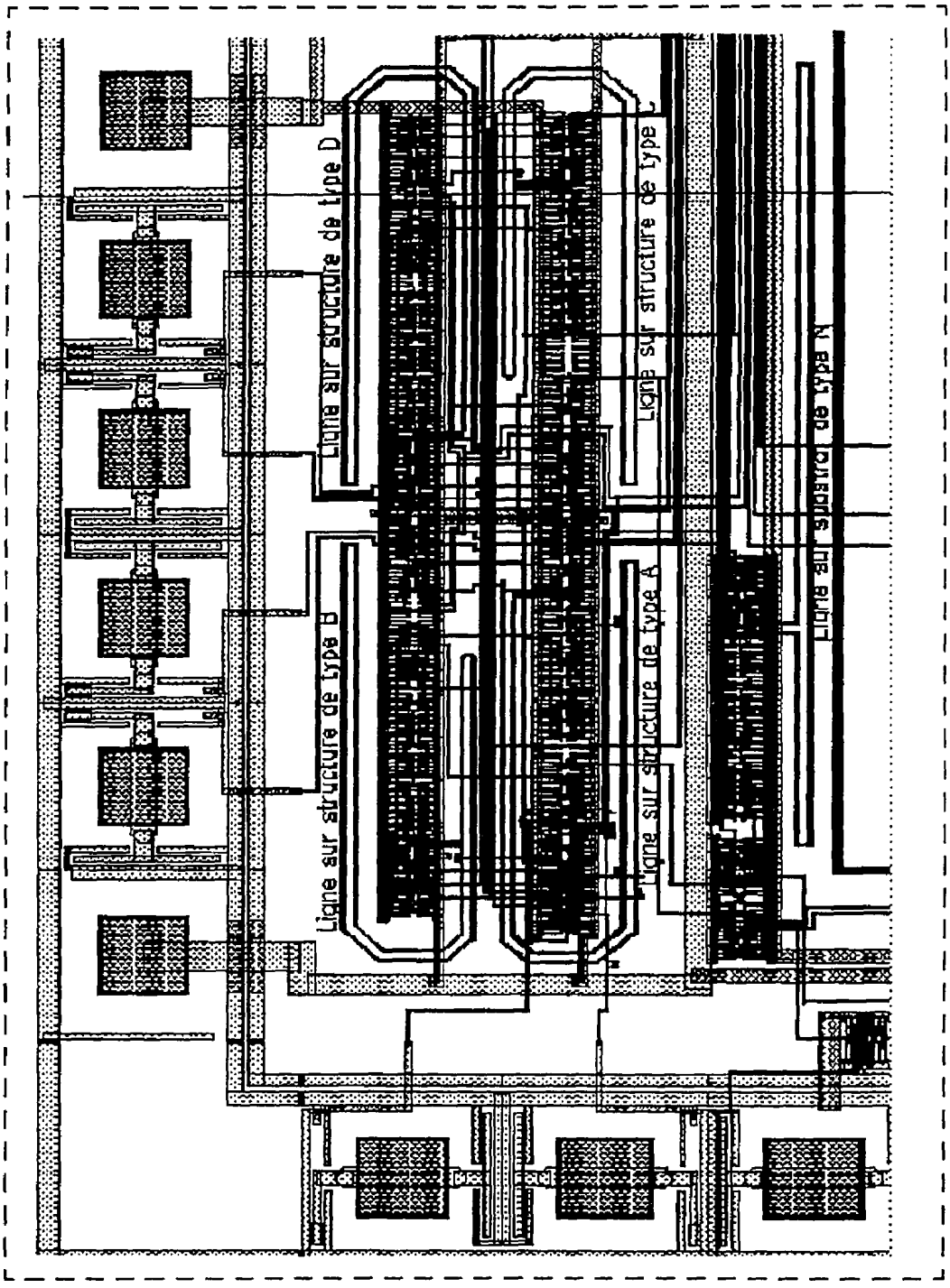


Figure 4.15 Circuit démonstrateur numéro 1; détail sur les modules "str2"

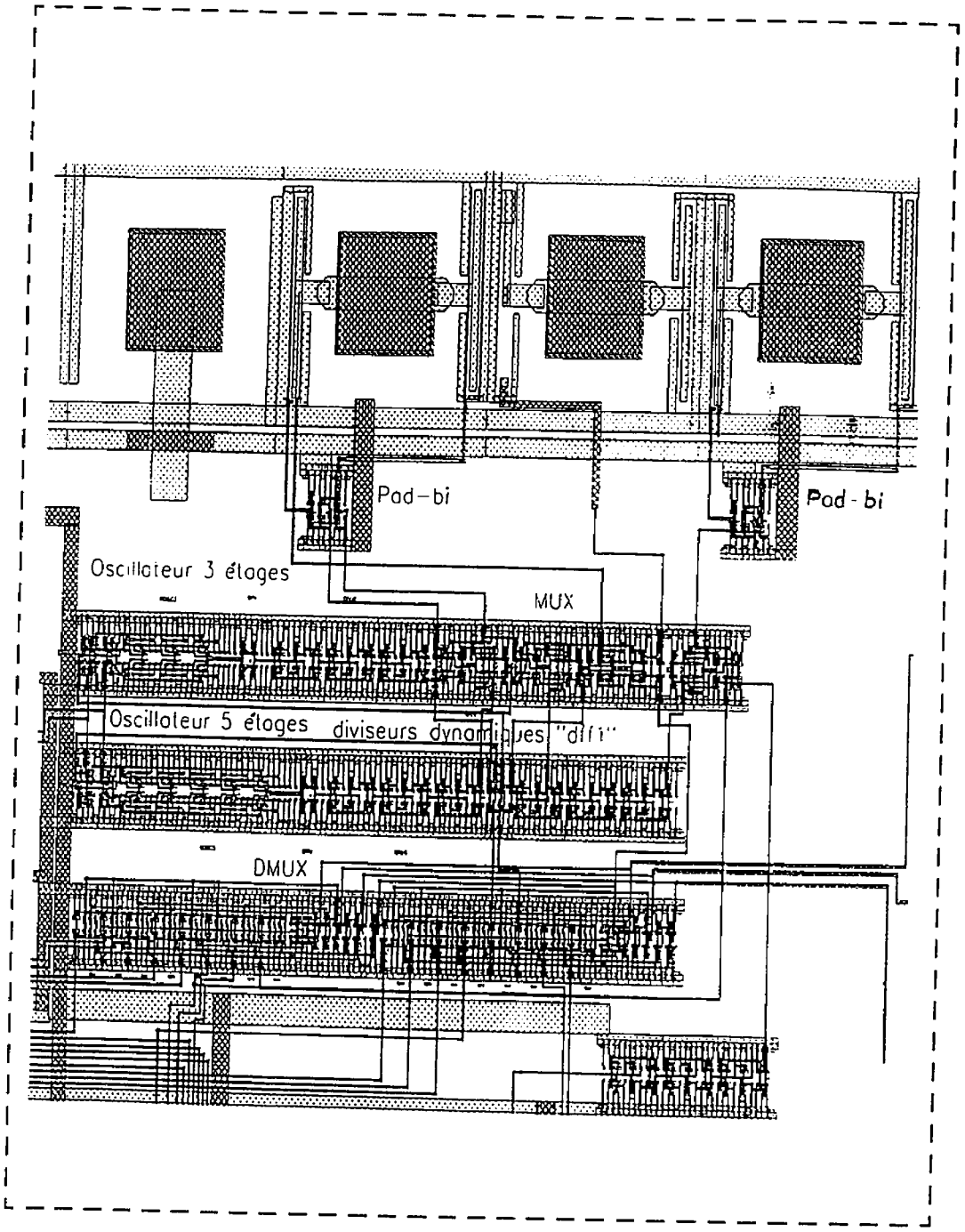


Figure 4.16 Circuit démonstrateur numéro 1; module pour la validation de la structure MDP

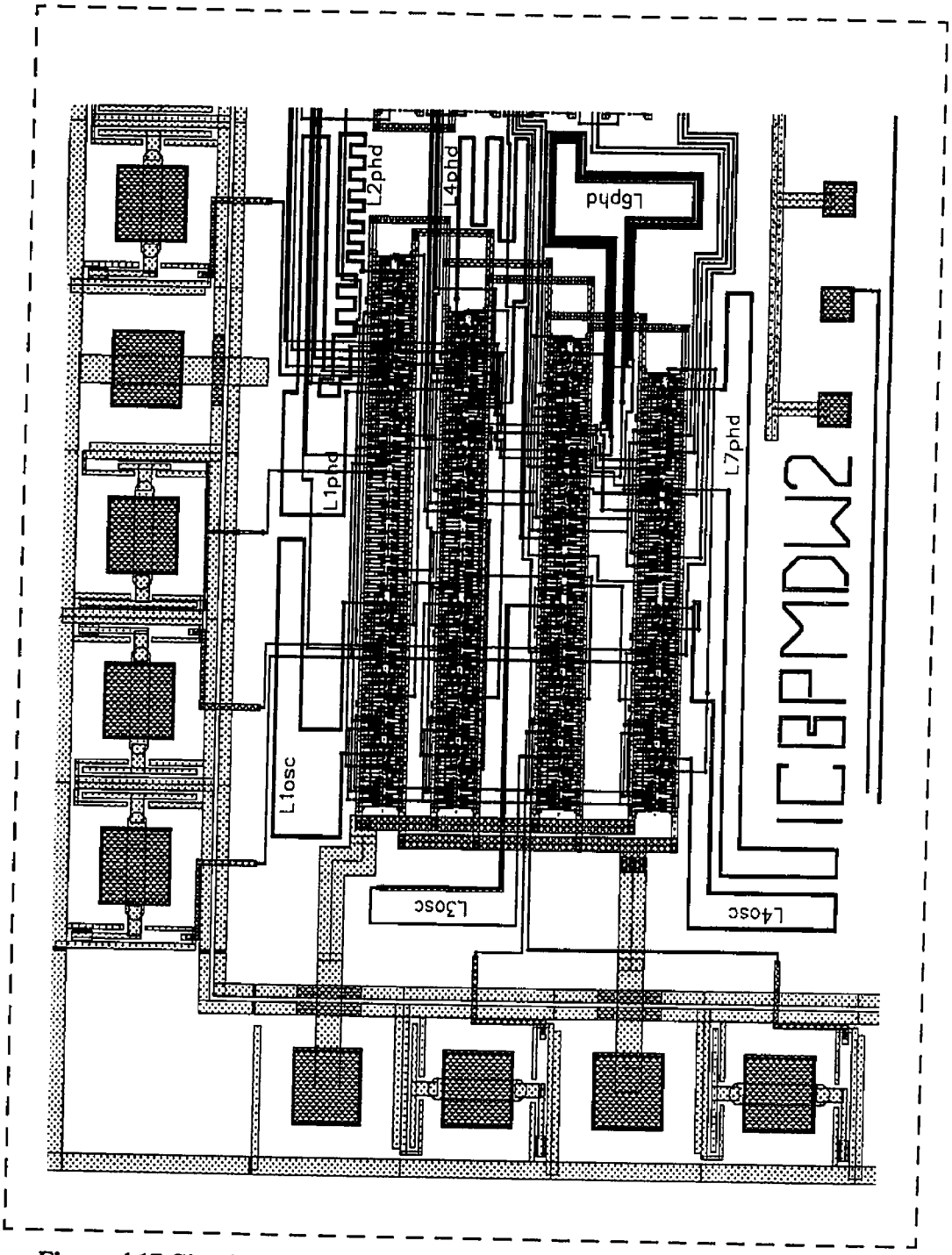


Figure 4.17 Circuit démonstrateur numéro 2; détail sur les modules "osc3a" et "phd"

CHAPITRE V

ANALYSE DES RÉSULTATS EXPÉRIMENTAUX ET SIMULATIONS

5.1. Validation de la structure MDP

Par un premier ensemble de test, nous vérifions le fonctionnement d'une série de modules développés sur la structure MDP présentée au chapitre 3. La méthode de test et les modules utilisés sont expliqués à la section 4.2.1. En résumé, les tests consistent à mesurer la période du signal généré par deux oscillateurs à trois et cinq étages, pour différentes polarisations Vp, Vn (0 à 5V). La fréquence du signal est divisée par une série de bascules dynamiques.

Tableau 5.1 Période du signal généré par les oscillateurs à 3 et à 5 étages en fonction de la polarisation V_p, V_n.

	T5 (ns)						T3 (ns)			
	Vp						Vp			
Vn	0V	1.5V	2V	2.5V	3V	3.27V	0V	1.5V	2V	2.25 V
5V	3.19	3.5	3.87	4.47	6.41	10.19	1.69	1.78	1.87	1.87
3.5V	3.28	3.59	3.91	4.66	6.75	10.75	1.73	1.84	1.91	1.92
3V	3.36	3.66	3.97	4.75	6.87	10.78	1.78	1.87	1.94	1.95
2.5V	3.47	3.78	4.09	4.87	7.09	11.00	1.83	1.94	2.00	2.03
2V	3.59	3.91	4.16	5.00	7.41	11.22	1.91	2.03	2.08	2.12
1.5V	3.62	3.97	4.22	5.19	7.56	11.31	1.98	2.06	2.11	2.16

Tant que les cellules diviseurs fonctionnent, on va retrouver ce signal sur la broche "osc35_io" à une fréquence divisée par 8, ou sur la broche "osc2" divisée par 64. Les résultats de test sont présentés au tableau 5.1.

Le gain et la constante de temps des cellules "trinv2A" utilisées dans ces oscillateurs varient en fonction de la polarisation V_p et V_n. Par conséquent, la fréquence du signal généré par ces deux oscillateurs, à trois et à cinq étages, est variable, en fonction des deux tensions de commande V_p et V_n. On peut remarquer qu'à partir d'un certain niveau de polarisation la condition d'oscillation pour le module à 3 étages n'est plus assuré (voir la zone avec hachures dans le tableau 5.1) et nous avons observé que les oscillations sont intermittentes. On a appelé cette zone «instable» en faisant référence à la fonctionnalité normale du module.

L'oscillateur à cinq étages permet une variation de la fréquence générée d'un facteur de 1 à 4. Par contre, à cause du gain insuffisant de la cellule "trinv2A", pour certaines valeurs V_n et V_p, ce facteur sera inférieur à 2 pour le module à 3 étages.

Dans des conditions de basse fréquence, quand on polarise V_n à V_{ss} et V_p à V_{dd}, la cellule "trinv2A" est en état "haute impédance" et elle ne laisse pas passer le signal présent à l'entrée. Les valeurs mesurées sont comparées avec les résultats de simulations. Les tableaux 5.2.A et 5.2.B fournissent un ensemble de résultats mesurés et simulés.

Dans un cas idéal, l'oscillateur comporte seulement la chaîne d'inverseurs dans la boucle et aucun point de sortie (exemple dans la figure 4.6.A). Le délai est alors parfaitement équilibré sur chaque inverseur et il n'y a pas de charge supplémentaire qui peut ralentir l'oscillateur. Dans ce cas, les valeurs obtenues par simulation (T_{03s} et T_{05s} dans les

tableaux 5.2.A et 5.2.B) sont des limites inférieurs et elles constituent une référence utile.

Tableau 5.2.A Analyse des résultats de tests et des simulations pour le module oscillateur à 3 étages [5.1]

Paramètre	V_n, V_p			
	5v, 0v	3.5v, 1.5v	3v, 2v	Unités
T3m	1.69	1.81	2.00	ns
T3s	1.225	1.352	1.436	ns
τ_{1s3}	405.25	446.2	474.25	ps
τ_{2s3}	385.75	423.60	482.40	ps
τ_{3s3}	434.75	482.40	512.75	ps
T03s	1.145	1.258	1.333	ns
R1_3=T3m/T3s	1.38	1.33	1.39	rapport
R2_3=T3s/T03s	1.07	1.075	1.077	rapport

5.1. V_p, V_n = tensions de contrôle (figure 4.3);
T_{3m} = période du signal mesurée pour l'oscillateur à 3 étages;
T_{3s} = période du signal généré par les modules oscillateur à 3 étages, résultats de simulations (circuit figure 4.6.C);
T_{03s} = résultats de simulations pour la période du signal généré par un oscillateur à 3 étages; cas idéal, circuit de la figure 4.6.A;
τ_{1s3}, τ_{2s3}, τ_{3s3} = temps de délai sur chaque porte dans l'oscillateur à trois étages (figure 4.6.B), résultats de simulation;
R1_3 = rapport entre les valeurs mesurés et les résultats de simulation;
R2_3 = rapport entre les résultats de simulation pour l'oscillateur avec une sortie et l'oscillateur idéal (sans sortie);

Tableau 5.2.B Analyse des résultats de tests et des simulations pour le module oscillateur à 5 étages [5.2]

Paramètre	V_n, V_p			
	5v, 0v	3.5v, 1.5v	3v, 2v	Unités
T5m	3.19	3.56	3.94	ns
T5s	2.165	2.42	2.6	ns
τ_{1s5}	430.50	481.00	520.70	ps
τ_{2s5}	411.50	461.00	493.00	ps
τ_{3s5}	497.50	556.60	600.03	ps
T05s	2.056	2.286	2.460	ns
R1_5=T5m/T5s	1.47	1.47	1.52	rapport
R2_5=T5s/T05s	1.0515	1.0586	1.057	rapport
R3	1.13	1.18	1.18	rapport
R4	1.06	1.074	1.086	rapport

5.2. T_{5m} =période du signal mesurée pour l'oscillateur à 5 étages;

T_{5s} = période du signal généré par les modules oscillateur à 5 étages, résultats de simulations (circuit figure 4.6.C);

T_{05s} = résultats de simulations pour la période du signal généré par un oscillateur à 3 étages; cas idéal;

τ_{1s5}, τ_{2s5}, τ_{3s5} = temps de délai sur chaque porte dans l'oscillateur à trois étages (figure 4.6.C), résultats de simulation;

R1_5 = rapport entre les valeurs mesurés et les résultats de simulation;

R2_5 = rapport entre les résultats de simulation pour l'oscillateur avec une sortie et l'oscillateur idéal (sans sortie);

R3 = 0.6*(T5m/T3m); rapport entre les périodes mesurés pour les oscillateurs à 5 et à 3 étages;

R4 = 0.6*(T5s/T3s); rapport entre les périodes des signaux générés par les oscillateurs à 5 et à 3 étages, valeurs obtenues par simulation;

En réalité il faut ajouter au moins un point de sortie (figures 4.3 et 4.6.B). Le module dédié pour la validation de la structure MDP (figures 4.3 et figure 4.16) contient des oscillateurs qui comportent un seul point d'accès. Dans ces conditions, il existe un faible déséquilibre dans la chaîne d'inverseurs, mais l'avantage est qu'on génère un signal de fréquence maximale avec le module à trois étages. La simulation d'un circuit comme celui de la figure 4.6.C (avec trois et cinq étages) offre une image de la grandeur du déséquilibre créé par le point d'accès au signal. Les valeurs τ_{1s3}, τ_{2s3}, τ_{3s3} dans le tableau 5.2.A et τ_{1s5}, τ_{2s5}, τ_{3s5} dans le tableau 5.2.B sont les temps de délai sur chaque inverseur (figure 4.6.C). Le rapport R3 dans le tableau 5.2.B indique si la fréquence limite maximale pour le module diviseur "dff1" est atteinte. Au-dessus de cette limite, ce rapport augmente de façon considérable. La différence entre les valeurs simulées T_s et les valeurs mesurés T_m est systématiquement de l'ordre de 35% pour le lot de circuits prototypes reçu de la Société Canadienne de Microélectronique. Mentionnons que pour les simulations, nous avons utilisé les valeurs moyennes du modèle des transistors MOS.

Les simulations fournissent la distribution du délai (τ_{1s3}, τ_{2s3}, τ_{3s3}) sur chaque porte dans l'oscillateur. Lors des tests, il est possible de mesurer la période T_{3m}, mais on ne connaît pas le délai sur chaque porte. En considérant que pour les valeurs mesurées on devrait avoir des rapports comparables entre les composantes du délai simulés et mesurés, il est possible d'estimer les valeurs réelles τ_{1m3}, τ_{2m3}, τ_{3m3}.

En général, les tests sur cette partie du premier circuit démonstrateur nous relèvent un bon fonctionnement en régime dynamique, à très haute fréquence, pour les quelques cellules

développées sur la structure MDP. Ces résultats constituent une preuve de la bonne efficacité de l'isolation obtenue avec des transistors bloqués, méthode spécifique à la structure MDP. Le rapport R3 dans le tableau 5.2.B est quasi-constant jusqu'à la fréquence maximale générée dans les circuits démonstrateurs (d'environ 600MHz) ce qui indique un bon fonctionnement de la cellule "dff1" (diviseur de fréquence). Cela nous assure que pendant les mesures de délai, les diviseurs de fréquence inclus dans les blocs correspondants n'ajoutent pas des erreurs et qu'ils assurent toujours un facteur de division constant.

Concernant le test basse fréquence du module "dff1", on a enregistré les valeurs suivantes:

a) pour un signal d'entrée numérique, avec des transitions de l'ordre de 10ns et une fréquence inférieure à 2 KHz, le diviseur (cellule "dff1") devient instable. Ce phénomène est caractéristique aux modules dynamiques dont le fonctionnement est basé sur la mémorisation du niveau du signal dans un noeud de haute impédance.

b) pour un signal d'entrée sinusoïdal et d'amplitude $5V_{pp}$, la fréquence minimale acceptée est de 1 MHz.

En général, pour un fonctionnement stable de la cellule "dff1", il faut injecter un signal d'amplitude minimale de $2.2V_{pp}$ centré autour de 2.5V.

5.2. Caractérisation du délai sur des lignes longues

5.2.1. Lignes placées sur des structures complexes

Le but de ce test est de déterminer l'influence du substrat sur les performances d'une interconnexion dont la longueur est de 2.1mm et la largeur de 3µm. On effectue d'abord des mesures de délai en utilisant la méthode basée sur un oscillateur en anneau présentée à la section 4.3.2.1. Les modules sont de type "str2" (figure 4.8). Au total, il y a cinq lignes à caractériser. Quatre sont placées sur les structures A à D (chapitre 2.3, figure 2.6 et figure 5.1) et la cinquième est une ligne simple sur le substrat epitaxial, comme dans le cas d'une interconnexion usuelle. Pour chaque module "str2" qui contient l'une de ces lignes de test, nous avons mesuré la période d'oscillation à différentes valeurs V_p et V_n (niveaux de tension sur les lignes de commande de l'oscillateur - VCO). Les lignes de commande sont communes pour tous les modules VCO. Le bloc contenant la ligne simple est considéré comme référence. Les différences entre les périodes d'oscillation, enregistrées pour les quatre modules avec des lignes de structure complexe et celles du module de référence, nous indiquent l'efficacité de chaque architecture dans la réduction du délai. Dans le tableau 5.3, ces valeurs sont négatives quand il s'agit d'une réduction de délai pour la structure correspondante.

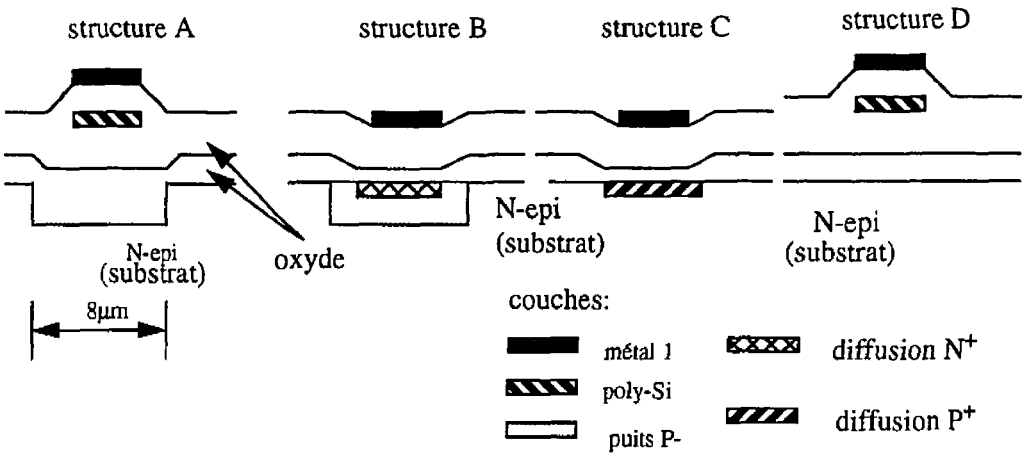


Figure 5.1 Structures complexes, image sectionnée en plan vertical

Dans l'interprétation de ces résultats, il est utile de référer aux figures 2.6, 4.8 et 5.1 pour mieux comprendre de quelle façon chaque couche influence les paramètres des diverses lignes. Nous avons mentionné au chapitre 2 que pour les structures complexes proposées, les lignes de métal (qui représentent les interconnexions) se trouvent au dessus d'une autre trace (secondaire), ou dans certains cas, sur une combinaison de couches de diffusion réalisées dans le substrat. Aussi, au chapitre 4.3.2.1.1 nous avons décrit le rôle de la ligne secondaire et des couches de diffusion dans le substrat. Ces éléments aident à réduire le couplage entre une interconnexion et le substrat semiconducteur, en diminuant ainsi les pertes dans le substrat afin d'améliorer la propagation du signal.

Tableau 5.3 Résultats de test pour les lignes analysées dans le circuit numéro 1

Conditions	Type de ligne	V_p (V) [5.3]		
		0	1	1.5
	ligne simple	période T_{ref} (ns)		
	sur N-epi	2.337	2.712	3.025
	Différence	de délai	($T - T_{ref}$)	(ns)
ligne 2 en mode "L"	structure A	0	-0.262	-0.512
	structure B	0.237	0.212	0.212
	structure C	0.318	0.287	0.287
	structure D	0.318	0.225	0.335
ligne 2 en mode "H"	structure A	0	-0.362	-0.625
	structure B	0.2	0.187	0.2
	structure C	0.380	0.381	0.381
	structure D	0.318	0.2095	0.35
ligne 2 en mode "S" (sync.)	structure A	-0.05	-0.3625	-0.612
	structure B	0.2125	0.2	0.2
	structure C	0.3965	0.3815	0.397
	structure D	0.35	0.2555	0.381
ligne 2 en mode "HiZ"	structure A	-0.0625	-0.3375	-0.5875
	structure B	0.175	0.15	0.125
	structure C	0.3025	0.2875	0.256
	structure D	0.2245	0.2905	0.209

5.3. $V_n=5-V_p$

On remarque au tableau 5.3 les performances excellentes de la structure A. Ici, la trace de métal est placée au dessus d'une ligne de silicium polycristallin et dans le substrat il y a un puits de haute résistivité (3600 ohms/carrées) constitué par diffusion de type P. Il est évident que la propagation est meilleure dans ce cas pour les raisons suivantes:

- entre la couche de métal et le substrat, il y a un oxyde d'épaisseur double (isolation poly-Si / substrat et isolation métal /poly-Si), ce qui diminue les pertes dans le substrat;
- en série avec la capacité parasite de l'oxyde s'ajoute une capacité de jonction créée entre le caisson P et le substrat epitaxial de type N;
- la diffusion P^- (puits de haute résistivité constitué d'une bande de même taille que la trace) présente une résistance élevée; dans ce cas, la résistance R_{diff} dans la cellule de la figure 5.2 est très grande;

Il est important de noter que la structure A est plus efficace quand les tailles des transistors de sortie sont petites (situation simulée par des valeurs de contrôle V_p / V_n = 1.5V / 3.5V)

Pour les structures B et C, par l'existence d'une ou deux jonctions à la surface du silicium, entre les couches de diffusion, le couplage entre l'interconnexion et substrat est diminué. Dans ce test on a constaté l'effet de la jonction sur le modèle de ligne (figure 5.2). Cette jonction ajoute une capacité en série avec celle de l'oxyde. On sait que la capacité effective parasite d'une jonction varie en fonction de la polarisation des couches. Pour la structure C cette capacité est minimale quand le mode L est sélectionné. Pour la structure B, la capacité est minimale quand la mode H est sélectionné.

Dans le tableau 5.3, on constate une réduction du délai pour les structure B et C quand la

capacité de jonction créée dans le substrat est minimale (mode L pour la structure C et mode H pour la structure B) par rapport au cas opposé. Il y a aussi des pertes à travers la résistance $R_{diff.}$ (figure 5.2).

Cet élément parasite (R_{diff}) est la résistance série de la couche de diffusion dans le substrat. Ce paramètre découle de la résistance calculée entre le point où la couche de diffusion est connectée à une source de polarisation de la zone en bas de la trace (sur la même couche). Si le noeud $V_{diff.}$ est laissé flottant, l'effet de $R_{diff.}$ est annulé et également ses pertes. Ce phénomène, on l'a observé pendant les mesures effectués (tableau 5.3). Dans le mode HiZ (structures B et C), le délai mesuré est inférieur par rapport aux modes L et H (quand la source $V_{diff.}$ est connectée).

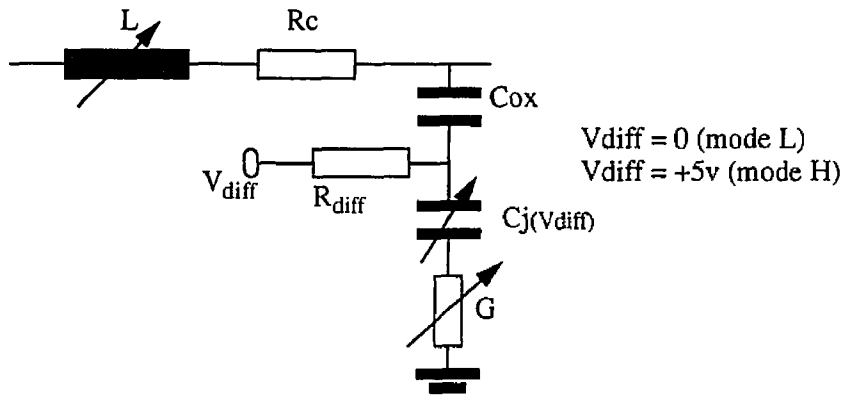


Figure 5.2 Capacité de jonction et résistance de la couche de diffusion dans le modèle de ligne RLGC

En général, pour les structures B et C, nous avons constaté un délai plus grand que celui obtenu pour la ligne simple, ce qui contredit apparemment la discussion précédente.

Notons cependant que l'oxyde est plus mince dans les zones où il y a des diffusions N^+ ou P^+. Pour créer ces couches pendant le processus de fabrication il faut ouvrir des fenêtres dans l'oxyde, ce qui provoque une réduction d'épaisseur sur les zones diffusées. Cela conduit inévitablement à une capacité d'oxyde plus grande pour ces deux structures, ce qui explique selon nous le phénomène constaté. Les structures A et D diffèrent une par rapport à l'autre seulement par la couche P^-. Du point de vue des résultats, on constate une assez grande différence. Ce test nous révèle l'influence de la résistivité du substrat sur la propagation du signal, surtout pour la zone proche de l'interface oxyde-semiconducteur.
Pour le mode S (signal synchrone injecté sur la ligne secondaire), nous n'avons pas constaté une réduction du délai car le signal de haute fréquence ne se propage pas bien sur cette ligne. Cette dernière est construite sur la couche poly-Si (technologie Mitel 1.5μm) de haute résistivité (25 Ω/carrées), ce qui introduit des atténuations importantes au signal.

5.2.2. Lignes de géométrie variable ou avec des discontinuités

La géométrie de l'interconnexion est aussi importante que le substrat pour la propagation du signal. Dans un deuxième circuit démonstrateur, nous analysons des lignes qui sont en général placées directement sur la couche N-epi et dont la longueur est de 1.2mm. Au chapitre 2, nous avons fait une description sommaire des traces caractérisées. La propagation du signal est analysée par deux méthodes: oscillateur en anneau et détection de phase. Les modules correspondants sont présentés au chapitre 4 (figures 4.8, 4.10 et 4.11).

5.2.2.1 Mesure de délai à l'aide des oscillateurs en anneau

Quatre lignes L1osc à L4osc sont analysées avec des modules oscillateurs, «osc3a». Dans ces circuits, la période d'oscillation dépend du délai sur l'interconnexion de longueur 1.2mm insérée dans la boucle. Les valeurs enregistrées sont présentées au tableau 5.4. Un module contenant une ligne courte, de longueur 200µm (valeur minimale obtenue pour fermer la boucle de l'oscillateur) est utilisé comme référence. Les autres lignes ajoutent un délai supplémentaire dans le système. Pour calculer ce délai supplémentaire, on soustrait les valeurs enregistrées de celles obtenues du module de référence. La chaîne de configuration (figure 4.11) aide à sélectionner successivement les modules de test. Le signal généré à l'intérieur de la puce passe à travers une chaîne de quatre diviseurs de fréquence. À la sortie du circuit, nous avons enregistré des périodes 16 fois plus grandes que les valeurs du tableau 5.4. Pour contrôler ce circuit, on dispose d'un total de quatre lignes indépendantes. La puissance de sortie pour les inverseurs X1 et X3 est contrôlée par V_{p1} et V_{n1} (pour les branches P et N respectivement) et X2 par V_{p2}, V_{n2} (figure 5.3). La séparation des lignes de contrôle offre plus de souplesse dans le test.

Par exemple, on peut faire varier la fréquence d'oscillation par l'intermédiaire de V_{p2}/V_{n2}. En même temps, on peut ajuster indépendamment la puissance de l'inverseur X3 qui injecte le signal sur la ligne. Ainsi, nous avons la possibilité d'extraire une matrice de résultats (comme au tableau 5.4) qui nous permet de caractériser la variation du temps de propagation (temps de montée et temps de descente du signal) pour X1, X2 et X3 en fonction du potentiel sur les lignes de contrôle.

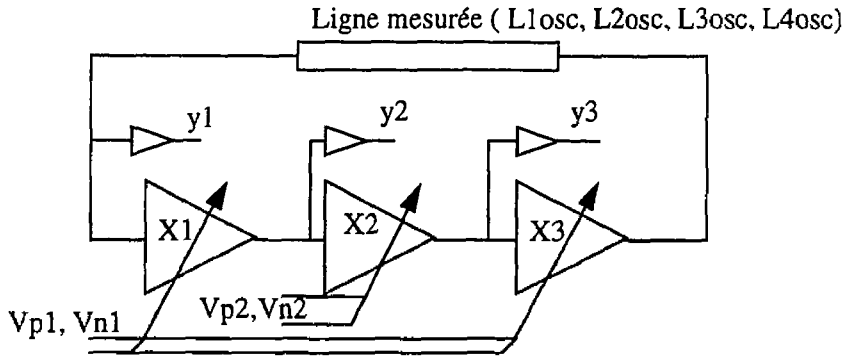


Figure 5.3 Oscillateur dans le module "osc3a"

Un tel ajustement indépendant de la période d'oscillation et des temps de montée et de descente n'était pas possible à la section 5.2.1. Dans une analyse sommaire, on peut constater une augmentation du délai sur la ligne de section variable, L3osc, par rapport à la ligne L1osc. Les résultats de simulation du chapitre 2 (tableau 2.1) montrent une réduction du délai pour cette géométrie quand l'élément actif (dans ce cas X3) est très puissant et injecte un signal avec des transitions rapides (inférieures à 300ps). Par contre, quand X3 est de faible puissance de sortie, les mêmes simulations montrent le phénomène contraire, c'est-à-dire une augmentation du délai (délai sur L3osc par rapport au L1osc). Le résultat de test est conforme aux simulations. Dans le circuit de test basé sur une technologie MOS à 1.5μm, il n'est pas possible d'obtenir des transitions de durée inférieure à 300ps, donc on s'attend à ce que le phénomène de réduction du délai pour la ligne de largeur variable ne survienne pas. C'est ce que le tableau 5.4 confirme.

La ligne L4osc, placée au-dessus d'une trace poly-Si secondaire, sur laquelle on injecte

aussi un signal synchrone, refait l'un des tests du circuit 1 (structure D) en utilisant cette fois le module «osc3a». Les résultats confirment une fois de plus l'influence du substrat sur les paramètres de la ligne. La période d'oscillation pour le module «osc3a» contenant la ligne L4osc est dans tous les cas, inférieure à celle enregistrée avec L1osc. En minimisant le couplage entre l'interconnexion et le substrat, le délai du signal diminue.

Le tableau 5.4 est utile pour extraire les temps de montée et un temps de descente à la sortie de chaque inverseur X1, X2 et X3 pour différentes valeurs du niveau de contrôle V_p/V_n. Le délai introduit par une porte inclut un temps de montée (t_m) et un temps de descente (t_d). La somme de tous ces paramètres $\Sigma_{X1,X2,X3}\left(t_m + t_d\right) = T$, donne la période d'oscillation. Pour chaque inverseur, V_p contrôle la montée du signal et V_n la descente. Les cellules X1 et X2 fonctionnent dans le même régime de charge à la sortie, c'est à dire l'entrée du module suivant. Les délais sur X1 et X2 pour la partie montante[5.4] et la partie descendante[5.4] du signal sont $t_{m1}(V_{p1})$, $t_{d1}(V_{n1})$ et $t_{m1}(V_{p2})$, $t_{d1}(V_{n2})$.

L'inverseur X3 a comme charge de sortie la ligne mesurée et ensuite l'entrée du module suivant (X1/y1, figure 5.3). Les variables qui décrivent le délai correspondant aux fronts montant et descendant sont t_{m2} et t_{d2} ($t_{m2}(V_{p1})$ et $t_{d2}(V_{n1})$).

5.4. On utilise la convention suivante: dans la définition de t_m et t_d, le sens de la transition est celui à la sortie de l'inverseur auquel ce délai correspond; par exemple, t_m est le délai entre le front descendant du signal à l'entrée de l'inverseur et le front de montée à la sortie.

Afin de calculer les temps de délai $t_{m1}(V_{p1})$, $t_{d1}(V_{n1})$ et $t_{m1}(V_{p2})$, $t_{d1}(V_{n2})$, nous avons développé un ensemble d'équations en utilisant les valeurs mesurées du tableau 5.4.
La forme générale de ces équations est:

$$(t_{m1}(V_{p1})+t_{d1}(V_{n1}))+(t_{m1}(V_{p2})+t_{d1}(V_{n2}))+(t_{m2}(V_{p1})+t_{d2}(V_{n1})) = T(V_{p1},V_{n1},V_{p2},V_{n2}) \qquad \{5.1\}$$

où $T(V_{p1},V_{n1},V_{p2},V_{n2})$ est la période d'oscillation correspondante à la polarisation $(V_{p1},V_{n1},V_{p2},V_{n2})$, valeur obtenue à partir du tableau 5.4. Les temps de délai pour la partie montante (t_{m1} pour X1 et X2, t_{m2} pour X3) et celui pour la partie descendante du signal (t_{d1} pour X1 et X2, t_{d2} pour X3) sont calculés à partir de ce système d'équations. Certaines valeurs dans le tableau 5.4 seront utilisées dans un système d'équations pour extraire les paramètres t_{m1}, t_{d1}, t_{m2} et t_{d2} pour différentes valeurs de polarisation V_p, V_n.
Par exemple, pour $V_{p1}=V_{p2}=0$ et $V_{n1}=V_{n2}=5$, L2osc, on a l'équation:

$$3*(t_{m1}(0)+t_{d1}(5))=2.00 \qquad \{5.2\}$$

et parce que la ligne L2osc est très courte, nous pouvons considérer $t_{m2} = t_{m1}$ et $t_{d2} = t_{d1}$.
Ensuite, pour $V_{p1}=V_{p2}=0$ et $V_{n1}=V_{n2}=5$ et L1osc, on a une deuxième équation:

$$2*(t_{m1}(0)+t_{d1}(5))+(t_{m2}(0)+t_{d2}(5))=2.437 \qquad \{5.3\}$$

Tableau 5.4 Période d'oscillation pour les modules «osc3a» contenant les lignes L1osc à L4osc; valeurs mesurées (ns).

	V_{p1}, V_{n1}					
V_{p2}, V_{n2}	0V , 5V	2.5V , 2.5V	3.5V , 1.5V	0V , 5V	2.5V , 2.5V	3.5V , 1.5V
avec L1osc, 4µm de	ligne de large	longueur	1.2mm et	avec L2osc, 200µm	ligne de	longueur
0V / 5V	2.437	2.875	4.25	2.00	2.222	3.125
2.5V / 2.5V	2.625	3.062	4.437	2.122	2.312	3.375
3.5V / 1.5V	3.25	3.625	5.375	2.562	2.812	3.75
2.5V / 5V	2.687	2.875	4.25	2.062	2.312	3.25
3.5V / 5V	3.50	3.75	4.875	2.50	2.75	3.50
avec L3osc, w_1=6µm	ligne de w_2=2µm	section	variable	avec L4osc, sur poly-Si	ligne	placée
0V / 5V	2.625	2.875	4.50	2.312	2.50	3.75
2.5V / 2.5V	2.75	2.937	4.75	2.375	2.625	3.875
3.5V / 1.5V	3.625	3.875	5.875	2.875	3.125	4.125
2.5V / 5V	2.75	3.00	4.687	2.375	2.687	3.875
3.5V / 5V	3.75	4.00	5.312	3.00	3.25	4.00

Nous avons obtenu pour le tableau 5.5 les valeurs de référence sous forme de somme $t_{m1}(0)+t_{d1}(5)$, qui sont respectivement les délais sur X1 et X2 pour la partie montante et descendante du signal quand V_p=0V et V_n=5V et sous forme de $t_{m2}(0)+t_{d2}(5)$, les valeurs correspondantes pour X3. Par la suite, nous avons calculé les variations de t_m et t_d (séparément) en fonction du niveau de contrôle (tableau 5.6).

Tableau 5.5 Somme des temps de montée et de descente pour les lignes L1osc et L2osc

	$t_{01}=t_{m1}(0)+t_{d1}(5)$	$t_{02}=t_{m2}(0)+t_{d2}(5)$
ligne L2osc (l=200um)	0.67 ns	0.67ns
ligne L1osc (l=1.2mm)	0.67ns	1.10 ns

Tableau 5.6 Paramètres t_{m1} et t_{d1} du signal à la sortie de l'inverseur X2 en fonction de la polarisation V_{p2} et V_{n2} respectivement et en fonction de leurs référence $t_{m1}(0)$ et $t_{d1}(5)$

	$t_{m1}(V_p=2.5)$	$t_{m1}(V_p=3.5)$	$t_{d1}(V_n=2.5)$	$t_{d1}(V_n=1.5)$
lignes L2osc et L1osc	$t_{m1}(0)$+0.062ns	$t_{m1}(0)$+0.5ns	$t_{d1}(5)$+ 0.041ns	$t_{d1}(5)$+ 0.062

Avec le système d'équations obtenu à l'aide de l'équation 5.1 et le tableau 5.4, nous n'avons pas la possibilité de séparer les éléments t_m et t_d. Pour cela il nous faut une autre relation comme par exemple le rapport entre t_m et t_d. Par la suite de simulations effectuées, nous avons obtenu un rapport t_m/t_d d'environ 1.6. Conformément aux mêmes simulations, pour différentes tensions de contrôle, ce rapport varie entre 1.5 et 1.8. Les tensions de contrôle V_p, V_n utilisées pour les simulations effectuées sont en relation $V_n=(5-V_p)$.

5.2.2.2 Mesure du temps de délai avec les modules détecteurs de phase

Analysons maintenant le module «phd» qui permet d'extraire expérimentalement ce rapport. Pour effectuer ce type de test, nous avons équilibré les courants pour les sorties N et P (à l'aide des niveaux de contrôle «bias_P» et «bias_N», figures 4.10 et 4.12). On choisit d'abord une polarisation adéquate pour une de ces lignes (par exemple "bias_N"). Pour cela, la configuration du circuit permet d'injecter le signal généré à l'intérieur de la puce dans le module détecteur de phase sélectionné. Le niveau sur "bias_N" est acceptable si la tension mesurée à la sortie P se situe dans un domaine linéaire (entre V_{ss} et V_{dd}). Par la suite, la configuration du circuit est modifiée pour arrêter le générateur interne. Les sorties P et N du module "phd" sont connectées ensemble. Maintenant, on ajuste la tension sur la ligne de contrôle "bias_P" jusqu'à ce que les sortie P et N seront à $V_{dd}/2$. Dans ce cas les deux sources de courant dans les sections P et N (module "phd") sont équilibrées. Après cette procédure, nous pouvons séparer de nouveau les sorties P et N du détecteur de phase et commencer les tests en choisissant différentes configurations qui valident successivement les quatre sources de signal et les quatre détecteurs de phase. Avec un multimètre, nous avons enregistré les tensions à la sortie du module "phd". Ces résultats sont présentés au tableau 5.7. La fréquence de l'oscillateur est maintenue constante (320MHz) par V_{p1},V_{n1} et avec les lignes de contrôle V_{p2} et V_{n2}, on varie la puissance de l'inverseur X2 (figure 4.12) qui injecte le signal sur la ligne mesurée. Nous voulons transformer les tensions enregistrées dans le tableau 5.7 dans des temps de délai sur les lignes correspondantes (incluant la propagation sur l'inverseur X2, figure 4.12).

Tableau 5.7 Valeurs mesurées aux sorties du module "phd" -détecteur de phase

			V_{p2} (V)		
Cas.	Sortie mesurée; Conditions	Ligne mesurée	0	2.5	3
1	V_{dd}-V_{outN} (V)	L1phd	0.98	1.16	1.51
2	V_{dd}-V_{outN} (V)	L2phd	0.95	1.10	1.27
3	V_{dd}-V_{outN} (V)	L3phd	0.57	0.63	0.76
4	V_{dd}-V_{outN} (V)	L4phd(b)	0.78	1.15	1.56
5	V_{dd}-V_{outN} (V) pas de signal sur L6phd(a) et (c)	L6phd(b)	0.99	1.11	1.24
6	V_{dd}-V_{outN} (V); signal synchrone sur L6phd(c)	L6phd(b)	0.93	1.08	1.15
7	V_{dd}-V_{outN} (V) signal synchrone sur L6phd(a)	L6phd(b)	0.92	1.08	1.14
			V_{n2} (V)		
Cas	Sortie mesurée	Ligne mesurée	5	2.5	2
8	V_{outP} (V)	L1phd	0.408	0.502	0.66

À partir du tableau 5.5, nous avons obtenu les paramètres $t_{01}=t_{m1}(0)+t_{d1}(5)=0.67$ ns et $t_{02}=t_{m2}(0)+t_{d2}(5)=1.10$ ns. Si on considère (en première approximation le rapport $t_m/t_d=1.5$, obtenu par simulation), nous pouvons séparer les valeurs $t_{m1}(0)=0.4$ns (pour la ligne L2osc) et $t_{m2}(0)=0.662$ns. Pour une polarisation sur la ligne de contrôle de X2, V_{n2} = 0V, à la sortie N du module «phd» nous avons mesuré les tensions suivantes: 0.57V

quand le module avec L3phd est sélectionné et 0.98V pour le module avec L1phd (tableau 5.7). Ces tensions, mesurées à la sortie N correspondent aux temps de montée $t_{m1}(0)$=0.4ns et $t_{m2}(0)$=0.662ns. Les deux points sont marqués dans le graphique de la figure 5.4. Dans le chapitre 4.3.2.3 (figure 4.14), suite à des simulations, nous avons constaté que pour des faibles différences de délai, la variation du niveau de sortie N du «phd» et linéaire avec la variation t_m. Pour cette raison, nous avons réuni dans le graphique 5.4 les deux points "a" et "b" par une droite.

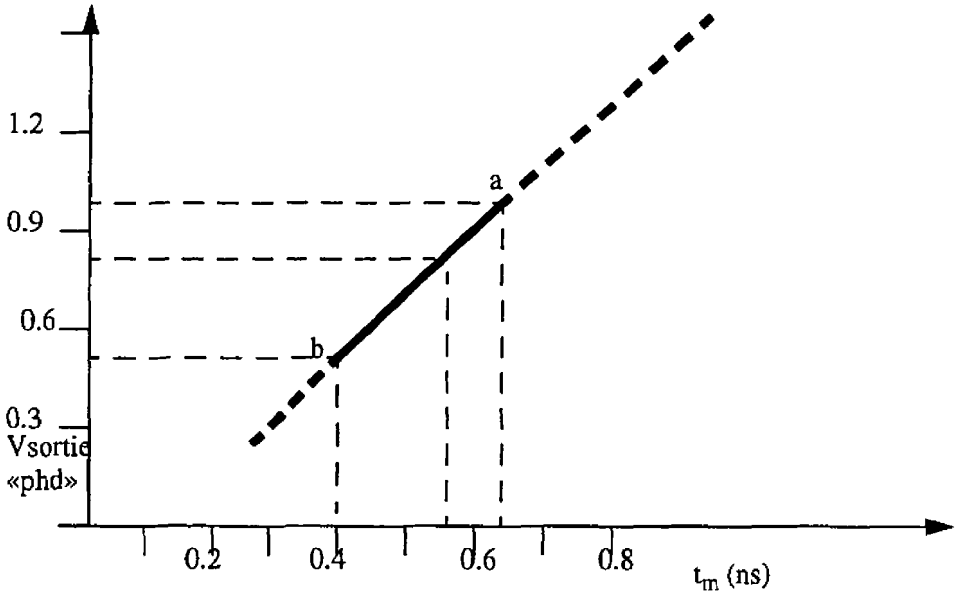


Figure 5.4 Variation du niveau de tension à la sortie N du détecteur de phase "phd" en fonction du temps de montée du signal à la sortie de X2 (noeud B, figure 4.12)

Utilisant le graphique de la figure 5.4 et les valeurs du tableau 5.7, nous pouvons extraire les temps de montée correspondants aux autres lignes (L2phd, L4phd et L6phd).

Le résultat de ce calcul est présenté au tableau 5.8.

Tableau 5.8 Temps de montée t_m (ns) calculés à partir des résultats de test rapportés au tableau 5.7 et du graphique 5.2

		V_{p2}(V)		
Cas	Ligne	0	2.5	3
1	L1phd	0.662	0.777	1.00
2	L2phd	0.643	0.738	0.847
3	L3phd	0.40	0.438	0.52
4	L4phd	0.534	0.77	1.03
5	L6phd(b)	0.668	0.745	0.828
6	L6phd(b)	0.63	0.725	0.77
7	L6phd(b)	0.623	0.725	0.77

Suite à l'analyse de ces valeurs, nous avons tiré quelques conclusions:

- la ligne L2phd qui contient plusieurs changements de direction (voir les caractéristiques à la section 4.3.2.3), offre une réduction de délai de 3% à 15% (en fonction de la puissance de sortie de l'inverseur X2 - tension de contrôle V_{p2}) par rapport à la ligne simple L1phd;
- les résultats correspondants à la ligne L4phd montrent aussi une réduction de délai par rapport aux valeurs de la ligne L1phd. Cette interconnexion (L4phd) est constitué de 30 segments sur la couche métal 1 et de 30 segments

sur la couche métal 2, intercalés et connectés par 60 "via", d'une longueur totale de 1.2mm. Même s'il y a plusieurs éléments de discontinuité sous forme de "via" entre les deux couches de métal, discontinuités qui peuvent défavoriser la propagation du signal, on a enregistré une réduction du délai car le couplage vers le substrat est diminué dans les zones de métal 2;

- l'interconnexion L6phd(b) est accompagnée par deux autres lignes sur lesquelles on peut injecter un signal synchrone dans le même sens que le signal utile (L6phd(a)) ou dans le sens contraire (L6phd(c)) (voir l'exemple de la figure 5.5). Entre deux traces voisines L6phd(b) et l'un ou l'autre de L6phd(c) ou L6phd(a) il y a un échange d'énergie par effet capacitif et inductif. Il semble que l'effet capacitif domine, puisque pour l'ensemble des lignes L6phd (longueur 1.2mm, largeur 4μm et espacement 2μm) il y a un transfert d'énergie entre les traces voisines qui conduit à une amélioration de la propagation sur L6phd(b) (cas 6 et 7 du tableau 5.8);

Notons cependant que nous n'avons pas constaté une différence entre les cas 6 et 7. Cela signifie que pour l'ensemble des lignes L6phd, le sens de propagation d'un signal sur une ligne voisine n'influence pas de façon significative le délai sur la trace mesurée, L6phd(b).

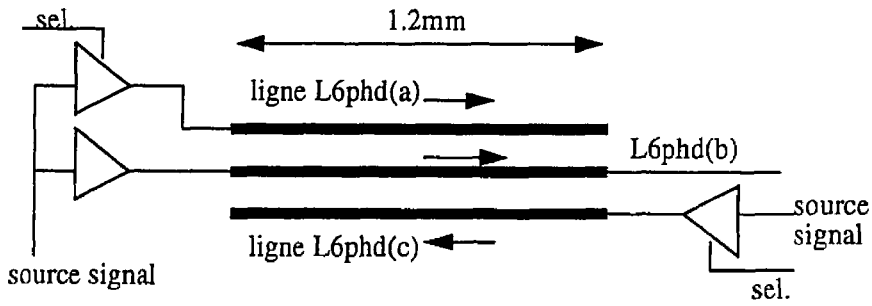


Figure 5.5 Ensemble d'interconnexions L6phd dans le circuit démonstrateur 2

Le rapport entre la tension mesurée à la sortie_N (V_{dd}-V_{outN}) et la tension mesurée à la sortie_P (V_{outP}) pour la ligne L1phd et avec polarisation V_{p2}=0, V_{n2}=5V (voir le tableau 5.7) est de 2.4. Il semble que ce rapport se situe autour d'une valeur égale au rapport (t_m/t_d) au carré. Dans les modules «phd» du circuit démonstrateur 2, les tailles des transistors P (figure 4.12, M3 et M4) et des transistors N (transistors M1 et M2) sont Wp=22µm et Wn=16µm, les mêmes que celles utilisées dans l'inverseur X2. Comme le transistor N est dans ce cas plus puissant que le transistor P, il est normal que le délai t_m sur X2 et la ligne T (figure 4.12) soit plus grand que t_d. Également, dans le module "phd", quand les sources de courant sont équilibrées, les transistors M1 et M2 actionnent plus fort à la sortie_N que les transistors M3 et M4 à la sortie_P du module "phd". Afin de vérifier cette hypothèse, nous présentons un résultat de simulation effectué sur le schéma de la figure 4.12. Les trois courbes dans la figure 5.6 correspondent aux trois valeurs de ligne T: longueurs 100µm, 1.2mm et 2.2mm.

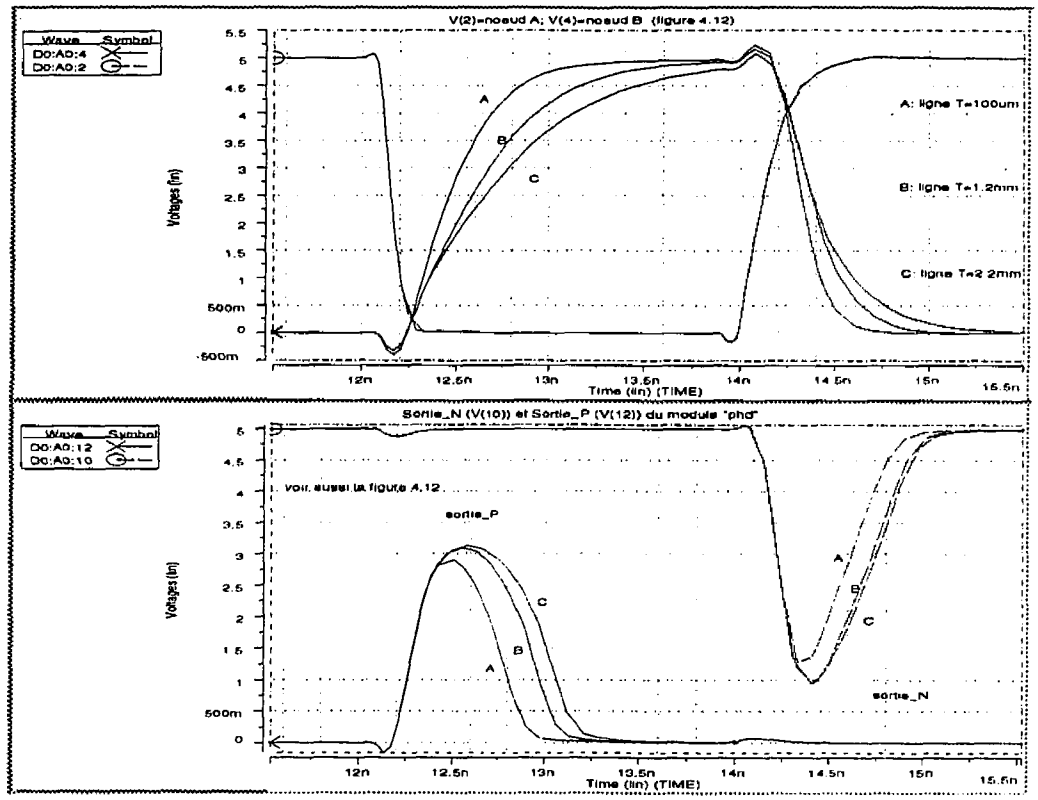


Figure 5.6 Résultats de simulation pour le circuit de la figure 4.12

Nous pouvons remarquer dans cette figure le signal à l'entrée de l'inverseur X2, à la sortie de la ligne T et les formes d'ondes à la sortie du module "phd". Pendant les tests, nous ne pouvons pas visualiser les formes d'ondes à la sortie du module "phd", mais plutôt on peut mesurer les valeurs moyennes avec un multimètre. Pour la courbe "A", le rapport entre ces deux tensions de sortie est de valeur 1.9. La différence entre la valeur de ce rapport obtenu par la suite des tests (de valeur 2.4) et celle de simulation peut avoir des causes multiples. Par exemple, il y a des différences entre les modèles des transistors (celui du circuit

démonstrateur et celui du fichier HSPICE); l'instrument de test ajoute une capacité appréciable à la sortie du module détecteur de phase. En conséquence, pour le circuit démonstrateur mesuré, le rapport entre les tensions mesurées sur les sorties P et N du module "phd" exprime de façon approximative le rapport (t_m/t_d) au carré. Pour égaliser les deux rapports, il fallait utiliser dans le module "phd" du circuit de test des transistors MOS-P plus larges afin d'équilibrer M1, M2 avec M3, M4.

Enfin, avec les modules détecteurs de phase conçus dans le circuit démonstrateur 2, nous avons réussi de mettre en évidence les faibles différences de délai du signal (différence de t_m) sur les lignes L1phd, L2phd, L3phd, L4phd et L6phd. Cette information nous a permis de tirer des conclusions importantes concernant la propagation du signal numérique sur différents types de ligne.

CHAPITRE VI

CONCLUSIONS

Dans cet ouvrage nous avons proposé un modèle pour une ligne simple placée dans un environnement semiconducteur. Cette ligne est modélisée par une cellule RLGC équivalente qui contient des éléments variables en fonction de la fréquence. En effet, cette variation reflet l'existence d'une zone de transition entre deux domaines de fréquence. Les deux domaines mentionnés correspondent aux deux modes de propagation (ondes lentes et quasi-TEM) mentionnés au chapitre 2. Les limites de la zone de transition dépendent de la résistivité du substrat: plus le matériel semiconducteur est de haute résistivité et ses caractéristiques s'approchent de celles d'un bon diélectrique, plus cette zone de transition se déplace vers des fréquences proches de zéro. Dans certains cas, il est possible que la bande de fréquence du signal propagé coïncide avec cette zone de transition entre les deux modes de propagation et que le modèle proposé soit utile. Par exemple, pour les substrats analysés de résistivité de 10 Ωcm à 100 Ωcm, cette zone se situe entre 23MHz et 16GHz. Le mémoire poursuit avec l'étude du délai sur les interconnexions. Nous constatons l'influence de l'élément inductif du modèle (L) sur le délai du signal dans des conditions des lignes longues, du substrat de haute résistivité et du signal de fréquence supérieure à 1GHz. En même temps, les pertes dans le substrat exprimées par l'élément G du modèle, affectent la propagation du signal d'une façon considérable. Nous avons constaté ce phénomène dans les simulations présentées au chapitre 2 et également dans les tests effectués.

Un autre but était la mise au point des méthodes de mesure de délai à travers des interconnexions de circuit intégré avec précision et dans des conditions réelles. Nous avons développé dans ce mémoire deux méthodes de test. Grâce aux services offerts par la Société Canadienne de Micro-électronique, nous avon eu la possibilité de concevoir deux circuits démonstrateurs afin d'implanter les structures de test. Les mesures de délai dans les circuits de test ont été effectuées avec une précision de l'ordre de dizaines de picosecondes.

Les modules conçus pour ces deux circuits sont réalisés sur une nouvelle structure ayant une architecture de type Mer-De-Portes (MDP). Cette architecture offre quelques avantages dont on a parlé au chapitre 3, comme par exemple la flexibilité et la densité. Elle présente une architecture compacte et symétrique (transistors de même taille). Les transistors sont placés un à côté de l'autre, sans une isolation définie au niveau de la structure. Les espacements nécessaires pour l'isolation de chaque transistor sont éliminés et le circuit est défini par les couches de métal, ce qui rend la structure MDP approprié pour des pré-diffusées. Nous avons montré ensuite que cette structure a des bonnes performances et qu'elle assure le fonctionnement des blocs à des fréquences d'environ 600MHz.

Au chapitre 3, nous avons proposé quelques améliorations à la structure MDP. Premièrement, l'ajout d'un canal entre les rangées PN rend possible l'utilisation d'un routeur de canal classique. Deuxièmement, un canal supplémentaire entre les transistors P et N réduit d'une manière considérable les congestions de routage dans la direction horizontale. La conception de la nouvelle structure a visé également des améliorations au

niveau des performances dynamiques du circuit. Elle a été implantée dans les circuits démonstrateurs développés.

Les résultats de test (chapitre 5) offrent des informations importantes sur l'aspect délai et les éléments qui ont une influence majeure sur la propagation d'un signal numérique dans une ligne intégrée.

Comme nous l'avons mentionné au début de ce mémoire, l'analyse micro-ondes des circuits intégrés rapides est un sujet très complexe qui peut être décomposé selon plusieurs étapes de recherche. L'ampleur du travail requis est dû aux multiples phénomènes en jeu et aux interconnexions complexes entre les éléments distribués passifs et actifs du circuit.

Pour cette raison, nous avons étudié le problème dans sa globalité. Dans une première phase, nous avons considéré qu'il faut caractériser l'influence du substrat semiconducteur sur les paramètres d'une interconnexion. Par la modélisation de lignes isolées sur un circuit intégré, nous avons réussi à intégrer, dans une cellule RLGC, de façon simple, l'influence du substrat semiconducteur sur les paramètres électriques d'une ligne de circuit intégré. La cellule RLGC obtenue peut être adaptée facilement dans des travaux futurs à des cas spécifiques. On envisage une étude sur des lignes couplées pour lesquelles il faut tenir compte du phénomène de diaphonie. Ce modèle devrait tenir compte aussi de la conductivité du substrat. La cellule RLGC obtenue dans ce mémoire pourrait être utilisée en ajoutant des corrections sur certains paramètres. Par exemple, il serait nécessaire de corriger la valeur de l'inductance dans la cellule RLGC (paramètres L_e et η). Par la suite, on devrait ajouter la capacité parasite entre les traces voisines, ainsi qu'une inductance mutuelle (qui est en général en relation directe avec l'inductance présente de la

cellule RLGC).

La seconde phase de notre travail a consisté à simuler des interconnexions des circuits numériques en utilisant le modèle de ligne discuté plus tot. Cette analyse a permis d'identifier certains cas où les interconnexions dans les circuits numériques de haute vitesse doivent être modélisées avec la cellule RLGC au complet. Pourtant, ce modèle sert aussi aux applications de type analogique. Les résultats obtenus dans le chapitre 2 peuvent être utilisés comme point de départ dans l'étude des configurations spécifiques aux circuits intégrés analogiques (par exemple des inductances intégrées).

Le modèle simplifié RCG est dédié aux simulations de circuits numériques. Il présente l'avantage d'être plus proche du cas réel du circuit que les modèles RC ou C, avec un minimum de complexité.

Quant à la définition de la nouvelle structure MDP, l'objectif principal était la mise au point d'une architecture flexible et performante, qui sert comme support dans le cadre du développement d'un routeur et pour la conception des circuits de test. Elle accepte l'utilisation combinée de routage dans un canal et à l'intérieur des cellules.

À cette fin, nous avons défini quelques principes pour la construction d'une cellule et nous avons prévu des canaux à l'intérieur et à l'extérieur de chaque rangée de transistors.

Les différents types de routage de la figure 3.3 démontrent la versatilité de la structure face au routage afin de maximiser les performances du circuit en fonction du type d'application (en fonction des critères de vitesse, de densité et de bruit). La description de la structure MDP, telle que décrite à l'annexe 2, permet aux utilisateurs de transférer facilement d'une technologie à l'autre la librairie de cellules. Nous recommandons l'utilisation de cette

structure dans des travaux futurs pour la génération de circuits MOS, surtout pour des modules dynamiques.

Cette structure offre la possibilité de développer un algorithme de routage à l'intérieur de la cellule (adapté aux applications et considérant les critères de vitesse, densité et bruit). Cet algorithme serait utile au développement d'un générateur des cellules.

Les méthodes de test présentées au chapitre 4 ont été utiles dans l'analyse comparative de délai. Elles ont permis de mesurer de faibles différences de délai dans les signaux pour un ensemble des lignes. Nous avons dû limiter le nombre de configurations de ligne analysées pour des contraintes technologiques et à cause de la surface de circuit disponible. Il est important d'analyser le délai sur des lignes d'une diversité plus grande que celle présentée, comme par exemple des traces de longueur variable allant jusqu'à 1cm, placées sur des substrats différents (des circuits basés sur différentes technologies). Il est également intéressant de trouver d'autres configurations (comme par exemple la structure A) qui permettent d'améliorer de façon significative la propagation du signal.

Les modules de mesure de délai basés sur ces méthodes peuvent être améliorés: par exemple, on peut équilibrer les transistors N et P du détecteur de phase afin de mesurer avec plus de précision le rapport entre le délai du signal correspondant à la transition montante et celui de la transition descendante.

Comme nous l'avons spécifié dans l'article publié à ISCAS'97 (Florin, Savaria et Bois 1997), le détecteur de phase présenté peut être utilisé également dans d'autres applications (par exemple pour mesurer et balancer le "skew" dans les circuits intégrés).

RÉFÉRENCES

CHTCHVYRKOV, D., (1995). Générateur d'horloge à quatre phases. Mémoire présenté en vue de l'obtention du diplôme de maîtrise es science appliquées.

CMC report No. ICI-059R00 and ICI-060R02 - HCMOS Design Rules IDS-041-rev-2 and SPICE Parameters SPS-015R2 documents for the Mitel 1.5 micron process.

DUCHENNE P., et DECLERCQ, J. M., (1989). A highly flexible Sea-Of-Gates Structure for Digital and Analog Applications. IEEE Journal of Solid-State Circuits, vol. 24, no. 3

GOOSEN, W. KEITH et HAMMOND, R. (1989). Modeling of Picosecond Pulse Propagation in Microstrip Interconnections on Integrated Circuits. IEEE Trans. MTT, vol. 37,no.3, 469-478.

GUCKEL, H., BRENNAN, P.A., et PALOCZ, J. (1967). A parallel-plate waveguide approach to microminiaturized, planar transmission lines for integrated circuits. IEEE Trans. Microwave Theory Tech., vol. MTT-15, 468-476.

HASEGAWA, H., FURUKAWA, M. et YANAI, H. (1971). Slow wave propagation along a microstrip line on Si-SiO2 system. Proc. IEEE (Lett.) vol.59.

HASEGAWA, H., FURUKAWA, M., et YANAI, H., (1971). Properties of Microstrip Line on Si-SiO2 System. IEEE Trans. on Microwave Theory and Techniques , vol.19, no.11

HOWE, H., (1974). Stripline Circuit Design. Dedham, MA, Artech House.

KAYSSI, I., AYMAN, S., KAREM, A., et MUDGE, TREVOR, N., (1993). The Impact of Signal Transition Time on Path Delay Computation. IEEE Trans. on Circuits and Systems vol. 40, no.5

MANEATIS, G. J., et HOROWITZ, A. M., (1993). Precise Delay generation Using Coupled Oscillators. IEEE Journal of Solid-State Circuits, vol.28 , no.12

MATEESCU A., (1979). Semnale si Circuite de Telecommunicatii (Signaux et Circuits de Télécommunication). Ed. Pedagogica Bucuresti

META-SOFTWARE, INC (1993). HSPICE User's Manual H93

PERA, F., SAVARIA, Y., et BOIS, G., (1997). Time delay measurement methods for integrated transmission lines and high speed cells characterization. Conférence ISCAS

POZAR, D. (1990). Microwave Engineering. Ed. Addison_Wesley Publishing Co.

SIOMACCO, M. E., MURALI, T., (1992). Parametric Modeling of Integrated Circuit Interconnections. IEEE Trans. on Circuits and Systems vol. 39 , no.6, 377-382

SU, K. D., LOINAZ, J. M., MASUI, S., et WOOLEY, A. B., (1993). Experimental Results and Modeling Techniques for Substrate Noise in Mixed-Signal Integrated Circuit. IEEE Journal of Solid-State Circuits, vol.28, no.4

TEWKSBURY STUART (Editor). Microelectronic System Interconnections chapitre 3, Review of electrical models. IEEE Solid State Circuits

VON HIPPEL, A. R., (1954). Dielectrics and Waves. Wiley, New York, 227-228.

YUAN, J.-S., et EISENSTADT, W., (1990). Novel Lossy and Dispersive Interconnect Model for Integrated Circuit Simulation. IEEE Trans. on Components, Hibrids and Manufacturing Technology vol. 13, no. 2

WILKENSTEIN, D., STEER, B. M., et POMERLEAU, R., (1991). Simulation of Arbitrary Transmission Line Networks with Nonlinear Terminations. IEEE Trans. on Circuits and Systems, vol.38 , no.4

NOTE TO USERS

Page(s) not included in the original manuscript are unavailable from the author or university. The manuscript was microfilmed as received.

UMI

ANNEXE I : DESCRIPTION DE L'IMAGE PARAMETRÉE - EXEMPLE

Cette annexe présente un exemple de description d'une image MDP que l'on peut transférer dans différentes technologies. Comme on l'a déjà mentionné à la section 3.3, ce fichier comporte trois parties. La première, "TECHNOLOGY", constitue une liste des paramètres concernant les règles de dessin pour chaque technologie reconnue. Après avoir initialisé certains paramètres, on fait le calcul effectif des éléments de géométrie qui constitueront l'image. Ceci est réalisé dans la deuxième section où se trouvent les équations (section "EQUATIONS"). Une fois les dimensions et les distances nécessaires connues, à l'aide des fonctions graphiques, on dessine dans une troisième étape les éléments physiques. Cette description est hiérarchique. Au niveau le plus bas, on trouve la description des transistors, éléments de contact ou "via" et d'autres cellules similaires. Ces éléments sont par la suite utilisés aux niveaux supérieurs: d'abord, la description des cellules logiques simples et puis des modules de plus en plus complexes. Dans cette annexe, nous voulons présenter le mécanisme utilisé pour la génération d'une image paramétrisable. Les fonctions "putbox", "wire" et "putcell" sont définies localement et elles sont utilisées comme exemple générique pour la construction de la librairie.

Basé sur la même technique et en utilisant le langage GPE propre au logiciel CAO de la Société Design Workshop, un fichier descriptif d'une image paramétrisable a été créé par M. Nemmour, dans le cadre du projet DW-2000.

Ce qui suit est un exemple du fichier descriptif d'une bibliothèque paramétrée.

```
TECHNOLOGY "MITEL15";
# Mitel15 technology rules
# column    layer_namelayer_no
# 3         Poly1(gate)  3
# 4         N+diffusion4
# 5         P+diffusion  5
# 6         Contact      6
# 7         Metal1       7
.....

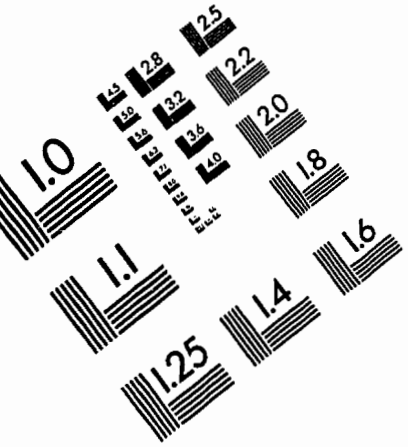
# Rule no.   value(um)   description
L1_1         1.5      # minWidth_1
L1_2         2        # minSpacing_1_1
L2_1         3        # minWidth_2
.....
L5_1         1.2    #minEnclosure_5_1
L5_2         1.2    #minSpacing_5_1_onNdiff
.....
L6_6         1.5    #minSpacing_6_1 & minSpacing_6_3
.....
L12_2_2      1.5     #minSpacing_12_12_shortLines
ENDTECHNOLOGY "MITEL15";

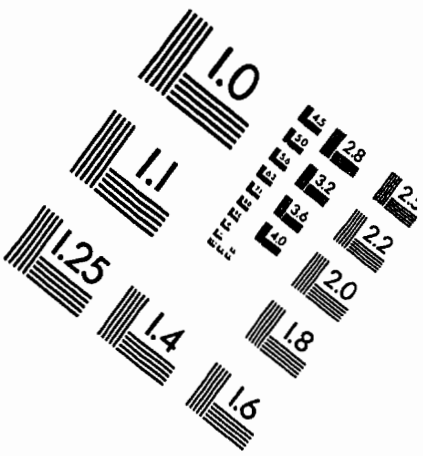
TECHNOLOGY "MITEL12";
..... (similaire à la liste précédente, avec des différentes valeurs);
ENDTECHNOLOGY "MITEL12";

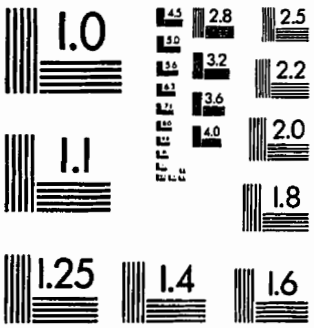
EQUATIONS;
# Nombre des chemins disponibles au dessus des transistors nmos(CHN) et pmos(CHP)
CHN=4
CHP=5
# Nombre de chemins disponibles sur metal1 entre les transistors nmos et pmos;
NCINT=2
# Dimension de la cellule contact (CT1) et via (VIA1)
CT1=max[L6_7+L7_3_1*2 , L6_1+L6_2_1*2]
VIA1=max[L11_1+L12_3*2 , L11_1+L7_3_2*2]
# Grid horizontal -(distance entre les contacts placés sur la zone active);
GRIDH1=max[CT1+L7_2 , VIA1+L12_2_2]
# Grid vertical et largeur des transistors nmos,pmos = GRIDV1
```

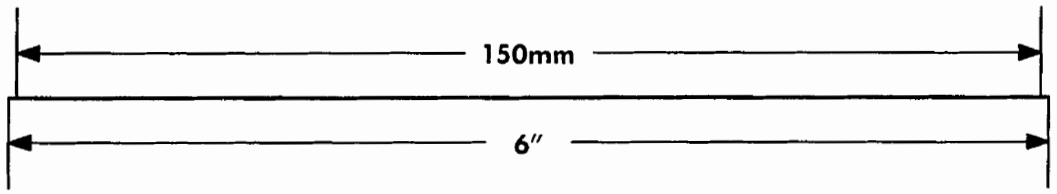
```
GRIDV1=L6_6*2+L3_1+L6_7    ..... etc.
# Autres variables à calculer
XC1, GATEBOXN, GATEBOXP, YCN1, YCP1, HACTN1, HACTP1, HNDIFF1,
HPDIFF1, HACT2, HPDIFF2, PWELLCOV, HPWELL, PWYC, YCP2, CTMAX,
VIACTV, VIACTH
ENDEQUATIONS;
#################
# l'appel de la fonction "putbox" signifie l'ajout d'un rectangle  des dimensions x1, y1,
#  x2,y2 sur la couche définie par l'instruction "layer:=numéro de la couche".
# "wire(largeur, x1, y1, x2, y2)" met un fil dans l'image;
#################
DCELLS;
cell "nmos";
layer :=1;
putbox(XC1,YCN1,GRIDV1,HACTN);
layer := 4;
putbox(XC1,PWYC,GRIDV1,HNDIFF1);
layer := 2;
putbox(XC1,PWYC,GRIDV1,HPWELL);
layer := 3;
putbox(0,0,CT1,CT1);
putbox(-L3_1/2.0,GATEBOXN/2.0,L3_1,GATEBOXN);
layer := 6;
putbox(DGRIDV,-GRIDH2,L6_7,L6_7);
.....
endcell "nmos";
#################
# other cell :  "pmos" , "ct" , "via", "viact" ;
# l'appel de la fonction "wire(largeur, x1, y1, x2, y2)",  ajoute un fil dans l'image;
# la fonction "putcell(T/R/FV/FH Xt,Yt, nom de la cellule)" signifie le placement d'une
#cellule; les indices T/R/FV/FH nous indiquent une Translation vers la position Xt,Yt,
#et/ou Rotation et/ou mirroir (flip) Verticale ou Horizontale.
#################
cell "inv2A";  # inverseur de taille double
putcell(T 0,0,"nmos");
putcell(T 2,0, "nmos");
```

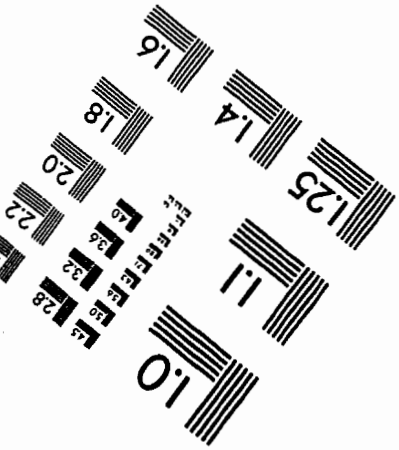
IMAGE EVALUATION
TEST TARGET (QA-3)

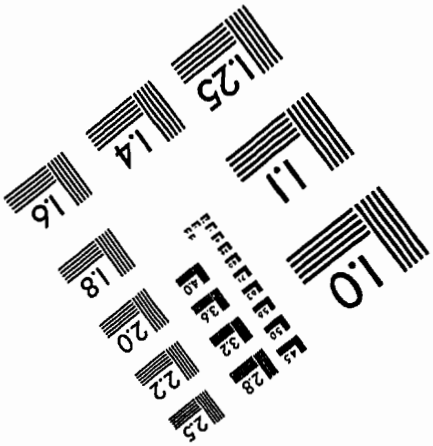












APPLIED IMAGE, Inc
1653 East Main Street
Rochester, NY 14609 USA
Phone: 716/482-0300
Fax: 716/288-5989

© 1993, Applied Image, Inc., All Rights Reserved