UNIVERSITÉ DE MONTRÉAL

CONCEPTION ET RÉALISATION D'UN ÉCHANTILLONNEUR DE GRANDE VITESSE EN TECHNOLOGIE HIGFET (TRANSISTOR À EFFET DE CHAMP AVEC HÉTÉROSTRUCTURE ET GRILLE ISOLÉE)

MIHAI TAZLAUANU
DÉPARTEMENT DE GÉNIE PHYSIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

THÈSE PRÉSENTÉE EN VUE DE L'OBTENTION
DU DIPLOME DE PHILOSOPHIAE DOCTOR (PH.D.)
(GÉNIE PHYSIQUE)
NOVEMBRE 1997

© Mihai Tazlauanu, 1997

National Library of Canada
Bibliothèque nationale du Canada

Acquisitions and Bibliographic Services
Acquisitions et services bibliographiques

395 Wellington Street
Ottawa ON K1A 0N4
Canada

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

Our file Notre référence

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

0-612-33031-1

Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Cette thèse intitulée:

CONCEPTION ET RÉALISATION D'UN ÉCHANTILLONNEUR DE GRANDE VITESSE EN TECHNOLOGIE HIGFET (TRANSISTOR À EFFET DE CHAMP AVEC HÉTÉROSTRUCTURE ET GRILLE ISOLÉE)

présentée par: TAZLAUANU, Mihai

en vue de l'obtention du diplôme de: Philosophiae Doctor

a été dûrement acceptée par le jury d'examen constitué de:

M. YELON, Athur, Ph.D., président

M. CURRIE, John F., Ph.D., membre et directeur de recherche

M. MASUT, Remo A., Ph.D., membre

M. AKTIK, Çetin, Ph.D., membre

Remerciements

La soutenance de la thèse de doctorat marque une étape importante dans la formation technique et scientifique d'un ingénieur. Je voudrais donc profiter de cette occasion pour remercier plusieurs personnes qui ont eu un impact majeur sur mon activité de recherche.

Je voudrais, tout d'abord, remercier le professeur John F. Currie pour m'avoir accueilli dans son groupe de recherche du laboratoire LISA et pour avoir dirigé, avec compétence et enthousiasme, pendant toute la période nécessaire à l'élaboration de la thèse, mon activité de recherche. Je me considère privilégié d'avoir eu Dr. Currie comme directeur de recherche.

Je remercie très sincèrement le professeur Arthur Yelon pour les discussions techniques et le support scientifique. Ses remarques sont toujours pertinentes et son aide et conseils ont été inestimables.

Je remercie également le professeur Remo Masut pour sa disponibilité et pour les nombreux conseils techniques. Cela m'a permis de découvrir des nouveaux défis de recherche et de mieux résoudre les problèmes courants.

Je remercie très sincèrement le professeur Çetin Aktik d'avoir accepté de faire partie du jury d'examen de cette thèse.

Mes remerciements s'adressent tout aussi aux professeurs Michel Wertheimer, Michel Meunier, et Fadhel Ghannouchi pour leur aide dans ma formation scientifique.

Pendant tout le déroulement de la thèse j'ai côtoyé Dr. Chetlur Sundararaman, à l'époque associé de recherche dans le groupe de recherche du professeur Currie. Son expérience et son aide ont été un grand atout pour moi.

La recherche expérimentale est, en général, un travail d'équipe. Cette thèse a nécessité l'aide et l'effort d'un grand nombre de scientifiques, étudiants et techniciens. Je partage donc les réalisations de ce projet avec ceux dont j'ai eu l'occasion de collaborer au cours des dernières années au laboratoire LISA: Dr. Petru Ciureanu, Dr. Dentcho Ivanov, M. Pierre Mihelich, M. Tudor Savescu, M. Robert Antaki, M. Mario Caron, M. Gino Turcotte. M. Normand Gravel, M. André Lecours, M. Christoph Huller, M. Luc Pouliot et Dr. Raymond Yip.

Je veux aussi mentionner, particulièrement, l'aide offerte par le groupe du professeur Masut qui a assuré la croissance des échantillons utilisés dans cette thèse. Je remercie donc Dr. Ahmed Bensaada, Dr. Mario Beaudoin, Dr. Zahia Bougrioua et M. Laurent Isnard.

Résumé

Le but principal de cette thèse est de développer une nouvelle technologie pour la fabrication des circuits intégrés à haute vitesse. Les travaux réalisés ont touché toutes les étapes nécessaires pour la mise au point du produit, incluant la modélisation des dispositifs, la simulation des circuits fonctionnels, la conception des circuits intégrés, la fabrication des structures, et la caractérisation microphysique et électrique au niveau du flux de fabrication et du produit final. La stratégie considérée pour obtenir les meilleurs résultats est de répéter séquentiellement le cycle modélisation, conception, fabrication, et caractérisation électrique jusqu'à l'atteinte de la qualité prévue des circuits et la robustesse suffisante des procédés technologiques.

L'élément fondamental de cette technologie est le transistor à effet de champ avec hétérostructure et grille isolée, HIGFET. L'utilisation de la hétérostructure épitaxiale InP/InGaAs assure une mobilité élevée des porteurs de charge et, implicitement, la capacité des dispositifs de fonctionner à une fréquence élevée, inaccessible aux composants fabriqués sur silicium. La structure du transistor avec le canal de conduction enterré (la grille isolée) préserve un niveau élevé des tensions de claquage et élimine, au moins partiellement, les problèmes technologiques reliés à l'interface semi-conducteur-diélectrique.

En partant des résultats rapportés dans la littérature et de l'expérience existante au laboratoire LISA concernant la technologie de fabrication sur un substrat d'InP, nous avons développé et optimisé une structure de HIGFET appropriée à l'intégration des circuits intégrés numériques et des circuits d'échantillonnage-blocage.

Le but final du projet est la fabrication d'un système d'acquisition de données basé sur un circuit d'échantillonnage-blocage. Deux architectures du système ont été essayées: 1° la structure avec le générateur des signaux d'horloge intégré sur le dé d'InP; et 2° le générateur des signaux d'horloge externe produit à partir de circuits ECL sur GaAs.

Pour générer les signaux d'horloge sur le même dé avec les circuits d'échantillonnage, nous avons développé une famille de circuits numériques basée sur un circuit inverseur original, adapté à une technologie NMOS avec les transistors fonctionnant en régime d'appauvrissement. Ce circuit a été utilisé pour la conception des amplificateurs tampon et des oscillateurs en anneau. Pour assurer les signaux d'horloge dans le domaine des GHz, nous avons proposé un circuit original générateur d'échelons. La conception optimale du circuit et les résultats de la simulation du fonctionnement ont été validés par les mesures des circuits générateurs d'échelons fabriqués. Nous avons obtenu un train d'impulsions équidistantes à une fréquence de 1 GHz.

Quatre jeux de masques, réalisés dans l'environnement Cadence, ont permis la fabrication des dispositifs de test et des circuits fonctionnels. Chaque nouvelle génération de masques a reflété les acquis antérieurs et a implémenté des nouvelles structures et techniques de circuit. La surface allouée aux structures de test a dépassé 30 % de la surface totale des dés pour chaque jeu de masques et a permis non seulement le contrôle technologique, mais aussi une étude statistique de la variabilité spatiale des performances physiques et électriques.

La technologie de fabrication a été soumise à des modifications et raffinements successifs, en vue d'optimiser le fonctionnement des dispositifs. Une attention particulière a été accordée à la robustesse technologique. L'étude exhaustive pour la simulation statistique des procédés technologiques a été réalisée en utilisant le

processus de gravure assistée par plasma (RIE). Nous avons proposé un nouveau modèle de simulation technologique, basé sur l'utilisation d'un réseau neural artificiel, qui assure une excellente exactitude de l'estimation des performances technologiques à partir d'un entraînement par exemple relativement réduit.

Les mesures électriques, effectuées sur les lots expérimentaux, ont permis la modélisation des dispositifs, la correction des certains problèmes technologiques et l'amélioration de la conception des circuits. À partir des valeurs mesurées des paramètres S du transistor, nous avons proposé un circuit équivalent des HIGFETs. La validation du modèle a été étudiée sur un domaine large de fréquences (30 MHz à 3 GHz) et l'effet du niveau des signaux c.c. a été analysé par le calcul des éléments du circuit équivalent pour tout le domaine d'intérêt de la polarisation de grille et de drain.

Les mesures électriques réalisées sur des structures de test dédiées, pendant le cycle de fabrication, ont permis l'identification et la correction de certains problèmes technologiques (contacts ohmiques, fuites de courant, intégrité des interconnexions, et instabilités thermiques). Les mesures correctives ont été validées par des expériences consacrées aux problèmes étudiés dont l'effort expérimental a été optimisé par l'utilisation des techniques statistiques (conception factorielle fractionnée).

La caractérisation électrique des dispositifs fabriqués a montré des bonnes performances c.c. et c.a. Les HIGFETs ont un courant de drain maximal de 100 mA/mm, une transconductance de 50 mS/mm et un rapport I_{ON}/I_{OFF} de plus de 10^5. La tension de seuil, pour les différents types de structures, a été comprise entre -1 V et -3,5 V, avec une bonne reproductibilité sur le même échantillon. La grille présente une fuite de moins de 1 nA pour une variation de tension de ±5 V. La fréquence de coupure f_T est de l'ordre de 10 GHz. Les transistors ont montré un gain de 5 dB à 3 GHz et ont permis un échantillonnage correct jusqu'à 2 GHz.

Abstract

The research work reported in this thesis details a new fabrication technology for high speed integrated circuits in the broadest sense, including original contributions to device modeling, circuit simulation, integrated circuit design, wafer fabrication, micro-physical and electrical characterization, process flow and final device testing as part of an electrical system. In most areas we were able to repeat at least once the steps involving modeling, design, fabrication and electrical characterization until the intended quality of the circuits and robustness of the fabrication technology were obtained. The integrated circuits are used to make a sample and hold data acquisition system.

The primary building block of this technology is the heterostructure insulated gate field effect transistor, HIGFET. We used an InP/InGaAs epitaxial heterostructure to ensure a high charge carrier mobility and hence obtain a higher operating frequency than that currently possible for silicon devices. We designed our transistor structures with a buried channel (insulated gate) to guarantee a high breakdown voltage and to eliminate the technological problems arising at the semiconductor-dielectric interface.

We designed and built integrated circuits with two system architectures. The first architecture integrates the clock signal generator with the sample and hold circuitry on the InP die, while the second is a hybrid architecture of an InP sample and hold assembled with an external clock signal generator made with ECL circuits on GaAs.

To generate the clock signals on the same die with the sample and hold circuits, we developed a digital circuit family based on an original inverter, appropriate for depletion

mode NMOS technology. We used this circuit to design buffer amplifiers and ring oscillators. To ensure clock signals at GHz frequencies, we proposed an original edge generator circuit. The optimal design of this circuit, as well as the simulated performances, were validated by measurements on the experimental edge generator circuits. We obtained equal spaced pulses at 1 GHz operating frequency.

Four mask sets produced in a Cadence environment, have permitted the fabrication of test and working devices. Each new mask generation has reflected the previous achievements and has implemented new structures and circuit techniques. For each mask set, the surface intended for test structures was more than 30 % of the total die area, and has allowed not only process control, but also a statistical study of the spatial variability of the physical and electrical performances.

The fabrication technology has undergone successive modifications and refinements to optimize device manufacturing. Particular attention has been paid to the technological robustness. The plasma enhanced etching process (RIE) had been used for an exhaustive study for the statistical simulation of the technological steps. We proposed a new technological simulation model, based on an artificial neural network that has ensured an excellent estimation accuracy of the process performances starting from a relative reduced training by examples.

Electrical measurements, performed on the experimental samples, have permitted the modeling of the devices, technological processing to be adjusted and circuit design improved. Starting from the measured values of the transistor S parameters, we proposed an equivalent circuit of the HIGFET. We validated our models over a large frequency range (30 MHz to 3 GHz). The DC voltage effects have been analyzed by computing the equivalent circuit elements for the entire domain of gate and drain bias.

Electrical measurements performed on dedicated test structures, during the fabrication cycle, allowed the identification and correction of some technological problems (ohmic contacts, current leakage, interconnection integrity, and thermal instabilities). Feedback corrections were validated by dedicated experiments with the experimental effort optimized by statistical techniques (factorial fractional design).

The electrical characterization of the fabricated devices shows good d.c. and a.c. performances. The HIGFETs have a maximum drain current of 100 mA/mm, a transconductance of 50 mS/mm and an ION/IOFF ratio larger than 105. The threshold voltage, for different types of structures, varies between -1 V and -3.5 V and has a good reproducibility on the same die. Gate leakage is less than 1nA for a voltage swing of ±5V. The cutting frequency, fT, is on the 10 GHz range. Transistors show a gain of 5 dB at 3 GHz and allow a correct sampling up to 2 GHz.

Table des matières

Remerciements IV

Résumé VI

Abstract IX

Table des matières XII

Liste des tableaux XV

Liste des figures XVI

Liste des symboles et acronymes XXII

Liste des annexes XXVI

Chapitre 1

Introduction 1

1.1 Objectifs de la thèse 5

1.2 Organisation de la thèse 7

Chapitre 2

Dispositif HIGFET 11

2.1 Structure du HIGFET 11

2.2 Physique de la structure HIGFET 18

2.3 Modélisation du HIGFET idéal 21

2.4 Transistor HIGFET réel 25

Chapitre 3

Modélisation du HIGFET 28

3.1 Modèle petit signal du HIGFET 29

3.2 Méthodologie d'évaluation du circuit équivalent extrinsèque 31

3.2.1 Calcul des résistances et des inductances parasites (V_{GS}=0) 31

3.2.2 Calcul des capacitances parasites (V_{GS}=-5V) 33

3.3 Calcul des paramètres intrinsèques 34

3.4 Influence de la polarisation et fréquence sur les élemnts du circuit 40

3.5 Impédance d'entrée et de sortie du HIGFET 52

Chapitre 4

Conception des circuits d'échantillonnage-blocage 56

4.1 Acquisition des données basée sur des circuits d'échantillonnage-blocage 56

4.2 Architecture du système É&B 65

4.3 Conception des circuits numériques 70

4.4 Conception des jeux de masques 75

Chapitre 5

Processus de fabrication 85

5. 1. Introduction 85

5. 2. Fabrication des dispositifs HIGFET 86

5.2.1 Photolithographie 86

5.2.2 Métallisation 88

5.2.3 Procédés chimiques 90

5.2.4 Dépôt de Si_3N_4 91

5.2.5 Gravure par plasma (RIE) 92

5.3 Contrôle technologique 96

5.4 Simulation empirique du processus RIE 100

5.4.1 Simulation statistique du processus RIE 101
5.4.2 Utilisation des réseaux neuraux artificiels (RNA) pour la modélisation du processus RIE 104

Chapitre 6

Mesures électriques 110

6. 1. Introduction 110
6. 2. Contrôle technologique 112
6.2.1 Résistance de contact et la résistance feuille 113
6.2.2 Résistance des couches métalliques et des contacts 124
6.3 Mesures des HIGFETs en courant continu 126
6.4 Performances électriques des circuits numériques 133
6.5 Mesures électriques à haute fréquence 137
6.5.1 Mesure de l'amplification et de la largeur de bande 138
6.5.2 Analyse des distorsions 140
6.5.3 Caractérisation des régimes transitoires 143
6.5.4 Échantillonnage à 1 GHz 145

Chapitre 7

Conclusions 147

Références 153

Annexes 163

Liste des tableaux

Tableau 3.1: Valeurs moyennes des éléments du circuit équivalent 40

Tableau 4.1: Valeurs cible des performances du HIGFET 65

Tableau 5.1: Comparaison entre les performances des modèles empiriques de simulation 108

Tableau 5.2: Simulation du RSB par les modèles empiriques de simulation 108

Tableau 6.1: Influence technologique sur les performances des TLMs 119

Tableau 6.2: Résistances des couches métalliques et des contacts 125

Liste des figures

Figure 1.1: Déroulement des travaux présentés dans la thèse 7

Figure 2.1: Section transversale dans le HIGFET 13

Figure 2.2: Épaisseurs des couches qui forment la structure HIGFET 16

Figure 2.3: Hétérostructure InAlAs/InGaAs/InP 17

Figure 2.4: Diagrammes énergétiques de la bande de conduction à l'équilibre: 19
(a) Tension de grille plus grande que la tension de seuil;
(b)Tension de grille plus petite que la tension de seuil.

Figure 2.5: Diagrammes de la bande de conduction au long du canal dans 20
le régime stationnaire: (a) Canal fermé; (b) Canal ouvert.

Figure 3.1: Circuit équivalent petit signal du HIGFET 30

Figure 3.2: Circuit extrinsèque pour $V_{DS}=V_{GS}=0$ 31

Figure 3.3: Circuit équivalent pour $V_{DS}=0$ et $V_{GS} < V_T$ 33

Figure 3.4: Circuit équivalent intrinsèque 34

Figure 3.5: Extraction des paramètres extrinsèques 36

Figure 3.6: Déduction expérimentale du modèle du HIGFET 38

Figure 3.7: Influence de la fréquence et de la tension de grille sur C_{gs} 42

Figure 3.8: Influence de la fréquence et de la tension de drain sur C_{gs} 42

Figure 3.9: Influence de la fréquence et de la tension de grille sur C_{gd} 44

Figure 3.10: Influence de la fréquence et de la tension de drain sur C_{gd} 44

Figure 3.11: Influence de la fréquence et de la tension de grille sur C_{ds} 45

Figure 3.12: Influence de la fréquence et de la tension de drain sur C_{ds} 46

Figure 3.13: Influence de la fréquence et de la tension de grille sur R_i 47

Figure 3.14: Influence de la fréquence et de la tension de drain sur R_i 47

Figure 3.15: Influence de la fréquence et de la tension de grille sur g_m 49

Figure 3.16: Influence de la fréquence et de la tension de drain sur g_m 49

Figure 3.17: Influence de la fréquence et de la tension de grille sur g_d 50

Figure 3.18: Influence de la fréquence et de la tension de drain sur g_d 50

Figure 3.19: Influence de la fréquence et de la tension de grille sur τ 51

Figure 3.20: Influence de la fréquence et de la tension de drain sur τ 51

Figure 3.21: Modèle réduit du HIGFET 52

Figure 3.22: Variation avec la fréquence de la résistance d'entrée 53

Figure 3.23 Variation avec la fréquence de la capacité d'entrée 54

Figure 3.24 Variation avec la fréquence de la résistance de sortie 54

Figure 3.25 Variation avec la fréquence de la capacité de sortie 55

Figure 3.26 Variation avec la fréquence du gain 55

Figure 4.1: Acquisition de données avec des circuits É&B 57

Figure 4.2: Architecture du système d'acquisition des données 59

Figure 4.3: Schéma de principe d'une cellule d'échantillonnage-blocage 66

Figure 4.4: Système É&B avec le circuit d'horloge intégré 67

Figure 4.5: Diagramme des signaux du système É&B avec le circuit d'horloge intégré 68

Figure. 4.6 : Circuit échantillonneur-bloqueur avec circuit d'horloge externe 69

Figure 4.7: Circuit intégrés avec quatre cellules É&B 70

Figure 4.8 : Schéma d'un inverseur 71

Figure 4.9: Schéma électrique d'un oscillateur à 7 inverseurs 73

Figure 4.10 : Simulation de signaux générés par le circuit GÉ 74

Figure 4.11 Jeu de masques SH1 76

Figure 4.12 Jeu de masques SH2 77

Figure 4.13 Jeu de masques SH3 78

Figure 4.14 Jeu de masques SH4 80

Figure 4.15: Structure d'une cellule de l'échantillonneur 82

Figure 4.16: Structure de test pour les éléments discrets 82

Figure 4.17: Structure de test pour les circuits de base 82

Figure 4.18 Structures d'échantillonneur avec amplificateur de sortie 83

Figure 4.19 Structures d'échantillonneur avec amplificateur d'entrée et de sortie 83

Figure 4.20: Pads de mesure haute fréquence 84

Figure 4.21: Pads de mesure pour courant continu et basse fréquence. 84

Figure 5.1: Lithographie de grilles (0,8μm) 87

Figure 5.2: Lithographie de source et drain 88

Figure 5.3: Fenêtres de contact définies par RIE 93

Figure 5.4: Taux de gravure du W en fonction de la puissance R.F. 94

Figure 5.5: Grille avec profile en forme de T 95

Figure 5.6: Grilles de tungstène avec longueur minimale 95

Figure 5.8: Analyse SEM en section du HIGFET 98
(a) Image d'ensemble; (b) Grille avec "moustaches"

Figure 5.9: Gravure RIE de W avec rédéposition accentuée 101

Figure 5.10: Erreur carrée moyenne pour différents modèles de régression 103

Figure 5.11: Structure du RNA de type FFEBP 105

Figure 5.12: Effet de la géométrie de masque sur le profil simulé de gravure 109

Figure 6.1: Caractéristique I-V typique du TLM 114

Figure 6.2: Caractéristique I-V de la structure TLM 115

Figure 6.3: Dépendance de tension de la résistance des cellules TLM 114

Figure 6.4: Régression linéaire des résistances du TLM 117

Figure 6.5: Régression linéaire des résistances TLM après différentes étapes de fabrication 118

Figure 6.6: Analyse par microscopie optique et SEM du phénomène de claquage 121

Figure 6.7: Structure TLM après 25 cycles I-V 122

Figure 6.8: Structure TLM après 50 cycles I-V 123

Figure 6.9: Structure TLM après 75 cycles I-V 123

Figure 6.10: Caractéristique I_D-V_{DS} du HIGFET 127

Figure 6.11: Caractéristique de claquage (V_{GS}=-3.5 V) 128

Figure 6.12: Caractéristiques de trasfert 128

Figure 6.13: Caractéristiques de trasfert linéaire et de saturation 129

Figure 6.14: Caractéristiques de sortie d'un HIGFET avec conduction parasite du canal 131

Figure 6.15: Caractéristiques de transfert et de transconductance du HIGFET avec conduction parasite (V_{DS} = 1,5 V) 131

Figure 6.16: Caractéristiques de sortie d'un HIGFET avec fuites du courant de drain 132

Figure 6.17: Caractéristiques de transfert et de transconductance du HIGFET avec fuites du courant de drain (V_{DS} = 1,5 V) 133

Figure 6.18: Formes d'onde d'un oscillateur en anneau 134

Figure 6.19: Formes d'onde d'un circuit GÉ non-optimisé 135

Figure 6.20: Formes d'onde d'un circuit GÉ optimisé 136

Figure 6.21: Retard des signaux de sortie du GÉ optimisé 136

Figure 6.22 : Système de mesure haute-fréquence 138

Figure 6.23: Circuit de test pour mesurer l'amplification et la largeur de bande 139

Figure 6.24: Caractéristique de l'amplification relative 140

Figure 6.25: Circuit de test pour l'analyse des distorsions 140

Figure 6.26 : Spectre du signal avec l'entrée sinusoïdale de 500 MHz (sans horloge) 141

Figure 6.27 : Spectre du signal avec l'entrée sinusoïdale de 500 MHz (horloge de 1 GHz) 141

Figure 6.28 : Réponse en fréquence pour un signal rectangulaire 142

a. Spectre du signal à l'entrée: b. Spectre du signal à la sortie

Figure 6.29: Mesure de la période de stockage 143

Figure 6.30: Estimation de la période d'établissement 144

Figure 6.31: Échantillonnage à 1 GHz sur SH9 145

Figure 6.32: Échantillonnage à 1 GHz sur SH18 146

Figure 7.1: Compensation du régime transitoire 151

Liste de symboles et acronymes

Acronymes

2DEG	Two dimensional electron gas
c.a.	Courant alternatif
c.c.	Courant continu
CCC	Programme central circonscrit composé
CCD	Charge Coupled Device
CI	Circuits intégrés
CMOS	Complementary Metal Oxide Semiconductor
É&B	Échantillonneur-Bloqueur
ECL	Emitter Collector Logic
ECR	Electron Cyclotron Resonance
EDX	Energy Dispersive X-Ray
FET	Field Effect Transistor
FFEBP	(Feed-Forward Error Back-Propagation)
GS	Grille/Source
GÉ	Générateur d'échelons
HEMT	High electron mobility transistor
HIGFET	Heterojonction Insulated Gate Field-Effect Transistor
I-V	Courant - tension
LISA	Laboratoire pour l'Intégration des Senseurs et Actuateurs
MESFET	MEtal-Semiconductor Field-Effect Transistor
MISFET	Metal-Insulator-Semiconductor Field-Effect Transistor
MOCVD	Metalorganic Chemical Vapor Deposition

MODFET	MOdulation-Doped Field-Effect Transistor
MOS	Metal Oxide Semiconductor
PECVD	Plasma Enhanced Chemical Vapor Deposition
RIE	Reactive Ion Etching
RNA	Réseau neuronal artificiel
RSB	Rapport signal/bruit
RTA	Rapid Thermal Annealing
S/D	Source/Drain
SEM	Scanning Electron Microscopy
SHx	Le lot no. x de fabrication
TLM	Transmission Line Measurement

Symboles

A	Facteur géométrique de conception
$a_{i,k}$	Fonction de sortie associée à l'axone
b	Nombre de bits de résolution
$C_{(V)}$	Capacité de l'hétérojonction
Cds	Capacité drain-source équivalente
Cg	Capacité de grille
Cgd	Capacité grille-drain équivalente
Cgs	Capacité grille-source équivalente
C_{GS}, C_{DS}, C_{GD}	Capacités parasites
ε	Permitivité
e	$-1{,}6\ 10^{-19}$ C
E	Erreure

Ec	Énergie de la bande de conduction
Φ_{Fi}	Travail de sortie
Φi	Distance entre le niveau Fermi et la bande de conduction
FI	Facteur d'instruction
f_r	Fréquence de lecture
f_s	Fréquence d'échantillonnage
g	Conductance
g_0	Conductance de sortie
g_D	Conductance de drain
g_{ds}	Conductance drain/source équivalente
gm	Transconductance
I_D	Courant de drain
I_{DSS}	Courant de drain maximum
I_G	Courant de grille.
k	Constante de Boltzman
λ	Affinité électronique,
l	Longueur de la résitance de Cermet
L	Longueur de la grille
L_S, L_D, L_G	Inductances parasites,
μ	Mobilité des porteurs de charge,
n	Facteur d'idéalité,
n_s	Densité des porteurs de charge du canal
N_{it}	Densité des charges d'interface
$N_{\square}$	Nombre des carrés
p	Pente de la caractéristique TLM
$p_{i,j,k}$	Pondérations du RNA
Q_C	Charge totale des électrons
$Q_{S(x)}$.	Densité superficielle de charge du semi-conducteur

Q_{spat}	Charge spatiale
R_0	Ordonnée de la caractéristique TLM
R_C	Résistance de contact,
ρ_C	Résistivité de contact,
R_F	Résistance feuille,
R_i	Résistance équivalente
R_S, R_G, R_D	Résistances parasites
$s_{i,k}$	État (l'entrée) du neurone
τ	Constante de temps
τ_0	Délai
T	Température
T_i	Transistor I
$V_{(y)}$	Potentiel du semi-conducteur
V_d	Différence de potentiel de la hétérostructure
V_D	Tension de drain
$V_{DS(y)}$	Polarisation drain-source,
V_{DSbd}	Tension de claquage
V_G	Tension de grille
V_S	Tension de source
V_T	Tension de seuil
w	Largeur de la résitance de Cermet
W	Largeur de la région de charge spatiale ou du TLM
ω	$2.\pi.$fréquence
{Xi}	Vecteur d'entrée du RNA
{Yi}	Vecteur des valeurs mesurées des performances
Z	Largeur de la grille
Z_g	Impédance équivalente de grille

Liste des annexes

Annexe 1

Flux de fabrication et contrôle du HIGFET 163

Annexe 2

Paramètres pour la caractérisation du processus RIE 165

Chapitre 1

Introduction

L'évolution de l'industrie de la micro-électronique au cours des dernières années a connu des changements majeurs et une dynamique accentuée, aussi bien au niveau de la conception des circuits intégrés et les technologies de fabrication, qu'en ce qui concerne les matériaux utilisés. L'univers de la micro-électronique est toujours dominé par le silicium et le but majeur du développement de cette industrie reste la miniaturisation qui assure un plus grand niveau d'intégration et une fréquence maximale plus élevée.

Malgré les avantages théoriques évidents, les semi-conducteurs composés n'ont pas creusé la brèche attendue au niveau global du marché, bien que certaines catégories de dispositifs soient essentiellement basées sur des composants III-V. Les dispositifs optoélectroniques sont typiquement réalisés sur un substrat d'InP et utilisent des couches ternaires et même quaternaires. Les transistors destinés au domaine des micro-ondes sont fabriqués sur GaAs et la structure MESFET est la plus souvent utilisée. Des nouvelles possibilités sont apparues avec les matériaux composés II-VI ou SiGe.

Les transistors à effet de champ réalisés sur les composants III-V ont des avantages intrinsèques, concernant la vitesse de travail, face aux dispositifs MOS sur silicium, ce qui les rendent très attractifs pour la fabrication des circuits intégrés de haute fréquence. Les technologies développées sur GaAs ont, à présent, le plus grand impact sur le marché [13], [27]. Malgré une vitesse élevée des électrons et une plus grande

conductivité thermique, l'extension des dispositifs réalisés sur InP a été empêchée, essentiellement à cause des instabilités à court et longue terme induites par les phénomènes complexes d'interface [19], [46].

Le MODFET[1], basé sur le confinement à deux dimensions du gaz électronique à l'interface d'une hétérostructure, est le dispositif le plus étudié pour les applications numériques à haute fréquence [45], [68]. Ses avantages, face aux dispositifs MESFET[2], sont liés à la plus grande vitesse des porteurs, à une barrière Schottky plus élevée et à un plus grand potentiel pour réaliser les structures complémentaires sur le même substrat [49]. La structure HIGFET[3] combine les avantages d'une plus grande tension de claquage associée avec les MISFET[4] et le gain élevé des dispositifs à hétérostructure [16], [6], [23]. C'est la raison pour choisir le HIGFET comme l'élément de base dans ce projet.

Deux approches ont été considérées pour l'hétérostructure, soient: 1° InAlAs / InGaAs [8] qui élimine la nécessité du dépôt d'une couche diélectrique et 2° InP / InGaAs [36], [37]. Le développement des dispositifs utilisant un pseudo-isolant (InAlAs) vient de la densité élevée et difficile à contrôler des pièges à l'interface InP / diélectrique [47]. Le problème principal avec l'utilisation d'un semi-conducteur à large bande interdite comme couche isolante est la structure Schottky qui limite l'excursion positive de la tension à environ 1,2 V et la fuite assez importante du courant de grille. La réduction de la densité des pièges à l'interface semi-conducteur/diélectrique par une couche ultra-mince (30 Å) de In_2S_3, technique de passivation développée dans le laboratoire LISA [61], [62], a permis la fabrication des dispositifs HIGFET avec une structure SiN_x / InP / n-InGaAs / InP avec des bonnes performances c.c. ($I_G \sim 10$ nA pour $\Delta V_{GS} = \pm 5$V, $I_{DSS} \sim$

[1] MODFET MOdulation-Doped Field-Effect Transistor
[2] MESFET MEtal-Semiconductor Field-Effect Transistor
[3] HIGFET Heterojonction Insulated Gate Field-Effect Transistor
[4] MISFET Metal-Insulator-Semiconductor Field-Effect Transistor

150 mA/mm et g_m ~ 100 mS/mm) et c.a. (f_T ~ 5-6 GHz, gain en puissance de 14.2 dB à 3 GHz).

Les travaux effectués dans le cadre de ce projet couvre non seulement la conception et réalisation d'un dispositif HIGFET performant en terme de caractéristiques électriques et paramètres de fiabilité, mais aussi le développement des circuits intégrés (C.I.) basés sur cette technologie. Comme véhicule de test pour démontrer la faisabilité d'une famille des C.I. sur InP, nous avons choisi un circuit Échantillonneur-Bloqueur (É&B) destiné à l'implémentation d'un système rapide d'acquisition des données. Une telle application implique un bon fonctionnement du dispositif HIGFET tant dans un régime analogique (petit et grand signal) que numérique (commutation).

Il n'existe pas une littérature directement reliée à la réalisation des systèmes rapides d'acquisition des données basés sur une technologie HIGFET. Un système parallèle de commutateurs, réalisé dans une technologie Si CMOS, a été rapporté et commercialisé par Analytek [33]. La fréquence du système est de 130 MHz, limite déjà prévue pour la technologie Si CMOS [18]. Les systèmes d'acquisition des données réalisés dans une technologie MESFET sur GaAs fonctionnent entre 100 MHz [28] et 1Ghz avec une résolution de 6 bits [54]. Des meilleures performances ont été obtenues pour les échantillonneurs réalisés dans une technologie HEMT sur GaAs [13]. Des limitations importantes concernant les instabilités de courant pendant le temps ou la faible isolation de grille n'ont pas permis à cette technologie de s'imposer à l'échelle industrielle.

La plupart des systèmes d'acquisition à haute vitesse, présentement sur le marché, se servent d'un convertisseur analogique/numérique avec mémoire pour l'emmagasinage des résultats.

Nous avons considéré deux approches pour une telle acquisition de données. La première est une approche sérielle, utilisant un dispositif à transfert de charge (CCD[5]) basé sur la conversion du signal d'entrée en paquets de charge équivalents. La deuxième est une approche parallèle, où un groupe de FETs à grande vitesse, agissant en interrupteurs, échantillonnent un signal d'entrée et mémorisent cette information en chargeant des capacités se trouvant sur le composant.

Des limitations technologiques rendent la fabrication des circuits CCD difficile dans des conditions de laboratoire, ce qui a conduit à choisir le circuit d'échantillonnage-blocage comme solution pour développer le système d'acquisition des données.

Les circuits É&B ont été utilisés pour développer le système d'acquisition de donné, l'élément de base étant le transistor HIGFET. L'architecture du système comprend les cellules É&B (transistor et capacité) aussi que les circuits numériques d'horloge et de contrôle. La cellule É&B, aussi que son circuit tampon de sortie, fonctionnent comme circuits analogiques grand signal, pendant que les circuits d'horloge et contrôle sont des circuits numériques en régime de commutation. En ajoutant les exigences concernant la fréquence maximale et la bande de passage, on obtient une image des performances électriques que la technologie HIGFET doit offrir.

La stratégie considérée pour la mise au point du dispositif HIGFET et le développement des circuits intégrés dans cette technologie est de répéter, séquentiellement, le cycle modélisation, conception, fabrication, caractérisation électrique jusqu'à l'atteinte de la qualité prévue des circuits et la robustesse suffisante des procédés technologiques. La réaction offerte par les mesures électriques doit permettre les corrections et raffinements technologiques, les optimisations au niveau de la conception et l'amélioration des modèles utilisés pour les dispositifs HIGFET pour différentes conditions de travail.

---

[5] CCD Charge Coupled Device

1.1 Objectifs de la thèse

Les travaux présentés dans cette thèse représentent les contributions pour le développement d'une nouvelle technologie pour la fabrication des circuits intégrés à grande vitesse. Deux objectifs majeurs sont poursuivis dans ce projet.

(a) La conception et fabrication d'un transistor de type HIGFET sur InP avec un bon fonctionnement dans le domaine des micro-ondes (1-10 GHz) et une bonne stabilité pendant le temps.

(b) La conception et fabrication d'un circuit intégré Échantillonneur-Bloqueur, basé sur la technologie HIGFET.

Pour ce faire, nous avons choisi des objectifs spécifiques pour chaque des deux objectifs majeurs. Comme nous l'avons déjà mentionné, la poursuite des objectifs majeurs requiert un déroulement séquentiel des étapes de modélisation, conception, fabrication et caractérisation électrique. Chacun des sous-objectifs aborde un aspect particulier du cycle de développement du projet. Pour la fabrication des structures HIGFET ils sont:

(a.1) conception de la structure HIGFET;

(a.2) conception des jeux de masques pour réaliser les dispositifs et les structures de test technologique;

(a.3) simulation statistique des processus technologiques complexes;

(a.4) caractérisation microphysique et électrique.

Les principaux sous-objectifs pour la fabrication du circuit d'échantillonnage-blocage intégré sont:

(b.1) modélisation des HIGFETs pour les conditions spécifiques de fonctionnement;

(b.2) conception du système d'acquisition de données;

(b.3) conception des jeux de masques pour réaliser les circuits d'échantillonnage-blocage intégrés;

(b.4) conception et réalisation des circuits électroniques auxiliaires (circuit d'horloge, interface avec le système de traitement de données, etc.)

(b.5) tests fonctionnels des circuits d'échantillonnage-blocage.

1.2 Organisation de la thèse

La présentation de cette thèse suit généralement les objectifs spécifiques énoncés à la section précédente. Le sujet de cette thèse, le développement et mise au point d'une nouvelle technologie, est un travail complexe. La mise au point de la fabrication des C.I. en utilisant des nouveaux matériaux et processus technologiques peut dépasser le cadre d'une thèse de doctorat. En effet, pour accomplir les objectifs de ce projet nous avons utilisé les résultats des travaux d'autres chercheurs et étudiants du département. C'est le motif pour le quel certains aspects, surtout concernant les étapes de fabrication, seront seulement brièvement décrits. Nous nous sommes cependant efforcés de rendre la présentation aussi uniforme que possible. La figure 1.1 donne un aperçu des travaux réalisés et présentés dans la thèse.

Le chapitre 2 présente des aspects reliés à la structure et physique des dispositifs HIGFET. Ce chapitre présente les principes de base de la conception des transistors à hétérostructure en soulignant leurs performances dans le contexte des dispositifs à effet de champ réalisés sur des semi-conducteurs III-V. Nous analysons les critères de conception aussi que les principales structures de HIGFET réalisées dans le cadre du projet.

Le troisième chapitre est dédié à la simulation des dispositifs HIGFET. Cette étape marque un cycle complet pendant le déroulement du projet. Si la conception de la structure du HIGFET, analysé dans le deuxième chapitre, est le début du cycle, le modèle du transistor est développé à partir des résultats expérimentaux obtenus après la fabrication des dispositifs. En même temps, un modèle viable du HIGFET est une condition essentielle pour la conception des dispositifs et circuits et un moyen de validation de la structure initiale. A partir d'un nouveau modèle, le cycle conception, fabrication et caractérisation peut être repris et optimisé.

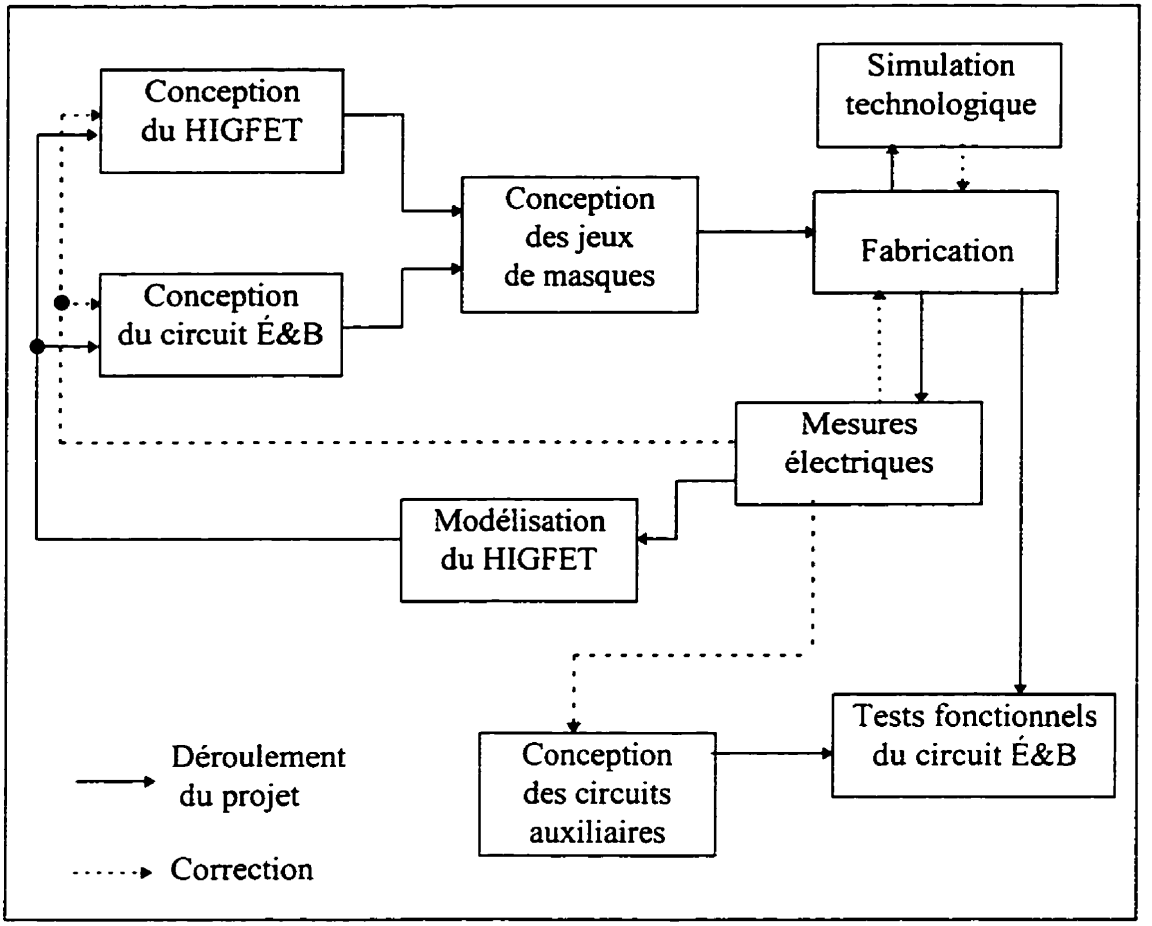


Figure 1.1: Déroulement des travaux présentés dans la thèse

La conception des circuits É&B et des circuits numériques afférents (inverseurs, circuits tampon, oscillateurs en anneau, générateurs d'échelons, etc.), aussi que l'architecture du système d'acquisition des données [11] en entier, sont abordées dans le chapitre 4. La comparaison entre les résultats expérimentaux et simulés pour différents circuits assure la validation des modèles et offre une estimation réaliste des performances de circuit qui peuvent être obtenues avec cette technologie. Une place à part est allouée à la conception est réalisation des circuits de test, tant pour le contrôle technologique que pour la

caractérisation électrique. Quatre jeux de masques, représentant les différents niveaux atteints pendant le déroulement du projet, englobent les résultats des étapes de conception.

La fabrication des circuits HIGFET est présentée dans le chapitre 5. L'analyse des différentes étapes de fabrication présente les critères qui ont conduit au choix des techniques de processus et l'investigation des différentes contraintes technologiques et de conception. L'accent est mis sur les différents types de problèmes apparus pendant le déroulement du projet et les méthodes utilisées pour optimiser et raffiner le flux de fabrication.

Une attention à part a été donnée à l'optimisation et contrôle des processus technologiques complexes qui ne peuvent pas être analysés par un modèle analytique. Le processus de gravure assistée par le plasma (RIE[6]) a été considéré comme véhicule de test pour rédiger des modèles technologiques empiriques. Une analyse comparative des techniques statistiques et d'une technique originale, basée sur des éléments d'intelligence artificielle, montre les avantages apportés par les réseaux neuraux artificiels dans la simulation des processus de fabrication complexes et dans l'assurance de la robustesse technologique.

Le chapitre 6 présente les principaux résultats expérimentaux obtenus avec différentes générations des transistors et circuits intégrés qui ont été fabriqués. Les mesures en courant continue sont plutôt utiles dans la caractérisation technologique et la validation des changements structurales et de conception. Les mesures à haute fréquence (100 MHz jusqu'à 3 GHz), réalisées autant en temps réel que par échantillonnage, donnent l'image exacte des performances des dispositifs et circuits HIGFET. Les mesures dans le

[6] RIE Reactive Ion Etching

domaine de fréquence sont essentiellement utilisées pour la modélisation des dispositifs, modélisation présentée dans le chapitre 3. Toutefois, certains paramètres importants de dispositif, comme le gain en tension ou puissance, ou la fréquence de coupure, sont déduits à partir des paramètres S du transistor HIGFET.

La synthèse des principaux résultats obtenus pendant le déroulement des travaux est présentée au chapitre 7. Une analyse critique des ces résultats situe nos travaux dans le contexte des technologies actuelles des dispositifs de haute fréquence. Finalement, des recommandations sur la poursuite des travaux et des directions pour améliorer les performances des dispositifs numériques réalisés sur l'InP, complètent ce document.

Chapitre 2

Dispositif HIGFET

2.1 Structure du HIGFET

Le transistor HIGFET combine les avantages d'une tension de claquage plus grande, associée avec les structures MISFET, et le gain plus élevé des dispositifs à hétérostructures. Une telle structure apparaît comme la solution idéale pour développer une technologie numérique dans le domaine des hautes fréquences. C'est la raison pour le choix de la structure HIGFET comme élément de base dans ce projet. Les références sur la fabrication de telles structures sont assez rares comparativement au dispositifs MESFET ou HEMT, même si pendant les années '90 les efforts pour la fabrication des HIGFETs sont bien plus significatifs [9], [36], [37].

Danneville et al. [12] présentent un dispositif HIGFET fabriqué sur GaAs, dont la conduction 2DEG est générée à l'interface AlGaAs/GaAs. La couche d'AlGaAs, ayant aussi le rôle d'isolant de grille, a une fraction molaire de l'aluminium de 0,45. L'hétérostructure est crue par MOCVD avec les couches actives non dopées. Les dispositifs peuvent être utilisés aux applications micro-ondes jusqu'à 20 GHz mais, pour une polarisation de grille positive de plus de 1 V et une tension de drain plus grande que 0,7 V, la caractéristique I-V montre une résistance différentielle négative. L'effet est dû au réchauffement des électrons du gaz bidimensionnel par la tension source-drain. Ils

peuvent être transférés dans le semi-conducteur à bande interdite plus large et collectés au contact de grille.

En utilisant une hétérojonction InAlAs/InGaAs, Chan et al. [8] obtiennent une réduction significative du courant de grille du HIGFET, due à l'augmentation de la hauteur de la barrière des bandes de conduction. La hauteur de la barrière pour l'AlGaAs/GaAs est de presque 0.3 V et augmente jusqu'à 0.5 V pour l'hétérostructure $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$. Pour les mêmes conditions de polarisation, le courant de grille peut diminuer de 1000 fois.

Martin et al. [38] annoncent une structure HIGFET sur InP avec une hétérostructure InP/InGaAs crue en accord de maille, et qui utilise comme diélectrique de grille une couche de SiO_2 déposée par PECVD. Les régions de source et drain sont réalisées par implantation de silicium. Les transistors montrent une transconductance maximale de 240 mS/mm et un bon fonctionnement jusqu'à 5 GHz. Des instabilités du courant touchant les 20% affectent surtout le fonctionnement en courant continu des dispositifs.

Le schéma de la structure de principe du HIGFET réalisée dans ce projet est présenté à la figure 2.1.

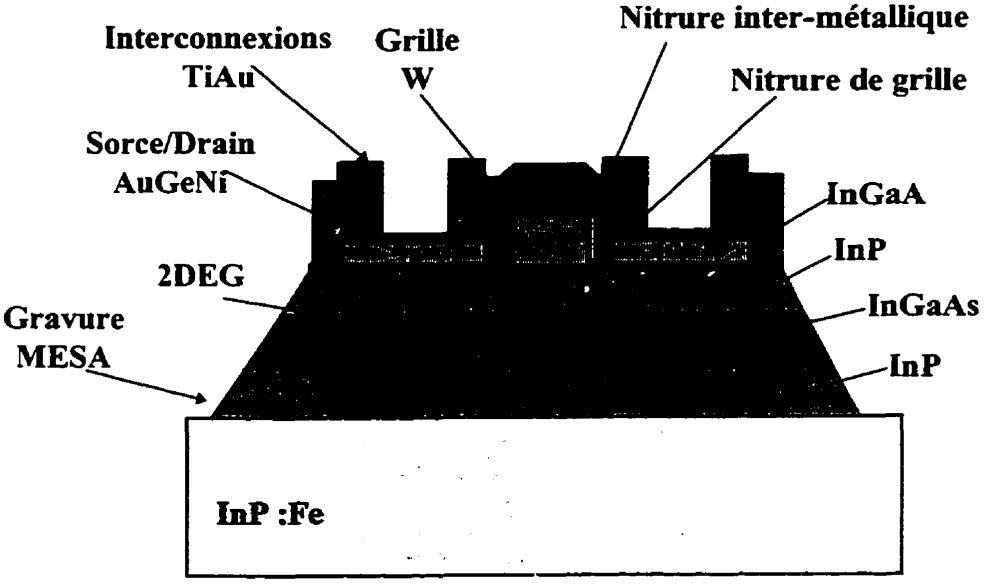


Figure 2.1: Section transversale dans le HIGFET

L'hétérostructure a été réalisée par croissance épitaxiale MOCVD sur un substrat de InP. Une couche d'$In_xGa_{1-x}As$ crue en accord de maille (x=0.53) sur un substrat d'InP semble un excellent choix pour le canal du transistor. La mobilité des électrons, à la température ambiante, excède 8000 cm^2/Vs et la vitesse maximale des électrons est près de $2,5*10^7$ cm/s. Les résultats sont consistants avec ceux présentés dans la littérature [1], [20], [27].

Une couche tampon d'InP, interposée entre le substrat semi-isolant (dopé à Fe), et la couche d'InGaAs gardent les performances physiques du canal. L'interface entre la couche d'InGaAs et le tampon d'InP est crue en-situ et l'effet de l'ex-diffusion du Fe est éliminé. Une couche épitaxiale d'InP assure l'isolation du canal. La bande interdite plus large de l'InP induit, à l'interface avec le canal d'InGaAs, la couche de conduction 2DEG.

La dernière déposition épitaxiale est une couche sacrificielle d'InGaAs non-dopée. Cette couche est destinée à améliorer les contacts ohmiques de source et drain et elle est enlevée dans la région active du dispositif, sous la grille.

La fabrication des structures débute par une gravure chimique MESA qui réalise l'isolation des transistors. Pour réaliser le dispositif à effet de champ, nous avons déposé, par PECVD, une couche de Si_3N_4 sur la hétérostructure. Elle est imposée par la faible hauteur de la barrière Schottky des métaux usuels sur l'InP avec un dopage non-intentionnel de type N (environ 0,2 eV). Pour réduire la densité des états d'interface, avant la déposition du nitrure, la surface du semi-conducteur a été passivée par une couche très mince d'In_2S_3 [23], [61], [62].

Les contacts ohmiques de source et drain sont assurés par la déposition d'un système Au-Ge-Ni et la diffusion produite d'un traitement thermique rapide (RTA[1]), [60]. La grille est formée par une couche de W ou Ti/Au [10]. Après la déposition d'une deuxième couche de nitrure et l'ouverture des fenêtres de contact, une couche d'Au est déposée et les interconnexions sont définies par la technique lift-off.

Le transistor implémenté par cette structure est un dispositif qui fonctionne en régime d'appauvrissement à canal enfoui. Dans la conception initiale du transistor toutes les couches épitaxiales étaient non-dopées. Dans cette situation, la conduction est assurée essentiellement par la couche 2DEG formée à l'interface du canal InGaAs et de la couche couvercle d'InP. La discontinuité dans la bande de conduction, d'environ 0,2 eV, est presque 8 fois plus grande que l'énergie thermique (kT~0.026 eV) à la température de la pièce. Cela implique un bon confinement des électrons et, par conséquent, un bon contrôle de la caractéristique de transfert avec une tension de seuil relativement réduite ($V_T \sim -1$ à -3 V).

[1] RTA Rapid Thermal Annealing

Les difficultés technologiques reliées au processus d'implantation ionique pour définir les régions de source et drain, aussi que les excellents contacts ohmiques réalisés par l'optimisation de la structure du système Ni-Ge-Au et du cycle RTA, ont imposé une structure non auto-alignée.

Les limitations photo-lithographiques d'alignement imposent une distance minimale entre la grille et les régions de source et drain d'environ 1 à 2 μm. C'est dans ces régions où, expérimentalement, nous avons aperçu une faiblesse électrique et technologique des dispositifs. La résistance série supplémentaire devient importante, surtout pour les applications micro-ondes. En plus, ces régions, non protégées par la grille, montrent une dégradation importante de la qualité de la surface semi-conductrice pendant le processus de gravure assistée par le plasma (RIE) de la grille [39] et une sensibilité accentuée due aux états d'interface induits par la déposition du nitrure par PECVD. Tous ces problèmes d'interface conduisent à des instabilités de court et long terme dans le courant de drain [24]. Dans le pire des cas nous avons observé une disparition complète de la conduction, quelques mois après la fabrication des structures.

Le remplacement de la gravure RIE de grille par un processus lift-off et l'utilisation du procédé ECR[2] [51] au lieu du PECVD pour la déposition du nitrure de grille, ont réduit substantiellement les instabilités en courant. Toutefois, pour augmenter la capacité en courant de la structure, essentielle pour les applications en régime de commutation, et réduire la résistance série, nous avons dopé la couche canal d'InGaAs avec Si. L'épaisseur et la concentration ont été optimisées pour maximiser le courant de saturation tout en gardant une grande mobilité des porteurs. Pour une concentration du Si de $2.5*10^{16}$ cm^{-3} les mesures de la mobilité par effet Hall (trèfle de Van der Pauw avec

[2] ECR - Electron Cyclotron Resonance

une zone efficace de 2 mm) ont montré une mobilité d'environ 10.000 cm^2/Vs. Avec un dopage de l'ordre de $3*10^{17}$ cm^{-3} la mobilité a diminué à 8.000 cm^2/Vs.

La validation finale du HIGFET, avec le canal dopé, a été réalisée par les mesures électriques qui ont montré une bonne transconductance, une tension de seuil acceptable et une haute fréquence de coupure des transistors. Pour garder la qualité de l'interface entre le canal et la couche couvercle et éliminer le dopage résiduel de la couche couvercle, une couche très mince d'InGaAs non-dopée a été intercalée entre le canal et la couche supérieure d'InP. La structure finale de l'hétérostructure et les épaisseurs de toutes les couches semi-conductricesqui forment le dispositif HIGFET sont présentées à la figure 2.2.

$In_xGa_{1-x}As$		**x=0.53**	**200Å non dopé**
InP	**couvercle**		**200Å non-dopé**
$In_xGa_{1-x}As$	**espaceur**	**x=0.53**	**20Å non-dopé**
$In_xGa_{1-x}As$	**canal**	**x=0.53**	**300Å $N_D=3\cdot10^{17}cm^{-3}$ (P)**
InP	**tampon**		**500Å non dopé**
Substrat InP Semi-Isolant (Fe)			

Figure 2.2: Épaisseurs des couches qui forment la structure HIGFET

Pendant les travaux effectués, nous avons essayé deux types de semi-conducteurs comme couche couvercle : l'InAlAs et l'InP. L'InAlAs a une bande interdite plus large et peut assurer le rôle d'isolant de grille. Il élimine aussi les problèmes d'interface isolant-

semi-conductrur, difficulté critique dans la technologie du InP avec un diélectrique de grille déposé après la croissance épitaxiale. Toutefois, l'interface entre le métal de grille et la couche d'InAlAs reste un contact Schottky qui limite l'excursion dans le domaine des tensions positives de grille. C'est finalement une couche d'InP qui a été choisie comme couche couvercle. On doit préciser que la réduction du nombre des différents types de semi-conducteurs utilisés dans la fabrication des structures améliore la robustesse technologique et, de toute façon, l'installation de croissance épitaxiale par MOCVD ne permet pas la déposition de couches contenant de l'aluminium. Dans une première période du déroulement du projet, nous avons utilisé des gaufres d'InP avec la croissance épitaxiale du système InAlAs/InGaAs/InP réalisée par un fabricant externe renommé, Epitaxial Products International Ltd. Cardiff, UK. La figure 2.3 présent la structure de cette hétérostructure.

$In_{0.53}Ga_{0.47}As$	100 Å	Nd = 10^{18} cm^{-3}
$In_{0.52}Al_{0.48}As$	400 Å	non-dopé
$In_{0.53}Ga_{0.47}As$	1000 Å	non-dopé
$In_{0.52}Al_{0.48}As$	2000 Å	non-dopé
Substrat InP semi-isolant	600 µm	Fe

Figure 2.3: Hétérostructure InAlAs/InGaAs/InP

Les dispositifs fabriqués dans cette structure ont montré une valeur élevée du courant de drain (I_{DSS}>30 mA) et une bonne transconductance (g_m>100mS/mm). La fabrication des premiers HIGFETs dans cette structure a permis le raffinement des certains procédés technologiques et une première évaluation des performances des transistors HIGFET. Malheureusement, les substrats de faible qualité, supposés semi-isolants, ont montré une importante fuite de courant. En conséquence, la tension de seuil était élevée (V_T>|-5V|)

avec des courants résiduels inacceptables en état fermé des transistors. Comme les problèmes de qualité du substrat et de croissance des hétérostructures n'ont pas pu être résolus, nous avons abandonné cette structure et nous avons focalisé tous les efforts sur les hétérostructures InP/InGaAs/InP crues par le groupe MOCVD de l'École Polytechnique.

2.2 Physique de la structure HIGFET

Deux semi-conducteurs différents, mis en contact, généreront une différence de potentiel, V_d, induite par la différence de travail de sortie, $e\Phi_i$, (i = 1, 2), des deux matériaux [32], [67]. Cette différence de potentiel produira une diffusion des électrons du semi-conducteur à plus faible travail de sortie vers l'autre. À l'équilibre thermodynamique, la différence des énergies des bandes de conduction des régions neutres des deux semi-conducteurs, loin de la jonction, ΔE_c, est donnée par la différence entre les énergies $e\Phi_{Fi}$, qui représentent les distances entre le niveau Fermi et la bande de conduction de chaque semi-conducteur. Pour des matériaux caractérisés par l'affinité électronique, χ_i, nous pouvons écrire:

$$\Phi_{Fi} = \Phi_i - \chi_i \tag{2.1}$$

$$V_d = \Phi_1 - \Phi_2 \tag{2.2}$$

$$\Delta E_c = e\Phi_{F2} - e\Phi_{F1} = -eV_d - (e\chi_2 - e\chi_1) \tag{2.3}$$

La relation (2.3) montre que la différence d'énergie entre les bandes de conduction est produite par un terme dépendant seulement de la nature du semi-conducteur, χ_i, et la tension de diffusion, qui est influencée par le dopage du semi-conducteur.

À l'interface de l'hétérojonction, en raison de la continuité du potentiel, le terme $-eV_d$ disparaît et la différence d'énergie entre les bandes de conduction se réduit à:

$$\Delta E_{c0} = -e(\chi_2 - \chi_1) \tag{2.4}$$

Dans le cas où $\Phi_2 > \Phi_1$ et $\chi_2 > \chi_1$, le régime d'équilibre s'établit par la diffusion des électrons du semi-conducteur 1 vers le semi-conducteur 2. Comme ΔE_{c0} est plus grande que ΔE_c, le saut dans la bande de conduction à l'interface des deux matériaux favorise l'accumulation des électrons. Quand le niveau Fermi dépasse le niveau de la bande de conduction, il produit une dégénérescence locale du semi-conducteur 2. La figure 2.4 montre les diagrammes de la bande de conduction pour un transistor avec une telle structure de l'hétérojonction pour différentes polarisations de grille.

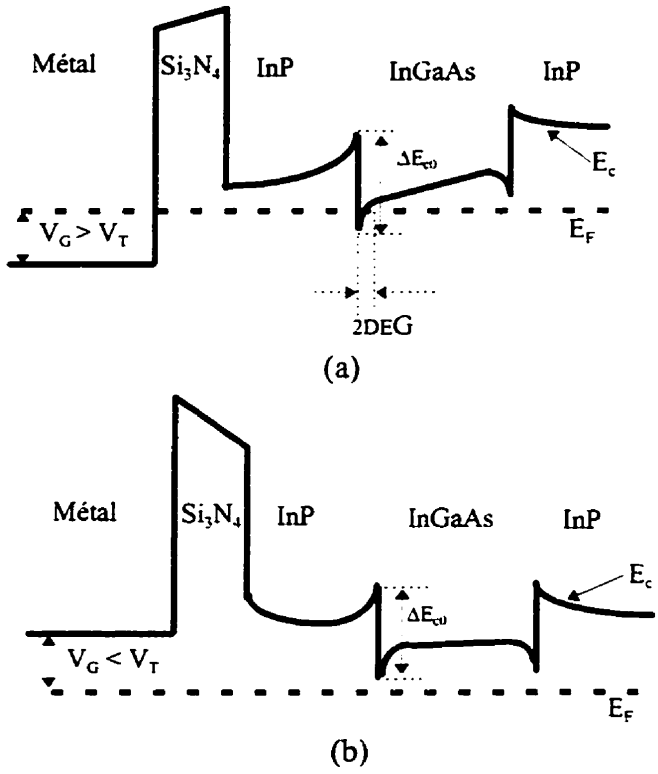


Figure 2.4: Diagrammes énergétiques de la bande de conduction à l'équilibre:
(a) Tension de grille plus grande que la tension de seuil;
(b) Tension de grille plus petite que la tension de seuil.

Pour une tension de grille assez négative pour dépasser la tension de seuil, une barrière énergétique est générée dans la bande de conduction, sous la grille. La dégénérescence locale de la couche d'InGaAs est enlevée et il n'y a plus de circulation de courant. Le dispositif est dans l'état de canal fermé.

Pour une tension de grille plus grande que V_T, avec une tension appliquée entre la source et le drain du HIGFET, les électrons sont injectés dans le canal et on établit un courant électrique à travers le dispositif. Le transistor est dans l'état canal ouvert. La figure 2.5 présente les diagrammes de la bande de conduction au long du canal dans le régime stationnaire pour le dispositif fermé (a) et ouvert (b).

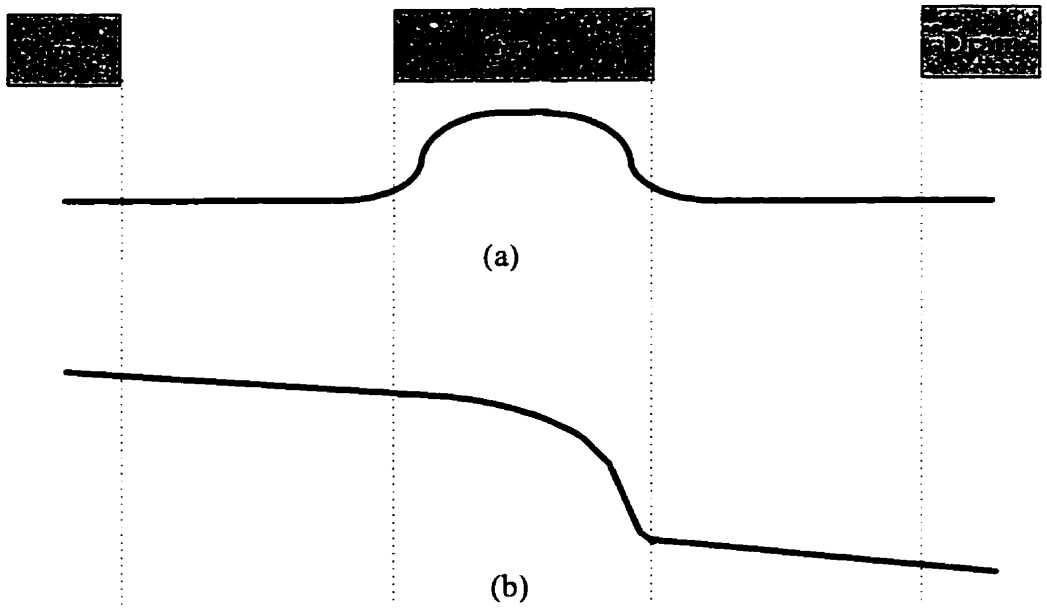


Figure 2.5: Diagrammes de la bande de conduction au long du canal dans le régime stationnaire:
(a) Canal fermé; (b) Canal ouvert.

Pour un transistor ouvert, avec $V_G > V_T$, et pour des valeurs réduites de la tension source-drain, le courant est proportionnel à la tension, avec une conduction ohmique du canal 2DEG dont la résistance diminue avec l'augmentation de la tension de grille (régime linéaire).

Lorsque la tension de drain augmente, le potentiel du semi-conducteur produit une augmentation de la barrière énergétique près du drain, et presque toute la chute de tension se retrouve dans cette région, comme suggère la figure 2.5 (b). La résistance du canal augmente au voisinage du drain et la caractéristique I-V devient non-linéaire.

Quand la tension de drain augmente jusqu'au seuil qui enlève la dégénérescence locale du canal, le régime de pincement est atteint, le canal 2DEG est fermé côté drain, et le transistor entre dans le régime de saturation.

2.3 Modélisation du HIGFET idéal

Le fonctionnement du transistor HIGFET est semblable au dispositif MOSFET en régime d'appauvrissement. En effet, pour une couche couvercle idéale, le HIGFET peut être traité comme un dispositif MOS avec un diélectrique composé des deux couches: nitrure et InP. Dans cette section nous développons un modèle analytique simplifié du HIGFET et dans la section suivante nous analyserons les différences observées dans le fonctionnement du transistor réel.

Comme le couvercle d'InP est non-intentionnellement dopé N, une région de charge spatiale, de largeur W, prend naissance au voisinage de l'interface avec le canal. L'intégration de l'équation de Poisson, pour une tension de grille V_G et en supposant le régime de déplétion, donne une estimation pour la largeur W de:

$$W \approx \sqrt{\frac{2 \cdot \varepsilon}{e \cdot N_D} \cdot (V_d + V_G)} \tag{2.5}$$

où V_d est donnée par (2.2) et ε et N_D sont la permittivité et le dopage de la couche couvercle. Pour une valeur estimative du dopage de $N_D=10^{15}$ cm^{-3}, la largeur de la région de charge spatiale calculée avec l'expression (2.5) peut dépasser l'épaisseur de la couche couvercle. Dans une première approximation, on peut considérer la variation avec la tension de grille de W donnée par l'expression (2.5). Dans cette hypothèse, la charge spatiale est:

$$Q_{spat} = e \cdot N_D \cdot W = \sqrt{2 \cdot e \cdot \varepsilon \cdot N_D \cdot (V_d + V_G)} \tag{2.6}$$

Pour une estimation analytique des caractéristiques I-V des HIGFETs, nous supposons négligeables les charges de surface de l'hétérostructure et la différence des travaux de sortie du métal et du semi-conducteur. Nous supposons aussi que la mobilité des porteurs est constante. Pour une section transversale du canal située à l'abscisse 'x' entre la source et le drain, et ayant une largeur 'dx', on peut écrire:

$$I_D = dg \cdot dV(x) = (\oint_{Section} e \cdot \mu \cdot n(x,y,z) \frac{dy \cdot dz}{dx}) \cdot dV(x) = -Z \cdot \mu \cdot Q_C(x) \frac{dV(x)}{dx} \tag{2.7}$$

où g est la conductance, μ la mobilité, n la densité des électrons dans le canal, Z la largeur du transistor et $Q_C(x)$ la charge totale des électrons par unité de surface normale au semi-conducteur. Dans les hypothèses considérées, $Q_C(x)$ peut être estimée comme la différence entre $Q_S(x)$, la densité superficielle de charge du semi-conducteur et $Q_{spat}(x)$, la charge spatiale. La charge spatiale est imposée par le potentiel du semi-conducteur V(x) et est donnée par la relation (2.6) où nous avons remplacé (V_d + V_G) avec V(x). À

son tour, $Q_S(x)$ est imposée par la charge développée dans le métal à la même abscisse. On obtient, pour une capacité MIS de la structure, C_i:

$$Q_M(x) = -Q_S(x) = C_i \cdot (V_G - V(x)) \tag{2.8}$$

$$Q_C(x) = Q_S(x) - Q_{spat}(x) = -C_i \cdot (V_G - V(x)) - \sqrt{2 \cdot e \cdot \varepsilon \cdot N_D \cdot (V(x))} \tag{2.9}$$

Le potentiel de diffusion, V_d, et la polarisation drain-source, $V_{DS}(x)$, imposent le potentiel du semi-conducteur, V(x).

$$V(x) = V_{DS}(x) + V_d \tag{2.10}$$

où $V_{DS}(x)$ est nul côté source et égale à V_D à l'extrémité de drain. En intégrant sur toute la longueur L du canal, on obtient:

$$I_D = \frac{Z \cdot \mu \cdot C_i}{L} \left\{ (V_G - V_d - \frac{V_D}{2}) \cdot V_D - \frac{2}{3} \cdot \frac{\sqrt{2eN_D\varepsilon}}{C_i} \cdot \sqrt{(V_D + V_d)^3} - \sqrt{V_d^{\,3}} \right\} \tag{2.11}$$

Dans le régime linéaire ($V_D << V_d$), l'expression (2.12) peut être écrite:

$$I_D = \frac{Z \cdot \mu \cdot C_i}{L} (V_G - V_T) \cdot V_D \tag{2.12}$$

où V_T est la tension de seuil:

$$V_T = \frac{\sqrt{2 \cdot e \cdot N_D \cdot \varepsilon \cdot V_d}}{C_i} + V_d \tag{2.13}$$

L'expression (2.13) permet aussi l'évaluation de la transconductance g_m et de la conductance de drain g_D dans le régime linéaire.

$$g_m = \frac{\partial I_D}{\partial V_G} = \frac{Z \cdot \mu \cdot C_i}{L} \cdot V_D \tag{2.14}$$

$$g_D = \frac{\partial I_D}{\partial V_D} = \frac{Z \cdot \mu \cdot C_i}{L} \cdot (V_G - V_T) \tag{2.15}$$

La condition de pincement est atteinte quand la tension de drain, $V_D = V_{dsat}$, annule la charge du canal ($Q_C(x=L) = 0$). En utilisant les expressions (2.10) et (2.12), on obtient, après un développement algébrique dans l'hypothèse d'un niveau faible du dopage :

$$V_{Dsat} \approx V_G - V_d + \frac{\sqrt{2 \cdot e \cdot N_D \cdot \varepsilon \cdot |V_G|}}{C_i} \tag{2.16}$$

$$I_{Dsat} \approx \frac{Z \cdot \mu \cdot C_i}{2L} \cdot V_{Dsat}^2 \tag{2.17}$$

L'expression de la transconductance pour le régime de saturation, dans la même hypothèse d'un dopage réduit, est:

$$g_m \approx \frac{\partial I_D}{\partial V_G} = \frac{Z \cdot \mu \cdot C_i}{L} \cdot (V_G - V_d + \frac{\sqrt{2 \cdot e \cdot N_D \cdot \varepsilon \cdot |V_G|}}{C_i}) \tag{2.18}$$

2.4 Transistor HIGFET réel

Le modèle présenté dans la section précédente a été développé en idéalisant la structure du HIGFET à partir de certaines hypothèses. Les résultats obtenus ne peuvent être considérés qu'une première approximation dans l'étude du dispositif réel. Ils seront utiles dans l'étude de faisabilité des différents dispositifs et circuits intégrés et surtout dans le développement des modèles empiriques des HIGFETs. La ressemblance du fonctionnement du HIGFET et du MOSFET justifie le choix du modèle petit signal avec le même circuit équivalent.

Dans cette section nous essayons d'analyser les conséquences des différentes hypothèses simplificatrices dans le fonctionnement du transistor réel. En considérant seulement la conduction du canal 2DEG nous avons supposé implicitement la condition de bandes plates à l'interface semi-conducteur-diélectrique. Un terme supplémentaire doit être ajouté à l'expression de la tension de seuil (2.14) qui décrit, d'une part, l'influence de la différence des travaux de sortie du métal et du semi-conducteur et d'autre part la présence des charges d'interface et des charges dans le diélectrique. Ainsi, l'expression de la tension de seuil devient:

$$V_T = \Phi_{MS} - \frac{Q_{SS}}{C_i} + \frac{\sqrt{2 \cdot e \cdot N_D \cdot \varepsilon \cdot V_d}}{C_i} - V_d \qquad (2.19)$$

La modélisation de la charge Q_{SS} est extrêmement difficile tenant compte des multiples causes technologiques qui peuvent la générer et de la complexité de sa variation spatiale, énergétique et temporale. L'évaluation expérimentale de la valeur globale de la densité des charges d'interface, à partir des valeurs mesurées de V_T, a servi à l'optimisation et à la validation des changements technologiques.

En outre, nous avons supposé constante la mobilité des électrons dans le canal 2DEG. Cette hypothèse, justifiable pour les FET à conduction de surface, en dehors de l'effet de canal court, devient plus restrictive pour le HIGFET. Même pour un dispositif à canal assez long, la courbure des bandes d'énergie près du drain (voir la figure 2.5 (b)) augmente sensiblement la vitesse des porteurs dans cette région. En conséquence, le champ électrique plus réduit de côté source du canal induit une plus faible mobilité et les performances en fréquence du dispositif seront déterminées par le temps de transit des électrons dans cette région.

La distribution de charge dans le canal 2DEG, présumée uniforme dans le modèle analytique, peut constituer une autre cause d'erreurs. En effet, l'hypothèse d'une conduction assurée seulement par le canal 2DEG devient moins plausible pour un canal InGaAs dopé. Pour un petit niveau du signal, la modulation de grille se retrouve essentiellement dans la modulation de la conductance du gaz 2DEG. Pour un niveau important du signal ou en commutation, la conduction par la zone neutre devient importante. Comme les performances et même la physique de la conduction du canal 2DEG et du canal neutre sont différentes, un modèle exigeant du HIGFET implique la considération, explicite ou implicite, de ce phénomène.

En plus de la conduction de la couche canal du HIGFET, une importante source d'erreurs dans l'analyse des caractéristiques I-V du HIGFET est la conduction parasite par la couche couvercle et la couche tampon du dispositif. Contrairement à la plupart des dispositifs à effet de champ, le HIGFET développé dans ce projet n'a pas l'isolation d'une jonction p-n entre les régions de source et drain et le substrat. Les deux couches d'InP qui entourent le canal peuvent participer à la conduction du courant de drain. Les fuites à travers la couche couvercle sont plus importantes dans le régime de conduction à niveau élevé de polarisation, quand les électrons thermalisés peuvent passer dans la couche supérieure.

Encore plus importantes peuvent être les fuites à travers la couche tampon dans le régime du canal fermé ($V_G < V_T$). Si une tension importante est appliquée entre le drain et la source, le courant à travers la couche tampon devient significatif, ce qui est un handicap majeur pour les applications numériques.

Dans le cas d'un circuit d'échantillonnage-blocage, les fuites des transistors ne peuvent pas être acceptées. Même un rapport de 10^4 - 10^5 entre le courant dans l'état ouvert et fermé peut être insuffisant pour obtenir le temps de rétention nécessaire sur la capacité de stockage.

L'analyse réalisée dans cette section montre, à notre avis, les difficultés rencontrées dans la modélisation analytique du HIGFET. Pendant la première période du déroulement du projet, quand nous n'avons pas eu des données expérimentales disponibles, nous avons rédigé un modèle analytique du HIGFET pour réaliser une simulation numérique des caractéristiques électriques du dispositif. En utilisant le logiciel SSuprem III™ de Silvaco™ nous avons calculé la distribution du potentiel électrique à travers la hétérostructure (sans polarisation). À l'aide d'Athena™ nous avons réalisé une simulation bidimensionnelle du potentiel électrique qui a permis de calculer, avec Atlas™, la distribution du courant électrique en fonction de la polarisation et a donné une première estimation des performances du HIGFET.

Après la fabrication des premiers dispositifs HIGFET, nous avons choisi une technique empirique pour développer les modèles de dispositif, modèles qui ce sont montrés très utiles pour la conception des circuits intégrés et plus faciles à adapter aux changements technologiques et de conception du transistor. Le chapitre suivant abordera en détail la modélisation empirique du HIGFET.

Chapitre 3

Modélisation du HIGFET

Les HIGFETs ont montré des performances combinées concernant le fonctionnement à grande vitesse avec des très petites fuites. Le développement des applications concrètes, soit pour les utilisations analogiques dans le domaine des micro-ondes, les circuits numériques rapides ou le domaine de l'optoélectronique, imposent l'utilisation d'un modèle du dispositif. Un tel modèle est nécessaire aux niveaux de l'étude de faisabilité, de conception, de mis au point de la technologie de fabrication ou de caractérisation électrique. Évidement, le fonctionnement simulé, offert par le modèle, doit être le plus proche possible du HIGFET réel pour tout l'espace de variables fonctionnelles: polarisation, fréquence, température, etc.

Idéalement, le modèle d'un dispositif doit être rédigé de manière à accepter toute la plage possible des variables fonctionnelles. Un tel but est extrêmement difficile, même pour les technologies matures sur silicium ou, pour revenir aux dispositifs III-V, pour le déjà intensivement étudié dispositif MESFET sur GaAs [15]. La tâche devient bien plus difficile pour un nouveau dispositif, avec la technologie de fabrication encore en changement. En réalité, pour la plupart des applications pratiques, le modèle doit être limité à un certain domaine de fonctionnement avec les contraintes spécifiques.

L'accent a été mis sur le développement d'une méthodologie efficace pour rédiger le modèle petit signal. Ce modèle permet l'évaluation des performances électriques dans le

domaine des micro-ondes. Il a été aussi utilisé pour documenter les mesures correctives au niveau technologique et de la conception et pour valider les changements réalisés.

Pour le fonctionnement à grand signal nous avons utilisé deux techniques. Dans une première instance, basé sur une certaine similitude du fonctionnement du HIGFET et du MOSFET, nous avons adapté des modèles SPICE existants. Les paramètres de modèle ont été modifiés, empiriquement, pour minimiser les différences entre les résultats expérimentaux et les résultats simulés.

Pour plus de rigueur, nous avons développé, pour certains circuits, des modèles dédiés à une configuration spécifique. Ainsi, nous avons rédigé des circuits équivalents des impédances d'entrée et de sortie offertes par les HIGFETs et un modèle du fonctionnement du dispositif comme commutateur dans la cellule d'échantillonnage-blocage.

3.1 Modèle petit signal du HIGFET

Nous avons considéré un circuit équivalent petit signal classique du FET [58], montré à la figure 3.1. Le modèle haute fréquence du HIGFET a été rédigé à partir des valeurs expérimentales des paramètres S.

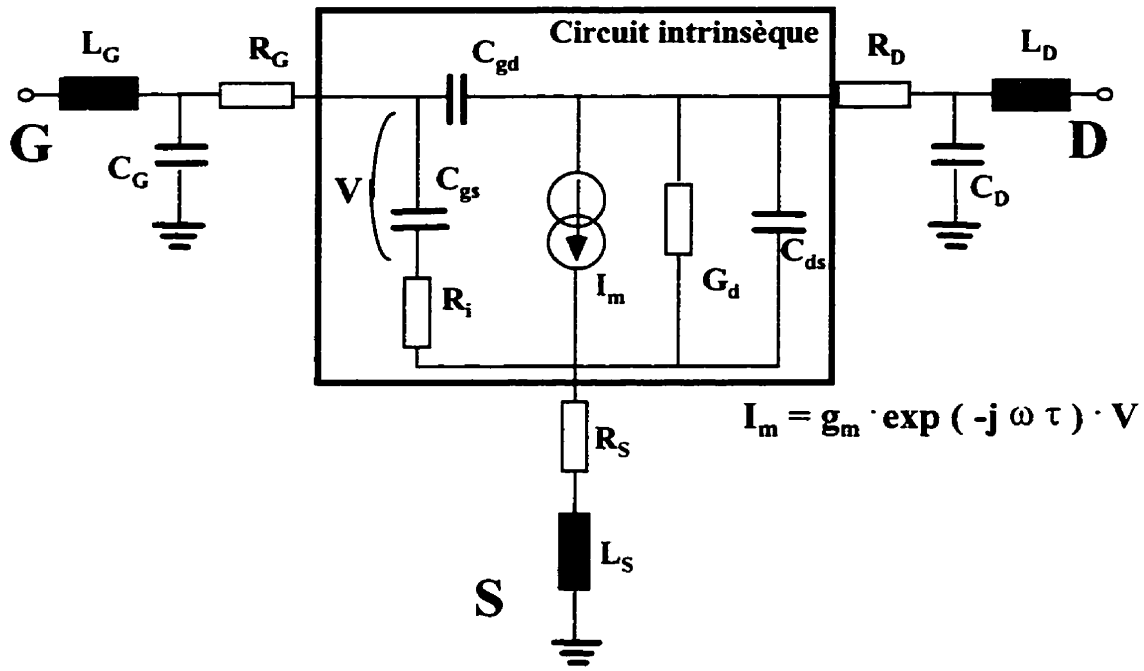


Figure 3.1: Circuit équivalent petit signal du FET

Le circuit intrinsèque (le carré noire à la figure 3.1) modélise le dispositif actif effectif. Les valeurs des composants du circuit intrinsèque sont, en général, dépendantes des conditions de polarisation (effet grand signal). Pour un domaine donné des tensions de polarisation, la dépendance des éléments du circuit intrinsèque peut être assez faible pour justifier l'hypothèse d'un circuit indépendant des conditions de courant continu. Une telle hypothèse simplifiera significativement l'utilisation du modèle, mais, étant donné le caractère empirique du modèle, une détermination expérimentale du domaine de validité de cette hypothèse s'impose.

Les composants extrinsèques sont indépendants du niveau de polarisation. Elles représentent l'effet des interconnexions entre le dispositif actif et le système de mesure, soit les lignes métalliques d'interconnexion sur le dé, le système d'encapsulation, etc. Les éléments extrinsèques peuvent être déterminés en mesurant les paramètres S dans des conditions spécifiques de polarisation.

3.2 Méthodologie d'évaluation du circuit équivalent extrinsèque.

Les éléments du circuit extrinsèque sont établis à partir des mesures des paramètres S réalisées sur des dispositifs avec la source et le drain court-circuités en c.c. (V_{DS}=0). Pour une tension de grille qui assure un canal ouvert (soit V_{GS}=0) nous pouvons déduire les valeurs des résistances et inductances parasites en utilisant la conversion des paramètres S en paramètres Z. Si le canal est fermé (tension de grille plus petite que la tension de seuil, soit V_{GS}=-5 V pour V_T~-3,5 V) les paramètres Y permettent de calculer les capacités parasites.

3.2.1 Calcul des résistances et des inductances parasites (V_{GS}=0)

Le circuit équivalent intrinsèque du dispositif, pour le même potentiel c.c. de source, drain et grille, est présenté à la figure 3.2.

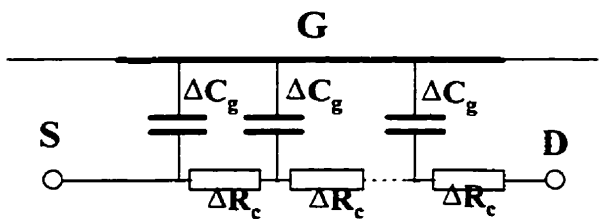


Figure 3.2: Circuit extrinsèque pour V_{DS}=V_{GS}=0

R_C est la résistance du canal et C_g est la capacité de grille (pour V_{GS} donnée). La partie résistive de l'impédance équivalente de grille peut être écrite comme R_g=(nkT)/(qI_g), où n est un facteur d'idéalité, k la constante de Boltzmann T la température et I_g le courant

de grille. Même pour des valeurs élevées de la fréquence, le terme résistif du Z_g (où $Z_g=R_g/(1+1/j\omega C_g R_g)$) est négligeable à cause des valeurs faibles du courant de grille I_g. Dans ce cas les paramètres Z du circuit de figure 3.2 sont:

$$\begin{aligned} z_{11} &= R_C/3 + 1/j\omega C_g \\ z_{12} &= z_{21} = R_C/2 \\ z_{22} &= R_C \end{aligned} \tag{3.1}$$

Si on ajoute les éléments parasites on obtient:

$$Z_{11} = R_S + R_G + R_C/3 + 1/j\omega C_g + j\omega(L_S+L_G) \tag{3.2}$$

$$Z_{12} = Z_{21} = R_S + R_C/2 + j\omega L_S \tag{3.3}$$

$$Z_{22} = R_S + R_D + R_C + j\omega(L_S+L_D) \tag{3.4}$$

Les inductances L_S, et L_D, résultent directement de la partie imaginaire des paramètres Z. La capacité C_g peut être mesurée, dans les mêmes conditions, par une technique C-V. Cela permet de calculer, à partir de l'expression (3.2), l'inductance L_G.

Avec R_C connue de mesures technologiques TLM (décrites dans le chapitre 6), les parties réelles de Z offrent les valeurs des résistances parasites R_S, R_G et R_D.

La linéarité des représentations $Re\{Z_{i,j}\}$ et $Im\{Z_{i,j}\}$ en fonction de fréquence et de V_{GS} (pour $V_{GS}>V_T$) assure la validation du modèle et les limites d'application.

3.2.2 Calcul des capacités parasites (V_{GS}=-5V)

Pour une tension de grille plus petite que la tension de seuil, il n'y a pas de conduction du canal, et la capacité intrinsèque de grille s'annule. Le circuit équivalent petit signal dans ce cas est présenté à la figure 3.3:

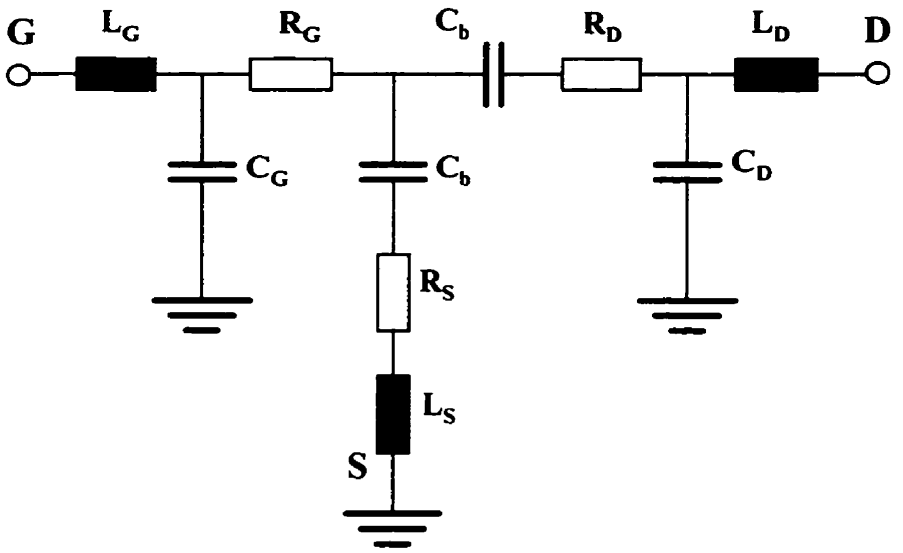


Figure 3.3: Circuit équivalent pour V_{DS}=0 et $V_{GS} < V_T$

C_b est la capacité marginale due à l'extension de la zone de charge spatiale induite par la tension de grille. Pour des fréquences allant jusqu'à quelques GHz, les résistances et les inductances n'influencent pas la partie imaginaire des paramètres Y qui peuvent être exprimés comme:

$$\mathrm{Im}\{Y_{11}\} = j\omega\,(C_G + 2C_b) \tag{3.5}$$

$$\mathrm{Im}\{Y_{12}\} = \mathrm{Im}\{Y_{21}\} = -j\omega\,C_b \tag{3.6}$$

$$\mathrm{Im}\{Y_{22}\} = j\omega\,(C_b + C_D) \tag{3.7}$$

Nous avons extrait les valeurs de C_G et C_D de même manière que pour les résistances et inductances. La marge de validité est établie par l'étude de la linéarité de la variation de $\mathrm{Im}\{Y_{ij}\}$ en fonction de la fréquence.

3.3 Calcul des paramètres intrinsèques

Pour établir les paramètres intrinsèques, pour n'importe quelles tensions de grille et de drain, on mesure les paramètres S. Après l'extraction des effets des éléments extrinsèques, déjà connus, la transformation en paramètres Y offrent les équations permettant de calculer les paramètres intrinsèques. Les 7 paramètres du circuit équivalent intrinsèque, présentés à la figure 3.4, sont C_{gd}, C_{gs}, C_{ds}, R_i, g_m, g_d, τ.

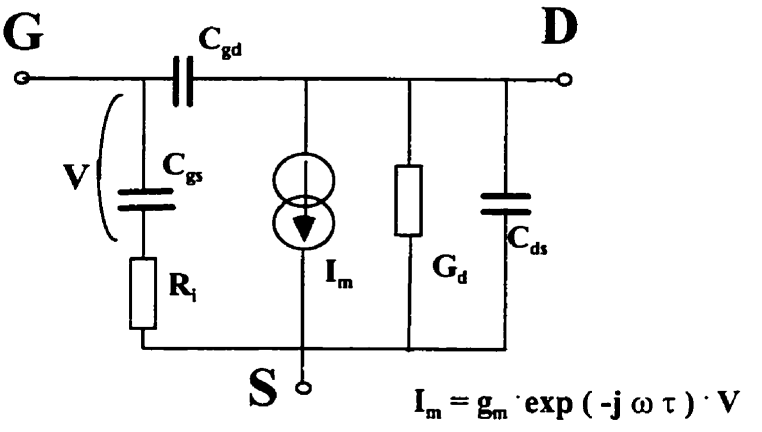


Figure 3.4: Circuit équivalent intrinsèque

Les paramètres Y en fonction des éléments du circuit intrinsèque sont:

$$y_{11} = (Ri\ C_{gs}^{2}\ \omega^{2}) / (1 + R_i\ C_{gs}^{2}\ \omega^{2}) + j\omega\ (C_{gs} / 1 + (R_i\ C_{gs}^{2}\ \omega^{2}) + C_{gd}) \quad (3.8)$$

$$y_{12} = -j\omega\ Cgd \quad (3.9)$$

$$y_{21} = [g_m \exp(-j\omega\tau)] / (1+j\omega\ R_i\ C_{gs}) - j\omega\ C_{gd} \quad (3.10)$$

$$y_{22} = g_d + j\omega\ (C_{ds} + C_{gd}) \quad (3.11)$$

Pour calculer les paramètres intrinsèques à partir des mesures expérimentales des paramètres S, nous devons éliminer l'effet des paramètres extrinsèques. L'extraction des éléments parasites extrinsèques suit un chemin semblable à celui parcouru pour calculer les éléments extrinsèques. Après avoir mesuré les paramètres S, une première transformation en paramètres Z permet l'élimination des inductances L_D et L_G, composants des parties imaginaires de Z_{11} et Z_{22}. Une nouvelle transformation en paramètres Y conduit à l'élimination des capacités parasites. En passant de nouveau en paramètres Z, nous pouvons extraire les derniers éléments extrinsèques, les résistances R_G, R_S, R_D et l'inductance parasite de source. La figure 3.5 présente le schéma suit pour éliminer les paramètres extrinsèques.

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$$

$$\downarrow \; S \rightarrow Z$$

$$\begin{bmatrix} Z_{11} - j\omega L_G & Z_{12} \\ Z_{21} & Z_{22} - j\omega L_D \end{bmatrix}$$

$$\downarrow \; Z \rightarrow Y$$

$$\begin{bmatrix} Y_{11} - j\omega C_G & Y_{12} \\ Y_{21} & Y_{22} - j\omega C_D \end{bmatrix}$$

$$\downarrow \; Y \rightarrow Z$$

$$\begin{bmatrix} Z_{11}-R_S-R_G-j\omega L_S & Z_{12}-R_S-j\omega L_S \\ Z_{12}-R_S-j\omega L_S & Z_{22}-R_S-R_D-j\omega L_S \end{bmatrix}$$

$$Z \rightarrow Y$$

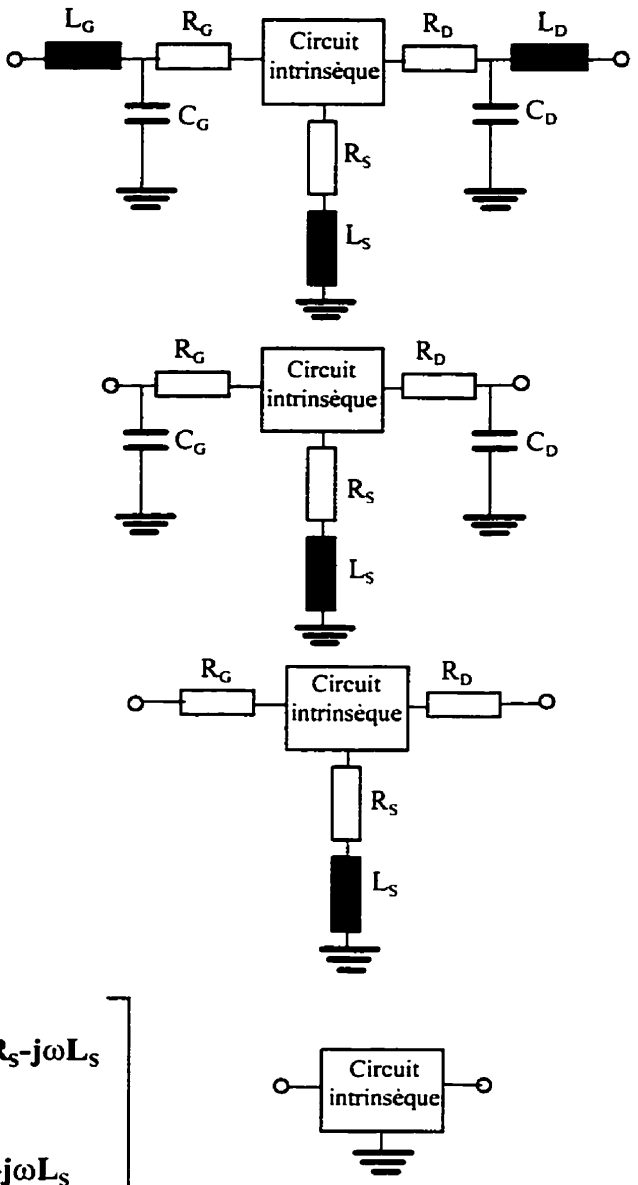


Figure 3.5: Extraction des paramètres extrinsèques

En utilisant les relations (3.8) à (3.11), après l'extraction des éléments extrinsèques, nous pouvons calculer les paramètres du circuit intrinsèque. Les relations (3.12) à (3.18) décrivent la dépendance des 7 éléments du circuit intrinsèque de paramètres Y.

$$C_{gd} = -\frac{\mathrm{Im}\{Y_{12}\}}{\omega} \tag{3.12}$$

$$C_{gs} = \frac{\mathrm{Im}\{Y_{11}\} - \omega \cdot C_{gd}}{\omega} \cdot \left[1 + \frac{\left(\mathrm{Re}\{Y_{11}\}\right)^2}{\left(\mathrm{Im}\{Y_{11}\} - \omega \cdot C_{gd}\right)^2} \right] \tag{3.13}$$

$$C_{ds} = \frac{\mathrm{Im}\{Y_{22}\} - \omega \cdot C_{gd}}{\omega} \tag{3.14}$$

$$R_i = \frac{\mathrm{Re}\{Y_{11}\}}{\left(\mathrm{Im}\{Y_{11}\} - \omega \cdot C_{gd}\right)^2 + \left(\mathrm{Re}\{Y_{11}\}\right)^2} \tag{3.15}$$

$$g_{ds} = \mathrm{Re}\{Y_{22}\} \tag{3.16}$$

$$g_m = \sqrt{\left[\left(\mathrm{Re}\{Y_{21}\}\right)^2 + \left(\mathrm{Im}\{Y_{21}\} + \omega \cdot C_{gd}\right)^2\right] \cdot \left(1 + \omega^2 \cdot C_{gs}{}^2 \cdot R_i{}^2\right)} \tag{3.17}$$

$$\tau = \frac{1}{\omega} \cdot \arcsin\left[\frac{-\omega \cdot C_{gd} - \mathrm{Im}\{Y_{21}\} - \omega \cdot C_{gs} \cdot R_i \cdot \mathrm{Re}\{Y_{21}\}}{g_m} \right] \tag{3.18}$$

Pour établir les limites du modèle nous avons répété le calcul des paramètres intrinsèques pour différentes fréquences, dans les mêmes conditions de polarisation. Le modèle est accepté si nous obtenons les mêmes valeurs pour chaque paramètre. Pour étudier l'effet de la polarisation, nous avons répété la même procédure pour différentes conditions de polarisation de drain et de grille. À la figure 3.6 on présente la méthodologie utilisée pour la modélisation des HIGFETs.

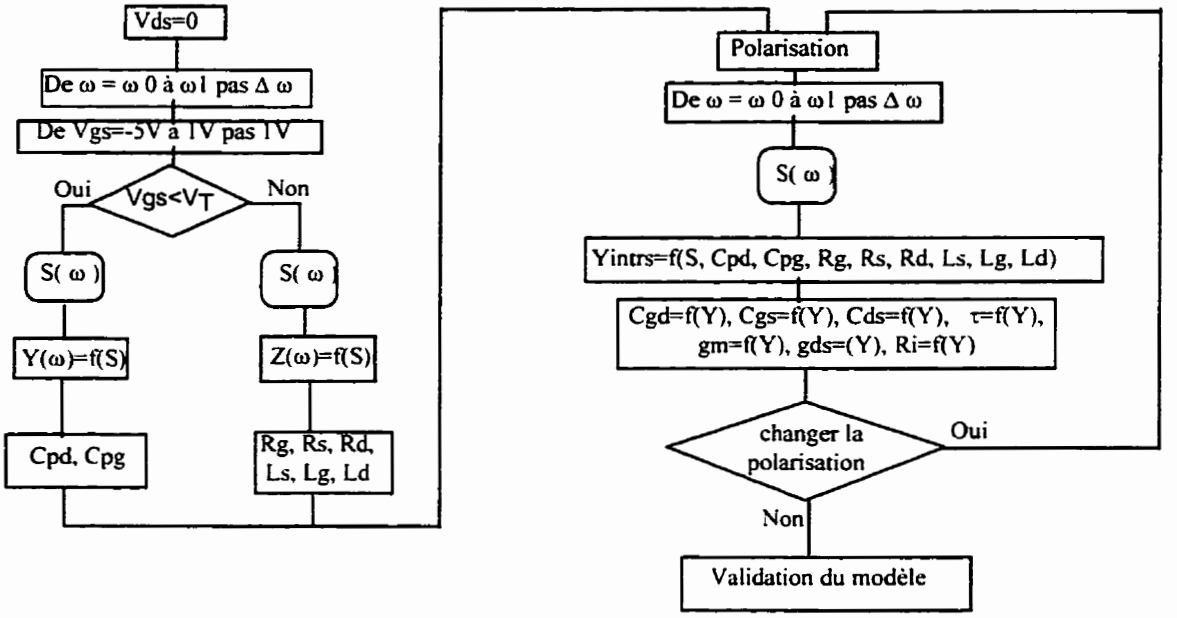


Figure 3.6: Déduction expérimentale du modèle du HIGFET

Pour rédiger les modèles des HIGFETs nous avons utilisé des structures de test dédiées. Il s'agit des transistors de différentes géomètries avec les pads de test à coté de structures. Dans cette situation, les éléments extrinsèques devraient avoir des valeurs négligeables. En effet, les résultats obtenus ont montré des valeurs réduites dont la

variation était plutôt l'image des erreurs de mesure ou des déficiences de calibration. Les seuls éléments extrinsèques significatifs ont été les résistances série de source et drain, R_S et R_D, qui ont des valeurs d'environ 2 Ω. Elles sont dues à la conduction entre les contacts ohmiques de source/drain et le canal effectif du HIGFET. R_S et R_D présentent une sensibilité accentuée au niveau de polarisation et une variabilité pendant le temps à cause de la modulation de la conductance du canal 2DEG.

Une fois la technique de mesure établie, les paramètres S mesurés ont été directement utilisés pour déduire le circuit intrinsèque. Nous avons calculé les sept éléments du circuit équivalent petit signal (C_{gs}, C_{gd}, C_{ds}, τ, g_m, g_d, R_i) pour un domaine de fréquence entre 30 MHz et 3 GHz et les niveaux c.c. d'intérêt pour V_{DS} et V_{GS}. Par exemple, pour les dispositifs avec une tension de seuil d'environ -3 V, V_{GS} a été balayée entre -2 V et +1 V. Nous avons varié la tension de drain entre 0 et 5 V.

Le spectre des résultats obtenus au cours des travaux a été très large (plus de 30 lots de dispositifs fabriqués dans des différentes conditions technologiques, de conception et de structure). Par la suite, nous présentons quelques remarques générales concernant les résultats obtenus et, dans la section suivante, nous décrirons une étude plus approfondie de la variabilité des paramètres du circuit équivalent en fonction de la fréquence et la polarisation.

Pour les capacités C_{gs}, C_{gd}, C_{ds} ainsi que pour la conductance de sortie g_{ds} la dispersion des valeurs obtenues est relativement réduite (surtout pour les fréquences plus grandes que 300 MHz). La transconductance g_m, la résistance R_i et la constante τ, présentent une dépendance plus accentuée de fréquence, ce que montre la nécessité de développer un modèle plus complexe pour la simulation de la source commandée en courant. Les valeurs moyennes obtenues sont présentées au tableau suivant.

Tableau 3.1: Valeurs moyennes des éléments du circuit équivalent

C_{gs} [pF]	C_{gd} [pF]	C_{ds} [pF]	R_i [Ω]	τ [ps]	g_m [mS]	g_d [mS]
0,5	0,05	0,5	3-5	30-80	10-50	0,2

3.4 Influence de la polarisation et de la fréquence sur les éléments du circuit équivalent

Dans cette section nous présentons une analyse de la variabilité des 7 paramètres du circuit équivalent intrinsèque du HIGFET en fonction de la fréquence et de la polarisation.

Pour garder la consistance de la présentation, tous les résultats sont obtenus à partir de mesures réalisées sur le même lot de dispositifs, le lot SH9. Même si les performances des transistors du lot SH9 ne sont pas les meilleures que nous avons obtenues, nous avons choisi ce lot à cause des études exhaustives effectuées sur ce lot. SH9 a été le premier lot de fabrication qui a offert des bonnes performances électriques et qui a permis, pour la première fois, de réaliser un échantillonnage correct à 1 GHz.

Pour chaque des 7 éléments du circuit équivalent, nous avons réalisé des mesures dans un domaine de fréquence de 30 MHz à 3 GHz (la limite supérieure imposée par les équipements de mesure disponibles). Les dispositifs du lot SH9 ont eu des tensions de seuil comprises entre -1,9 V et -2,1 V et la transconductance maximale à V_{GS}=0,5 V. En conséquence, nous avons varié la polarisation de grille entre -1,5 V et 1V avec un pas de 0,5 V. La tension de drain a été modifiée entre 1 V et 5 V avec le pas de 1 V.

Par la suite, pour chaque de 7 paramètres intrinsèques, nous présentons la variation en fonction de la fréquence pour trois valeurs de la tension de drain et trois valeurs de la polarisation de grille. Pour les mêmes raisons de la consistance de la présentation, sur chaque graphique montré, les valeurs de la tension de grille, V_{GS}, ont été -1 V, -0,5 V et +1 V à la même tension de drain, V_{DS}=3 V. Pour l'étude de l'effet de la tension de drain les valeurs de V_{DS} ont été 1 V, 3 V et 5 V et la tension de grille a été gardée à V_{GS} =-0,5 V. Tous les transistors pour cette étude ont eu une grille d'une longueur de 2 μm et une largeur de 250 μm.

Les figures 3.7 et 3.8 montrent la variation de C_{gs}. La capacité a une valeur d'environ 1.4 pF. Comme on pouvait s'attendre, c'est seulement la tension de grille qui influence la valeur de C_{gs}, la loi de variation étant non-linéaire (probablement de type $1/\sqrt{x}$).

Pour différentes valeurs de la tension de drain (figure 3.7) et tout le domaine de fréquence, la variation de la capacité de grille est plus petite que 30%. Plus importante est la variation de la capacité en fonction de fréquence pour différentes polarisations de grille. Pour des valeurs réduites de la fréquence ($f < 1$ GHz), l'influence de la tension V_{GS} est insignifiante, tandis que la variabilité de la capacité est maximale à 3 GHz.

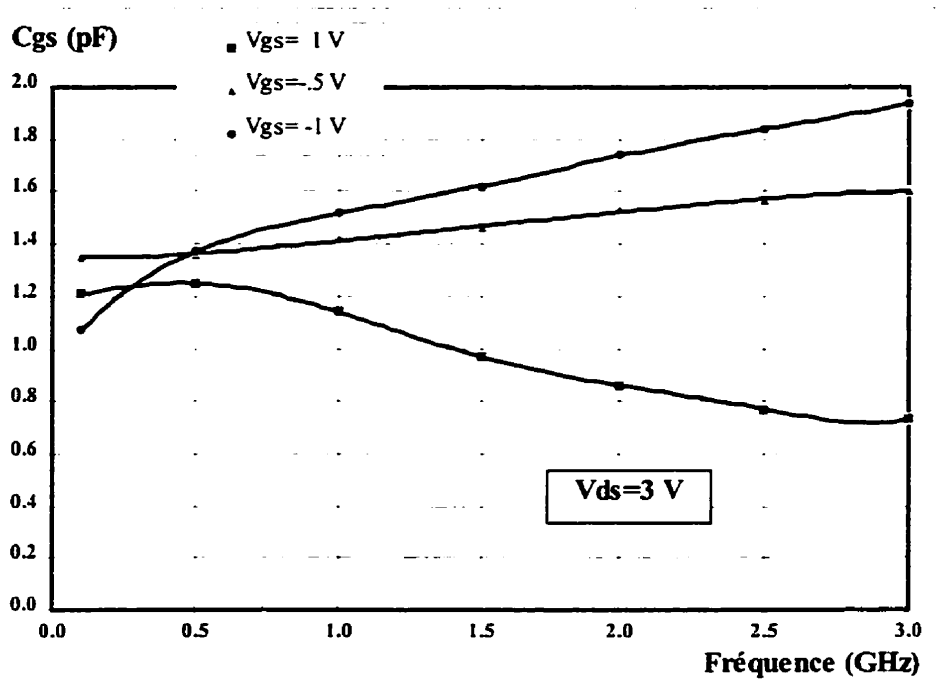


Figure 3.7: Influence de la fréquence et de la tension de grille sur C_{gs}

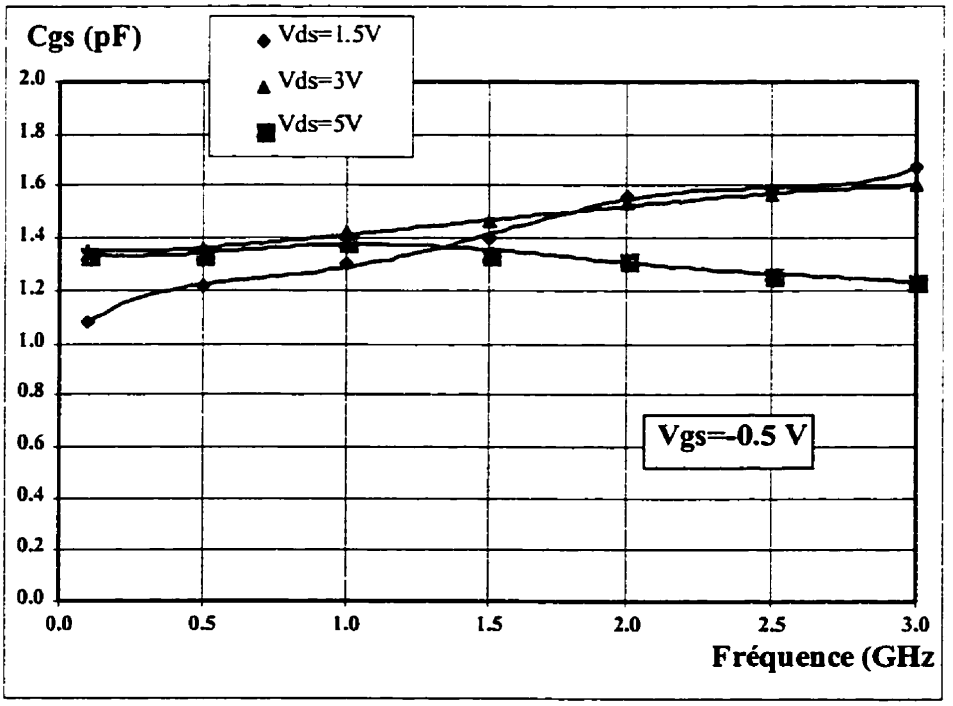


Figure 3.8: Influence de la fréquence et de la tension de drain sur C_{gs}

Les figures 3.9 et 3.10 montrent l'influence de la fréquence et de la polarisation sur la capacité grille/drain, C_{gd}. La variation de la capacité grille/drain est plus complexe. Toutes les deux tensions de polarisation semblent influencer la variation de C_{gd}. La capacité augment avec l'augmentation de la tension de grille et diminue avec l'augmentation de la tension drain, bien que ce dernier phénomène soit moins important. De nouveau, les résultats obtenus sont consistants avec une loi de variation de type $1/\sqrt{x}$, cette fois concernant la tension drain/grille. Nous pouvons conclure que la loi de variation avec la polarisation des deux capacités analysées, Cgs et Cgd, est de type:

$$C_{gy} = \frac{C_{gy0}}{\sqrt{1 - \frac{V_{gy}}{V_d}}} \tag{3.19}$$

où y correspond au drain ou à la source et Vd est le potentiel de diffusion.

Il y a quelques asymétries concernant la variation des capacités. Le potentiel de grille semble avoir une plus grande influence que celui de drain ou de source, ce qui montre un domaine plus mince de linéarité pour la tension V_{GS}. La valeur moyenne de la capacité de drain est d'environ 0,25 pF, bien plus petite que celle de grille. Une telle différence ne peut pas être expliquée seulement par la différence de polarisation des électrodes et suggère une division asymétrique de la capacité du canal entre les deux capacités limite (C_{gy0} dans l'expression (3.19)). En plus, le modèle donné par l'expression (3.19) est plus adapté aux fréquences élevées (f > 1,5 GHz) en ce qui concerne C_{gs} et plutôt aux fréquences réduites pour C_{gd} (f < 1 GHz).

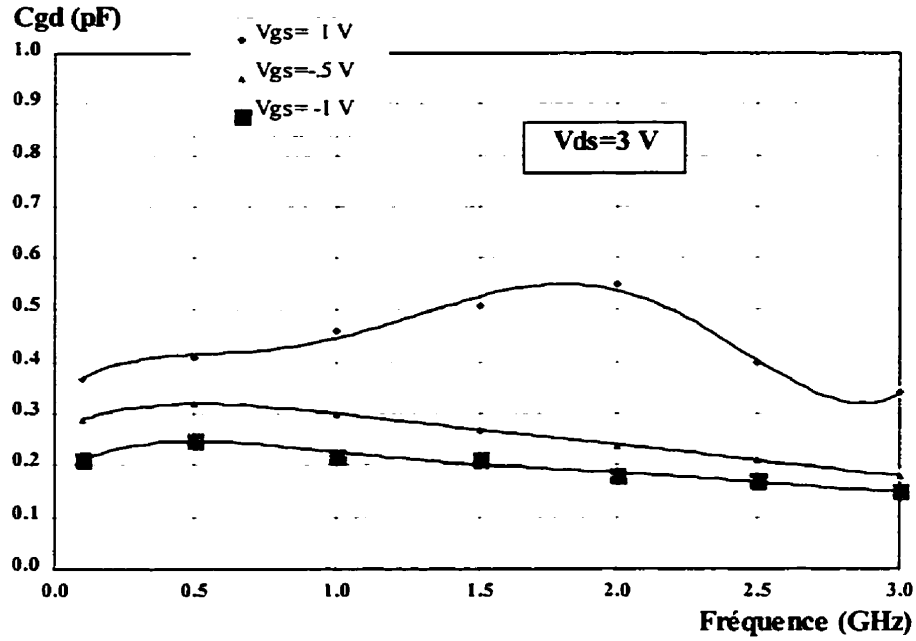


Figure 3.9: Influence de la fréquence et de la tension de grille sur C_{gd}

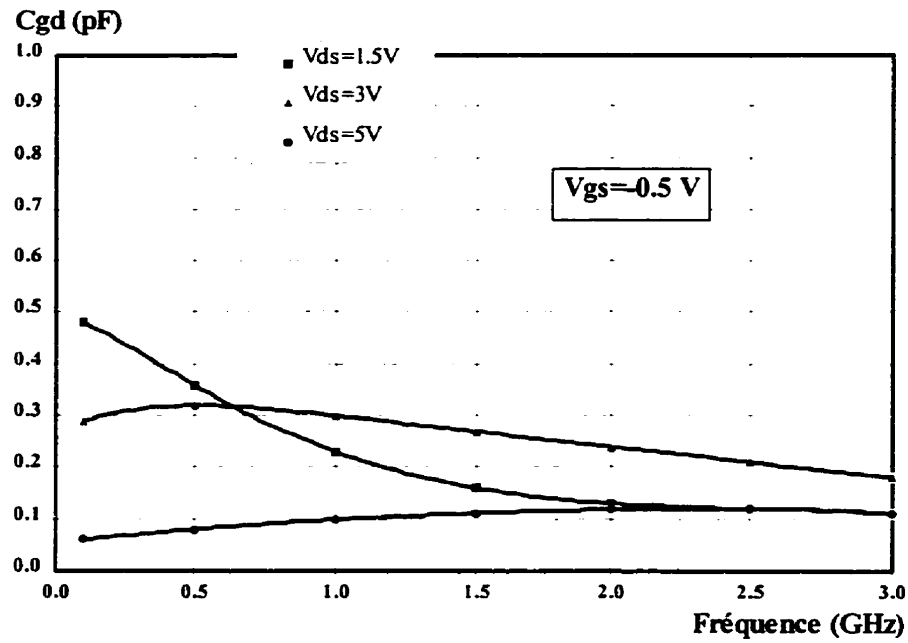


Figure 3.10: Influence de la fréquence et de la tension de drain sur C_{gd}

La valeur de la capacité drain/source, C_{ds}, est assez constante pour tout le domaine de fréquence et de polarisation. Figures 3.11 et 3.12 montrent une capacité Cds ~ 0,45 pF. La seule exception est reliée aux valeurs maximales de polarisation (V_{GS}=1 V et V_{DS}=3 V) où la capacité est réduite à 0,2 pF. La variation de C_{ds} pour des fréquences plus petites que 0,5 GHz est, probablement, due au système de mesure.

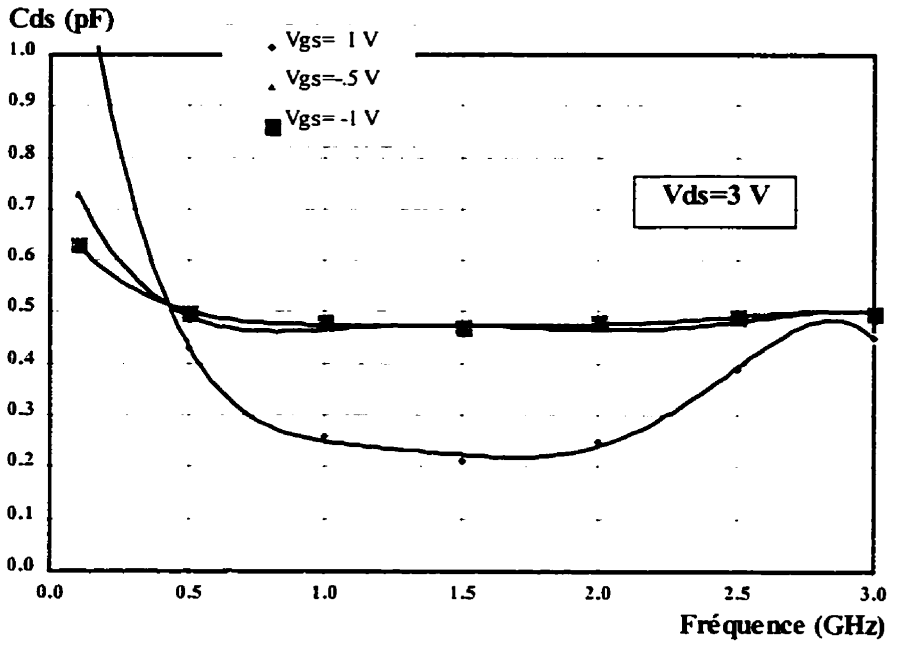


Figure 3.11: Influence de la fréquence et de la tension de grille sur C_{ds}

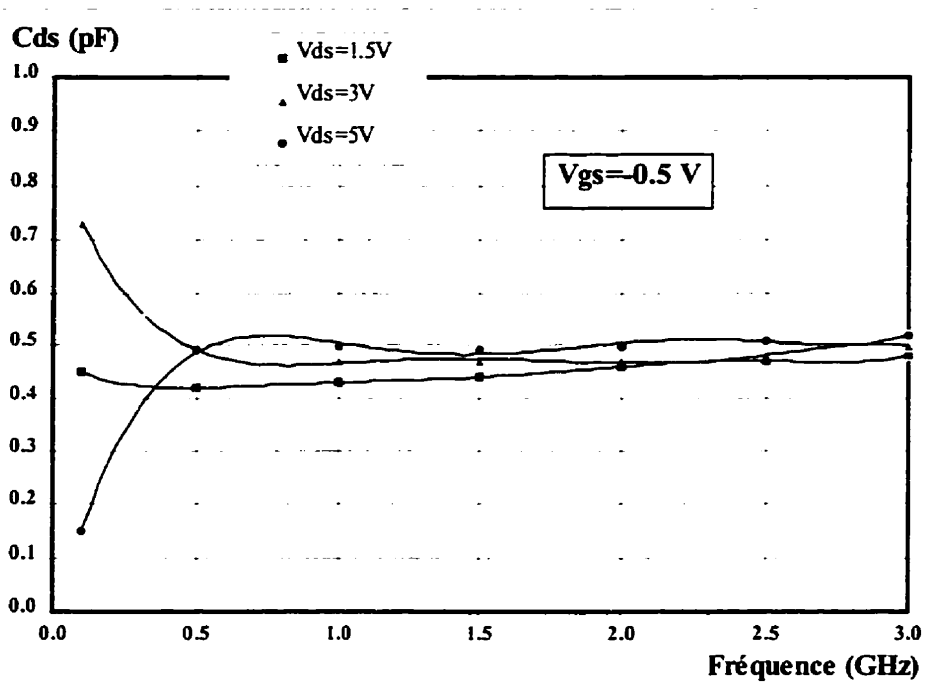


Figure 3.12: Influence de la fréquence et de la tension de drain sur C_{ds}

Les figures 3.13 et 3.14 montrent une résistance R_i d'environ 4,5 Ω et qui est presque constante pour une fréquence plus grande que 1 GHz. Pour le domaine des fréquences plus petites que 1 GHz la valeur de R_i augmente, surtout pour un champ électrique transversale faible (V_{DS} petite). R_i n'a aucun sens physique, surtout pour la structure HIGFET, et la consistance générale de cette modélisation empirique est presque étonnante. Nous devons spécifier que cette constance de R_i caractérise tous les dispositifs fabriqués dans la même technologie que SH9 (plus de 10 lots), mais montre une variation plus accentuée avec la fréquence pour des structures différentes des HIGFETs. Cela indique, encore une fois, le caractère empirique de la modélisation.

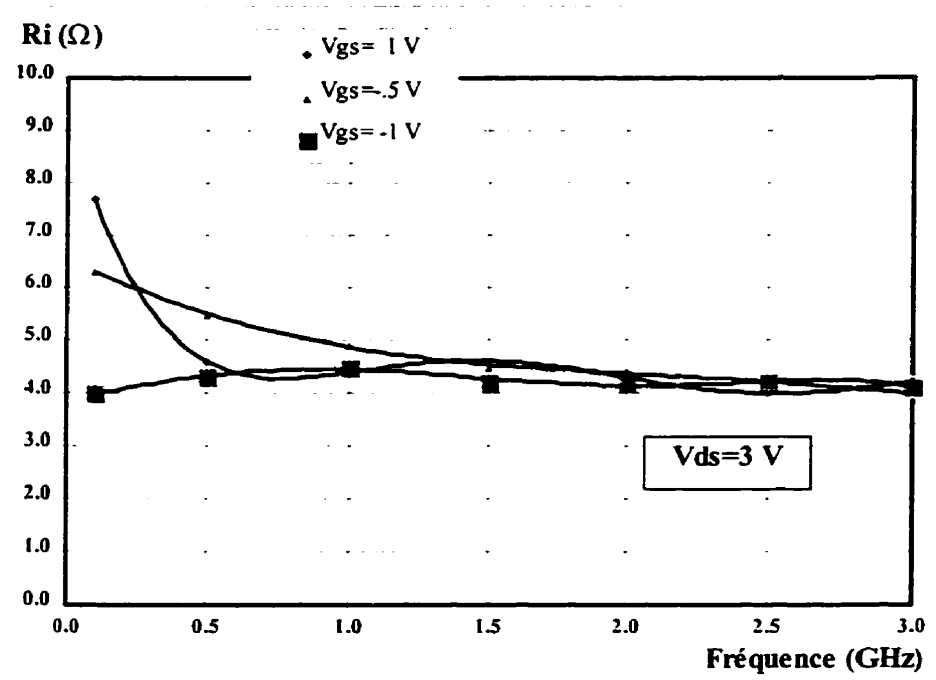


Figure 3.13: Influence de la fréquence et de la tension de grille sur R_i

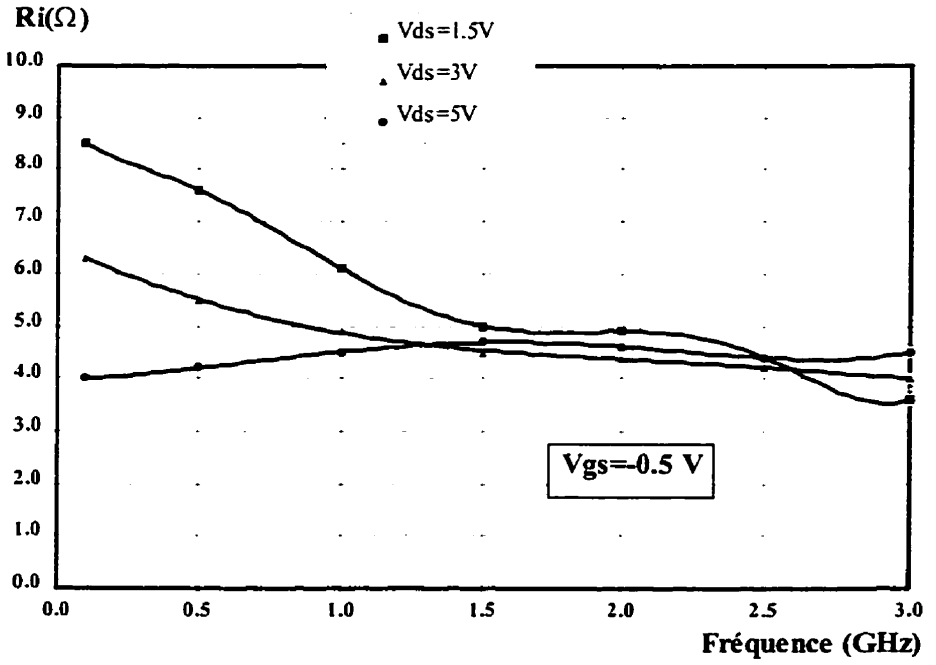


Figure 3.14: Influence de la fréquence et de la tension de drain sur R_i

La variation du paramètre g_m est montrée aux figures 3.15 et 3.16. G_m est de l'ordre de 5 mS à 10 mS et augmente avec la fréquence et la valeur absolue des tensions de polarisation. Pour des tensions positives de grille et une tension de drain de 5 V, g_m peut atteindre 50 mS.

Les valeurs moyennes de la conductance de sortie, g_d, sont comprises entre 0.1 et 0.3 mS et sont présentées aux figures 3.17 et 3.18. G_d a une faible dépendance de la fréquence (augmente quand la fréquence augmente) et des tensions de polarisation. Pour l'augmentation de la tension de drain, la tendance de g_d est de diminuer et, quand V_{GS} augmente, g_d augmente aussi. Pour des valeurs positives de V_{GS}, g_d montre une variation plus accentuée, probablement due aux phénomènes de saturation de drain.

La variation de la constante de temps τ est présentée aux figures 3.19 et 3.20. Les valeurs de τ sont comprises entre 50 ps et 80 ps, assez grandes pour un dispositif destiné au domaine des micro-ondes. Un tel retard introduira une déformation significative de la forme des signaux aux fréquences élevées. Les raffinements technologiques, réalisés pour les transistors ultérieurement fabriqués aux lots de type SH9, ont apporté une diminution de τ à des valeurs de l'ordre de 10 ps.

La constance en fréquence de τ est remarquable, et l'exception de la caractéristique pour V_{DS} = 3 V et V_{GS} = -1 V est probablement due à une erreur de mesure. Dans tous les cas τ diminue avec l'augmentation des valeurs de polarisation. Une valeur plus grande de V_{DS} implique une mobilité plus grande des électrons (dépendance de champ électrique du μ) et l'augmentation de V_{GS} augment le nombre des électrons libres. Dans les deux cas le retard du signal est réduit.

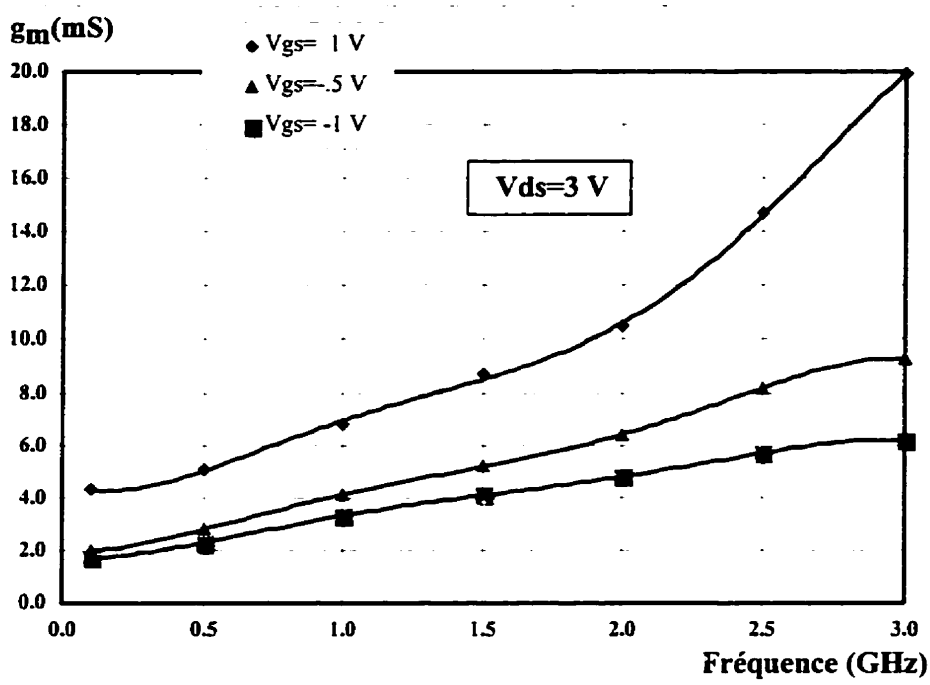


Figure 3.15: Influence de la fréquence et de la tension de grille sur g_m

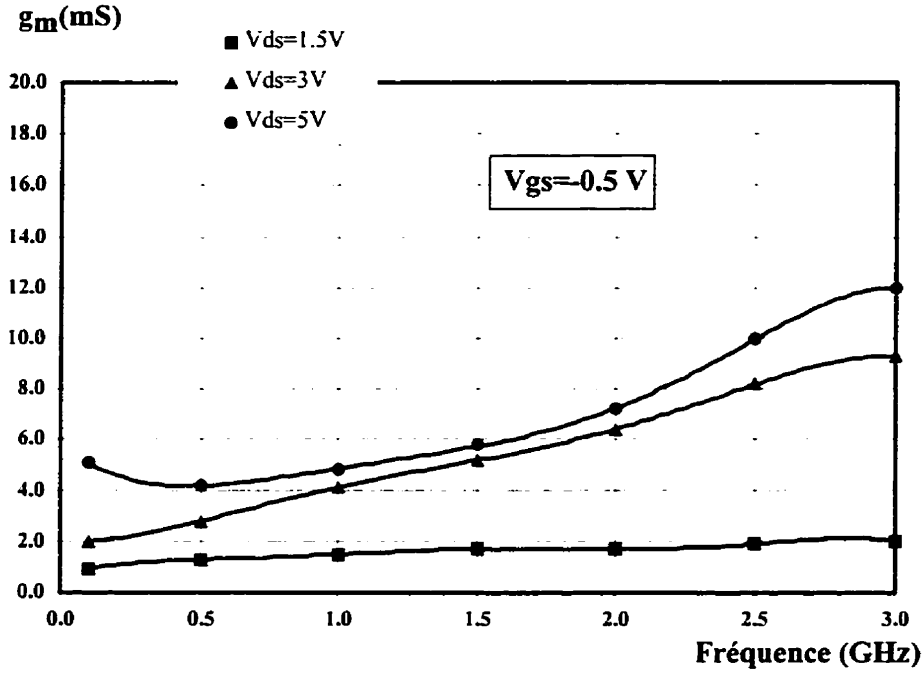


Figure 3.16: Influence de la fréquence et de la tension de drain sur g_m

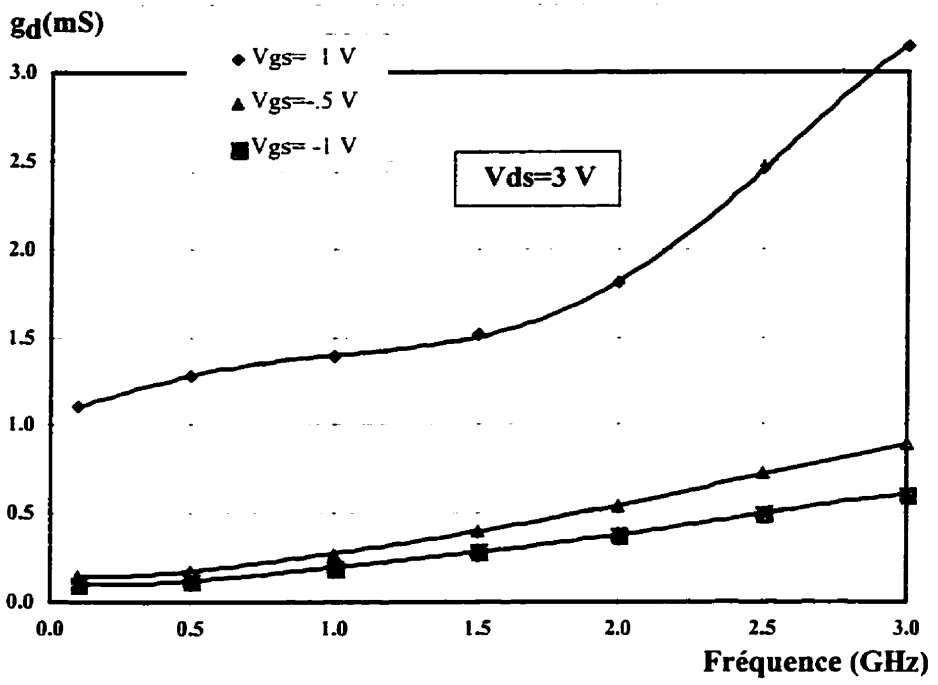


Figure 3.17: Influence de la fréquence et de la tension de grille sur g_d

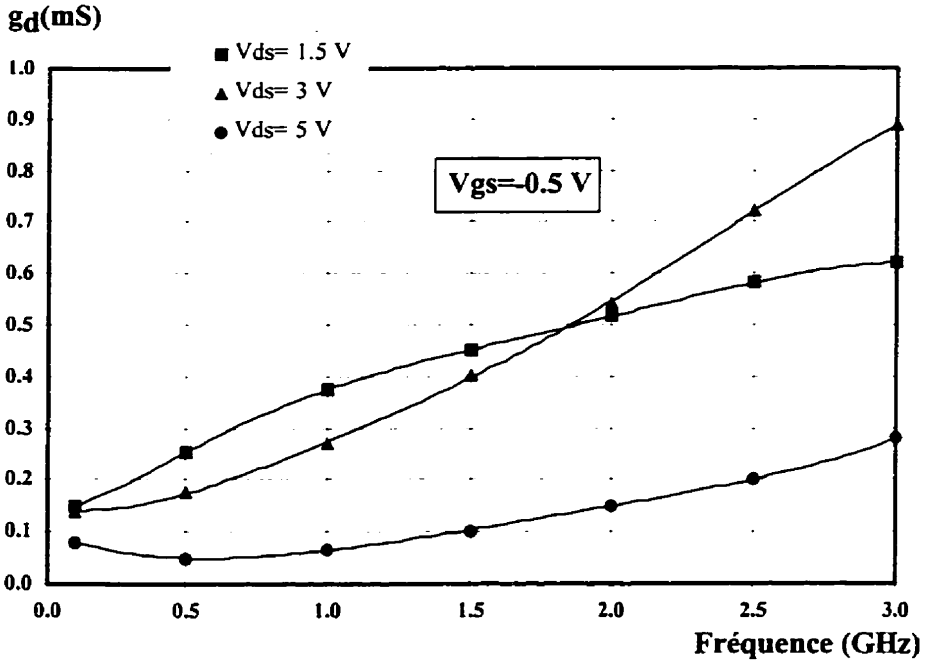


Figure 3.18: Influence de la fréquence et de la tension de drain sur g_d

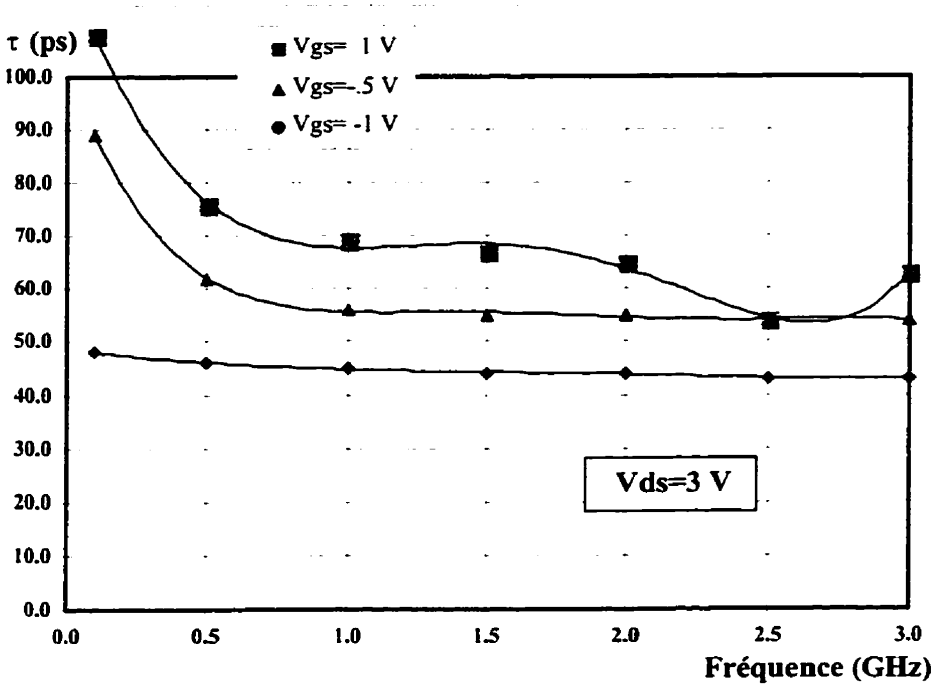


Figure 3.19: Influence de la fréquence et de la tension de grille sur τ

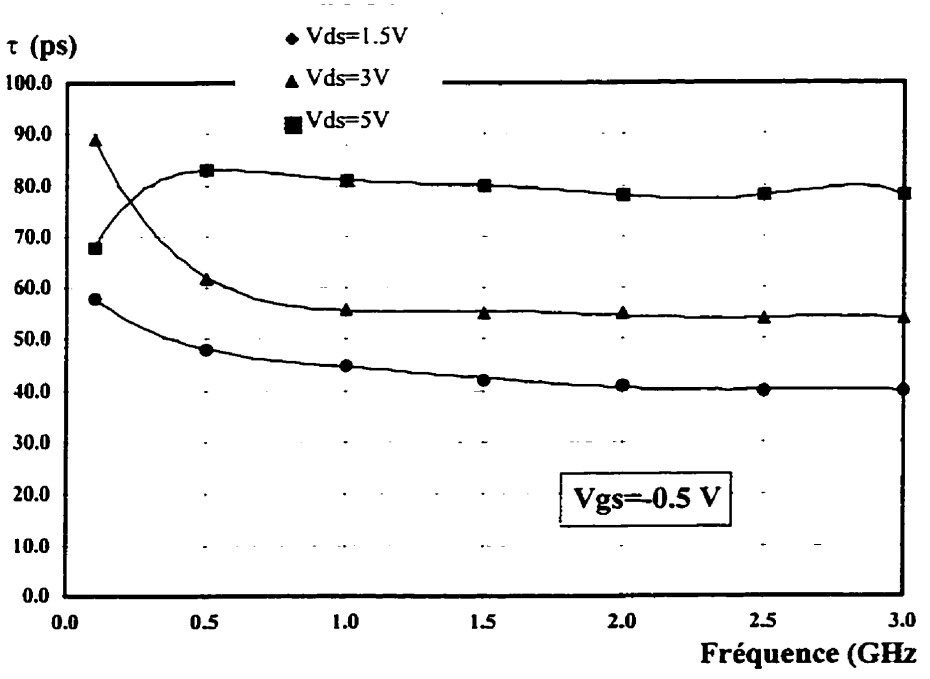


Figure 3.20: Influence de la fréquence et de la tension de drain sur τ

3.5 Impédance d'entrée et de sortie du HIGFET

L'utilisation pratique d'un modèle grand signal sans un logiciel adéquat peut se rendre inefficace. C'est le motif pour lequel nous avons développé des modèles simplifiés, avec des éléments linéaires, pour des applications spécifiques. Dans cette section nous présentons les résultats obtenus par la modélisation la plus simple possible des circuits d'entrée et de sortie du HIGFET. L'entrée est décrite par un circuit RC série, la sortie par un circuit RC parallèle et la fonction du transistor par le gain en puissance, comme il est présenté à la figure 3.21. Tous les éléments sont calculés, encore une fois, à partir des paramètres S expérimentaux.

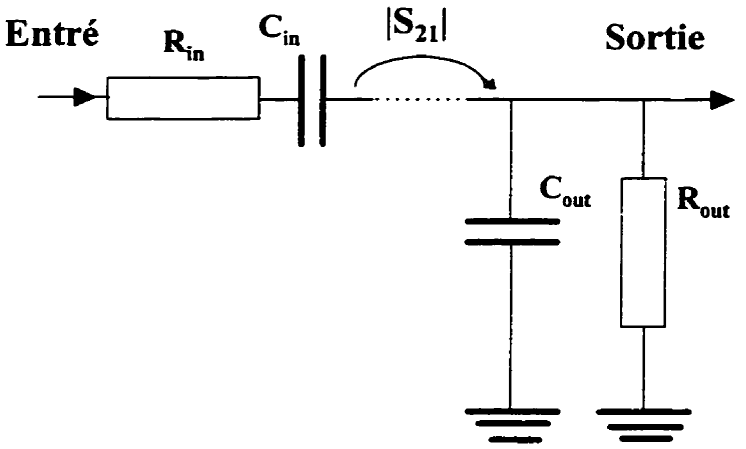


Figure 3.21: Modèle réduit du HIGFET

Les figures 3.22 à 3.26 décrivent graphiquement la variation, en fonction de la fréquence, des cinq paramètres du modèle: la résistance et la capacité d'entrée, la résistance et la capacité de sortie et le gain.

Tous les deux capacités, d'entrée et de sortie, ont une valeur près de 0,6 pF. La résistance d'entrée est d'environ 50 Ω et celle de sortie et de l'ordre de 400 Ω. Le gain atteint une valeur maximale de 5 dB.

Les paramètres du modèle ont une variabilité plus accentuée pour les valeurs réduites des fréquences (f<1.5 GHz). En terme général, les résistances sont plus sensibles aux valeurs de la fréquence.

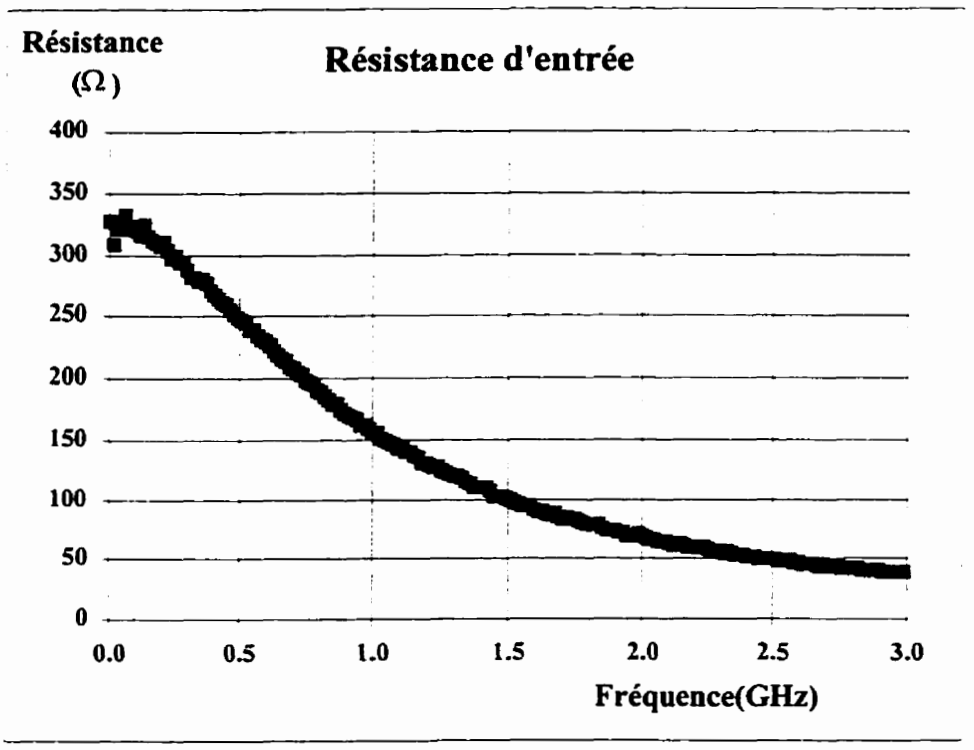


Figure 3.22: Variation avec la fréquence de la résistance d'entrée

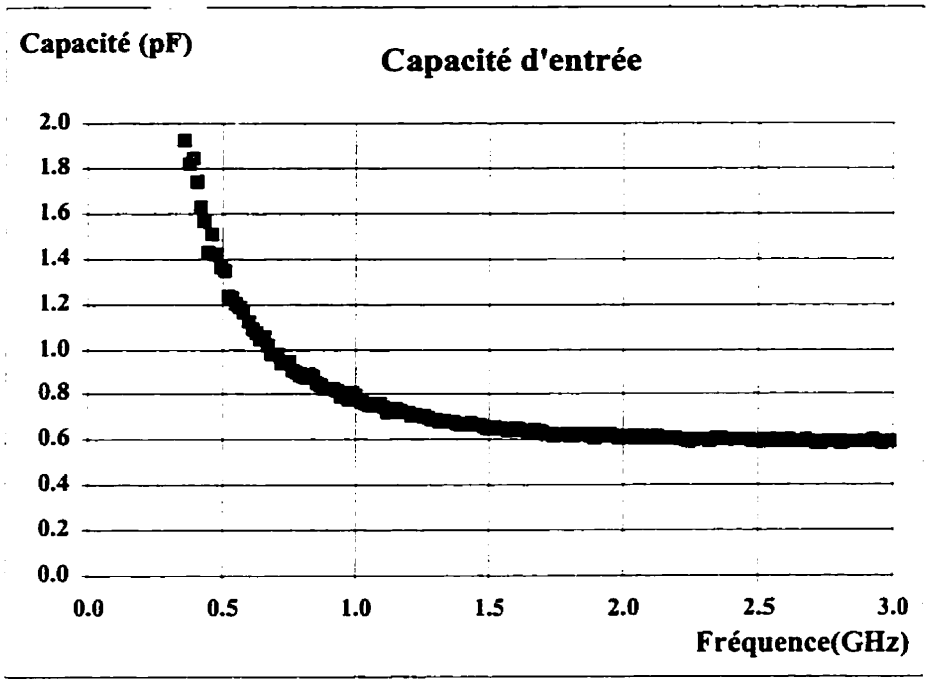


Figure 3.23: Variation avec la fréquence de la capacité d'entrée

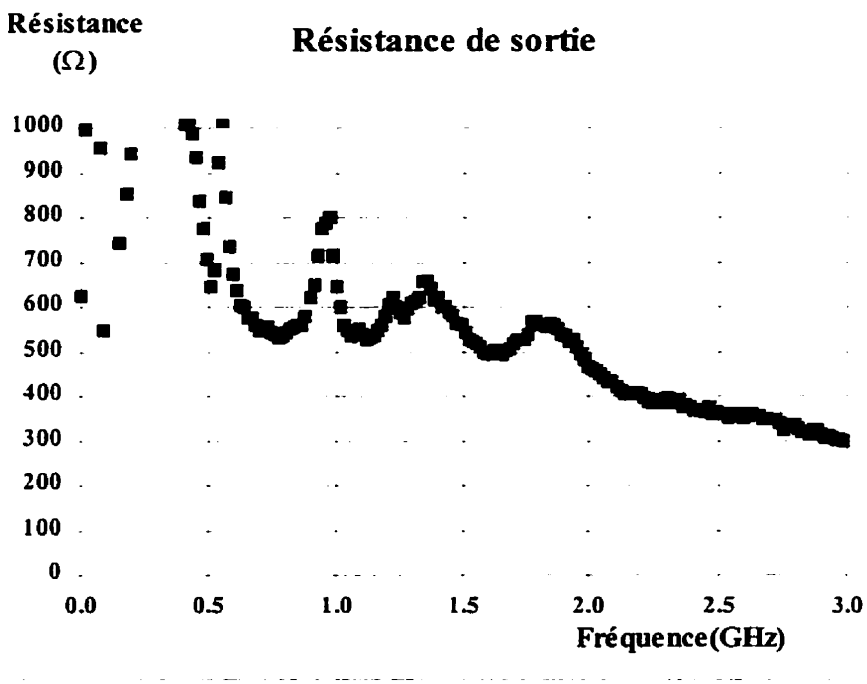


Figure 3.24: Variation avec la fréquence de la résistance de sortie

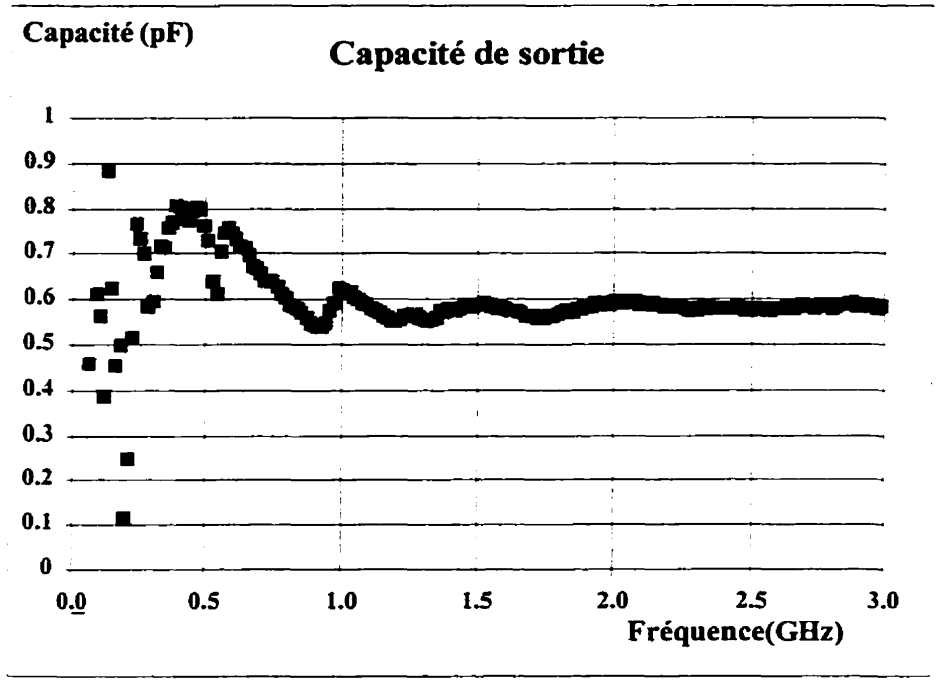


Figure 3.25: Variation avec la fréquence de la capacité de sortie

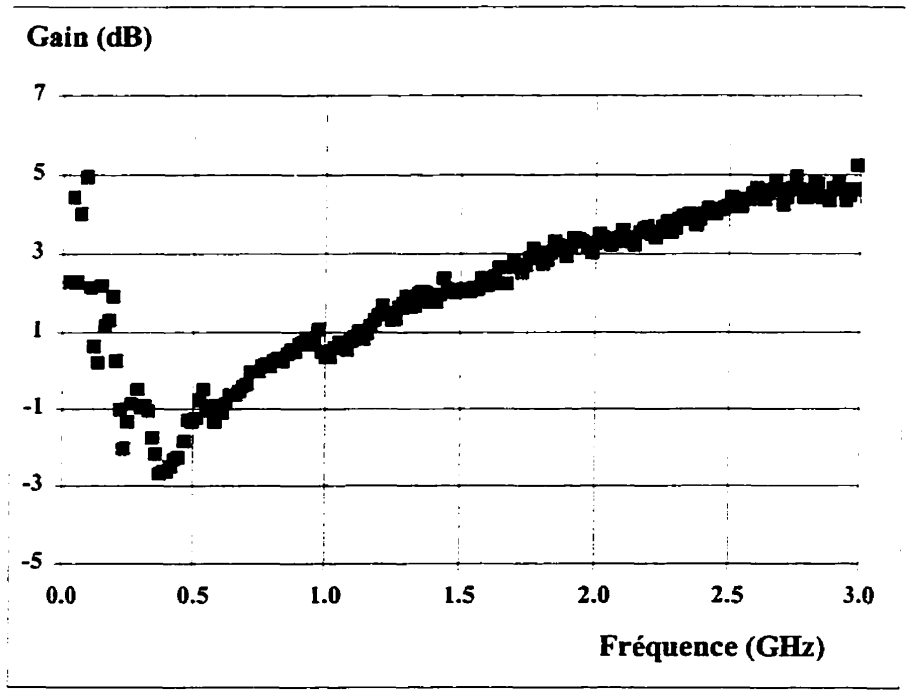


Figure 3.26: Variation avec la fréquence du gain

Chapitre 4

Conception des circuits d'échantillonnage-blocage

4.1 Acquisition des données basée sur des circuits d'échantillonnage-blocage

Les systèmes d'acquisition des données à grande vitesse permettent l'acquisition, la mémorisation et la conversion numérique d'un signal analogique d'entrée à haute fréquence. Le système visé par ce projet doit permettre l'échantillonnage à très grande vitesse (1-10 Gsps) du signal analogique d'entrée dont la fréquence peut atteindre 5 GHz. Il doit aussi mémoriser l'information qui varie dans le temps, et faire une lecture lente à la sortie, à une fréquence compatible avec les circuits conventionnels sur Si. En quelque sorte, ce système acquiert le signal à haute fréquence tout en agissant comme interface entre les composants à haute et à basse fréquence du système.

Nous avons considéré deux approches pour une telle acquisition de données, et il en résulte deux types de dispositifs. La première est une approche sérielle, utilisant un dispositif à transfert de charge (CCD) qui convertit un signal d'entrée en paquets de charge équivalents. La deuxième est une approche parallèle, utilisant des circuits d'échantillonnage-blocage (É&B), où un groupe de FETs à grande vitesse, agissant en interrupteurs, échantillonnent un signal d'entrée et mémorisent cette information en chargeant des capacités de stockage.

Malgré le plus grand niveau d'intégration, l'approche sérielle avec des CCD s'est révélée moins performante, essentiellement dû aux problèmes technologiques. Les tests sur les dispositifs CCD, fabriqués sur la même structure semi-conductrice, ont montré une très

faible résolution (<2 bits) et un mauvais rapport signal/bruit. L'argument principal en faveur de la solution É&B est la fréquence d'échantillonnage offerte, qui est plus élevée. Pour une fréquence limite imposée par le matériel semi-conducteur et la technologie de fabrication disponible, un circuit CCD à quatre phases a une fréquence maximale d'échantillonnage quatre fois plus petite que la fréquence maximale d'un circuit É&B.

La figure 4.1 montre le schéma de principe de l'acquisition des données à partir des circuits É&B. Essentiellement, chaque É&B joue le rôle de l'une des cellules du CCD. On échange la simplicité de disposition et d'interconnexion du CCD contre la facilité électronique d'échantillonner à haute résolution et à bas bruit du É-B.

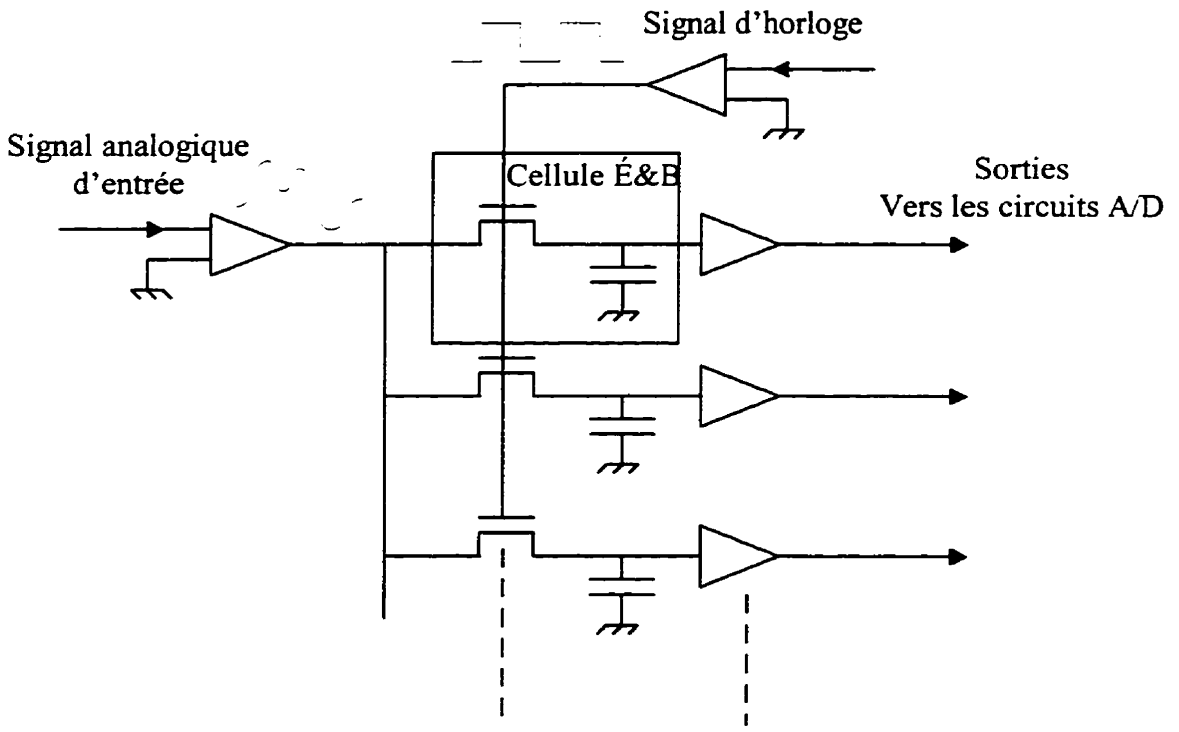


Figure 4.1: Acquisition de données avec des circuits É&B

Le fonctionnement du circuit consiste dans l'ouverture séquentielle des cellules É&B par un signal d'horloge. Pendante la période qu'une cellule est ouverte, le signal analogique

d'entrée est mémorisé sur la capacité de stockage de la cellule respective. La lecture et la conversion A/D de l'information stockée peut être faites ensuite, à une vitesse plus réduite, mais avant un nouveau cycle d'acquisition.

Un certain nombre de cellules d'échantillonnage-blocage connectées en parallèle, tel que montré à la figure 4.2, servent à accomplir la procédure d'échantillonnage voulue. La figure 4.2 est un schéma simplifié de l'architecture du système d'acquisition du signal. Il est à noter que le dessin indique un grand nombre de convertisseurs analogiques/numériques (A/D). Ceci est approprié pour la phase test du projet mais dans le circuit final, il y aura un multiplexeur/démultiplexeur pour aiguiller le signal d'intérêt sur le convertisseur de haute précision (12 bits ou plus).

Le module d'acquisition de données à haute vitesse est un système hybride constitué d'un circuit générateur de signaux d'horloge et de contrôle, des cellules d'échantillonnage, et de l'interface A/D et des mémoires.

Les circuits affectés à l'interface A/D et aux mémoires ont une fréquence de travail relativement réduite. Ils peuvent être fabriqués à base de composant sur Si et ne font pas l'objectif de ce projet.

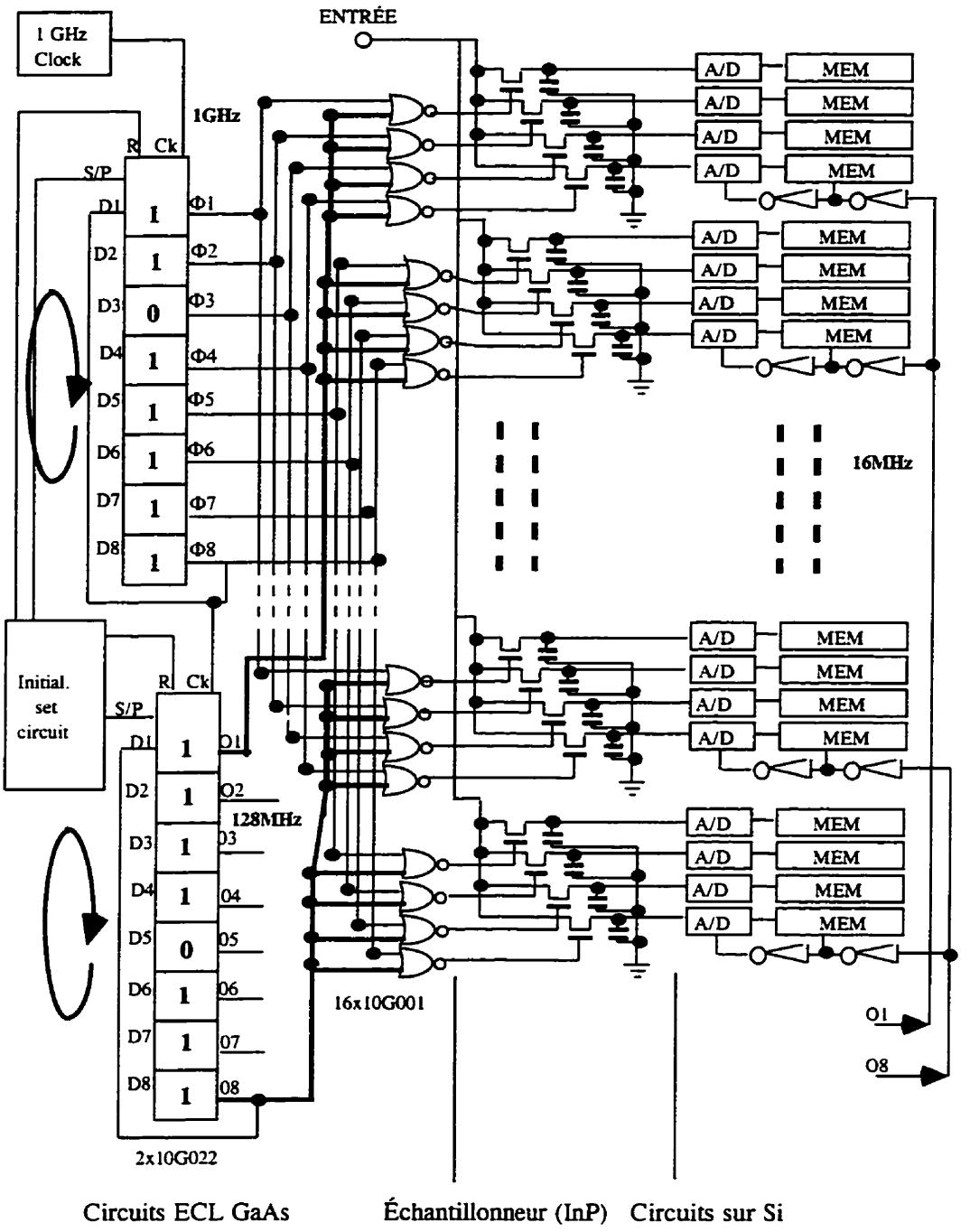


Figure 4.2: Architecture du système d'acquisition des données

En ce qui concerne les circuits d'échantillonnage et d'horloge, la solution adoptée doit permettre le fonctionnement à haute fréquence. L'effort principal des travaux effectués a été concentré sur la fabrication des cellules É&B dans une technologie HIGFET. Toutefois, nous avons étudié la faisabilité des circuits numériques dans la même technologie. Ces circuits sont destinés à réaliser tous les fonctions du module d'horloge et peuvent être intégrés sur le même dé avec les circuits É&B. Une solution complémentaire est d'équiper les circuits d'horloge avec des dispositifs commerciaux ECL sur GaAs qui peuvent travailler jusqu'à 2 GHz et de limiter les circuits fabriqués sur InP à l'intégration des cellules É&B.

Deux modes de fonctionnement sont envisagés pour l'échantillonnage du signal d'entrée. Dans le premier mode, une seule cellule É&B échantillonne le signal à chaque cycle d'horloge, tandis que les autres cellules sont fermées (l'état de blocage). Nous appelons cela le mode d'échantillonnage simple.

Pour une horloge maîtresse fonctionnant à coefficient de remplissage de 50%, cela implique que les HIGFETs d'échantillonnage sont ouverts pendant la moitié du cycle d'horloge du système (donné par la fréquence f_s). La capacité de stockage doit être capable de suivre le signal pendant cet intervalle de temps et de le bloquer pour l'opération de lecture. Cependant, puisque la capacité nécessite un certain temps de monté avant d'atteindre la valeur du signal à suivre, la sortie ne devient valide qu'après un certain intervalle de temps (Δt_0). Si Δt_0 devient comparable à $(f_s^{-1})/2$, ce qui est le cas à haute fréquence, la capacité ne pourra pas suivre le signal d'entrée correctement.

L'autre approche sera donc de permettre des temps de délai suffisants à l'aide de signaux chevauchés de contrôle, déphasés au préalable entre eux. Cela permet à un groupe 'p' de cellules d'échantillonner le signal d'entrée simultanément, et les HIGFETs d'échantillonnage sont fermés séquentiellement. Le délai entre deux échantillonnages est

déterminé par le déphasage entre les signaux de contrôle. Ainsi, pendant l'échantillonnage multiple, les cellules adjacentes vont mémoriser l'information du signal à des intervalles de temps:

$$\Delta t = \frac{1}{f_s} \tag{4.1}$$

L'avantage à utiliser ce schéma est la faible fréquence (f_p) des signaux de contrôle. En même temps, l'échantillonnage multiple complique le circuit d'horloge, augmente la puissance dissipée et empire les problèmes d'interférence.

Nous allons maintenant discuter certaines considérations de conception qui doivent être réalisées pour une acquisition rapide du signal.

Puisque la fréquence de lecture (f_r) est faible et la charge de la capacité de stockage est maintenue jusqu'à un cycle de lecture, le signal échantillonné risque de diminuer avant sa lecture. Cette diminution est principalement la somme des fuites à travers le circuit de drain des transistors d'échantillonnage et les grilles des HIGFETs agissant en tampon de sortie. Pour un système d'échantillonnage avec 'b' bits de résolution, on peut montrer qu'il faut que le courant de fuite soit:

$$I_{fuite} < \frac{C_{st} * V_{in} * f_r}{2^b} \tag{4.2}$$

où C_{st} est la capacité de stockage et V_{in} la valeur du signal d'entrée.

Avec b=10, f_r =128 MHz, C_{st} = 1 pF et V_{in} = 0.1 V, il faut I_{fuite} < 12 nA. Des courants de fuite de grille aussi faibles ne peuvent pas être obtenus avec des technologies de type Schottky tels que les HEMTs ou les HFETs. Il est clair qu'il faut choisir une technologie

à haute vitesse et à grille isolée. La technologie HIGFET à hétérostructure InP/InGaAs que nous avons développé répond à cette exigence. Les courants de fuite sont inférieurs à 10 nA pour une excursion de la tension de ± 5V.

Une considération importante est que la fréquence de lecture devrait être plus grande que la fréquence de réponse des états d'interface dans ces structures. Nous avons mesuré une réponse des états d'interface allant jusqu'à 10 MHz dans les HIGFETs. Une valeur sûre de la fréquence de lecture est donc 50 MHz ou plus grande.

Comme nous l'avons mentionné plus tôt, le temps nécessaire pour charger ou décharger la capacité de stockage pendant l'échantillonnage est important et nous informe sur le délai nécessaire avant de commencer à suivre le signal (la durée du régime transitoire). Le délai est donné par:

$$\Delta t_0 \approx 5\ RC \tag{4.3}$$

Avec une capacité C de 2 pF et une résistance série du HIGFET d'environ de 50 Ω, RC vaut 0.1 ns et Δt_0 = 0.5 ns. Dans le mode d'échantillonnage simple, la fréquence est ainsi limitée à 1 GHz. Pour augmenter la fréquence d'échantillonnage, nous devons diminuer la résistance du canal dans l'état ouvert, ainsi que les résistances série parasites du HIGFET. La limite supérieure de fréquence pour l'échantillonnage simple se situe alors vers 5 GHz. Expérimentalement nous avons prouvé un échantillonnage correct jusqu'à 2 GHz, résultats qui seront décrits dans le Chapitre 6.

Dans le cas de l'échantillonnage multiple avec p cellules ouvertes simultanément, chaque cellule échantillonne le signal pendant p cycles d'horloge, et les propriétés intrinsèques au dispositif ne sont pas un facteur limitatif. La limite théorique est ainsi fixée par la réponse fréquentielle de l'amplificateur d'entrée, pouvant aller jusqu'à 100 GHz.

Pour minimiser les distorsions des signaux, la fréquence de coupure des HIGFET doit être au moins 3-4 fois plus grande que la fréquence maximale du signal. Une valeur plus grande que 10 GHz a été obtenue pour la fréquence de coupure.

Le signal échantillonné va subir une certaine distorsion, puisque la tension stockée par la première cellule est gardée pendant un intervalle de temps ($(p-1)\cdot f_s^{-1}$) supérieur à celui de la dernière cellule. Mais, comme cet intervalle de temps est très inférieur à la durée de lecture, il est assez bref pour ne pas causer une distorsion importante. De toute façon, la donnée peut être corrigée en calibrant le système. Une procédure de calibration simple consiste à injecter à l'entrée une sinusoïde de fréquence et d'amplitude connue et de déterminer les pondérations nécessaires pour la reconstruire.

Dans le cas de l'échantillonneur multiple, où un groupe de cellules échantillonnent simultanément, le signal d'entrée charge toutes les capacités en même temps. Alors, la sortance de l'électronique d'entrée devient un paramètre important, et pour échantillonner correctement un signal faible il est nécessaire de mettre un amplificateur tampon entre le signal d'entrée et la cellule d'échantillonnage.

La charge échantillonnée et stockée dans les capacités de 1-2 pF est trop faible pour charger la ligne de sortie, donc une conversion tension-courant est nécessaire. Ceci est fait en utilisant un amplificateur tampon qui va vers l'électronique de sortie.

Les tampons d'entrée et de sortie des différentes cellules doivent avoir des caractéristiques similaires, et chaque variation se traduira par une distorsion du signal échantillonné. L'intégration des amplificateurs tampon sur le même dé d'InP est donc une nécessité, surtout pour le tampon de sortie.

Aux fréquences élevées, l'interférence du signal de grille à la sortie, due aux couplages parasites capacitifs, est un problème critique pour les circuits É&B. Nous avons adopté des stratégies de circuit pour minimiser ou compenser cet effet. La réduction de la tension de seuil est une autre direction principale pour diminuer ce type de bruit. Cela permettra de réduire l'amplitude du signal d'horloge à une valeur maximale de 2 V.

Puisque les fréquences du signal et de l'horloge se situent dans le régime des micro-ondes, il est important d'adapter les impédances d'entrée et de sortie du circuit pour éviter les réflexions et obtenir un gain maximal. Au niveau des lignes métalliques sur le dé d'InP ce problème n'est pas critique mais pour l'implémentation du circuit d'échantillonnage multi-chip, avec des circuits d'horloge externes, nous avons considéré les règles de conception RF pour le boîtier MCM sur lequel sont montés les composants.

Les spécifications cible du système É&B en technologie HIGFET sont les suivantes:

- Fréquence maximale de l'horloge — 0,5-3 GHz
- Nombre d'échantillons par seconde — 0,5-3 Gsps
- Résolution — 8-12 bits
- Rapport Signal sur bruit (S/B) — 40 dB
- Largeur de la bande en petits signaux (-3 dB) — >1 GHz
- Fréquence de lecture — 64-128 MHz

Pour atteindre ces objectifs les demandes suivantes ont été imposées aux dispositifs HIGFET:

- Résistance série du transistor ouvert réduite (R_{ON})
- Transconductance élevée (g_m)
- Courant de fuite réduit (F_{uite})

- Conductance de sortie réduite (g_0)
- Tension de seuil réduite (V_T)
- Densité des porteurs de charge du canal élevée (n_S)
- Densité des charges d'interface réduite (N_{it})
- Tension de claquage élevée (V_{DSbd})

Les valeurs cible des paramètres du HIGFET et les principales mesures considérées pour les atteindre sont montrées dans le tableau 4.1.

Tableau 4.1: Valeurs cible des performances du HIGFET

Performance ciblée	Procédure à suivre
$R_{ON} < 50\ \Omega$	Canal fortement dopé ($N_D \sim 1 \cdot 10^{18}$ cm^{-3})
$g_m > 50$ mS/mm	Mobilité élevée, couche tampon sans conduction
$I_{fuite} < 10$ nA	Diélectrique de grille (nitrure) dense, technologie à grille isolée
$\|V_T\| < \|-2\|$ V	Couches canal, couvercle et diélectrique de grille minces
n_S grand	Grande différence entre les bandes de conduction, canal dopé
$N_{it} \sim 1 \cdot 10^{11}$ cm^{-2}	Passivation de l'interface nitrure / InP
$V_{DSbd} > 5$ V	Semi-conducteurs à bande interdite large, pas des défauts de surface

4.2 Architecture du système É&B

Une cellule d'échantillonnage-blocage (É&B) comprend un transistor qui fonctionne comme interrupteur (T1 à la figure 4.3) et une capacité. Pour garder le niveau du signal échantillonné, un amplificateur, réalisé par T2, assure l'interface avec les circuits de sortie (oscilloscope, circuit de traitement de données). En option, un amplificateur d'entrée assure l'isolation des échantillonneurs.

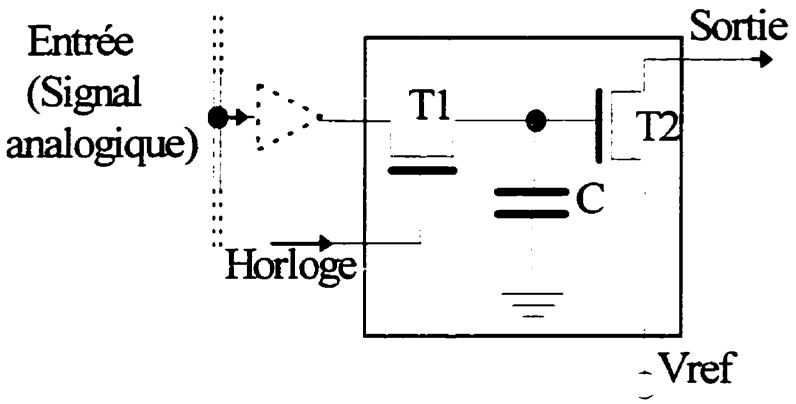


Figure 4.3: Schéma de principe d'une cellule d'échantillonnage-blocage

Une première variante de la structure du système d'échantillonnage-blocage compte les cellules É&B et le générateur de signaux d'horloge, comme présentée à la figure 4.4 avec le diagramme des signaux qui explique le fonctionnement pour un échantillonnage continu à 2,5 GHz (figure 4.5). Ce système utilise un échantillonnage multiple avec le générateur des signaux d'horloge intégré sur le même dé d'InP avec les cellules É&B.

L'oscillateur, avec 7 inverseurs en anneau, travaille à une fréquence plus réduite que celle d'échantillonnage (44.4 MHz dans l'exemple à la figure 4.4). Il assure l'impulsion de commande pour les circuits générateurs d'échelons, (GÉ). Le circuit GÉ, par un retard constant de l'impulsion (0,4 ns), ferme, séquentiellement, les cellules É&B (début de la période de blocage). Le système, avec 56 cellules É&B, permet l'échantillonnage continu du signal analogique d'entrée d'une fréquence jusqu'à 1,25 GHz et une vitesse minimale d'acquisition de données à la sortie de 125 MHz.

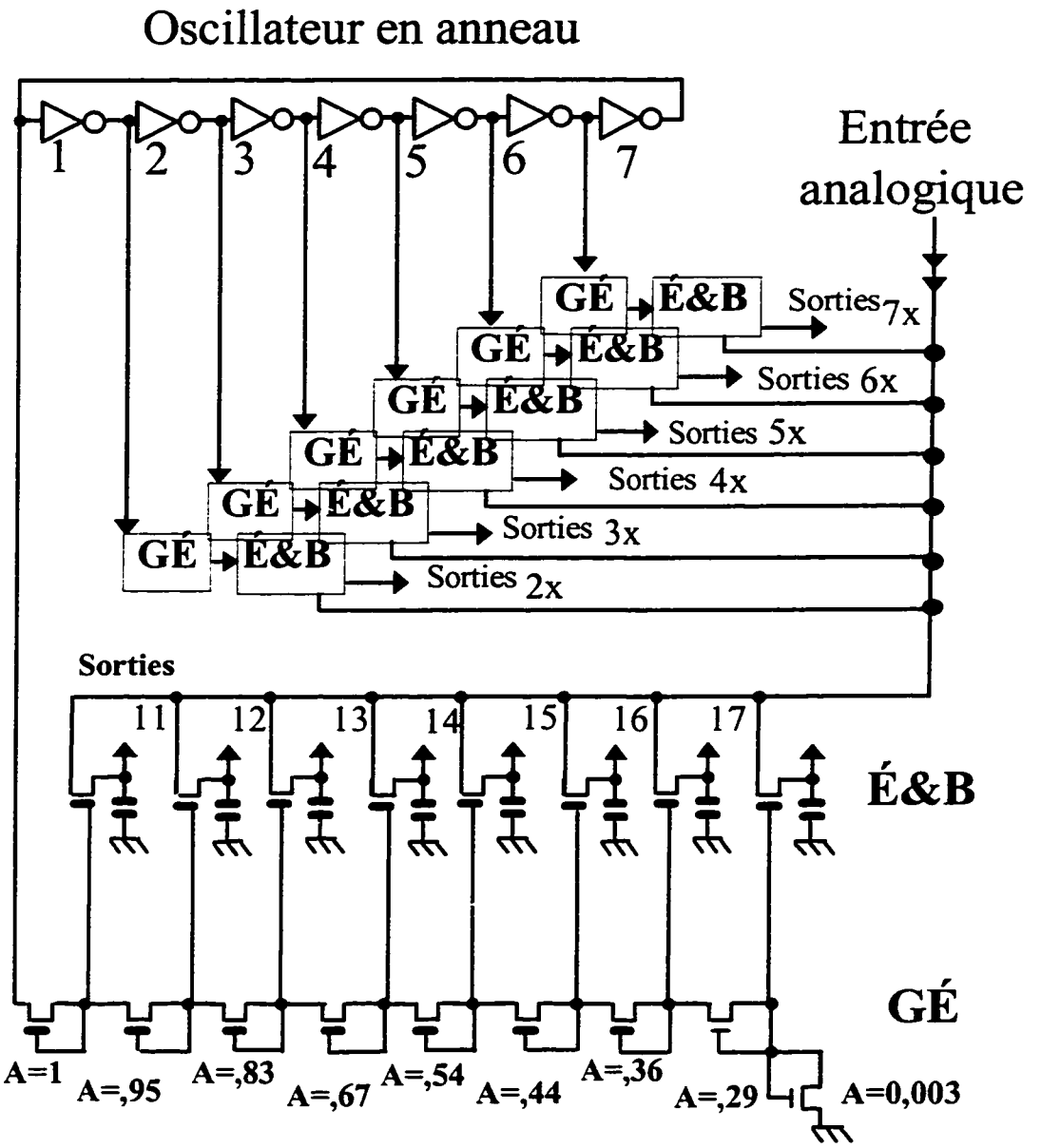


Figure 4.4: Système É&B avec le circuit d'horloge intégré

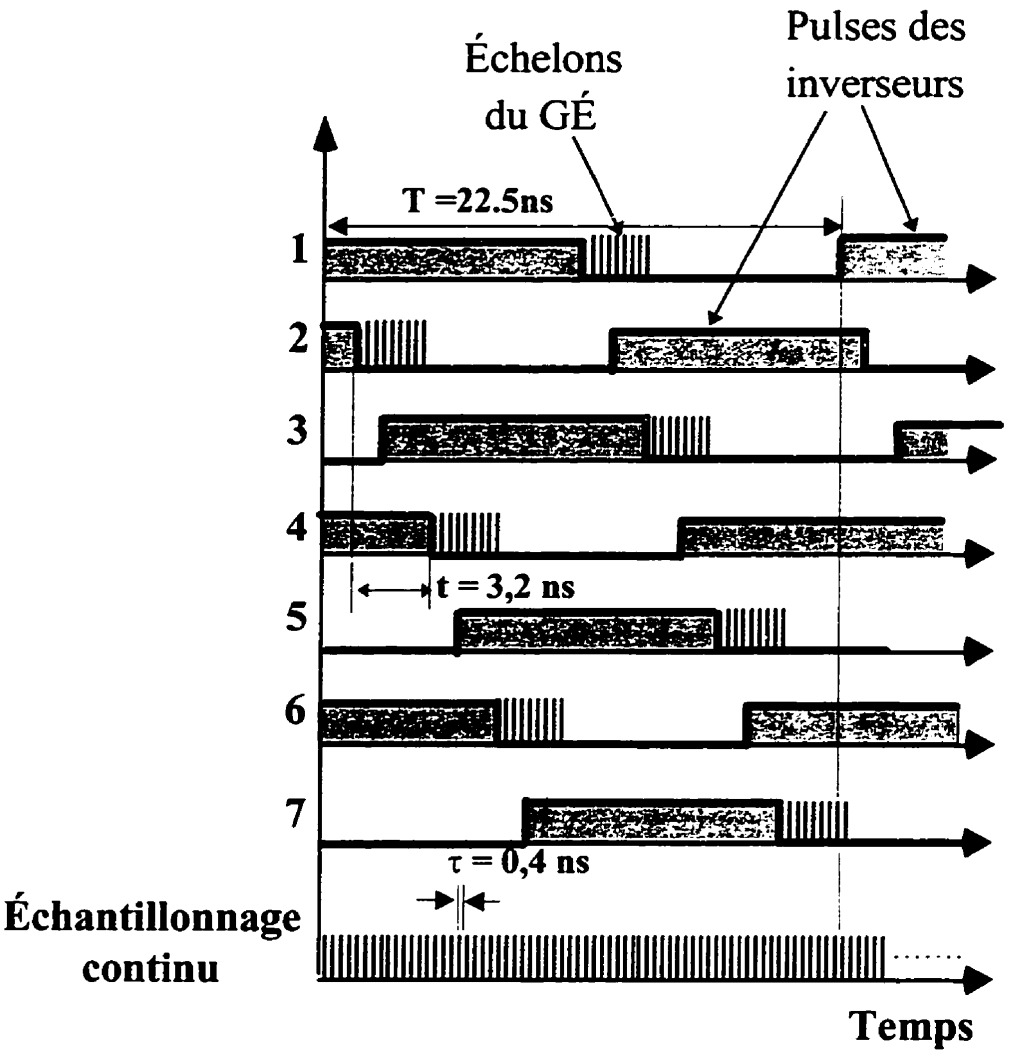


Figure 4.5: Diagramme des signaux du système É&B avec le circuit d'horloge intégré

Figure 4.6 montre une variante du circuit d'échantillonnage avec le générateur d'horloge externe. Tous les signaux d'horloge et de commande sont produits avec des circuits ECL sur GaAs, et seulement les cellules É&B sont fabriquées sur la gaufre d'InP.

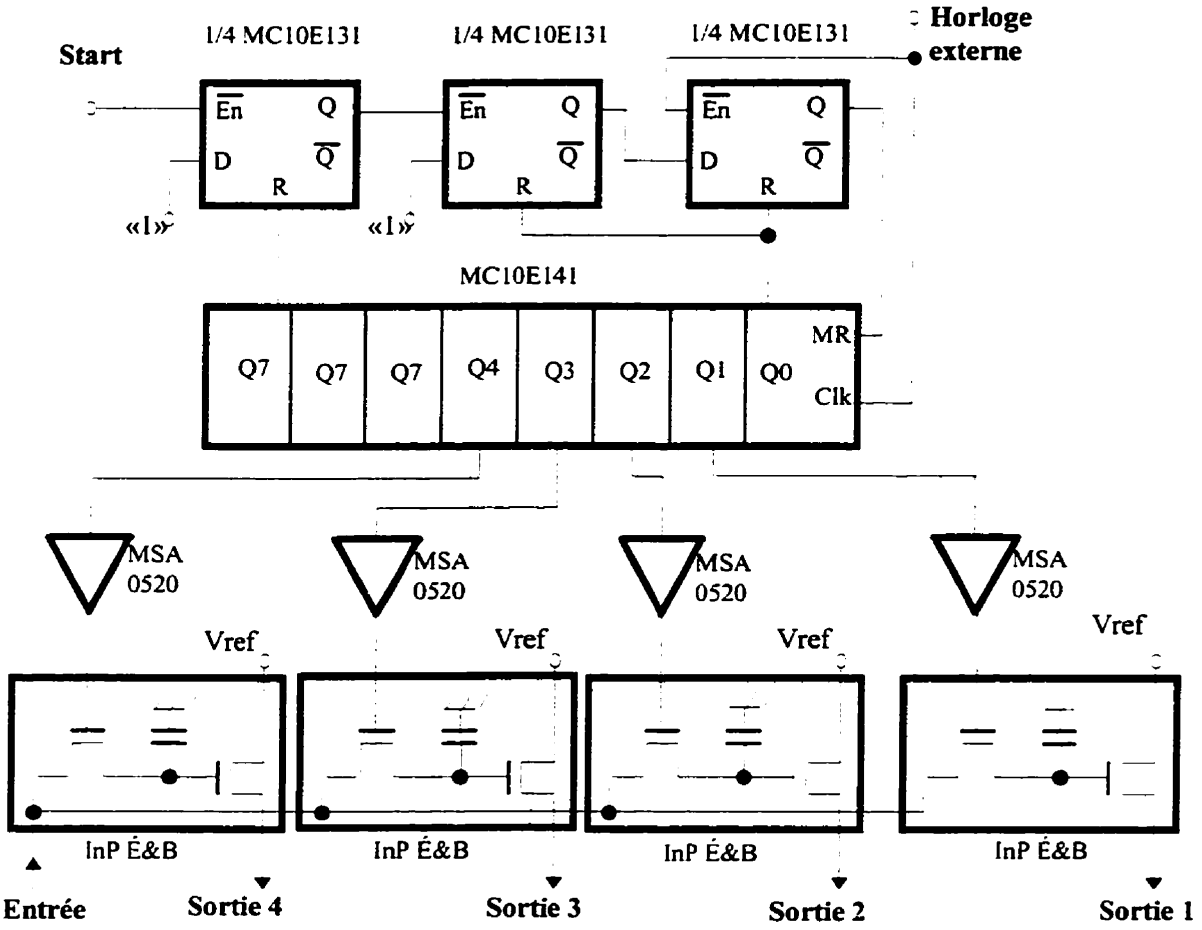


Figure 4.6 : Circuit échantillonneur-bloqueur avec circuit d'horloge externe

Les composants sont montés sur un boîtier MCM. L'horloge maîtresse et le signal à échantillonner sont injectés à travers des connecteurs SMU à faible perte. Une variante expérimentale de ce circuit a été fabriquée avec quatre canaux d'échantillonnage. Le système numérique fonctionne correctement jusqu'à 2 GHz. Pour l'échantillonnage nous avons utilisé des circuits intégrés contenant quatre cellules É&B sur chaque dé, comme celui présenté à la figure 4.7. Pour éliminer tout interférence entre les cellules É&B nous avons monté quatre dés sur le MCM, un pour chaque canal d'échantillonnage. Pour chaque dé, seulement une cellule a été connectée aux circuits externes. Le

fonctionnement du système a été semblable aux essais sur les cellules É&B testées individuellement, et a montré un échantillonnage précis jusqu'à 1 GHz.

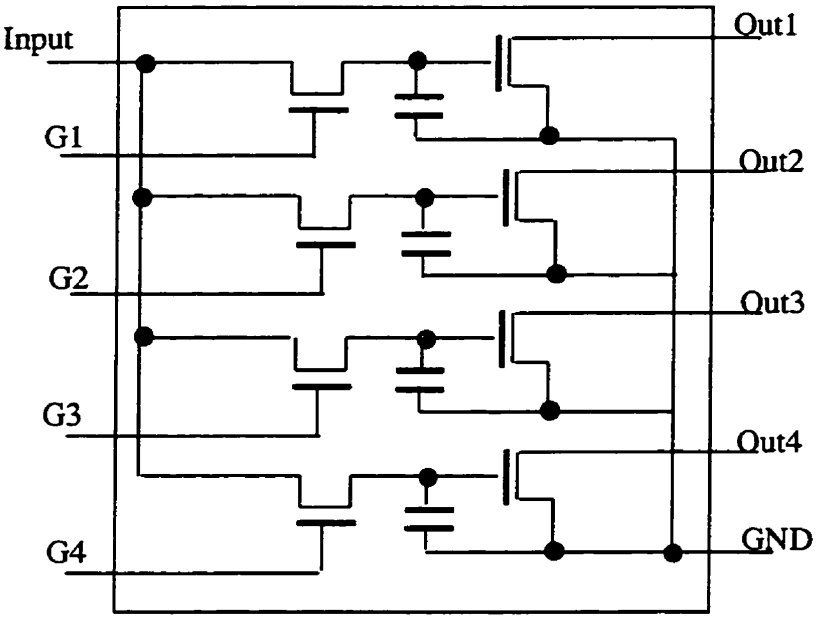


Figure 4.7: Circuit intégrés avec quatre cellules É&B

4.3 Conception des circuits numériques

Un modèle consacré (de type SPICE) des FETs à hétérostructures n'est pas disponible dans la littérature. Dans une première étape, nous avons utilisé le modèle d'un n-JFET sur Si. Les paramètres du modèle ont été modifiés, d'une manière empirique, pour superposer les caractéristiques $I_{DS}(V_{DS},V_{GS})$ et $I_{GS}(V_{DS}, V_{GS})$ sur les résultats expérimentaux. Tous les paramètres du modèle sont liés à un seul facteur géométrique de conception, $A=3*10^{-3}*W/L$, où L est la longueur et W la largeur du canal.

L'élément de base pour développer une famille de circuits numériques est l'inverseur. Pour le cas d'un dispositif NMOS fonctionnant en régime d'appauvrissement, une difficulté supplémentaire est reliée aux niveaux des tensions d'entrée et de sortie qui sont déplacés. Pour égaliser les deux niveaux, nous avons ajouté un circuit de décalage formé de deux transistors en série qui forment un diviseur de tension. L'inverseur proprement dit est formé d'un transistor en connexion source commune avec une charge active réalisée avec un transistor dont la grille et le drain sont court-circuités. Figure 4.8 montre le schéma de l'inverseur.

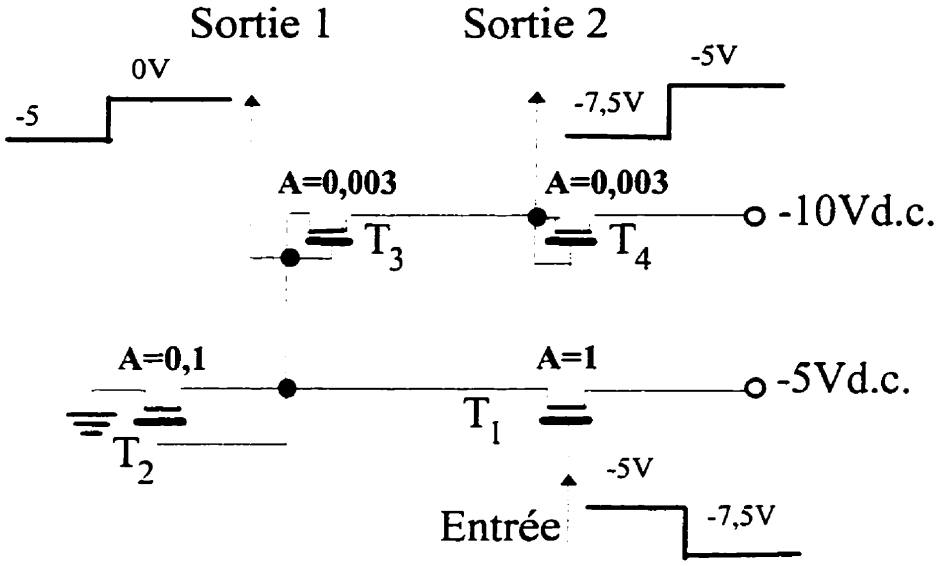


Figure 4.8 : Schéma d'un inverseur

L'inverseur est constitué du commutateur T1 (figure 4.8), la charge T2 et un circuit de déplacement du niveau réalisé par T3 et T4.

Cette structure de l'inverseur offre deux sorties. La sortie 1 a une meilleure capacité en courant (fan-out plus grand) mais le niveau du signal est déplacé vers le haut par rapport au signal d'entrée.

La sortie 2 offre les mêmes niveaux du signal que l'entrée mais un plus faible courant. Le courant maximum qui peut être livré par la sortie 2 est limité par la géométrie des transistors T3 et T4. Pour limiter la puissance dissipée, le courant qui traverse continuellement le groupe T3 et T4 doit être réduit et, en conséquence, le courant de la sortie 2, qui ne peut représenter qu'une fraction du courant imposé par T3 et T4.

Nous avons obtenu, par simulation, des caractéristiques de transfert fiable pour des rapports des facteurs géométriques A de 10 entre le transistor actif T1 et la charge T2 et 300 entre T1 et les transistors de décalage T3 et T4. Avec les valeurs établies pour le facteur A des quatre transistors, le fonctionnement de l'inverseur présente une bonne marge de bruit et une parfaite compatibilité entre les niveaux d'entrée et de sortie, fonctionnement qui a été prouvé expérimentalement.

En utilisant cette structure de l'inverseur nous avons obtenu des circuits oscillateur en anneau, comme celui montré à la figure 4.9. Les sorties de type 2 sont utilisées pour interconnecter les inverseurs (chaque sortie doit seulement commander l'entrée de grille de l'inverseur suivant), tandis que les sorties de type 1 sont utilisées pour fournir les signaux d'horloge. Nous avons fabriqué des oscillateurs en anneau avec 5 et 7 inverseurs. Les performances des circuits testés ont été assez décevantes à cause des fluctuations de la fréquence d'oscillation et des instabilités pendant le fonctionnement. En plus l'oscillateur nécessite un circuit de démarrage initial.

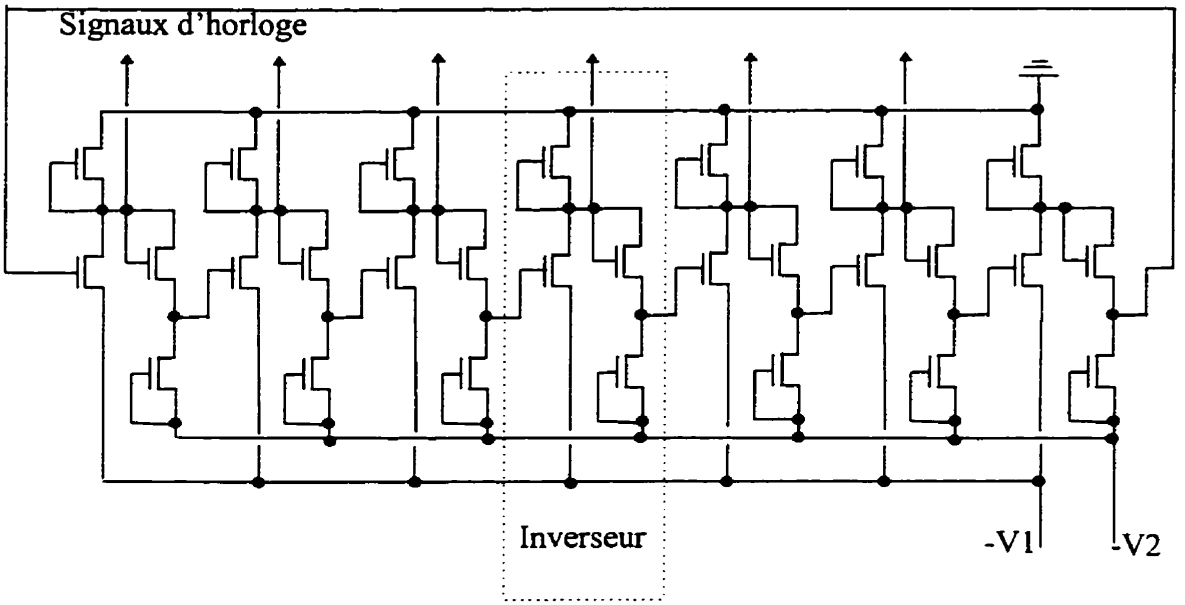
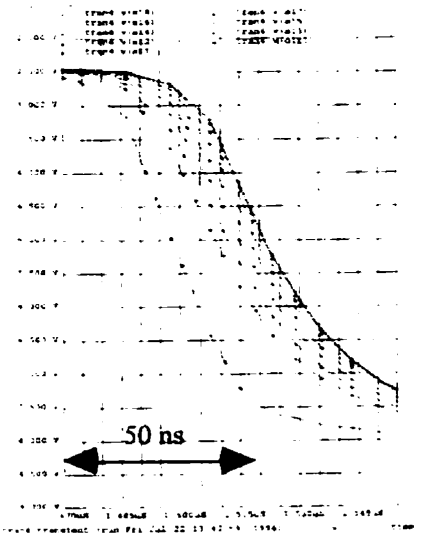


Figure 4.9: Schéma électrique d'un oscillateur à 7 inverseurs

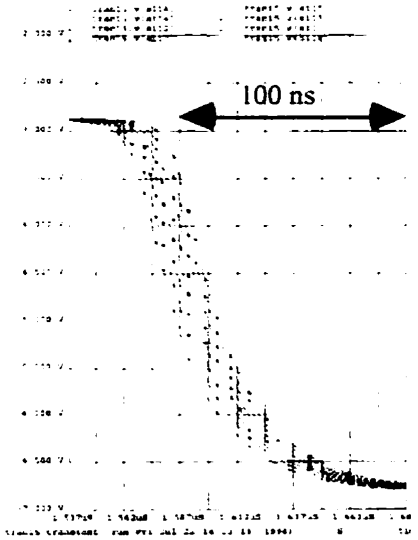
Les générateurs d'échelons sont réalisés par une chaîne de HIFETs connectés en série avec les grilles et les drains court-circuités. Le schéma équivalent en courant alternative est une série de cellules RC qui produisent le retard différentié d'une impulsion de tension présentée à l'entrée. Les GÉ assurent le blocage successif de l'information dans les cellules É&B par le retard constant du front de l'impulsion.

Le principal problème avec ce circuit est d'obtenir des signaux équidistants en temps et des niveaux adéquats pour la commutation ferme des cellules É&B. À la figure 4.10 sont présentées les formes d'onde simulées obtenues pour le cas d'un GÉ avec la même géométrie des dispositifs HIGFET (A constant) et un GÉ réalisé avec des transistors dont le facteur A est optimisé pour assurer des signaux de sortie équidistants. Les valeurs optimisées du paramètre A sont présentées à la figure 4.2. Malgré les résultats promettants du circuit GÉ, nous avons renoncé a cette structure de circuit d'horloge,

essentiellement dû aux faibles performances des circuits oscillateurs. On doit préciser que la structure GÉ possède le plus important potentiel pour obtenir des circuits É&B très rapides.



GÉ avec la même géometrie des HIGFETs



GÉ avec géometrie optimisée des HIGFETs

Figure 4.10 : Simulation de signaux générés par le circuit GÉ

4.4 Conception des jeux de masques

Pour la fabrication des transistors HIGFET et des circuits É&B, aussi que pour les structures de test afférentes, nous avons réalisé quatre jeux de masques. Les premières structures d'échantillonneur-bloqueur ont été développées conjointement avec les circuits basés sur des structures CCD et ont été implantées sur les masques 1 et 2 du CCD. Ensuite, deux jeux de masques, SH3 et SH4, ont été spécialement conçus pour le circuit d'échantillonneur-bloqueur.

Nous avons réalisé la conception des jeux de masques en utilisant l'environnement Cadence™. Un fichier technologique et un fichier de contrôle des règles de conception ont été spécialement conçus pour la technologie HIGFET.

Le premier jeu de masques, SH-1, dont un détail est présenté à la figure 4.11, a eu comme but, principalement, de mettre au point la technologie de fabrication des dispositifs. Il contient des FETs de différentes géométries ainsi que des structures auto-alignées et un nombre important de véhicules de test technologique (chaînes de contact, cellules TLM, cellule Hall, etc.). Le premier jeu de masques a permis d'obtenir une résolution de 8 bits et un rapport S/B de 35 dB.

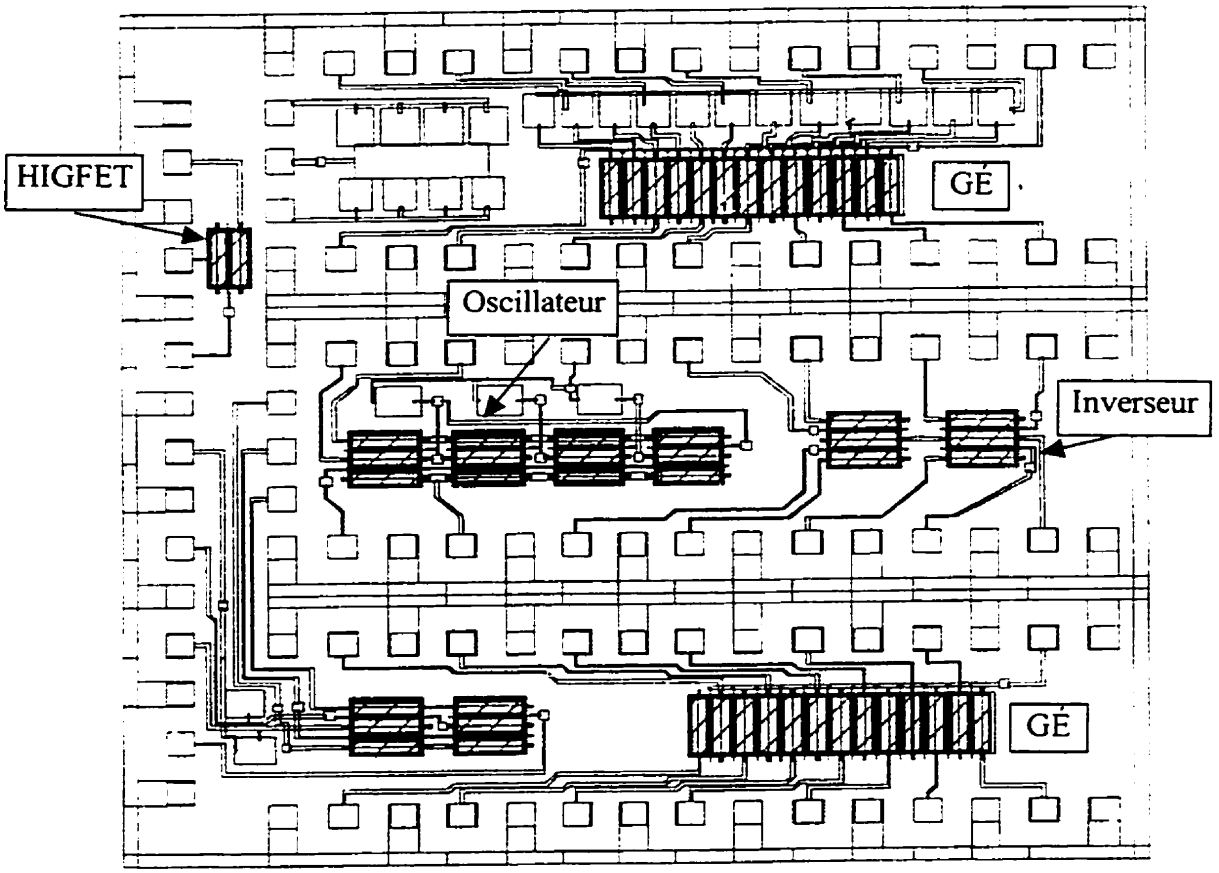


Figure 4.11: Jeu de masques SH1

Le deuxième jeu de masques, SH2, présenté à la figure 4.12, contient des dispositifs avec une géométrie optimisée, appuyée sur les mesures de la première génération des dispositifs fabriqués. Il comprend de nouvelles géométries de HIGFET et des structures de test imposées par les problèmes identifiés pendant la fabrication. Ce jeu de masques englobe des circuits logiques: des inverseurs, des oscillateurs en anneau, des générateurs d'échelons et, évidement, des cellules d'échantillonnage-blocage.

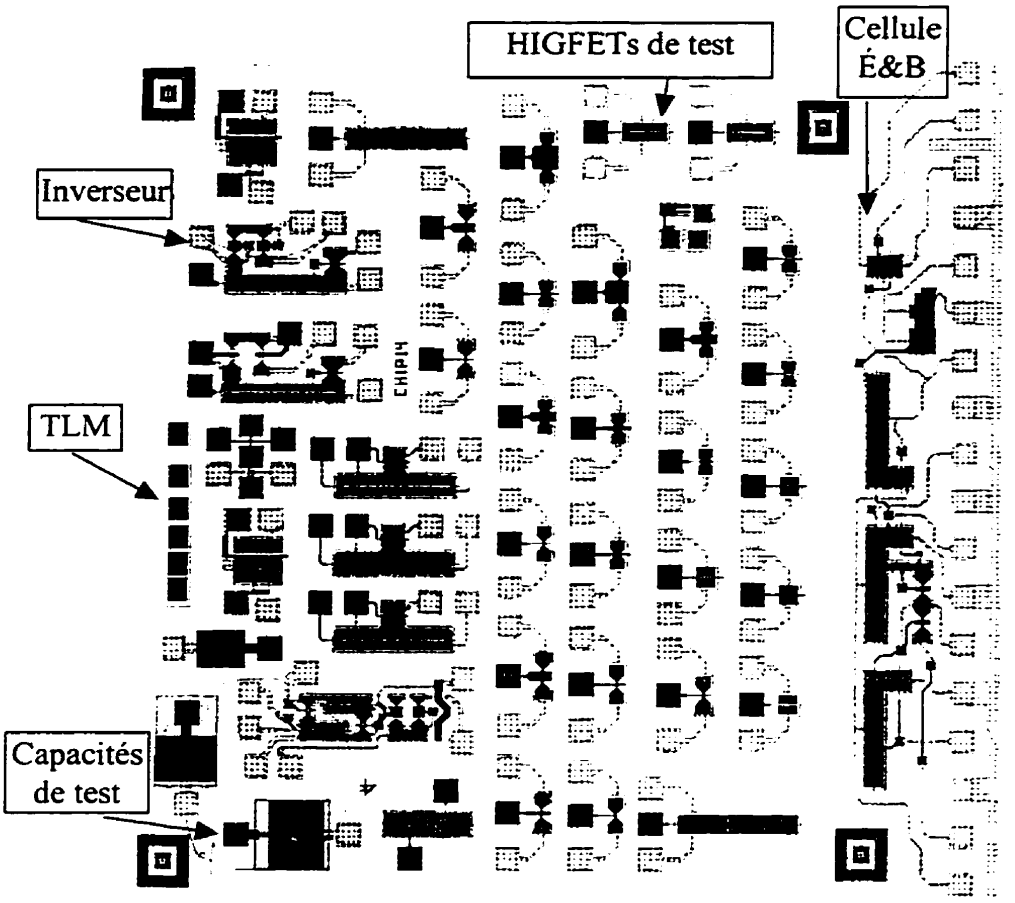


Figure 4.12: Jeu de masques SH2

Dans les conceptions suivantes, les jeux de masques SH3 et SH4, des amplificateurs tampon ont été placés aux sorties de toutes les cellules É&B et pour certaines entrées. Nous avons conçu de circuits avec 4, 8, 16 ou 32 échantillonneurs en parallèle. Nous avons aussi intégré une architecture de système fonctionnant selon les deux modes, échantillonnage simple et échantillonnage continu.

SH-3 contient 10 jeux de composants avec une structure commune des pads. Six composants contiennent un certain nombre des cellules É&B et plusieurs blocs numériques qui assurent les signaux d'horloge. La structure modulaire des différents circuits permet la modification de l'architecture du système d'échantillonnage-blocage.

Pour l'échantillonnage multiple nous avons implanté des circuits permettant de générer des déphasages (GÉ). Les autres composants contiennent des circuits de test, incluant aussi des structures passives pour la caractérisation à haute fréquence.

Chaque dé individuel peut être monté et soudé séparément et partage une structure de pads commune, appropriée aux mesures à haute vitesse avec le testeur GND-SIGNAL-GND Cascade Microtech. Ce jeu de masques est produit sur une plaque en quartz de 5"x5" avec au total 7 niveaux de photolithographie. Le masque SH3 est présenté à la figure 4.13.

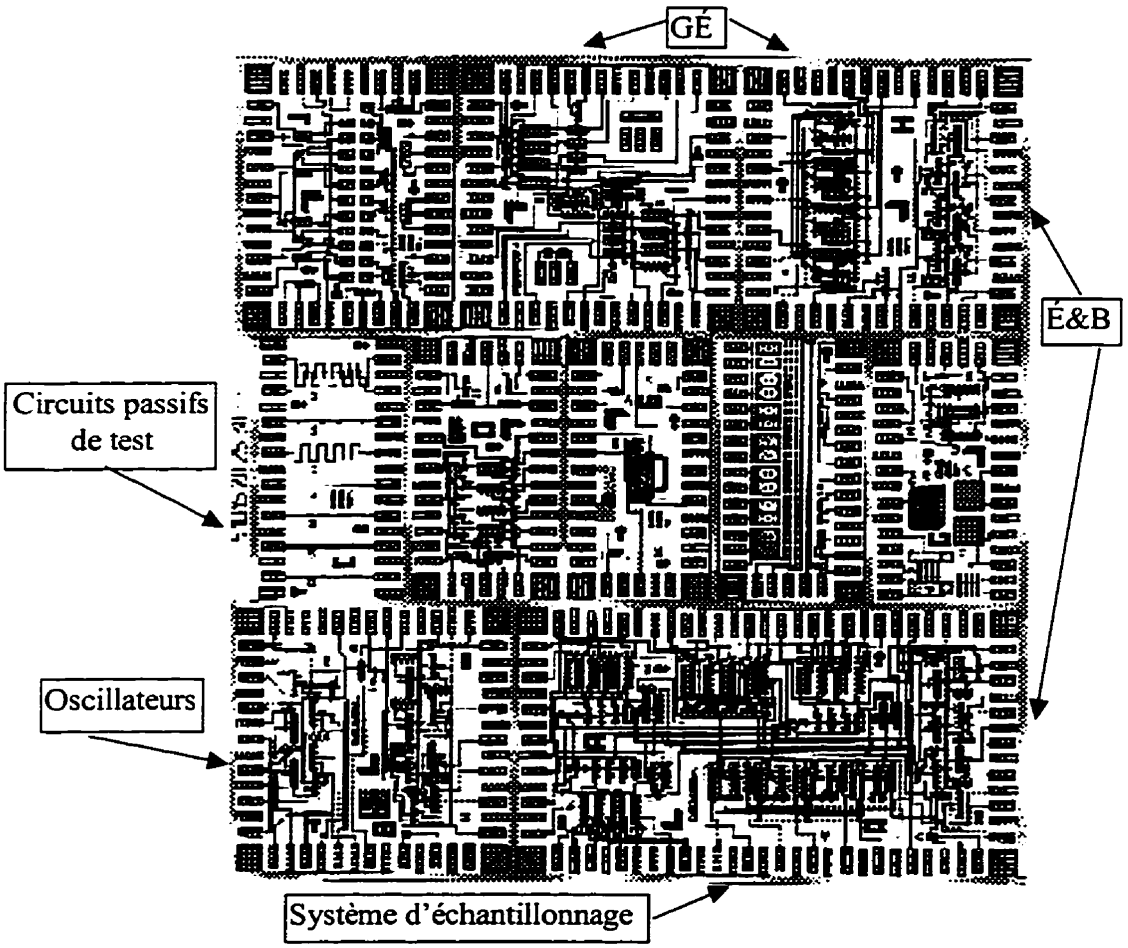


Figure 4.13: Jeu de masques SH3

Le jeu de masques SH-4 est montré à la figure 4.14. Il contient 20 composantes qui partagent la même structure des pads. La plupart d'entre eux contiennent des circuits d'échantillonnage-blocage avec différentes structures et géométries.

Deux composants sont destinés au diagnostic technologique, 3 composants contiennent les structures pour les amplificateurs d'entrée et de sortie, et 15 dés contiennent d'échantillonneur-bloqueurs qui sont intégrés avec le circuit tampon d'entrée/sortie. Des dés avec 4, 8, 16, et 32 échantillonneurs sont disponibles sur le composant. Chaque cellule É&B possède un FET tampon de sortie et certaines contiennent des amplificateurs d'entrée. La structure de base est un dé avec quatre cellules É&B dont les quatre sorties sont connectées aux pads. La structure comprend un circuit de mixage des signaux de sortie. Des nouveaux dispositifs ont été essayés: diodes Schottky, FET à grilles multiples, résistances discrètes en utilisant un nouveau dépôt et lithographie d'une couche CERMET, etc. Ce masque est réalisé sur une plaque en quartz de 5"x5" avec au total 7 niveaux photolithographiques.

Pour configurer les grilles et les interconnexions, nous avons réalisé deux masques. Un masque est destiné à une photorésine positive (définition par gravure RIE ou chimique) et l'autre pour une photorésine négative (processus lift-off).

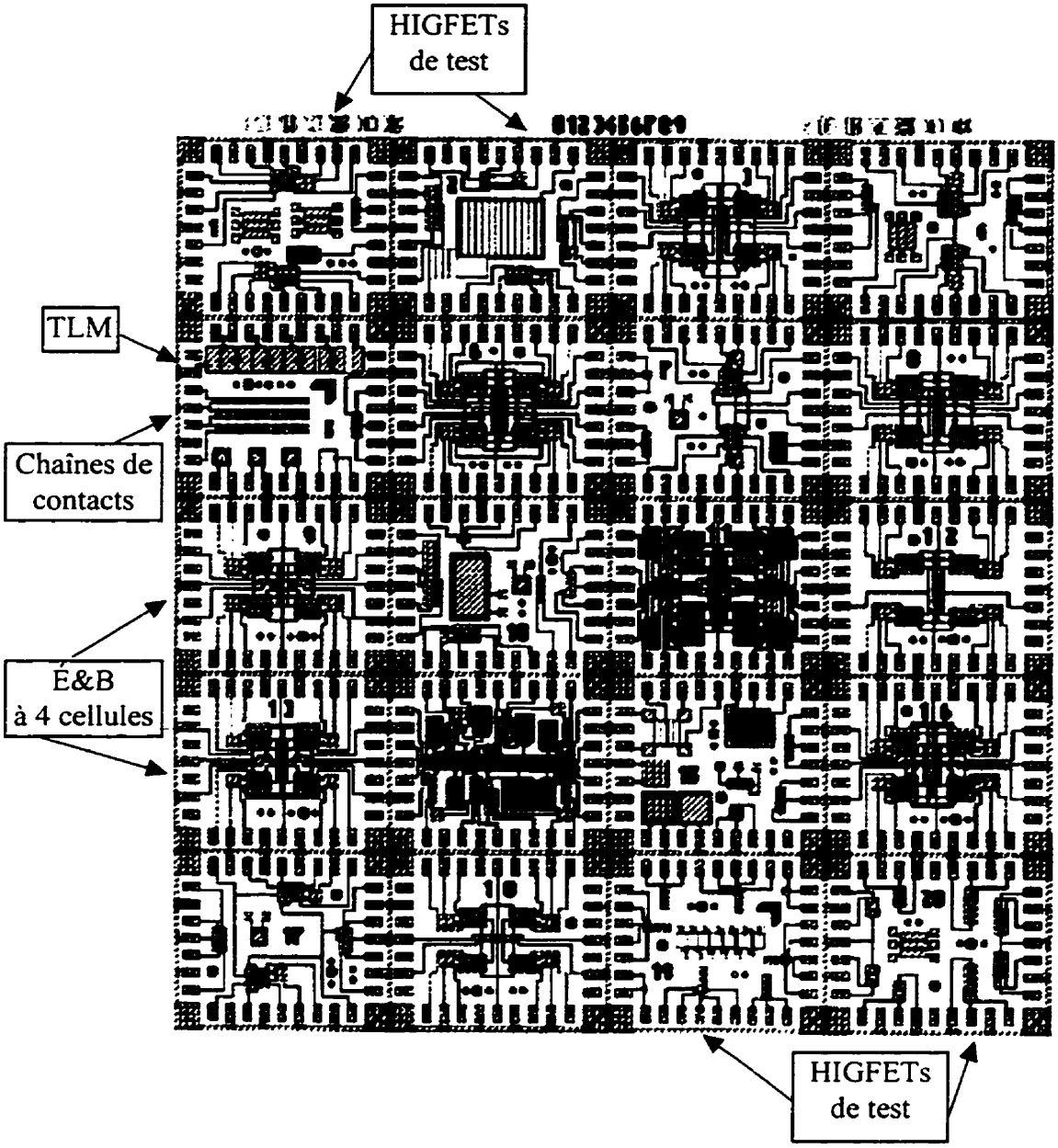


Figure 4.14: Jeu de masques SH4

Les principaux dispositifs discrets utilisés sont:

- Transistors HIGFET avec une grille de longueur L et largeur W. On utilisera 4 types de transistors

T1	L= 2 μm	W= 25 μm
T2	L= 2 μm	W= 100 μm
T3	L= 2 μm	W= 300 μm
T4	L= 10 μm	W= 25 μm

- Capacité MIM (entre la métallisation de grille et l'intermétal) avec des surfaces de:

C1	S= 10000 μm^2	correspondant à C= 2 pF
C1	S= 25000 μm^2	correspondant à C= 5 pF
C1	S= 50000 μm^2	correspondant à C= 10 pF

- Résistance à CERMET (r=1 Ωcm, h=.5 μm => $R_{\square}$= 20 kΩ)

R1	$N_{\square}=5*10^{-3}$	(l=5 μm, w=10^3 μm)	R= 100 Ω
R1	$N_{\square}=1*10^{-2}$	(l=5 μm, w=500 μm)	R= 200 Ω
R1	$N_{\square}=2.5*10^{-2}$	(l=5 μm, w=200 μm)	R= 500 Ω
R1	$N_{\square}=5*10^{-2}$	(l=5 μm, w=100 μm)	R=1000 Ω

La structure typique d'une cellule É&B est celle à la figure 4.15. Les figures 4.16 à 4.19 présentent des structures de test typiques pour différentes configurations des circuits d'échantillonnage.

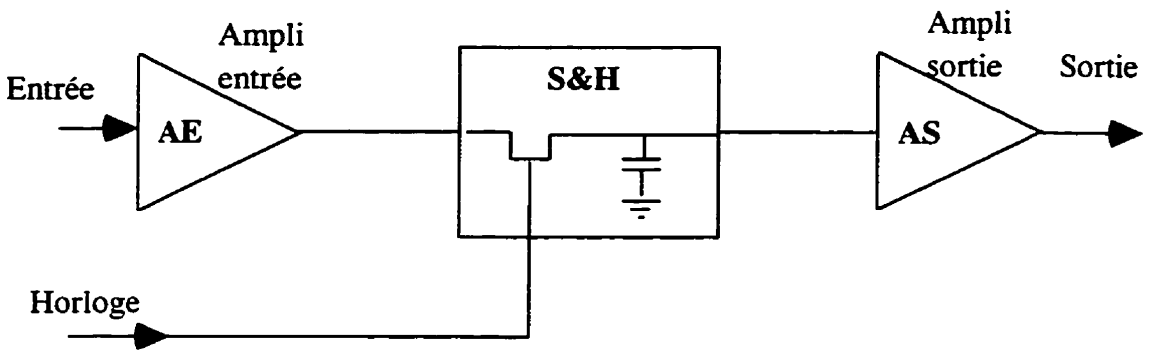


Figure 4.15: Structure d'une cellule de l'échantillonneur

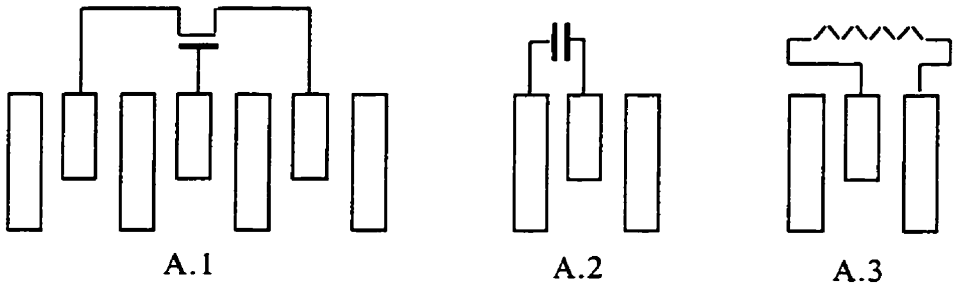


Figure 4.16: Structure de test pour les éléments discrets

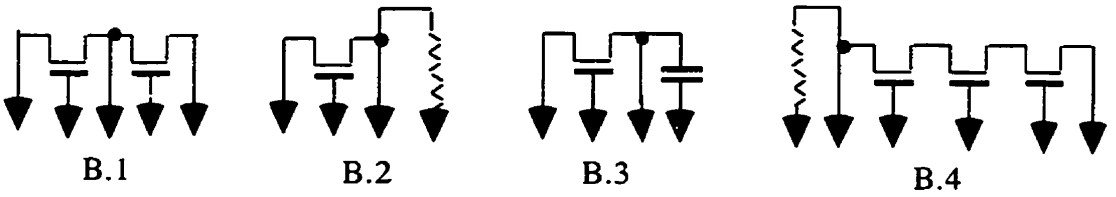


Figure 4.17: Structure de test pour les circuits de base

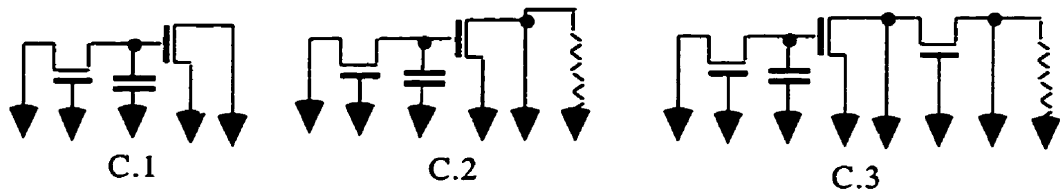


Figure 4.18: Structures d'échantillonneur avec amplificateur de sortie

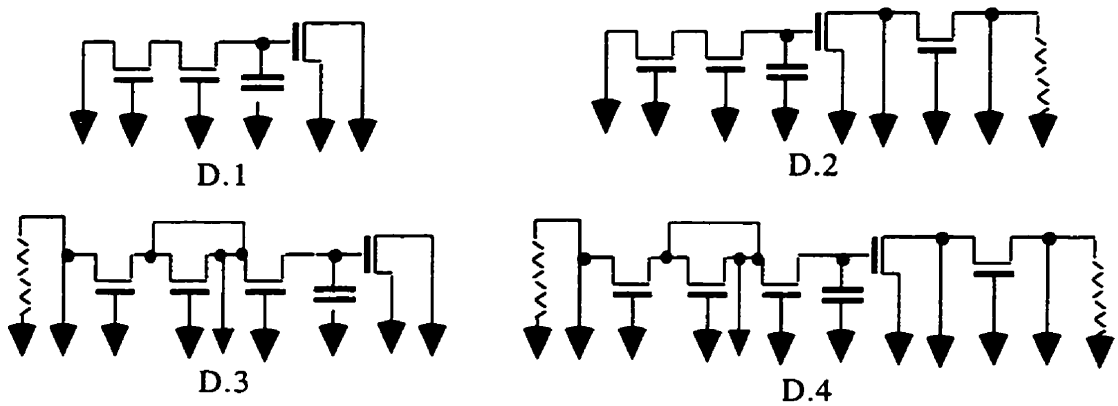


Figure 4.19: Structures d'échantillonneur avec amplificateur d'entrée et de sortie

Pour faciliter les mesures haute fréquence aussi que celles en courant continu (incluant les signaux à basse fréquence) la structure des pads de mesure a été standardisée. Les pads de mesure sont présentés à la figure 4.20 (mesure haute fréquence) et 4.21 (basse fréquence et courant continu).

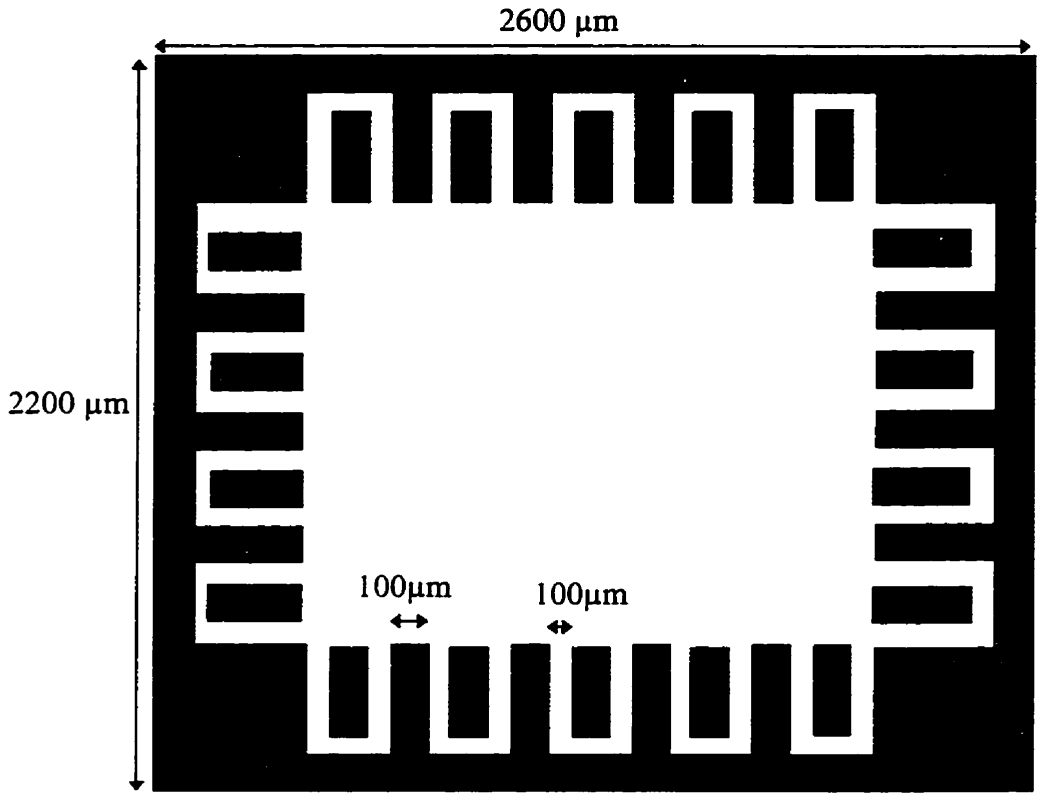


Figure 4.20: Pads de mesure haute fréquence

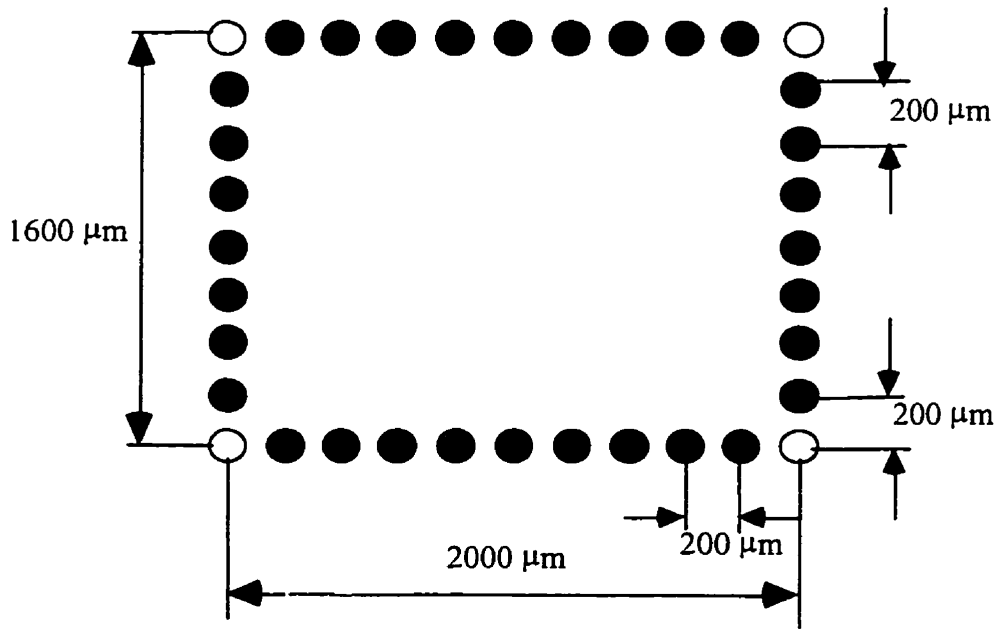


Figure 4.21: Pads de mesure pour courant continu et basse fréquence.

Chapitre 5

Processus de fabrication

5.1 Introduction

Ce chapitre décrit la mise au point et l'optimisation du processus de fabrication des dispositifs HIGFET au cours du projet. Après une première phase d'optimisation de chacune des techniques nécessaires pour la fabrication des HIGFETs, nous avons entrepris des séquences itératives de fabrication des dispositifs, en utilisant, dans un premier temps, des substrats commerciaux, ensuite les substrats produits par le groupe de croissance épitaxiale de l'École Polytechnique. Le flux de fabrication d'un lot des circuits intégrés est d'une durée approximative de 6 jours. Tout au long du projet, les difficultés apparues ont nécessité un développement continuel des procédés, parfois même le changement du processus utilisé pour certaines étapes technologiques.

Un nombre important des procédures technologiques ont utilisé les connaissances développées au laboratoire LISA dans le déroulement des autres projets. L'étape cruciale dans le succès de la fabrication reste la croissance épitaxiale de la hétérostructure InGaAs/InP/InGaAs/InP, entièrement réalisée dans le cadre du laboratoire MOCVD de l'École Polytechnique.

La présentation faite dans ce chapitre mettra l'accent sur les problèmes spécifiques rencontrés dans la fabrication des HIGFETs et sur les techniques d'optimisation de la qualité et de la robustesse des étapes technologiques.

5.2 Fabrication des dispositifs HIGFET

Le flux typique de fabrication des structures HIGFETs est présenté à l'Annexe 1. Les sous-sections suivantes décrivent les principales caractéristiques des étapes majeures de fabrication.

5.2.1 Photolithographie

La photolithographie a utilisé un aligneur de masque Karl Süss pour exposition à 250 nm et deux types de photorésines. La photorésine IBM est excitée par le rayonnement U.V. profonds à 250 nm et donne des lignes aussi petites que 0,6 μm avec un espacement de 0,4 μm. À la figure 5.1 on peut observer la définition d'un masque de résine avec des lignes de 0,8 μm. En revanche, la photorésine OCG UV-365nm met en forme des lignes de 2 μm avec un espacement de 0,8 μm, en utilisant la flottaison (lift-off) (figure 5.2). Dans tous les cas, on utilise un système d'exposition avec contact intime (vacuum) entre l'échantillon et le masque.

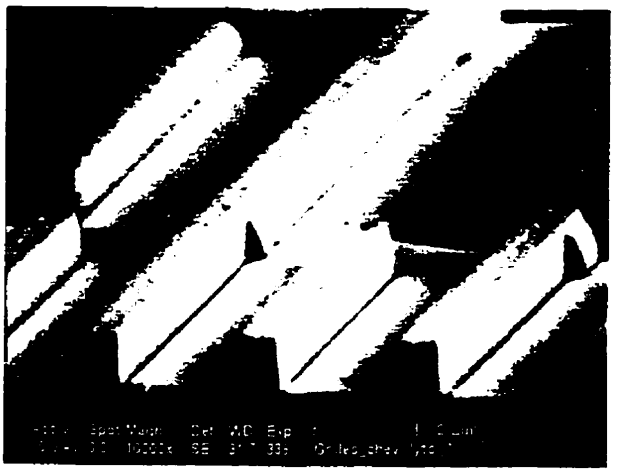


Figure 5.1: Lithographie de grilles (0,8μm)

Le processus standard de fabrication implique 5 étapes photolithographique: la définition des îles MESA, la définition des régions de source et de drain, la définition des grilles, l'ouverture des fenêtres d'interconnexion (trous via) et la définition des lignes métalliques d'interconnexion. Les jeux de masques contiennent deux masques facultatifs: l'ouverture des fenêtres dans la passivation pour les dispositifs mis en boîte et la définition des résistances pour les lots qui ont utilisé une couche de CERMET.

L'étape photolithographique critique a été la définition des grilles. Les dimensions minimales de grille obtenues par photolithographie conditionnent les paramètres de fréquence du dispositif et l'alignement critique est celui des grilles par rapport aux régions de source et de drain. Même si des processus lithographiques sous-microniques ont été démontrés, pour des raisons de robustesse technologique, la variante finale des circuits intégrés utilisent une grille de 2 μm avec un espacement face aux sources et drains de 3 μm.

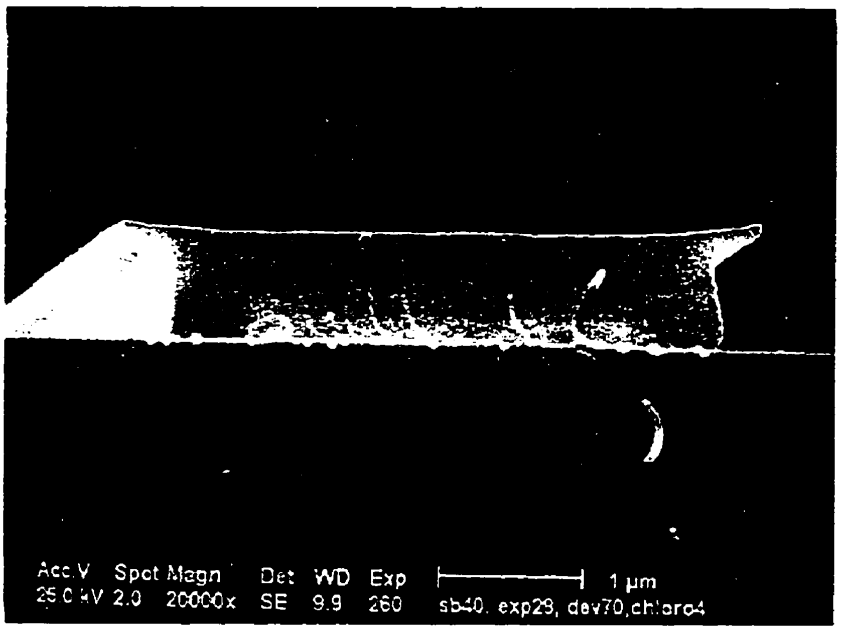


Figure 5.2: Lithographie de source et drain

5.2.2 Métallisation

Plusieurs procédés de métallisation basés sur la pulvérisation par magnétron ou l'évaporation par canon d'électrons ont été utilisés tout au long du projet. Pour la plupart des dispositifs réalisés, trois étapes de métallisation étaient requises: les contacts ohmiques, les grilles et les interconnexions. Selon l'évolution de la structure des dispositifs et du procédé global de fabrication, et à la lumière des résultats des tests électriques obtenus sur les circuits, certains procédés de métallisation ont été modifiés ou abandonnés.

A. Les contacts ohmiques

De nombreux efforts ont été mis pour développer des contacts de qualité [43], et reproductibles [66], sur les différentes hétérostructures utilisées au cours du projet. Une

étude exhaustive a été effectuée sur les séquences de métaux, sur les conditions de recuit rapide et sur la microstructure des contacts. Nous avons dû développer une procédure de métallisation et de recuit propre à chacune des hétérostructures utilisées.

Une fois que les contacts ohmiques obtenus ont montré des caractéristiques électriques adéquates en terme de résistance de contact, nous avons réalisé une étude sur leur stabilité. L'étude comparative a montré que la structure semi-conductrice avec une couche d'InGaAs au sommet donne de meilleurs résultats. La séquence de métallisation retenue pour la formation des contacts ohmiques a été AuGe(1000Å)/ Ni(100Å)/ Au(1000Å). Le procédé de traitement thermique par RTA associé est 375°C pendant 5 s avec une rampe de 100°C/s.

B Les grilles

Le procédé de pulvérisation du tungstène a d'abord été développé dans le but de produire des couches métalliques ayant les qualités requises pour la formation des grilles des structures HIGFET, c'est-à-dire faible résistivité, faibles contraintes mécaniques et bonne adhérence. Il a fallu développer une couche d'adhérence (nitrure de tungstène) compatible avec le procédé de pulvérisation. Les meilleures résistivités obtenues étaient de l'ordre de 10 μΩ-cm avec un procédé de pulvérisation de tungstène robuste et fiable.

Dans la dernière période du déroulement du projet nous nous sommes aperçus des effets négatifs du procédé de mise en forme du tungstène par RIE sur le semi-conducteur. Afin de s'affranchir de la gravure par RIE de la grille, le procédé de métallisation a été modifié de façon à définir les grilles par la technique de flottation (lift-off). La séquence Ti (300Å) / Au (2000Å) a été utilisée pour la formation de la grille.

C Les interconnexions

L'aluminium a d'abord été utilisé comme métal d'interconnexion. Toutefois, son utilisation a soulevé quelques difficultés au niveau des résistances de contact. Nous avons donc remplacé l'aluminium par la séquence Ti/Au pour le niveau d'interconnexions.

5.2.3 Procédés chimiques

Le groupe de fabrication a très bien maîtrisé l'ensemble des procédés chimiques nécessaires à la fabrication complète des dispositifs [1], [65]. Dans ce contexte les principales réalisations peuvent être décrites comme suit.

- Nettoyage chimique de la surface des semi-conducteurs et nettoyage des résines photolithographiques. Le cycle de nettoyage de la surface de InP comporte un dégraissage en tri-cloro-ethylène chauffé, acétone et propanole. La solution $1HCl:1HF:4H_2O$ a été utilisée pour l'enlèvement des oxydes natifs et le mélange $1H_3PO_4:1H_2O_2$ pour le polissage du InP. La photorésine a été enlevée en acétone. Après le processus RIE, nous avons trouvé nécessaire un nettoyage des résines par plasma d'oxygène.

- Gravure MESA. Cette gravure a utilisé l'acide iodique (HIO_3), 10%. Le contrôle de la gravure a été confirmé par des observations directes au microscope électronique à balayage et par des analyses de surface Auger permettant de vérifier que la gravure se termine au niveau du substrat d'InP.

- Gravure sélective de l'InGaAs. L'acide citrique permet de graver l'InGaAs de surface en s'arrêtant à l'InP.

- Passivation des surfaces d'InP par sulfurisation. Cette procédure a été intensivement étudiée par C. Sundararaman [61], [62]. La couche très mince de soufre est déposée par l'immersion de l'échantillon dans une solution 20% de $(NH_4)_2S$ à 60-65°C pour 30 minutes et éclairé par une ampoule de 200W. Nous avons démontré la reproductibilité de la procédure dans notre laboratoire. La qualité de la passivation a été vérifiée par la caractérisation électrique de la structure MIS.

5.2.4 Dépôt de Si_3N_4

Deux dépôts de nitrure de silicium ont été utilisés dans la fabrication des HIGFETs. Nous déposons une couche fine (400 Å) de nitrure de silicium comme isolant de grille aussi qu'une couche épaisse servant d'interdiélectrique (3000 Å). Les deux couches de nitrure ont été déposées par PECVD.

La mise au point du procédé PECVD a nécessité des efforts expérimentaux soutenus ainsi que certaines modifications de l'appareil, notamment au niveau des contrôles de débits et des lignes d'entrées des gaz.

Les conditions sélectionnées permettent de produire un nitrure de silicium PECVD d'épaisseur allant de 30 nm à 300 nm avec une bonne uniformité (variation d'épaisseur inférieure à 10%). La permittivité diélectrique relative est approximativement 6 et la densité de piège, D_{it}, est de l'ordre de $10^{12}cm^{-2}eV^{-1}$.

À cause de la basse température du dépôt (nécessaire dans une technologie sur InP), la densité de notre nitrure était assez faible (2,5 $g.cm^{-3}$). Par ailleurs, notre système n'étant doté que d'un générateur de radiofréquence (13,56 MHz), les couches sont forcément en contrainte tensile, et ne peuvent pas être relaxées par recuit.

Afin d'améliorer la résistance des couches aux agents chimiques, nous avons utilisé des gaz diluants, N_2 et Ar. Nous avons obtenu une meilleure résistance chimique et une plus grande densité ainsi qu'une diminution des nodules présentés par les couches. La plus haute densité obtenue a été de 3 $g.cm^{-3}$, avec un indice de réfraction proche de 2, et un matériau riche en azote (Si/N~0.7). Un tel matériau est plus contraint tel que déposé, mais il peut être relaxé par recuit.

Nous avons tout au long du projet déposé ces couches à l'aide d'un système PECVD. Toutefois, dans la dernière étape du projet, nous sommes arrivés à la conviction que la température de dépôt de 250°C, bien que basse, fût trop élevée et endommageait le semi-conducteur, tout comme le bombardement ionique. La solution de remplacement adaptée est l'ECR-CVD qui a montré une réduction significative des états d'interface et l'amélioration de la stabilité pendant le temps du fonctionnement des dispositifs [51].

5.2.5 Gravure par plasma (RIE)

Nous avons utilisé le RIE [2], [3], [30], [31] pour la gravure du tungstène (W) et du nitrure de silicium (SiN_X). L'utilisation du SF_6 [52] comme espèce réactive de gravure a permis de développer un procédé robuste technologiquement pour la gravure du W pour les grilles et du SiN_X pour les vias. Une anisotropie meilleure que 90%, une uniformité de 90-95%, et une sélectivité plus grand que l'unité pour la gravure du W par rapport à la photorésine ont permis le transfert de motifs de 0,5 μm et moins pour les grilles et les vias.

Appuyé sur les résultats présentés dans la littérature [14], [35], [69], nous avons réalisé une étude exhaustive pour la mise au point du processus RIE dans le laboratoire LISA. Dans la section suivante nous montrerons l'utilisation du processus RIE comme véhicule de test pour établir un procédé empirique de simulation et contrôle technologique. En

général, les meilleures performances du processus RIE, en terme de bonne anisotropie et sélectivité, et faible phénomène de rédéposition, imposent des valeurs réduites de la pression de travail (10-15 mT) et de la puissance R.F. (27 à 30 W pour une électrode de 25 cm en diamètre). Essentiel pour la qualité de la gravure est le contrôle de la tension auto-induite qui doit être d'environ -100 V. Figure 5.3 présente l'aspect de la gravure de nitrure pour les fenêtres d'interconnexion. Le niveau élevé de l'anisotropie de cette gravure est évident.

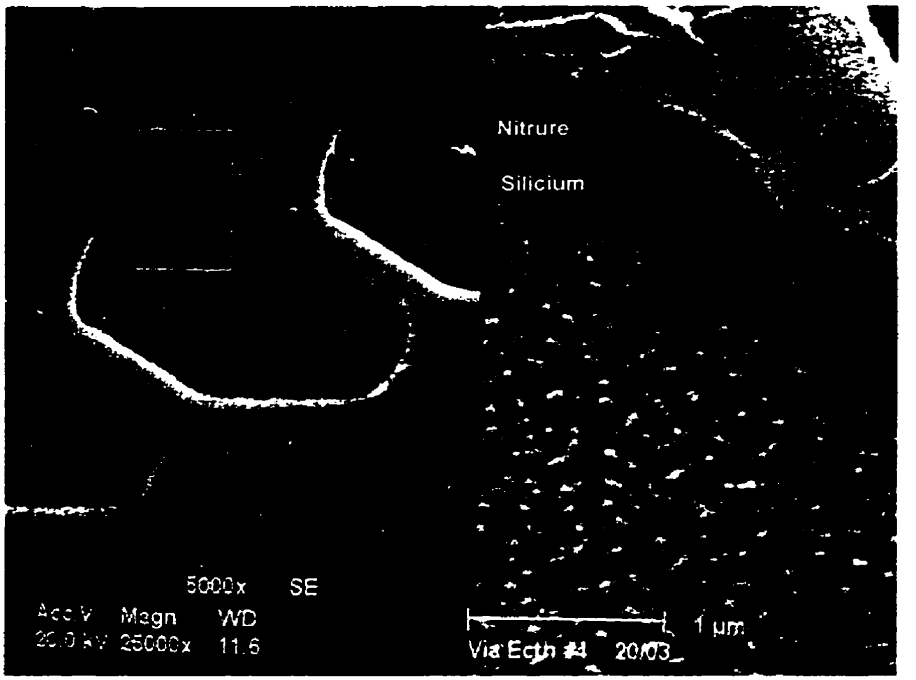


Figure 5.3: Fenêtres de contact définies par RIE

La gravure du nitrure [4] est réalisée à une pression plus faible (~ 10 mT) et une puissance d'environ 30 W. Le taux de gravure est de l'ordre de 1000 Å/min. avec une sélectivité par rapport à la résine de 10. La gravure du tungstène nécessite une pression de 15 mT et une puissance de l'ordre de 35 à 50 W et offre un taux de gravure d'environ 120 Å/min. et une sélectivité de 1 par rapport à la résine.

La figure 5.4 montre l'influence de la puissance R.F. sur le taux de gravure du W. Pour estimer l'épaisseur de la couche de W après différentes périodes de gravure, les mesures ont été réalisées par Dektak (plus rapide mais moins précise) et microscopie électronique à balayage (SEM) en section. Nous avons expliqué le maximum local du taux de gravure pour une puissance de 35 W par la minimisation de l'effet de rédéposition.

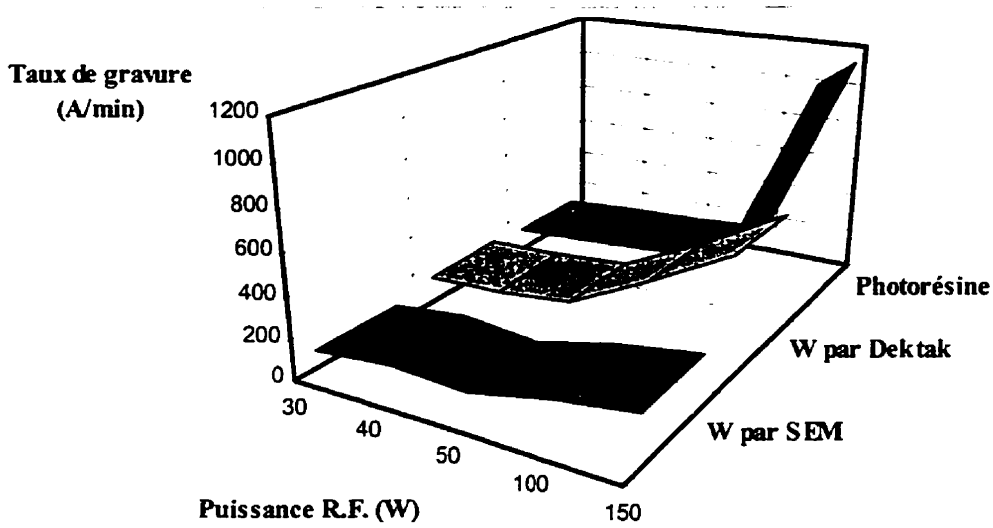


Figure 5.4: Taux de gravure du W en fonction de la puissance R.F.

Nous avons réalisé une étude approfondie de la faisabilité d'une grille en forme de T qui permettrait une technologie auto-alignée des HIGFETs [48]. La figure 5.5 montre un profile optimisé de la grille de W. Le profile en T est dû au taux plus grand de gravure latérale de la couche de WN.

Figure 5.6 montre la grille de longueur minimale que nous avons obtenue par l'exploitation de la gravure latérale. Des grilles de largeur jusqu'à 300 μm et une longueur plus petite que 0,1 μm ont été obtenues avec une robustesse technologique satisfaisante.

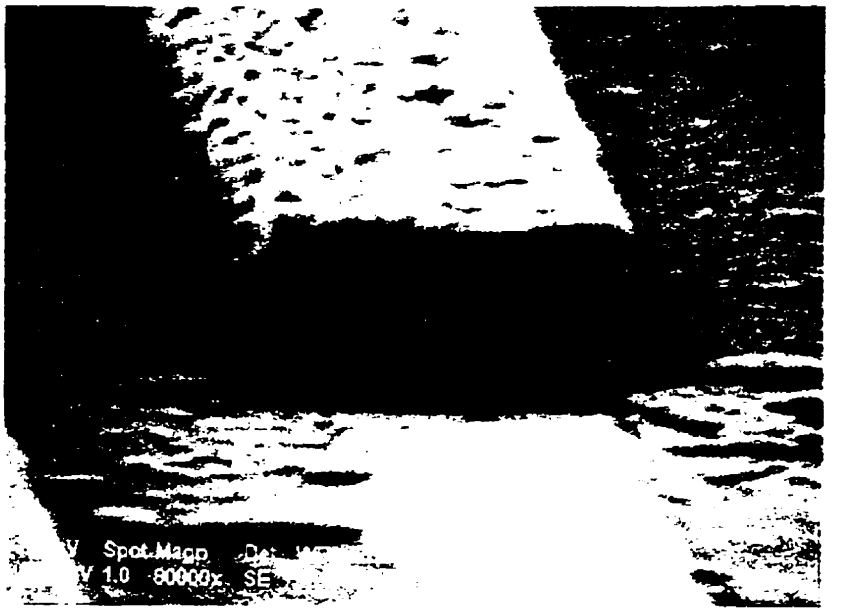


Figure 5.5: Grille avec profile en forme de T

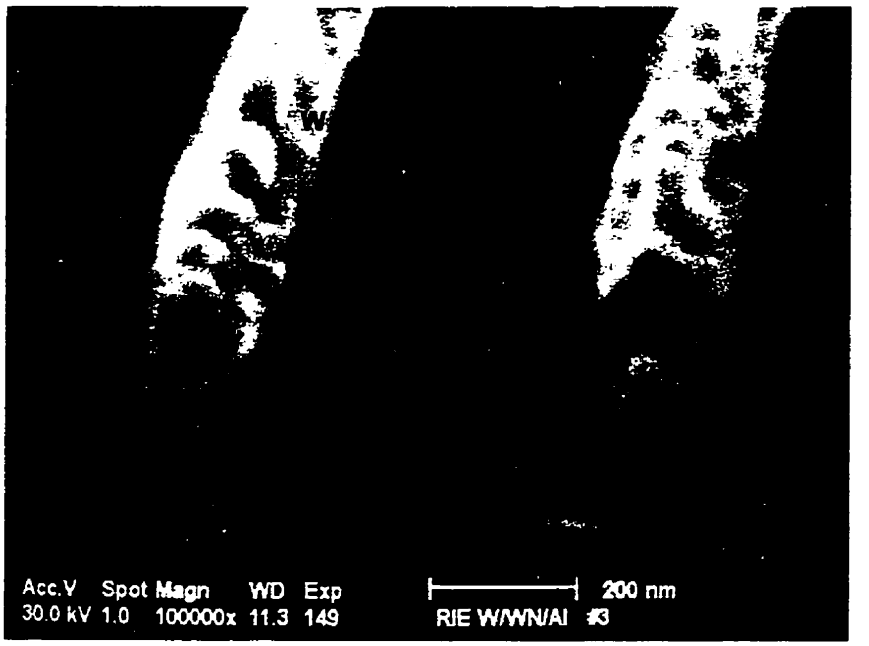


Figure 5.6: Grilles de tungstène avec longueur minimale

5.3 Contrôle technologique

Des différentes imperfections et instabilités identifiées pendant plus de 30 lots de fabrication ont imposé l'optimisation des procédés, la modification de certains processus ou des changements dans l'ordre des opérations, quelques exemples étant présentés par la suite.

1. Les contacts ohmiques de source et drain ont nécessité une couche tampon supplémentaire d'InGaAs, et l'optimisation du système métallique AuGe(1000Å)/ Ni(100Å)/ Au(1000Å) et des conditions de recuit rapide (375°C pendant 5 s avec une rampe de 100°C/s).
2. Une dégradation des performances des dispositifs a été remarquée après les procédés assistés par plasma, probablement dû au bombardement ionique de la surface semi-conductrice. C'est le motif pour lequel nous avons remplacé de la gravure RIE par un processus chimique ainsi que le dépôt PECVD de nitrure de grille par un processus ECR.
3. L'accomplissement de la passivation au soufre avant le recuit rapide aussi que le dépôt du nitrure avant la réalisation des contacts ohmiques ont eu un effet bénéfique sur la qualité des FETs.

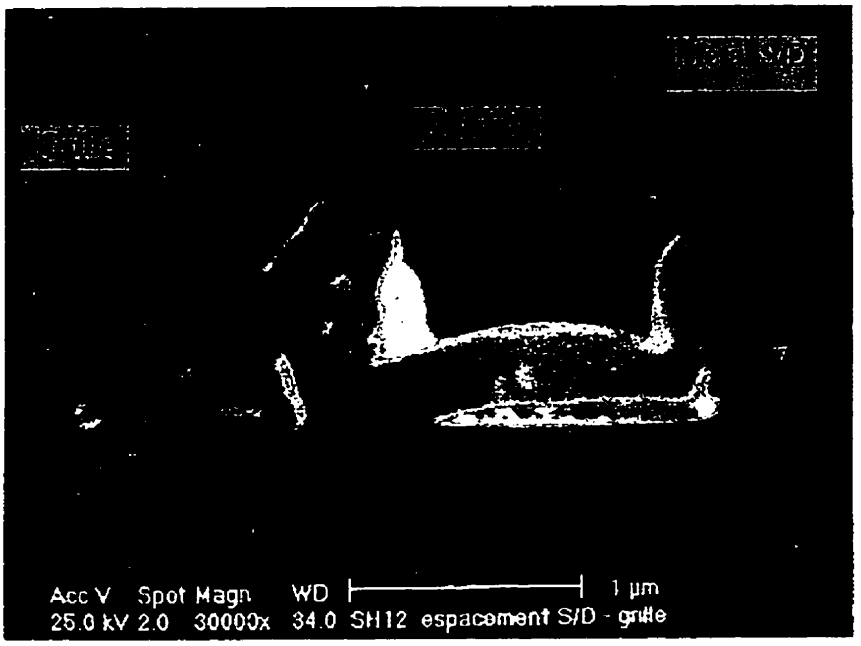
La qualité et la stabilité des performances des circuits fabriqués sont touchées, en dehors des problèmes technologiques qui ne sont pas encore résolus, par les influences secondaires des changements dans les procédés et la variabilité caractéristique à une nouvelle technologie dépourvue de maturité (vieillissement des matériaux, décalibration de l'appareillage, etc.). Le flux de fabrication inclut 6 étapes de contrôle régulières (mesures électriques). Des étapes supplémentaires de contrôle (électrique et/ou

microphysique) et des expériences dédiées ont été ajoutées lors des modifications de la technologie ou pour corriger les nouvelles difficultés.

Pour exemplifier les difficultés technologiques couramment apparues dans la fabrication, nous pouvons mentionner les contacts intermétalliques. Même si les performances électriques et mécaniques des couches métalliques ne posent, en principe, aucun problème, une réduction significative de la fiabilité des interconnexions a été quelquefois identifiée sur les chaînes de contacts ainsi que sur les circuits fonctionnels. En premier lieu, l'analyse EDX a identifié des traces de substances organiques entre les deux couches métalliques. Elles sont dues à l'enlèvement chimique incomplet de la photorésine endurcie après un processus assisté par plasma. Un bref traitement dans un plasma de O_2, après la dissolution dans l'acétone, a éliminé le problème.

Dans une deuxième situation, le grand nombre des circuits ouverts observés au contrôle final et pendant les premières périodes de fonctionnement, a été relié au profil inadéquat des lignes métalliques définies par lift-off. Comme on peut observer à la figure 5.8 (analyse SEM en section du HIGFET), les lignes de grille présentent des "moustaches" causées, probablement, par un dérèglement du processus lift-off. L'effet d'ombrage, amplifié par le dépôt du nitrure, peut interrompre (ou amincir) la continuité des lignes d'interconnexion à l'intersection avec une ligne de grille. Le remplacement de la résine vieillie et l'augmentation de l'épaisseur de la couche métallique ont éliminé aussi ce mécanisme de défaillance.

a. Image d'ensemble



b. Grille avec "moustaches"

Figure 5.8: Analyse SEM en section du HIGFET

Les deux exemples présentés sont, évidemment, des cas heureux où le chemin entre l'effet et la cause des défauts a pu être parcouru et le problème a été résolu. Ce n'est pas toujours une situation pareille, surtout pour les technologies nouvelles avec des étapes de fabrication complexes, comme les processus assistés par le plasma ou les croissances épitaxiales. C'est le motif pour lequel nous considérons que le développement des

modèles de simulation technologique est une nécessité pour assurer la qualité et la fiabilité de la fabrication des dispositifs.

Les simulateurs technologiques sont importants non seulement pour documenter les mesures correctives dans le processus de contrôle, mais également pour l'étape de conception des dispositifs ou pour les études de faisabilité. La valeur d'un simulateur technologique est donnée par l'exactitude des résultats prévus, par l'étendu du domaine des facteurs et performances technologiques considérées, aussi que par la facilité d'interfacer les modèles des différents processus technologiques [21], [22].

Idéalement un simulateur de processus doit partir d'une modélisation analytique des phénomènes physiques et chimiques considérés. Le célèbre modèle du Grove [17] concernant l'oxydation du silicium est un exemple bien connu. Basé sur ce modèle les logiciels de simulation apportent les raffinements mathématiques qui permettent une prévision presque parfaite des performances technologiques.

Pour la plupart des processus technologiques un traitement analytique n'est pas disponible ou se prouve limité à des conditions spécifiques. Dans ce cas une analyse empirique, basé sur les procédés statistiques semble être le meilleur choix.

Dans la section suivante nous présentons une étude comparative des performances offertes par les techniques statistiques dans la simulation technologique. Nous avons considéré la technique "classique" de la surface de réponse [34] mais aussi la théorie plus récente de la conception robuste introduite par Taguchi [63]. La dernière se propose d'étudier et optimiser la variabilité des performances des processus plutôt que les valeurs absolues. Nous avons aussi proposé un modèle basé sur des éléments d'intelligence artificielle. La comparaison de l'exactitude des techniques statistiques [57] et celles

basées sur le réseau neural artificiel (RNA) [25], [44] a été faite en utilisant les mêmes résultats expérimentaux pour l'instruction des modèles empiriques.

5.4 Simulation empirique du processus RIE

Nous avons choisi la gravure RIE comme véhicule de test pour développer la simulation technologique, option justifiée par la complexité du RIE dont un modèle consacré n'existe pas [53], [65]. La méthodologie développée pour la simulation empirique reste applicable à tout autres processus technologiques.

Le processus RIE peut être vu comme la superposition des deux processus complexes distincts: le plasma R.F. et la réaction physico-chimique de surface. La plupart des facteurs technologiques de contrôle du processus RIE (puissance R.F., pression, débits de gaz, fréquence, etc.) contrôlent les performances du plasma qui, à leur tour, contrôlent les phénomènes de surface. Le technologue a peu des moyens (à l'exception de la température du substrat) pour influencer directement les réactions de surface.

Dans ces conditions, la caractérisation du processus RIE seulement par quelques performances fondamentales, par exemple l'anisotropie et le taux de gravure, peut conduire à des résultats catastrophiques. Pour exemplifier, on peut regarder la figure 5.9. C'est évident qu'une telle gravure est inacceptable pour quelconque technologie, dû à une rédéposition accentuée induite par la puissance R.F. trop grande du processus (~100 W). Mais, si on analyse cette gravure en terme d'anisotropie et taux de gravure, on peut déduire que le processus a des très bonnes performances. Le taux de gravure a été deux fois plus grand que pour le processus standard et l'anisotropie est aussi très bonne (la verticalité de la paroi gravée est évidente). A l'annexe 2, nous présentons une liste des principaux paramètres qui caractérisent le processus RIE.

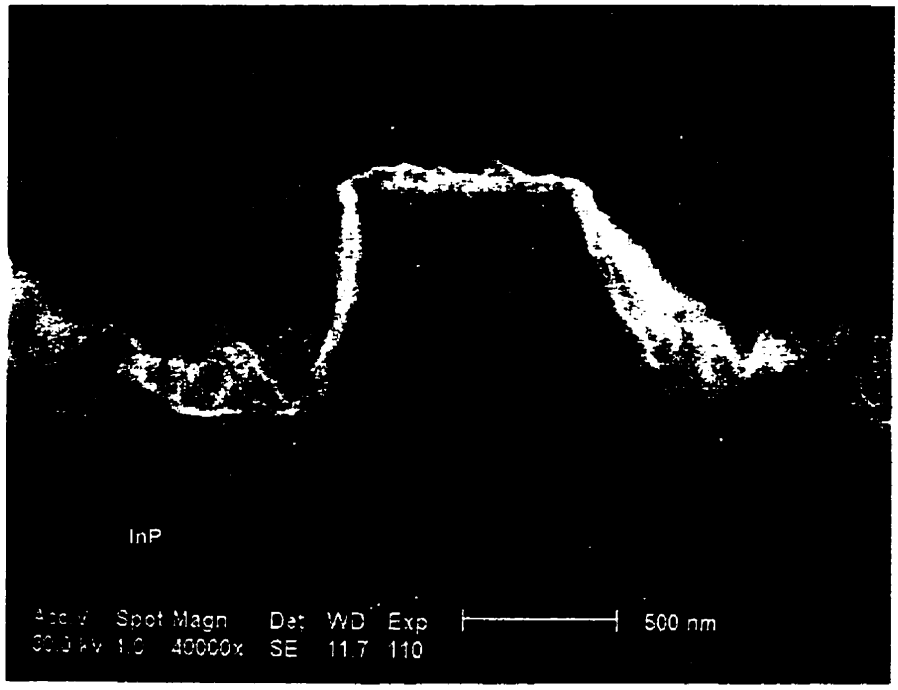


Figure 5.9: Gravure RIE de W avec rédéposition accentuée

5.4.1 Simulation statistique du processus RIE

Le but de cette modélisation est de simuler, avec la meilleure exactitude, les performances du processus RIE en fonction des paramètres prédictifs (facteurs de contrôle et facteurs de signal) dans la présence des éléments perturbateurs (facteurs de bruit).

Nous avons établi des modèles de régression linéaires, avec interactions et carrés pour 4 performances (anisotropie, sélectivité, rugosité et facteur de forme) en considérant 5 paramètres de contrôle (pression, puissance R.F., débit, température du substrat et résine de masquage). L'analyse comparative des performances des différents modèles de régression est réalisée avec les résultats offerts par deux expériences orthogonales

fractionnés (31 conditions expérimentales distinctes) organisés dans un programme central circonscrit composé (CCC) [41]. En vue d'estimer la variabilité du processus nous avons fabriqué 4 échantillons pour chaque condition expérimentale et nous avons mesuré 3 points sur chaque échantillon (12 répliques au total).

Finalement nous avons réalisé un nombre de 6 essais pour valider les modèles. Les valeurs des paramètres de contrôle de ce troisième groupe d'expériences ont été dans le domaine balayé par le programme CCC, les performances mesurées n'étant pas considérées dans l'établissement des modèles de régression. À la figure 5.10 est présenté l'évolution de l'erreur carrée moyenne pour chaque performance mesurée du groupe des expériences de validation en fonction de différents modèles de régression (linéaires, avec interactions et carrés). Dans chaque cas, nous présentons l'erreur du modèle (l'erreur totale avec laquelle sont estimées les performances des points qui ont servi à rédiger le modèle) et l'erreur d'estimation pour le troisième bloc d'expériences, et cette dernière dans deux situations: basée sur une seule réplique et basée sur quatre répliques pour chaque point.

Nous pouvons observer que l'erreur diminue pour les modèles plus complexes (quadratiques). Une observation intéressante est l'erreur plus grande du modèle, par rapport à l'estimation du bloc 3, pour les modèles linéaires. La faible exactitude des modèles conduit a une erreur dépendante de la surface balayée, plus grande pour les points du modèle. Le rapport change pour les modèles quadratique ou l'erreur obtenue pour les points du modèle est plus petite que l'erreur du bloc expérimental.

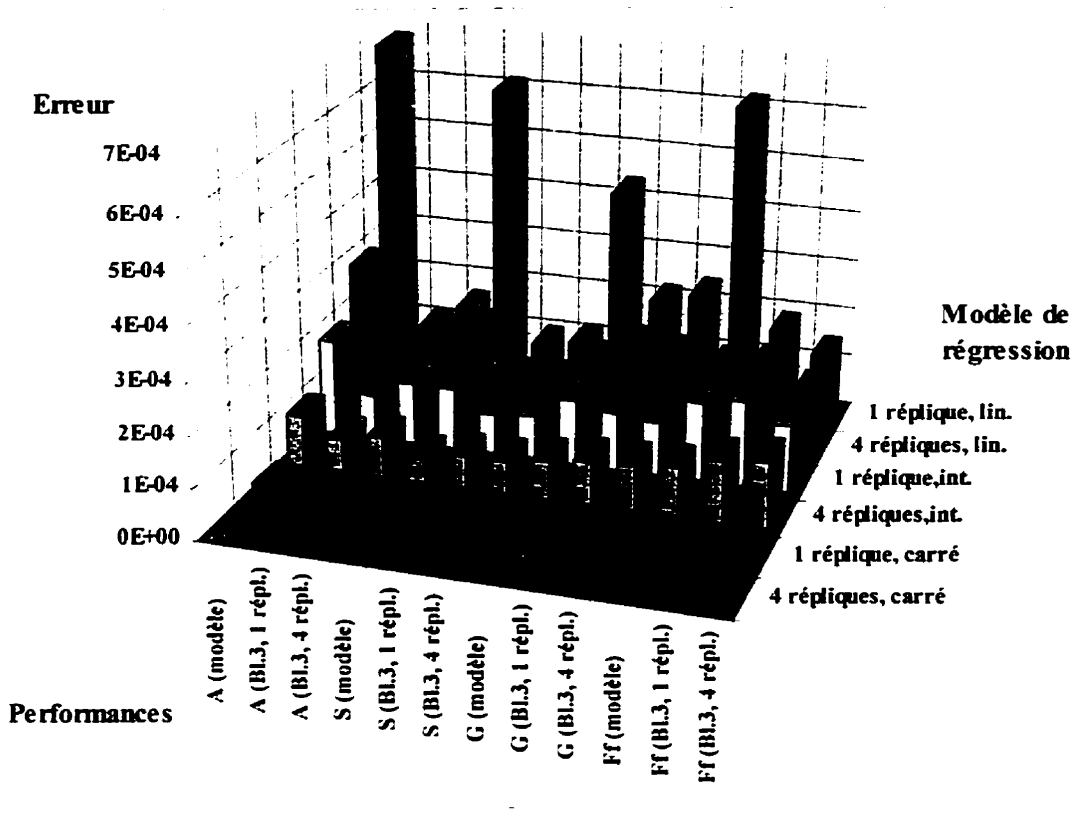


Figure 5.10: Erreur carrée moyenne pour différents modèles de régression

Les principales limitations de la méthode de la surface de réponse sont reliées à:

- le nombre des variables du modèle ne peut pas dépasser une certaine limite (typiquement 6-8 paramètres de contrôle) à cause du nombre excessif des expériences dédiées nécessaires;
- la même barrière de l'effort expérimental limite les modèles de régression au deuxième ordre;
- l'hypothèse implicite de la normalité de la distribution de l'erreur fait impossible la minimisation de la variabilité des performances et l'utilisation, comme fonction but, des performances de robustesse et fiabilité.

Le dernier problème peut être dépassé par l'utilisation des techniques de conception robuste introduites par Genichi Taguchi [59]. Le nombre important de répliques disponibles pour chaque condition expérimentale donne la possibilité de calculer le rapport signal/bruit (RSB) pour toutes les performances du processus RIE. L'analyse de ces résultats a permis d'obtenir des conclusions intéressantes, comme:

- les valeurs maximales du RSB ne correspondent jamais avec les valeurs optimales des performances (plutôt c'est un minimum du RSB qui caractérise les extrêmes désirés de l'anisotropie, sélectivité, rugosité ou du facteur de forme);
- la signification de l'influence de chaque facteur sur la variation du RSB est bien plus grande que pour les performances proprement dites.

Cette deuxième observation explique pour quoi la simulation du RSB par des modèles de régression, même de deuxième ordre, donne une erreur plus grande que pour la modélisation des performances (d'environ deux ordres de magnitude), ce qui rendre inopérants les modèles pour une utilisation pratique.

5.4.2 Utilisation des réseaux neuraux artificiels (RNA) pour la modélisation du processus RIE

Nous avons utilisé un RNA de type FFEBP[1] avec une instruction supervisée par exemples [56]. La structure d'un tel type de réseau, avec deux couches cachées, est présentée à la figure 5.11.

[1] FFEBP - Feed-Forward Error Back-Propagation

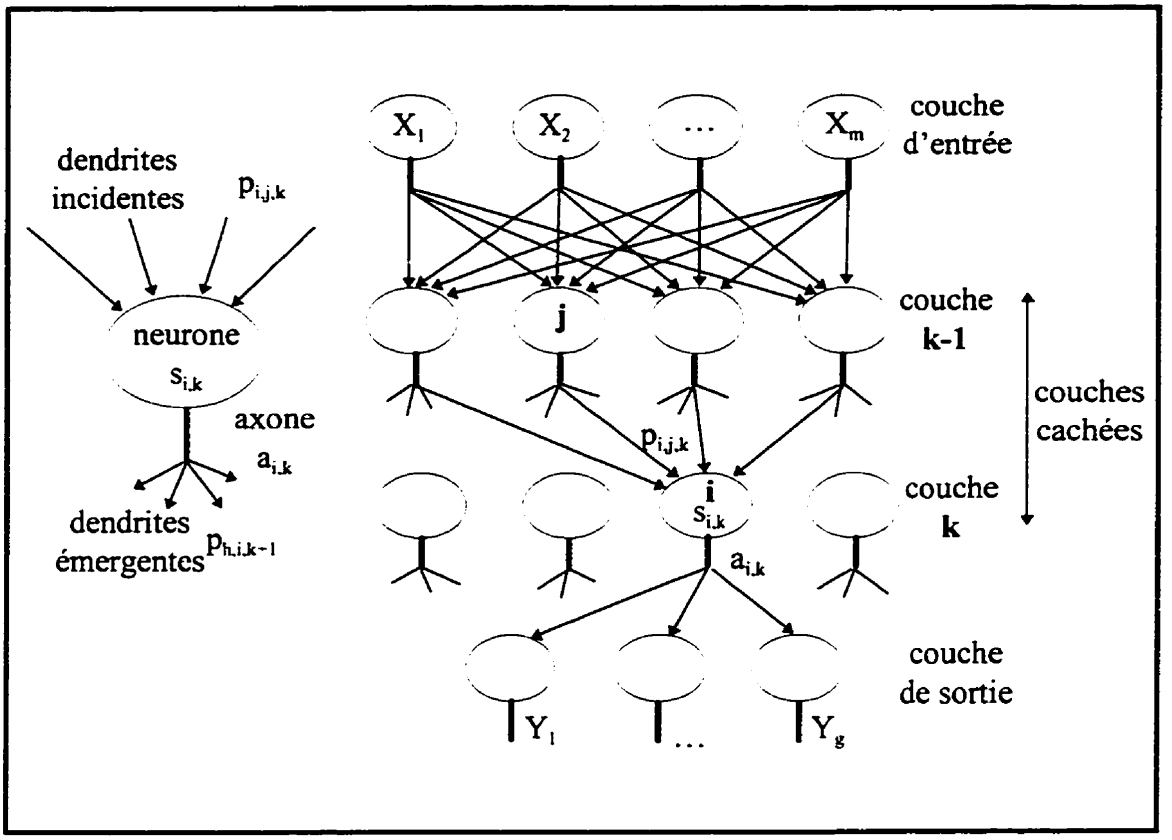


Figure 5.11: Structure du RNA de type FFEBP

L'information est stockée au niveau des pondérations $p_{i,j,k}$ qui représentent le degré d'influence des différentes interconnexions neurales. L'état (l'entrée) du neurone $s_{i,k}$ et la fonction de sortie $a_{i,k}$ associée à l'axone sont définis comme:

$$s_{i,k} = \sum_j \left[p_{i,j,k} \cdot a_{j,k-1} \right] \tag{5.1}$$

$$a_{i,k} = \frac{1}{1 + e^{-s_{i,k}}} \tag{5.2}$$

Le choix de la fonction logistique comme fonction de sortie assure une transformation non-linéaire ($e^{-x} = \sum_{n=0}^{\infty} (-1)^n \frac{x^n}{n!}$) qui permet de dépasser les limites d'un modèle carré

imposées par les techniques statistiques. En quelque sorte, le modèle RNA peut être vu comme un modèle de régression de $n^{ème}$ degré, où n tend vers l'infini.

L'instruction du réseau est basée sur la minimisation de l'erreur générée par la propagation d'un vecteur d'entrée{X_i},

$$E = \frac{1}{2}\sum_{i=1}^{g}\left(y_i - a_{i,n}\right)^2 \tag{5.3}$$

où {Y_i} est le vecteur des valeurs mesurées des performances, g le nombre des performances simulées, et n représente la dernière couche de neurones (la couche de sortie).

La modification des pondérations est donnée par

$$\Delta p_{i,j,k} = -FI \cdot \frac{\partial E}{\partial p_{i,j,k}} \tag{5.4}$$

où FI, le facteur d'instruction, exprime le niveau de confiance dans le modèle.

Pour un exemple d'instruction (les deux vecteurs {Xi}, {Yi}) nous obtenons les relations pour modifier les pondérations (processus d'instruction du réseau):

$$\frac{\partial E}{\partial p_{i,j,k}} = a_{j,k-1} \cdot a_{i,k} \cdot \left(1 - a_{i,k}\right) \sum_{h=1}^{g_{k+1}} \left[\left(\frac{\partial E}{\partial s_{h,k+1}}\right) \cdot p_{h,i,k+1}\right] \tag{5.5}$$

Pour la dernière couche (k+1=n)

$$\frac{\partial E}{\partial p_{h,i,n}} = \left(\frac{\partial E}{\partial s_{h,n}}\right) \cdot \left(\frac{\partial s_{h,n}}{\partial p_{h,i,n}}\right) = \left(y_h - a_{h,n}\right) a_{h,n} \cdot \left(1 - a_{h,n}\right) a_{i,n-1} \tag{5.6}$$

où

$$\frac{\partial E}{\partial s_{h,n}} = \left(\frac{\partial E}{\partial a_{h,n}}\right) \cdot \left(\frac{\partial a_{h,n}}{\partial s_{h,n}}\right) = \left(y_h - a_{h,n}\right) a_{h,n} \cdot \left(1 - a_{h,n}\right) \tag{5.7}$$

L'instruction du réseau avec un groupe d'exemples peut être faite séquentiellement (les exemples sont considérés un après l'autre) où globalement (la matrice des exemples est traitée simultanément). La technique globale est plus efficace dans la première période d'instruction du RNA. Elle assure une convergence plus rapide du RNA et élimine le risque de blocage dans des minimums locaux de l'espace des pondérations. La technique séquentielle reste utile pour ajouter des exemples à un réseau déjà instruit.

Le facteur d'instruction FI a des valeurs empiriques entre 0,01 et 2, choisies d'une manière à assurer la convergence la plus rapide et la stabilité du processus itératif d'instruction. Nous avons proposé un algorithme pour déduire la valeur optimale du FI en fonction de sa valeur antérieure (l'inertie du processus d'instruction) et la dynamique du gradient d'erreur. Pour la "t+1" itération, l'expression du FI devient:

$$FI^{t+1} = a \cdot FI^{t} + b \cdot FI^{t} \cdot \frac{\det\left[\left\{\frac{\partial E^{t+1}}{\partial p_{i,j,k}^{t}}\right\}_k^T * \left\{\frac{\partial E^{t}}{\partial p_{i,j,k}^{t-1}}\right\}_k\right]}{\det\left[\left\{\frac{\partial E^{t}}{\partial p_{i,j,k}^{t-1}}\right\}_k^2\right]} \tag{5.8}$$

où a et b sont des facteurs empiriques (a = 0,8 - 1 et b = 0,2 - 0,6).

En utilisant les mêmes résultats expérimentaux que ceux pour rédiger les modèles statistiques, nous avons obtenu une erreur de simulation bien plus réduite. Le perfectionnement de l'algorithme d'instruction du réseau améliore l'exactitude du

modèle. Le tableau 5.1 présente une comparaison entre les meilleurs résultats obtenus par la simulation statistique et ceux qui ont été obtenus par l'utilisation du RNA.

Tableau 5.1: Comparaison entre les performances des modèles empiriques de simulation

Méthode d'instruction	Erreur minimale (techniques statistiques)	Erreur RNA (Algorithme standard)		Erreur RNA (Algorithme optimisé)	
	Bloc 1+2	Bloc1	Bloc 1+2	Bloc 1	Bloc 1+2
Instruction séquentielle	$4,65*10^{-5}$	$3,40*10^{-5}$	$2,89*10^{-5}$	$3,14*10^{-5}$	$1,93*10^{-5}$
Instruction globale		$3,27*10^{-5}$	$2,57*10^{-5}$	$1,61*10^{-5}$	$0,86*10^{-5}$

Une différence pareille, même plus accentuée, a été trouvée entre la simulation du RSB par les deux techniques. Les résultats sont présentés au tableau 5.2.

Tableau 5.2: Simulation du RSB par les modèles empiriques de simulation

Méthode d'estimation du RSB	Erreur carrée moyenne pour le bloc 3				
	Anisotropie	Sélectivité	Rugosité	Facteur de forme	RSB total
Statistique	$293*10^{-5}$	$158*10^{-5}$	$419*10^{-5}$	$106*10^{-5}$	$62*10^{-5}$
RNA	$14*10^{-5}$	$23*10^{-5}$	$19*10^{-5}$	$29*10^{-5}$	$34*10^{-5}$

La réduction de l'erreur dans la simulation des performances par RNA (Tableau 5.1) est un succès évident de cette technique. Dans le cas de la simulation du RSB la diminution

d'un ordre de magnitude de l'erreur offerte par le RNA est bien plus spectaculaire et l'avantage de l'utilisation de cette technique plus évident.

Nous devrons souligner que le champ encore vaste des possibilités d'amélioration du fonctionnement du RNA rend cette méthode encore plus intéressante.

Les résultats obtenus ont permis le développement d'un modèle pour l'estimation 3D de la géométrie de la surface gravée [64]. À la figure 5.12 sont présentés les résultats simulés d'une gravure de W avec trois profils initiaux de photorésine (pentes différentes des parois de la fenêtre du masque).

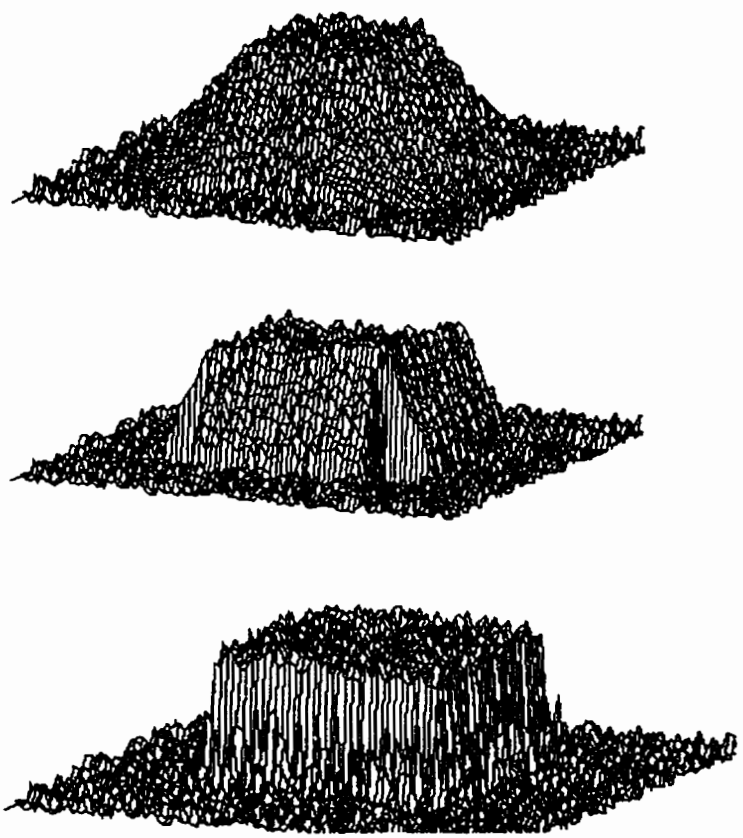


Figure 5.12: Effet de la géométrie de masque sur le profil simulé de gravure

Chapitre 6

Mesures électriques

6.1 Introduction

La caractérisation électrique des dispositifs et circuits intégrés a représenté un objectif fondamental du projet. Elle reste la principale méthode de validation des résultats finaux et une outille très puissante de contrôle technologique et de documentation des mesures correctives.

Essentiellement, les mesures électriques peuvent être rangées en trois groupes:

- contrôle électrique sur les véhicules de test;
- performances électriques en courant continu;
- fonctionnement dans le domaine des micro-ondes.

Pendant chaque cycle de fabrication nous avons réalisé des mesures électriques sur des dispositifs de test dédiés. Le but principal a été le contrôle de la qualité des différentes étapes technologiques et la validation des changements des processus de fabrication. Les mesures destinées au contrôle sont, en général, des mesures en courant continu.

Nous avons fréquemment utilisé, dans le contrôle du processus, les véhicules de test comme témoins technologiques. Nous avons répété les mesures électriques sur la même structure de test après différentes étapes technologiques. La variation des certaines

performances mesurées a été utilisée pour vérifier la stabilité technologique et identifier les problèmes et les faiblesses de processus.

Pour la caractérisation en courant continu des dispositifs HIGFET nous avons mesuré les caractéristiques I-V de transfert et de sortie. La caractéristique de transfert est donnée par le courant de drain, I_D, en fonction de la tension grille/source, V_{GS}, pour différentes valeurs de la tension drain/source, V_{DS}. Elle permet d'établir la tension de seuil V_T et le gain décrit par le transconductance g_m.

La caractéristique de sortie représente la variation du courant I_D en fonction de V_{DS} ayant la tension V_{GS} comme paramètre. Cette caractéristique offre les niveaux de courant dans les conditions canal ouvert et canal fermé, paramètres essentiels pour les applications d'échantillonnage. Si nous considérons un nombre suffisant de valeurs du paramètre V_{GS}, les informations offertes par la caractéristique de transfert peuvent être retrouvées aussi. Ainsi, le niveau de la tension de seuil est suggéré par V_{GS} de la première caractéristique avec une valeur significative du courant de drain. La transconductance est donné par l'espacement vertical des caractéristiques, mesurées avec un pas constant de V_{GS}.

Une fois les transistors formés (grilles et contacts source/drain définis), nous avons utilisé les mesures de caractéristiques I-V comme véhicule de test et témoin technologique. Le nombre plus grand des performances estimables à partir de la caractéristique de sortie, a imposé cette caractéristique comme la plus fréquemment mesurée.

La caractérisation du fonctionnement des HIGFETs dans le domaine des micro-ondes a été réalisée par les mesures de paramètres S. Nous avons réalisé les mesures pour les dispositifs en connexion source commune, pour un domaine de fréquence de 30 MHz à 3 GHz et pour différentes conditions de polarisation de grille et de drain. À partir des

valeurs expérimentales des paramètres S, nous avons calculé certaines performances comme la fréquence de coupure f_T ou le gain en puissance et nous avons établi les éléments du circuit équivalent des HIGFETs.

Les circuits fonctionnels, tel que les circuits numériques ou les cellules d'échantillonnage, ont nécessité des circuits de mesure plus spécifiques. Nous avons effectué des mesures tant dans le domaine du temps que dans le domaine des fréquences (par la transformée Fourrier). Dans le domaine du temps, nous avons mesuré les signaux périodiques avec un oscilloscope à échantillonnage qui travaille jusqu'à 40 GHz (HP54122). Le régime transitoire et les autres signaux apériodiques ont été caractérisés par des oscilloscopes en temps réel. L'oscilloscope de Gage a permis les mesures jusqu'à 250 MHz et les meilleurs résultats ont été obtenus avec un oscilloscope HP en temps réel limité à 2 GHz. En utilisant quatre canaux de mesure, nous avons augmenté, artificiellement, la fréquence de travail jusqu'à 8 GHz.

6.2 Contrôle technologique

Pour caractériser la qualité et la fiabilité du processus technologique, nous avons ajouté à chaque jeu de masques réalisé un nombre des circuits de test. La structure de test la plus utilisée a été la structure TLM. Elle consiste dans une succession de contacts ohmiques avec une géométrie identique et qui sont espacés à des distances de plus en plus grandes, dans une progression géométrique.

6.2.1 Résistance de contact et résistance feuille

Les structures TLM [22] ont été utilisées pour vérifier la qualité des contacts ohmiques. La technique de calcul des valeurs de la résistivité de contact et de la résistance feuille du canal est bien établie dans la littérature [26], [55].

Nous avons utilisé des structures TLM avec cinq valeurs de la longueur du canal: 4 μm, 10 μm, 20 μm, 40 μm et 80 μm. Deux valeurs ont été utilisées pour la largeur du canal: 150 μm et 300 μm. Les valeurs cibles pour les performances des contacts ohmiques sont les suivantes.

La résistance de contact, $R_C = 2{,}5\ \Omega$ (pour W=150 μm) et
$R_C = 1{,}25\ \Omega$ (pour W=300 μm).

La résistivité de contact, $\rho_C = 2{,}5 * 10^{-6}\ \Omega cm^2$.

La résistance feuille, $R_F \in (500, 2000)\ \Omega/\square$
avec une valeur $R_F = 700\ \Omega/\square$ pour le dopage optimal du canal.

L'aspect typique des caractéristiques I-V du TLM est présenté à la figure 6.1. Théoriquement, les caractéristiques I-V devraient être des lignes droites sur tout le domaine de variation de la tension (caractère entièrement résistif). Après une certaine valeur de la tension, l'effet de saturation du canal limite la conduction, mais d'autres non-linéarités peuvent intervenir et influencer les caractéristiques du TLM. Toutefois, la linéarité des caractéristiques autour de l'origine est strictement nécessaire pour avoir des bons contacts ohmiques.

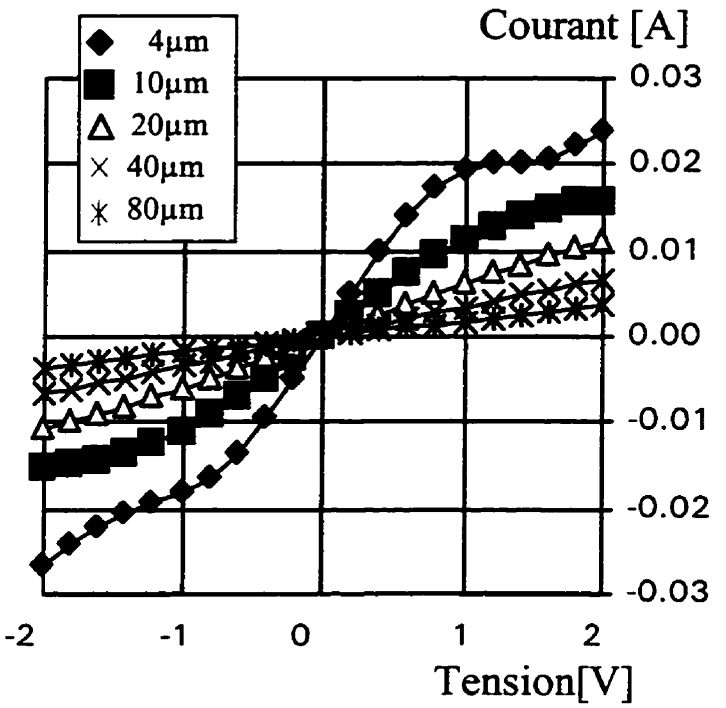


Figure 6.1: Caractéristique I-V typique du TLM

Les valeurs de la résistance de chaque caractéristique du TLM autour de l'origine peuvent être interpolées avec une droite de pente 'p' et ordonnée 'R_0'. Les performances du TLM caractérisé par la largeur W et les paramètres p et R_0 peuvent être écrites comme:

$$R_C = \frac{R_0}{2} \tag{6.1}$$

$$R_F = p \cdot W \tag{6.2}$$

$$\rho_C = \frac{R_C^2 \cdot W^2}{R_F} \tag{6.3}$$

Les figures 6.2, 6.3 et 6.4 présentent les caractéristiques du TLM, la dépendance des résistances des cellules TLM en fonction de la tension et la droite d'interpolation des valeurs des résistances, respectivement.

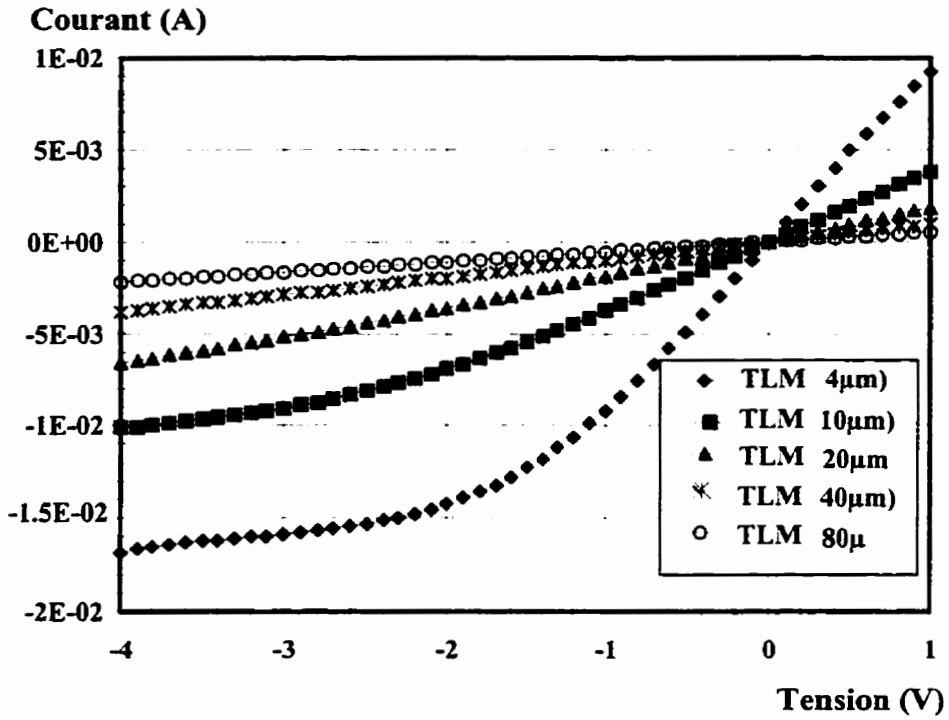


Figure 6.2: Caractéristique I-V de la structure TLM

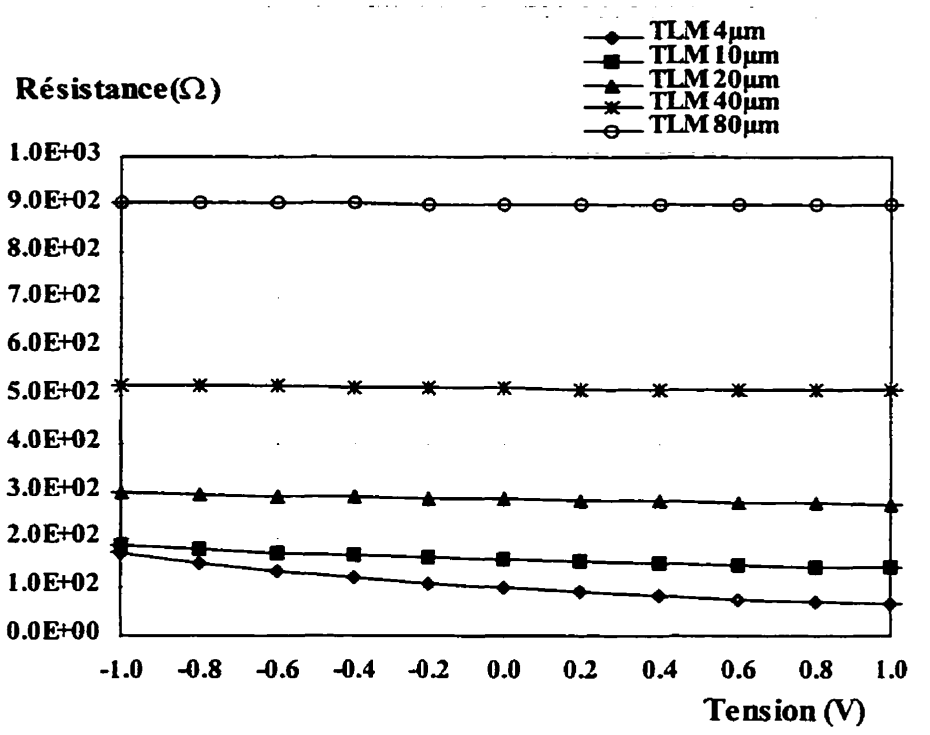


Figure 6.3: Dépendance de tension de la résistance des cellules TLM

Les caractéristiques du TLM sont, en principe, symétriques par rapport à l'origine. Pour mieux observer le domaine linéaire, les caractéristiques pour les valeurs positives de la tension ont été limitées à 1 V.

La figure 6.3 montre des valeurs assez stables de la résistance pour une excursion en tension de 2 V (de -1 V à +1 V). Pour la cellule TLM avec une longueur de 4 µm la variation de la résistance est maximale. En plus, une certaine asymétrie prouve la variabilité de l'uniformité des contacts.

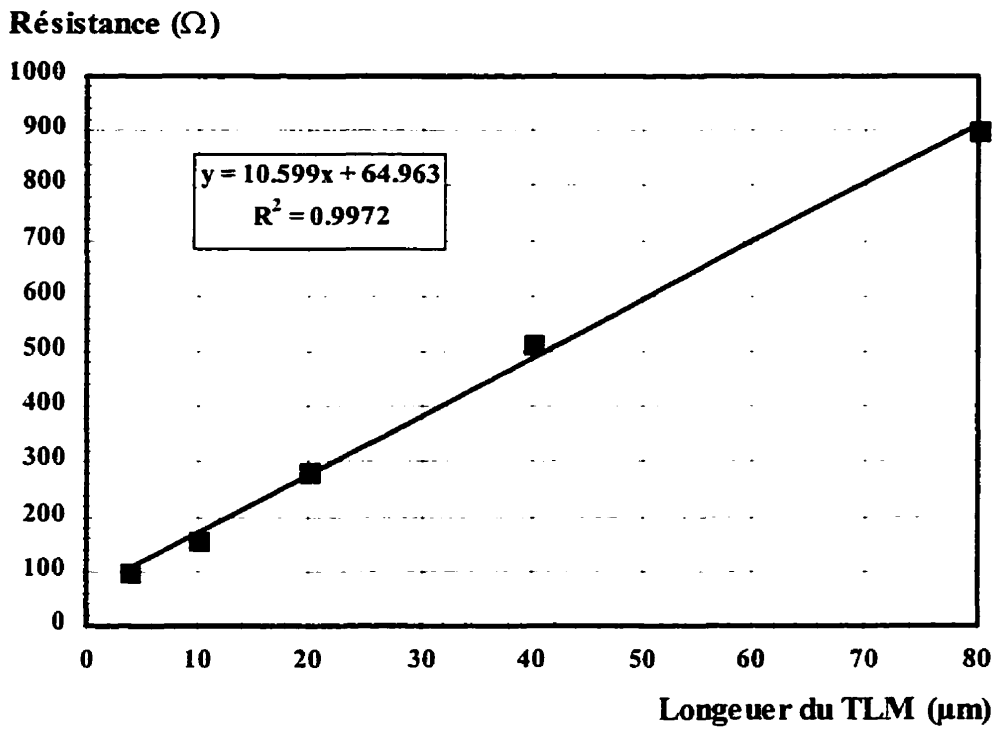


Figure 6.4: Régression linéaire des résistances du TLM

Les cinq valeurs de résistance à l'origine correspondent à une variation linéaire avec une valeur du test R^2 de 0.9972 (1 est le cas idéal). La pente de la droit d'interpolation est 10,6 Ω/µm et l'ordonnée est approximativement 65 Ω. Les valeurs calculées des performances du TLM sont une résistance de contact de 32,5 Ω qui corresponde à une résistivité $\rho_C = 30 * 10^{-6}\ \Omega cm^2$. La résistance feuille est de 299 Ω. Cette structure TLM correspond à un dopage élevé du canal, qui donne une R_F petite, mais des valeurs assez grandes de la résistivité de contact.

Les meilleures valeurs calculées pour la résistance de contact sont de l'ordre de $R_C = 3\ \Omega$ avec un écart moyen de 1,4 Ω et la résistance feuille est d'environ $R_F = 950\ \Omega/\square$ avec un écart moyen de 90 $\Omega/\square$.

Les structures TLM se sont montrées très utiles dans le contrôle de la robustesse technologique. Les valeurs mesurées des résistances sur les structures TLM pour le métal comme déposé, après l'attaque chimique du cap d'InGaAs, et après le cycle RTA sont présentées à la figure 6.5.

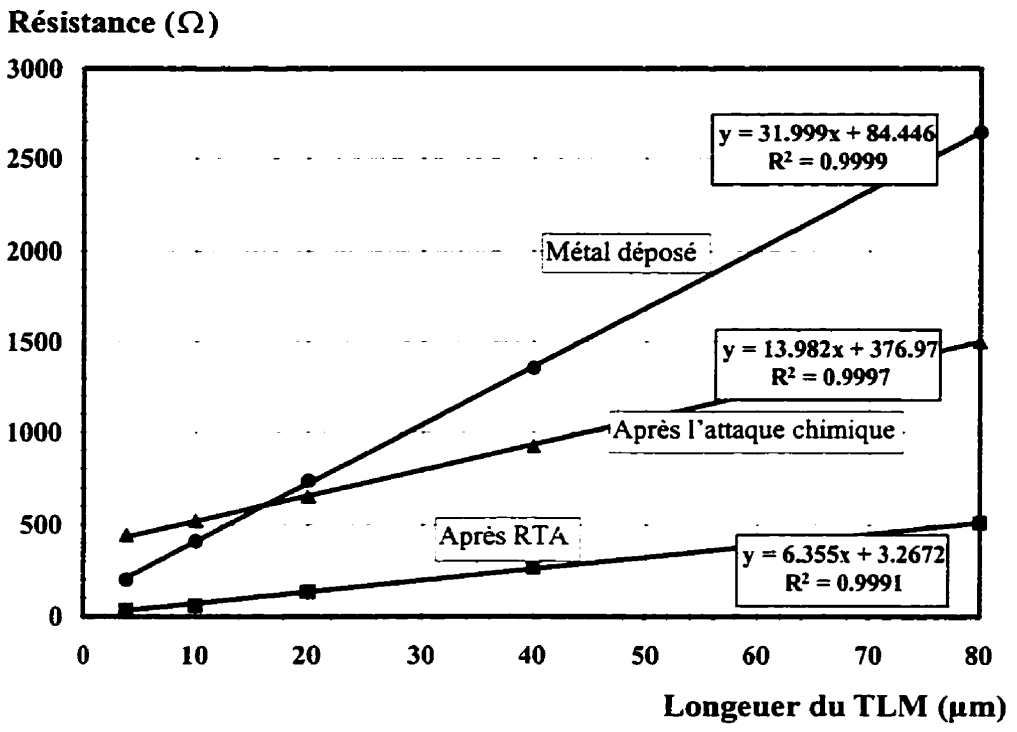


Figure 6.5: Régression linéaire des résistances TLM après différentes étapes de fabrication

Les valeurs obtenues pour les performances du TLM, dans les trois cas considérés, sont présentées au tableau 6.1.

Tableau 6.1: Influence technologique sur les performances des TLMs

	Résistance de contact [Ω]	Résistance feuille [Ω/□]	Résistivité de contact [Ωcm²]
Métal déposé	42.2	9597	$167 \cdot 10^{-6}$
Attaque chimique	188.5	4195	$7620 \cdot 10^{-6}$
RTA	1.63	1907	$1{,}2 \cdot 10^{-6}$

Les valeurs présentées dans le tableau 6.1 montrent un contact ohmique assez bon après la déposition du métal. Ce contact est dû à la couche superficielle de InGaAs. La conduction est assurée aussi par la couche d'InGaAs et donne une résistance feuille élevée, $R_F \sim 10$ kΩ/□ .

Après la gravure de la couche couvercle de InGaAs, le courant est forcé à circuler par le canal enterré de InGaAs. La valeur de la résistance feuille diminue à 4,2 kΩ/□ mais la qualité des contacts se détériore, essentiellement dû à la barrière de la couche d'InP qui doit être franchie par le courant, entre les contacts et le canal.

Enfin, après le cycle RTA, la conductance du canal s'améliore, ce qui diminue la résistance feuille à seulement 2 kΩ/□ . En même temps, les performances des contacts s'améliorent (dopage de la région de contact par la diffusion du Ge), et la résistance de contact devient $R_C = 1.63$ Ω. La résistivité de contact est $\rho_C = 1{,}2 \cdot 10^{-6}$ Ω/cm².

Les valeurs mesurées des résistances sur les structures TLM ont permis d'identifier les problèmes majeurs de conduction et de déceler entre la manque de conduction du canal et les mauvais contacts. Des mesures réalisées avec et sans lumière laissent observer un

saut dans les niveaux de courant, quand les contacts ohmiques sont bons, et la grande valeur de la résistance du canal est due aux problèmes de conduction 2DEG. Pour les contacts ohmiques qui semblent bien réalisés, la variation de la lumière incidente (lampe du microscope ou même la lumière ambiante) induit une variation importante du courant (de 10 nA à 1 μA).

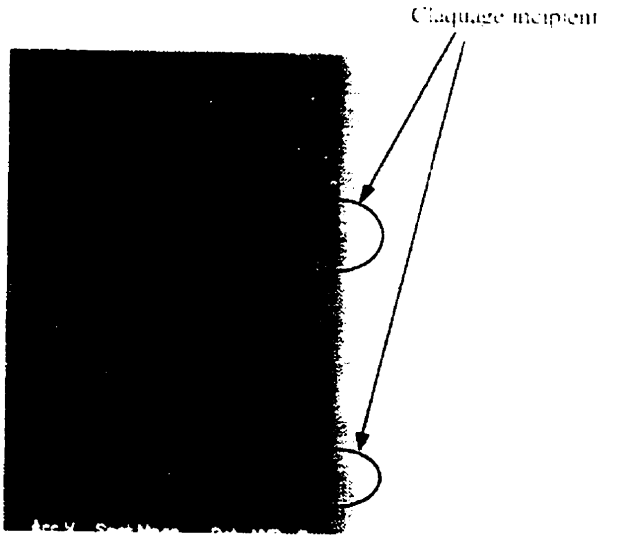
Nous avons utilisé les structures TLM pour étudier l'effet de la gravure RIE et de la déposition de nitrure par PECVD, aussi que pour des études de fiabilité des dispositifs. Dans ce dernier cas, des mesures ont été réalisées avant et après des cycles thermiques pour le vieillissement accéléré.

Les études réalisées sur les structures TLM donnent un bon aperçu sur le niveau des tensions de claquage. La structure TLM peut être vue comme un HIGFET sans grille. Évidement, la présence de l'électrode de grille influence la disposition des lignes du champ électrique, mais nous avons observé, expérimentalement, qu'il y a une très faible différence entre la tension de claquage d'une cellule TLM et celle d'un transistor avec la même géométrie de la région active. La variabilité assez accentuée de la tension de claquage des différents lots de fabrication, et même pour les dispositifs d'un seul lot, a nécessité une étude approfondie des causes du claquage.

Une diminution importante de la tension de claquage a été observée après le remplacement de la définition de la grille par RIE avec la technique lift-off. L'étude que nous avons réalisée montre une connexion entre le claquage localisé et les défauts cristallographiques de surface. Une cause importante des défauts est la présence des "moustaches" laissées par la définition lift-off, et qui induisent du stress mécanique. À la figure 6.6 on peut observer le défaut (fusion du semi-conducteur) produit par le claquage (microscopie optique). Avant le claquage, une étude par contraste de potentiel dans le microscope à balayage (SEM) montre la conduction préférentielle localisée au niveau

des défauts. En augmentant la tension sur la structure TLM, l'amplitude des pics noirs augmente jusqu'au claquage, qui, dans les conditions de vide, conduit à la destruction complète de l'échantillon.

Microscopie optique



SEM

Figure 6.6: Analyse par microscopie optique et SEM du phénomène de claquage

Les figures 6.7, 6.8 et 6.9 présentent une étude comparative des effets produits par le claquage de début d'une structure TLM. Le dispositif a supporté des cycles I-V successifs avec une excursion de la tension de 5 V et une limitation du courant de 1 μA. La longueur du canal est de 4 μm. Après chaque groupe de 25 cycles nous avons pris une photographie du dispositif.

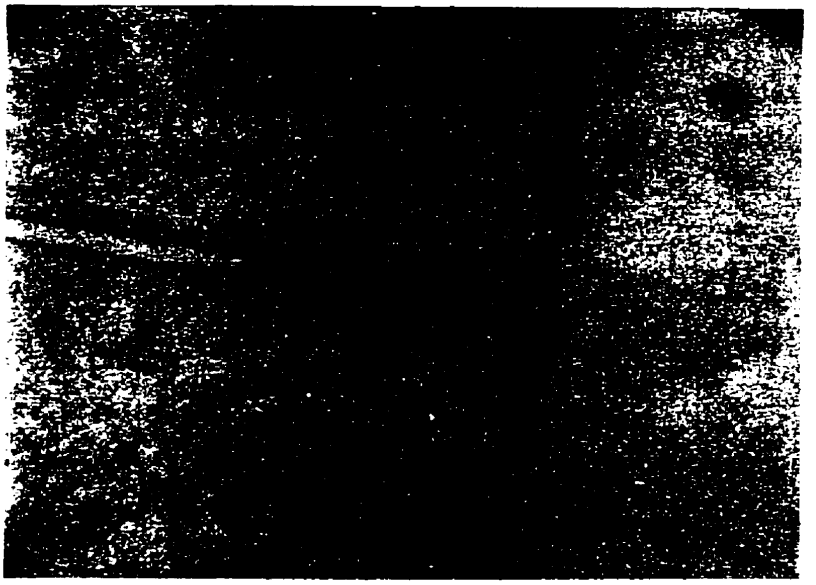


Figure 6.7: Structure TLM après 25 cycles I-V

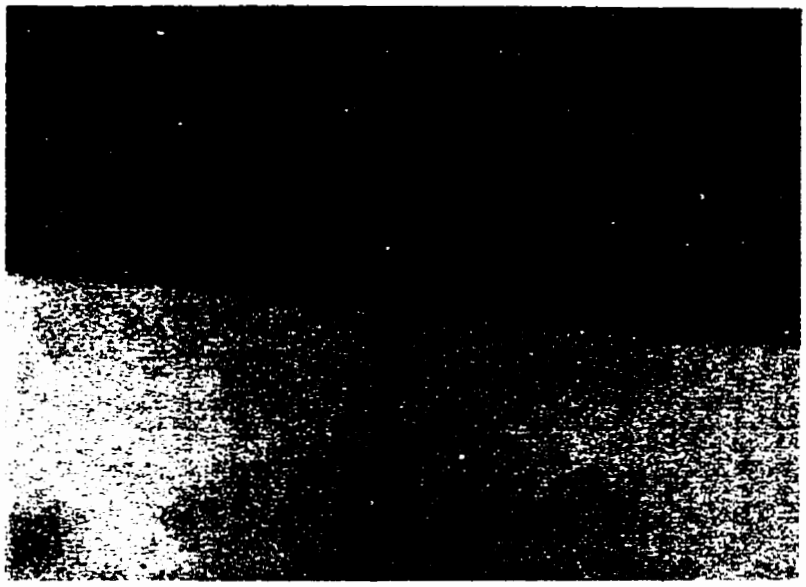


Figure 6.8: Structure TLM après 50 cycles I-V

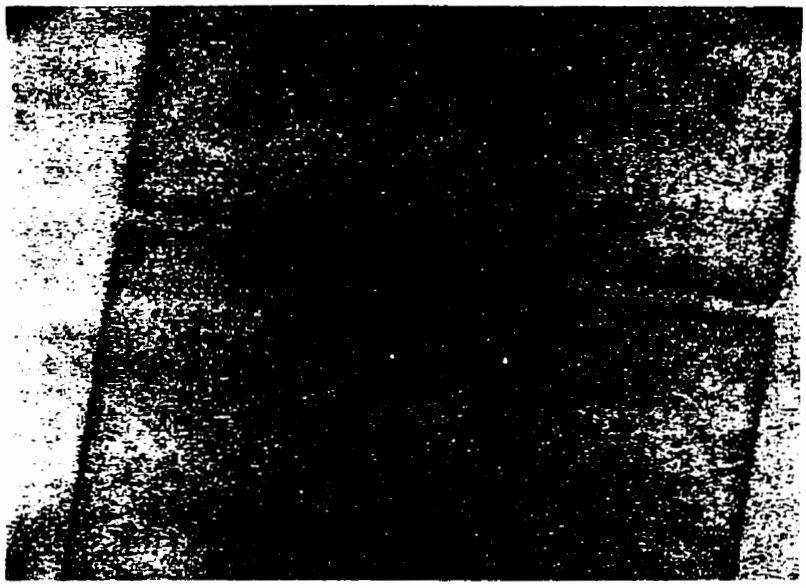


Figure 6.9: Structure TLM après 75 cycles I-V

L'apparition du claquage de début, observée sur le caractérographe après seulement trois cycles, produit une fusion locale à la surface du canal et la concentration du courant dans

cette région (Figure 6.7). Après les prochains 25 cycles I-V, la figure 6.8 montre une plus nette définition du canal de claquage. À la figure 6.9 nous pouvons observer l'agrandissement de la zone de fusion aussi que la région affectée par l'effet thermique excessif.

6.2.3 Résistance des couches métalliques et des contacts

Nous avons mesuré la résistivité des couches métalliques en utilisant des lignes de mesure et les résistances des contacts entre différents niveaux d'interconnexion avec les chaînes de contacts.

La résistance sur carré des métaux d'interconnexion et de grille est d'environ 0,15 $\Omega/\square$ avec une dispersion de ±15%. Le métal de source/drain a une résistance de 0,6 $\Omega/\square$ et une dispersion typique sur le même échantillon de moins de ±5%.

Pour estimer la qualité des contacts entre les couches métalliques, nous avons utilisé les chaînes de contacts incluses dans tous les jeux de masques. La configuration typique d'une chaîne de contacts consiste entre 24 et 128 contacts avec une fenêtre de contact de 225 μm^2 (15 μm x 15 μm). Dans la valeur de la résistance d'une chaîne, l'apport dû aux lignes métalliques est de l'ordre de 10 Ω, le reste étant dû aux contacts. Le tableau ci-dessous présente les résultats mesurés pour quatre lots de fabrication.

Tableau 6.2: Résistances des couches métalliques et des contacts

Lot	Dé	Résistance interconnexions (Ω/□)	Résistance métal de grille (Ω/□)	Résistance métal de source et drain (Ω/□)	Chaîne de contacts grille-interconnexion (Ω)	Chaîne de contacts source/drain-interconnexion (Ω)	Chaîne de contacts source/drain-substrat (Ω)
sh9	A	0,11	0,143	0,60	21	45	1M
	C	0,12	0,129	0,60	20	>1M	16k
sh10	A	0,135	0,157	0,59	32	34	240
	B	0,142	0,139	0,60	28	40	0,3M
	D	0,144	0,144	0,58	33	28	87
sh12	A	0,172	0,142	0,60	22	240	>1M
	B	0,148	0,148	0,60	20	30k	>1M
	C	0,153	0,153	0,60	18	>1M	2k
	D	0,167	0,141	0,61	21	140	>1M
sh18	A	0,128	0,174	0,59	27	67	16k
	B	0,154	0,156	0,60	32	24	216
	C	0,133	0,162	0,60	34	480	120
	D	0,144	0,169	0,58	41	67	40k

Les résultats du tableau 6.2 montrent des valeurs attendues pour la résistance sur carré des métaux. La dispersion des valeurs pour la couche de métal de grille est plus grande mais reste dans le domaine de ±15%.

Les résistances des chaînes de contacts sont bien plus contrariantes. Les chaînes de contacts source/drain-interconnexion et surtout source/drain-substrat ont, dans la plus

part des situations, des valeurs inacceptables. Les résultats peuvent être dus aussi aux contacts eux mêmes qu'aux autres problèmes technologiques (continuité des lignes, désalignement, etc.). La pire situation semble être celle du lot sh12 où un problème des résidus d'interface dans la fenêtre du contact a été identifié et résolu. Dans la fabrication des derniers lots dans la technologie HIGFET les problèmes d'interconnexions ont été définitivement résolus à l'exception d'une faible dégradation dans le temps, dégradation compréhensible pour un dispositif non-encapsulé et, fréquemment, non-passivé.

6.3 Mesures des HIGFETs en courant continu

Les caractéristiques c.c. des FETs ont montré des valeurs maximales des courants (V_{GS}=1,5V) dans le domaine 5 à 45 mA. La transconductance est de l'ordre de 10-100 mS/mm et les dispositifs ferment pour une tension $V_{GS} < -1,5V$. Le rapport Ion/Ioff est de 10^5-10^6 pour une variation de grille de $\Delta V_{GS} = 2$ V et augmente si l'échelon de V_{GS} augmente.

Nous avons mesuré les caractéristiques I-V de sortie et de transfert des HIGFETs. Le dispositif représentatif est un transistor à grille de 2 µm et largeur de 300 µm. La tension de grille a balayé le domaine de -5,2 V à +1,2 V (pas de 800 mV) et celle de drain a été entre 0 V et 5 V (pas de 50 mV). Le courant maximum, Idss (V_{GS} = +1,2 V), a été d'environ 17 mA (entre 15 et 20 mA sur le même dé). La valeur typique de g_m (aussi pour V_{GS} = +1,2 V), a été de 10-15 mS (30-50 mS/mm). La tension de seuil V_T est plus grande que -3,5 V. À V_{GS}=-3 V le courant de drain est plus petit que 100 nA et pour V_{GS}=-3,5 V le courant est de moins de 10 nA (limite du bruit). Le courant de grille est en dessous de la limite du bruit (1-10 nA) à l'exception des cas où la tension de grille est plus négative que -4 V. Dans ce cas, l'augmentation du I_G peut atteindre 100 nA - 1 µA

pour V_{DS} > 2 V. L'aspect typique de la caractéristique I_D-V_{DS} en fonction de V_{GS} est présenté à la figure 6.10.

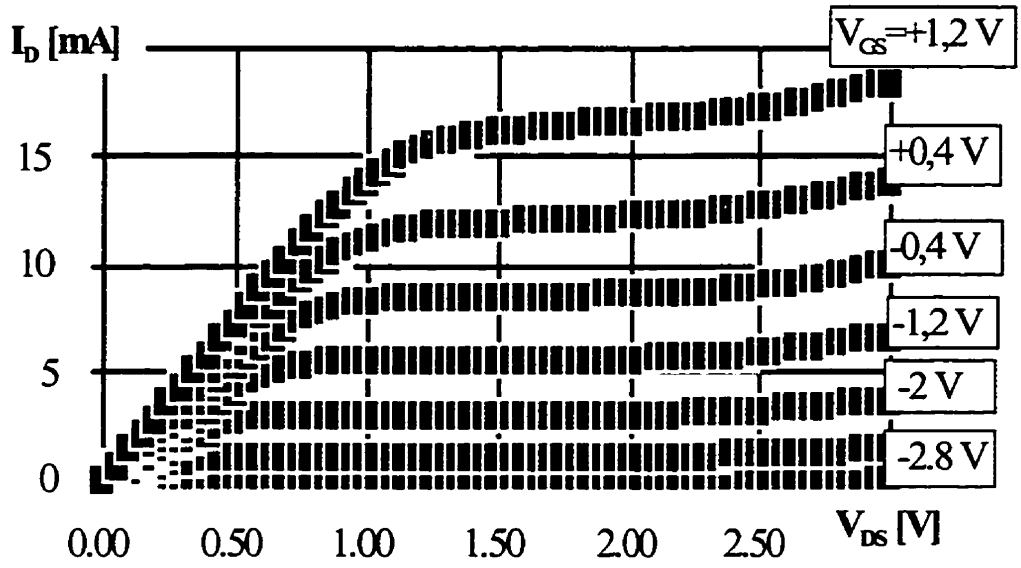


Figure 6.10: Caractéristique I_D-V_{DS} du HIGFET

La figure 6.11 montre la caractéristique de claquage du HIGFET pour une tension de grille V_{GS} = -3.5 V. La tension de claquage peut être définie comme la tension de source/drain où le courant de drain augmente significativement et dépasse une certaine valeur de seuil. Nous avons choisi comme seuil pour le claquage un courant de 10 μA. Dans notre cas, la tension de claquage est de l'ordre de 6,5 V, une valeur excellente pour les dispositifs réalisés sur les composants III-V.

De la représentation logarithmique de la caractéristique de claquage, nous pouvons observer que le mécanisme de conduction change pour une tension d'environ 6,2 V et le claquage en avalanche commence à 7 V.

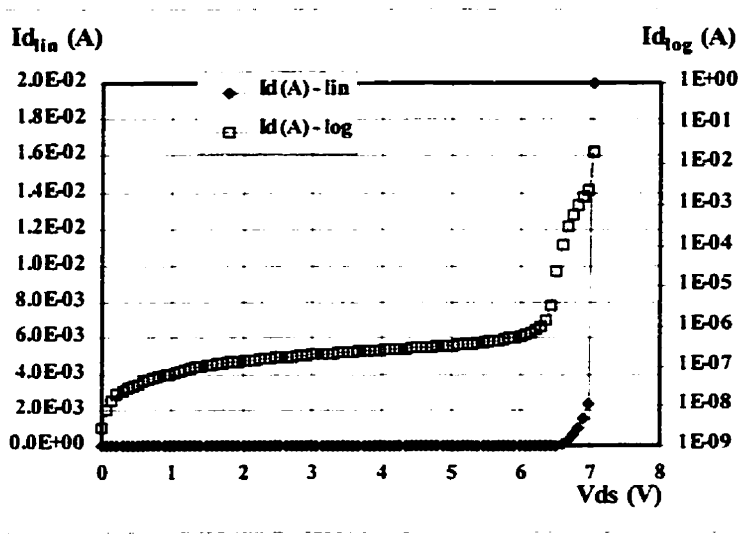


Figure 6.11: Caractéristique de claquage (V_{GS}=-3.5 V)

À la figure 6.12 nous présentons l'aspect typique d'une caractéristique de transfert du HIGFET. La tension de grille est variée entre -5 V et +1 V, pour des tensions V_{DS} comprises entre 0,1 V et 5,1 V avec un pas de 1 V.

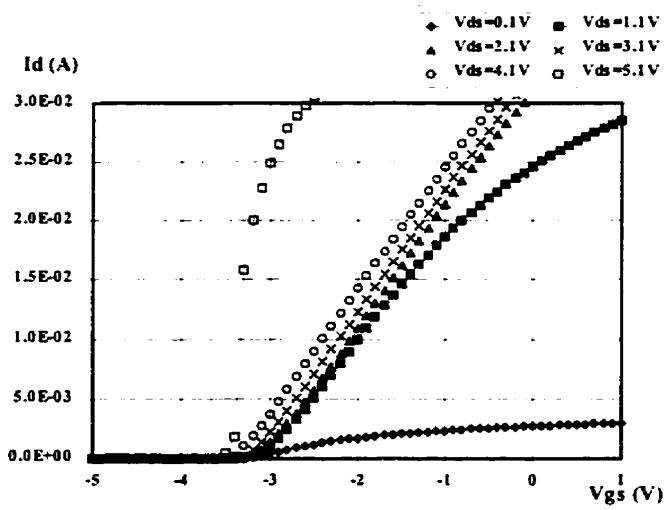


Figure 6.12: Caractéristiques de transfert

Trois domaines de fonctionnement peuvent être identifiés dans la figure 6.12. Il sont le domaine linéaire, pour V_{DS} = 0,1 V, le domaine de saturation pour V_{DS} comprise entre 1,1 V et 4,1 V, et le domaine de saturation profonde pour V_{DS} plus grande que 5 V, où le fonctionnement du HIGFET est complètement non-linéaire.

La figure 6.13 montre les caractéristiques de transfert linéaire (V_{DS} = 0,1 V) et de saturation (V_{DS} = 4,1 V) dans une représentation linéaire et logarithmique. Les premières permettent, par extrapolation linéaire des caractéristiques, l'estimation de la tension de seuil. V_T est -3,2 V dans le régime linéaire et -3,45 V dans la saturation. Les représentations logarithmiques permettent le calcul du facteur de sous-seuil S, qui a des valeurs d'environ 98 mV/décade. Cette valeur est comparable avec les valeurs typiques du facteur S des transistors CMOS réalisés sur silicium.

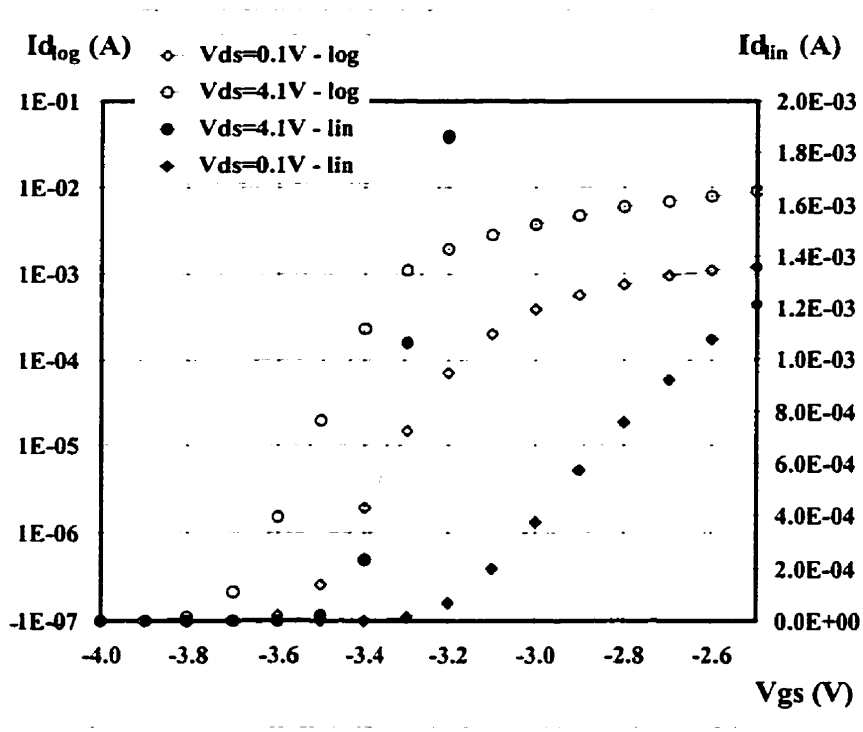


Figure 6.13: Caractéristiques de transfert linéaires et de saturation

Les résultats présentés dans cette section sont mesurés sur le lot SH18, un des meilleurs lots de fabrication. Pendant le déroulement du projet, nous avons rencontré beaucoup des anomalies dans le fonctionnement des HIGFETs que nous avons eu à corriger ou à limiter. C'est le motif pour lequel les caractéristiques c.c. des transistors, bien que des performances fondamentales du produit final, ont été intensivement utilisées dans le contrôle technologique.

Un problème typique identifié sur la plupart des lots de fabrication est l'apparition d'un nouveau mécanisme de conduction pour les tensions de drain, V_{DS}, plus grandes que 2,5-3 V. Les caractéristiques sont affectées par un claquage mou qui est probablement dû à la conduction par le canal neutre d'InGaAs. La conduction de la zone neutre est superposée sur la conduction du canal 2DEG et peut devenir dominante après un certain seuil de la tension drain/source. La figure 6.14 présente les caractéristiques de sortie d'un tel dispositif et, à la figure 6.15, sont montrées les caractéristiques de transfert et de transconductance pour une tension V_{DS} = 1,5 V. La réduction de l'épaisseur de la couche canal d'InGaAs et l'optimisation du dopage ont éliminé ce problème.

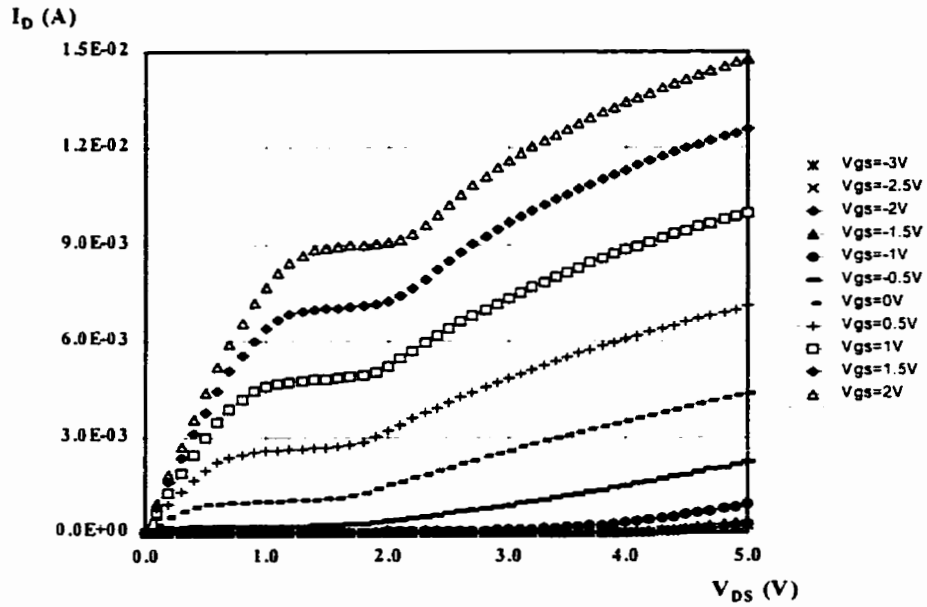


Figure 6.14: Caractéristiques de sortie d'un HIGFET avec conduction parasite du canal.

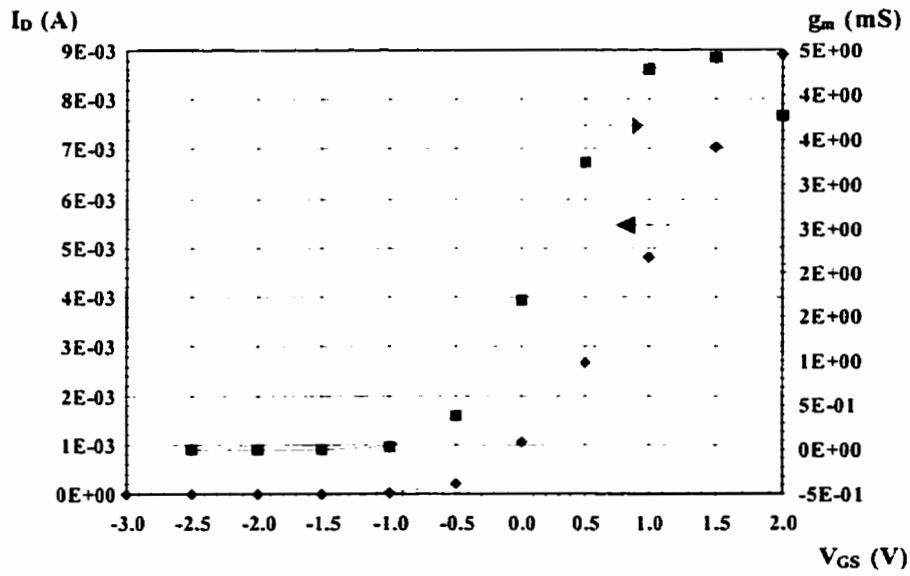


Figure 6.15: Caractéristiques de transfert et de transconductance du HIGFET avec conduction parasite (V_{DS} = 1,5 V)

La conduction au niveau de la couche tampon d'InP fait augmenter, en valeur absolue, la tension de seuil et diminue la transconductance du HIGFET. La figure 6.16 montre les caractéristiques de sortie d'un dispositif avec fuites importantes du courant de drain et la figure 6.17 montre la caractéristique de transfert et de transconductance du même dispositif.

La valeur maximale de la transconductance est plus petite que 1 mS et le courant de drain a des valeurs significatives (>0,25 mA) pour la tension de grille de -3 V (V_T de ce lot est d'environ -1,5 V).

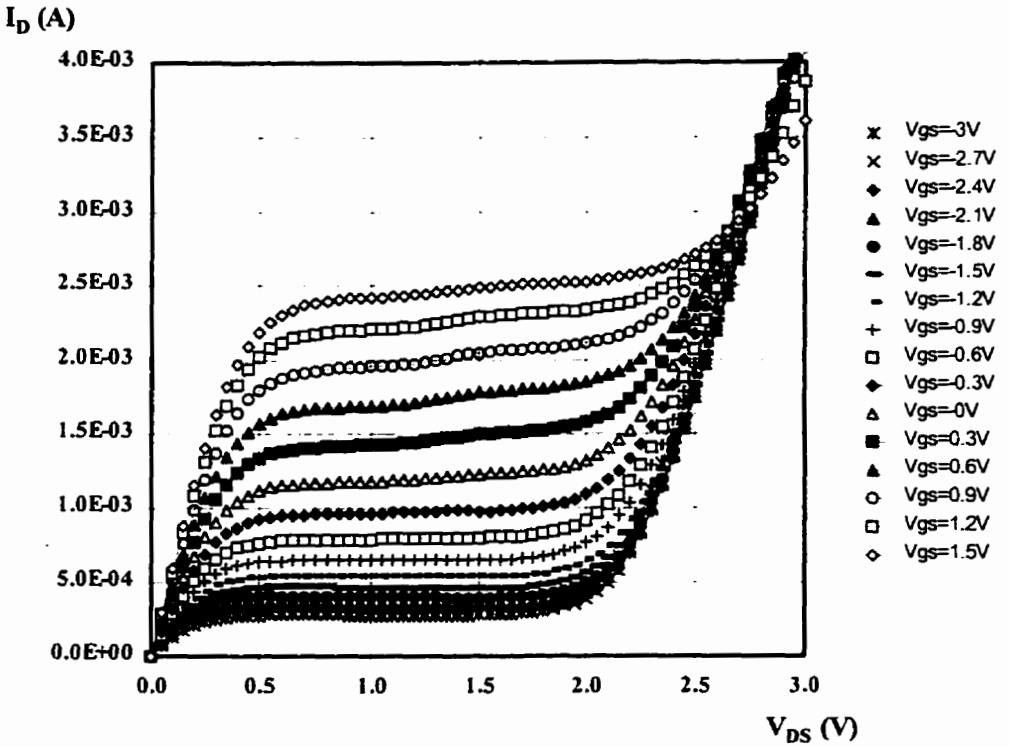


Figure 6.16: Caractéristiques de sortie d'un HIGFET avec fuites du courant de drain

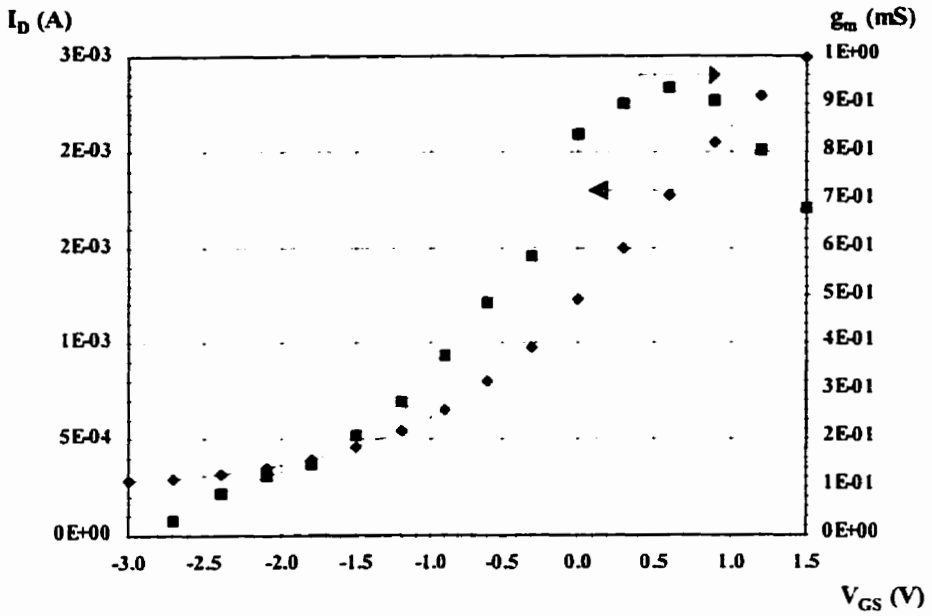


Figure 6.17: Caractéristiques de transfert et de transconductance du HIGFET avec fuites du courant de drain (V_{DS} = 1,5 V)

6.4 Performances électriques des circuits numériques

La stratégie suivie dans le développement du projet a été de produire et intégrer sur le même dé d'InP les circuits d'échantillonnage et les circuits numériques générateurs des signaux d'horloge. Dans la variante finale de l'échantillonneur nous avons renoncé aux circuits numériques intégrés et l'horloge a été implémenté avec des circuits externes, dû essentiellement à la sensibilité des circuits logiques à la variation spatiale des performances des HIGFETs. En dépit de ça, nous avons obtenu des résultats qui prouvent la faisabilité des circuits numériques sur InP dans une technologie HIGFET. Cette section présente le fonctionnement des oscillateurs en anneau et des circuits générateurs d'échelons (GÉ).

La figure 6.18 montre les oscillations générées par un circuit de neuf inverseurs en anneau. La fréquence d'oscillation est de 5 MHz et le retard entre deux inverseurs consécutifs est d'environ 20 ns.

À la figure 6.18 sont présentés les formes d'onde des sorties du premier inverseur et du troisième inverseur qui sont décalées d'environ 40 ns. Les sorties de type B de chaque inverseur ont des niveaux de -1 V et -3.5 V, et sont compatibles avec les niveaux logiques d'entrée des inverseurs suivants.

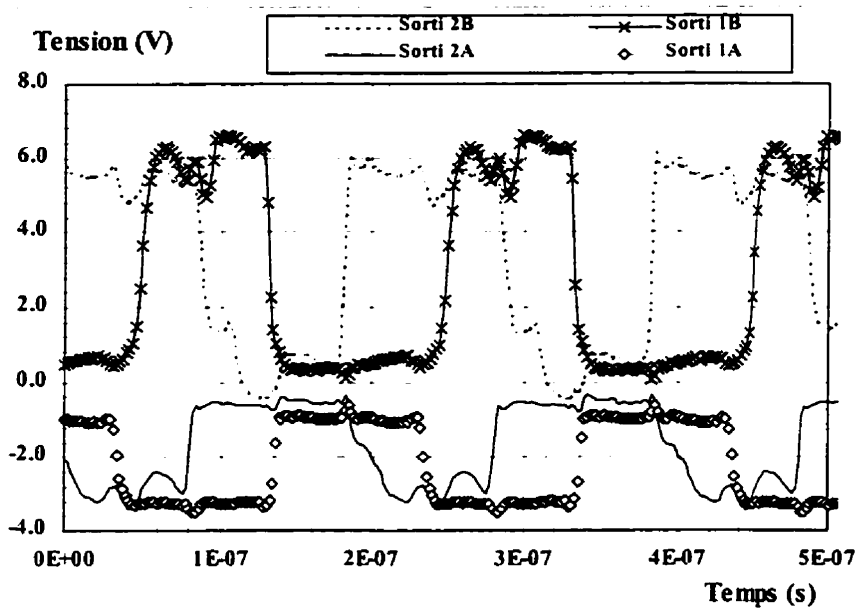


Figure 6.18: Formes d'onde d'un oscillateur en anneau

Les sorties de type A ont des niveaux de tension de +0,5 V et +6 V et peuvent être utilisées pour la commande des circuits GÉ.

Malgré une certaine distorsion des niveaux de palier des impulsions, la commutation est ferme et abrupte avec une marge de bruit considérable. La reproductibilité technologique des circuits oscillateur est faible et représente la principale limitation pour l'intégration des circuits d'horloge.

À la figure 6.19 sont présentés les signaux de sortie d'un circuit GÉ commandé par un signal externe de 2,5 MHz. C'est évident que les distorsions et les non-linéarités du circuit rendent le dispositif inopérant.

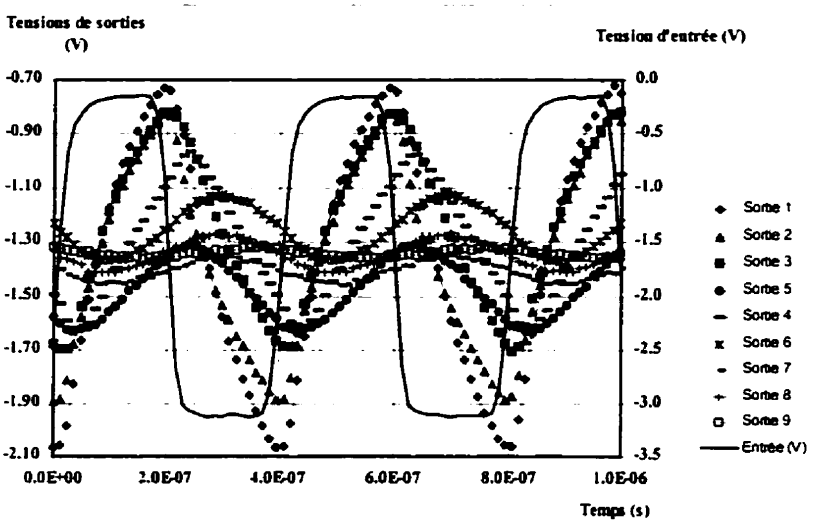


Figure 6.19: Formes d'onde d'un circuit GÉ non-optimisé

Après la ré-élaboration du circuit GÉ, conformément aux règles décrites dans le chapitre 4, les résultats se sont bien améliorés. À la figure 6.20 sont montrées les formes d'onde de trois sorties d'un circuit GÉ optimisé. Le signal d'entrée est une impulsion de 3 ns avec une fréquence de 30 MHz. Même si à cette échelle du temps le retard des différents signaux est difficile à observer, l'amplitude des signaux de sortie et l'absence des distorsions sont remarquables.

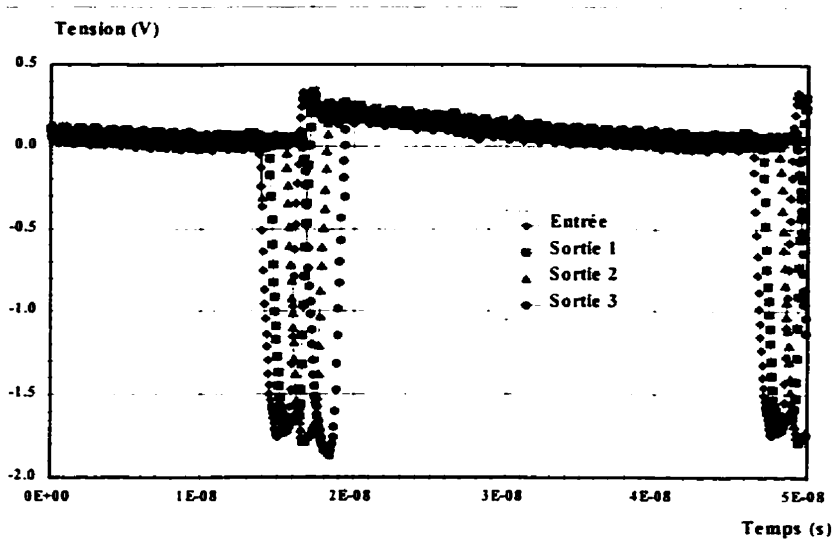


Figure 6.20: Formes d'onde d'un circuit GÉ optimisé

La figure 6.21 montre la forme des signaux générés par le circuit GÉ antérieur à une échelle plus large de l'axe du temps. Le retard entre les trois signaux de sortie est constant et est d'environ 1 ns, ce qui corresponde à un échantillonnage potentiel de 1 GHz.

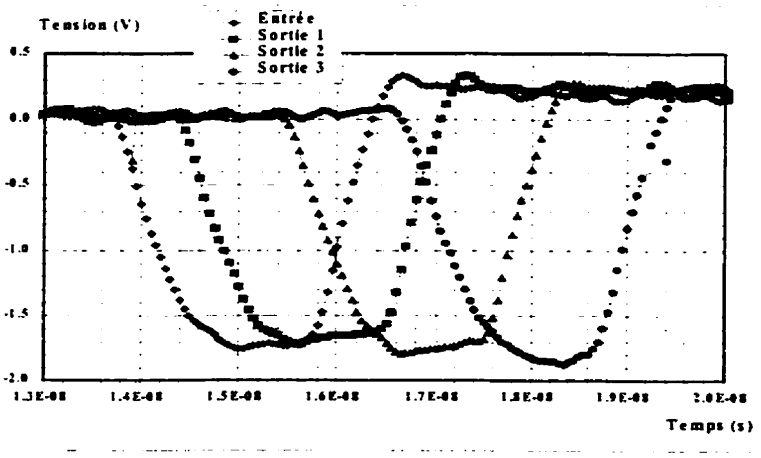


Figure 6.21: Retard des signaux de sortie du GÉ optimisé

6.5 Mesures électriques à haute fréquence

Les mesures électriques en courant alternatif à haute fréquence ont poursuivi deux buts majeurs: l'évaluation des paramètres S des transistors HIGFET et la caractérisation du fonctionnement de la cellule d'É&B.

Nous avons réalisé les mesures des paramètres S avec un analyseur de réseau HP8753. Les mesures ont suivi une technique de calibration classique des deux entrées de signal et ont balayé un spectre de fréquence de 30 MHz à 3 GHz.

Les quatre caractéristiques des paramètres S ont été utilisées pour la validation du fonctionnement dans le domaine des micro-ondes des différentes générations des HIGFETs fabriquées et pour le calcul des éléments du circuit équivalent de dispositif. La méthodologie de calcul du circuit équivalent a été largement décrite dans le chapitre 4.

Le schéma de principe pour les mesures à haute fréquence d'une cellule d'échantillonnage blocage (É&B) est présenté à la figure 6.22. Le domaine des fréquences d'horloge a été de 1 MHz à 2 GHz (amplitude entre 1 et 3 V) avec un signal d'entrée sinusoïdale ou triangulaire de 30 kHz à 500 MHz (amplitude entre 0.05 et 1 V). Les signaux à haute fréquence sont produits par le générateur HP8133. Les niveaux c.c. sur le drain de sortie sont de 2 à 5 V et de 0 à 2 V sur la grille d'horloge, et sont appliqués par des filtres inductifs (les circuits "Power Splitter" à la figure 6.22). Les signaux d'entrée, de sortie et d'horloge sont visualisés à travers un oscilloscope à échantillonnage HP54122 qui peut mesurer des signaux périodiques jusqu'à 40 GHz.

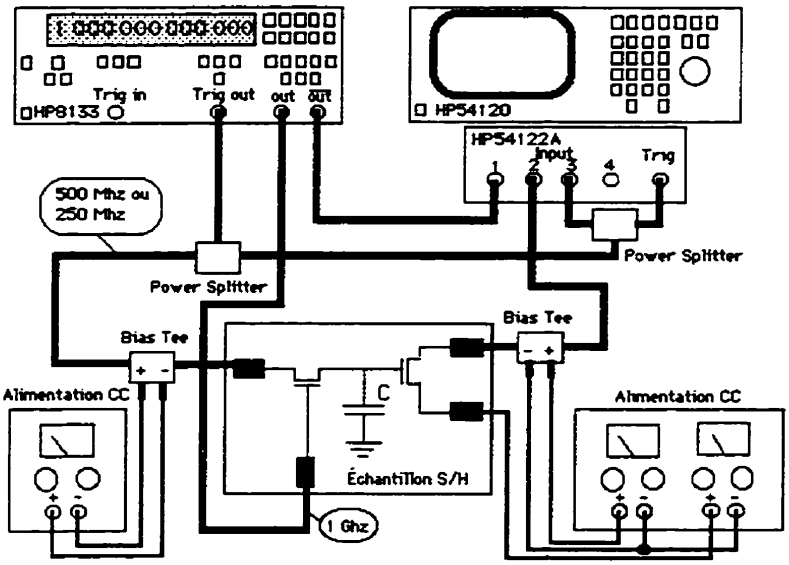


Figure 6.22 : Système de mesure à haute-fréquence

Pour étudier le comportement de l'É&B nous avons analysé la largeur de bande, l'amplification et les distorsions harmoniques et d'intermodulation pour une onde sinusoïdale à l'entrée (fréquence entre 500 MHz et 2 GHz) et différentes conditions de polarisation et des signaux d'horloge.

6.5.1 Mesure de l'amplification et de la largeur de bande

Nous avons mesuré l'amplification relative d'une cellule É&B avec le montage de test présenté à la figure 6.23. L'entrée a été une onde sinusoïdale dont la fréquence varie entre 500 kHz et 2 GHz.

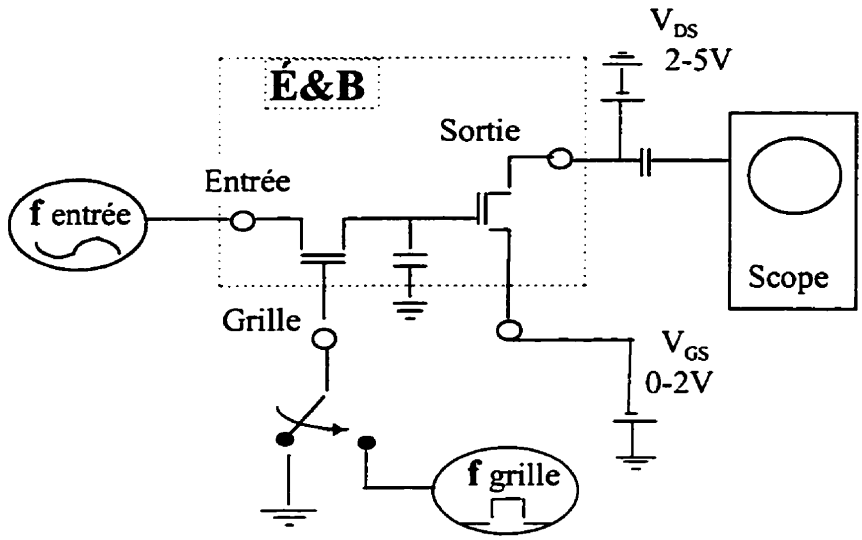


Figure 6.23: Circuit de test pour mesurer l'amplification et la largeur de bande

L'amplification diminue lentement avec la fréquence et présente une série de zéros équidistants avec un écart de 90-100 MHz. La position exacte des zéros est dépendante des nivaux de la tension de polarisation et de la tension de grille. Un exemple typique de caractéristique d'amplification relative est présenté à la figure 6.24. La présence des zéros dans la caractéristique d'amplification suggère l'existence des fréquences de résonances multiples et indique un schéma équivalent du transistor plus complexe que le circuit équivalent à 7 éléments, que nous avons considérés dans la modélisation empirique du HIGFET.

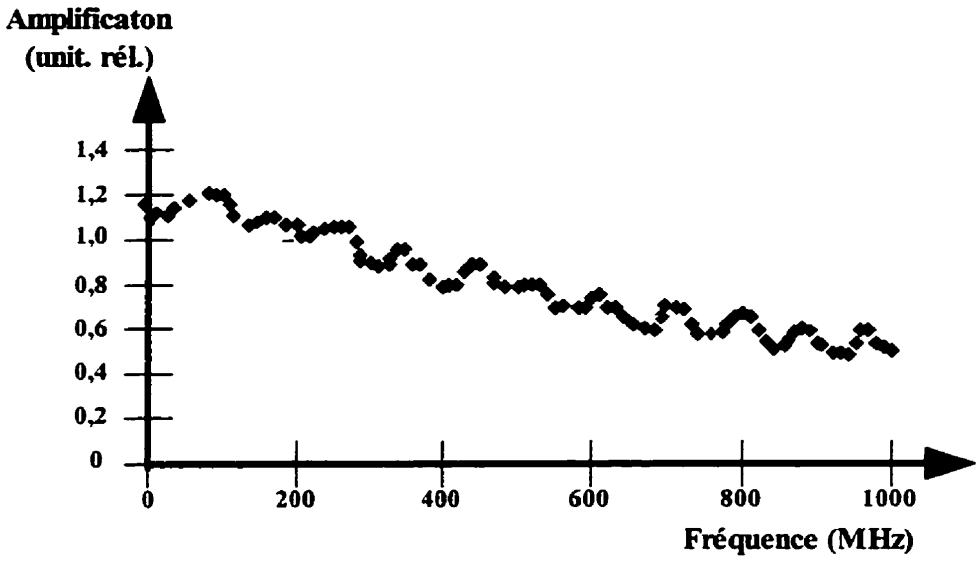


Figure 6.24: Caractéristique de l'amplification relative

6.5.2 Analyse des distorsions

Nous avons analysé les distorsions harmoniques et d'intermodulation en fonction de la fréquence d'entrée pour un domaine de 1 MHz à 1 GHz. Le circuit de mesure est présenté à la figure 6.25 et utilise, au lieu de l'oscilloscope, une visualisation dans le domaine de fréquence (transformée Fourrier rapide).

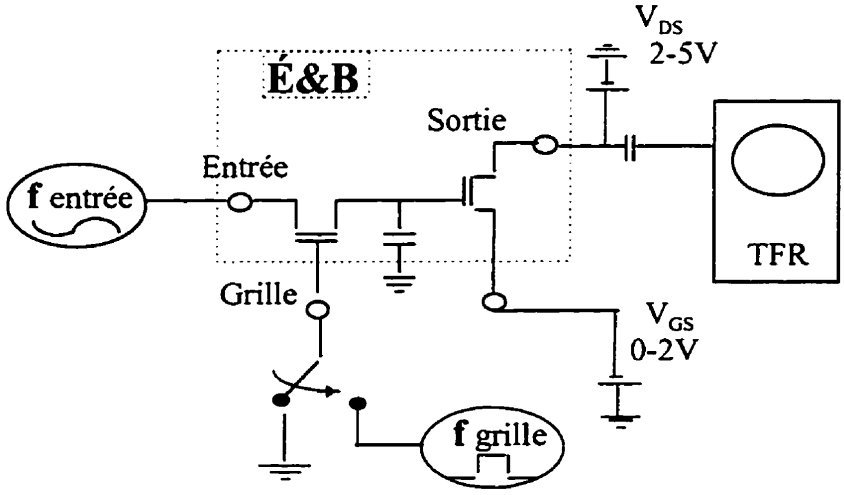


Figure 6.25: Circuit de test pour l'analyse des distorsions

Sans signal d'horloge, le niveau de distorsions a été toujours plus petit que 15 dB face à la fondamentale (typiquement de 20 dB). À la figure 6.26 est présentée la réponse en fréquence pour un signal d'entrée sinusoïdal de 500 MHz. Si on ajoute un signal sur la grille le spectre devient plus riche mais la réjection de plus de 15 dB existe toujours (figure 6.27).

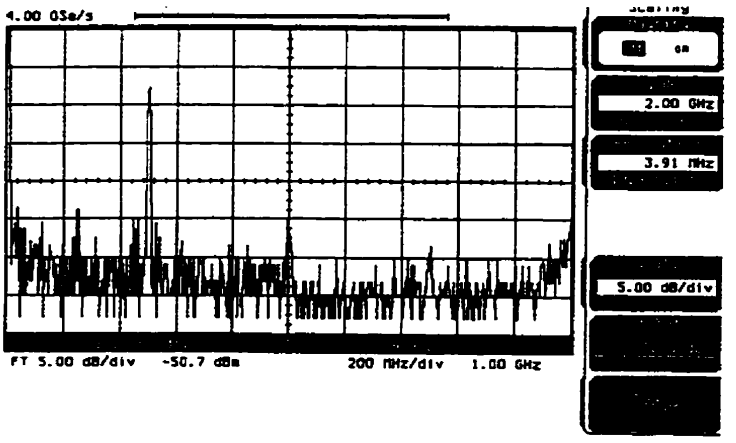


Figure 6.26 : Spectre du signal avec l'entrée sinusoïdale de 500 MHz (sans horloge)

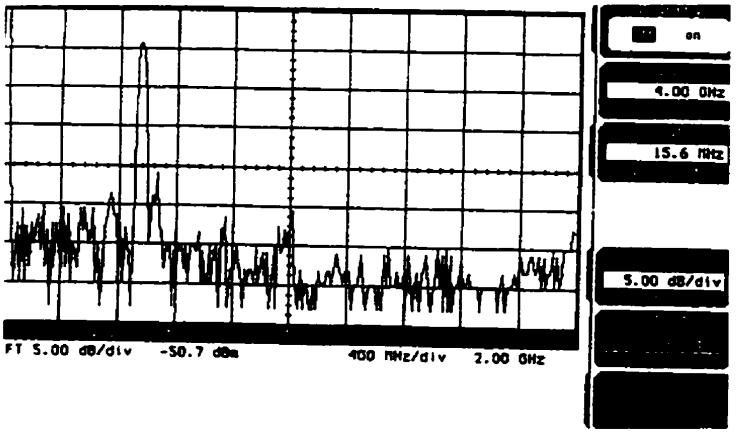
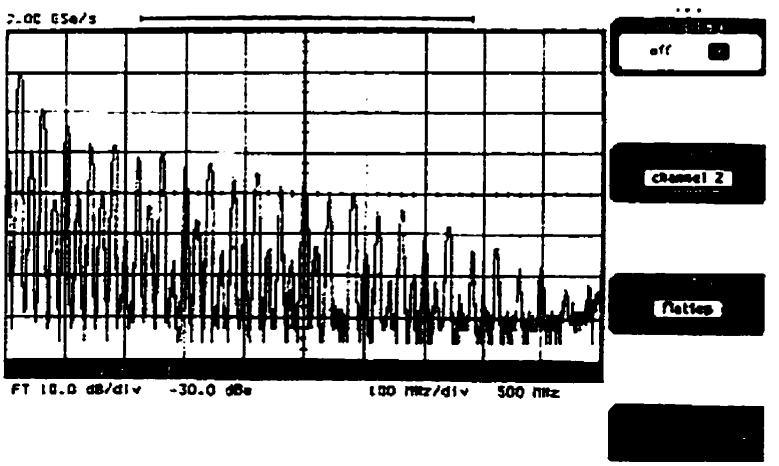
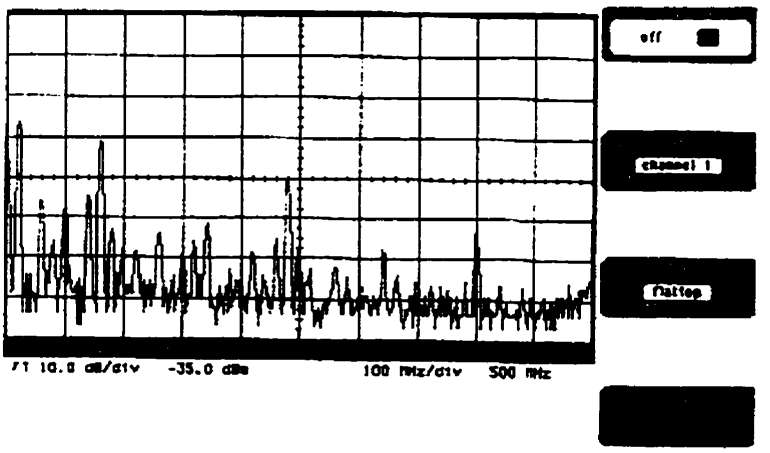


Figure 6.27 : Spectre du signal avec l'entrée sinusoïdale de 500 MHz (horloge de 1 GHz)

Les distorsions à la sortie sont beaucoup plus importantes pour les signaux non-sinusoïdaux d'entrée. La figure 6.28 présente les transformées de Fourrier pour un signal d'entrée ayant une forme rectangulaire complexe. L'atténuation importante des harmoniques du signal de sortie limite la fréquence maximale qui peut être transmise pour des signaux non-sinusoïdaux.



a. Spectre du signal à l'entrée



b. Spectre du signal à la sortie

Figure 6.28 : Réponse en fréquence pour un signal rectangulaire

6.5.3 Caractérisation des régimes transitoires

Nous avons étudié aussi les périodes du régime transitoire pendant la commutation de l'É&B. Une modification significative du niveau du signal de sortie (période de stockage) a été identifiée seulement après un intervalle plus grand que 50 ms. La figure 6.29 montre le signal de sortie pour un niveau c.c. à l'entrée et un signal rectangulaire sur la grille avec une fréquence d'environ 2 Hz. Le signal de sortie copie celui de l'entrée pendant la période de lecture (signal d'horloge élevé) est reste à un niveau constant. Pendant la période de stockage (niveau bas de l'horloge), une faible fuite peut apparaître et le signal de sortie, inversé par l'amplificateur de sortie, monte légèrement. Pour les premières 100 ms il n'y a pas un changement perceptible du signal stocké.

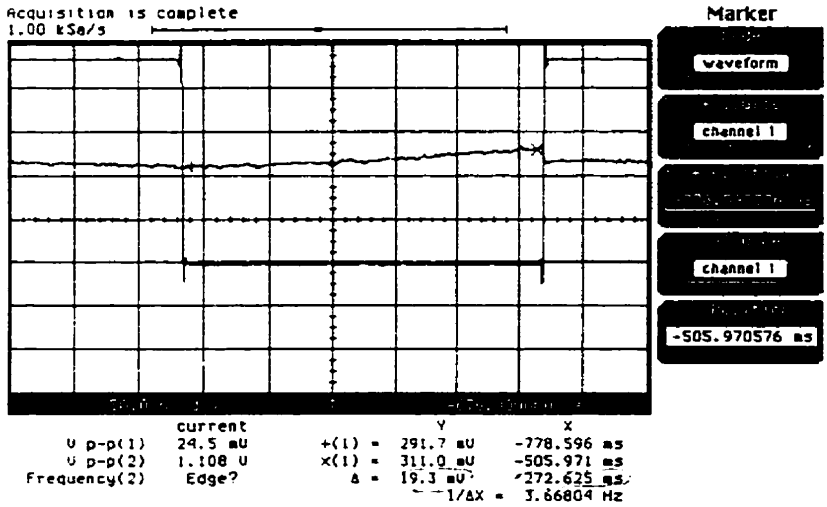


Figure 6.29: Mesure de la période de stockage

Le temps d'établissement est plus difficile à estimer. La faible isolation de la grille, à haute fréquence, induit un niveau d'incertitude fortement dépendant des niveaux de

polarisation et fréquence. Des valeurs qui varient entre quelques dizaines de µs jusqu'à environ 100 ps ont été mesurées.

À la figure 6.30 nous présentons la forme mesurée du signal de sortie avec des signaux rectangulaires sur l'entrée et la grille. La commutation d'un niveau élevé vers un niveau bas est réalisée dans 220 ns est la commutation de niveau bas vers le niveau élevé nécessite 160 ns.

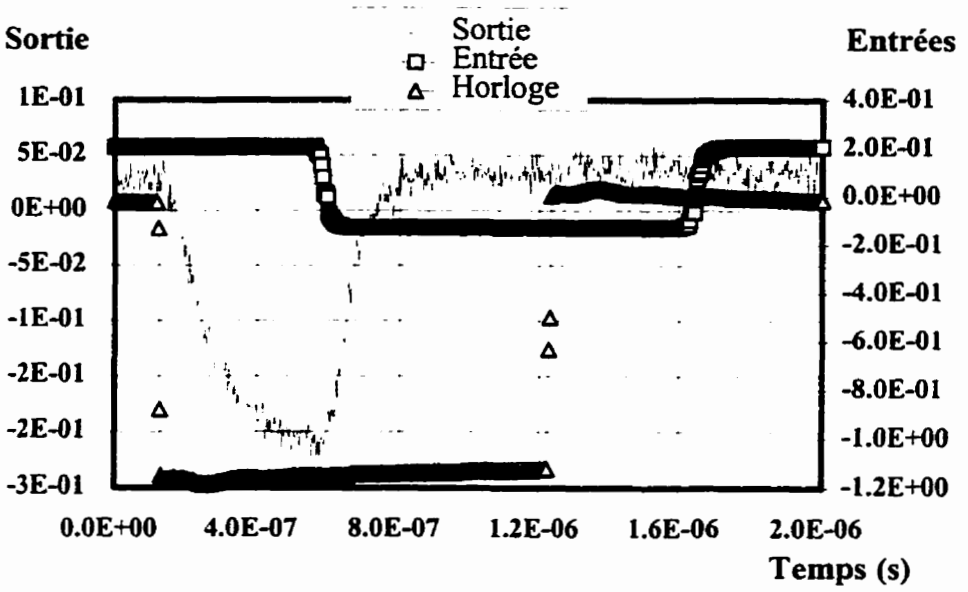


Figure 6.30: Estimation de la période d'établissement

6.5.4 Échantillonnage à 1 GHz

À la figure 6.31 nous présentons la forme du signal échantillonné, mesure réalisée sur le dispositif SH9, avec une fréquence d'horloge de 1GHz. La distorsion du signal de sortie est essentiellement due à la faible isolation du signal de grille qui se retrouve (plus exactement la dérivée du signal d'horloge) sous la forme des pics dans le signal de sortie.

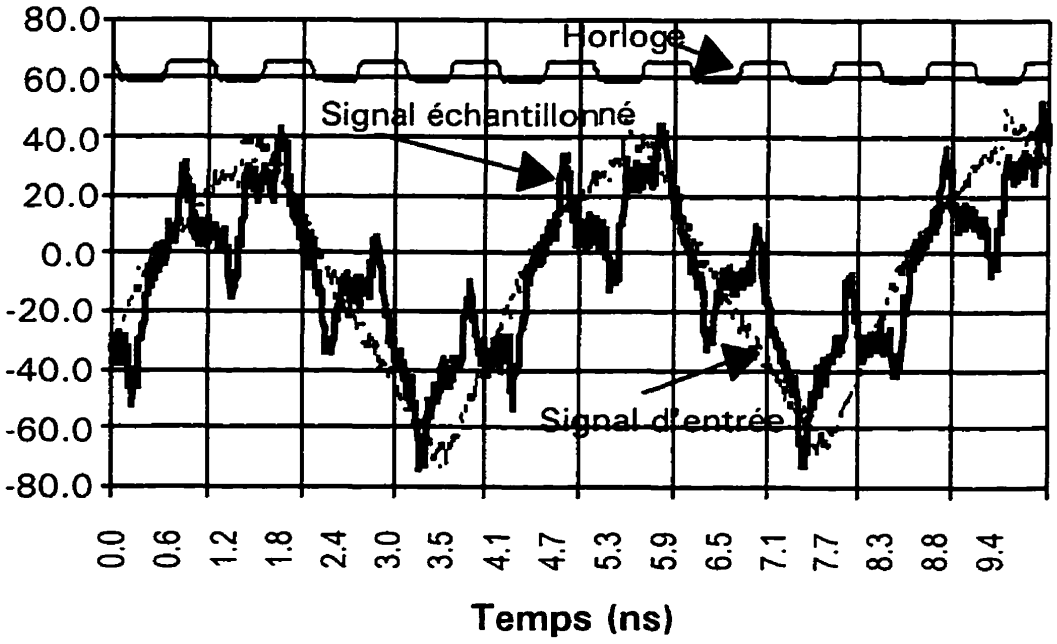


Figure 6.31: Échantillonnage à 1 GHz sur SH9

Les optimisations technologiques ainsi que le perfectionnement des conditions de mesure ont permis l'amélioration du fonctionnement de l'échantillonneur. À la figure 6.32 est présentée la forme du signal sur l'échantillon SH18 dans les mêmes conditions de mesure que celles utilisées pour les résultats de la figure 6.31. Après la filtration des signaux stockés une résolution de 8 bits a été estimée.

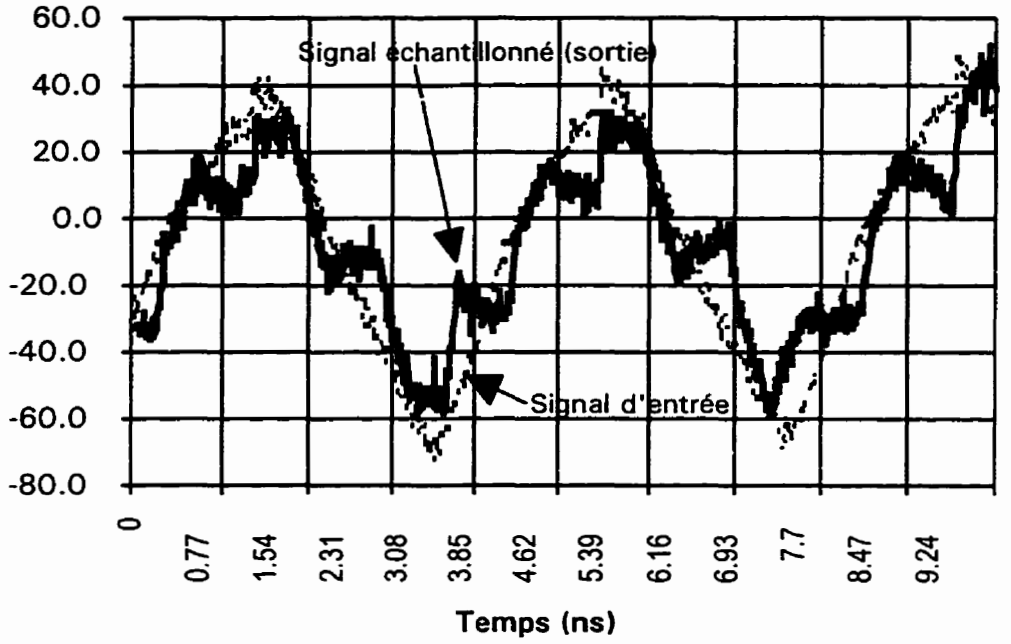


Figure 6.32: Échantillonnage à 1 GHz sur SH18

Chapitre 7

Conclusions

Le développement d'une technologie mature de fabrication des circuits intégrés numériques sur les semi-conducteurs de type III-V est essentiel pour l'avenir de l'électronique à grande vitesse. La structure HIGFET montre les performances potentielles pour réaliser un tel objectif. Cette thèse représente un premier pas dans le développement d'une technologie numérique basée sur une telle structure. Les travaux réalisés ont prouvé la faisabilité et la reproductibilité technologique d'un transistor HIGFET de type NMOS avec les performances requises. Nous avons aussi démontré, théoriquement et expérimentalement, l'intégration d'un système d'échantillonnage-blocage à partir de la technologie HIGFET. Nous avons réalisé des circuits numériques basés sur la structure originale d'un circuit inverseur, adaptée aux contraintes imposées par l'utilisation d'une technologie NMOS en régime d'appauvrissement.

La structure finale du transistor HIGFET a été fondée sur les avantages théoriques de la conduction 2DEG établie à l'interface d'une hétérostructure InP/InGaAs et sur les bénéfices technologiques d'un canal de conduction enterré. Nous avons assuré, empiriquement, l'optimisation fonctionnelle du HIGFET basée sur les mesures correctives imposées par la répétition séquentielle du cycle conception, fabrication et caractérisation. Plus de 30 lots de fabrication ont été réalisés dans six variantes technologiques majeures.

Pour la documentation des mesures correctives et la conception des circuits intégrés, nous avons développé un modèle du transistor HIGFET. Nous avons rédigé le circuit équivalent petit signal du dispositif à partir des mesures expérimentales des paramètres S. Pour estimer l'influence de la polarisation c.c., nous avons répété le calcul du circuit équivalent pour différents niveaux de polarisation. La validation du modèle a été réalisée par l'étude de la constance des valeurs des éléments du circuit équivalent pour un domaine de fréquences compris entre 30 MHz et 3 GHz.

Les transistors HIGFET que nous avons fabriqués ont montré un courant maximum de 50 mA, une transconductance jusqu'à 100 mS/mm et une valeur reproductible de la tension de seuil dans le domaine -1 V à -3.5 V. Le rapport entre le courant maximum et minimum de drain a été, typiquement, de 50.000, mais, souvent, a dépassé 10^5. Les meilleures performances des circuits intégrés ont été obtenues pour une tension c.c. de drain de +2 V, en dépit d'une tension de claquage qui peut dépasser 6 V. La fréquence de coupure dépasse 10 GHz, avec un gain maximum de 5 dB mesuré à 3 GHz, et une largeur de bande plus grande que 1 GHz.

Les principaux problèmes rencontrés dans la fabrication des dispositifs et des circuits intégrés ont été reliés aux instabilités de surface et aux fluctuations spatiales et temporales des performances. Après une optimisation individuelle de chaque procédé utilisé, nous avons amélioré le flux de fabrication en ensemble, dans la plupart des cas par des techniques empiriques basées sur les résultats expérimentaux. Les expériences factorielles fractionnées ont été fréquemment utilisées dans l'optimisation des facteurs technologiques.

Les influences négatives des changements technologiques, sur les étapes suivantes, ont imposé la nécessité d'une modélisation technologique globale. Nous avons réalisé une étude exhaustive pour la modélisation du processus RIE par des techniques statistiques

basées sur la méthode de la surface de réponse et par des éléments d'intelligence artificielle basés sur un réseau neural artificiel. Le modèle RNA proposé montre une exactitude d'estimation supérieure aux meilleurs modèles statistiques et la possibilité d'utiliser, comme fonction objectif d'optimisation, le rapport signal/bruit des performances.

L'application du modèle RNA à la gravure RIE a permis la fabrication reproductible des grilles de tungstène en forme de T avec une longueur de 0,1 μm.

Les performances des transistors HIGFET ont permis l'intégration des circuits numériques et des cellules d'échantillonnage-blocage avec des performances en fréquence inabordables pour les technologies sur silicium et des niveaux de tension inaccessibles aux dispositifs MESFET.

Même si l'immaturité de la technologie HIGFET n'a pas permis l'intégration fiable des circuits larges, la faisabilité des principaux circuits numériques proposés a été expérimentalement démontrée.

Le circuit inverseur proposé dispose de deux sorties. Une sortie offre un signal compatible avec les niveaux du signal d'entrée et la deuxième sortie donne un signal inversé avec les niveaux de tension déplacés, mais avec une plus grande capacité en courant. L'utilisation d'un tel circuit dans la fabrication des oscillateurs en anneau a montré une commutation ferme et une fréquence d'oscillation dans le domaine de dizaines de MHz.

Pour réaliser les impulsions à haute fréquence nécessaires à l'échantillonnage dans le domaine de GHz, nous avons proposé une structure originale d'un circuit générateur d'échelons (GÉ). Basé sur la technique de conception développée dans cette thèse, nous

avons fabriqué des circuits GÉ qui offrent des échelons équidistants jusqu'à une fréquence de 1 GHz.

L'effort principal des travaux effectués a été dirigé vers la fabrication de structures intégrées d'échantillonnage-blocage (É&B). Les circuits intégrés, avec quatre cellules É&B, un amplificateur tampon d'entrée, et des amplificateurs individuels de sortie, ont montré un fonctionnement correct jusqu'à 2 GHz. Les structures É&B ont une isolation de grille acceptable et un gain près de l'unité. La résolution estimée est de 8 bits.

Les résultats obtenus dans la conception, fabrication et caractérisation des circuits intégrés dans la technologie HIGFET ont identifié un nombre de sujets qu'il reste à améliorer. Les principales directions où nous considérons nécessaire à modifier, changer ou optimiser cette technologie sont énumérées par la suite.

1. Le modèle du dispositif HIGFET est non-satisfaisant pour le fonctionnement en commutation. Il est nécessaire d'établir un circuit équivalent grand-signal plus complexe que le modèle à 7 paramètres déjà utilisé, valable pour tout le domaine de fréquence et de polarisation d'intérêt. Ce nouveau modèle devra être échafaudé sur la structure physique, multicouche du dispositif. Un autre choix pourrait être le perfectionnement des deux modèles différents utilisés dans ce projet, un pour le fonctionnement comme tampon de sortie (amplificateur petit-signal en classe A) et l'autre pour le mode commutateur, en tenant compte de la variabilité des éléments R et C pendant le régime transitoire.

2. Au niveau de la conception on doit chercher des solutions pour minimiser les inconvénients trouvés dans le fonctionnement des cellules É&B. Par exemple, pour minimiser l'effet de la faible isolation de grille on peut essayer d'utiliser une

structure comme celle présentée à la figure 7.1. Les transistors T2 et T3 n'ont aucun rôle fonctionnel (la source et le drain court-circuités) mais, en appliquant une tension de grille complémentaire à celle de T1, un effet de compensation pendant la période de commutation peut améliorer la précision de l'É&B.

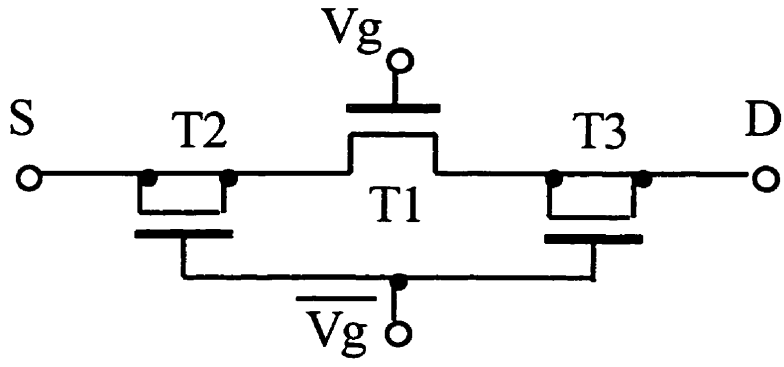


Figure 7.1: Compensation du régime transitoire

3. L'optimisation de la passivation des surfaces d'InP et InGaAs permettra la fabrication des structures MIS rapide sans une hétérostructure (avec nitrure ou oxyde comme diélectrique). Le fonctionnement en commutation, typique pour les circuits numériques et les circuits d'échantillonnage, perd les avantages donnés par la conduction 2DEG. Même si la conductance 2DEG est plus grande que celle offerte par le canal dopé neutre, le retard pour la fermeture complète du canal de conduction est imposé par la déplétion de la zone neutre. Tant que la conduction 2DEG n'offre pas le niveau nécessaire du courant pour les applications numériques, l'optimisation de la structure MIS classique semble une option intéressante.

4 Le remplacement des procédés technologiques assistés par le plasma est une direction à suivre, surtout pour les étapes de début du flux de fabrication qui peuvent affecter la surface active du semi-conducteur. Le changement des procédés classiques de dépôt et gravure (PECVD et RIE) par le processus ECR a montré une diminution évidente de la variation, pendant le temps, des performances des dispositifs. Le courant maximum de drain est devenu stable pendant des périodes de stockage des dispositifs de 6 mois, et peu affecté par les essais accélérés en température.

5. Un problème majeur dans la fabrication des HIGFETs a été l'instabilité induite par la région de surface entre la grille et les contacts de source et drain. Une solution auto-alignée pour la définition des régions de source et drain est une nécessité pour assurer les performances de qualité et de fiabilité des dispositifs. La solution des espaceurs latéraux de grille, solution classique dans la technologie CMOS, est empêchée par les problèmes dus à la gravure assistée par le plasma et à la qualité de l'interface semi-conductuer-diélectrique. Nous avons étudié la faisabilité d'un transistor auto-aligné avec une grille en forme de T et des connexions par pont d'air. Même si la robustesse technologique obtenue est inadéquate, nous considérons cette direction comme une solution potentielle pour les dispositifs destinés au domaine des micro-ondes.

Références

1. ADESIDA, I., CHANG, H., BALLEGEER, D., LIU, X., BISHOP, S., CANEAU, C. et BHAT, R. (1992). Processing of InP and related compounds at nanometer dimensions, *Proceedings of the SPIE*, **1676**: 218-227

2. AGARWALA, S., TONG, M., BALLEGEER, D. G., NUMMILA, K. KETTERSON, A. et ADESIDA, A. (1993). Characterization of selective reactive ion etching effects on delta-doped GaAs/AlGaAs MODFET layers, *J. of Electronic Materials*, **22**: 375-382

3. ALMEIDA, F. R., KATSUHIRO, YAMAMOTO, R. et MACIEL, H. S. (1993). Reactive ion etching of PECVD silicon nitride in SF_6 plasma, *J. of Nuclear Materials*, **200**(2): 371-374

4. AMAR, A., LOZES, R. L., SASAKI, Y., DAVIS, J. et PACKARD, C. (1993). Fabrication of submicron apertures in thin membranes of silicon nitride, *J. of Vac. Science & Tech.*, **11B**(2): 259-262

5. BAHL, L. D., BENNETT, B. et ALAMO, J. (1993). Doubly strained $In_{0.41}Al_{0.59}As$ / $n^-In_{0.65}Ga_{0.35}As$ HFET with high breakdown voltage, *IEEE Electron Device Lett.*, **14**(1): 22-24

6. BAHL, S. R. et ALAMO, J. A. (1992). Breakdown voltage enhancement from channel quantization in InAlAs/n^--InGaAs HFET's , *IEEE Electron Device Lett.*, **13**(2): 123-125

7. CHAI, Y. G. et YEATS, R. (1983). $In_{0.53}Ga_{0.47}As$ submicrometer FET's grown by MBE , *IEEE Electron Device Lett.*, **4**(7): 252-254

8. CHAN, H. et PAVLIDIS, D. (1991). $In_{0.52}Al_{0.48}As/In_xGa_{1-x}As$ ($0.53<x<0.70$) lattice-matched and strained heterostructure insulated-gate FET's, *IEEE Trans. on El. Dev.*, **38**(9): 1999-2005

9. CIALLO, N. C., SHUR, M. S., VOLD, P. J. et ABROKWAH, J. K. (1993). Complementary heterostructure insulated gate field effect transistor (HIGFETs), *J. Appl. Phys.*, **74**(9): 5622-5625

10. CIBUZAR, G. T. (1995). Effects of gate recess etching on source resistance, *IEEE Trans. on El. Dev.*, **42**(6): 1195-1196

11. COPELAND, M., A. et BELL, G., KWASNIEWSKI, T., A. (1987). A mixed mode sampled-data simulation program , *IEEE J. Solid-State Circuits*, **22**(6): 1098-1105

12. DANNEVILLE, F., GODTS, P., ZIMMERMANN, J., et CONSTANT, E. (1990). Modelling of negative differential resistance (NDR) in HIGFET and SISFET GaAs/AlGaAs structures and possible applications in microwave integrated circuits, *Inst.Phys Conf, presnted at Int.Symp. GaAs and Related Compounds*, **112**(7): 483-488.

13. FENG, S. et SEITZER, D. (1994). Characterization and improvement of GaAs HEMT analog switches for sampled-data applications, *IEEE J. Solid-State Circuits*, **29**(7): 844-850

14. FOAD, M. A., THOMS, S. et WILKINSON, C. D. W. (1993). New technique for dry etch damage assessment of semiconductors, *J. of Vacuum Science & Tech.*. **11B**(1): 20-25

15. FREY, J. et BHASIN, K. (1985). *Microwave Intgrated Circuits*, John Wiley & Sons, New York, 363-376

16. GARDNER, P. D., NARAYAN, S. Y., COLVIN, S. et YUN, Y. H. (1981). $Ga_{0.47}In_{0.53}As$ metal insulator field-effect transistors (MISFETs) for microwave frequency applications , *RCA Review*, **42**: 542-555

17. GROVE, A. S. (1967). *Physics and Tech. of Semiconductor Devices*, John Wiley & Sons, New York, 39-50

18. HAIGH, D. G., TOUMAZOU, C., HARROLD, S. J., STEPTOE, K., SEWELL, J. I. et BAYRUNS, R. (1991). Design optimization and testing of a GaAs switched capacitor filter , *IEEE Trans. Circuits Syst.*, **38**(8): 825-836

19. HASEGAWA, H., KODAMA, S., KOYANAGI, K. et AKAZAWA, M. (1994). Control of structure and proprieties of compound semiconductor interfaces by Si interface Control Layer , *Proceeding Sixth International Conference on InP and Related Materials*, 289-292

20. HIDA, Y., OKAMOTO, A., TOYOSHIMA, H. et OHATA, K. (1987). An investigation of i-AlGaAs/n-GaAs doped-channel MIS-like FETs (DMTs)-Properties and Performance Potentialities, *IEEE Trans. on El. Dev.*, **34**(7): 1448-1455

21. HIMMEL, C. D. et MAY, G. S. (1993). Advantages of plasma etch modeling using neural networks over statistical techniques , *IEEE Trans. Semicond. Manuf.*, **6**(2): 103-111

22. HUANG, Y. L., EDGAR, T., F. et HIMMELBLAU, D. M. (1994). Constructing a reliable neural network model for a plasma etching process using limited experimental data , *IEEE Trans. Semicond. Manuf.*, **7** (3): 333-343

23. JEONG, S., JO, S., LEE, B. et SUGANO, T. (1995). Enhancement mode InP MISFET's with sulfide passivation and photo-CVD grown Si_3N_4 gate insulators, *IEEE Electron Device Lett.*, **16**(3): 109-111

24. JURGENSEN, C. W. et SHAQFEH, S. G. (1989). Kinetic theory of bombardment induced interface evolution , *J. Vac. Sci. Technol.*, **7B**(6): 1488-1501

25. KIM, B. et MAY, G. S. (1994). An optimal neural network process model for plasma etching , *IEEE Trans. Semicond. Manuf.*, **7**(1): 13-20

26. LAMARRE , P., MCTAGGART, R., PULLEY, M., HUANG, J. et JACKSON, G. (1994). Ohmic contacts with different metal structures for lattice matched InP based heterostructures , *Proceeding Sixth International Conference on InP and Related Materials*, 333-336

27. LAMEDA, Y., SASAKI, A., IMAMURA, Y. et TAKAGI, T. (1976). Electron mobility and energy gap of $In_{0.53}Ga_{0.47}As$ on InP substrate,. *J. Appl. Phys.*, **47**: 5405-5409.

28. LARSON, L. E., MARTIN, K. W. et TEMES, G. C. (1987). GaAS switched-capacitor circuits for high-speed signal processing, *IEEE J. Solid-State Circuits*, **22**(6): 971-981

29. LAUTERBACH, C., ALBRECHT, H., BESCHORNER, M., GESSNER, R. et SCHIER, M. (1991). Self-aligned gate recess technology for the fabrication of InAlAs/InGaAs HEMT structures using InAlAs as an etch-stop layer, *Third International Conference. Indium Phosphide and Related Materials*, 610-13

30. LAW, V. J., JONES, G. A. C., RITCHIE, D. A. et TEWORDT, M. (1993). Chloromethane-based reactive ion etching of III-V semiconductor materials, *Vacuum*, **44**(3-4): 233-237

31. LEE, B. T., LOGAN, R. A., KALICEK, R. F., JR., SERGENT, A. M., COBLENTZ, D. L., WECHT, K. W. et TANBUN E. T. (1993). Fabrication of InGaAsP/InP buried heterostructure laser using reactive ion etching and metalorganic chemical vapor deposition, *IEEE Photonics Tech. Letters*, **5**(3):

32. LEU, L. Y. et FORREST, S. R. (1989). Accurate determination of heterojunction band discontinuities in the presence of interface traps using capacitance-voltage techniques, *J. of Appl. Physics*, **65:** 4818-4822

33. LIM, C. et WOOLEY, A. B. (1991). A high speed sample and hold technique using a miller hold capacitance, *IEEE J. of Solid-State Circuits*, **26**: 643-651.

34. LIN, K. et SPANOS, C. J. (1990). Statistical equipement modeling for VLSI manufacturing: an application for LPCVD , *IEEE Trans. Semicond. Manuf.*, **3**(4): 217-229.

35. LINDSTROM, J. L., OEHRLEIN, G. S. et LANFORD, W. A. (1992). Reactive ion etching of silicon nitride deposited by different methods in CF_4/H_2 plasmas, *J. of the Electrochemical Soc.*, **139**(1): 317-320.

36. MARTIN, Y., AINA, O. et ILIADIS, A. (1990). High stable microwave performance of InP/InGaAs HIGFET 's, *IEEE Trans. on El. Dev,*. **37**(8): 1916-1917.

37. MARTIN, E. A., ILIADIS, A. A. et AINA, O. A. (1993). Charge-control modeling of InGaAs/InP heterojonction insulated-gate FET s, *IEEE Trans. on El. Dev.*, **40**(3): 466-470.

38. MARTIN, E. A., AINA, O. A., ILIADIS, A. A., MATTINGLY, M. R. et STECKER, L. H. (1988). Undoped InP/InGaAs heterostructure insulated-gate FET's grown by OMVPE with PECVD-deposited SiO_2 as gate insulator, *IEEE Electron Device Lett.*, **9**(10): 500-502.

39. MASLAR, J. E., BOHN, P. W., BALLEGEER, D. G., ANDIDEH, E., ADESIDA, I., CANEAU, C. et BHAT, R. (1993). Structural modification in reactive-ion-etched i-InP and n^+-InP studied by Raman scattering, *J. of Applied Physics*, **73**(6): 2983-2994.

40. MATHIEU, H. (1990). *Physique des semiconducteurs et des composants électroniques*, Masson, Paris, 291-331, 363-378.

41. MAY, G. S., HUANG, J. et SPANOS, C. J. (1991). Statistical experimental design in plasma etch modeling, *IEEE Trans. Semicond. Manuf.*, **4**(2): 83-99.

42. MEBARKI, M., BOUKREDIMI, D. et SADIK, S. (1993). Electrical determination of band offsets in a p-$Ga_{0.77}In_{0.23}As_{0.20}Sb_{0.80}$/n-GaSb type-II heterojunction, *J. of Appl. Physics*, **73**: 2360-2363.

43. MELLOR, P. J. T. et HERNIMAN, J. (1989). Barrier ohmic contacts to indium gallium arsenide, *SPIE InP and Related Materials for Adv. El and Opt. Dev.*, **1144**: 347-353.

44. MOCELLA, M. T., BONDUR, J. A. et TURNER, T. R. (1992). Etch process characterization using neural network methodology: a case study, *Proceedings of the SPIE*, 1594: 232-242.

45. NGUYEN, L. D., TASKER, J. P. et RADULESCU, D. C. (1989). Characterization of ultra-high-speed pseudomorphic AlGaAs/InGaAs (on GaAs) MODFET's, *IEEE Trans. on El. Dev.*, **36**(10): 2243-2248.

46. NGUYEN, L. D., LE, M., LIU, T. et LUI, M. (1995). Millimeter wave InP HEMT technology: Performance and application, *Solid-State Electroinics*, **9**: 1575-1579.

47. NGUYEN, L. D., LARSON, L. E. et MISHRA, U. K. (1992). Ultra-High-Speed Modulation-Doped Field-Effect Transistors: A tutorial Review , *Proceedings of IEEE*, **80**(4): 494-518.

48. NUMMILA, K., TONG, M., KETTERSON, A. A. et ADESIDA, I. (1991). Fabrication of sub-100-nm T gates with SiN passivation layer, *J. of Vacuum Science & Tech.*, **B9**(6): 2870-2874.

49. ONODERA, K., NISHIMURA, K., ASAI, K. et SUGITANI, S. (1993). High microwave and ultra-low noise performance of fully ion-implanted GaAs MESFETs with Au/W/SiN T-shaped gate, *IEEE Transactions on Electron Devices*, **40**(1): 18-24.

50. PEARSALL, T. P., BEUCHET, G., HIRTZ, J. P., VISENTIN, N., BONNET, M. et ROIZES, A. (1981). Electron and hole mobilities in $In_{0.53}Ga_{0.47}As$ on InP substrate, *J. Appl. Phys.*, **53**: 639-644.

51. PEARTON, S. J., CHAKRABARTI, U. K., HOBSON, W. S., CONSTANTINE, C. et JOHNSON, D. (1991). Low damage dry etching of III-V compound semiconductors using electron cyclotron resonance discharges, *Nuclear Instruments & Met hods in Physics Research*, **B59-B60**(2): 1015-1018.

52. PEIGNON, K., CARDINAUD, CH. et TURBAN, G. (1991). Etching processes of tungsten in SF_6-O_2 radio-frequency plasmas, *J. Appl. Phys.*. **70**(6): 3314-3323.

53. PEIGNON, M. C., CARDINAUD, C. et TURBAN, G. (1993). A kinetic study of reactive ion etching of tungsten in SF_6/O_2 RF plasmas, *J. of the Electrochemical Societ y*, **140**(2): 505-512.

54. POULTON, K., CORCORAN, J. J. et HORNAK, T. (1987). A 1-GHz 6-bit ADC System , *IEEE J. Solid-State Circuits*, **22**(6): 962-970.

55. REEVES, G. K. et HARRISON, H. B. (1982). Obtaining the specific contact resistance from Transmission Line Model measurements , *IEEE Electron Device Lett.*, **3**(5): 111-113.

56. RIETMAN, E. A. et LORY, E. (1993). Use of neural networks in modeling semiconductor manufacturing processes: An exemple for plasma etch modeling, *IEEE Trans. Semicond. Manuf.*, **6**(4): 343-347.

57. SAITO, K., SAKUE, M., OKUBO, T. et MINEGISHI, K. (1992). Application of statistical analysis to determinate the priority for improving LSI technology , *IEEE Trans. Semicond. Manuf.*, **5**(1): 47-53.

58. SHIRAKAWA, M., OIKAWA, H., SHIMURA, T. et KAWASAKI, Y (1995). An approach to determining an equivalent circuit for HEMT's, *IEEE Trans. Microwave Theory Techn.*, **43**(3): 499-503.

59. SONG, A., MATHUR, A., PATTIPATI, K. R. et DEB, S. (1992). Design of Process Parameters Using Robust Design Techniques and Multiple Criteria Optimization, *Techniomerics*, **34**(2): 594-599.

60. STAREEV, G., KUNZEL, H. et DORTMANN, G. (1993). A controllable mechanism of forming extremely low-resistence nonalloyed ohmic contacts to group III-V compound semiconductors , *J. Appl. Phys.*, **74**(12): 7344-7356.

61. SUNDARARAMAN, C. et CURRIE, F. J. (1995). Characterization of SiNx/InP/ $In_{0.53}Ga_{0.47}As$/InP heterostructure insulated gate (HIG)FET's with an In_2S_3 interface control layer, *IEEE Transactions on Electron Devices*, **42**(6): 1197-1199.

62. SUNDARARAMAN, C., POULIN, S., CURRIE, J. F. et LEONELLI, R. (1991). The sulfur-passivated InP surface, *Can. J. of Phys.*, **69:** 329-332.

63. TAGUCHI, G. et WU, Y. (1979). *Off-Line Quality Control*, Central Japan Quality Control Association Nagaya, 112-135.

64. TAZAWA, S., MATSUO, S. et SAITO, K. (1992). A general characterization and simulation method for deposition and etching technology , *IEEE Trans. Semicond. Manuf.*, **5**(1): 27-33.

65. TONG, K., BALLEGEER, D. et KETTERSON, A. (1992). A comparative study of wet and dry selective etching processes for GaAs/AlGaAs/InGaAs pseudomorphic MODFET 's, *J. Electronic Materials*, **21**(1): 356-388.

66. UMBACH, A., SCHRAMM, C., BOTTCHER, J. et UNTERBORSCH, G. (1994). Ohmic Contacts to Buried n-GaInAs layers for GaInAs/AlInAs-HEMTs , *Proceeding Sixth International Conference on InP and Related Materials*, 198-201.

67. VENGURLEKAR, A. S. (1988). Influence of test signal frequency on the determination of band discontinuity of GaAs/AlGaAs heterojunctions from capacitance-voltage measurements, *J. of Appl. Physics*, **64:** 1552-1554.

68. WINDHORN, T. H., COOK, L. W. et STILLMAN, G. E. (1982). The electron Velocity-field characteristic for n-$In_{0.53}Ga_{0.47}As$ at 300K , *IEEE Electron Device Lett.*, **3**(1): 18-20.

69. WONG, T. K. S. et INGRAM, S. G. (1993). Fabrication of sub-20 nm trenches in silicon nitride using CHF /O_2 reactive ion etching and oblique metallization, *J. of Vacuum Science & Tech.*, **B10**(6): 2393-2397.

Annexe 1

Flux de fabrication et contrôle du HIGFET

No.	Opération	Contrôle régulier	Contrôle périodique
1	Inspection de la croissance épitaxiale	XR	PL, Effet Hall
2	Nettoyage 1		EDX
3	Lithographie 1(MESA)		
4	Gravure chimique	Fuites des MESAs	
5	Nettoyage 2		EDX
6	Lithographie 2 (S/D)		
7	Déposition du métal(S/D)		
8	Lift-off	TLM	
9	Gravure chimique (InGaAs)	TLM	
10	RTA	TLM	
11	Passivation		EDX
12	PECVD (nitrure mince)		caractérisation SiN_X
13	Lithographie 3 (grille)		
14	Déposition du métal (grille)		
15	Lift-off	CV sur structures MIS, R_{grille}	
16	Nettoyage 3		SEM+EDX
17	PECVD (nitrure épais)		
18	Lithographie 4 (vias)	MIS, c.c. IV HIGFET	
19	Nettoyage 4		
20	Lithographie 5 (interconnexions)		

No.	Opération	Contrôle régulier	Contrôle périodique
21	Déposition du métal (interconnexions)		
22	Lift-off	MIS, IV HIGFET, r_m , - fonctions logiques	Effet Hall SEM
23	Nettoyage 5		
24	Lithographie 6 (Cermet)		
25	Déposition du Cermet		
26	Lift-off	r_c, RC circ, certains dispositifs	
27	Nettoyage 6		
28	Déposition de la polyimide		
29	Lithographie 7		SEM
30	Test final (structures)	Balayage c.c. et c.a. complet	
31	Mis en bois		
32	Test final (dispositifs)	Caractérisation fonctionnelle H.F.	

Annexe 2

Paramètres pour la caractérisation du processus RIE

1. Taux de gravure

1.1. taux de gravure verticale, τ_v;

1.2. taux de gravure horizontale, τ_h;

1.3. coefficient d'anisotropie du taux de gravure, $c\tau = \tau_v / \tau_h$.

2. Rugosité

2.1. rugosité moyenne dans la zone gravée (moyenne arithmétique de la déviation par rapport de la ligne médiane) **ra** ;

2.2. dispersion de la rugosité (la dispersion de la rugosité correspondante à **ra**), **rd**;

2.3. hauteur maximale (la hauteur maximale par rapport de la ligne médiane), **rh**;

2.4. profondeur maximale (le point le plus bas par rapport de la ligne médiane), **rb**;

2.5. différence maximale, **rx** = **rh** + **rb**;

2.6. pic maximal (différence maximale entre un point de maximum et un extrême de minimum voisin), **rp**;

2.7. hauteur moyenne de dix points (la différence moyenne entre la hauteur des cinq plus hauts points et les cinq plus bas conformément à DIN 4768/1), **r10**;

2.8. rugosité moyenne maximale (la valeur maximale de la rugosité moyenne calculée après la division de la zone étudiée dans 19 segments recouverts, chaque segment étant égal à une dixième de la longueur initiale de la zone), **ram;**

2.9. symétrie, **rs** (symétrie du profil par rapport de la ligne médiane qui permet différentier des profils asymétriques avec le même **ra** ou **rd**);

2.10. effet de bord sur la rugosité, **rl** (rapport entre la rugosité moyenne sur une longueur égale à dix fois la hauteur de la paroi gravée et **ra**).

3. Paramètres géométriques de la paroi gravée

3.1. dispersion de la hauteur moyenne de l'échelon, **hp**;

3.2. pente moyenne, **pa** (la pente moyenne de la paroi entre 0,1 et 0,9 de **hp**);

3.3. dispersion de la pente, **pd** (la dispersion de la pente correspondante à **pa**);

3.4. rayon de la paroi, **pr** (rayon d'un arc superposé sur le profil de la paroi);

4. Rédéposition dans le plasma

4.1. rédéposition dans la zone gravée, $\mathbf{g_{i,j}}$ avec i=1..n le nombre de différentes espèces identifiées et j=1..3 où j=1 donne la nature d'espèce, j=2 l'épaisseur moyenne et j=3 la rugosité moyenne de la couche rédéposée;

4.2. rédéposition sur la paroi, $\mathbf{h_{i,j}}$ avec la même signification pour i et j à l'exception de j=3 qui représente la pente moyenne;

4.3. rédéposition dans la zone non-gravée, $\mathbf{k_{i,j}}$ avec la même signification pour i et j que 4.1..

5. Propriétés physiques et électriques du matériau gravé

Les facteurs technologiques qui influencent le processus de RIE

1. Facteurs de contrôle

-nature de gazes utilisées n;

-débits de gaz f_n [sccm];

-pression totale p [mT];

-puissance RF [W];

-température de l'eau pour le refroidissement T [K]

-qualité du contact thermique entre échantillon et support q;

-temps de gravure t [s]

2. Facteurs de processus

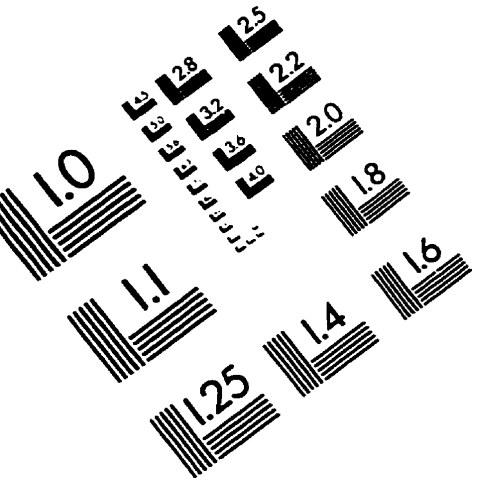
-tension auto-induite Ubias [V]

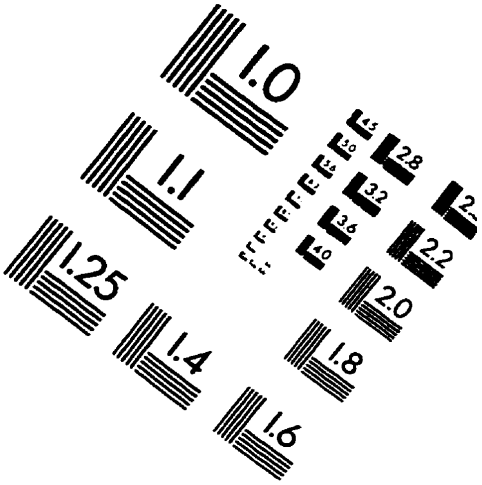
-nature des matériaux gravés m

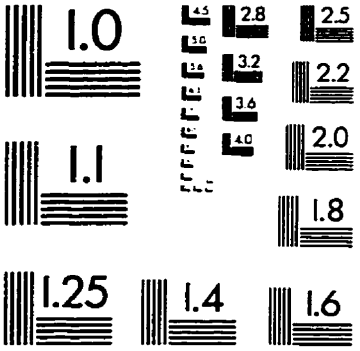
Techniques de mesure des paramètres RIE

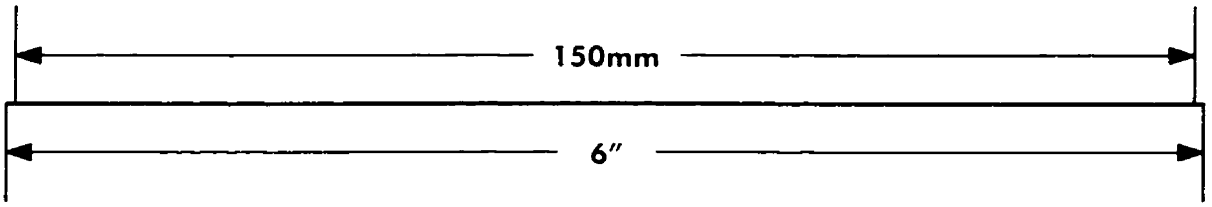
Paramètre	Technique de mesure	Facteurs technologiques
τv [Å/s]	Dektak	**p, RF, n, f_n, m**
τh [Å/s]	SEM	**T, m, q,** p, RF, n, f_n,
$c\tau$ -	Dektak + SEM	**m, RF, T, q,** p, n, f_n,
ra [Å]	Dektak ; SEM	**p, RF, Ubias, m**
rd -	Dektak ; SEM	**p, RF, Ubias, m**
rh [Å]	Dektak ; SEM	**p, RF, Ubias, m**
rb [Å]	Dektak ; SEM	**p, RF, Ubias, m**
rx [Å]	Dektak ; SEM	**p, RF, Ubias, m**
rp [Å]	Dektak ; SEM	**p, RF, Ubias, m**
r10 [Å]	Dektak ; SEM	**p, RF, Ubias, m**
ram [Å]	Dektak ; SEM	**p, RF, Ubias, m**
rs -	Dektak ; SEM	**p, RF, Ubias, m**
rl -	Dektak ; SEM	**p, RF, Ubias, m**
hp -	Dektak	T, m
pa deg.	Dektak ; SEM	**RF, T, m, n**
pd deg.	Dektak ; SEM	**RF, T, m, n**
pr [Å]	Dektak	**RF, T, m, n**
$g_{i,1}$;$k_{i,1}$ -	EDX ; (XPS , AES)	**m, n, RF,** f_n, p,
$g_{i,2}$;$k_{i,2}$ [Å]	AES	t, RF, p
$g_{i,3}$;$k_{i,3}$ [Å]	Dektak ; SEB	RF, p
$h_{i,j}$	SEM, AES	**m, n, RF, T, q,** f_n, p
électrique	Polaron, dispositif de	
	test (I-V,C-V,C-t,bruit,...)	**RF, p , m, n, Ubias**
physique	AES, TEM, RBS	**RF, p, t, n, Ubias**

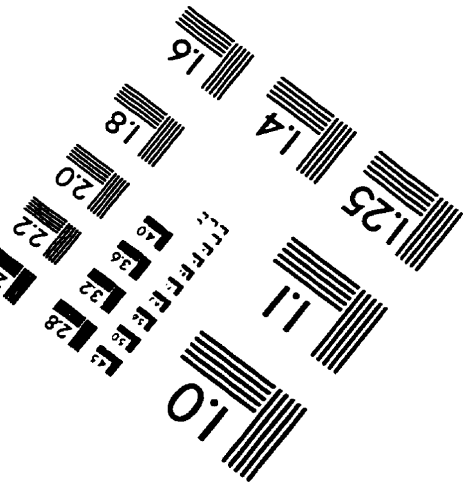
IMAGE EVALUATION TEST TARGET (QA-3)

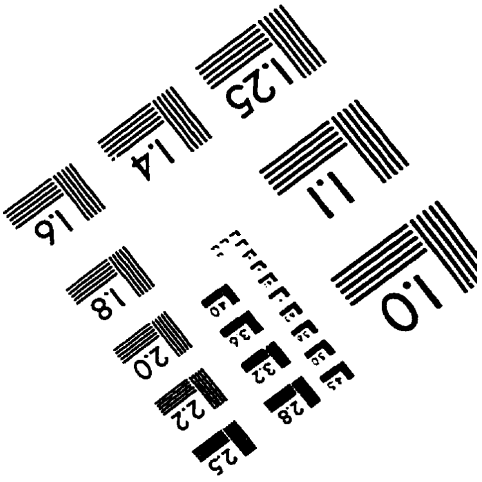












APPLIED IMAGE, Inc
1653 East Main Street
Rochester, NY 14609 USA
Phone: 716/482-0300
Fax: 716/288-5989

© 1993, Applied Image, Inc., All Rights Reserved