

**Titre:** Conception et réalisation d'un amplificateur opérationnel  
programmable dédié à des capteurs implantables

**Auteur:** Khalid Ouici

**Date:** 1997

**Type:** Mémoire ou thèse / Dissertation or Thesis

**Référence:** Ouici, K. (1997). Conception et réalisation d'un amplificateur opérationnel  
programmable dédié à des capteurs implantables [Mémoire de maîtrise, École  
Polytechnique de Montréal]. PolyPublie. <https://publications.polymtl.ca/6727/>

 **Document en libre accès dans PolyPublie**  
Open Access document in PolyPublie

**URL de PolyPublie:** <https://publications.polymtl.ca/6727/>

**Directeurs de  
recherche:** Mohamad Sawan

**Programme:** Non spécifié

## **NOTE TO USERS**

**The original manuscript received by UMI contains pages with indistinct and/or slanted print. Pages were microfilmed as received.**

**This reproduction is the best copy available**

**UMI**



UNIVERSITÉ DE MONTRÉAL

CONCEPTION ET RÉALISATION D'UN  
AMPLIFICATEUR OPÉRATIONNEL PROGRAMMABLE  
DÉDIÉ À DES CAPTEURS IMPLANTABLES

KHALID OUCI

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE  
ET DE GÉNIE INFORMATIQUE  
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION  
DU DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES (M.Sc.A.)

(GÉNIE ÉLECTRIQUE)

AOÛT 1997



National Library  
of Canada

Acquisitions and  
Bibliographic Services

395 Wellington Street  
Ottawa ON K1A 0N4  
Canada

Bibliothèque nationale  
du Canada

Acquisitions et  
services bibliographiques

395, rue Wellington  
Ottawa ON K1A 0N4  
Canada

*Your file Votre référence*

*Our file Notre référence*

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

0-612-33169-5

UNIVERSITÉ DE MONTRÉAL  
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire est intitulé

CONCEPTION ET RÉALISATION D'UN  
AMPLIFICATEUR OPÉRATIONNEL PROGRAMMABLE  
DÉDIÉ À DES CAPTEURS IMPLANTABLES

présenté par: OUICI Khalid

en vue de l'obtention du diplôme de: Maîtrise ès Sciences Appliquées

a été dûment accepté par le jury d'examen constitué de:

M. BRAULT Jean-Jules, Ph.D., président

M. SAWAN Mohamad, Ph.D., membre et directeur de recherche

M. GHANNOUM Sameh, Ph.D., membre

À mes parents,

À mes frères et mes soeurs,

À tous ceux qui me sont chers.

## REMERCIEMENTS

Je tiens à exprimer ma profonde reconnaissance aux membres du jury:

Monsieur BRAULT Jean-Jules, professeur à l'École Polytechnique de Montréal au département de génie électrique et de génie informatique, pour avoir tout d'abord accepté de présider le jury en ces temps de vacances.

Monsieur SAWAN Mohamad, professeur à l'École Polytechnique de Montréal au département de génie électrique et de génie informatique, qui a dirigé ce travail du début jusqu'à la fin, je le remercie pour les discussions fructueuses que nous avons eues sur tous les sujets abordés tout au long de ce travail et dont les critiques m'ont permis d'améliorer, et le contenu et la qualité de ce mémoire.

Monsieur GHANNOUM Sameh, Docteur Ingénieur à Northern Telecom Inc., pour avoir accepté d'être membre du jury.

Je m'en voudrais de ne pas mentionner la collaboration de mes collègues de l'équipe de recherche en neurotechnologie "PolyStim" particulièrement DJEMOUAI Abdelouahab, RABEL Claude Eddy, ASSI Ali et BOURRET Sylvain, les trois premiers étudiants sont en doctorat et le quatrième étudiant est en maîtrise à l'École Polytechnique de Montréal au département de génie électrique et de génie informatique, pour leurs judicieuses interventions et suggestions.

Enfin, je désire exprimer ma reconnaissance envers le Conseil de Recherches en sciences naturelles et en génie du Canada "CRSNG" ainsi que le soutien financier continu de M.



Mohamad SAWAN démontrant un encouragement et une confiance très appréciés. Que tous trouvent ici, l'expression de ma profonde gratitude.

## RÉSUMÉ

De nos jours, l'intérêt envers les circuits analogiques à faible dissipation de puissance et à faible tension d'alimentation monte de façon très significatif, cela est dû à l'augmentation du nombre d'équipements portables dans les différents marchés tels que les télécommunications, les ordinateurs, les capteurs et les stimulateurs implantables dans le corps humain, et de façon générale les appareils sans fils.

Le but de ce mémoire de maîtrise est de concevoir un amplificateur opérationnel programmable (AOP), servant d'interface entre un capteur interfaçant un organe d'un patient et la partie contrôle d'une unité de contrôle implantable et opérant à une tension d'alimentation de 1.5 V. Cet AOP servira à amplifier des signaux provenant d'un amplificateur d'instrumentation, ce dernier amplifie des signaux bio-électriques qui sont de l'ordre de  $\pm 500\mu\text{V}$ . Dans notre application, une large bande passante d'opération n'est pas nécessaire parce que les signaux bio-électriques ne sont pas rapides. Par contre, une très faible dissipation de puissance et un gain élevé ainsi qu'une petite surface sont exigés. L'originalité de ce projet vient du fait que l'on travaille avec une tension d'alimentation de 1.5 V et l'on désire optimiser en priorité la consommation de puissance et la surface occupée par le circuit tout en ayant un gain programmable très élevé.

En se basant sur des éléments de base tels que : des miroirs de courant, un étage différentiel d'entrée, des commutateurs analogiques et un étage de sortie, et à l'aide de l'outil Analog Artist de Cadence et du simulateur Hspice, nous avons réalisé un amplificateur opérationnel programmable dédié à des applications biomédicales. La puce résultant de notre conception est dans sa phase de fabrication à la Société Canadienne en Micro-électronique (SCM) par le procédé BiCMOS 0.8  $\mu\text{m}$ .

Les résultats obtenus jusqu'à ce jour sont excellents. En effet, cette conception nous a conduit à la réalisation d'un amplificateur opérationnel programmable opérant à une tension d'alimentation de 1.5 V, ayant une dissipation de puissance de  $36\mu\text{W}$ , un gain DC en boucle ouverte de 110dB et une fréquence de coupure de 1.6 MHz, tout en occupant une surface de  $0.15\text{ mm}^2$ , ce qui dépasse largement les performances des fonctions intégrées similaires. Finalement, le gain en boucle fermée de l'amplificateur opérationnel programmable proposé peut être configuré entre 10 dB et 55 dB avec un pas de 3 dB.

## ABSTRACT

Over the years, the interest toward low-power low-voltage Integrated Circuits has consistently grown. This is primarily due to the increasing importance of portable equipments in all market segments such as, telecommunications, computers, various biomedical applications (sensors and microstimulators).

The aim of this Master thesis is to design a programmable opamp. Our research team work on a new implantable bladder volume monitoring device based on the impedance measurement of the detrusor. The system is completely autonomous and fully implantable. It forms a mixed-signal (analog/digital) feedback loop with a neurostimulator to rectify bladder dysfunctions (incontinence and retention) through neuromuscular stimulation techniques. A programmable gain amplifier and a signal processing block are used to eliminate the artifacts caused by the patient's movements.

The circuit has to be highly flexible to fit a wide range of biomedical applications, energy efficient because power to the implant is extremely limited and above all, it must be very compact. Available low-power low-voltage opamps dot not meet all specifications. This is why we propose a new programmable opamp targeting mainly the following requirements : reduction of the circuit area and power consumption,

enhancement of the common mode rejection ratio, the power supply rejection ratio and the gain.

The proposed programmable opamp circuit is in fabrication phase at the Canadian Microelectronics Corporation (CMC), using the Nortel 0.8  $\mu\text{m}$  BiCMOS process technology. As of today, the obtained results are satisfactory for our implantable biomedical application. The programmable opamp provides a high voltage gain at very low power dissipation. It is intended to operate at a supply voltage of 1.5 V. Spice simulation confirms the expected behavior and demonstrates a low-frequency gain of 110 dB at a modest power consumption of 36  $\mu\text{W}$ . While keeping an active circuit area around 0.15  $\text{mm}^2$ . The gain of the opamp varies from 10 dB to 55 dB in the steps of 3 dB.

## TABLE DES MATIÈRES

	Pages
DÉDICACE.....	iv
REMERCIEMENTS .....	v
RÉSUMÉ .....	vii
ABSTRACT .....	ix
TABLE DES MATIÈRES .....	xi
LISTE DES TABLEAUX.....	xvi
LISTE DES FIGURES .....	xvii
LISTE DES ABRÉVIATIONS ET SYMBOLES.....	xxi
LISTES DES ANNEXES .....	xxiv
<b>CHAPITRE I: INTRODUCTION .....</b>	<b>1</b>
1.1- Problématique.....	1
1.2- Pourquoi la faible consommation de puissance?.....	2
1.3- Applications de la faible consommation de puissance.....	4
1.4- Méthodologie de conception de systèmes à faible consommation de puissance .....	5
1.5- Méthodologie de la recherche .....	6
1.6- Structure du mémoire .....	8

<b>CHAPITRE II: APERÇU SUR LES TECHNIQUES DE CONCEPTION DES AMPLIFICATEURS OPERATIONNELS OPÉRANT À DES FAIBLES TENSIONS D'ALIMENTATION .....</b>	<b>10</b>
2.1- Introduction .....	10
2.2- Processus de conception pour les circuits analogiques .....	11
2.3- Éléments de base utilisés dans notre architecture .....	12
2.3.1- Transistor MOS .....	13
2.3.2- Étage différentiel .....	17
2.3.3- Miroir de courant.....	20
2.3.3.1- Effet de la modulation due à la longueur du canal .....	22
2.3.3.2- Déplacement du seuil des deux transistors .....	23
2.3.3.3- Imperfections géométriques .....	24
2.3.3.4- Les différents types de miroirs de courant cascode.....	24
2.4- Méthodologie de conception d'un amplificateur opérationnel .....	29
2.5- Description de l'implant urinaire .....	30
2.5.1-Consommation électrique permise .....	33
2.5.2- Précision souhaitée.....	33
2.5.3- Fiabilité.....	34
2.6- Besoin d'un amplificateur opérationnel programmable.....	34
2.6.1- Caractéristiques de notre amplificateur opérationnel.....	36

2.7- Limitation de la conception des circuits analogiques opérant à de faibles tensions d'alimentation.....	37
2.8- Résultats représentatifs de travaux de recherche de pointe dans le domaine des amplificateurs opérationnels.....	38
2.9- Réduction de la tension d'alimentation des circuits analogiques et des circuits numériques .....	41
2.10- Conclusion .....	43

### **CHAPITRE III: CONCEPTION DE L'AMPLIFICATEUR OPERATIONNEL**

<b>PROGRAMMABLE DÉDIÉ À DES CAPTEURS .....</b>	<b>46</b>
3.1- Introduction .....	46
3.2- Conception de l'amplificateur opérationnel .....	47
3.2.1- Analyse DC .....	48
3.2.2- Analyse AC .....	50
3.2.3- Analyse du bruit .....	56
3.3- Amplificateur à gain programmable numériquement .....	57
3.3.1- Principe de la programmabilité .....	58
3.3.2- Quelques configurations possibles d'amplificateurs à gain programmable numériquement .....	60
3.3.3- Description détaillée du circuit adopté.....	63



3.4- Conclusion ..... 70

**CHAPITRE IV : CARACTÉRISATION DE L'AMPLIFICATEUR**

**OPÉRATIONNEL À GAIN PROGRAMMABLE..... 72**

4.1- Introduction ..... 72

4.2- Principaux résultats de simulation ..... 72

4.2.1- Marge d'entrée en mode commun..... 73

4.2.2- Taux de réjection de mode commun ..... 74

4.2.3- Taux de réjection de la tension d'alimentation ..... 75

4.2.4- Excursion de la tension de sortie  $V_o$ ..... 76

4.2.5- Pente limite du signal de sortie ..... 77

4.2.6- Tension de décalage d'entrée ..... 78

4.2.7- Résistance de sortie ..... 79

4.2.8- Temps de réponse ..... 79

4.2.9- Gain et phase de l'amplificateur opérationnel ..... 80

4.2.10- Performance du bruit..... 82

4.2.11- Taux de distorsion harmonique ..... 83

4.2.12- Simulation des différentes parties de l'AOP. .... 83

4.3- Génération des dessins de masques..... 85

4.4- Conclusion ..... 87

<b>CHAPITRE V: CONCLUSIONS ET RECOMMANDATIONS .....</b>	<b>90</b>
5.1- Rappel des objectifs .....	90
5.2- Sommaire des principaux résultats .....	92
5.3- Problèmes rencontrés .....	92
5.4- Recommandations pour des travaux de recherche futurs.....	93
5.5- Conclusion .....	94
<b>RÉFÉRENCES .....</b>	<b>96</b>
<b>ANNEXES .....</b>	<b>99</b>

## LISTE DES TABLEAUX

<b>Tableau 2.1</b> : Résumé des performances trouvées dans la littérature.....	42
<b>Tableau 3.1</b> : Dimensions des transistors de notre ampli-op.....	51
<b>Tableau 3.2</b> : Liste des valeurs de gain en fonction des bits de programmation sélect (3 :0) et des fractions $\Delta x_i$ de la résistance totale $R_{tot}$ .....	67
<b>Tableau 4.1</b> : Résumé des résultats de simulation de l'ampli-op. en boucle ouverte ( $V_{dd}=1.5V$ ).....	81
<b>Tableau A.1</b> : Quelques constantes pour le silicium .....	100
<b>Tableau A.2</b> : Les paramètres du modèle des transistors MOS tirés du modèle Hspice de la technologie BiCMOS $0.8\mu m$ .....	101

## LISTE DES FIGURES

<b>Figure 2.1</b> : Processus de conception pour les circuits analogiques.....	12
<b>Figure 2.2</b> : Transistor NMOS et sa caractéristique $I_D = f(V_{DS})$ .....	14
<b>Figure 2.3</b> : Étage différentiel MOS.....	17
<b>Figure 2.4</b> : Un simple miroir de courant NMOS.....	20
<b>Figure 2.5</b> : Une version généralisée du miroir de courant cascode régulier. ....	25
<b>Figure 2.6</b> : Une version généralisée du miroir de courant cascode “high-swing”. ....	27
<b>Figure 2.7</b> : Diagramme bloc d’un amplificateur opérationnel CMOS à deux étages.....	29
<b>Figure 2.8</b> : Schéma global du système urinaire.....	31
<b>Figure 2.9</b> : Courant de fuite dans la région de non conduction d’un transistor avec $V_{DS}=1$ V tiré de [BEL95 ]. ....	38
<b>Figure 3.1</b> : Architecture global de l’amplificateur opérationnel.....	47
<b>Figure 3.2</b> : Implémentation au niveau transistor de notre ampli-op. $V_{DD}=1.5V$ .....	48
<b>Figure 3.3</b> : Modèle AC (a) l’étage d’entrée différentiel (b) l’étage de sortie inverseur .....	51
<b>Figure 3.4</b> : Amplificateur opérationnel en boucle fermée utilisant la contre réaction négative.....	56
<b>Figure 3.5</b> : Amplificateur opérationnel non-inverseur à gain programmable numériquement.....	59

<b>Figure 3.6 :</b> Amplificateur inverseur à gain programmable numériquement.....	60
<b>Figure 3.7 :</b> Une variante amplificateur inverseur à gain programmable numériquement.....	61
<b>Figure 3.8 :</b> Architecture globale de notre amplificateur opérationnel programmable numériquement.....	62
<b>Figure 3.9 :</b> Détermination des résistances partielles définies par $x_i$ .....	64
<b>Figure 3.10 :</b> Structure simplifiée du circuit de sélection du gain.....	67
<b>Figure 4.1 :</b> Mesure du CMR.....	73
<b>Figure 4.2 :</b> Mesure du « CMRR » (a) mode commun (b) mode différentiel.....	76
<b>Figure 4.3 :</b> Mesure du « PSRR ».....	74
<b>Figure 4.4 :</b> Illustration du « Slew Rate » sur un ampli-op à deux étages.....	77
<b>Figure 4.5 :</b> Illustration de la tension de décalage d'entrée.....	78
<b>Figure 4.6 :</b> Caractéristiques AC, le gain et la phase en boucle ouverte.....	80
<b>Figure 4.7 :</b> Tension équivalente du bruit à l'entrée de l'ampli-op en $v/\sqrt{Hz}$ .....	82
<b>Figure 4.8 :</b> Quatre différents gains donné par notre ampli-op programmable.....	84
<b>Figure 4.9 :</b> Illustration de la technique des géométries du centre commun tiré de [ALL87].....	86
<b>Figure 4.10 :</b> Dessin des masques de l'ampli-op. programmable.....	88
<b>Figure B-1 :</b> Illustration de la mesure du «CMRR».....	103
<b>Figure B-2 :</b> Illustration de la mesure du «PSRR».....	103

<b>Figure B-3</b> : Illustration de la mesure de l'excursion de la tension de sortie .....	105
<b>Figure B-4</b> : Illustration de la mesure de la pente limite du signal de sortie.....	104
<b>Figure B-5</b> : Illustration de la mesure de la résistance de sortie.....	105
<b>Figure B-6</b> : Résultats de simulation du décodeur 4-16. ....	106
<b>Figure D.1</b> : Dessins des masques d'un interrupteur.....	118
<b>Figure D.2</b> : Dessins des masques Du bloc de 16 interrupteurs .....	119
<b>Figure D.3</b> : Dessins des masques de la résistance $R_{tot}$ .....	120
<b>Figure D.4</b> : Dessins des masques de l'ampli-op. seul.....	121
<b>Figure F.1</b> : Schéma général de la structure du T-BIST.....	126
<b>Figure F.2</b> : Chaîne de bascule ajouter pour améliorer l'observabilité des sorties du décodeur 4-16 .....	128

**LISTES DES ABRÉVIATIONS ET SYMBOLES****ABRÉVIATIONS**

Ampli-op	Amplificateur opérationnel
AOP	Amplificateur Opérationnel Programmable
BiCMOS	Bipolar Complementary Metal Oxyde Semiconductor
CMR	Marge d'entrée en mode commun
CMRR	Taux de rejet en mode Commun
CMOS	Complementary Metal Oxyde Semiconductor
DSP	Traitement numérique des signaux
dB	Décibel
LRPOLY	Polysilicium faiblement résistif
MOS	Metal Oxyde Semiconductor
NMOS	Channel-N Metal Oxyde Semiconductor
PMOS	Channel-P Metal Oxyde Semiconductor
PSRR	Taux de rejet de la tension d'alimentation
RPOLY	Polysilicium résistif
SR	Pente limite du signal de sortie
THD	Taux de distorsion harmonique

T-BIST

Translation Built In Self Test

VLSI

Very Large Scale Integration

**SYMBOLES**

$A_v$	Gain en tension de l'ampli-op.
$A_{vd}$	Gain en tension de l'étage différentiel
$C_{ox}$	Capacité d'oxyde
$f_t$	Fréquence de transition
$g_m$	Transconductance d'un transistor
$I_{ss}$	Courant de polarisation de l'étage différentiel
$I_i$	Courant d'entrée
$I_o$	Courant de sortie
$L$	Longueur de la grille d'un transistor MOS
$L_n$	Longueur de la grille d'un transistor MOS de type N
$L_p$	Longueur de la grille d'un transistor MOS de type P
$\lambda$	Effet de la modulation due à la longueur du canal



$i_D$	Courant de drain
MHz	Mégahertz
$\mu_0$	Mobilité du transistor
$\mu A$	Microampère
$\mu m$	Micromètre
$\mu V$	Microvolt
m V	Millivolt
mm	Millimètre
$\Omega$	Ohm
P	Puissance maximale consommée par l'AOP
$r_{ds}$	Résistance drain-source
$r_o, r_{out}$	Résistance de sortie
$R_{tot}$	Résistance total utilisé pour la programmabilité
$R_{ON}$	Résistance du commutateur en conduction
S	Surface
V	Tension
$V_{DD}$	Tension d'alimentation du circuit
$V_{ds}$	Tension drain-source d'un transistor MOS
$V_{gs}$	Tension grille-source d'un transistor MOS
$V_{sat}$	Tension drain-source minimale de saturation

$V_{bn}$	Tension de polarisation des transistors MOS de type N du circuit
$V_{bp}$	Tension de polarisation des transistors MOS de type P du circuit
$V_{iCM}$	Tension d'entrée en mode commun
$V_{id}$	Tension d'entrée différentielle
$V_{io}$	Tension de décalage à l'entrée
$V_{od}$	Tension de sortie de l'étage différentiel
$V_{ON}$	Tension de contrôle de l'interrupteur
$W$	Largeur de la grille d'un transistor MOS
$W_n$	Largeur de la grille d'un transistor MOS de type N
$W_p$	Largeur de la grille d'un transistor MOS de type P
$\Delta x_i$	Fraction de la résistance total $R_{tot}$

## LISTES DES ANNEXES

<b>ANNEXE A : Méthode et tableaux importants pour le calcul .....</b>	<b>99</b>
<b>ANNEXE B : Résultats de simulation des différents paramètres .....</b>	<b>102</b>
<b>ANNEXE C : Fichiers de simulation Spice de notre amplificateur opérationnel programmable.....</b>	<b>107</b>
<b>ANNEXE D : Dessin des masques des différentes parties de notre amplificateur opérationnel programmable.....</b>	<b>117</b>
<b>ANNEXE E : Rapport du LVS "Layout Vs Schematic" .....</b>	<b>122</b>
<b>ANNEXE F : Principe du T-BIST .....</b>	<b>126</b>

## CHAPITRE I

### INTRODUCTION

#### 1.1- Problématique

De nos jours, la conception de systèmes implantables (implants) pour récupérer les fonctions perdues chez l'être humain, constitue un domaine de recherche moderne, en pleine expansion, et très diversifié. Les implants sont classés en deux grandes catégories : (1) les capteurs servant à surveiller l'évolution des paramètres biologiques et (2) les stimulateurs dédiés à la récupération des fonctions motrices. Les signaux bio-électriques sont, en général, lents et de faibles amplitudes. Ces amplitudes sont de l'ordre de 500  $\mu$ V. De ce fait, le besoin de concevoir des amplificateurs opérationnels spécialement adaptés à ce nouveau domaine de recherche se fait de plus en plus grandissant. L'objectif de ce projet de maîtrise est donc de concevoir un amplificateur opérationnel programmable (AOP) dédié à des capteurs implantables, opérant à une tension d'alimentation de 1.5 V, servant d'interface entre l'organe d'un patient et la partie contrôle d'un implant.

Dans notre cas, l'implant urinaire servira d'une part à empêcher l'écoulement involontaire d'urine dû à l'incontinence et d'autre part, il contrôlera l'expulsion d'urine de la vessie. Autrement dit, le stimulateur servira à la récupération des fonctions

vésicales (rétention urinaire et miction (vidange) au besoin) particulièrement chez les personnes paraplégiques ou quadraplégiques atteints de lésions à la moelle épinière [SAW97] et [PRO97].

Le présent projet est consacré à la partie de surveillance du volume vésicale, et plus spécifiquement le circuit d'amplification des faibles signaux. Cet amplificateur opérationnel programmable doit être conçu à l'aide du procédé de la technologie BiCMOS 0.8  $\mu\text{m}$  et des outils Analog Artist de Cadence, en utilisant le simulateur Hspice. L'AOP devra avoir un gain élevé ( $\geq 80$  dB) et programmable, occupant la plus petite surface possible, une consommation de puissance très faible, un niveau de bruit très faible, une bonne fiabilité et une bonne caractéristique de linéarité. L'originalité de ce projet vient du fait que l'on travaille avec une tension d'alimentation de 1.5 V et l'on désire optimiser en priorité la consommation de puissance ( $< 100 \mu\text{W}$ ) et la surface occupée ( $< 0.1 \text{ mm}^2$ ) par le circuit tout en ayant un gain très élevé.

### **1.2- Pourquoi la faible consommation de puissance?**

Les concepteurs de circuits VLSI ont toujours pris comme métriques la vitesse, un grand gain et une petite surface en termes de performance. En général, une grande performance et une petite surface sont deux contraintes qui sont toujours en conflit. Les concepteurs de circuits intégrés cherchent un compromis entre ces contraintes. La dissipation de puissance n'était pas un critère de performance très important. En effet, les

considérations de la puissance sont récentes, notamment dans les systèmes portables tels que les micro-ordinateurs, les téléphones sans fil, les montres et les différents systèmes implantables chez l'être humain (stimulateur cardiaque, implant visuel, implant urinaire etc.) [PRO97] et [SAW97] . L'objectif de toutes ces applications est la réalisation des fonctions à une dissipation de puissance minimale pour une longue période d'alimentation.

Actuellement, la dissipation de puissance est devenue une contrainte importante dans la conception de circuits VLSI. Pour différentes raisons, parmi lesquelles nous citons :

- Les systèmes alimentés par une pile tels que : les systèmes implantables, les ordinateurs portables, les agendas électroniques etc. Le besoin grandissant de ces systèmes augmente le besoin de prolonger la durée de vie de la pile. Puisque la technologie des piles offre des améliorations limitées, les techniques de conception à faible puissance sont essentielles pour les dispositifs portables.
- La conception à faible puissance n'est pas seulement nécessaire pour les applications portables, mais aussi pour réduire la consommation de puissance des systèmes de hautes performances.
- Un autre aspect lié à la grande consommation de puissance est la fiabilité. Avec des températures élevées à l'intérieur de la puce, les mécanismes de pannes sont

provoqués. Parmi eux, nous citons les usures des connections, les pannes liées à la mise en boîtier, l'électromigration, les problèmes de jonction etc.

- De plus, notons que dans les bureaux, 50% de la puissance est consommé par des ordinateurs (PCs). Puisque la fréquence des processeurs ne cesse d'augmenter, la consommation de puissance augmentera elle aussi, alors les techniques de conception à faible puissance s'imposent.
- L'effet de baisser la tension d'alimentation aux plus faibles niveaux possibles peut être très impressionnant en terme d'économie de dissipation de puissance. Non seulement la puissance consommée, mais aussi le poids et le volume des systèmes opérant avec des batteries seront réduits.

### **1.3- Applications de la faible consommation de puissance**

La conception de systèmes à faible consommation de puissance est devenue une ère nouvelle dans le domaine de VLSI, tel est le cas de plusieurs applications, comme :

- Les systèmes portables alimentés par une pile, Par exemple : les stimulateurs cardiaques, implants visuels, implants urinaires, les agendas électroniques, les lecteurs de compacts disques, les convertisseurs de langues etc. Ces systèmes représentent une importante augmentation dans le marché.

- Les produits électroniques de communications tels que : les téléphones sans fil, les téléphones cellulaires et les « pagers » etc. La faible consommation de puissance est cruciale pour l'extension de la durée de vie de la batterie.
- Les stations de travail et les ordinateurs ayant des processeurs rapides (100 MHz à 500 MHz). Puisque la puissance consommée est proportionnelle à la fréquence, alors de nouvelles architectures pour la faible consommation de puissance sont capitales.
- D'autres applications électroniques telles que : les réseaux locaux sans fil « Wireless Local Area Network », les appareils électroniques tels que les calculatrices, les écouteurs, et les montres etc.

#### **1.4- Méthodologie de conception de systèmes à faible consommation de puissance**

Afin d'optimiser la consommation de puissance des circuits analogiques, des techniques de conception doivent être appliquées. La technologie du procédé est sous le contrôle du concepteur du circuit. Il est clair que pour réduire la consommation de puissance, il faut réduire la tension d'alimentation. Cependant le délais augmente de façon significatif, particulièrement lorsque la tension d'alimentation approche la tension seuil d'un transistor, pour remédier à ce problème, les dimensions des transistors doivent être bien calculées. De plus, la réduction de l'échelle dans les processus technologiques récents nous offrent les avantages suivants :



- amélioration des caractéristiques des transistors pour le fonctionnement à faible tension d'alimentation, cela est due à l'amélioration de la capacité de délivrer de fort courant ;
- réduction des capacités parasites des différentes jonctions;
- amélioration de la technologie d'interconnexion;
- disponibilité de différents transistors à tension seuil variable, cela permet de bien gérer la consommation de puissance;
- densité d'intégration très élevée : il a déjà été montré que l'intégration d'un système entier dans une seule puce réduit la consommation de puissance.

### **1.5- Méthodologie de la recherche**

Pour notre implant urinaire, nous avons besoin d'un amplificateur opérationnel programmable opérant à une tension d'alimentation de 1.5 V. Le gain de cet AOP devra être ajustable, car l'implant sera installé dans le corps de différentes personnes, donc différents milieux biologiques (d'un patient à un autre). Nous verrons en détails pourquoi nous avons besoin d'un tel amplificateur dans la section 2.5. Notre AOP devra avoir entre autres un gain élevé, une dissipation de puissance faible et une petite surface.

L'objectif principal du projet consiste à proposer une architecture d'amplificateur opérationnel permettant d'atteindre les spécifications citées auparavant. Pour accomplir ces objectifs, les étapes suivantes ont été suivies :

- une revue de littérature appropriée sur les différentes architectures d'amplificateur opérationnel opérant à une tension d'alimentation faible ;
- étude détaillée des techniques de conception de circuits analogiques opérant à une tension d'alimentation faible;
- conception de l'amplificateur opérationnel au niveau schématique désiré en tenant compte des spécifications et des exigences;
- implémentation de celui-ci en utilisant l'outil Analog Artist de Cadence et le simulateur Hspice;
- réalisation du dessin de masques et simulation du circuit en tenant compte des capacités parasites ;
- utilisation de l'outil LVS (Layout Vs Schematic) afin de vérifier que notre dessin de masques correspond exactement à notre schématique;

- une fois le circuit (dessin de masques) nous donne les performances désirées, nous l'enverrons à la SCM (Société Canadienne de la Micro-électronique) pour la fabrication physique du circuit;
- réception de la puce, elle sera testée afin de valider les résultats de simulation et de vérifier le fonctionnement;
- une discussion sur les résultats obtenus de même qu'une projection sur les orientations futures du projet.

### **1.6- Structure du mémoire**

Ce mémoire sera organisé en cinq chapitres. Le premier chapitre est une introduction dans laquelle nous avons discuté de la problématique, de pourquoi la faible consommation de puissance, des applications de la faible puissance, de la méthodologie de conception des systèmes à faible consommation de puissance et enfin de la méthodologie de la recherche. Le deuxième chapitre fait l'état de la situation actuelle de la recherche dans le domaine des amplificateurs opérationnels opérant à des faibles tensions d'alimentation. On y présente les éléments de base utilisés ainsi que une revue de littérature sur les dits amplificateurs opérationnels opérant à des faibles tensions d'alimentation (Low-Power Low-Voltage Opamps), tout en expliquant clairement leurs différents modes de fonctionnement. Ce chapitre nous sert donc de base de comparaison pour notre design. Le troisième chapitre constitue le coeur de ce mémoire, il contient

toutes les analyses de notre amplificateur opérationnel programmable. Le chapitre quatre regroupe toutes les caractéristiques de notre AOP. Le chapitre cinq dresse les conclusions générales, récapitule notre contribution et discute les améliorations qui peuvent être apportées. Les orientations futures du présent travail y sont également abordées. L'annexe A contient une méthode de transformation d'un circuit réalisé avec une technologie donnée en un autre circuit réalisé avec une autre technologie sans changer son architecture, par exemple la transformation d'un circuit implémenté avec une technologie CMOS 2  $\mu\text{m}$  en un circuit implémenté avec la technologie BiCMOS 0.8  $\mu\text{m}$ , ainsi que les paramètres du modèle des transistors CMOS, tirés du modèle Hspice de la technologie BiCMOS 0.8  $\mu\text{m}$  de Nortel et les constantes du silicium qui sont importantes pour les différents calculs. tandis que l'annexe B contient les dessins de masques des différentes parties de notre amplificateur opérationnel programmable « AOP ». L'annexe C contient les fichiers de simulation Spice de l'AOP. L'annexe D contient les résultats de simulation. L'annexe E, contient le rapport de l'outil LVS qui nous permet de vérifier si notre dessin de masques correspond bien à notre schématique. Enfin, l'annexe F contient le principe de la méthode de test «T-BIST» (Translation Built In Self Test). Nous recommandons cette méthode de test pour faire la testabilité de tout le système de l'implant urinaire, sur lequel notre équipe de recherche «PolyStim» travaille.

## CHAPITRE II

### APERÇU SUR LES TECHNIQUES DE CONCEPTION DES AMPLIFICATEURS OPERATIONNELS OPÉRANT À DE FAIBLES TENSIONS D'ALIMENTATION

#### 2.1- Introduction

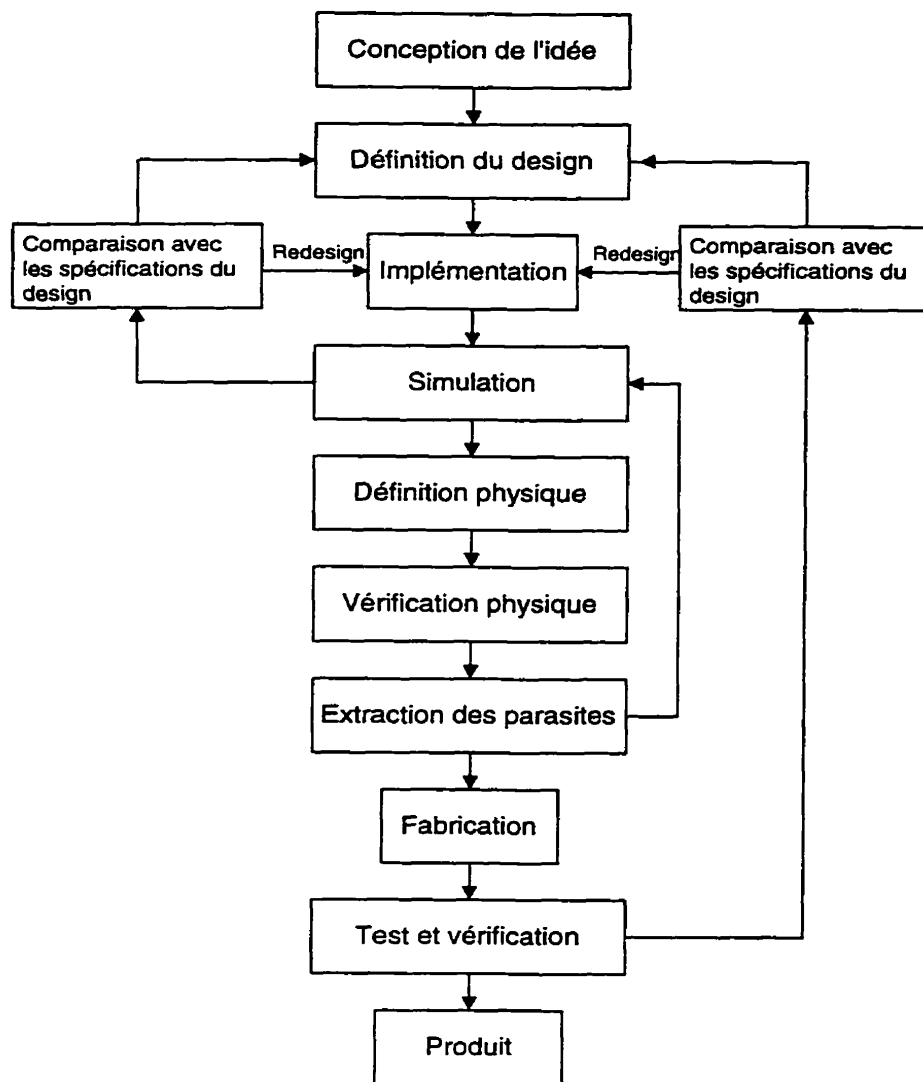
Notre amplificateur opérationnel programmable devra opérer sous une tension d'alimentation de 1.5 V. Il est donc important de présenter, à ce point-ci, quelques récents designs qui opèrent à des tensions d'alimentation avoisinante le 1.5V, ceux-ci vont nous permettre d'établir une certaine échelle de comparaison afin de bien situer notre design par rapport aux circuits déjà existants. Puisque nous recherchons principalement la diminution de la consommation de puissance et de la surface de l'amplificateur opérationnel, il est donc important de comparer notre design à ceux des autres. Notons que les articles choisis sont représentatifs et que les autres publications rencontrées partagent de grandes similitudes avec les circuits appartenant à une même catégorie. Ce chapitre a donc pour objectif de faire une revue de littérature des amplificateurs opérationnels de la même gamme que le notre. Avant de commencer à discuter des différentes publications, on va discuter des différentes étapes que nous devons effectuer pour atteindre notre objectif en commençant par présenter les éléments de base utilisés dans notre architecture, la méthodologie de conception d'un

amplificateur opérationnel. Ainsi que les spécifications de notre amplificateur opérationnel programmable.

## **2.2- Processus de conception pour les circuits analogiques**

La conception d'un circuit intégré analogique comprend plusieurs étapes. La figure 2.1 illustre l'approche générale de la conception d'un circuit intégré. Les étapes majeures dans le processus de design sont illustrées dans figure 2.1.

Le concepteur est responsable de toutes ces étapes excepté la fabrication. La première tâche majeure est de définir le design, cette étape est cruciale puisqu'elle détermine la capacité des performances du design. La deuxième étape majeure, est la prédiction des performances du circuit en utilisant les méthodes de simulation. À ce point, le concepteur peut itérer en utilisant les résultats de simulation pour améliorer les performances du circuit. Une fois que le concepteur est satisfait des résultats, il passe à la troisième tâche majeure, la description géométrique (dessin des masques) du circuit. Une fois que ce dernier est fini, il est important d'inclure l'effet des parasites dans une seconde simulation. Si les résultats avec les parasites sont satisfaisants, le circuit est prêt pour la fabrication. À ce niveau, le concepteur est en face de la dernière tâche majeure c.-à-d. le test et la vérification qui consistent à déterminer si le circuit fabriqué rencontre les spécifications du design.



**Figure 2.1:** Processus de conception pour les circuits analogiques

### 2.3- Éléments de base utilisés dans notre architecture

Dans cette section, nous allons traiter les différentes composantes de notre circuit, cela permettra au lecteur de ce mémoire de comprendre plus facilement l'architecture adoptée, ensuite nous allons voir comment nous avons combiné ces différents modules

pour en faire un circuit plus complexe. Les différents sous-circuits que nous allons traiter sont : les miroirs de courant simple et cascode, l'étage différentiel (ou transconductance), l'inverseur et le commutateur CMOS. Notre objectif est de concevoir un amplificateur opérationnel tension-tension programmable opérant à une tension d'alimentation de 1.5V.

### 2.3.1- Transistor MOS

La figure 2.2 nous montre le symbole d'un transistor NMOS ainsi que sa caractéristique simplifiée. Cette figure montre deux régions de fonctionnement du NMOS: une région linéaire (ohmique) et une région de saturation.

Dans la région ohmique, la caractéristique DC du transistor peut être exprimée par:

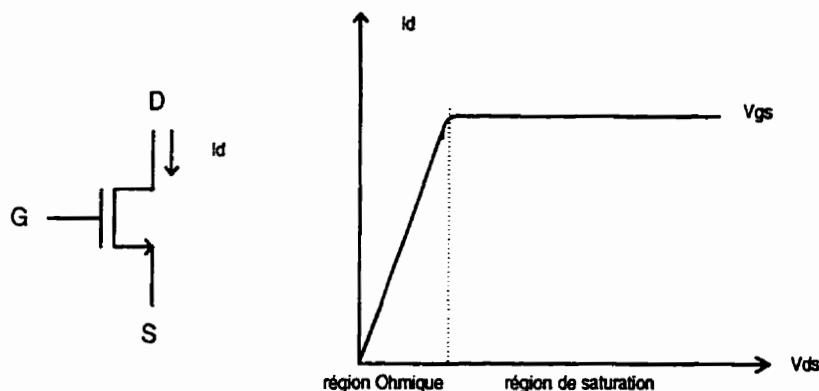
$$i_D = \beta \left[ (v_{GS} - v_T)v_{DS} - \frac{v_{DS}^2}{2} \right] \quad (2.1a)$$

Où  $V_T$  est la tension seuil du transistor. La résistance de sortie est donnée par la relation suivante :

$$r_{out} = \frac{1 + \lambda V_{DS}}{\lambda I_D} \equiv \frac{1}{\lambda I_D} \quad (2.1b)$$

Où  $\lambda$  est l'effet de la modulation de la longueur du canal





**Figure 2.2 :** Transistor NMOS et sa caractéristique  $I_D = f(V_{DS})$ .

On remarque que pour des tensions  $V_{DS}$  très faible (région linéaire), la résistance de sortie est faible, ce qui n'est pas souhaitable pour le fonctionnement des sources de courant [BRU95]. Le transistor reste dans la région linéaire tant que  $V_{DS}$  n'atteint pas la tension seuil,  $V_T$ , tension à laquelle le courant  $I_D$  atteint son maximum,  $V_{DS(sat)}$ . Pour un  $V_{GS}$  donné nous avons:

$$V_{DS(sat)} = V_{GS} - V_T \quad (2.2)$$

Si  $V_{DS} \geq V_{DS(sat)} \Rightarrow$  Le transistor est en saturation, dans cette région le courant devient indépendant de  $V_{DS}$ . Ainsi l'équation (2.1) devient:

$$i_D = \frac{\beta}{2} (v_{GS} - v_T)^2 \quad (2.3)$$

La fonction de transfert non linéaire (2.3) donne la transconductance en petits signaux:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \beta(V_{GS} - V_T) \quad (2.4)$$

Dans la conception des circuits MOS analogiques opérant à des tensions d'alimentation faibles, réduire la tension d'alimentation ne signifie pas forcément que la consommation de puissance va être réduite. La tension drain-source de saturation des transistors ( $V_{DS,sat} = V_{GS} - V_T$ ) doit être minimisée surtout si nous avons beaucoup de transistors empilés. Pour réduire  $V_{DS,sat}$ , les rapports (W/L) des transistors seront grands [SAK95] et [HUI93b]. L'augmentation de ces rapports (W/L) dégrade la réponse en fréquence puisque

$$f_T = \frac{g_m}{C} \quad (2.5)$$

où  $g_m$  est la transconductance du transistor et C représente la capacité globale du transistor et est égale à :

$$C = C_{ox}WL \quad (2.6)$$

Dans la région ohmique

$$C_{gs} = C_{gd} = \frac{1}{2} WLC_{ox} \quad (2.7)$$

Par contre, dans la région de saturation

$$C_{gs} = \frac{2}{3} WLC_{ox} \quad \text{et} \quad C_{gd} = \frac{1}{3} WLC_{ox} \quad (2.8)$$

La transconductance est donnée par la relation suivante

$$g_m = \frac{\delta I_D}{\delta V_{GS}} = \frac{\delta \left( \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 \right)}{\delta V_{GS}} = \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_T) \quad (2.9)$$

En utilisant l'équation (2.5), la fréquence devient

$$f_T = \frac{\mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_T)}{\frac{2}{3} WLC_{ox}} = \frac{\mu_0 (V_{GS} - V_T) 3}{L^2} \quad (2.10)$$

La relation (2.10) nous montre bien que si on fait notre design avec des transistors ayant une longueur de canal (L) très grandes, la réponse en fréquence se dégrade. De ce fait, les circuits requérant des résistances de sortie élevées tels que les sources de courant et les étages à gain demanderont toujours des transistors ayant une grande longueur de canal, donc lent ! Si l'on veut réaliser des circuits rapides, nous avons besoin d'explorer les méthodes pour réduire la tension seuil  $V_T$  et l'effet du canal de modulation  $\lambda$  et trouver une façon d'obtenir un gain très élevé sans affecter la vitesse. Ce n'est pas le cas

pour notre application, car comme nous l'avons déjà mentionné les signaux que nous allons traiter sont de faibles amplitudes et lents.

### 2.3.2- Étage différentiel

La figure 2.3 nous montre un étage différentiel formé par deux transistors NMOS, la source de courant  $I_{SS}$  polarise cet étage différentiel. Par contre,  $i_{D1}$  et  $i_{D2}$  représentent les charges des transistors  $M_1$  et  $M_2$  respectivement. L'objectif de cet étage différentiel est d'amplifier seulement la différence entre deux potentiels sans tenir compte de la valeur en mode commun. Ainsi, un amplificateur différentiel peut être caractérisé par son taux de rejet en mode commun "CMRR" qui est le rapport entre le gain différentiel sur le gain en mode commun.

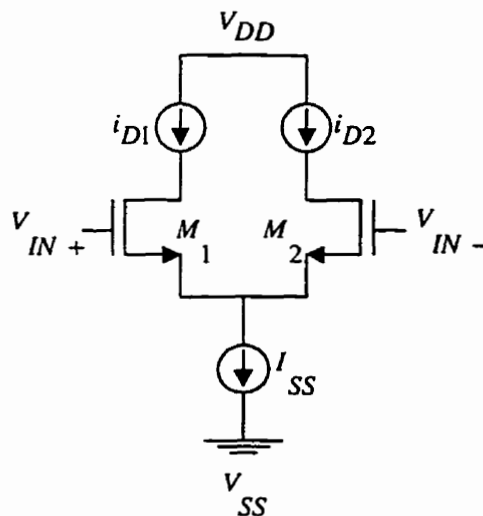


Figure 2.3 : Étage différentiel MOS

En supposant que les deux transistors sont identiques, et en négligeant l'effet du substrat, les courants du drain peuvent être exprimés comme suit:

$$i_{D1} = K(v_{GS1} - v_T)^2 \quad (2.11)$$

$$i_{D2} = K(v_{GS2} - v_T)^2 \quad (2.12)$$

où 
$$K = \frac{1}{2} \mu_n \left( \frac{W}{L} \right)$$

La tension d'entrée différentielle,  $v_{id}$ , est donnée par:

$$v_{id} = (v_{GS1} - v_{GS2}) \quad (2.13)$$

Par conséquent,

$$\sqrt{i_{D1}} - \sqrt{i_{D2}} = \sqrt{K} v_{id} \quad (2.14)$$

Le courant de polarisation de la source  $I_{SS}$  impose la contrainte suivante:

$$i_{D1} + i_{D2} = I_{SS} \quad (2.15)$$

Les équations (2.11) et (2.12) sont deux équations à deux inconnues  $i_{D1}$  et  $i_{D2}$

$$i_{D1} = \frac{I_{SS}}{2} + \sqrt{2KI_{SS}} \left( \frac{v_{id}}{2} \right) \sqrt{1 - \frac{\left( \frac{v_{id}}{2} \right)^2}{\frac{I_{SS}}{2K}}} \quad (2.16)$$

$$i_{D2} = \frac{I_{SS}}{2} - \sqrt{2KI_{SS}} \left( \frac{v_{id}}{2} \right) \sqrt{1 - \frac{\left( \frac{v_{id}}{2} \right)^2}{\frac{I_{SS}}{2K}}} \quad (2.17)$$

Au point de repos de la polarisation,  $v_{id}=0$ , nous aurons:

$$i_{D1} = i_{D2} = \frac{I_{SS}}{2} \quad (2.18)$$

Par conséquent,

$$v_{GS1} = v_{GS2} = V_{GS} \quad (2.19)$$

Alors,

$$\frac{I_{SS}}{2} = K(V_{GS} - V_T)^2 \quad (2.20)$$

Pour les petits signaux  $\frac{v_{id}}{2} \ll V_{GS} - V_T$  les équations (2.10) et (2.11) deviennent :

$$i_{D1} \equiv \frac{I_{SS}}{2} + \left( \frac{I_{SS}}{V_{GS} - V_T} \right) \left( \frac{v_{id}}{2} \right) \quad (2.21)$$

$$i_{D2} \equiv \frac{I_{SS}}{2} - \left( \frac{I_{SS}}{V_{GS} - V_T} \right) \left( \frac{v_{id}}{2} \right) \quad (2.22)$$

### 2.3.3- Miroir de courant

Les miroirs de courant sont des circuits très utilisés dans la conception des circuits analogiques CMOS, ils sont utilisés pour multiplier ou diviser le courant. Le miroir de courant utilise le principe qui dit que : si les potentiels grille-source de deux transistors MOS identiques sont égaux, alors les courants qui traversent leurs canaux sont égaux. La figure 2.4 montre une implémentation d'un simple miroir de courant fait avec des transistors NMOS, le courant d'entrée  $I_{in}$  est produit par une source de courant ou par un autre circuit, tandis que  $I_{out}$  représente une copie du courant d'entrée qui traverse le transistor  $M_2$  lorsque ce dernier opère en région de saturation car  $v_{DS1} = v_{GS1} = v_{GS2}$ .

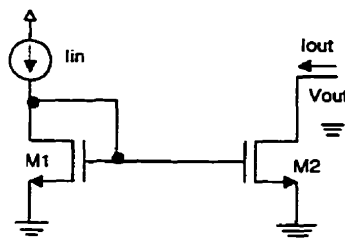


Figure 2.4 : Un simple miroir de courant NMOS.

Supposant que  $v_{DS2} \geq v_{GS} - v_{T2}$  est plus grand que  $V_{T2}$ , cela va nous permettre d'utiliser les équations d'un transistor MOS en saturation. En général, le rapport de  $I_{out}$  sur  $I_{in}$  est:

$$\frac{I_{out}}{I_{in}} = \left( \frac{L_1 W_2}{W_1 L_2} \right) \left( \frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \left( \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \left( \frac{\mu_{02} C_{ox2}}{\mu_{01} C_{ox1}} \right) \quad (2.23)$$

Normalement, les composants d'un miroir du courant sont implémentés dans le même circuit intégré, par conséquent, tous les paramètres physiques tels que  $V_T$ ,  $\mu_0$ ,  $C_{ox}$  etc. sont identiques pour les deux transistors, ce qui nous permet de simplifier l'équation (2.17) et elle devient :

$$\frac{I_{out}}{I_{in}} = \left( \frac{L_1 W_2}{W_1 L_2} \right) \left( \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (2.24)$$

Si  $V_{DS1} = V_{DS2}$  (ce n'est pas toujours une bonne supposition), alors le rapport  $I_{out}/I_{in}$  devient :

$$\frac{I_{out}}{I_{in}} = \left( \frac{L_1 W_2}{W_1 L_2} \right) \quad (2.25)$$

Par conséquent, le rapport  $I_{out}/I_{in}$  est en fonction des largeurs et longueurs des transistors formant le miroir de courant, ces derniers sont sous le contrôle du concepteur.



Il existe trois effets qui font que le miroir de courant se comporte différemment que dans le cas idéal de l'équation (2.25). Les trois effets sont:

- l'effet de la modulation due à la longueur du canal ;
- le déplacement du seuil des deux transistors ;
- l'imperfection géométrique.

### 2.3.3.1- Effet de la modulation due à la longueur du canal $\lambda$

Pour considérer l'effet de la modulation due à la longueur du canal, on suppose que tous les autres aspects du transistor sont dans le cas idéal et que les rapports  $W/L$  sont égaux à 1, alors l'équation (2.24) se simplifie et devient :

$$\frac{I_{out}}{I_{in}} = \left( \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (2.26)$$

Avec la supposition que  $\lambda$  est la même pour les deux transistors, cette équation montre bien qu'une différence dans les tensions drain-source des deux transistors peut causer une déviation par rapport au gain idéal (unitaire) de courant. Allen et Holberg [ALL87] ont montré que plus  $\lambda$  est petite (la résistance de sortie du miroir de courant devient très

grande), plus le rapport  $I_{out}/I_{in}$  s'améliore. Donc un bon miroir de courant doit avoir des tensions drain-source identiques et une grande impédance de sortie.

### 2.3.3.2- Déplacement du seuil des deux transistors

Le deuxième effet non-idéal est le déplacement "offset" entre les seuils des deux transistors ( $\Delta V_T = V_{T1} - V_{T2}$ ). Dans un procédé CMOS, l'offset des seuils est typiquement inférieur à 10 mV pour des transistors identiques conçus l'un à côté de l'autre. Considérant deux transistors dans une configuration de miroir de courant ou leur tension  $V_{DS}$  et tous les autres paramètres sont identiques excepté leur tension seuil  $V_T$ . Dans ce cas, l'équation (2.23) devient:

$$\frac{I_{out}}{I_{in}} = \left( \frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \quad (2.27)$$

Il est évident que les meilleures performances du miroir de courant sont obtenues lorsque les courants sont grands, parce que  $V_{GS}$  est grande pour des courants forts, ainsi  $\Delta V_T$  devient un faible pourcentage de  $V_{GS}$ . Il est possible que le gain de la transconductance  $K'_1 = \mu_{01} C_{ox1}$  ou  $K'_2 = \mu_{02} C_{ox2}$  du miroir du courant soit dérégulé due aux gradients de l'oxyde [ALL87].

### 2.3.3.3- Imperfections géométriques

Le troisième effet non-idéal des miroirs de courant est l'erreur sur le rapport  $W/L$  des deux transistors due à la différence des valeurs de  $W$  et  $L$ . Les erreurs sont dues aux variations des masques, de la gravure et de dopage. Ces variations peuvent être différentes même si les deux transistors sont placés un à côté de l'autre. Une manière d'éviter les effets de ces variations est de mettre de gros transistors. Par exemple pour des transistors de même taille avec un  $W$  et  $L$  plus grand que  $10\mu\text{m}$ , les erreurs dues à l'imperfection géométrique ne sont pas significatives [ALL87].

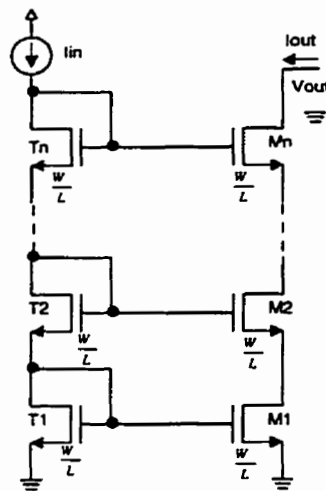
### 2.3.3.4- Les différents types de miroirs de courant cascode

Il existe différents types de miroirs de courant, tels que le cascode, le Wilson etc. Pour notre application, nous allons nous concentrer sur les miroirs de courant cascode, car ils nous permettent d'obtenir des résistances de sortie très élevées et une grande excursion de la tension de sortie [CRA92]. Nous allons voir que cette caractéristique est très importante lorsqu'on travaille à une tension d'alimentation réduite.

#### A- Miroir de courant cascode régulier

La façon traditionnelle de faire un miroir de courant cascode est montrée dans la figure 2.5, il est composé de deux chaînes de transistors empilés (ou cascodes), dénotés dans la figure par  $T_1$  à  $T_n$  et  $M_1$  à  $M_n$ . Les rapports  $W/L$  des transistors  $T_n$  ne sont pas

nécessairement les mêmes, pour des raisons de simplification de calcul, on considérera le cas où tous les transistors sont identiques. Le courant appliqué à la chaîne des transistors  $T_1$  à  $T_n$  connectés sous formes de diodes crée un ensemble de tensions de grille qui vont polariser la deuxième chaîne de transistors  $M_1$  à  $M_n$  de sorte que le courant de sortie  $I_{out}$  soit égal au courant d'entrée  $I_{in}$



**Figure 2.5** : Une version généralisée du miroir de courant cascode régulier.

Le fonctionnement linéaire  $I_{out} = f(I_{in})$  du miroir de courant cascode est obtenu par l'assurance que tous les transistors  $M_1$  à  $M_n$  reste en saturation pendant son fonctionnement, parce que le transistor  $M_n$  est le premier transistor à rentrer dans sa région linéaire lorsque la tension de sortie est réduite. Le fonctionnement linéaire du miroir de courant est garantie si la tension de sortie  $V_{out}$  est plus grande que la tension de la grille du transistor  $M_n$  moins la tension seuil  $V_T$ . Nous pouvons voir que la tension grille du transistor  $M_n$  est la somme des tensions grille-source des transistors  $T_1$  à  $T_n$ .

parce que la tension grille-source du transistor  $T_1$  est égale à:  $V_{GS1} = \Delta V + V_T$ , avec  $\Delta V = \sqrt{I_{in} / K(W/L)}$ , et les tensions  $V_{GSi}$  des transistors  $T_i$  restant peuvent être écrits comme:  $\Delta V + V_T$  alors la tension de la grille du transistor  $M_n$  est égale à  $V_{GM_n} = n\Delta V + nV_T$ . Par conséquent, le fonctionnement linéaire du miroir de courant (condition de saturation) est donné par:

$$V_{out} = n\Delta V + (n-1)V_T \quad (2.28)$$

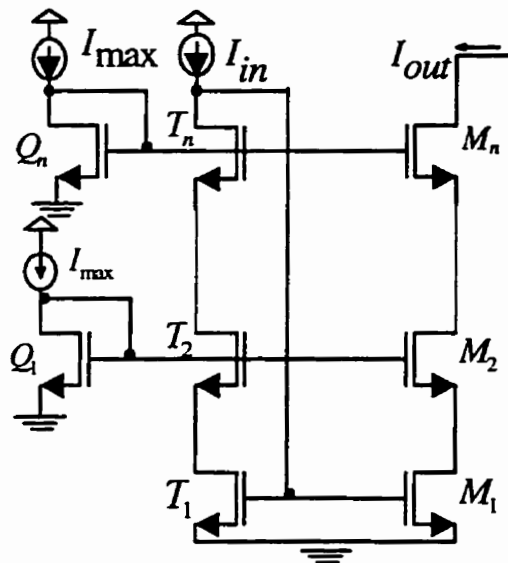
Pratiquement le nombre  $n$  de transistors empilés est limité par les petites valeurs  $\Delta V$  qui maintiennent une grande excursion de la tension de sortie. Finalement, les résistances AC d'entrée et de sortie du miroir de courant cascode réguliers sont données par les expressions suivantes [CRA93] :

$$r_{in} = n/g_m \quad \text{et} \quad r_{out} = g_m^{n-1} r_{out}^n \quad (2.29)$$

### **B- Miroir de courant ayant une grande résistance de sortie et une grande variation de la tension de sortie**

Les transistors cascodes augmentent la résistance de sortie du miroir de courant régulier, mais ils réduisent l'excursion de la tension de sortie. Cela vient du fait que chaque transistor dans le circuit de polarisation est connecté comme une diode, ce qui n'est pas efficace pour fournir des tensions drain-source les plus petites possibles en maintenant

tous les transistors en saturation, car nous n'avons pas le contrôle de la tension de la grille. Il est important de noter que la tension drain-source d'un transistor particulier  $T_i$  ou  $M_i$  peut être aussi petite que  $\Delta V$  [CRA93]. Le circuit de la figure 2.6 montre une des façons de polariser la chaîne de transistors  $T_1$  à  $T_n$  de sorte que le minimum des tensions drain-source soit accompli.



**Figure 2.6:** Une version généralisée du miroir de courant cascode “high-swing”

La structure miroir du courant multiple cascode est donné par la figure 2.6, il est similaire au miroir du courant de la figure 2.5. Elle diffère cependant par la façon de polariser (tension de grille) chaque paire de transistors  $T_i - M_i$ . Chaque paire de transistors  $T_i - M_i$  est polarisée de façon indépendante (En excluant  $T_1 - M_1$ ). La polarisation de chaque paire de transistors est obtenue en utilisant les transistors  $Q_i$

connectés comme une diode alimentée par une source de courant  $I_{\max}$  ( $I_{\max} = I_{in}$ ). Le courant  $I_{in}$  du miroir de courant de la figure 2.6 force la tension de la grille-source de chaque transistor  $T_i$  à être égale à  $\Delta V + V_T$ , en supposant, bien sûr, que les transistors sont en région de saturation. Avec le contrôle de chaque tension de polarisation, on peut assurer la saturation des transistors en forçant la tension drain-source de chaque transistor à être plus grande que  $\Delta V$ , c.à.d.  $V_{DS} > V_{GS} - V_T$ .

Par exemple, le transistor  $T_1$  a un  $V_{GS}$  de  $\Delta V + V_T$ . Pour rester en saturation, la tension drain du transistor  $T_1$  doit être plus grande que  $\Delta V$ . Cela fixe la valeur de la tension de la grille du transistor  $T_2$  à être plus grande que  $2\Delta V + V_T$ , parce que son  $V_{GS}$  est égal  $V_T + \Delta V$ . Pour placer cette tension de polarisation sur la grille du transistor  $T_2$ , le rapport  $W/L$  du transistor  $Q_1$  est mis égal à  $(W/L)$  ( $I_{\max} = I_{in}$ ). Ce processus peut être répété en montant la chaîne jusqu'à ce que la tension de la grille du transistor  $T_n$  soit déterminée. À ce point, la vérification est faite et nous sommes certain que le transistor  $T_n$  est en saturation, parce que la tension de drain du transistor  $T_n$  est égal à la tension de la grille de  $T_1$ . Si le transistor n'est pas en saturation, alors les largeurs des transistors  $T_1$  à  $T_n$  devront être augmentées. De ce fait, une expression peut être tirée pour déterminer les ratios  $W/L$  des transistors  $T_1$  jusqu'à  $T_n$ , cette dernière garantie que  $T_n$  sera en saturation [CRA92]. La contrainte sur le rapport  $W/L$  est :

$$\frac{W}{L} > \frac{I_{in}(n-1)^2}{KV_T^2} \quad \text{avec } n > 1 \quad (2.30)$$

Où  $n$  est supérieure à 1. Le schéma de la polarisation décrit ci-dessus donne la tension de la grille du transistor  $M_n$  la plus petite possible. Comme dans le cas du miroir du courant régulier, la tension de la grille du transistor  $M_n$  met la tension de sortie au minimum, ce qui maintient le fonctionnement linéaire (transistors en saturation). Suivant la méthode de calcul décrite auparavant, on trouve que la tension de la grille sur  $M_n$  est égale  $V_t + \Delta V(n-1)$  par conséquent l'excursion de la tension de sortie est [CRA92] :

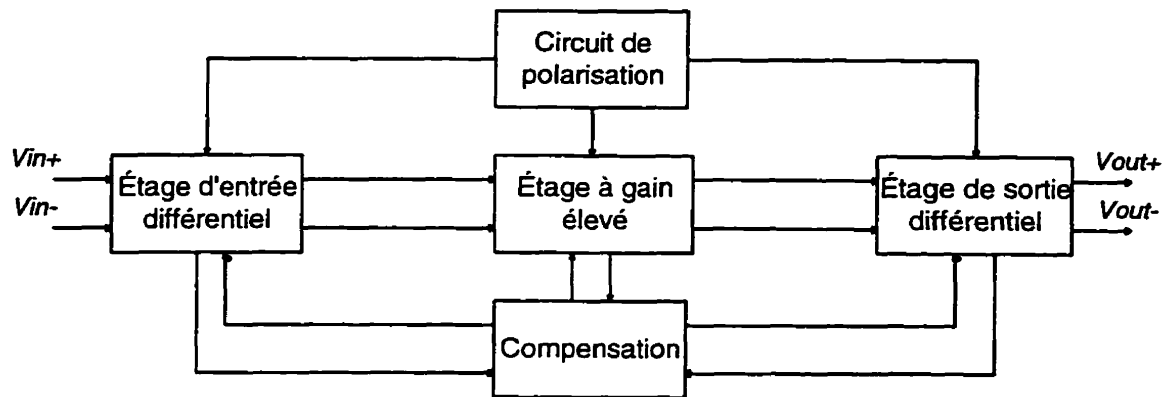
$$V_{out} > n\Delta V \quad (2.31)$$

Ainsi l'excursion de la tension de sortie du miroir de courant est plus grande que celle du miroir de courant régulier par un terme  $(n-1)V_T$ . C'est ce qui nous a poussé à opter pour ce type de miroir de courant concernant les charges de notre étage différentiel. Le fonctionnement AC du miroir de courant est similaire à celui du cascode régulier, avec l'exception de la résistance d'entrée est  $n$  fois plus petite.

#### 2.4- Méthodologie de la conception d'un amplificateur CMOS

La figure 2.7 montre les différents blocs importants d'un amplificateur opérationnel [ALL87]. L'architecture des amplificateurs CMOS est très similaire à celle des bipolaires, un étage différentiel qui représente l'étage d'entrée de l'amplificateur.





**Figure 2.7:** Diagramme bloc d'un amplificateur opérationnel CMOS à deux étages

Une bonne partie du gain global provient de l'étage différentiel, ce dernier améliore les performances du bruit et de la tension de décalage de l'entrée. Le deuxième étage est typiquement un inverseur. Si l'amplificateur doit commander une charge faible, alors un troisième étage s'impose, ce dernier a pour objectif de baisser la résistance de sortie et de maintenir une large variation du signal de sortie "high swing output voltage". Les circuits de polarisation sont fournis pour établir les points d'opération de chaque transistor à l'état de repos. La compensation est requise pour atteindre des performances stables en boucle fermée puisque la plupart des amplificateurs opérationnels fonctionnent en boucle fermée.

Afin de bien comprendre les spécifications de notre amplificateur, il est important de faire une brève discussion sur l'application dans laquelle ce dernier va être utilisé. C'est ce qu'on va faire dans la section suivante.

## 2.5- Description de l'implant urinaire

La figure 2.8 illustre le schéma global du système urinaire de la vessie sur lequel notre équipe de recherche "PolyStim" travaille. Le système doit effectuer une mesure permettant de trouver la quantité d'urine présente dans la vessie. On peut soit mesurer directement ce volume, soit le déduire de façon indirecte. Par exemple, la pression à l'intérieur de la vessie est proportionnelle (indirectement) au volume de celle-ci. La technique utilisée pour évaluer le volume vésical est basée sur la mesure de l'impédance électrique [PRO97].

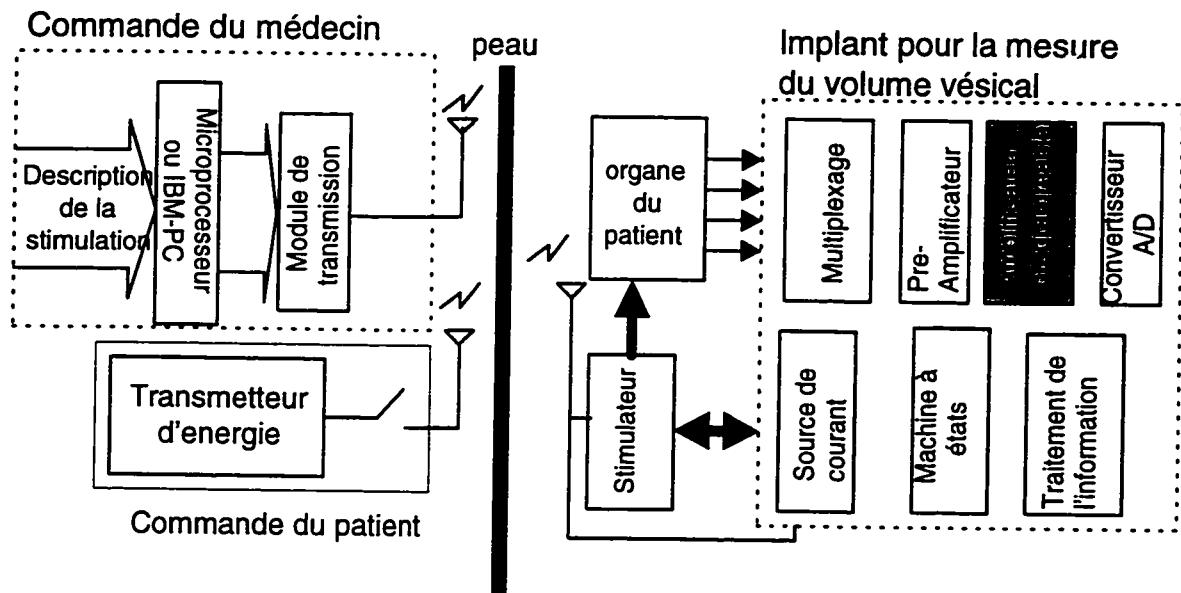


Figure 2.8 : Schéma global du système urinaire [PRO97].

Le système urinaire est constitué de trois parties essentielles : la commande du médecin, la commande du patient, ainsi que le capteur pour la mesure du volume vésical :

La commande du médecin sert à programmer l'implant, afin de spécifier les paramètres de stimulation. Cette partie externe contient un processeur qui est soit un micro-ordinateur de type IBM-PC, soit un microprocesseur. Elle prépare les paramètres de stimulation qui seront transférés à l'implant par le biais de l'étage transmetteur. Cette partie englobe aussi le lien inductif permettant la transmission d'informations et d'énergie à travers la peau.

La commande du patient est une unité qui transmet constamment de l'énergie à l'implant. Elle peut aussi déclencher la miction lorsque le patient le désire. Notons qu'avec cette unité, le patient ne peut pas modifier les paramètres de stimulation.

Finalement, l'implant de mesure du volume vésical est constitué de plusieurs blocs parmi lesquels se trouve notre amplificateur opérationnel programmable. Ce dernier sert d'interface entre un capteur interfaçant un organe d'un patient et une unité de contrôle implantable. Le capteur fonctionne de la façon suivante : On injecte un courant à travers la vessie par une source de courant contrôlée par une tension (VCI). Cette source est, elle même, contrôlée par l'oscillateur sinusoïdal. La tension générée par ce courant est mesurée par les électrodes placées autour de la vessie et sélectionnées par le multiplexeur analogique. Les tensions sont ensuite amplifiées par un amplificateur d'instrumentation, et puis le facteur d'amplification sera ajusté selon les patients par notre amplificateur opérationnel programmable et finalement l'information reçue est démodulée en accord avec la source de courant. Ce signal est traité par le bloc de

traitement (DSP) de l'information afin d'en éliminer les artefacts dus aux mouvements du patient et pour comparer le résultat aux seuils de décision (vessie pleine ou non). L'alimentation est fournie par un lien de communication radiofréquences (R.F.) entre le contrôleur externe (commande du médecin ou celle du patient) et le bloc de communication bidirectionnelle. Ce dernier permet aussi de communiquer l'information concernant le volume de la vessie vers l'extérieur.

La décision et le volume de la vessie sont transmis au stimulateur électrique implantable pour transmettre l'information vers l'extérieur du corps. Cette information sera aussi utilisée pour stimuler la vessie contre l'incontinence en fonction du volume de la vessie.

Toutes les fonctions du module de mesure du volume vésical sont contrôlées par une machine à états. Cette dernière gère les séquences de mesures des différentes paires d'électrodes et les fonctions de programmation des paramètres de traitement de l'information fournis par le médecin.

### **2.5.1- Consommation électrique permise**

La diminution de la consommation d'énergie peut être effectuée de plusieurs façons. Premièrement, nous avons choisi de réaliser les circuits analogiques et numériques avec la technologie BiCMOS 0.8 $\mu$ m. Cette technologie relativement nouvelle permet de faire un compromis entre la rapidité de la technologie bipolaire et la faible consommation de la technologie CMOS.

Nous avons choisi d'alimenter tous les circuits avec une tension d'alimentation de 1.5V (plutôt que 3.3V ou 5V). Cette diminution de la tension d'alimentation réduira la puissance dissipée des circuits numériques, mais pour les parties analogiques nous devons utiliser des techniques spécifiques que nous allons voir lors de la présentation des publications récentes.

### **2.5.2- Précision souhaitée**

Les deux premiers buts de l'implant sont d'informer le patient lorsque la vessie est pleine et de permettre au stimulateur d'opérer en fonction du volume d'urine dans la vessie. Si on se limite à ces deux utilisations, la précision des circuits de mesure est une variable peu importante. Cependant, l'implant a des applications au-delà de celles déjà citées. Par exemple, en recueillant l'information provenant de chaque capteur de façon individuelle, le médecin pourrait en extraire des données importantes sur la vessie comme sa forme ou son déplacement. L'implant peut aussi servir à recueillir d'autres types d'informations biologiques du système urinaire. Pour être valable, ces données devront être transmises de façon précise au médecin. La précision des circuits de mesure ne devra donc pas être négligée.

### **2.5.3- Fiabilité**

La fiabilité de l'implant doit être surveillée de très près puisque leur environnement de fonctionnement est l'être humain. De plus, il est très coûteux de devoir procéder à des

interventions chirurgicales suite à un mauvais fonctionnement de l'implant. Il est alors nécessaire de concevoir les circuits de façon à ce qu'ils soient testables afin de s'assurer rapidement de leur bon fonctionnement avant de les implanter.

## **2.6- Besoin d'un amplificateur opérationnel programmable**

Après avoir été aiguillé par le multiplexeur, le signal de tension entre deux électrodes de mesure est acheminé à un amplificateur dont le gain est programmable. La raison pour laquelle le gain de cet amplificateur est programmable est que le système doit être optimisé par chaque patient. Plusieurs contraintes exigent que le système de mesure soit optimisé de façon individuelle :

- L'impédance de la vessie et du milieu environnant, même avec une disposition identique des électrodes, l'impédance de ces tissus peut varier d'un patient à l'autre.
- La disposition des électrodes autour de la vessie : les dysfonctions urinaires causent souvent des déformations de la vessie et des organes environnants. Dans certains cas, la déformation est plutôt la cause de la dysfonction. Il est donc peu probable que les interventions chirurgicales nécessaires à l'implantation des électrodes résultent en une disposition identique d'un patient à l'autre. La mesure de l'impédance de la vessie sera donc différente d'un patient à l'autre.

- La dérive éventuelle de la réponse des électrodes : même avec les meilleurs métaux biocompatibles, une certaine couche d'oxydation superficielle se déposera sur les électrodes après un certain temps. Cette couche intermédiaire entre l'électrode et le milieu biologique fera varier l'impédance de contact, et la réponse sera alors affectée. Malgré que le circuit de traitement de l'information peut éliminer ces déviations grâce à la calibration automatique, il serait préférable que le médecin puisse recalibrer le système au niveau de la mesure analogique lors des visites du patient.

### **2.6.1- Caractéristiques de notre amplificateur**

Afin de satisfaire aux besoins de notre application, l'amplificateur programmable à réaliser, se doit de respecter des normes de conceptions strictes. Pour commencer, il doit être conçu en technologie BiCMOS 0.8  $\mu\text{m}$ , et être optimiser pour sa consommation de puissance et sa surface (< 100  $\mu\text{W}$  et < 0.1  $\text{mm}^2$ , respectivement), tout en ayant un gain élevé et programmable numériquement. Les principales spécifications de cet amplificateur sont résumées dans le tableau 2.1. L'objectif à atteindre est de concevoir un amplificateur devant avoir les quatre caractéristiques suivantes : 1) Le signal provenant des capteurs doit être amplifié linéairement et sans distorsion. 2) les interférences du mode commun doivent être rejetées suffisamment, autrement dit, la tension d'entrée en mode commun doit être la plus faible possible. 3) Le taux de rejet en mode commun doit être élevé. 4) Le gain DC en boucle ouverte doit être très élevé.

Maintenant que nous savons les caractéristiques de notre amplificateur, nous allons faire une revue de littérature qui va nous permettre de connaître les travaux de pointe des amplificateurs opérationnels opérant à des tensions d'alimentation faible, telle que la notre qui est de 1.5 V. Mais, avant de faire cette revue de littérature, il est préférable de discuter les limitations de la conception des circuits analogiques opérant à des tensions d'alimentations faibles.

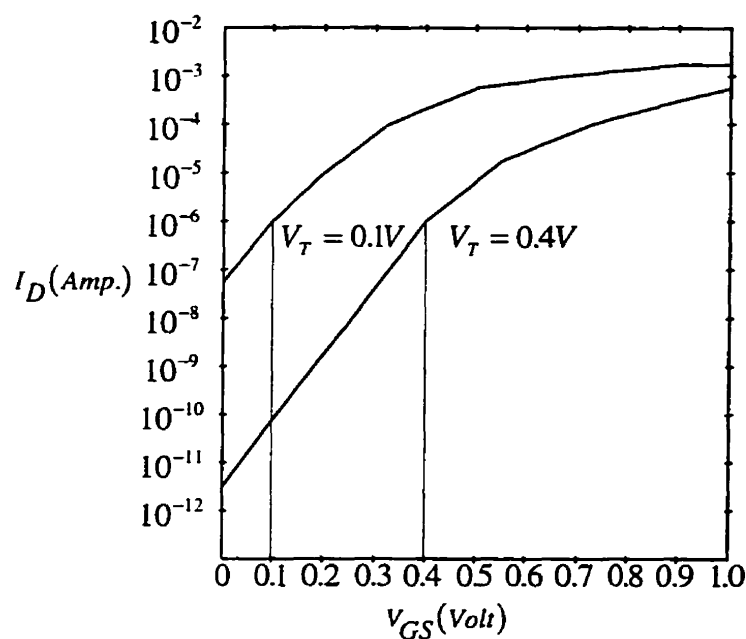
### **2.7- Limitation dans la conception des circuits analogiques opérant à de faibles tensions d'alimentation**

Dans la conception des circuits analogiques, réduire la tension d'alimentation au-delà de 1.5-2 V, ne signifie pas forcément que nous allons réduire la tension de seuil des transistors composant ce circuit [SAK95]. La tension ( $V_{GS}-V_T$ ) ainsi que le courant de polarisation doivent être minimisés. Pour réduire ( $V_{GS}-V_T$ ), il faut augmenter les rapports  $W/L$ . Mais, l'augmentation de ces rapports dégrade la réponse en fréquence. La figure 2.9 montre que lorsque la tension de seuil est réduite et en opérant à une tension d'alimentation assez faible, le courant de fuite augmente de façon remarquable [BEL95]. Ce courant de fuite est le facteur limitateur pour les circuits analogiques opérant à une tension d'alimentation faible. La tension de seuil peut avoir des variations ( $\Delta V_T$ ) dues aux fluctuations des paramètres du procédé de fabrication tels que l'épaisseur de l'oxyde, le dopage, la longueur et la largeur de la grille, la température, etc. Une valeur typique du coefficient de température de la tension de seuil est une baisse de tension de seuil de 1.6



mV par degré Celsius. Par exemple, Si la température augmente de 25 °C à 75 °C, la tension seuil diminue de 80 mV et la densité du courant de fuite est égal à 30 pA/μm [BEL95].

Les effets de la température et des variations des paramètres du procédé de fabrication peuvent avoir un effet néfaste dans la conception des circuits analogiques opérant à des tensions d'alimentation faibles, notamment dans la consommation de la puissance statique.



**Figure 2.9** : Courant de fuite dans la région de non conduction d'un transistor avec

$V_{DS}=1$  V, tiré de [BEL95] .

## **2.8- Résultats représentatifs de travaux de recherche de pointe dans le domaine des amplificateurs opérationnels**

Le premier article étudié présente un design d'amplificateur opérationnel ayant un gain élevé développé par Eschauzier et al. [ESC94], dans cet article les auteurs présentent un ampli-op. alimenté avec une tension d'alimentation de 1.5 V pouvant fonctionner à une fréquence de transition de 6 MHz avec un gain DC de 120 dB. Cet amplificateur utilise quatre étages cascades dont le premier est un étage différentiel standard, les deux suivants sont de type classe-AB et le dernier est un étage de sortie de type "push-pull", la technique de compensation utilisée est celle appelée "A Hybrid Nested Miller Compensation Technique". La puce est fabriquée à l'aide d'une technologie CMOS 0.8  $\mu\text{m}$  et la surface occupée par cet ampli-op. est de 0.5  $\text{mm}^2$ . Le courant de polarisation de l'étage différentiel est de 300  $\mu\text{A}$ , par conséquent la puissance dissipée est d'au moins 450  $\mu\text{W}$ . Malheureusement, ce design ne répond pas à nos attentes au niveau de la consommation de puissance ( $< 100 \mu\text{W}$ ) et de la surface occupée ( $< 0.1 \text{mm}^2$ ).

Un autre design est présenté par Coban et al. [COB94], dans lequel on y trouve des transistors composites afin d'améliorer le taux de rejet mode commun et le taux de rejet de la tension d'alimentation "PSRR", l'étage de sortie utilise aussi des transistors composites afin d'atteindre un gain DC élevé et une excursion de la tension de sortie élevée. L'ampli-op. a été fabriqué à l'aide de la technologie Mosis utilisant un procédé CMOS 2  $\mu\text{m}$  avec un puit de type p. La surface occupée par cet ampli-op. est de 0.4

mm<sup>2</sup>. Le gain DC atteint avec ce circuit est de 80 dB avec une fréquence de transition de 10 MHz avec une dissipation de puissance de 350 μW. Comme dans l'exemple précédent, on voit que les performances du circuit divergent de celles que nous voulons atteindre, surtout au niveau de la consommation de puissance (< 100 μW).

Allen et al. [ALL95], ont réalisé un amplificateur opérationnel opérant à une tension d'alimentation de 1 V et utilisant une technique dite "Bulk driven". Cette technique est très importante pour la conception de circuits analogiques opérant à des tensions d'alimentation faibles. Elle consiste à contrôler le transistor MOSFET par son propre substrat au lieu de sa grille. La grille est maintenue à une tension DC fixe suffisante pour former un canal entre le drain et la source. Le flux du courant entre le drain et la source est contrôlé par le potentiel substrat-source. De plus, les transistors composites sont utilisés pour atteindre un gain DC légèrement supérieur à 50 dB et une fréquence de transition de 0.6 MHz avec une dissipation de puissance de 46 μW. La puce est fabriquée à l'aide d'une technologie CMOS 2 μm et la surface occupée par cet ampli-op. est de 0.35 mm<sup>2</sup>. Cette dernière le rend inutilisable pour notre application puisque nous visons une surface inférieure à 0.1 mm<sup>2</sup>.

Finalement, Yu and Lee [YUH93], présentent un amplificateur opérationnel qui utilise une technique dite "replica-amp" afin d'augmenter le gain DC de l'ampli-op. Cette technique consiste à cascader un amplificateur principal avec son duplicata. Le gain DC de cet amplificateur est de 80 dB et une fréquence de transition de 63 MHz avec une

dissipation de puissance de 9 mW, ce qui est énorme par rapport à ce qui est exigé par notre application. L'ampli-op. a été fabriqué à l'aide de la technologie MOSIS utilisant un procédé CMOS 1.2  $\mu\text{m}$ . La surface occupée par cet ampli-op. est de 0.4 mm<sup>2</sup>.

Il est clair que les designs proposés dans cette section offrent d'excellentes performances, mais ne conviennent pas du tout à notre application. Le tableau 2.1 résume les performances des circuits proposés et les spécifications du circuit désiré pour notre application.

### **2.9- Réduction de la tension d'alimentation des circuits analogiques et des circuits numériques**

La réduction de l'échelle des nouvelles technologies et le besoin de réduire la consommation de puissance, nous poussent à utiliser des tensions d'alimentation de plus en plus basse. En effet, il a été montré que la consommation de puissance des circuits numériques atteint le minimum lorsque la tension d'alimentation est de l'ordre de 1.5 V pour une technologie de 1  $\mu\text{m}$  [BEL95]. De plus, la tension d'alimentation optimale diminue avec la réduction d'échelle de la technologie. Par conséquent, il est clair que la tension d'alimentation des systèmes numériques continuera de diminuer dans le futur, spécialement lorsque la métrique principale du design est la dissipation de puissance.

Pour les circuits analogiques, la situation est remarquablement différente. La réduction de la tension d'alimentation ne diminue pas nécessairement la dissipation de puissance.

En effet, lorsque la tension d'alimentation est réduite, le bruit doit être réduit proportionnellement pour maintenir la même gamme dynamique. Puisque la puissance due au bruit est proportionnelle à  $kT/C$  ( $C$  est la capacité totale du circuit). Donc, si on veut préserver la même gamme dynamique nous devons augmenter  $C$  avec un facteur proportionnel à la tension d'alimentation au carré, car la puissance dynamique est proportionnelle à  $V_{DD}^2$ . Supposons que la consommation de puissance est due seulement au chargement et au déchargement de  $C$  (comme pour les circuits numériques) et que la tension d'excursion diminue linéairement par rapport à la tension d'alimentation une gamme dynamique constante implique une consommation de puissance constante.

Actuellement, la dissipation de puissance est dominée par le courant DC circulant dans les dispositifs actifs. De plus, la tension d'excursion diminue plus rapidement que la tension d'alimentation. Par conséquent, pour les circuits analogiques, la réduction de la tension d'alimentation en préservant la gamme dynamique augmentera souvent la consommation de puissance [SAK95].

De plus, au-delà d'une certaine tension d'alimentation (1 V par exemple), certaines configurations peuvent ne pas être utilisées, tels que les configurations cascodes. De plus, l'utilisation des commutateurs MOS devient impossible [MAX96]. Les problèmes des commutateurs dus à la faible tension d'alimentation seront traités à la section 3.4.3.c.

**Tableau 2.1 : Résumé des performances trouvées dans la littérature**

	Eschauzier al. [ESC94]	Coban et al. [COB94]	Allen et al. [ALL95]	Yu et Lee [YUH93]	Spécifications de notre circuit
Gain DC	120 dB	80 dB	50 dB	80 dB	$\geq 80$ dB
Puissance dissipée	$\geq 450 \mu\text{W}$	$350 \mu\text{W}$	$46 \mu\text{W}$	9m W	$< 100 \mu\text{W}$
Fréquence de transition	6 MHz	10 MHz	0.6 MHz	63 MHz	$\geq 1$ MHz
Surface active	$0.5 \text{ mm}^2$	$0.4 \text{ mm}^2$	$0.35 \text{ mm}^2$	$0.4 \text{ mm}^2$	$< 0.1 \text{ mm}^2$
Technologie utilisée	CMOS  0.8 $\mu\text{m}$	CMOS  2 $\mu\text{m}$	CMOS  2 $\mu\text{m}$	CMOS  1.2 $\mu\text{m}$	BiCMOS  0.8 $\mu\text{m}$

### 2.10- Conclusion

Nous avons commencé ce chapitre par la présentation du contexte d'utilisation de notre amplificateur opérationnel programmable (AOP) suivi du processus de conception d'un

circuit intégré analogique et des éléments de base utilisés dans notre architecture ainsi que la méthodologie de conception d'un amplificateur opérationnel CMOS. Nous avons aussi présenté et expliqué le fonctionnement de l'implant urinaire sur lequel notre équipe de

recherche travaille. Nous avons montré le besoin d'un AOP dans un tel système ainsi que les caractéristiques et contraintes qu'il faut respecter lors de la conception de cet AOP. Finalement, nous avons fait un bref tour horizon des amplificateurs opérationnels réalisés par des techniques différentes. Nous avons constaté qu'une gamme complète de paramètres sont en jeu dans la conception de tels circuits. On peut en citer quelques uns :

- la consommation de puissance;
- la fréquence d'opération;
- la surface requise;
- la linéarité;
- l'immunité au bruit.

Nous avons ensuite montré pourquoi ces amplificateurs ne répondent pas aux besoins de notre application et que leurs points faibles étaient soit la grande consommation de puissance soit la surface occupée par le circuit. Ces contraintes nous ont décidé à faire un design de circuit dédié qui nous permet d'atteindre les critères de notre application. Nous

pouvons nous rappeler que pour notre application biomédicale, nous désirons optimiser la consommation de puissance et la surface requise, tout en conservant une bonne linéarité.

Dans cette brève revue de littérature nous nous sommes limités le plus possible aux travaux et aux techniques les plus récemment publiées, essentiels et pertinent dans le cadre du présent projet de maîtrise.

Dans le prochain chapitre, nous allons présenter le coeur de ce mémoire, à savoir la conception de notre AOP dédié à des capteurs implantables. Nous montrerons le cheminement de ce projet de maîtrise ainsi que les différentes analyses AC, DC, et celle du bruit. Nous verrons aussi une analyse mathématique des différents niveaux de gain que l'on désire obtenir avec notre circuit.



## CHAPITRE III

### CONCEPTION DE L'AMPLIFICATEUR OPERATIONNEL

#### PROGRAMMABLE DÉDIÉ À DES CAPTEURS IMPLANTABLES

##### 3.1- Introduction

Ce chapitre constitue le coeur de ce mémoire. Il est divisé en 4 sections. La deuxième section décrit la conception de l'amplificateur opérationnel opérant à une faible tension d'alimentation ainsi que les différentes analyses qui s'y attachent. En effet, comme nous l'avons déjà mentionné dans le chapitre II, notre circuit servira à amplifier des signaux provenant d'un amplificateur d'instrumentation qui lui même amplifie des petits signaux de l'ordre de quelques  $\mu\text{V}$ . Ces derniers sont générés par les différents capteurs qui sont placés sur la paroi de la vessie. En général, ces signaux sont accompagnés par des interférences. Notre objectif est de concevoir un amplificateur opérationnel ayant les quatre caractéristiques suivantes : 1) le signal provenant de l'amplificateur d'instrumentation doit être amplifié avec bonne précision et linéarité. 2) les interférences du mode commun doivent être rejetées suffisamment. Autrement dit, la tension d'entrée en mode commun doit être très faible. 3) le taux de rejet en mode commun doit être élevée. 4) l'amplificateur doit avoir aussi un gain en boucle ouverte très élevé.

La troisième section présente l'analyse fonctionnelle de l'amplificateur opérationnel à gain programmable numériquement, On y trouve quelques configurations dont celui du circuit faisant l'objet de ce projet. Ensuite, on énoncera les spécifications du circuit utilisé dans le cadre de ce travail et on décrit plus en détails chacune de ces parties. On finira ce chapitre par une conclusion dans la quatrième section.

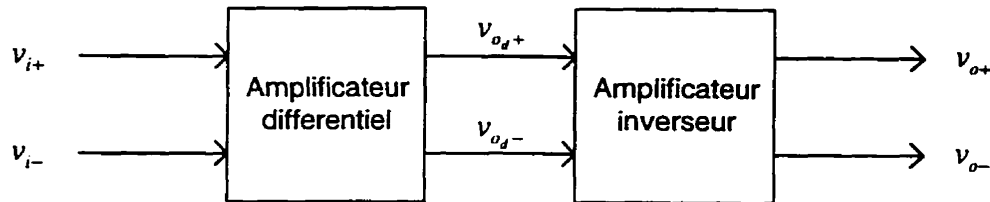
### **3.2- Conception de l'amplificateur opérationnel**

À une tension d'alimentation faible telle que 1.5 V, les configurations cascades doivent être évitées. Cependant, pour obtenir des gains DC assez élevés, nous devons considérer la conception d'un amplificateur à étages multiples. L'inconvénient de cette méthode de design est que si le nombre d'étages est grand, la compensation du circuit devient très compliquée. De plus, cette approche réduit la bande passante comparativement à une configuration à un seul étage. D'autre part, la structure à étages multiples permet de concevoir et d'optimiser les différents étages séparément. Les transistors devraient avoir de long canaux et un rapport W/L assez élevé pour accomplir un gain DC très élevé, ceci dégrade la réponse en fréquence.

La figure 3.1 montre l'architecture globale de notre amplificateur [OUI97], il est formé de deux étages. L'étage d'entrée est une paire différentielle, la plus grande partie du gain global provient de celui-ci. De plus, il améliore les performances du bruit et de la tension de décalage de l'entrée. L'étage de sortie est un amplificateur inverseur, il permet

d'avoir une grande vitesse de la tension de sortie (Slew rate) à une petite dissipation de puissance ainsi qu'une grande excursion de la tension de sortie. La compensation est requise pour pouvoir utiliser l'amplificateur en boucle fermée. Avec cette configuration, le gain en tension différentiel ( $A_v$ ) est donné par l'expression suivante

$$A_v = \frac{V_{o+} - V_{o-}}{V_{i+} - V_{i-}} \quad (3.1)$$



**Figure 3.1 :** Architecture global de l'amplificateur opérationnel.

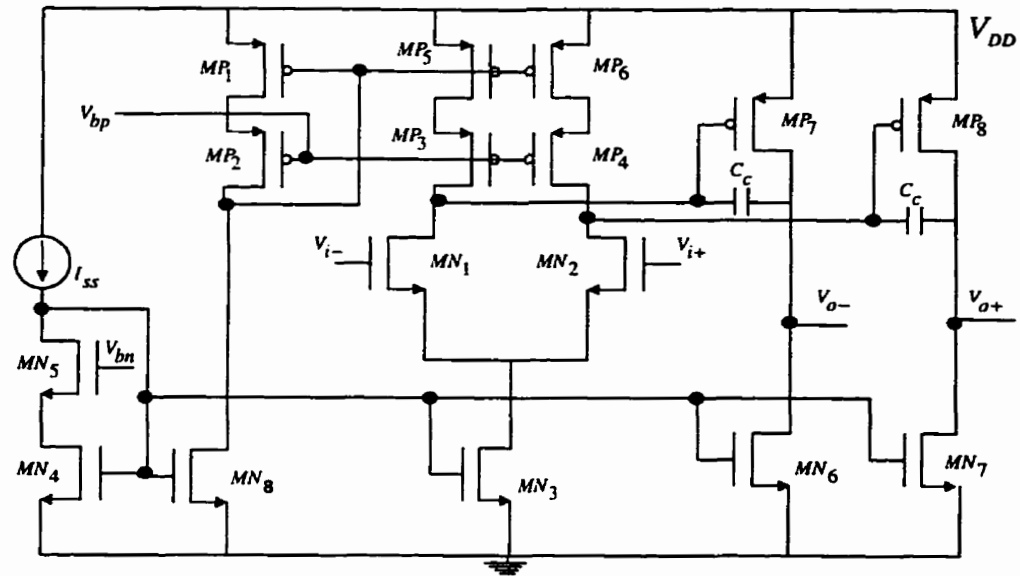
L'étage d'entrée est le bloc le plus critique lorsque la tension d'alimentation est réduite. Puisque l'amplificateur est souvent utilisé en boucle fermée, une très petite variation peut être présente à ses entrées. De plus, la tension de sortie DC doit être mise à  $V_{DD} / 2$  pour atteindre une grande variation de la tension de sortie.

### 3.2.1- Analyse DC

La figure 3.2 montre le circuit de notre amplificateur opérationnel au niveau transistor. Pour que ce circuit fonctionne correctement, les tensions drain-source ( $V_{DS}$ ) des transistors cascodes  $MP_3$ - $MP_4$  et  $MP_5$ - $MP_6$  doivent être au plus égale à la tension grille-

source ( $V_{GS}$ ) des transistors de sortie  $MP_7$  et  $MP_8$ . Puisque pour un fonctionnement normal, la tension la plus petite possible est la tension de saturation ( $V_{DSSat}$ ). La somme des tensions  $V_{DSSat}$  des transistors cascodes  $MP_3$ - $MP_4$  et  $MP_5$ - $MP_6$  doit être plus petite que la tension grille des transistors de type p de l'étage de sortie. La tension grille-source des transistors de type p diminue proportionnellement à la tension de leurs seuils, ce qui signifie que la tension de saturation reste constante. Pour baisser la tension seuil des transistors cascodes, il faut raffiner le circuit en augmentant leur rapports  $W/L$ . La paire différentielle ( $MN_1$ ,  $MN_2$ ) est implémentée par des transistors ayant une longueur de canal de  $16 \mu\text{m}$  et une largeur  $73,2 \mu\text{m}$  avec des sources de courant constant pour augmenter le taux de rejet en mode commun "CMRR" et le taux de rejet de la tension d'alimentation "PSRR". Les miroirs de courant cascode ayant une grande variation de la tension de sortie ont été utilisés car ils nous offrent une très grande impédance de sortie [CRA92]. Cette propriété est connu dans la conception des circuits analogiques opérant à des tensions d'alimentation faibles pour augmenter le gain DC d'un étage d'amplificateur différentiel [CRA93].

L'étage de sortie utilise aussi des transistors très larges pour atteindre un gain DC élevé. Le courant de polarisation de l'étage différentiel ( $I_{ss}$ ) est mis à  $5 \mu\text{A}$  par un transistor de type n ( $MN_5$ ). Bruun et al. ont montré [BRU95] qu'avec des courants de polarisation assez élevés l'impédance de sortie des miroirs de courant diminue, et éventuellement, les



**Figure 3.2 :** Implémentation au niveau transistor de notre ampli-op ( $V_{DD}=1.5V$ ).

transistors formant ce miroir de courant entreront dans leurs régions linéaires. Ce qui n'est pas souhaitable.  $V_{bp}$  et  $V_{bn}$  sont les tensions de polarisation des transistors cascodes, elles ont une valeur minimale et une valeur maximale lesquelles garantissent la saturation des transistors miroirs et des transistors cascodes [BRU95]. Pour des raisons de stabilité de l'ampli-op, une capacité Miller de 1.2 pF a été placée entre les étages d'entrée et de sortie. Le tableau 3.1 donne les dimensions de tous les transistors de notre circuit.

### 3.2.2- Analyse AC

Afin de simplifier les calculs de l'analyse AC, nous allons considérer en premier lieu l'étage différentiel. Ensuite, nous allons considérer l'étage de sortie. Le gain global de

**Tableau 3.1:** Dimensions des transistors de notre ampli-op

	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )		W( $\mu\text{m}$ )	L( $\mu\text{m}$ )
MP1	240	8	MN1	73,2	16
MP2	240	8	MN2	73,2	16
MP3	120	8	MN3	70	8
MP4	120	8	MN4	70	8
MP5	120	8	MN5	70	8
MP6	120	8	MN6	100	8
MP7 et 8	495	8	MN7	100	8

l'ampli-op est donné par l'équation 3.1. L'analyse AC de l'étage différentiel peut être accompli avec l'assistance du modèle montré à la figure 3.3(a). On suppose que les deux transistors  $MN_1$  et  $MN_2$  sont parfaitement identiques. Si cette condition est satisfaite, alors le point où les deux sources de  $MN_1$  et  $MN_2$  sont connectées peut être considéré à la masse. Si nous supposons que l'étage différentiel n'est pas chargé, le calcul de la résistance de sortie peut se faire comme suit :

$$A_{v_d} = g_{md} \cdot r_{od} \quad (3.2)$$

Où  $g_{md} = g_{mn1} = g_{mn2}$  sont les transconductances de la paire différentielle

$$v_{o_d^-} = -g_{mn1} v_{gsn1} r_{dsn1} \quad (3.3)$$

$$i_{o_d^-} = \frac{v_5}{r_{dsp5}} - g_{mn1} v_{gs1} - \frac{v_{o_d^-}}{r_{dsn1}} \quad (3.4)$$

Si on replace (3.2) in (3.3)  $i_{od}^-$  devient

$$i_{o_d^-} = \frac{v_5}{r_{dsp5}} \quad (3.5)$$

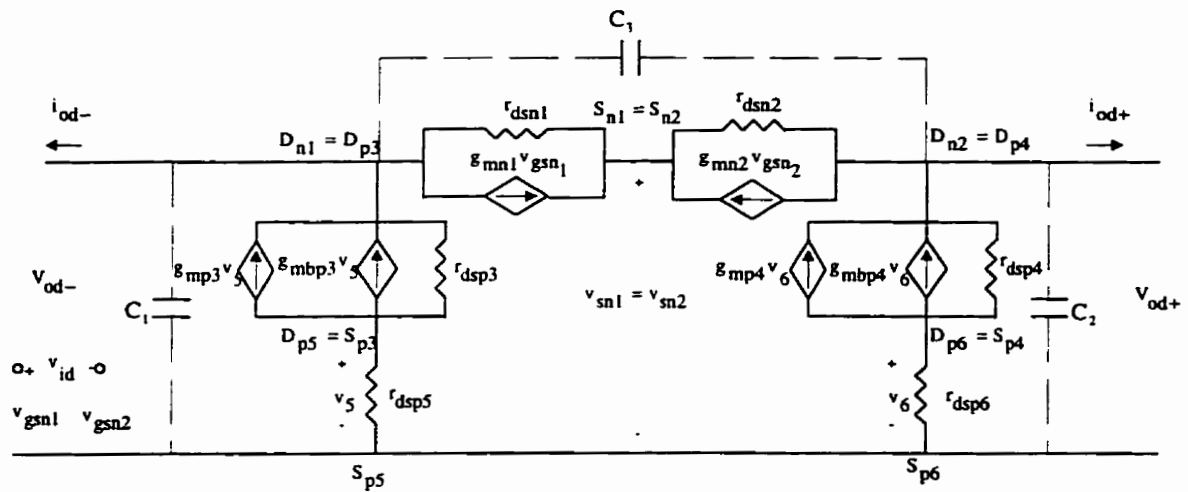
$$v_{o_d^-} = v_5 \left[ 1 + (g_{mp3} + g_{mbp3}) r_{dsp3} \right] \quad (3.6)$$

L'impédance de sortie de l'étage différentiel est donnée par

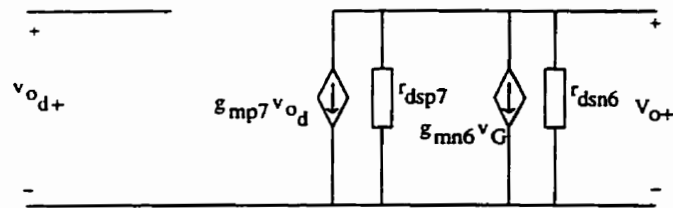
$$r_{od} = \frac{v_{o_d^+}}{i_{o_d^+}} = \frac{v_{o_d^-}}{i_{o_d^-}} \quad (3.7)$$

En utilisant les équations (3.5), (3.6) et (3.7)

$$r_{od} = \frac{v_{o_d^-}}{i_{o_d^-}} = \left[ 1 + (g_{mp3} + g_{mbp3}) r_{dsp3} \right] r_{dsp5} \quad (3.8)$$



(a)



(b)

**Figure 3.3:** modèle AC (a) l'étage d'entrée différentiel (b) l'étage de sortie inverseur.

La technique d'empilement des miroirs de courant de type p a été utilisée pour augmenter l'impédance de sortie et la variation de la tension de sortie de l'étage d'entrée, ces miroirs de courant empilés représentent la charge de la paire différentielle.

Alors, le gain en tension de l'étage différentiel est donné par :



$$A_{v_d^-} = g_{md} \cdot r_{o_d^+} = g_{md} \left[ 1 + (g_{mp3} + g_{mbp3}) r_{dsp3} \right] r_{dsp5} \quad (3.9)$$

qui peut être approximé à :

$$A_{v_d^-} \cong g_{md} g_{mp3} r_{dsp3} r_{dsp5} \quad (3.10)$$

C'est la même chose pour

$$A_{v_d^+} \cong g_{md} g_{mp4} r_{dsp4} r_{dsp6} \quad (3.11)$$

Le gain de l'étage d'entrée est de 75 dB.

Les capacités parasites associées à notre étage d'entrée différentiel sont montrées dans la figure 3.3(a).  $C_1$  consiste en  $C_{gd1}$ ,  $C_{bd1}$ ,  $C_{bd3}$ ,  $C_{gd5}$ ,  $C_{bd5}$ .  $C_2$  et n'importe quelle charge  $C_{L1}$ .  $C_2$  consiste en  $C_{gd2}$ ,  $C_{bd2}$ ,  $C_{bd4}$ ,  $C_{gd6}$ ,  $C_{bd6}$  et n'importe quelle charge  $C_{L2}$ .  $C_3$  consiste en  $C_{gd3}$  et  $C_{gd4}$ .

L'étage de sortie consiste en un inverseur analogique CMOS. Cette configuration offre deux avantages : un gain en tension assez important et une résistance de sortie faible. Puisque le drain des deux transistors NMOS et PMOS représente le noeud de sortie, ces deux derniers sont indépendants de l'effet du substrat. De plus, pour réduire la résistance de sortie et augmenter le courant de sortie, il faut simplement augmenter le courant de

polarisation de l'étage de sortie. Il existe différentes façons pour spécifier la performance de l'étage de sortie. Les performances AC de l'étage de sortie peuvent être trouvées en utilisant le modèle AC de la figure 3.3(b). Puisque les transistors MN<sub>6</sub> et MN<sub>7</sub> sont polarisés par une tension DC fixe (ils sont sur une masse AC) alors  $g_{mn6}v_G = g_{mn7}v_G = 0$ .

Le gain AC en tension est donné par

$$\frac{v_{o+}}{v_{o_{d+}}} = \frac{-g_{mp7}}{g_{dsp7} + g_{dsn6}} = \left( \frac{2K'_p W_{p7}}{L_{n6} I_D} \right)^{1/2} \left( \frac{-1}{\lambda_{p7} + \lambda_{n6}} \right) \quad (3.12)$$

$$\frac{v_{o-}}{v_{o_{d-}}} = \frac{-g_{mp8}}{g_{dsp8} + g_{dsn7}} = \left( \frac{2K'_p W_{p8}}{L_{n7} I_D} \right)^{1/2} \left( \frac{-1}{\lambda_{p8} + \lambda_{n7}} \right) \quad (3.13)$$

Où  $K'_p = \mu_{0p} C_{OX}$  et  $K'_N = \mu_{0N} C_{OX}$ . Le gain de l'étage d'entrée est de 35 dB

Les équations (3.9) et (3.10) nous montrent bien que le gain en tension de l'étage différentiel d'entrée dépend énormément de sa résistance de sortie qui est augmenté par les miroirs de courant cascode. De même, pour l'étage de sortie, le gain en tension dépend de la largeur des transistors de type p. Autrement dit, en augmentant la largeur des transistors p, on diminue la résistance de sortie. Par conséquent, le courant qui va attaquer la charge sera grand.

### 3.2.3- Analyse du bruit

Il est clair que dans notre application biomédicale, un niveau de bruit faible est très important. En effet, le rapport signal sur bruit a des conséquences très graves, si ce dernier n'est pas suffisamment élevé. On cherche donc à minimiser le bruit, c'est ce qui va nous donner un rapport signal sur bruit assez important. Cette caractéristique peut être perçue du point de vue de la gamme dynamique [ALL87]. La gamme dynamique d'un circuit est le rapport du plus grand signal sur le plus petit signal qui peuvent être traités sans distorsion. L'amplitude maximale du signal de sortie est établit par la tension d'alimentation ou les limites de la grande variation du signal. On peut calculer le bruit requis pour une gamme dynamique de 100 dB avec une tension d'alimentation de 1.5 V et la capacité d'excursion de la tension de sortie de 321 mV à 1.48 V comme ce qui suit.

Le signal crête à la sortie est

$$V_{cret} = \frac{1.48V - 0.32V}{2} = 0.58V \quad (3.14)$$

ce qui est équivalent à une valeur efficace de 0,41 V rms.

En divisant par la gamme dynamique de  $10^5$  (100dB) on obtient 410 nV rms. En supposant que la bande passante est de 100 Hz, la valeur du bruit requis est donnée par

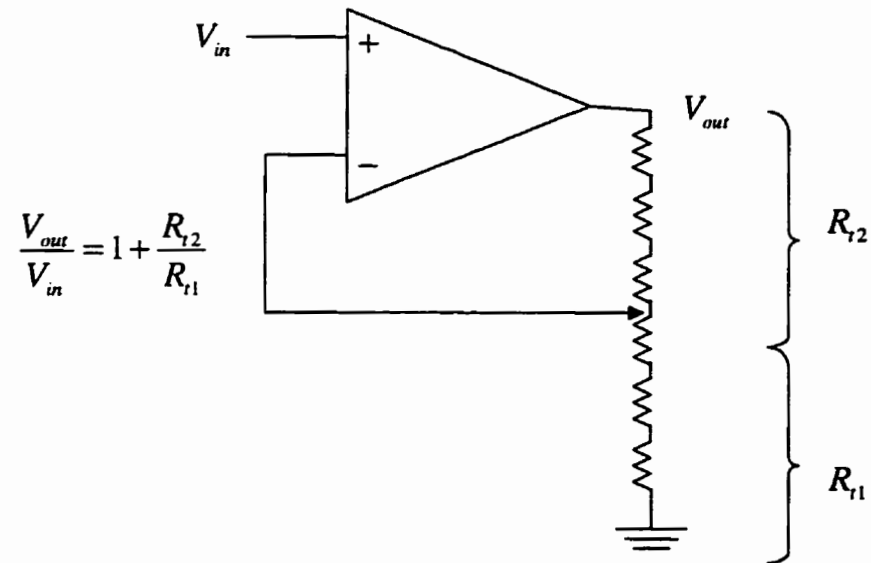
$$Bruit_{requis} = \frac{410nV}{\sqrt{100Hz}} = 41nV/\sqrt{Hz} \quad (3.15)$$

Le niveau de bruit de notre ampli-op requis à 100 dB est très faible, cela est dû à la grande taille des transistors de la paire différentielle. Le bruit dans un transistor MOS diminue lorsque sa surface augmente [GRA94].

### 3.3- Amplificateur à gain programmable numériquement

Comme son nom l'indique, un amplificateur opérationnel à gain programmable numériquement est un amplificateur dont le gain est déterminé par un mot binaire de  $n$  bits. De tels circuits sont utilisés dans beaucoup d'applications: instrumentation, contrôle, communications, neurotechnologie, etc. Dans notre application, l'amplificateur opérationnel programmable permet de varier le gain afin d'ajuster les variations du niveau du signal dues aux problèmes énoncés dans le chapitre II tels que l'impédance de la vessie qui diffère d'un patient à un autre, la disposition des électrodes autour de la vessie et la dérive éventuelle de la réponse des électrodes.

Dans cette section, nous allons traiter l'analyse fonctionnelle de l'amplificateur opérationnel à gain programmable numériquement. On retrouve d'abord une illustration du principe de la programmabilité d'un ampli-op (figure 3.4). Quelques configurations permettant d'obtenir la fonction désirée sont aussi présentées.



**Figure 3.4:** Amplificateur opérationnel en boucle fermé utilisant la contre réaction négative.

### 3.3.1- Principe de la programmabilité

En général, un amplificateur opérationnel est souvent utilisé en boucle fermée. En effet, en contre réaction négative, il présente les propriétés suivantes :

- le gain est moins sensible aux variations des composants à l'intérieur de l'ampli-op,

$$\frac{V_{out}}{V_{in}} = 1 + \frac{R_{t1}}{R_{t2}} \quad (3.16)$$

- la bande passante de l'amplificateur en boucle fermée est augmentée,

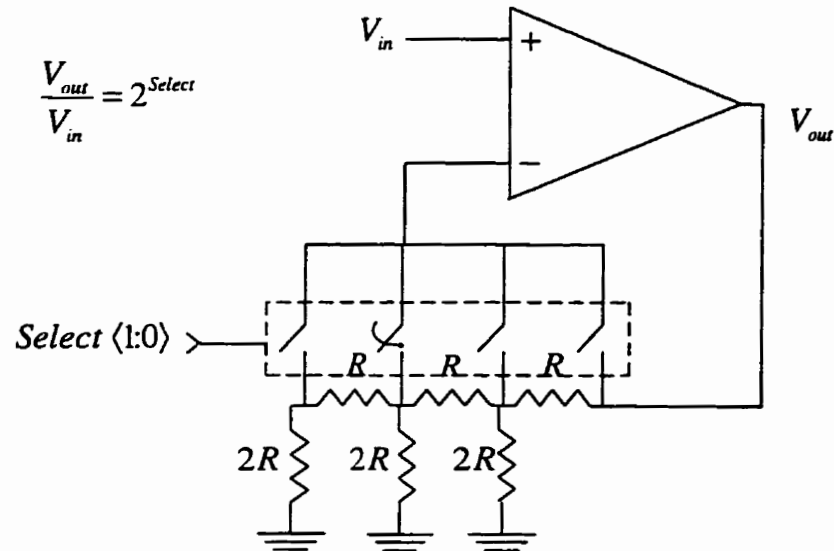
- les effets du bruit (améliore le rapport signal sur bruit) sont réduits,
- la distorsion non-linéaire est réduite,
- les impédances d'entrée et de sortie sont contrôlées.

En exploitant les avantages ci-dessus, nous avons décidé de programmer notre amplificateur en boucle fermée tel qu'il est illustré dans la figure 3.9 . Notons que les avantages sont obtenus au prix de la réduction du gain et au risque de rendre l'amplificateur instable.

L'équation (3.16) montre bien que le gain en boucle fermée dépend seulement du rapport  $R_{t2}$  sur  $R_{t1}$  (il ne dépend pas de la résistance du commutateur lorsque celui-ci conduit). Le signal à amplifier n'est pas inversé. La résistance totale ( $R_{tot}=R_{t1}+R_{t2}$ ) est constante, mais les valeurs relatives de  $R_{t1}$  et  $R_{t2}$  dépendent de la position du commutateur est fermé. La valeur de  $R_{tot}$  devrait être faible afin d'augmenter le courant qui la traverse pour éviter qu'il ne soit pas comparable au courant de fuite des commutateurs. En effet, lorsque  $R_{tot}$  est trop élevée (par exemple de  $500\text{ K}\Omega$ ) et le courant de sortie de l'ampli-op est de l'ordre de  $10\text{ }\mu\text{A}$ . Le courant qui la traverse est de l'ordre de quelques pA. Ce dernier est comparable au courant de fuite du commutateur (transistor MOS), c'est ce qui empêcherait le contrôle du commutateur. Nous allons voir plus loin l'utilisation des commutateurs à faible tension d'alimentation.

### 3.3.2- Quelques configurations possibles d'amplificateurs à gain programmable numériquement

Il existe plusieurs façons de réaliser un amplificateur à gain programmable numériquement. La plupart d'entre elles sont composées d'un réseau résistif formant la boucle de contre réaction négative. Le gain est alors fixé en choisissant les valeurs de résistances ou plus précisément les rapports de résistances. Une possibilité consiste à utiliser la configuration d'amplificateur non-inverseur qui emploie un réseau R-2R dans la boucle de contre-réaction négative tel qu'illustré à la figure 3.5. Le réseau R-2R permet, à chaque étage, d'atténuer le signal  $V_{out}$  d'un facteur de 2, l'ensemble des commutateurs contrôlés par les bits de programmation permet de sélectionner le point du réseau R-2R qui sera connecté à l'entrée négative de l'amplificateur opérationnel. Puisque la tension à l'entrée négative de l'amplificateur opérationnel est pratiquement égale à l'entrée positive, ceci permet de fixer le rapport entre les tensions  $V_{in}$  et  $V_{out}$  et par le fait même le gain de l'amplificateur. Le gain peut donc être ajusté de 6 dB, c'est-à-dire par puissances de 2, cette configuration présente l'avantage de n'avoir à utiliser que deux valeurs de résistances, soit R et 2R. Cette configuration ne répond pas à nos besoins, puisqu'on veut varier notre gain avec un pas de 3 dB seulement.

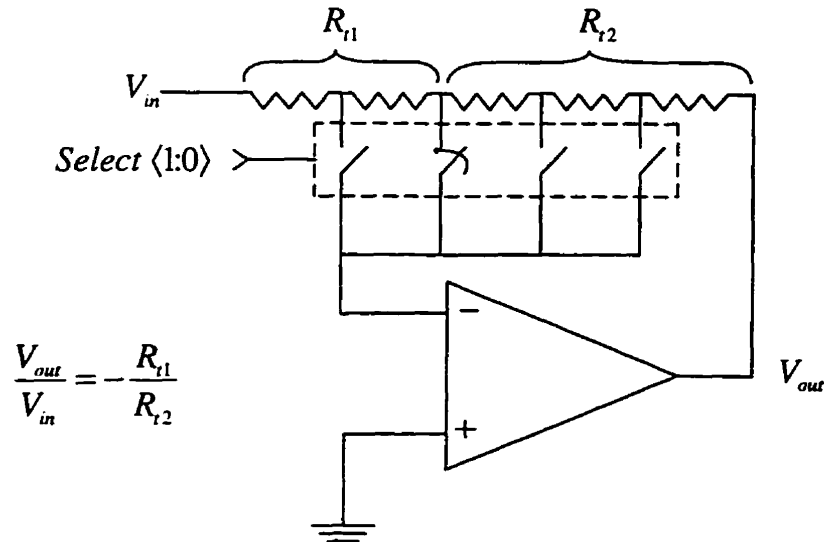


**Figure 3.5 :** Amplificateur opérationnel non-inverseur à gain programmable numériquement.

Il est également possible de réaliser un amplificateur opérationnel à gain programmable numériquement en utilisant la configuration d'amplificateur inverseur. Un exemple est montré à la figure 3.6. Dans ce cas, les résistances sont placées en série entre la sortie  $V_{out}$  et l'entrée  $V_{in}$ . Comme dans le cas de la configuration vue précédemment, l'ensemble des commutateurs contrôlés par les bits de programmation permet de sélectionner le point sur le réseau de résistance qui sera connecté à l'entrée négative de l'amplificateur opérationnel. Cette configuration présente l'avantage de ne pas être limitée à des valeurs de gain supérieures ou égales à 1. Théoriquement, le gain peut varier de moins l'infini à plus l'infini. On aurait pu choisir cette configuration pour notre application, mais nous avons préféré la configuration non-inverseuse d'un amplificateur



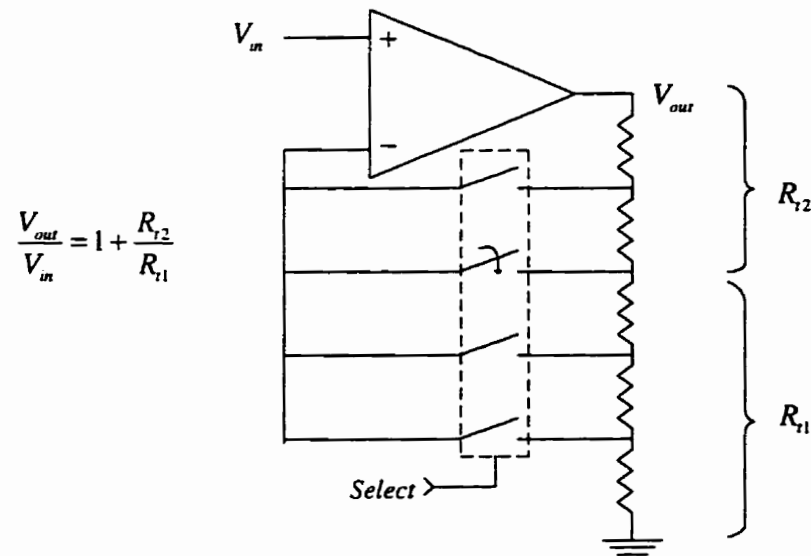
en boucle fermé parce qu'elle offre les avantages que nous allons voir dans la prochaine section.



**Figure 3.6 :** Amplificateur inverseur à gain programmable numériquement

Une autre variante de la programmation du gain est d'utiliser la configuration d'amplificateur non-inverseur telle que montrée à la figure 3.7. Dans ce cas, on place un ensemble de résistances en série entre la sortie de l'amplificateur opérationnel et la masse, et on utilise une série de commutateurs (portes de transmission) contrôlée par la valeur des bits de programmation afin de sélectionner le point du réseau de résistances à connecter à l'entrée négative de l'amplificateur opérationnel. Ceci permet de varier les valeurs des résistances  $R_{t1}$  et  $R_{t2}$  dans des directions opposées (lorsque  $R_{t1}$  augmente et  $R_{t2}$  diminue et vice-versa) ce qui permet par le fait même de varier le gain de l'amplificateur. Cependant, cette configuration ne nous permet d'obtenir que des valeurs

de gain supérieures ou égales à 1 (0 dB), ce qui peut constituer une limitation pour certaines applications. Mais, il s'agit de la configuration qui nous intéresse dans le cadre de ce projet car nous voulons faire varier notre gain de 10 dB à 55 dB avec un pas de 3 dB.

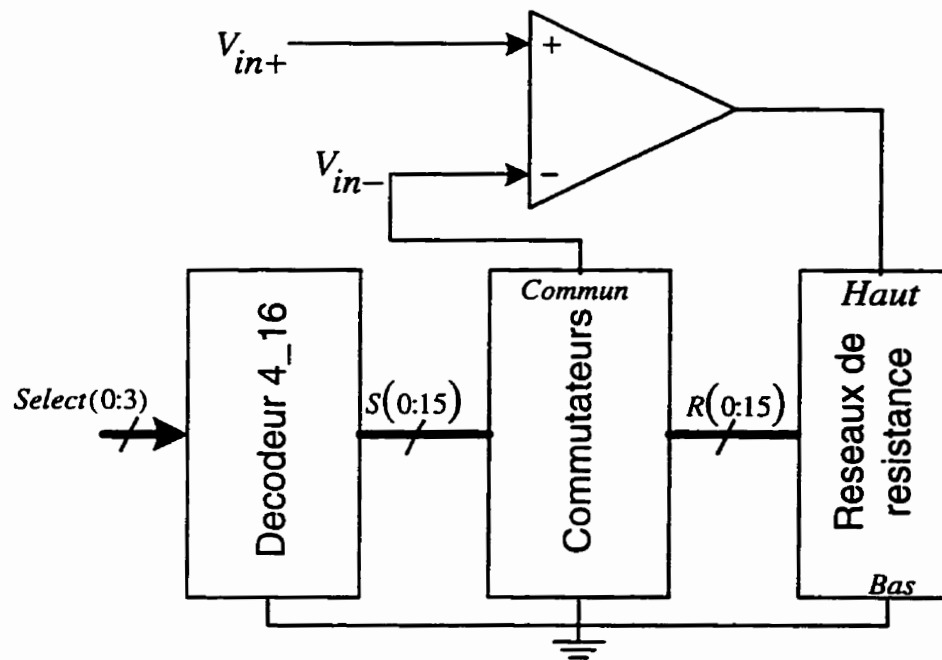


**Figure 3.7 :** Une variante amplificateur inverseur à gain programmable numériquement

### 3.3.3- Description détaillée du circuit adopté

Comme il a été mentionné à la section précédente, le circuit faisant l'objet du projet est un amplificateur non-inverseur à gain programmable numériquement. Il est utilisé pour l'ajustement du gain dans la boucle de contre-réaction de l'implant. Le gain de l'amplificateur peut être varié de 10 dB à 55 dB par incrément de 3 dB via 4 bits de programmation. On peut observer à la figure 3.8 les trois principales parties du circuit à

savoir un amplificateur opérationnel, un réseau de résistance pour l'ajustement du gain et un circuit de sélection utilisé bien entendu pour la sélection du gain.



**Figure 3.8 :** Architecture globale de notre amplificateur opérationnel programmable numériquement.

### a) Réseau des résistances

Le réseau des résistances détermine le gain de l'amplificateur, une partie de ces résistances est placée en série entre la tension de sortie  $V_{out}$  et celle de l'entrée  $V_{in}$ . Les bits de programmation du gain déterminent le point sur le réseau qui sera branché à l'entrée négative de l'amplificateur opérationnel. Physiquement, le réseau de résistances est réalisé en une seule grande résistance avec plusieurs points de contact le long de cette

dernière afin de permettre la connexion avec l'entrée négative de l'amplificateur opérationnel.

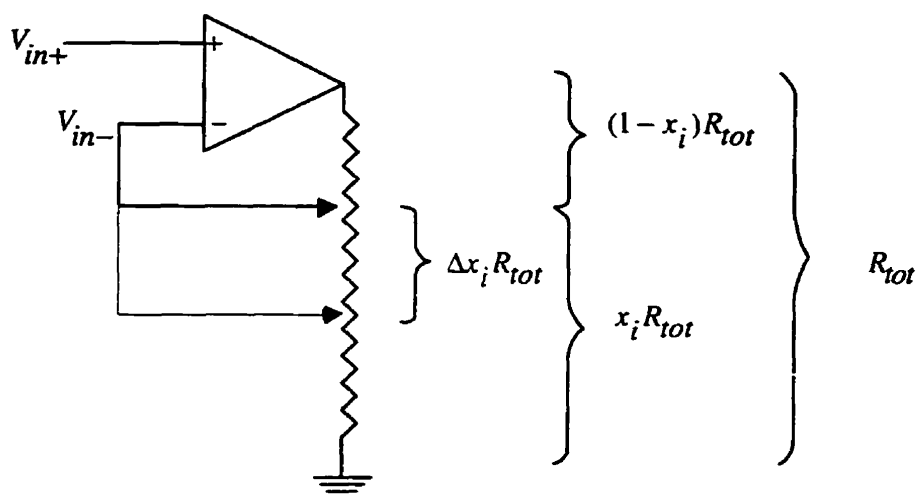
Cette résistance est réalisée en polysilicium résistif (RPOLY) et polysilicium faiblement résistif (LRPOLY). Connaissant les valeurs du gain en fonction des bits de programmation, il est possible de déterminer les valeurs de résistances le long du réseau en fonction de la résistance totale  $R_{tot}$  du réseau, On a :

$$Gain = \frac{R_{tot} - x_i R_{tot}}{x_i R_{tot}} = 10^{\left(\frac{55-3i}{20}\right)} \quad \text{pour } i = 0,1,2,\dots,15 \quad (3.17)$$

où 55 représente la valeur maximale du gain et  $x_i$  est la fraction de la résistance totale  $R_{tot}$  telle que montré à la figure 3.9. On obtient donc:

$$x_i = \frac{1}{1 + 10^{\left(\frac{55-3i}{20}\right)}} \quad (3.18)$$

Soit  $\Delta x_i = x_i - x_{i-1}$  les valeurs de résistances ou plus précisément les fractions de la résistance totale entre les points de contact consécutifs. Le tableau 3.2 donne les valeurs de  $x_i$  et  $\Delta x_i$  en fonction de la valeur des bits de programmation ( $i$ ). Ces valeurs devraient être très utiles pour la suite du projet car elle représente les valeurs nominales. Elles seront très utiles pour valider l'approche de test que nous recommandons comme travail futur.



**Figure 3.9 :** Détermination des résistances partielles définies par  $x_i$ .

#### b)- Circuit de sélection du gain

Le circuit de sélection permet de choisir, en fonction de la valeur des bits de programmation, l'endroit sur le réseau de résistances qui sera branché à l'entrée négative de l'amplificateur opérationnel. Ce circuit illustre la figure 3.10, et est composé d'un décodeur réalisé avec les cellules standards « k\_cells » de la technologie BiCMOS 0.8  $\mu\text{m}$ , il s'agit en fait d'une structure très similaire au plan ET d'un PLA pseudo-NMOS [TIN91]. Chacune des 16 sorties du décodeur contrôle une porte de transmission. Ces portes de transmissions sont utilisées pour connecter les points de contact du réseau de résistance à l'entrée négative de l'amplificateur opérationnel.

Elles ont donc une borne commune "Commun" branchée à l'entrée négative de

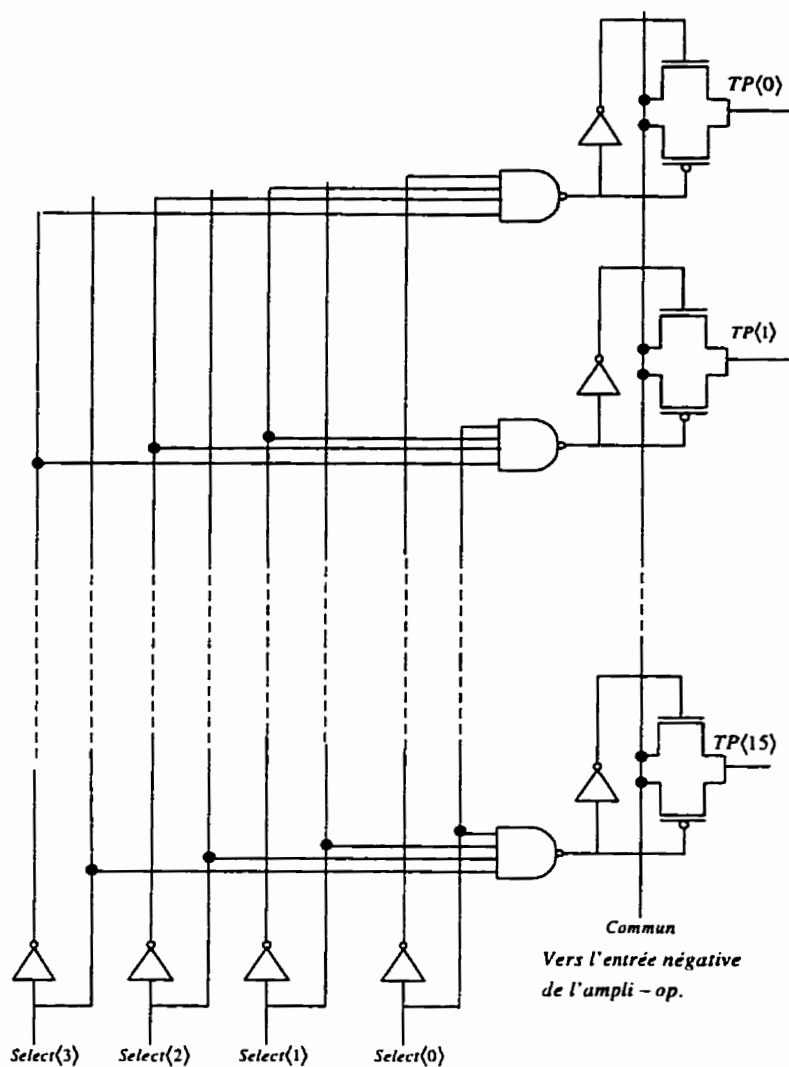
**Tableau 3.2 :** Liste des valeurs de gain en fonction des bits de programmation (sélect(3 :0)) et des fractions  $\Delta x_i$  de la résistance totale  $R_{tot}$ .

Vecteur(i)	Gain(dB)	Gain	$x_i$	$\Delta x_i$
00	55	525,34	$1,77 \cdot 10^{-3}$	$1,77 \cdot 10^{-3}$
01	52	398,10	$2,51 \cdot 10^{-3}$	$0,73 \cdot 10^{-3}$
02	49	281,83	$3,54 \cdot 10^{-3}$	$1,03 \cdot 10^{-3}$
03	46	199,52	$5,01 \cdot 10^{-3}$	$1,45 \cdot 10^{-3}$
04	43	141,25	$7,029 \cdot 10^{-3}$	$2,049 \cdot 10^{-3}$
05	40	100	$9,9 \cdot 10^{-3}$	$2,87 \cdot 10^{-3}$
06	37	70,79	$13,9 \cdot 10^{-3}$	$4 \cdot 10^{-3}$
07	34	50,118	$19,56 \cdot 10^{-3}$	$5,66 \cdot 10^{-3}$
08	31	35,48	$27,4 \cdot 10^{-3}$	$7,83 \cdot 10^{-3}$
09	28	25,11	$38,25 \cdot 10^{-3}$	$10,85 \cdot 10^{-3}$
10	25	17,78	$53,24 \cdot 10^{-3}$	$14,99 \cdot 10^{-3}$
11	22	12,58	$73,63 \cdot 10^{-3}$	$20,39 \cdot 10^{-3}$
12	19	8,91	$100,9 \cdot 10^{-3}$	$27,27 \cdot 10^{-3}$
13	16	6,309	$136,8 \cdot 10^{-3}$	$35,9 \cdot 10^{-3}$
14	13	4,466	$183,15 \cdot 10^{-3}$	$46,35 \cdot 10^{-3}$
15	10	3,162	$240,38 \cdot 10^{-3}$	$53,23 \cdot 10^{-3}$

l'amplificateur opérationnel et chacune des autres bornes (TP<15:0>) est branchée sur un des points de contact du réseau de résistances. En résumé, la valeur des bits de programmation permet d'activer une et une seule sortie du décodeur 4-16, ce qui permet d'activer la porte de transmission correspondante et ainsi fixer le gain de l'amplificateur par le rapport des deux résistances  $R_{11}$  et  $R_{12}$ , c'est-à-dire, celle entre la masse et l'entrée négative de l'amplificateur opérationnel et celle entre l'entrée négative de l'amplificateur opérationnel et la sortie  $V_{out}$ .

### **c)- Commutateur analogique opérant à une faible tension d'alimentation**

La configuration utilisée est montrée à la figure 3.10, ces commutateurs sont construits à partir d'une porte de transmission (un transistor de type p en parallèle avec un transistor de type n). Lorsque la tension  $V_{ON} = 0$  V les deux transistors conduisent (état ON), donnant un état de faible impédance. Lorsque la tension  $V_{ON} = 1.5$  V, les deux transistors seront bloqués. L'utilisation d'un des deux types de transistors (p ou n) seul présente une impédance qui varie rapidement avec la variation de la polarisation grille-source du transistor. Par contre, lorsqu'on met les deux transistors en parallèle, comme dans notre cas, la résistance du commutateur en conduction est constante pour la plupart des gammes de signaux analogiques [MAX96]. Les commutateurs analogiques offrent une faible dissipation de puissance et une interface logique simple. Dans la plupart des



**Figure 3.10 :** Structure simplifié du circuit de sélection du gain.

applications on cherche à minimiser la résistance ON du commutateur afin de minimiser son effet résistif. Heureusement, dans notre application, le gain est indépendant de la résistance ON du commutateur (équation 3.16), ce qui représente un avantage indéniable. Parce que à l'entrée négative de notre amplificateur opérationnel, le courant est nul. Avec une tension d'alimentation faible, il est très difficile d'atteindre une faible



résistance ON du commutateur (lorsque  $V_{DD}$  est assez faible, le commutateur peut se bloquer). L'équation (3.19) donne la résistance du commutateur en conduction pour un transistor NMOS utilisé comme un commutateur. Elle montre que la résistance ON dépend de la tension de la grille. Si cette dernière est faible, le terme  $(V_{GS}-V_T)$  sera petit, alors la résistance ON sera très élevée, ce qui n'est pas souhaitable pour la plupart des applications.

$$R_{ON} = \frac{1}{\frac{\partial I_D}{\partial v_{DS}}} = \frac{L}{\mu_n C_{ox} W (V_{GS} - V_T)} \quad (3.19)$$

C'est le problème actuel des commutateurs analogiques opérant à de faibles tensions d'alimentation. De plus, comme nous avons vu dans la section 2.7 du chapitre II, lorsqu'on diminue la tension d'alimentation, le courant de fuite du transistor augmente. Évidemment, cela diminue la performance du commutateur analogique [MAX96].

### 3.4- Conclusion

Dans ce chapitre, nous avons présenté les principales étapes de conception de notre circuit. La deuxième section, décrit la fonctionnalité de l'amplificateur opérationnel seul ainsi que ses différentes analyses (DC, AC, et celle du bruit). La troisième décrit la conception proprement dite de notre amplificateur opérationnel programmable numériquement ainsi que les différentes manières de le programmer. Nous pouvons constater, en lisant ce chapitre que beaucoup d'étapes de raffinement du circuit furent

nécessaires avant d'arriver à un résultat de qualité et acceptable, tant au niveau de la surface occupée que de la consommation, ou bien de la linéarité etc.

Dans le présent travail nous nous sommes principalement concernés par la proposition d'une architecture nous permettant d'atteindre nos spécifications de départ tout en respectant les conditions et les exigences.

Dans le quatrième chapitre, nous allons présenter toutes les caractéristiques de notre amplificateur opérationnel programmable ainsi les résultats de simulation. En montrant et expliquant la manière avec laquelle ils ont été obtenus.

## CHAPITRE IV

### CARACTÉRISATION DE L'AMPLIFICATEUR OPÉRATIONNEL À GAIN PROGRAMMABLE

#### 4.1- Introduction

Tous les blocs de l'amplificateur opérationnel programmable ont été simulés au niveau schématique et après extraction des parasites. Les dessins de masques ont été produits pour toutes les parties du circuit séparément et globalement. Le but de ce quatrième chapitre est de présenter tous les résultats de simulations ainsi que la manière avec laquelle nous les avons obtenus. Il est divisé en deux sections principales. Dans la première section, nous allons exposer les caractéristiques de notre amplificateur opérationnel tels que le taux de rejet en mode commun « CMRR », le taux de rejet de la tension d'alimentation « PSRR », la tension de décalage de l'entrée « Input Offset », etc. Dans la deuxième partie, nous allons discuter la génération des dessins de masques. Enfin, on le clôtura par une conclusion.

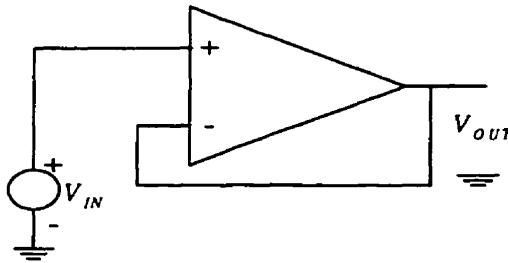
#### 4.2- Principaux résultats de simulation

La simulation des circuits s'est faite à l'aide de l'outil « Cadence » en utilisant le simulateur « Hspice ». La librairie utilisée est celle de la technologie BiCMOS 0.8  $\mu\text{m}$ . Pour certaines simulations comme la mesure du taux de distorsion harmonique et la

simulation du bruit, nous étions obligés d'utiliser le simulateur « Hspice » sans l'environnement de Cadence. Pour vérifier les règles des dessins des masques, nous avons utilisé l'outil « DRC » de « Cadence ». Et pour vérifier que notre dessin des masques correspond exactement à notre schématique, nous avons utilisé l'outil « LVS » de « Cadence ». Notons que toutes les techniques utilisées pour la simulation sont valables pour la mesure.

#### 4.2.1- Marge d'entrée en mode commun

**CMR** « Common Mode Input Range » spécifie sur quelle plage de valeurs de tension d'entrée l'amplificateur continue de percevoir et d'amplifier avec le même gain la différence des signaux d'entrée.



**Figure 4.1** : mesure du « CMR »

Nous avons utilisé la technique illustrée dans la figure 4.1. Pour déterminer la marge d'entrée valide, nous avons effectué une série de simulations avec différentes valeurs de tension d'entrée ( $V_{IN}$ ). Lorsque le signal obtenu à la sortie se trouve déformer ou que les performances de l'amplificateur diminuaient, nous déduisons que nous avons dépassé la

limite de la marge d'entrée en mode commun. Le résultat obtenu était très bon, puisque la marge en mode commun est limitée entre 200 mV et 1.3 V (environ 2/3 de  $V_{DD}$ ), nous rappelons que notre tension d'alimentation est de 1.5 V.

#### 4.2.2- Taux de réjection en mode commun

**CMRR** « Commun mode rejection ratio » est par définition, le rapport entre le gain en boucle ouverte ( $A_{DM}$ ) sur le gain en mode commun ( $A_{CM}$ ).

$$CMRR = \frac{|A_{DM}|}{|A_{CM}|} \quad (4.1)$$

Généralement, le « CMRR » est exprimé en décibels

$$CMRR = 20 \text{Log} \left( \frac{|A_{DM}|}{|A_{CM}|} \right) \quad (4.2)$$

Pour un amplificateur opérationnel idéal le taux de rejet en mode commun est infini. Donc, plus la valeur de « CMRR » est grande moins l'amplificateur est sensible aux interférences. Pour simuler le « CMRR », nous avons utilisé la technique illustrée dans la figure 4.2.

Le résultat de simulation du taux de rejet en mode commun est excellent. En effet, nous avons pu obtenir un gain « CMRR » 92 dB. La figure B-1 illustre ce résultat, elle est fournie dans l'annexe B.

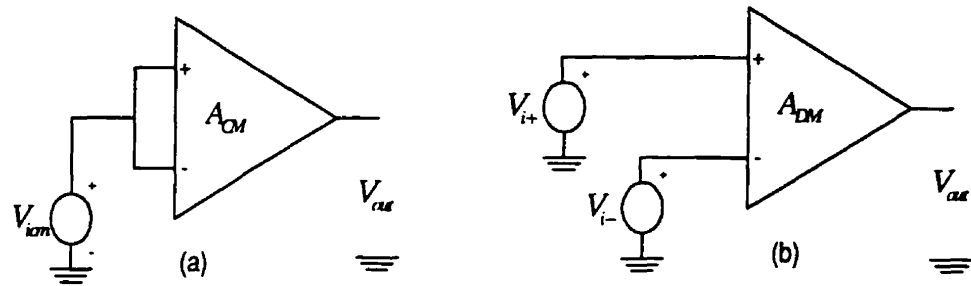


Figure 4.2: Mesure du « CMRR » (a) mode commun (b) mode différentiel

#### 4.2.3- Taux de réjection de la tension d'alimentation

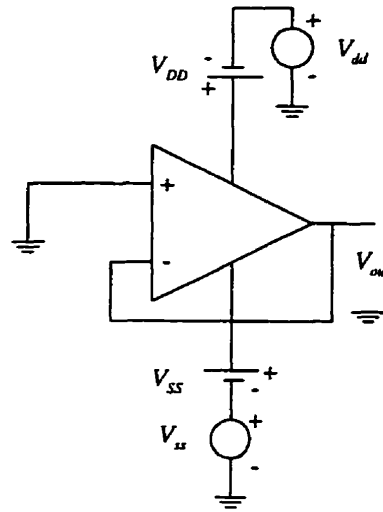
**PSRR** «Power supply rejection ratio » est la capacité de l'ampli-op d'ignorer les variations de la tension d'alimentation.

$$PSRR = \frac{|V_{out}|}{|V_{out_{ps}}|} \quad (4.3)$$

Généralement, le « PSRR » est exprimé en décibels

$$PSRR = 20 \text{Log} \left( \frac{|V_{out}|}{|V_{out_{ps}}|} \right) \quad (4.4)$$

Pour un amplificateur opérationnel idéal le taux de rejet de la tension d'alimentation est infini. Donc, plus la valeur de « PSRR » est grande moins l'amplificateur est sensible aux variations de la tension d'alimentation. Pour simuler le « PSRR », nous avons utiliser la technique illustrée dans la figure 4.3



**Figure 4.3 :** Mesure du « PSRR ».

Le résultat de simulation du taux de rejet de la tension d'alimentation est très bon car nous avons obtenu un « PSRR » de 106.5 dB. La figure B-2 illustre ce résultat, elle est fournie dans l'annexe B.

#### 4.2.4- Excursion de la tension de sortie $V_o$

Cette caractéristique est appelée (Output swing voltage) est l'excursion maximale possible de la tension de sortie.  $V_o$  est légèrement inférieur aux tensions d'alimentation à cause des tensions de seuils ( $V_T$ ) et des autres chutes de tensions du l'étage de sortie de l'ampli-op.

Pour simuler l'excursion de la tension de sortie, nous avons utilisé la technique illustrée dans la figure 4.1. Le résultat de simulation de l'excursion de la tension de sortie est très bon. Il est comparable aux résultats publiés dans [ESC94] et [ALL95]. La gamme de la

tension de sortie varie entre 321 mV et 1.48 V. La figure B-3 illustre ce résultat, elle est fournie dans l'annexe B.

#### 4.2.5- Pente limite du signal de sortie

Cette pente limite (Slew Rate) est définie comme étant la vitesse maximale de la variation de la tension de sortie de l'ampli-op.

$$SR = \left. \frac{dV_{out}}{dt} \right|_{\max} \quad (4.5)$$

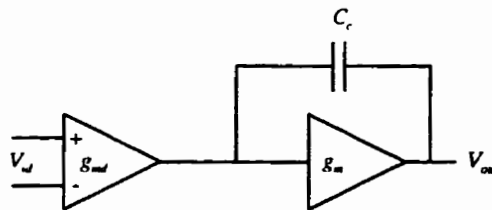
Cette caractéristique provient de la relation suivante :

$$i_c = C_c \frac{dv_{out}}{dt} \quad (4.6)$$

Où  $i_c$  = le courant maximale qui peut traverser  $C_c$ ,

$C_c$  = est la capacité de compensation,

$\frac{dv_{out}}{dt}$  = vitesse de variation de la tension de sortie.



**Figure 4.4 :** Illustration du "Slew Rate" sur un ampli-op à deux étages.



$$\frac{\Delta i_c}{C_c} = \frac{\Delta v_{out}}{dt} \Rightarrow SR = \frac{I_{ss}}{C_c} \quad (4.7)$$

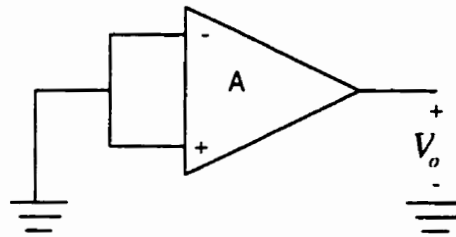
Où  $I_{ss}$  est le courant de polarisation de notre étage différentiel ( $5 \mu\text{A}$ ). Il représente le courant maximal qui peut sortir de notre étage différentiel d'entrée.

D'après l'équation (4.7), la vitesse de variation de notre circuit est

$$SR = \frac{5 \mu\text{A}}{1.2 \text{ pF}} = 4.16 \text{ V}/\mu\text{s} \quad (4.8)$$

Le résultat trouvé par le calcul confirme les simulations. La figure B-4 illustre ce résultat, elle est fournie dans l'annexe B.

#### 4.2.6- Tension de décalage d'entrée



**Figure 4.5:** Illustration de la tension de décalage d'entrée.

Tension de décalage d'entrée (Input Offset Voltage),  $V_{io}$ , est définie comme étant la tension d'entrée différentielle requise pour mettre la tension de sortie à 0. Une valeur qui ne tend pas vers 0 de  $V_{io}$  est indésirable car l'ampli-op va amplifier n'importe quel

«offset», ainsi nous aurons une grande erreur sur la tension DC à la sortie. En effet, nous serons limités point de vue de l'excursion de la tension de sortie.

$$V_{IO} = \frac{V_o}{A} \quad (4.9)$$

Où A est le gain de l'ampli-op en boucle ouverte. Pour un amplificateur idéal,  $V_{io}$  est égal à zéro. D'après l'équation (4.9) la tension de décalage d'entrée est

$$V_{IO} = \frac{1.48V - 0.321V}{177827} = 6.5 \mu V \quad (4.10)$$

Ce qui représente un excellent résultat, la tension de décalage de l'entrée typique d'un amplificateur CMOS est de l'ordre de 10 mV.

#### 4.2.7- Résistance de sortie

La résistance de sortie est aussi très bonne, puisque le résultat de simulation a donné 62  $\Omega$ . La figure B-5 illustre ce résultat, elle est fournie dans l'annexe B.

#### 4.2.8- Temps de réponse

Le temps de réponse « Settling time » est le temps nécessaire à la sortie pour se stabiliser à  $\pm 1\%$  de sa valeur finale pour la première fois. C'est une caractéristique AC (à ne pas confondre avec le « slew rate » qui est déterminé par les conditions DC du circuit). Le résultat de la simulation obtenu est de 3.3  $\mu s$ , ce qui est normal vu que la bande passante

est relativement faible. Ce résultat n'affecte pas la qualité de notre design, car l'ampli-op que nous avons conçu est destiné à amplifier des signaux à basse fréquence.

#### 4.2.9- Gain et phase de l'amplificateur opérationnel

La figure 4.6 illustre le gain et la phase de l'ampli-op en boucle ouverte. Le gain est de 110 dB alors que la phase est de  $55^\circ$ , ce qui est amplement suffisant pour pouvoir utiliser notre amplificateur en boucle fermée. La fréquence de transition est de 1.6 MHz avec une charge de 10 pF. La consommation de la puissance est de  $36\mu\text{W}$ . Cette faible consommation de puissance représente une performance jamais atteinte à notre connaissance. Le tableau 4.1 résume les résultats de simulation de l'ampli-op en boucle ouverte.

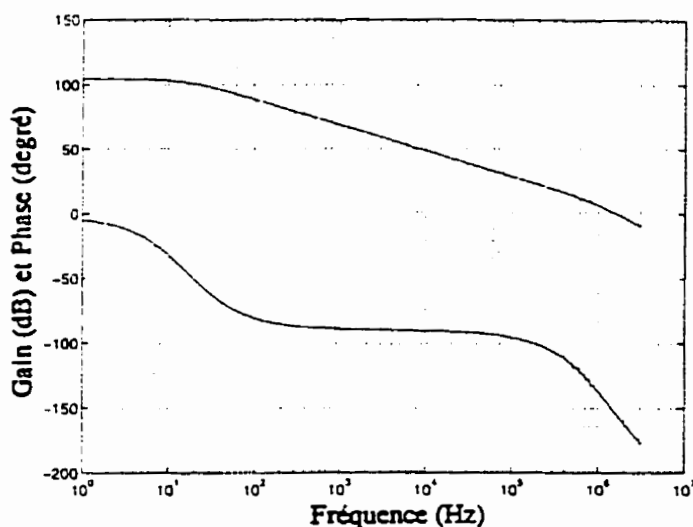


Figure 4.6 : Caractéristiques AC, le gain et la phase en boucle ouverte.

**Tableau 4.1** : Résumé des résultats de simulation de l'ampli-op en boucle ouverte.

Paramètres	Résultats simulés
Tension d'alimentation	1.5 V
Gain DC	110 dB
Bande passante (Gain unitaire)	1.6 MHz
Marge de phase	55°
Tension de décalage de l'entrée	6.5 $\mu$ V
Dissipation de puissance	36 $\mu$ W
Excursion de la tension de sortie	$V_{o+}=1.484$ V $V_{o-}=321$ mV
Taux de rejet de la tension d'alimentation	106.5 dB
Taux de rejet en mode commun	92 dB
Pente limite du signal de sortie SR <sup>+</sup>	12.7 V/ $\mu$ s
SR <sup>-</sup>	4.16 V/ $\mu$ s
Impédance de sortie	62 $\Omega$
Temps de réponse	3.3 $\mu$ s
Surface active *	0.072 mm <sup>2</sup>
Procédé de technologie	0.8 $\mu$ m BiCMOS

\*Sans les sources de courant

#### 4.2.10- Performance du bruit

La performance du bruit de l'étage différentiel peut être due à deux types de bruit : bruit thermique ou bruit  $1/f$ . Dépendamment de la gamme de fréquence dans la quelle notre circuit opère, une source peut être négligé en faveur de l'autre. À des fréquences basses, le bruit  $1/f$  est important tandis que à des hautes fréquences le bruit thermique est important. La figure 4.7 montre la tension équivalente du bruit à l'entrée de l'ampli-op.

On voit qu'à 100 Hz, la valeur du bruit est de  $165 \text{ nV}/\sqrt{\text{Hz}}$ , ce résultat a été trouvé par simulation avec Hspice. Il est comparable à ce que nous avons trouvé dans la littérature

$(145 \text{ nV}/\sqrt{\text{Hz}})$

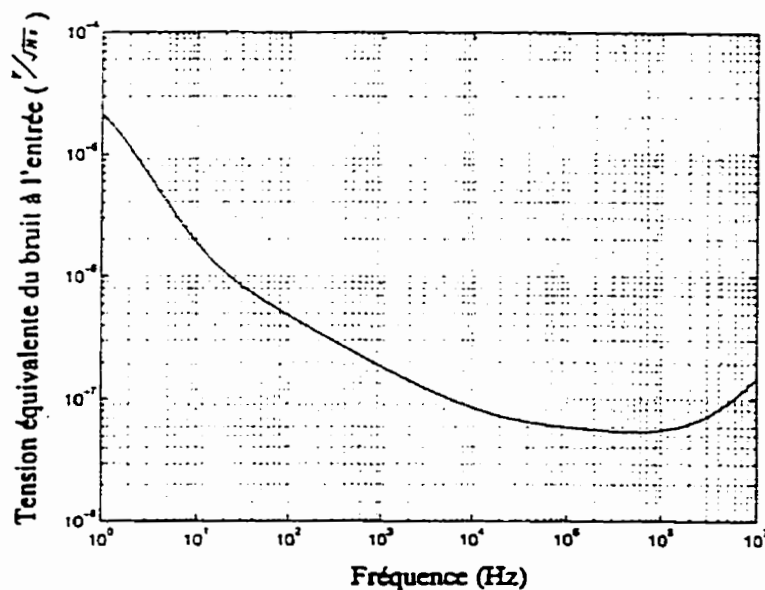


Figure 4.7 : Tension équivalente du bruit à l'entrée de l'ampli-op en  $\text{V}/\sqrt{\text{Hz}}$ .

#### 4.2.11- Taux de distorsion harmonique

Communément connu sous le nom de THD, il est défini comme étant la racine carrée de la somme des carrés de l'amplitude de la seconde harmonique et des harmoniques suivantes sur l'amplitude de l'harmonique fondamentale. Ainsi, le THD peut être exprimé comme ce qui suit

$$THD = \frac{[a_2^2 + a_3^2 + \dots + a_n^2]^{1/2}}{a_1} \quad (4.11)$$

Le THD obtenu est de 1% à une fréquence de 1 KHz, ce résultat a été trouvé par simulation avec Hspice. Il est comparable à ce que nous avons trouvé dans la littérature (1 %).

#### 4.2.12- Simulation des différentes parties de l'AOP

Les résultats de simulation du décodeur 4-16 sont donnés à la figure B-6. Le décodeur fonctionne comme prévu, c.-à-d. à chaque vecteur (i), il sélectionne une seule porte de transmission à la fois. Par exemple pour le vecteur (0), la porte de transmission sélectionnée est la  $S_0$ , laquelle est connecté à la résistance  $R_0$ , ce qui nous donne un gain de 55 dB.

La figure 4.8 montre quatre niveaux de gain différents. Le premier niveau correspond à 55.1 dB, il a été obtenu avec le vecteur (0,0,0,0). Le deuxième niveau correspond à 46.3

dB, il a été obtenue avec le vecteur  $(0,0,1,1)$ . La troisième correspond à 34.13 dB, il a été obtenu avec le vecteur  $(0,1,1,1)$ . Enfin, Le dernier niveau correspond à 24.89 dB, et il a été obtenu avec le vecteur  $(0,0,1,1)$ .

Nous remarquons que les valeurs de gain trouvé par simulation ne correspondent pas exactement aux valeurs calculées qui se trouve dans le tableau 3.2. Cela est due au fait que les calculs sont basés sur l'équation (3.47), cette dernière considère que l'amplificateur opérationnel est idéal. De plus, les résistances  $R_{t1}$  et  $R_{t2}$  ont des tolérances de  $\pm 20\%$ . C'est ce qui explique cette légère différence. Les résultats trouvés sont acceptables. Car dans le pire cas, on a une erreur moins que 1%.

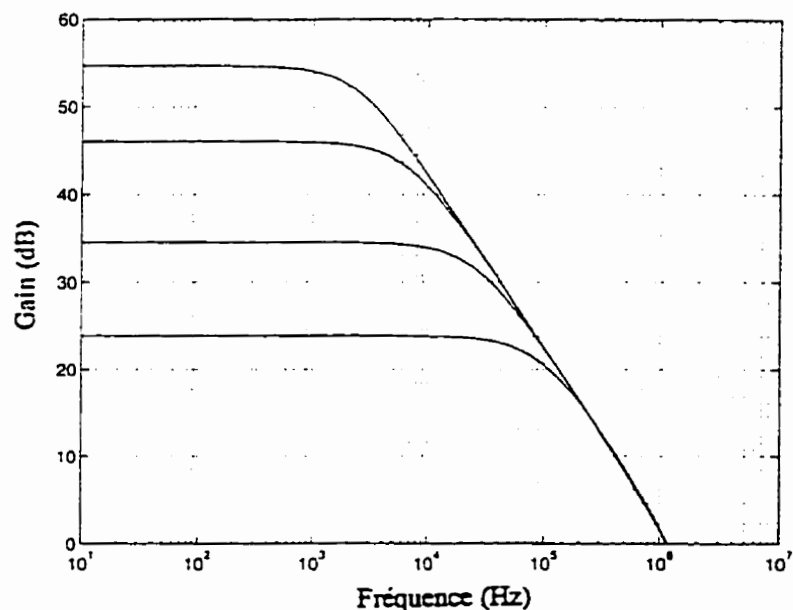


Figure 4.8 : Quatre différents gains donné par notre AOP en boucle fermée.

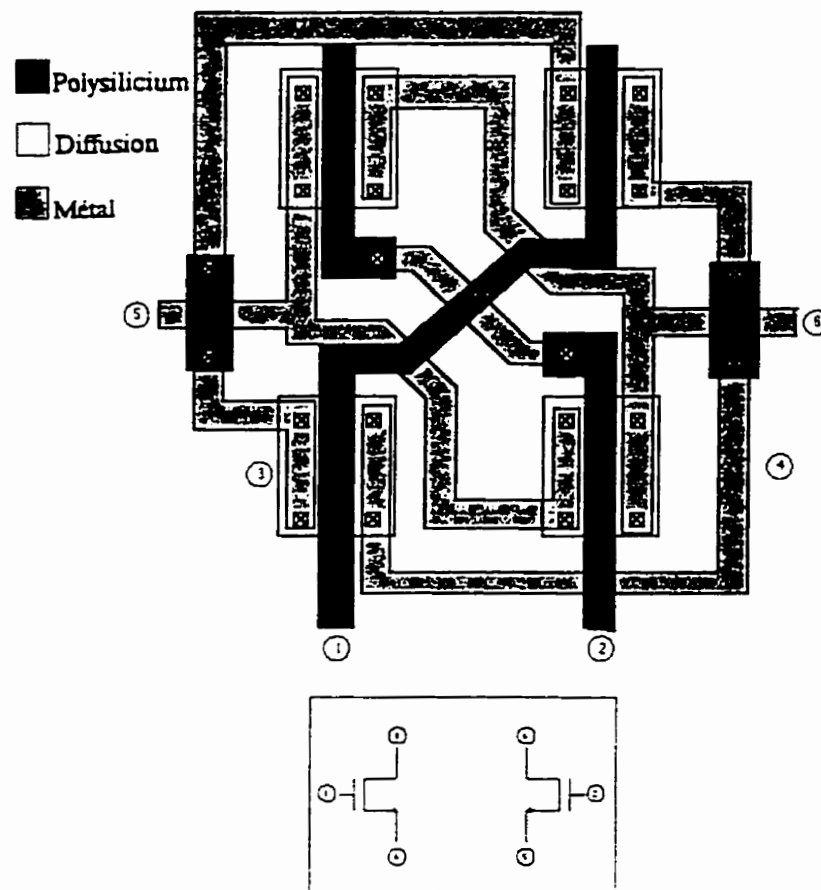
### 4.3- Génération des dessins de masques

Le dessin de masques de la partie analogique de l'amplificateur opérationnel et des commutateurs analogiques ont été entièrement réalisés à la main. Pour éviter les effets dus aux masques, à la gravure et à la diffusion, nous avons choisis des dimensions de transistors assez grande  $W$  et  $L$  pour que les erreurs dues à l'asymétrie géométrique « geometrical mismatching » soient insignifiantes. Vu qu'on a des transistors ayant la même longueur du canal  $L=8 \mu\text{m}$  et des largeurs assez importantes telles que  $W=100 \mu\text{m}$ ,  $240 \mu\text{m}$ ,  $495 \mu\text{m}$  etc. Nous avons décidé de les diviser en plusieurs transistors identiques et de les mettre en parallèle. Ainsi tous les effets cités auparavant seront négligeables. La variation de la tension de seuil peut causer une tension de décalage à l'entrée de l'amplificateur. Les erreurs dues à ce type sont inévitables, cela est dû à l'imperfection du procédé. Pour minimiser la tension de décalage à l'entrée (« Input Offset »), on a utilisé la technique des géométries du centre commun « Common centroid geometries » qui consiste à diviser par deux les transistors de la paire différentielle et de les placer au tour d'un centre commun. Un exemple est illustré dans la figure 4.9.

Les masques du circuit numérique (décodage) complétant l'AOP a été entièrement réalisé avec la librairie de la technologie BiCMOS  $0.8 \mu\text{m}$ . Afin d'obtenir une structure régulière, nous avons opté pour une structure hiérarchique. Ainsi, chacun des sous-blocs de la partie numérique de l'amplificateur opérationnel programmable possède son propre dessin de masques (décodeur 4-16). En plus d'assurer une structure régulière, cette



technique permet d'optimiser les algorithmes de placement-routage automatique, puisque elle nous offre la possibilité de placer manuellement nos blocs de sorte que les interconnexions soient placées les unes à côté des autres. Par conséquent, on aura minimisé la longueur des interconnexions. L'inconvénient de cette technique est qu'une certaine perte d'espace entre les blocs est inévitable.



**Figure 4.9 :** Illustration de la technique des géométries du centre commun, tiré [ALL87].

Les dessins de masques pour l'amplificateur opérationnel ainsi que pour chacun des sous-blocs sont donnés à l'annexe D. La surface occupée par l'amplificateur opérationnel

seul sans les plots d'entrées/sorties est de  $0.078 \text{ mm}^2$  et de  $2.3 \text{ mm}^2$  avec les plots, les circuits comportent environ 1500 transistors. La surface occupée par le décodeur est de  $0.0098 \text{ mm}^2$  tandis que celle occupée par les commutateurs est de  $0.013 \text{ mm}^2$  et de  $0.0014 \text{ mm}^2$  . pour les résistances placées en série sous la forme d'un serpent. La surface globale de l'amplificateur opérationnel programmable est de  $0.15 \text{ mm}^2$  sans les plots et de  $3.22 \text{ mm}^2$  avec les plots. La figure 4.10 montre le dessin des masques final de notre AOP. Notre circuit est dans sa phase de fabrication. Il a été soumis à la Société Canadienne de Micro-électronique en février 1997. La date de réception de la puce est prévue pour le mois de juillet 1997.

#### **4.4- Conclusion**

Au cours de ce chapitre, nous avons détaillé les principaux résultats de simulations obtenus au cours de notre travail de recherche. Nous avons tout d'abord présenté les caractéristiques de notre amplificateur opérationnel. Nous avons démontré la fonctionnalité de toute les parties de notre amplificateur opérationnel programmable opérant à une tension d'alimentation de 1.5 V. Nous constatons que les résultats obtenus sont très satisfaisants tant au niveau de la surface occupée que de la consommation de puissance. On peut donc affirmer jusqu'ici que notre circuit est très bien adapté pour notre application biomédicale.

Toutes les simulations ont été faites à l'aide du simulateur «Hspice» en utilisant la technologie BiCMOS  $0.8 \mu\text{m}$ . Les dessins de masques de l'ampli-op (partie analogique)

ont été réalisés manuellement, alors que ceux de la partie numérique, ils ont été réalisés à l'aide des outils de placement-routage automatique de «Cadence».

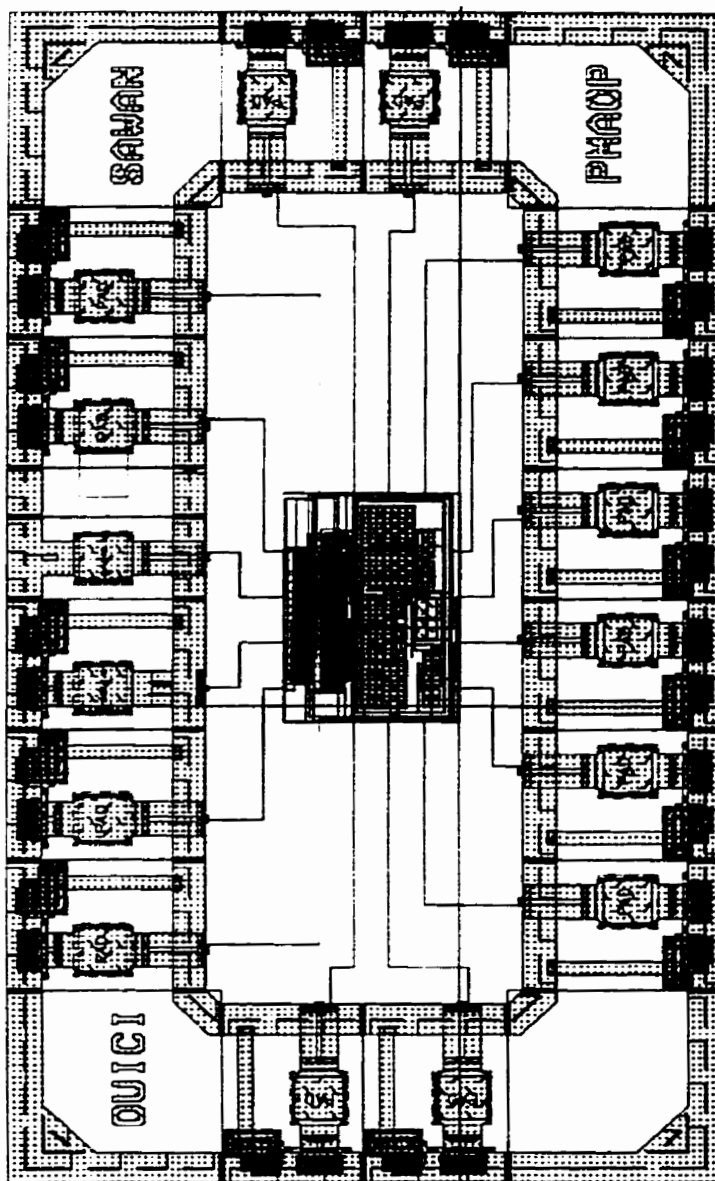


Figure 4.10 : Dessin des masques de l'ampli-op. programmable.

Dans le prochain chapitre nous allons faire le bilan de ce mémoire en faisant le sommaire des principaux résultats obtenus. Nous allons ensuite donner quelques recommandations pour des travaux futurs.

## CHAPITRE V

### CONCLUSIONS ET RECOMMANDATIONS

Dans ce dernier chapitre, nous allons rappeler les différents objectifs de ce projet et discuter des difficultés rencontrées. Ensuite, nous allons exposer des recommandations pour de futurs travaux de recherche qui consistent à faire quelques modifications dans le circuit afin de rendre notre amplificateur opérationnel programmable autotestable et utilisable dans d'autres applications.

#### 5.1- Rappel des objectifs

Le but de ce mémoire était de concevoir un amplificateur opérationnel programmable (AOP) opérant à une tension d'alimentation de 1.5V. Cet amplificateur opérationnel est dédié à une interface entre les électrodes et la partie contrôle du système et devra être programmable, car notre système doit être adapté pour chaque patient. Cet AOP requiert 16 niveaux de gain différents et ne doit occuper qu'une petite surface, tout en conservant une bonne linéarité ainsi qu'une dissipation de puissance minimale.

Pour ce faire, il nous a été nécessaire de définir avec exactitude les spécifications de l'ensemble de notre application biomédicale menée par notre équipe de recherche "PolyStim" dans laquelle on doit insérer cet AOP. Parmi les paramètres importants, on retrouve la nature des signaux qu'on doit amplifier ainsi que les contraintes associées.

Nous avons ensuite fait une revue de littérature des amplificateurs opérationnels de la même gamme que celui que l'on désire concevoir, opérant à une tension d'alimentation très faible. Couvrant ainsi toutes les techniques de design et les publications récentes. À ce niveau, nous avons conclu que puisque notre application est particulière et qu'aucun amplificateur présenté dans ces publications ne répondait aux besoins spécifiques de notre application, il nous serait obligatoire de concevoir un nouveau amplificateur opérationnel basé sur les critères spécifiques requis par notre application et de le rendre programmable.

La conception d'un AOP a été élaborée dans le chapitre III, résumant assez bien les principales étapes de la mise au point du circuit. On y présente les différentes analyses qui nous ont conduit au design final. Ainsi qu'une argumentation des choix des tailles des transistors et le cheminement chronologique qui nous a mené au circuit final. Dans ce chapitre, nous avons présenté toutes les caractéristiques de notre AOP ainsi que les techniques utilisées pour les obtenir.

Finalement, le mémoire se termine par un survol des principaux résultats obtenus les simulations. Malheureusement, nous n'avons pas pu faire des mesures sur la puce afin de confirmer les résultats de simulation. La puce n'est pas encore arrivée du lieu de fabrication à savoir la Société Canadienne de Micro-électronique (SCM). Nous souhaitons effectuer ces mesures avant la soutenance afin que nous puissions donner les résultats de ces derniers. Sinon, nous ferons les mesures après celle-ci.

## 5.2- Sommaire des principaux résultats

Les résultats provenant de ce mémoire sont nombreux et très satisfaisants, en particulier une consommation de puissance de  $36 \mu\text{W}$ , un gain DC en boucle ouverte de 110 dB, une surface occupée de  $0.15 \text{ mm}^2$ , un taux de rejet en mode commun 92 dB, un taux de rejet de la tension d'alimentation de 106.5 dB et enfin, la faisabilité d'un amplificateur opérationnel programmable en boucle fermée ayant un gain variant de 10 dB à 55 dB, opérant à une tension d'alimentation de 1.5 V.

## 5.3- Problèmes rencontrés

Manipuler des transistors empilés avec une faible tension d'alimentation n'est pas une tâche facile, surtout que nous devons avoir des transistors qui conduisent en saturation, comme dans le cas des miroirs de courant. Nous avons vu dans le chapitre précédent, qu'il faut que tous les transistors soient en saturation pour qu'un miroir de courant fonctionne dans sa région linéaire. Pour y remédier à ce problème d'empilement des transistors, nous avons choisit des transistors ayant un rapport  $W/L$  grand avec une longueur du canal dix fois plus longue que la taille minimale offerte par la technologie BiCMOS  $0.8 \mu\text{m}$ . De plus, nous avons contrôlé les tensions drain-source de saturation avec des tensions de polarisation au niveau des grilles des transistors cascodes. Ainsi, nous avons pu obtenir des tensions  $V_{\text{dssat}}$  de l'ordre de 300mV. L'autre sérieux problème que nous avons rencontré est au niveau des commutateurs. En effet, la résistance d'un

transistor utilisé comme un commutateur en conduction ( $R_{ON}$ ) est inversement proportionnelle à sa largeur et à sa tension grille-source (équation 3.50). Donc, pour diminuer la résistance d'un commutateur en conduction, il faudra augmenter sa largeur. Mais, vue que la tension de grille est petite (1.5V), il nous fallait des transistors très large (dans certains cas, de l'ordre de 1000  $\mu\text{m}$  et plus!), ce qui est inconcevable. Heureusement, pour notre application, le gain de notre amplificateur programmable ne dépend pas de la résistance  $R_{ON}$ , car nos commutateurs sont connectés à l'entrée négative de l'amplificateur via la borne "Commun". Dans cette situation, il n'y a pas de courant qui circule.

#### **5.4- Recommandations pour des travaux de recherche futurs**

Pour les applications futures nécessitant une plus grande bande passante à -3 dB ainsi qu'une meilleure performance du bruit, nous recommandons l'essai de changer notre étage différentiel de l'entrée conçu avec une paire de transistors NMOS par une paire différentielle bipolaire, car les transistors bipolaires ont de meilleures performances au niveau du bruit et de la vitesse que les transistors MOS. Il serait alors intéressant de voir à quel point on pourrait améliorer la bande passante à -3 dB, la performance du bruit, ou même les deux. Il est important de noter que l'utilisation des transistors bipolaires augmente remarquablement la dissipation de puissance.



Pour des charges trop élevées, on pourrait aussi modifier l'étage de sortie, en mettant des transistors bipolaires à la place des MOS afin d'augmenter le courant de sortie de l'ampli-op qui va attaquer ces charges élevées. Là aussi, il faudra faire très attention au niveau de la consommation de puissance.

Finalement, pour une meilleure testabilité du circuit, nous recommandons de concevoir un circuit autotestable en utilisant la technique T-BIST "Translation Built-In Self Test" qui consiste à rajouter du matériel nécessaire au circuit afin d'automatiser le processus de vérification des paramètres du circuit ou du bloc fonctionnel à savoir si ces derniers sont à l'intérieur de la plage acceptable qui a été préalablement définie. Cette plage correspond en fait à l'intervalle à l'intérieur duquel la déviation du paramètre testé autour de sa valeur nominale est jugée acceptable. La technique est basée sur la conversion de chaque paramètre testé en une tension DC proportionnelle. Cette tension peut alors être facilement manipulée et comparée. Le test de chaque paramètre se ramène à comparer cette tension DC à deux tensions de références externes au circuit, délimitant la plage dite acceptable. Le résultat de la comparaison (une valeur binaire) est sauvegardé dans un registre à décalage pour être lu en série à la fin de la procédure de test. La figure F-1 montre un schéma général de la structure du T-BIST. Un peu plus de détails sur cette méthode de test se trouvent à l'annexe F.

### 5.5- Conclusion

Au cours de ce projet, nous avons conçu un amplificateur opérationnel programmable dédié à des capteurs implantables, opérant à une tension d'alimentation de 1.5 V. Nous avons pu rencontrer toutes les spécifications et exigences fixées au départ

Enfin, nous avons trouvé ce projet très intéressant. Cela nous a permis d'étudier les principales techniques de conception des circuits analogiques et mixtes opérant à des tensions d'alimentation faibles, je dois avouer que j'ai éprouvé quelques difficultés au niveau de la conception de cet AOP notamment au niveau de la mise en saturation des transistors de l'ampli-op et de la conception des commutateurs analogiques. Malgré que la structure du circuit était en apparence simple, les divers techniques de conception à faibles tensions d'alimentation l'ont rendu très difficiles . Il aurait été très intéressant et formateur si nous avions pu faire des mesures sur la puce fabriquée à la Société Canadienne de Micro-électronique.

## RÉFÉRENCES

- [ALL95] ALLEN, P.E. and GABRIEL, A. RINCON, A, (1995) "A 1 V CMOS opamp using bulk driven MOSFETS", in IEEE International Solid-State Circuits Conference, pp. 192-193.
- [ALL87] ALLEN, P.E. and HOLBERG, D.R (1987) "CMOS Analog Circuit Design", HRW Series in Electrical and Computer Engineering.
- [AGA86] AGARWAL, V. K. (1986) "Easily Testable PLA Design", VLSI Testing, Elsevier Science Publishers.
- [BEL95] BELLAOUAR, A. and AL. MASRI, M.(1995) "Low-Power Digital VLSI Design Circuits and Systems", Kluwer Academic Publishers.
- [BRU95] BRUUN E. And SHAH, P. (1995) "Dynamic range of Low-Voltage Cascode Current Mirrors", IEEE Journal of Solid State Circuits, pp. 1328-1331.
- [BRU94] BRUUN, E.(1994) "A high Speed CMOS Current Opamp for Very Low Supply Voltage Operation", in IEEE International Symposium on Circuits and systems, Vol. 5, pp. 509-512.
- [COB94] COBAN, A.L. and ALLEN, P.E.(1994) "A 1.75 V rail-to-rail CMOS opamp", IEEE International Symposium on Circuits and Systems, pp. 497-500.

- [CRA92] CRAWLEY P. J. and ROBERTS, G.W. (1992) "High-Swing MOS Current Mirror with Arbitrarily Output Resistance", Electron. Lett., Vol. 28, pp. 361-362.
- [CRA93] CRAWLEY P. J. and ROBERTS, G.W. (1993) "Designing Operational Transconductance Amplifiers for Low Voltage operation", IEEE International Symposium on Circuits and Systems, pp. 1455-1458.
- [ESC94] ESCHAUZIER, R.G.H., HOGERVOST, R. and HUIJSING, J. (Dec. 1994) "A Programmable CMOS Class-AB Operational Amplifier with Hybrid Nested Miller Compensation for 120 dB Gain and 6MHz UGF", IEEE Trans. on Solid State Circuits, Vol. 12.
- [GRA94] GRAY P. R. and MEYER, R. G. (1993) "Analysis and Design of Analog Integrated Circuits", John Wiley & Sons, Third Edition.
- [HUI93a] HUIJSING, J. H., HOGERVORST, R. And DE LANGEN, K.-J.(1993) "Low-voltage low-power amplifiers", IEEE International Symposium on Circuits and Systems, pp. 1443-1446.
- [HUI93b] HUIJSING, J. H. VAN DER PLASSCHE, R. J. And SANSEN, W. (1993) "Analog Circuit Design", Kluwer Academic Publishers.
- [KRU81] KRUMMENACHER, F. (1981) "A High voltage gain CMOS OTA for micropower SC filters", Electronics Letters, vol. 17, pp 160-162.
- [MAT92] MATLAB, (Août 1992) "High Performance Numeric Computation and Visualization Software", Math Works Inc.

- [MAX96] GIFFORD, J. President, (1996) "Maxim's analog switches and multiplexers lead the industry in low voltage low leakage, and high performance", Maxim Engineering Journal, pp. 03-14.
- [OUI97] OUICI, K. and SAWAN, M. (1997) "Low-Power Low-Voltage Amplifier Dedicated to Implantable Sensors", à paraître dans IEEE, 4 th ICECS 97.
- [PRO97] PROVOST, B. And SAWAN, M. (1997) "A Proposed New Bladder Volume Monitoring Device Based On Impedance Measurement", à paraître dans Med. Biol. Eng. Comp.
- [SAK95] SAKURAI, S. and ISMAIL, M.(1995) "Low Voltage CMOS Operational Amplifiers Theory Design and Implementation", Kluwer Acad. Publisher.
- [SAW97] SAWAN, M., ARABI, K. and PROVOT, B. (1997) "Implantable Volume Monitor and Miniaturized Stimulator Dedicated to Bladder Control", International. Society for Artificial Organs.
- [SLA94] SLAMANI, M. , KAMINSKA, B. (October 1994) "T-BIST : A Built- In Self Test for Analog Circuit Based on Parameter Translation", Inter. T.C.
- [TIN91] TINDER, R. F.(1991) "Digital Engineering Design, A Modern Approach", Prentice Hall Inc.
- [YUH93] YU, P.G. and LEE, H. S. (Dec. 1993) " A high swing 2 V CMOS Amplifier with replica-amp gain enhancement", IEEE Journal of Solid State Circuits, Vol. 28, pp. 1265-1272.

## ANNEXE A

### Méthode et tableaux importants pour le calcul

#### I- Transformation d'un circuit CMOS $2\mu\text{m}$ en une autre technologie BiCMOS $0.8$

$\mu\text{m}$

Cette méthode n'est pas générale, mais nous tenons à la présenter car elle nous a aidé énormément lors de la conception des différents circuits que nous avons eu à faire. L'indice B représente la technologie BiCMOS, tandis que l'indice C représente la technologie CMOS. Pour avoir les mêmes performances, il faut garder les mêmes conditions d'opérations à savoir  $V_{DD}$ ,  $V_{SS}$ ,  $I_{SS}$  (courant de polarisation). Il est clair que les paramètres de la technologie changent d'une technologie à une autre, tels que  $V_T$ ,  $\mu_{0n}$ ,  $\mu_{0p}$  et  $C_{OX}$ . Considérant un transistor dans le circuits fait avec la technologie CMOS  $2\mu\text{m}$  et nous allons montrer comment on peut le transformer dans la technologie BiCMOS  $0.8\mu\text{m}$ . La transconductance du transistor fait avec la technologie CMOS est donnée par la relation suivante:

$$g_{mC} = \sqrt{I_{DC} \left( \frac{2K_C W_C}{L_C} \right)} \quad (\text{a.1})$$

Et, la transconductance du transistors fait avec la technologie BiCMOS est :

$$g_{mB} = \sqrt{I_{DB} \left( \frac{2K_B W_B}{L_B} \right)} \quad (\text{a.2})$$

Où  $K_C$  et  $K_B$  sont le produit de  $\mu_0$  et  $C_{OX}$  pour chaque technologie, nous voulons obtenir au-moins les mêmes performances (même transconductance  $\Rightarrow$  même courant) alors on peut égaliser les deux équations (a.1) et (a.2) alors on obtient :

$$\frac{W_B}{L_B} = \frac{K_C}{K_B} \frac{W_C}{L_C} \quad (a.3)$$

Voilà donc un moyen, de transformer les rapports  $W/L$  de tous les transistors d'un circuit connu (technologie et architecture) en une technologie donnée sans modifier son architecture.

## II- Quelques tableaux importants pour le calcul du circuit

Tableau A.1: Quelques constantes pour le silicium

Symbole des constantes	Description des constantes	Valeurs	Unités
$V_{G0}$	Silicon bandgap(27°C)	1,205	Volts
k	Constante de Boltzmann	$1,381.10^{-23}$	Joules/°K
$n_i$	concentration intrinsèque	$1,45.10^{10}$	$cm^{-3}$
$\epsilon_{Si}$	Permittivité du silicium	$1,0359.10^{-12}$	Farads/cm

**Tableau A.2:** Les paramètres du modèle des transistors MOS tirés du modèle Hspice de la technologie BiCMOS 0.8 $\mu$ m

Symbole des paramètres	Descriptions des paramètres	Valeurs des paramètres PMOS	Valeurs des paramètres NMOS	Unités
$V_{TO}$	Tension seuil ( $V_{BS}=0$ )	-0,902	0,8115	Volts
$K_{sat}$	Paramètre de la transconductance (en saturation)	15,09	44,49	$\mu A/Volts^2$
$K_{nonsat}$	Paramètre de la transconductance (en nonsaturation)	30,18	88,98	$\mu A/Volts^2$
GAMMA	Paramètre du seuil du substrat	1,39	0,557	(Volts) <sup>1/2</sup>
LAMDA "par default"	Paramètre de la modulation de la longueur du canal	0	0	(Volts) <sup>-1</sup>
$2 \Phi $	Potentiel de la surface à une forte inversion	0,75	0,763	Volts)



## **ANNEXE B**

### **Résultats de simulation des différents paramètres**

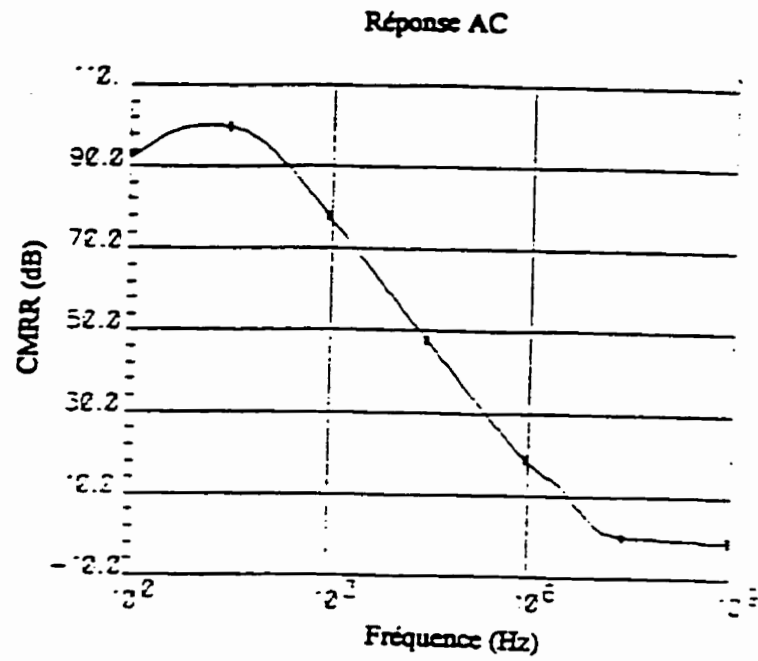


Figure B-1 : Illustration de la mesure du «CMRR».

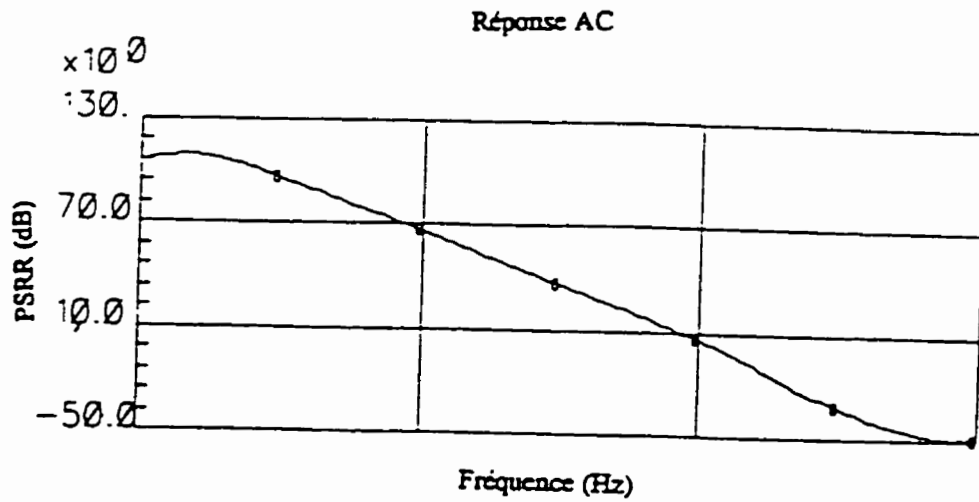


Figure B-2 : Illustration de la mesure du «PSRR».

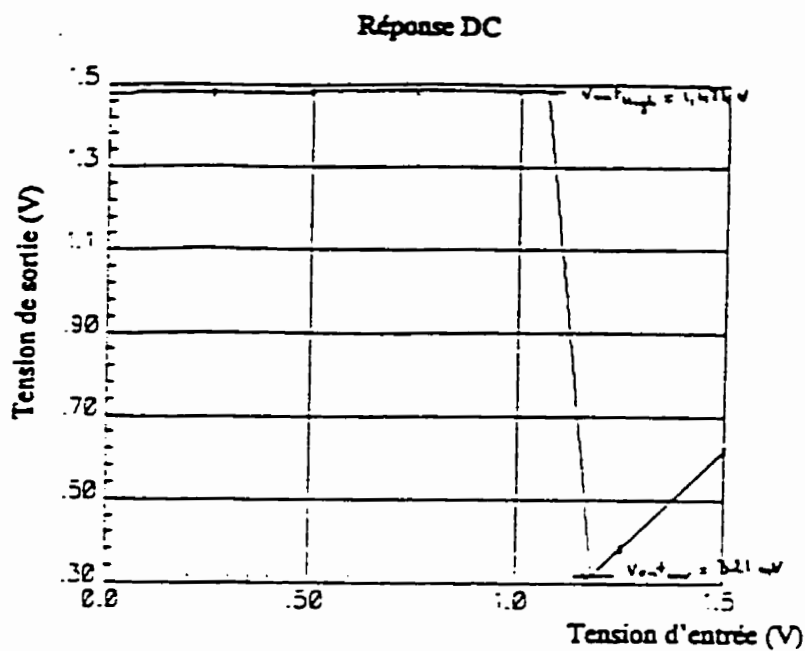


Figure B-3 : Illustration de la mesure de l'excursion de la tension de sortie.

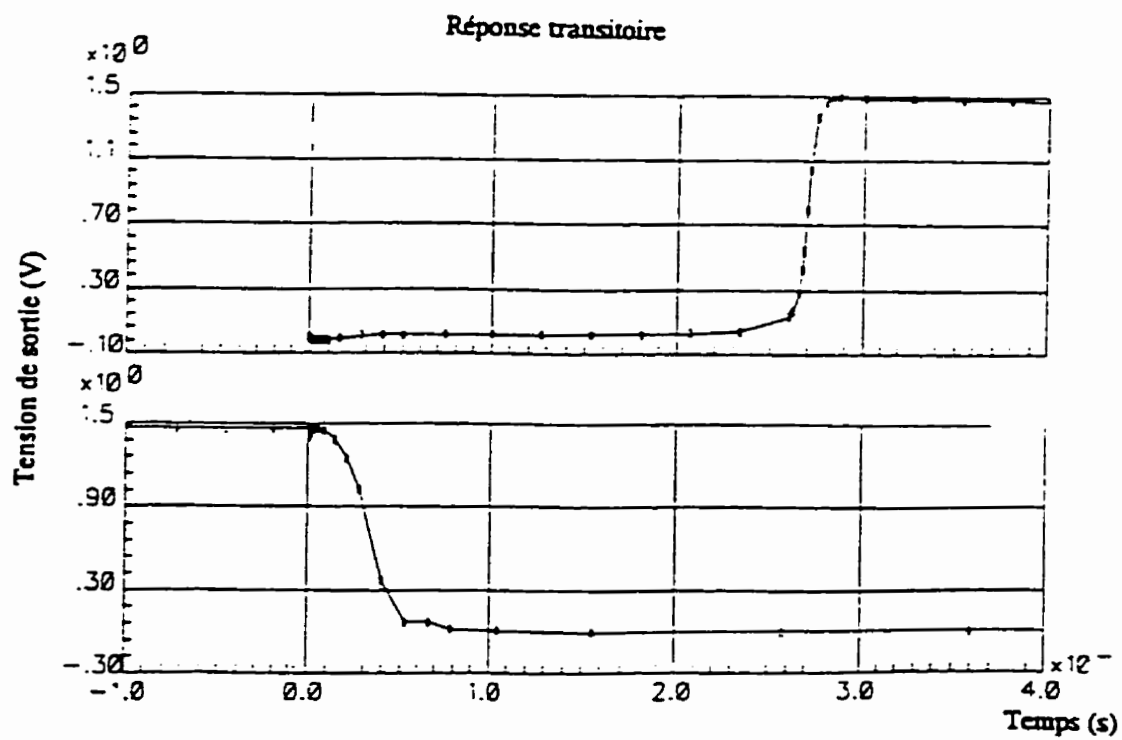


Figure B-4 : Illustration de la mesure de la pente limite du signal de sortie.

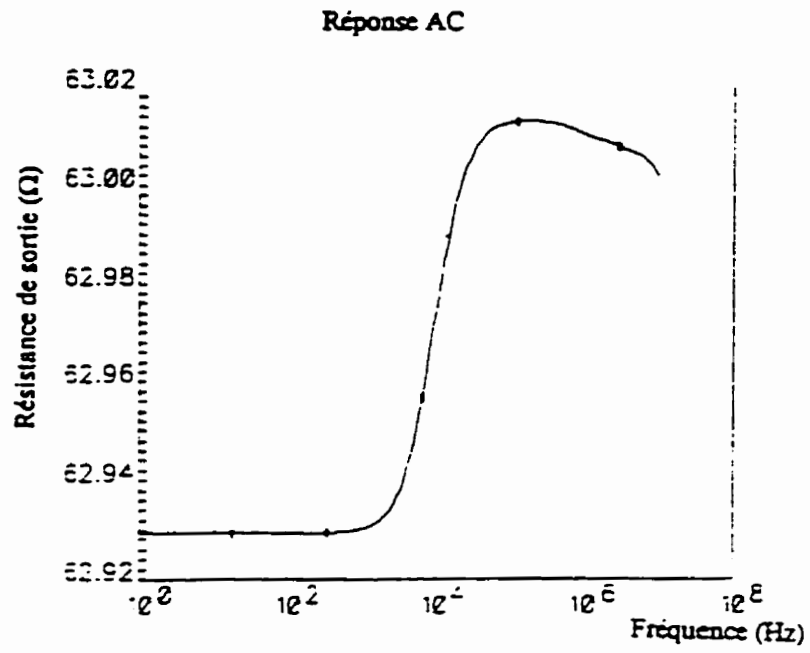
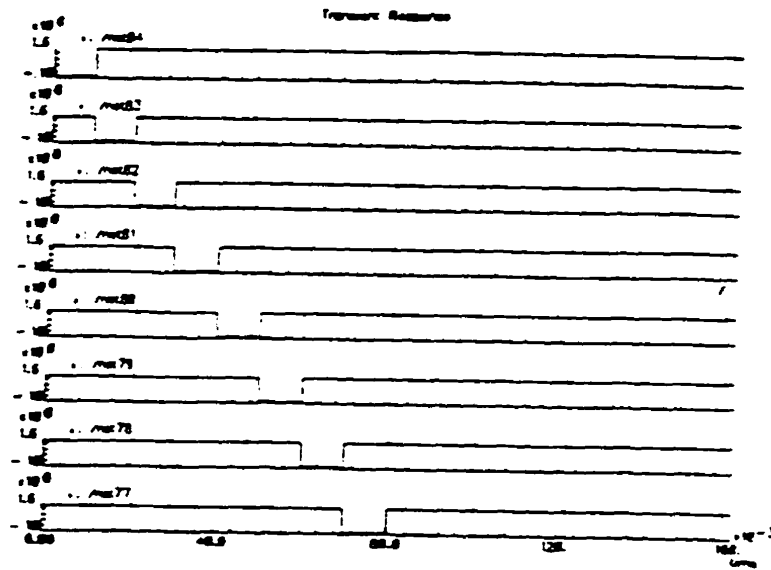
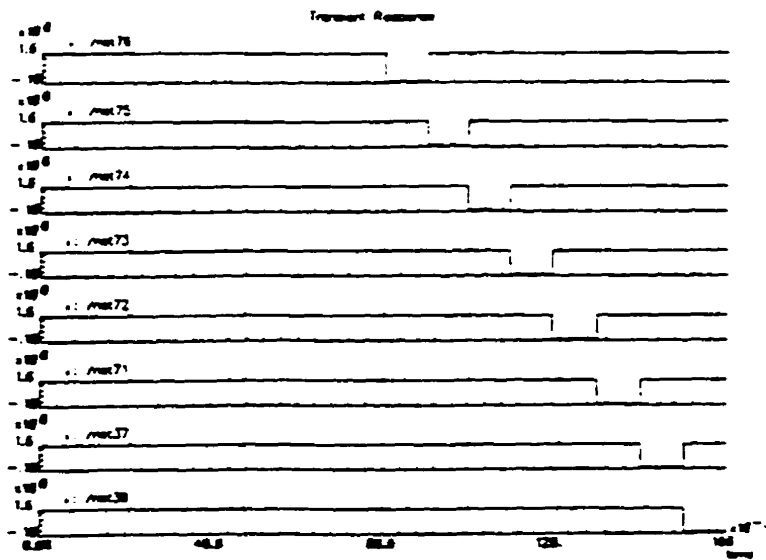


Figure B-5 : Illustration de la mesure de la résistance de sortie.



(a)



(b)

Figure B-6 : Résultats de simulation du décodeur 4-16 (a) Les 8 LSB (b) Les 8 MSB.

## **ANNEXE C**

**Fichiers de simulation Spice de notre amplificateur  
opérationnel programmable**

### Fichier de simulation de l'ampli-op. programmable

```

* # FILE NAME: /MNT/FREIA/1/OUICI/SIMULATION/
XI176 NET81 NET63 NET60 NET177 NET176 NET166 NET56 NET55 NET54 NET53 NET52
+NET51 NET167 NET49 NET168 NET174 NET46 NET59 NET33 NET76 NET110 NET68
NET173
+NET70 NET47 NET88 NET73 NET163 NET164 NET43 NET67 NET32 NET39 NET61 NET40
+SUB11
XI174 NET59 NET33 NET76 NET110 NET68 NET173 NET70 NET47 NET88 NET73 NET163
+NET164 NET43 NET67 NET32 NET39 NET3 NET40 SUB12
XI165 NET63 NET60 NET177 NET176 NET166 NET56 NET55 NET54 NET53 NET52 NET51
+NET167 NET49 NET168 NET174 NET46 NET78 NET44 NET169 NET42 NET61 NET40
SUB13
CI27 NET3 NET23 1E-12
CI28 NET1 NET15 1E-12
I14 NET22 NET34 DC=5E-6 M=1.0
I13 NET7 NET8 DC=5E-6 M=1.0
VI36 NET58 NET45 AC 1E-6 SIN 1.1 1E-6 1E3
RI158 NET40 0 1.0
RI160 NET104 0 1.0
RI170 NET283 0 1.0
RI167 NET287 0 1.0
RI169 NET285 0 1.0
RI159 NET79 0 1.0
RI37 NET45 0 1.0
RI29 NET23 0 1.0
RI30 NET15 0 1.0
RI7 NET19 0 1.0
RI6 NET13 0 1.0
RI3 NET16 0 1.0
RI2 NET8 0 1.0
VI161 NET61 NET104 1.5
VI10 NET190 NET13 1.1
VI1 NET22 NET16 1.5
XIO NET7 NET34 NET190 NET18 NET58 NET81 NET3 NET1 NET122 NET31 NET22 NET8
+SUB14
.LIB '/mnt/freia/1/ouici/BICMOS.hspice' TYPICAL
CI86 NET122 NET3 +2.00000000E-12
CI87 NET31 NET1 +2.00000000E-12
VI162 NET78 NET79 +0.00000000E+00
VI171 NET42 NET283 +0.00000000E+00
VI168 NET169 NET285 +0.00000000E+00
VI166 NET44 NET287 +0.00000000E+00
VI11 NET18 NET19 -5.00000000E-01
.SUBCKT SUB2 COMMUN TP VON VDD VSS
MI50 COMMUN NET19 TP 0 MNCH L=+8.00000000E-07 W=+1.80000000E-06
+AD=+3.78000000E-12 AS=+3.78000000E-12 PD=+7.80000000E-06 PS=+7.80000000E-06
MI48 TP VON COMMUN VDD MPCH L=+8.00000000E-07 W=+3.60000000E-06
+AD=+7.56000000E-12 AS=+7.56000000E-12 PD=+1.14000000E-05 PS=+1.14000000E-05
XI28 VON NET19 VDD VSS SUB1
.ENDS SUB2

```

```

.SUBCKT SUB11 COMMUN S0 S1 S2 S3 S4 S5 S6 S7 S8 S9 S10 S11 S12 S13 S14 S15 TP0
+TP1 TP2 TP3 TP4 TP5 TP6 TP7 TP8 TP9 TP10 TP11 TP12 TP13 TP14 TP15 VDD VSS
XI54 COMMUN TP15 S15 VDD VSS SUB2
XI15 COMMUN TP1 S1 VDD VSS SUB2
XI14 COMMUN TP0 S0 VDD VSS SUB2
XI13 COMMUN TP2 S2 VDD VSS SUB2
XI12 COMMUN TP3 S3 VDD VSS SUB2
XI11 COMMUN TP4 S4 VDD VSS SUB2
XI10 COMMUN TP5 S5 VDD VSS SUB2
XI9 COMMUN TP6 S6 VDD VSS SUB2
XI8 COMMUN TP7 S7 VDD VSS SUB2
XI6 COMMUN TP14 S14 VDD VSS SUB2
XI5 COMMUN TP13 S13 VDD VSS SUB2
XI4 COMMUN TP12 S12 VDD VSS SUB2
XI3 COMMUN TP11 S11 VDD VSS SUB2
XI2 COMMUN TP10 S10 VDD VSS SUB2
XI1 COMMUN TP8 S8 VDD VSS SUB2
XI0 COMMUN TP9 S9 VDD VSS SUB2
.ENDS SUB11
.SUBCKT SUB8 D G S
MI1 D G S 0 MNCH L=16E-6 W=37.3E-6 AD=+7.83300000E-11 AS=+7.83300000E-11
+PD=+7.88000000E-05 PS=+7.88000000E-05
MI0 D G S 0 MNCH L=16E-6 W=37.3E-6 AD=+7.83300000E-11 AS=+7.83300000E-11
+PD=+7.88000000E-05 PS=+7.88000000E-05
.ENDS SUB8
.SUBCKT SUB5 D G S
MI9 D G S 0 MNCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI8 D G S 0 MNCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI7 D G S 0 MNCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI6 D G S 0 MNCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI5 D G S 0 MNCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI4 D G S 0 MNCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI3 D G S 0 MNCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI2 D G S 0 MNCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI1 D G S 0 MNCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI0 D G S 0 MNCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
.ENDS SUB5

```



```

.SUBCKT SUB3 A1 A2 A3 A4 OPB VDD VSS
MI33 OPB A3 VDD VDD MPCH L=800E-9 W=3.8E-6 AD=7.98E-12 AS=7.98E-12 PD=11.8E-6
+PS=11.8E-6
MI34 OPB A2 VDD VDD MPCH L=800E-9 W=3.8E-6 AD=7.98E-12 AS=7.98E-12 PD=11.8E-6
+PS=11.8E-6
MI35 OPB A1 VDD VDD MPCH L=800E-9 W=3.8E-6 AD=7.98E-12 AS=7.98E-12 PD=11.8E-6
+PS=11.8E-6
MI32 OPB A4 VDD VDD MPCH L=800E-9 W=3.8E-6 AD=7.98E-12 AS=7.98E-12 PD=11.8E-6
+PS=11.8E-6
MI29 NET41 A3 NET44 0 MNCH L=800E-9 W=6.8E-6 AD=14.28E-12 AS=14.28E-12
+PD=17.8E-6 PS=17.8E-6
MI30 NET34 A2 NET41 0 MNCH L=800E-9 W=6.8E-6 AD=14.28E-12 AS=14.28E-12
+PD=17.8E-6 PS=17.8E-6
MI31 OPB A1 NET34 0 MNCH L=800E-9 W=6.8E-6 AD=14.28E-12 AS=14.28E-12
+PD=17.8E-6 PS=17.8E-6
MI28 NET44 A4 VSS 0 MNCH L=800E-9 W=6.8E-6 AD=14.28E-12 AS=14.28E-12
+PD=17.8E-6 PS=17.8E-6
RI27 VSS 0 1.0
.ENDS SUB3
.SUBCKT SUB12 TP0 TP1 TP2 TP3 TP4 TP5 TP6 TP7 TP8 TP9 TP10 TP11 TP12 TP13 TP14
+TP15 TOP VSS
RI16 VSS TP0 +8.85000000E+01
RI15 TP0 TP1 +3.65000000E+01
RI14 TP1 TP2 +5.15000000E+01
RI13 TP2 TP3 +7.25000000E+01
RI12 TP3 TP4 +1.02450000E+02
RI11 TP4 TP5 +1.43500000E+02
RI10 TP5 TP6 +2.00000000E+02
RI9 TP6 TP7 +2.83000000E+02
RI8 TP7 TP8 +3.92000000E+02
RI7 TP8 TP9 +5.42500000E+02
RI6 TP9 TP10 +7.49500000E+02
RI5 TP10 TP11 +1.01950000E+03
RI4 TP11 TP12 +1.36350000E+03
RI3 TP12 TP13 +1.79500000E+03
RI2 TP13 TP14 +2.31700000E+03
RI1 TP14 TP15 +2.86150000E+03
RI0 TP15 TOP +3.79810000E+04
.ENDS SUB12
.SUBCKT SUB10 BULK D G S
MI29 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI23 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI22 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI21 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI20 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI19 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11

```







```

MI18 OPB A VDD VDD MPCH L=800E-9 W=6.8E-6 AD=14.28E-12 AS=14.28E-12 PD=17.8E-6
+PS=17.8E-6
MI17 OPB A VSS 0 MNCH L=800E-9 W=3.8E-6 AD=7.98E-12 AS=7.98E-12 PD=11.8E-6
+PS=11.8E-6
RI12 VSS 0 1.0
.ENDS SUB1
.SUBCKT SUB14 A B VBIASN VBIASP N1 N4 N5 N0 N2 N3 VDD VSS
XI247 VDD A VBIASP NET67 SUB4
XI227 N5 B VSS SUB5
XI226 N0 B VSS SUB5
XI224 VDD N0 N3 VDD SUB6
XI225 VDD N5 N2 VDD SUB6
XI223 NET161 B VSS SUB7
XI221 B VBIASN NET161 SUB7
XI222 NET98 B VSS SUB7
XI220 N2 N1 NET98 SUB8
XI219 N3 N4 NET98 SUB8
XI215 VDD NET75 A VDD SUB9
XI267 VDD N3 VBIASP NET75 SUB9
XI268 VDD N2 VBIASP NET71 SUB9
XI217 VDD NET71 A VDD SUB9
XI213 VDD NET67 A VDD SUB10
.ENDS SUB14
.SUBCKT SUB13 S0 S1 S2 S3 S4 S5 S6 S7 S8 S9 S10 S11 S12 S13 S14 S15 N1 N2 N3
+N0 VDD VSS
XI59 N2 NET42 VDD VSS SUB1
XI58 N3 NET38 VDD VSS SUB1
XI57 N0 NET39 VDD VSS SUB1
XI56 N1 NET41 VDD VSS SUB1
XI91 N0 N3 N2 N1 S15 VDD VSS SUB3
XI92 N0 NET38 NET42 N1 S9 VDD VSS SUB3
XI93 N0 NET38 N2 NET41 S10 VDD VSS SUB3
XI94 N0 N3 NET42 NET41 S12 VDD VSS SUB3
XI95 N0 N3 NET42 N1 S13 VDD VSS SUB3
XI96 N0 NET38 NET42 NET41 S8 VDD VSS SUB3
XI97 N0 NET38 N2 N1 S11 VDD VSS SUB3
XI98 N0 N3 N2 NET41 S14 VDD VSS SUB3
XI55 NET39 N3 N2 N1 S7 VDD VSS SUB3
XI49 NET39 NET38 NET42 N1 S1 VDD VSS SUB3
XI50 NET39 NET38 N2 NET41 S2 VDD VSS SUB3
XI52 NET39 N3 NET42 NET41 S4 VDD VSS SUB3
XI53 NET39 N3 NET42 N1 S5 VDD VSS SUB3
XI48 NET39 NET38 NET42 NET41 S0 VDD VSS SUB3
XI51 NET39 NET38 N2 N1 S3 VDD VSS SUB3
XI54 NET39 N3 N2 NET41 S6 VDD VSS SUB3
.ENDS SUB13
.SUBCKT SUB9 BULK D G S
MI54 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05
MI43 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.10000000E-11 AS=+2.10000000E-11
+PD=+2.42000000E-05 PS=+2.42000000E-05

```



```
+PD=+2.4200000E-05 PS=+2.4200000E-05
MI9 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.1000000E-11 AS=+2.1000000E-11
+PD=+2.4200000E-05 PS=+2.4200000E-05
MI8 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.1000000E-11 AS=+2.1000000E-11
+PD=+2.4200000E-05 PS=+2.4200000E-05
MI7 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.1000000E-11 AS=+2.1000000E-11
+PD=+2.4200000E-05 PS=+2.4200000E-05
MI6 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.1000000E-11 AS=+2.1000000E-11
+PD=+2.4200000E-05 PS=+2.4200000E-05
MI5 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.1000000E-11 AS=+2.1000000E-11
+PD=+2.4200000E-05 PS=+2.4200000E-05
MI4 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.1000000E-11 AS=+2.1000000E-11
+PD=+2.4200000E-05 PS=+2.4200000E-05
MI3 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.1000000E-11 AS=+2.1000000E-11
+PD=+2.4200000E-05 PS=+2.4200000E-05
MI2 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.1000000E-11 AS=+2.1000000E-11
+PD=+2.4200000E-05 PS=+2.4200000E-05
MI1 D G S BULK MPCH L=8E-6 W=10E-6 AD=+2.1000000E-11 AS=+2.1000000E-11
+PD=+2.4200000E-05 PS=+2.4200000E-05
.ENDS SUB4
.TRAN 1.00000E-05 0.21000 START= 0.20000
.TEMP 25.0000
.OP
.OPTION INGOLD=2 ARTIST=2 PSF=2
+ PROBE=0
.END
```

## **ANNEXE D**

**Dessin des masques des différentes parties de notre  
amplificateur opérationnel programmable**



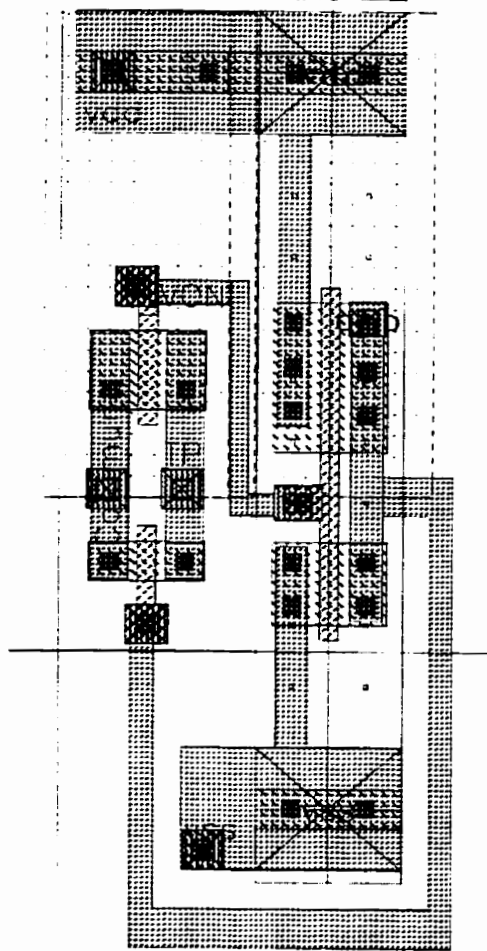
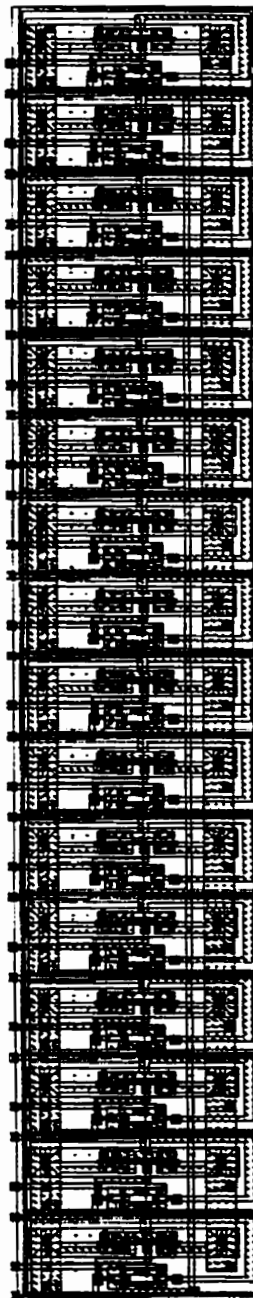


Figure D-1 : Dessin des masques d'un interrupteur



**Figure D-2 :** Dessin des masques du bloc de 16 interrupteurs

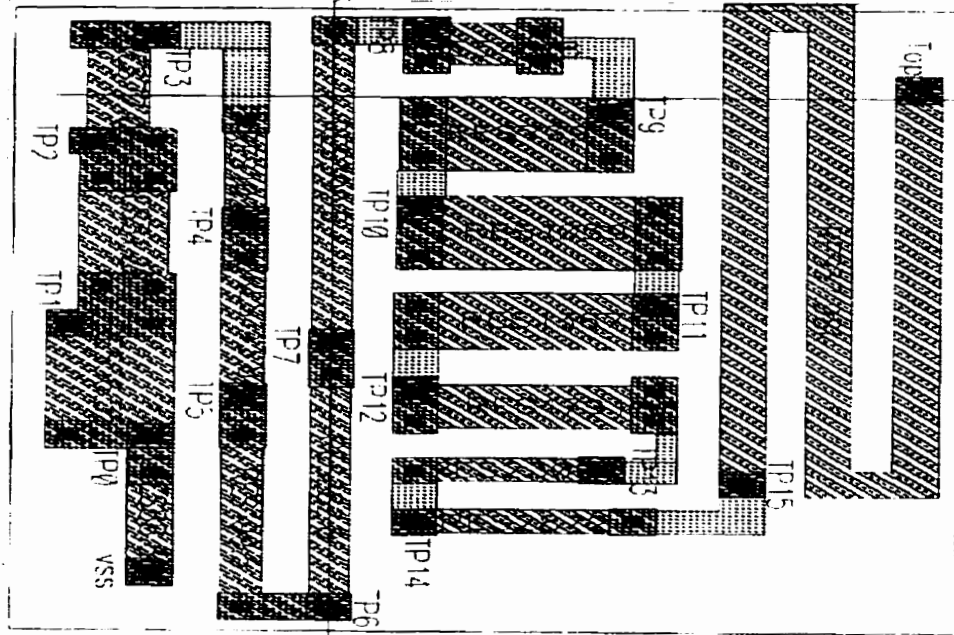


Figure D.3 : Dessin des masques de la résistance  $R_{tot}$

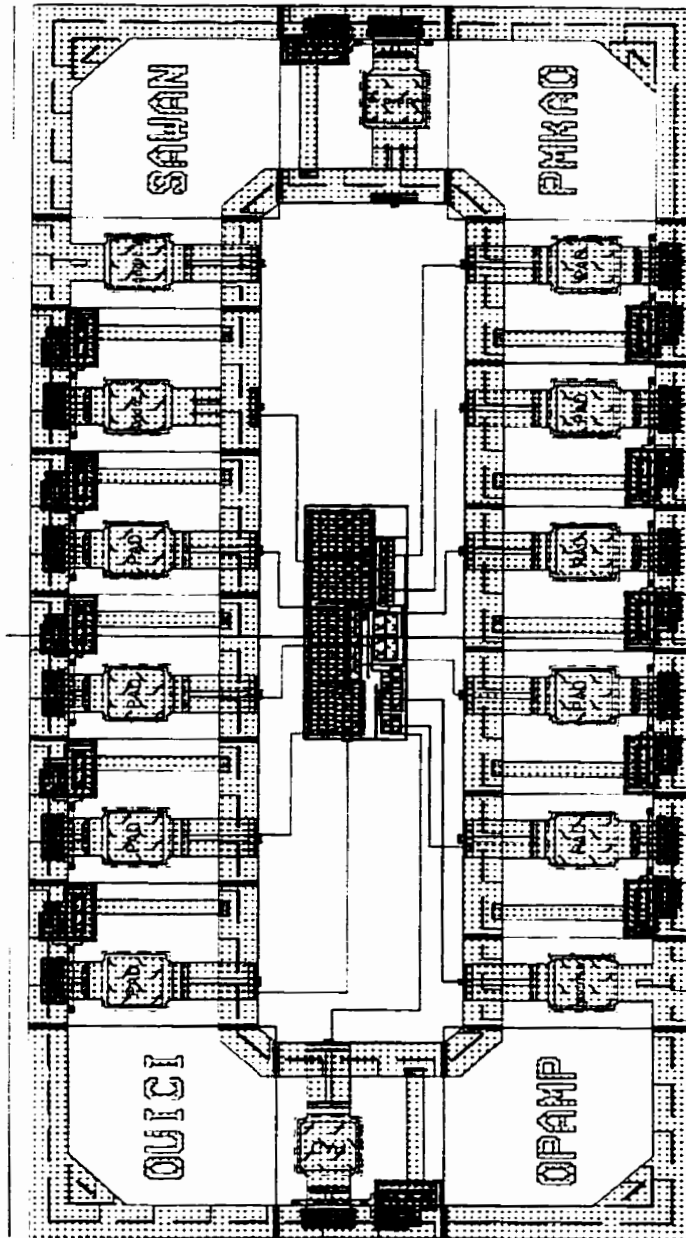


Figure D.4 : Dessin des masques de l'ampli-op. seul

## **ANNEXE E**

### **Rapport du LVS "Layout Vs Schematic"**

```

si: Loading simulation environment file "/mnt/freia/1/ouici/LVS/si.env".
si: Loading user defined simulation run control file
"/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/local/.simrc".
now running "/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/local/.simrc"
function ansLvsCompPrim redefined
finished running "/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/local/.simrc"
si: Loading simulation capabilities file
"/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/etc/skill/si/simcap.ile".
si: The default value of the variable "simReNetlistAll" has been overridden.
si: The default value of the variable "lvsSchematicViewList" has been overridden.
si: The default value of the variable "lvsLayoutViewList" has been overridden.
si: The default value of the variable "applyDeviceFixing" has been overridden.
si: The default value of the variable "lvsNetlistLayout" has been overridden.
si: The default value of the variable "lvsNetlistSchematic" has been overridden.
si: The default value of the variable "correspondenceFile" has been overridden.
si: The default value of the variable "createXref" has been overridden.
si: The default value of the variable "useFileCorrespondence" has been overridden.
si: The default value of the variable "useTerminalCorrespondence" has been overridden.
Running simulation in directory: "/mnt/freia/1/ouici/LVS".

```

```

Begin netlist: Dec 24 17:52:00 1996
library path = "~/cadence
/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/local/lib/bicmos
/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/etc/cdslib
/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/etc/cdslib/artist
/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/samples/artist "
view name list= ("auLvs" "extracted" "netlist" "schematic")
stop name list = ("auLvs")
library name = "maitrise"
config name = nil
cell name = "AMPLILPLV"
view name = "extracted"
version name = nil
globals lib = "basic"

```

#### Netlisting Statistics:

```

Number of components: 236
CPU time: 6.4s (36.78/s)
Elapsed time: 9.0s (26.22/s)

```

```
*Info* Errors: 0 Warnings:0
```

```
End netlist: Dec 24 17:52:10 1996
```

Moving original netlist to extNetlist

Removing parasitic components from netlist

presistors removed: 0  
 pcapacitors removed: 0  
 pinductors removed: 0  
 pdiodes removed: 0  
 trans lines removed: 0  
 21 nodes merged into 21 nodes

Begin netlist: Dec 24 17:52:12 1996

```

library path = "~/cadence
/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/local/lib/bicmos
/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/etc/cdslib
/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/etc/cdslib/artist
/mnt/hagen/1/packages/cds9404/tools.sun4/dfII/samples/artist "
view name list= ("auLvs" "netlist" "schematic" "extracted")
stop name list = ("auLvs")
library name = "maitrise"
config name = nil
cell name = "two_transconductanceLV_V3"
view name = "schematic"
version name = nil
globals lib = "basic"

```

Netlisting Statistics:

Number of components: 236  
 CPU time: 6.7s (35.49/s)  
 Elapsed time: 9.0s (26.22/s)

\*Info\* Errors: 0 Warnings:0

End netlist: Dec 24 17:52:21 1996

Moving original netlist to extNetlist

Removing parasitic components from netlist

presistors removed: 0  
 pcapacitors removed: 0  
 pinductors removed: 0  
 pdiodes removed: 0  
 trans lines removed: 0  
 18 nodes merged into 18 nodes

Running netlist comparison program: LVS  
 Begin comparison: Dec 24 17:52:21 1996  
 LVS version 4.3.3 Fri Nov 11 17:17:03 PST 1994 (cmrd2)  
 Warning: Unknown device "tiedown" on a compareDeviceProperty command.  
 Warning: Unknown device "PTP" on a compareDeviceProperty command.  
 Warning: Unknown device "LRPOLY" on a compareDeviceProperty command.  
 Warning: Unknown device "RPOLY" on a compareDeviceProperty command.  
 Warning: Unknown device "RDIFF" on a compareDeviceProperty command.  
 Warning: Unknown device "RNBL" on a compareDeviceProperty command.  
 Warning: Unknown device "RNBL" on a permuteDevice command.  
 Warning: Unknown device "RDIF" on a permuteDevice command.  
 Warning: Unknown device "LRPOLY" on a permuteDevice command.  
 Warning: Unknown device "RPOLY" on a permuteDevice command.  
 Warning: Unknown device "PTP" on a permuteDevice command.  
 Warning: Unknown device "tiedown" on a permuteDevice command.

The net-lists failed to match.

	layout schematic	
	instances	
un-matched	0	0
rewired	2	0
size errors	0	0
pruned	0	0
active	236	236
total	236	236

	nets	
un-matched	0	0
merged	0	0
pruned	0	0
active	18	18
total	18	18

	terminals	
un-matched	0	0
total	11	11

End comparison: Dec 24 17:52:28 1996  
 Comparison program completed successfully.



## ANNEXE F

### Principe du T-BIST

La figure F-1 montre la structure générale du T-BIST. Elle contient un ensemble d'interrupteurs permettant d'isoler les différents blocs fonctionnels du circuit afin de les tester individuellement. Le fait de diviser le circuit en blocs fonctionnels permet d'augmenter la contrôlabilité et l'observabilité et par le fait même la précision du diagnostic. Un multiplexeur analogique permet également de sélectionner la sortie du bloc fonctionnel que l'on désire tester. Le circuit de détection et de conversion contient

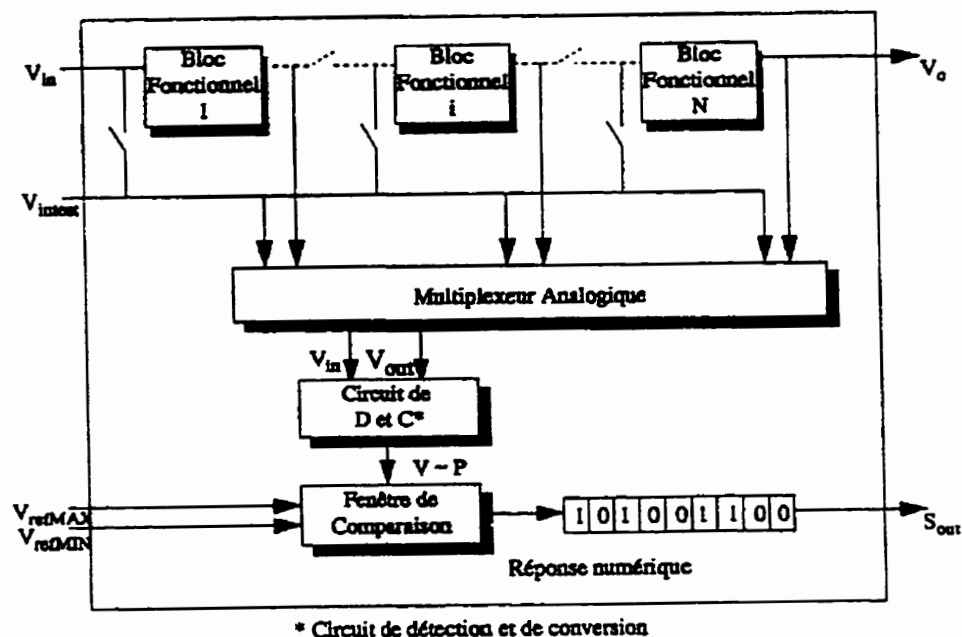


Figure F-1 : Schéma général de la structure du T-BIST, d'après [SLA94].

un ensemble de modules de conversion des paramètres testés en des tensions DC: gain, phase, constante de temps, etc. Il est à noter que le nombre de modules de conversion

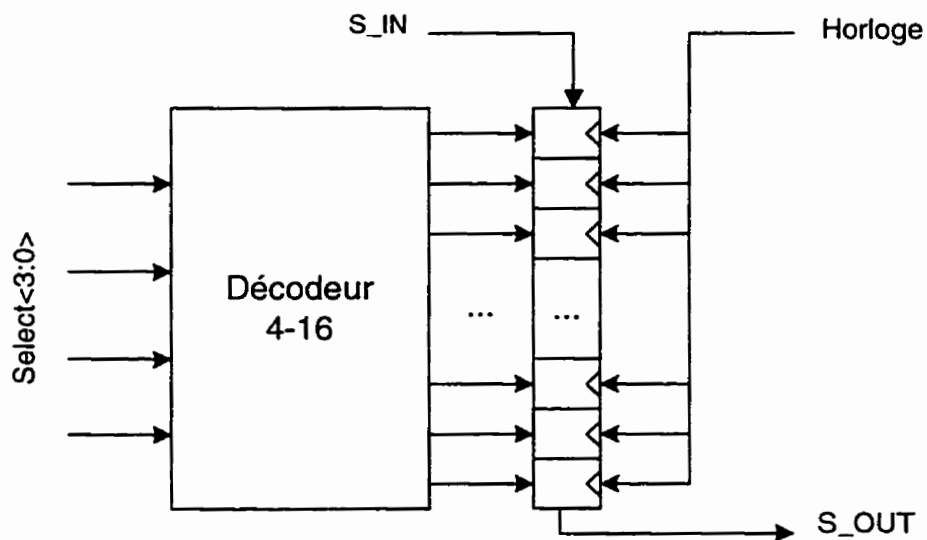
n'augmente pas nécessairement linéairement avec le nombre de paramètres différents à tester puisqu'un même module peut être utilisé pour convertir plusieurs paramètres différents. Le résultat de la conversion est envoyé à une fenêtre de comparaison servant à comparer la tension DC proportionnelle au paramètre testé à 2 tensions externes  $V_{ref.MIN}$  et  $V_{ref.MAX}$ .

#### **A- Test du sélecteur du gain**

Le sélecteur du gain constitue la seule partie numérique du circuit. Étant donné que sa structure est semblable à celle du plan ET d'un PLA pseudo-NMOS. Il semble logique d'utiliser les modèles de défauts des PLA pour caractériser les défauts présents dans cette partie du circuit. D'après [AGA86], la majorité des pannes simples d'un PLA peuvent être couvertes par le modèle de défauts de type « crosspoint ». Un défaut de type « crosspoint » correspond à la présence ou à l'absence non-intentionnelle d'un transistor dans le plan ET ou le plan OU d'un PLA.

Dans le cas du décodeur 4-16, une panne simple non-redondante de type « crosspoint » peut soit activer une sortie normalement inactive dans un circuit sans panne, soit ne pas activer une sortie normalement active dans un circuit sans panne. La procédure de test du décodeur peut être simplifiée en tenant compte de la fonction réalisée par le circuit. En effet, pour ce circuit, chacun des termes produits (sorties du décodeur) dépend de 4 bits

d'entrées et pour chacune des combinaisons, un seul terme produit est activé. Le test complet du décodeur 4-16 peut donc être effectué en contrôlant individuellement chacun des 4 bits d'entrées et en observant les termes produits. Pour améliorer la précision du diagnostique, il serait possible d'ajouter une chaîne de bascule D (optionnel, il n'augmente pas la couverture) pour être en mesure d'observer les 16 sorties. Cette structure (figure F-2) permet de tester le sélecteur de gain de façon totalement indépendante aux autres parties du circuit. De plus, dans notre application, l'AOP fait partie d'un plus gros circuit mixte, il serait avantageux de relier cette chaîne à celle de balayage globale. La décision d'augmenter la précision ou non dépend des objectifs de test et de la surface du silicium supplémentaire qu'on est prêt à sacrifier pour le test.



**Figure F-2 :** Chaîne de bascule ajoutée pour améliorer l'observabilité des sorties du décodeur.

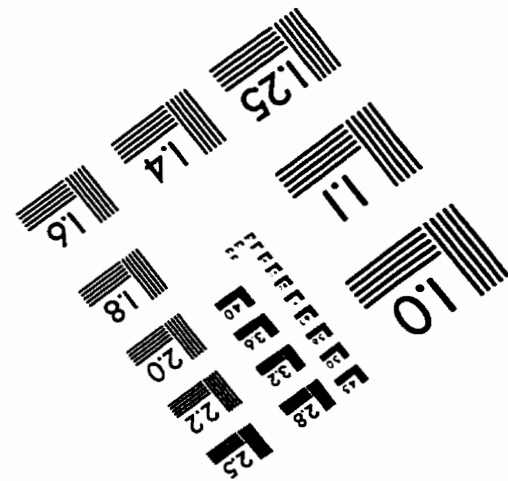
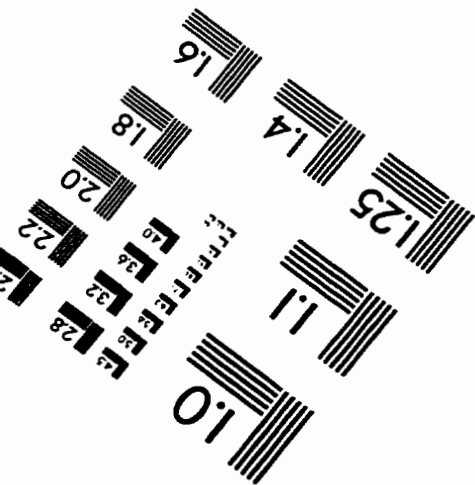
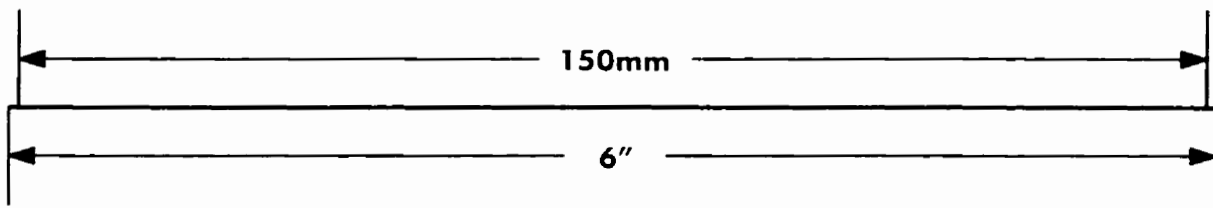
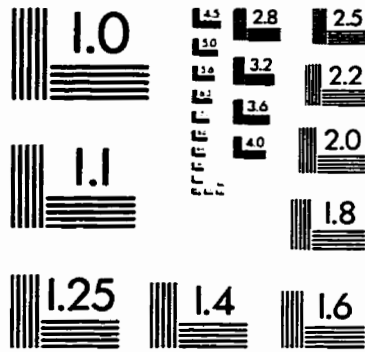
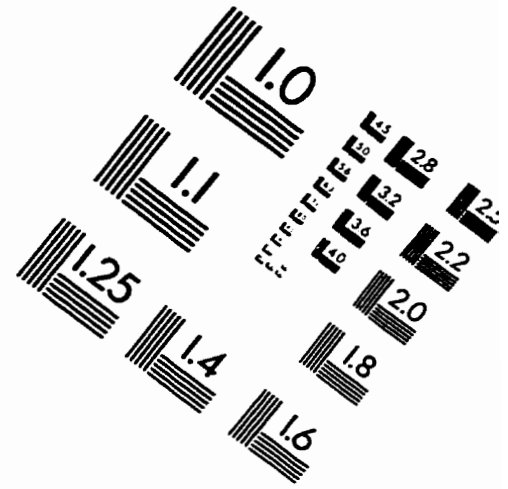
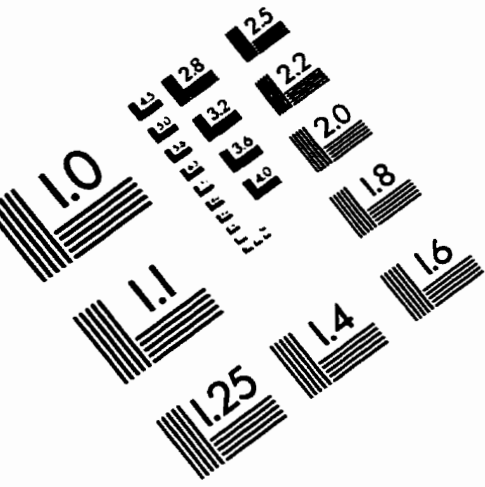
## **B- Utilisation du T-BIST pour le test de l'amplificateur opérationnel à gain programmable**

Dans le cas où l'amplificateur à gain programmable est une composante d'un plus gros circuit (implant urinaire), ce dernier peut être considéré comme un bloc fonctionnel. Le test au niveau de ce bloc fonctionnel consiste à tester sa fonctionnalité générale et, avec l'aide des techniques basées sur le calcul de la sensibilité [SLA94], à tester les composantes du bloc fonctionnel à savoir les résistances  $R_{t1}(i)$  et  $R_{t2}(i)$  pour les différentes valeurs  $i$  des bits de sélection du gain. S'il n'est pas nécessaire de résoudre le problème d'équivalence des pannes de  $R_{t1}(i)$  et  $R_{t2}(i)$ , le simple test des valeurs de gain du circuit pour les différentes valeurs des bits de sélection est probablement suffisant. Dans ce cas, la structure T-BIST permet de vérifier les valeurs de gain et même le circuit automatiquement. Dans ce cas, le test au niveau du bloc fonctionnel débute en configurant l'amplificateur à gain programmable en convertisseur courant-tension. En considérant le « gain »  $V_o/I_i$  comme paramètre de sortie et en utilisant le détecteur de gain du circuit de détection et de conversion (Voir figure F-1). Il est possible de vérifier automatiquement et à même le circuit sous-test les résistances  $R_{t2}(i)$  pour chacune des valeurs des bits de sélection du gain. La deuxième partie du test au niveau du bloc fonctionnel consiste à utiliser l'amplificateur à gain programmable numériquement dans son mode normal et à vérifier chacune des valeurs de gain, c'est-à-dire les rapports  $R_{t2}/R_{t1}$  à l'aide du détecteur de gain du circuit de détection et de conversion de la

structure T-BIST. Ces deux mesures devraient permettre de résoudre le problème des équivalences des pannes des résistances, du moins dans le cas des pannes simples («Single faults»).

En ce qui a trait au test de l'amplificateur opérationnel, le deuxième mode de test du T-BIST est suffisamment général pour être applicable directement. Il est donc pas nécessaire de s'étendre davantage sur ce sujet. Les détails de cette procédure sont donnés dans [SLA94].

# IMAGE EVALUATION TEST TARGET (QA-3)



**APPLIED IMAGE, Inc**  
 1653 East Main Street  
 Rochester, NY 14609 USA  
 Phone: 716/482-0300  
 Fax: 716/288-5989

© 1993, Applied Image, Inc., All Rights Reserved