

Titre: Interrupteur haute-tension analogique bidirectionnel intégré avec
Title: limitation de courant et isolation galvanique

Auteur: Justin Pabot
Author:

Date: 2024

Type: Mémoire ou thèse / Dissertation or Thesis

Référence: Pabot, J. (2024). Interrupteur haute-tension analogique bidirectionnel intégré avec
Citation: limitation de courant et isolation galvanique [Mémoire de maîtrise, Polytechnique
Montréal]. PolyPublie. <https://publications.polymtl.ca/59161/>

 **Document en libre accès dans PolyPublie**
Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/59161/>
PolyPublie URL:

**Directeurs de
recherche:** Ahmad Hassan, & Yvon Savaria
Advisors:

Programme: Génie électrique
Program:

POLYTECHNIQUE MONTRÉAL

affiliée à l'Université de Montréal

**Interrupteur haute-tension analogique bidirectionnel intégré avec limitation de
courant et isolation galvanique**

JUSTIN PABOT

Département de génie électrique

Mémoire présenté en vue de l'obtention du diplôme de *Maîtrise ès sciences appliquées*
Génie électrique

Août 2024

POLYTECHNIQUE MONTRÉAL

affiliée à l'Université de Montréal

Ce mémoire intitulé :

Interrupteur haute-tension analogique bidirectionnel intégré avec limitation de courant et isolation galvanique

présenté par **Justin PABOT**

en vue de l'obtention du diplôme de *Maîtrise ès sciences appliquées*
a été dûment accepté par le jury d'examen constitué de :

Tarek OULD-BACHIR, président

Ahmad HASSAN, membre et directeur de recherche

Yvon SAVARIA, membre et codirecteur de recherche

Claude THIBEAULT, membre

DÉDICACE

À ma famille
À mes amis du GR2M

REMERCIEMENTS

Je tiens à remercier mon directeur de recherche, le professeur Ahmad Hassan, pour toute son assistance au cours de ma maîtrise. Il a toujours su se rendre disponible malgré son emploi du temps chargé et a fait preuve d'une grande bienveillance à mon égard tout au long de mon parcours. Il a partagé avec moi son expérience et ses connaissances du monde de la recherche, et m'a poussé à donner le meilleur de moi-même pendant les deux dernières années.

Je souhaiterais aussi remercier mon codirecteur de recherche, le professeur Yvon Savaria, pour m'avoir donné l'opportunité de travailler sur un sujet de recherche aussi passionnant. Son expertise en recherche et ses conseils ont toujours été de grande valeur et m'ont permis d'avancer sereinement dans mon projet.

J'aimerais souligner l'aide qui m'a été apportée par mes amis et collègues du laboratoire, notamment le docteur Mostafa Amer et le docteur Ahmed Abuelnasr qui ont toujours répondu à mes questions au mieux et qui par leur expérience pratique, m'ont prodigué des conseils précis, m'évitant de nombreuses tribulations.

Merci à mon ami Timothée Trembly qui a été de loin la personne avec qui j'ai passé le plus de temps ces deux dernières années. Il m'a apporté un grand soutien, que ce soit au niveau technique ou moral. Mes journées n'auraient jamais été aussi amusantes ou productives sans sa présence.

J'adresse également mes remerciements à l'École Polytechnique de Montréal ainsi qu'au département de Génie Électrique pour m'avoir accueilli. Merci en outre à l'INSA Lyon pour m'avoir donné l'opportunité de réaliser un double diplôme. Je souhaiterais également remercier le Conseil de recherches en sciences naturelles et en génie du Canada (CRSNG) et l'organisme Mitacs pour leur support financier qui ont rendu possible ce projet.

Enfin, merci à toutes celles et ceux qui ont d'une manière ou d'une autre contribué au succès de mon projet de recherche.

RÉSUMÉ

Peu importe leur terrain d'application, les systèmes incluent de plus en plus de capteurs. Ces capteurs doivent ainsi être connectés à des interfaces, souvent basse tension, qui ont besoin d'être protégées de potentiels dommages causés par des perturbations externes. Dans le contexte de solutions industrielles (automobiles par exemple) les capteurs permettant de relever différentes grandeurs physiques sont souvent placés proche de l'armature extérieure des systèmes et sont donc sujets à toutes les agressions extérieures, comme des variations importantes de température ou la foudre frappant le système. Les interfaces doivent être protégées contre les surtensions et les surintensités. Ces dernières peuvent provenir aussi bien d'un défaut de la charge ou du capteur, que d'une surtension prolongée qui augmente le courant traversant la charge. Dans ce travail, nous nous intéressons à la protection contre les surintensités des interfaces électroniques, dans le cadre du projet de développement de solutions intégrées d'interfaces de capteurs présenté dans [1]. L'objectif principal de ce travail est ainsi de développer une protection versatile contre les surintensités qui peut être incluse dans tous les types d'interfaces.

Le premier objectif du projet est d'intégrer la protection dans un seul boîtier afin de limiter au maximum son empreinte dans le système. Cet objectif est réalisé en développant la solution sur une seule puce de silicium, en utilisant le procédé de fabrication XFab XT018. Ce procédé est un procédé Silicon On Insulator (SOI) incluant une isolation profonde appelée Deep Trench Isolation (DTI) permettant des différences de tension internes allant jusqu'à 400 V.

Le deuxième objectif est de rendre la protection la plus versatile possible afin qu'elle puisse servir dans un grand nombre d'interfaces différentes, notamment des interfaces transférant aussi bien de la puissance continue que des signaux électriques alternatifs. La protection prendra ainsi la forme d'un interrupteur analogique avec un circuit de régulation en courant. La régulation en courant en elle-même sera une régulation active, qui sature le courant à la valeur maximale plutôt que d'ouvrir totalement l'interrupteur. Ce mode de fonctionnement permet notamment de continuer à transférer de la puissance pour les interfaces d'alimentation, mais aussi de revenir plus rapidement à un fonctionnement normal lorsque la surintensité disparaît.

La première partie de ce mémoire consiste à réaliser une revue de littérature des solutions existantes, afin de justifier d'une part le besoin pour la protection envisagée, et d'autre part pour définir une architecture cible. Cette dernière étant constituée de composants communs dans les circuits de types Solid State Relay (SSR), le design de chaque composant est discuté dans une section dédiée afin de choisir les circuits les mieux adaptés à une solution

versatile. L'architecture finale est proche d'un circuit SSR mais propose des fonctionnalités supplémentaires dans une même puce, comme la régulation en courant, la protection contre la surchauffe, ou encore une interface de commande le plus simple possible pour une implémentation simple dans de nombreux systèmes. La principale innovation au niveau de l'architecture est l'utilisation d'un lien capacitif pour transmettre à la fois une alimentation isolée à l'interrupteur bidirectionnel, mais aussi le signal de commande de cet interrupteur.

La seconde partie de ce travail est consacrée au design de la protection en elle-même, en se basant sur la revue de littérature. Les circuits implémentés sur puce sont détaillés au niveau transistor. Le circuit de régulation de courant est expliqué en détails, car ce dernier est de conception originale et ne provient pas de la littérature. Il utilise une lecture de courant à base d'un circuit SenseFET, et une comparaison en courant pour obtenir une précision de régulation maximale. Les systèmes sur puce étant complexes à tester, la conception en vue de test est détaillée pour en décrire les enjeux. La topologie de la puce est expliquée, en particulier les entrées et sorties du système. Enfin, on présentera les simulations post-implémentation du système pour en valider le bon fonctionnement. Le circuit implémenté permet notamment une régulation du courant dans les deux sens réglable entre 0 et 350 mA, avec une variation en température et procédé de fabrication inférieure à 20 % dans le pire des cas. Le temps de réaction du circuit de régulation du courant est inférieur à 100 μ s et l'interrupteur peut supporter jusqu'à 200 V entre ses terminaux.

ABSTRACT

Whatever their field of application, systems increasingly include sensors. These sensors must be connected to interfaces, often low-voltage, which must be protected from potential damage caused by external disturbances. In industrial solutions (e.g., automotive), the sensors used to measure various physical quantities are often placed close to the system's external enclosure and are subject to any external aggression, such as significant temperature variations or lightning striking the system. Interfaces must be protected against overvoltage and overcurrent. The latter can be caused by a load or transducer fault or a prolonged overvoltage that increases the current flowing through the load. In this work, we focus on overcurrent protection for electronic interfaces as part of the project to develop integrated sensor interface solutions presented in [1]. The main objective of this work is to develop a versatile overcurrent protection that can be included in all types of interfaces.

The project's first objective is to integrate the protection in a single package to minimize its footprint in the system. This is achieved by developing the solution on a single silicon chip using the XFab XT018 manufacturing process. This process is a Silicon-on-Insulator (SOI) process featuring Deep Trench Isolation (DTI), enabling internal voltage differences of up to 400V.

The second objective is to make the protection as versatile as possible for numerous interfaces, including those transferring DC power and AC electrical signals. The protection will, therefore, take the form of an analog switch with a current regulation circuit. The current regulation will be active, which saturates the current at the maximum value rather than fully opening the switch. This mode of operation enables power to continue to be transferred to the supply interfaces and a quicker return to regular operation when the fault disappears.

The first part of this thesis consists of a literature review of existing solutions to justify the need for the envisaged protection, on the one hand, and to define a target architecture on the other. As the latter comprises components common to Solid State Relay (SSR) circuits, the design of each component is discussed in a dedicated section to select the circuits best suited to a versatile solution. The final architecture is close to that of an SSR circuit. Still, it offers additional functionalities in the same chip, such as current regulation, over-temperature protection, and the most straightforward possible control interface for easy implementation in various systems. The main architectural innovation is using a capacitive link to transmit an isolated power supply to the bidirectional switch and the control signal for this switch.

The second part of this work is dedicated to the protection design itself, based on the lit-

erature review. On-chip circuits are detailed at the transistor level. The current regulation circuit is explained in detail, as it is of original design and not taken from the literature. It uses current sensing based on a SenseFET circuit and current comparison to achieve maximum control accuracy. As systems-on-chip are complex to test, the design for the test is detailed to describe the issues involved. The chip's topology is explained, particularly the inputs and outputs of the system. Finally, post-implementation simulations of the system are presented to validate its correct operation. In particular, the implemented circuit enables current regulation in both directions, adjustable between 0 and 350mA, with a variation in temperature and manufacturing process of less than 20% in the worst case. The reaction time of the current regulation circuit is less than 100 μ s, and the switch can withstand up to 200V between its terminals.

TABLE DES MATIÈRES

DÉDICACE	iii
REMERCIEMENTS	iv
RÉSUMÉ	v
ABSTRACT	vii
TABLE DES MATIÈRES	ix
LISTE DES TABLEAUX	xi
LISTE DES FIGURES	xii
LISTE DES SIGLES ET ABRÉVIATIONS	xiv
LISTE DES ANNEXES	xv
CHAPITRE 1 INTRODUCTION ET CONTEXTE	1
1.1 Contexte technologique	1
1.2 Problématique	1
1.3 Objectifs de recherche	2
1.4 Contributions de ce mémoire	3
1.5 Plan de mémoire	4
CHAPITRE 2 SOLUTIONS DE PROTECTION EXISTANTES	5
2.1 Limites des solutions existantes	5
2.2 Implémentation d'une protection isolée	8
2.2.1 Interrupteur principal	9
2.2.2 Driver de grille	11
2.2.3 Lecture de courant	14
2.2.4 Isolation des entrées	16
2.2.5 Gestion thermique	18
CHAPITRE 3 SOLUTION PROPOSÉE	20
3.1 Architecture générale	20

3.2	Interrupteur principal	22
3.3	Transfert de puissance isolé	23
3.3.1	Oscillateur	24
3.3.2	Pompe de charges	26
3.3.3	Translation de niveau haut-tension	26
3.3.4	Isolation sur une seule puce	29
3.3.5	Rectification	32
3.4	Pilote de grille	34
3.5	Limitation en température	38
CHAPITRE 4 Prototypage et fabrication		42
4.1	Conception en vue de test	42
4.2	Placement et routage	44
4.3	Simulations post placement et routage	45
CHAPITRE 5 CONCLUSION		48
5.1	Synthèse des travaux	48
5.2	Limitations de la solution proposée	50
5.3	Améliorations futures	51
RÉFÉRENCES		53
ANNEXES		57

LISTE DES TABLEAUX

Tableau 3.1	Spécifications de la solution de protection intégrée.	20
Tableau 5.1	Résumé des caractéristiques de la solution de protection.	48
Tableau 5.2	Comparaison des solutions existantes.	49
Tableau B.1	Broches du prototype.	59

LISTE DES FIGURES

Figure 1.1	Environnement de la protection dans le système	2
Figure 2.1	Contraintes et besoins d'un interrupteur de protection polyvalent. . .	6
Figure 2.2	Schéma haut-niveau d'un interrupteur de protection conventionnel. . .	8
Figure 2.3	Solutions courantes pour l'interrupteur principal, (a) MOSFET à 4 terminaux, (b) MOSFET connectés dos à dos avec source commune et (c) drain commun.	10
Figure 2.4	Solutions possibles pour le pilote de grille : (a) condensateur bootstrap et translation de niveau haute tension, (b) translation de niveau haute tension isolée, (c) commande de grille isolée basée sur un transformateur, et (d) interrupteur bootstrap.	12
Figure 2.5	Pilote de grille avec courant de grille isolé, (a) idée principale, (b) technique utilisant deux sources de courant, et (c) solution avec montage suiveur drain commun.	13
Figure 2.6	(a) Schéma de l'interrupteur haute-tension, et (b) le circuit équivalent lorsque l'interrupteur est fermé	14
Figure 2.7	Lecture de courant à travers une résistance shunt.	15
Figure 2.8	Lecture de courant à travers un circuit SenseFET.	16
Figure 2.9	Types de lien d'isolation.	17
Figure 2.10	Références de tension : (a) Référence de Brokaw, et (b) référence hybride bandgap-seuil	18
Figure 3.1	Schéma haut-niveau de la solution de protection proposée. Le miroir de courant n'est représenté que pour une polarité.	21
Figure 3.2	Système de transfert de puissance isolé.	23
Figure 3.3	Oscillateur à base de bascule de Schmitt.	24
Figure 3.4	Signaux de la bascule de Schmitt dans l'oscillateur.	25
Figure 3.5	Pompe de charges du système de transfert de puissance isolé.	26
Figure 3.6	Translation de haut niveau utilisant la sortie de pompe de charges comme alimentation.	27
Figure 3.7	Simulation de la première implémentation de la translation haut-niveau.	28
Figure 3.8	Translation de haut niveau utilisation deux inverseurs en opposition de phase.	29
Figure 3.9	Simulation de la seconde implémentation de la translation haut-niveau.	30
Figure 3.10	Structure de l'isolation Fully Depleted Silicon On Insulator (FDSOI).	31

Figure 3.11	Polarisation automatique des terminaux de substrat et N BUR.	32
Figure 3.12	Circuit de rectification à deux étages utilisé	33
Figure 3.13	Etage de rectification au complet.	34
Figure 3.14	Entrée et sortie de l'étage de rectification.	34
Figure 3.15	Circuit de polarisation réglable.	35
Figure 3.16	Circuit de limitation du courant, (a) interrupteur principal et (b) pilote de grille.	37
Figure 3.17	Simulation du circuit de régulation de courant soumis à un échelon de courant à $t=200\mu\text{s}$	38
Figure 3.18	Simulation de la limite en courant du circuit en fonction de la tension d'ajustement V_{reg}	39
Figure 3.19	Schéma du circuit de limitation de la température.	40
Figure 3.20	Simulation du circuit de limitation de la température.	41
Figure 3.21	Simulation des variations de procédé de fabrication du circuit de limitation de la température.	41
Figure 4.1	Conception en vue du test du prototype.	42
Figure 4.2	Circuit après placement et routage.	44
Figure 4.3	Simulation globale post placement et routage.	46
Figure 4.4	Courbe $I_{\text{charge}}(V_{\text{lim}})$ après placement et routage.	46
Figure B.1	Schéma du circuit imprimé de test.	58
Figure B.2	Vue globale du prototype et de ses entrées / sorties.	60
Figure B.3	Gnd_load et vdd_load.	61
Figure B.4	Montage pour le test 1.	62
Figure B.5	Montage pour le test 2.	63
Figure B.6	Montage pour le test 3.	64
Figure B.7	Montage pour le test 4.	65
Figure B.8	Montage pour le test 5.	66
Figure B.9	Montage pour le test 6.	67
Figure B.10	Montage pour le test 7.	68
Figure B.11	Montage pour le test 8.	69

LISTE DES SIGLES ET ABRÉVIATIONS

DTI	Deep Trench Isolation
SOI	Silicon On Insulator
SSR	Solid State Relay
MEMS	Micro Electro Mechanical System
SoC	System on Chip
SiP	System in Package
TVS	Transient-Voltage-Suppression
GaN	Gallium Nitride
BCD	Bipolar-CMOS-DMOS
SOI	Silicon On Insulator
FDSOI	Fully Depleted Silicon On Insulator
LDMOS	MOSFET à diffusion latérale
CAN	Convertisseur Analogique Numérique
PTAT	Proportionnal To Absolute Temperature
AOP	Amplificateur Opérationnel

LISTE DES ANNEXES

Annexe A	Contributions	57
Annexe B	Documentation relative au test du prototype	58

CHAPITRE 1 INTRODUCTION ET CONTEXTE

1.1 Contexte technologique

Dans les systèmes modernes, de plus en plus de capteurs sont intégrés, nécessitant un grand nombre d'interfaces réparties dans tout le système. Dans le cadre d'applications industrielles, les interfaces de capteurs doivent interfacier une grande variété de capteurs et de charges différentes, notamment des actionneurs ayant besoin de puissance ou des capteurs transmettant des signaux analogiques basse-tension. Ces différentes charges doivent pouvoir être connectées ou déconnectées de l'interface au besoin, afin de par exemple multiplexer des ports dont le nombre est limité. Pour ces raisons, les interrupteurs analogiques sont utilisés dans de nombreux domaines comme la gestion des batteries [2], les capteurs Micro Electro Mechanical System (MEMS), [3] et les systèmes d'imagerie à ultrasons [4].

D'un point de vue global, les interfaces de capteurs doivent être les plus versatiles possible afin de rester pertinentes, peu importe les capteurs ou interfaces qui y sont connectés, comme décrit dans [1]. Un interrupteur analogique se caractérise par sa bidirectionnalité, et le fait que les signaux qu'il transmet peuvent être continus ou alternatifs, ainsi que numériques ou analogiques. Un interrupteur analogique convient ainsi à tout signal, pour autant que l'interrupteur soit correctement dimensionné pour le signal en question. La protection des interfaces est aussi un enjeu majeur des systèmes modernes. Les interfaces fonctionnent à des vitesses toujours plus élevées et à des tensions toujours plus basses pour augmenter leurs performances tout en conservant une consommation de puissance contenue. Ces facteurs rendent les interfaces très fragiles aux surtensions et surintensités, que l'on décrira dans ce document par le terme "défaut", les surtensions et surintensités étant souvent liées à une faille ou défaut d'une charge. Dans les applications dans lesquelles le capteur ou charge connectée à l'interface est situé dans un milieu extérieur, ces défauts sont fréquents au cours de la durée de vie du système et il est donc impératif de protéger les interfaces contre toute agression extérieure. La position de la protection dans le système ainsi que les défauts considérés sont illustrés dans la Figure 1.1

1.2 Problématique

Dans le cadre du projet de conception d'interfaces de capteurs décrit dans [1], de nouvelles interfaces pour capteurs sont développées. Comme évoqué précédemment, la protection des interfaces est un point clé de leur conception, et requiert une solution dédiée. Afin de réduire

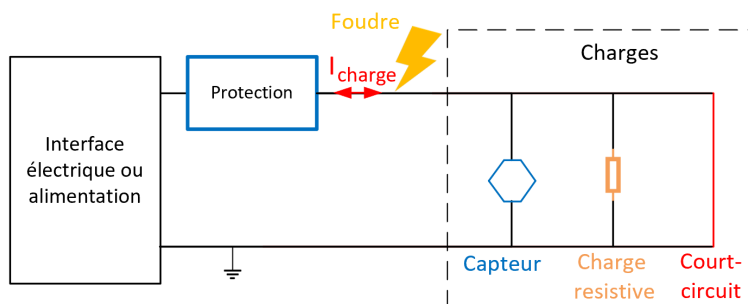


FIGURE 1.1 Environnement de la protection dans le système

les coûts et rendre les interfaces modulaires, nous cherchons une solution pouvant protéger toutes les nouvelles interfaces du projet. Ces interfaces peuvent présenter des tensions continues pour l'alimentation d'autres modules avec des courants de plusieurs ampères, mais aussi des signaux analogiques avec des fréquences pouvant atteindre jusqu'à 1 MHz. Les interfaces sont actuellement protégées avec des composants discrets, s'axant notamment autour du composant commercial Si8752 [5], qui permet d'isoler le signal de commande des terminaux de l'interrupteur utilisé. Les composants discrets occupent néanmoins une place importante dans le système, car ils doivent être répliqués pour toutes les interfaces, et consomment une puissance combinée non négligeable. Avec pour objectif de réduire le poids des systèmes et leur consommation d'énergie, nous souhaitons ainsi développer une solution entièrement intégrée pour répondre à la problématique de protection des interfaces, en ajoutant par ailleurs de nouvelles fonctionnalités.

1.3 Objectifs de recherche

Comme expliqué précédemment, l'objectif principal de recherche est de développer une nouvelle solution versatile de protection contre les surintensités. Comme expliqué en détails plus tard, les solutions actuellement disponibles ne sont pas assez versatiles pour protéger une large gamme d'interfaces. La solution développée devra remplir un certain nombre de spécifications, la première étant que la solution doit être entièrement intégrée sur un seul dé de silicium.

L'intégration sur un seul dé (System on Chip (SoC)), en opposition à une intégration sur plusieurs dés reliés dans un boîtier (System in Package (SiP)) permet de réduire les coûts de fabrication et d'améliorer les performances. Le circuit étant un circuit de protection, il peut être soumis à de fortes variations de tensions. Des diodes Transient-Voltage-Suppression (TVS) sont couramment utilisées pour protéger les systèmes, pour répondre à des problématiques

industrielles, nous souhaitons utiliser des diodes TVS limitant les surtensions à 200 V pour protéger les interfaces, la solution proposée devra donc supporter jusqu'à 200 V. Supporter une tension allant jusqu'à 200 V permet aussi d'utiliser la solution de protection dans des applications haute-tension où la tension utile des signaux est élevée. Pour la première version de l'interrupteur de protection, les signaux le traversant peuvent atteindre 28 V alternatifs et le courant 100 mA, ces spécifications sont à retenir lors de la conception du circuit. Nous souhaiterons par la suite protéger des interfaces de puissance jusqu'à deux ampères, le circuit proposé devra donc être aisément adaptable pour de plus forts courants.

Afin d'éviter de propager un éventuel défaut de la charge vers l'interface, la solution de protection proposée devra fournir une isolation galvanique entre ses broches de commande et les terminaux connectés à la charge. le circuit doit limiter activement le courant à la valeur limite, et non ouvrir entièrement l'interrupteur intégré, ce qui permet un plus rapide retour à un fonctionnement normal lorsque le défaut de surintensité disparaît et de continuer à fournir de l'énergie à une charge en cas de défaut. La limite de courant doit être réglable par une tension externe. La protection doit pouvoir être connectée à tout type de charge, notamment à des charges inductives pouvant atteindre 14 mH. Afin de faciliter son intégration dans les systèmes, le circuit doit n'avoir que deux entrées côté commande pour fonctionner : Une entrée pour l'alimentation et une pour la masse, à la manière d'un optocoupleur ; l'entrée d'alimentation sert aussi de broche "enable" au circuit. Il devra en outre posséder une sortie vers l'interface de commande, elle aussi isolée, qui informe l'interface si le courant dépasse la limite. En cas de surchauffe, le circuit doit s'éteindre automatiquement.

1.4 Contributions de ce mémoire

Les contributions du travail présenté dans ce mémoire sont les suivantes :

1. Conception d'un interrupteur haute-tension bidirectionnel intégré avec isolation galvanique. Cet interrupteur est complètement intégré sur un seul dé de silicium grâce à la technologie SOI Xfab XT018.
2. Conception d'un limiteur de courant pour l'interrupteur conçu. Ce circuit de limitation de courant est entièrement intégré sur la même puce et est linéairement réglable grâce à une tension externe. Il permet de limiter activement le courant dans les deux sens avec une limite allant de 0 à 350 mA.
3. Intégration de ces circuits afin de former une solution de protection contre les surintensités entièrement intégrée. Cette solution se présente sous la forme d'un interrupteur de protection bidirectionnel avec limitation en courant, protection contre la surchauffe et isolation haute-tension. Cette solution de protection est conçue pour être versatile

et pouvoir être utilisée pour transmettre des signaux ou un niveau de puissance modéré à une interface.

1.5 Plan de mémoire

Ce mémoire est divisé en cinq chapitres. Le deuxième chapitre présente une revue des solutions de protection intégrées existantes dans le commerce et la littérature. Cette revue de littérature permet d'expliquer l'absence d'une solution existante pour résoudre le problème, mais aussi d'analyser l'architecture de base d'un circuit de protection isolé et l'implémentation de ces composants. En lumière de ces analyses, la solution proposée sera expliquée en détail dans le chapitre trois, accompagnée de simulations au niveau transistor du circuit. Le prototype envoyé en fabrication sera présenté dans le quatrième chapitre, notamment la conception en vue de test, le placement et routage du circuit, et le plan de test du prototype. Des simulations post placement et routage y seront présentées afin de valider la solution conçue. Enfin, le chapitre cinq présente la conclusion de ce mémoire et propose des axes de travaux futurs.

CHAPITRE 2 SOLUTIONS DE PROTECTION EXISTANTES

Dans cette chapitre, les solutions actuellement disponibles pour implémenter un interrupteur analogique de protection sont passées en revue, et la nécessité d'une nouvelle solution polyvalente comprenant à la fois une commutation analogique et un circuit de régulation du courant est justifiée.

2.1 Limites des solutions existantes

Le principal problème des solutions existantes est qu'elles manquent de polyvalence. Un interrupteur de protection polyvalent doit pouvoir protéger contre les défauts de surintensité tout en étant capable de transporter une large gamme de signaux. Chaque type de signal s'accompagne de contraintes spécifiques, comme le montre la Figure 2.1. Tout d'abord, le signal électrique peut être soit alternatif, soit continu, ce qui exige que l'interrupteur soit bidirectionnel afin de fonctionner correctement dans les deux cas. Le signal peut également être porteur de puissance, ce qui signifie que sa tension et son courant sont significatifs et que l'interrupteur doit avoir une faible résistance lorsqu'il est fermé, afin d'éviter de dissiper une part importante de la puissance qui le traverse.

Le niveau de tension du signal est également une préoccupation majeure, car les transistors et le procédé de fabrication utilisés pour concevoir le commutateur doivent être capables de supporter ce niveau de tension. Si le commutateur doit gérer un courant important, la résistance de l'interrupteur doit être faible et les pistes métalliques, ainsi que les bornes du boîtier, doivent pouvoir supporter un tel courant. Enfin, dans le cas d'un signal alternatif, la fréquence du signal est un facteur important, car pour isoler un signal haute fréquence lorsqu'il est ouvert, un interrupteur doit avoir une faible capacité de sortie (capacité entre les bornes lorsque le commutateur est ouvert). La capacité de sortie du commutateur est souvent un compromis important, car elle augmente avec la largeur des transistors de sortie, alors que la résistance en conduction diminue lorsque la largeur des transistors de sortie augmente, ce qui introduit un compromis important entre la résistance en conduction et la capacité de sortie.

La plupart des interrupteurs disponibles dans le commerce qui offrent une limitation de courant ont des caractéristiques similaires à la solution présentée dans [6]. Cette solution est entièrement intégrée, a un courant nominal élevé de 3,3 A et dispose d'une protection contre les surintensités. Cependant, elle est unidirectionnelle et ne peut pas transférer de signaux

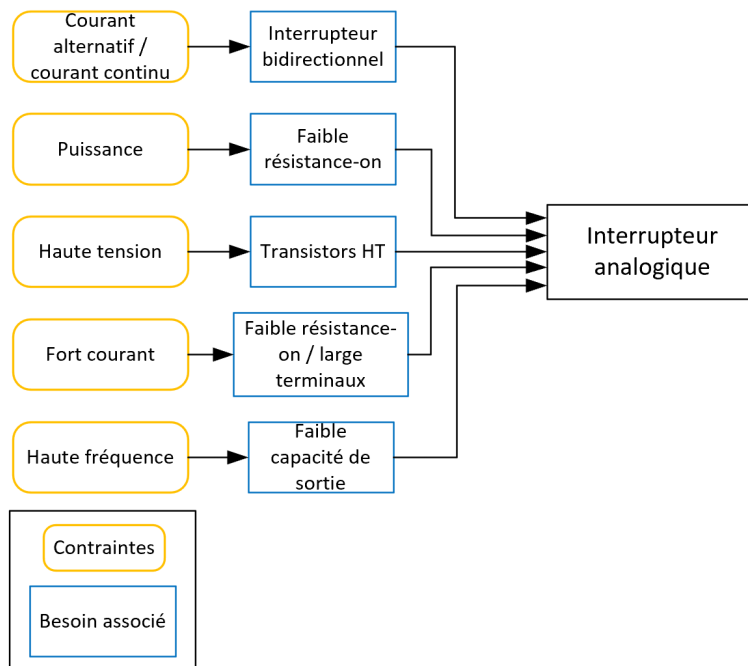


FIGURE 2.1 Contraintes et besoins d'un interrupteur de protection polyvalent.

alternatifs. Les solutions bidirectionnelles en tension et courant, en plus d'une puissance nominale suffisante, sont destinées à une utilisation en courant continu, comme la protection de batteries. Elles sont également alimentées par le terminal d'entrée, comme la solution présentée dans [7], qui peut transporter du courant dans les deux sens en étant alimentée par un terminal, mais dont la tension nominale est faible (28 V). Il n'est pas possible de transporter un signal analogique tout en alimentant la protection depuis un port d'entrée en raison des perturbations du signal qui peuvent en résulter, car cela reviendrait à superposer les courants d'alimentation et de signal.

C'est pourquoi nous devons utiliser un port d'alimentation indépendant pour les interrupteurs analogiques. Les interrupteurs analogiques dotés d'un port d'alimentation séparé présentent parfois des capacités de haute tension, mais ils ne sont jamais conçus comme un dispositif de protection autonome et ne disposent d'aucune protection contre les surintensités. La solution présentée dans [8] fait état d'un commutateur analogique doté d'une tension nominale élevée de 220 V, mais qui nécessite une alimentation haute tension supérieure au signal pour fonctionner correctement. La solution présentée dans [9] ne nécessite pas d'alimentation haute tension et présente une commutation analogique haute tension, mais elle est limitée aux signaux alternatifs uniquement, de fréquence supérieure à 500 kHz. La solution présentée dans [5] utilise un canal d'isolation pour protéger les entrées logiques et isoler les grilles des MOSFET. Cela supprime le besoin d'une alimentation haute tension tout en permettant à

tout type de signal de passer à travers le commutateur. Néanmoins, cette solution ne comporte pas de FET intégrés, ce qui empêche une intégration complète. De plus, aucune de ces solutions ne présente de limitation de courant.

En se penchant du côté des relais statiques dans le commerce, on se rend compte que très majoritairement, ils ne sont pas dotés d'une régulation en courant pour des solutions tenant dans un boîtier classique. Certains modèles récents implémentent une protection contre les surintensités, mais leur limite en courant est fixe et généralement prévue pour des applications de puissance avec des courants de plusieurs ampères [10]. Ces solutions bénéficient de tensions nominales de plusieurs centaines de volts et peuvent supporter plusieurs kV de tension de mode commun grâce à leur isolation optique, mais cette isolation optique nécessite des procédés de fabrication dédiés et l'utilisation de plusieurs dés de silicium séparés pour supporter de tels niveaux de tension. De plus, la limitation en courant n'est pas prévue pour protéger la charge, mais plutôt l'interrupteur, la limite de courant étant supérieure au courant nominal de ces relais statiques, comme pour la solution présentée dans [11] dont la limite est fixée à 225 mA alors que le courant maximal continu est de 120 mA. À cause de l'utilisation d'un lien optique, ces solutions mentionnent une température ambiante maximale de 85°C, ce qui ne convient pas à des environnements confinés où la température peut atteindre 125°C.

Dans la littérature, plusieurs solutions ont été proposées pour commuter des signaux alternatifs haute-tension. Comme les solutions commerciales, les solutions académiques sont toujours axées ou bien sur la commutation de courants continus élevés pour transporter de la puissance ou bien sur des signaux avec de faibles courants et aucune protection contre les surintensités.

La plupart des protections contre les surintensités pour les solutions à haute puissance ouvrent complètement l'interrupteur en cas de défaut au lieu de limiter le courant à la valeur maximale. Par exemple, la solution proposée dans [12] présente un circuit de protection monolithique qui peut supporter des tensions élevées allant jusqu'à 200 V et des courants élevés supérieurs à 4,4 A. Cependant, l'interrupteur conçu est unidirectionnel et agit uniquement comme un disjoncteur sans limiter activement le courant à la valeur maximale. Le fait de limiter le courant plutôt que d'ouvrir complètement l'interrupteur présente plusieurs avantages, tels qu'un temps de récupération plus rapide lorsque le défaut disparaît, la poursuite de l'alimentation même en cas de défaut, et le fait d'éviter l'arrêt complet en cas de surintensité brève. La solution présentée dans [13] présente une bidirectionnalité en courant ainsi que par des valeurs nominales de tension et d'intensité élevées. Cependant, elle n'est pas intégrée et n'est destinée qu'à transférer de l'énergie puisque le circuit est alimenté entre les bornes de l'interrupteur. Les deux solutions [12] et [13] utilisent des commutateurs Gallium

Nitride (GaN), qui nécessitent un procédé de fabrication GaN spécialisé, ce qui complique le processus de conception, car les technologies GaN ne sont pas aussi mûres que les technologies Si Bipolar-CMOS-DMOS (BCD) [12]. Des commutateurs analogiques à haute tension ont été développés à l'aide de procédés SOI pour atteindre les tensions d'isolation requises [12, 14]. Ils ne nécessitent pas d'alimentation haute tension et sont entièrement intégrés. Le travail présenté dans [14] se concentre sur un commutateur de petite taille qui peut être disposé en réseau pour interfacier des transducteurs à ultrasons, tandis que le travail présenté dans [15] fournit un commutateur unique avec une faible résistance à l'enclenchement qui peut être utilisé sans alimentation à haute tension. Cependant, ces interrupteurs ne fonctionnent qu'avec des signaux alternatifs, car ils ont besoin que leur tension d'entrée oscille entre le positif et le négatif pour que les grilles des transistors de commutation restent chargées. Ils ne disposent pas non plus de protection contre les surintensités.

Aucune solution commerciale ou académique n'est adaptée à un interrupteur de protection polyvalent qui peut transporter à la fois une alimentation en courant continu et des signaux en courant alternatif.

2.2 Implémentation d'une protection isolée

Dans cette section, la structure haut-niveau d'un interrupteur de protection conventionnel est présentée, et la mise en œuvre la plus appropriée pour chaque composant haut-niveau est étudiée à travers une revue des implémentations existantes. L'analyse de la structure d'un interrupteur de protection conventionnel permet d'en développer les composants, afin de proposer une alimentation satisfaisant aux exigences de l'application visée.

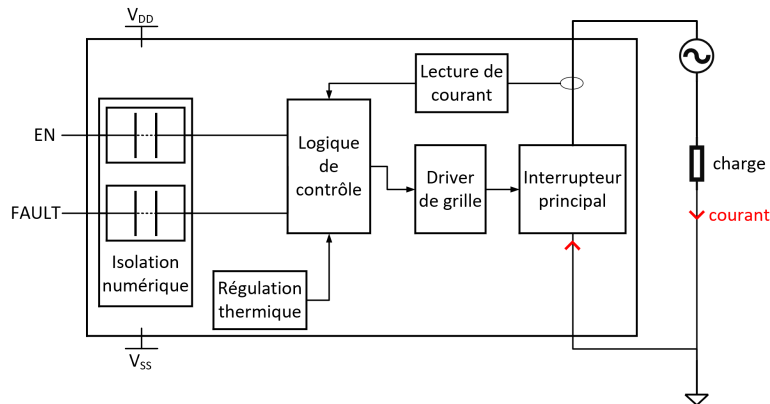


FIGURE 2.2 Schéma haut-niveau d'un interrupteur de protection conventionnel.

Pour mettre en œuvre un interrupteur de protection adéquat, le circuit doit comporter les

éléments suivants :

- Interrupteur principal
- Pilote de grille
- Lecture de courant
- Isolation sur les entrées
- Logique de contrôle
- Régulation thermique

La Figure 2.2 présente un schéma fonctionnel haut-niveau d'un interrupteur de protection conventionnel. Pendant son fonctionnement normal, l'interrupteur connecte une interface électronique à la charge correspondante. Le courant traverse l'interrupteur principal dans les deux sens. Lorsque ce courant dépasse une certaine limite, le circuit de lecture de courant détecte la surintensité et la logique de contrôle réagit pour limiter le courant en modifiant la tension de grille des transistors formant l'interrupteur principal. L'interrupteur principal n'est plus totalement fermé, ce qui limite le courant le traversant. De plus, si la température du système dépasse une valeur seuil, la logique de contrôle ouvre complètement l'interrupteur principal pour éviter tout dommage. L'entrée EN permet à un contrôleur externe d'envoyer une commande pour activer ou désactiver l'interrupteur. L'entrée FAULT est à l'état logique haut lorsqu'un problème de surcharge ou de surchauffe est détecté. Tant que l'entrée EN est à l'état logique haut, la protection est autonome et ne nécessite pas d'autre signal externe, ce qui facilite l'intégration dans la plupart des systèmes.

Pour fabriquer un interrupteur de protection capable de commuter des tensions élevées, un procédé de fabrication haute-tension approprié est nécessaire. Les interrupteurs modernes utilisent souvent des composants GaN [12] ou SiC [16], car ils permettent une commutation rapide, une faible résistance en conduction et une tension nominale élevée. Cependant, ces procédés sont généralement plus coûteux et ne sont pas aussi matures que les procédés BCD classiques. C'est pourquoi, dans ce travail, nous envisagerons une mise en œuvre avec un procédé SOI standard.

Dans les sections suivantes, nous étudierons en détails les solutions existantes pour implémenter chaque composant haut-niveau d'un interrupteur de protection, pour proposer par la suite une architecture satisfaisante.

2.2.1 Interrupteur principal

Le rôle de l'interrupteur principal est de permettre au courant de circuler dans les deux sens en fonctionnement normal et d'isoler les deux bornes du circuit de protection lorsqu'un défaut se produit. Par conséquent, l'interrupteur doit être capable de bloquer le courant et

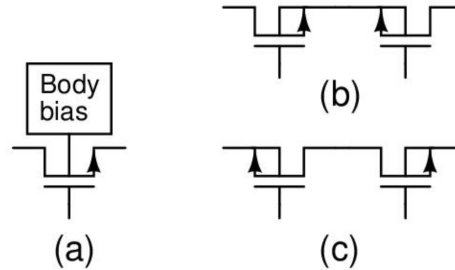


FIGURE 2.3 Solutions courantes pour l'interrupteur principal, (a) MOSFET à 4 terminaux, (b) MOSFET connectés dos à dos avec source commune et (c) drain commun.

de supporter des chutes de tension élevées dans les deux polarités tout en présentant une faible résistance lorsqu'il est fermé. Pour le mettre en œuvre, plusieurs solutions ont été présentées dans la littérature en utilisant des procédés de fabrication BCD. Ces solutions incluent notamment l'utilisation de transistors à 4 terminaux [17], comme illustré sur la Figure 2.3(a), qui offrent une bonne résistance par surface de dé puisque'ils n'utilisent qu'un seul transistor. Par rapport à deux transistors en série, cette solution réduit la surface du dé d'un facteur 4 car la résistance de chacun des deux transistors devrait être la moitié de celle du transistor à 4 bornes (c'est-à-dire une largeur doublée) pour obtenir la même résistance en conduction totale. Cependant, un transistor symétrique ainsi qu'une polarisation suffisante du corps sont nécessaires pour éviter les effets de thyristor parasite (latch-up). Dans les procédés SOI, le corps (substrat) peut être isolé pour éviter le latch-up. Les MOSFET connectés dos à dos, dans des configurations de drain commun [6] ou de source commune [18], illustrés respectivement sur les Figures 2.3(b) et 2.3(c), sont couramment utilisés pour concevoir des interrupteurs bidirectionnels avec des transistors asymétriques, dotés d'une diode intrinsèque [19]. La configuration la plus courante parmi les deux est la source commune, car elle permet d'utiliser un seul signal de commande de grille pour activer les deux MOSFET.

Plusieurs types de transistors haute-tension sont disponibles dans les procédés BCD courants, notamment les MOSFET à oxyde épais (thick-oxyde MOSFET) et les MOSFET à diffusion latérale (LDMOS) [20]. Les MOSFET à oxyde épais sont généralement symétriques, mais leur tension maximale entre le drain et la source ne leur permet pas de fonctionner aux tensions élevées dans les procédés courants. D'autre part, les LDMOS offrent des tensions nominales très élevées qui peuvent dépasser 300 V [21], mais ils sont asymétriques et nécessitent que leur corps et leur source soient court-circuités. La nécessité de pouvoir supporter des tensions allant jusqu'à 200 V exclut donc l'utilisation de transistors symétriques à 4 terminaux, d'où la nécessité d'utiliser deux MOSFET connectés dos à dos. Pour supporter à la fois une tension et un courant élevés, il est recommandé d'utiliser des MOSFET à super-jonction de

grande taille, car ils offrent le meilleur compromis entre tension nominale et résistance en conduction sans recourir à des procédés de fabrication spécialisés comme les procédés GaN ou SiC (Carbure de Silicium) [22].

2.2.2 Driver de grille

Le rôle du pilote de grille est de commander la grille de l'interrupteur principal pour contrôler le courant qui le traverse. Il est commandé par la logique de contrôle qui détecte les différents événements nécessitant une ouverture de l'interrupteur (entrée EN basse, surintensité, surchauffe). Le pilote de grille doit être capable de maintenir l'interrupteur fermé indéfiniment, sans temps d'arrêt. Pour parvenir à une solution polyvalente, nous ne pouvons pas faire d'hypothèse sur la charge. Le pilote de grille doit donc ainsi comporter une boucle de courant isolée du courant allant à la charge, car tout courant transitoire ou constant provenant du pilote et passant par l'un des terminaux de l'interrupteur pourrait perturber le signal ou empêcher le système de fonctionner correctement en fonction du type de charge.

L'amplitude élevée du signal qui doit traverser l'interrupteur principal, couplée à sa bidirectionnalité, rend la conception du pilote de grille complexe. Pour commander deux transistors en configuration de source commune, la capacité grille-source (C_{gs}) doit conserver sa charge pour maintenir l'état passant du MOSFET, même si la tension du signal dépasse la tension d'alimentation. En raison de la nature bidirectionnelle de l'interrupteur, il est impossible de faire des hypothèses sur la tension instantanée à l'une ou l'autre de ses bornes. Par conséquent, le pilote doit être flottant et référencé à la source commune. Le pilote flottant le plus couramment utilisé est un condensateur bootstrap couplé à une translation de niveau haute-tension, comme le montre la Figure 2.4(a) [23]. Toutefois, cette solution nécessite une alimentation haute tension symétrique comme la plupart des circuits intégrés commerciaux [24], ce qui augmente la consommation d'énergie et complique l'intégration de l'interrupteur.

D'autres solutions existent, comme celle présentée à la Figure 2.4(b) [15], qui est une solution compacte et ne nécessitant pas d'alimentation haute tension. Cependant, elle charge et décharge la grille à travers les bornes de l'interrupteur avant d'isoler la grille pour maintenir la charge. La charge de la grille à travers les bornes de l'interrupteur n'est possible que si au moins une borne est connectée à un faible potentiel pendant la charge, ce qui limite les applications possibles de l'interrupteur. Cette méthode ne convient pas aux circuits de protection, car elle exige une tension d'alimentation inférieure à l'amplitude minimale du signal pour forcer l'ouverture du circuit, ce qui nécessite une alimentation à haute tension.

L'utilisation d'un transformateur pour alimenter le pilote, comme le montre la Figure 2.4(c), [13], [26] assure une commande directe entre la grille et la source [5], [26]. Cette solution offre

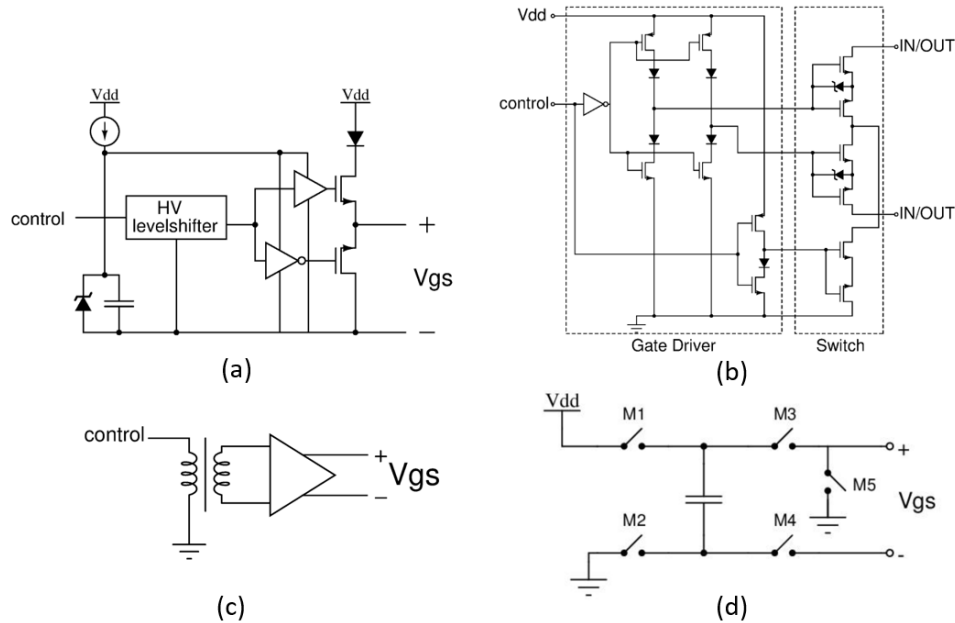


FIGURE 2.4 Solutions possibles pour le driver de grille : (a) condensateur bootstrap et translation de niveau haute tension [23], (b) translation de niveau haute tension isolée [15], (c) commande de grille isolée basée sur un transformateur [16], et (d) interrupteur bootstrap [25].

également l'avantage d'une isolation complète entre la logique basse tension et l'interrupteur haute tension. Cependant, elle occupe une grande surface, génère des interférences électromagnétiques (EMI) et augmente la consommation d'énergie. Comme le transformateur ne peut transférer que de l'énergie en courant alternatif, le signal et l'énergie qui sont transférés à travers le transformateur sont modulés à haute fréquence, ce qui augmente encore la consommation d'énergie. La solution basée sur le transformateur est principalement utilisée pour piloter des configurations demi-pont pour attaquer de moteurs haute tension et dans ce cas une isolation galvanique est requise. Une isolation galvanique entre deux circuits est l'absence totale de conducteurs entre ces deux circuits, une isolation galvanique peut ainsi supporter une grande différence de tension.

Une solution plus compacte et plus couramment utilisée est l'interrupteur bootstrap [25], comme le montre la Figure 2.4(d), qui est souvent utilisé dans les circuits d'échantillonnage des Convertisseur Analogique Numérique (CAN) [27]. Cette technique utilise un condensateur qui est chargé indépendamment à travers M_1 et M_2 , puis connecté aux bornes de la grille et de la source du MOSFET par M_3 et M_4 pour charger la capacité de grille (C_{gs}). L'un des inconvénients de cette technique est que la charge du condensateur bootstrap (C_b) doit être supérieure à la charge nécessaire sur la grille pour fermer le MOSFET. Cela est dû à la division de la charge lorsque C_b se décharge dans la grille, ce qui implique que C_b doit

être supérieur à C_{gs} ou chargée à une tension beaucoup plus élevée. Un interrupteur haute tension présentant une faible résistance a une grande capacité de grille. Il faut donc que C_b soit grand ainsi que plusieurs cycles pour charger la grille si C_b n'est pas plusieurs fois supérieur à C_{gs} . L'autre inconvénient du condensateur bootstrap est le courant de fuite de la grille qui décharge C_{gs} au fil du temps et doit être compensé par des connexions régulières à C_b si l'interrupteur reste fermé pendant une longue durée. Ces inconvénients sont la raison pour laquelle ce circuit est principalement utilisé dans les circuits d'échantillonnage, car les interrupteurs y sont relativement petits et ne restent pas fermés pendant de longues périodes.

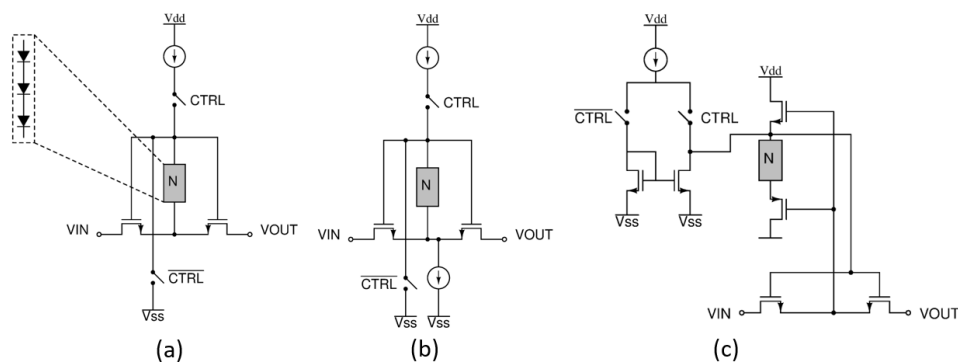


FIGURE 2.5 Pilote de grille avec courant de grille isolé [18], (a) idée principale, (b) technique utilisant deux sources de courant, et (c) solution avec montage suiveur drain commun.

Une autre solution est présentée dans [18] et utilise la technique du réseau de saturation. L'idée de base de cette technique est illustrée à la Figure 2.5(a), où elle utilise une source de courant et un réseau dont la tension sature, et qui convertit le courant en V_{gs} adapté. Le réseau de saturation peut être implémenté par plusieurs composants ; la topologie la plus courante utilise des diodes ou des MOSFET connectés en diodes [28]. Le principal problème de ce circuit est que le courant du pilote passe par les bornes de l'interrupteur, ce qui, comme mentionné auparavant, n'est pas adapté à la commutation de signaux alternatifs. La structure illustrée à la Figure 2.5(b) [29] résout ce problème en utilisant une source de courant supplémentaire pour absorber le courant à la source des MOSFET, mais toute différence entre les deux sources se traduit par un faible courant circulant à travers les terminaux de l'interrupteur. Des approches plus récentes utilisent un MOSFET en montage drain commun pour isoler complètement le driver et le courant de commutation, illustré sur la Figure 2.5(c). En itérant sur la technique du réseau de saturation, la solution présentée dans [18], et illustrée à la Figure 2.6, utilise une structure avec deux montages drain commun, ainsi que des circuits de fermeture et d'ouverture distincts. Cela permet un meilleur compromis entre la vitesse de commutation et la consommation statique, car cette structure diminue le courant injecté dans

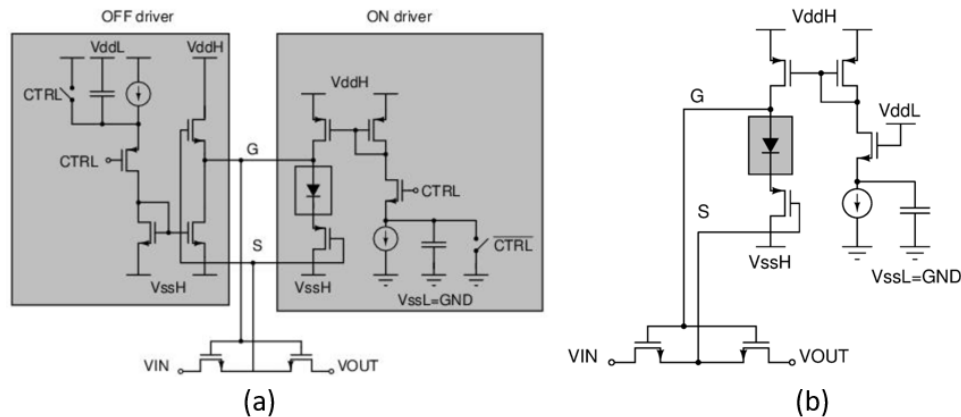


FIGURE 2.6 (a) Schéma de l'interrupteur haute-tension présenté dans [18], et (b) le circuit équivalent lorsque l'interrupteur est fermé.

le réseau N après la commutation afin de réduire consommation d'énergie. Cette structure présente un très bon compromis entre la consommation d'énergie, le temps de commutation et les contraintes de mise en œuvre. Cependant, elle nécessite toujours une alimentation à haute tension avec une plage de valeurs plus grande que le signal qui passe à travers l'interrupteur.

Les solutions de pilotage de grille présentées ouvrent ou ferment complètement l'interrupteur principal, mais dans ce travail l'objectif est de limiter activement le courant s'il dépasse un certain seuil. Pour atteindre cet objectif sans ajouter de circuit supplémentaire en série avec l'interrupteur principal, le contrôle de la charge de la grille est une technique souvent utilisée [7]. Le pilote choisi doit être modifié pour être commandé par la tension de feedback du circuit de détection de courant. Pour ce faire, il suffit d'utiliser une tension ou une source de courant commandée en tension au lieu d'utiliser la tension d'alimentation ou une source de courant fixe dans les configurations présentées.

2.2.3 Lecture de courant

Le circuit de lecture de courant transmet une image du courant à la logique de contrôle et au circuit de régulation de courant. La technique utilisée doit être précise, fiable et avoir peu d'impact sur le signal transmis. Pour éviter d'atténuer le signal, le circuit de lecture de courant doit comporter une faible impédance en série avec l'interrupteur principal sur le trajet du courant. Les techniques de lecture de courant adaptées aux solutions intégrées sont présentées plus en détail dans [30] et [31]. Nous présentons ici un résumé des techniques pertinentes.

La lecture de courant en utilisant un shunt, illustrée à la Figure 2.7, est la solution la plus

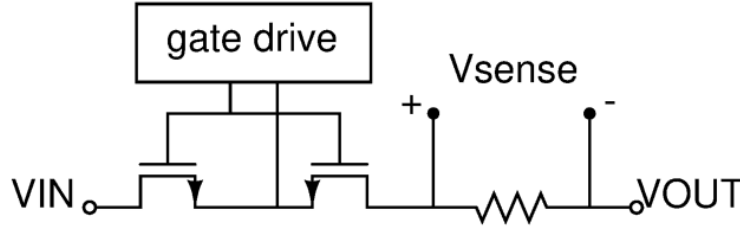


FIGURE 2.7 Lecture de courant à travers une résistance shunt.

courante et utilise une petite résistance pour produire une chute de tension proportionnelle au courant qui la traverse. Cette chute de tension est ensuite amplifiée à l'aide d'un amplificateur différentiel pour assurer l'interface avec le circuit de commande. Bien que les variations du procédé de fabrication puissent créer une incertitude dans la valeur de la résistance, cette méthode offre généralement une bonne précision et une bonne largeur de bande. Les principaux inconvénients sont la résistance élevée ajoutée sur le chemin principal du courant et la puissance dissipée par la résistance, ce qui pose un problème dans les applications basse-puissance.

La lecture utilisant une résistance de shunt est similaire à l'utilisation d'une résistance de conduction d'un transistor comme shunt. Cette solution utilise donc directement la résistance en conduction du transistor de puissance comme résistance de shunt. Par conséquent, aucune résistance supplémentaire en série n'est ajoutée, ce qui améliore l'efficacité énergétique et la qualité du signal. L'expression de la résistance d'un MOSFET dans la région ohmique est exprimée dans 2.1 [30] :

$$R_{DS} = \frac{L}{W\mu_C C_{ox}(V_{GS} - V_T)} \quad (2.1)$$

où L est la longueur du canal du MOSFET, W est la largeur du canal, μ_C est la mobilité des porteurs, C_{ox} est la capacité de l'oxyde par unité de surface, V_{GS} est la tension grille-source et V_T est la tension de seuil. La résistance R_{DS} est fortement influencée par la température, qui modifie significativement μ_C , et par les variations du procédé de fabrication. La variation totale de R_{DS} peut atteindre 100% de sa valeur nominale, ce qui rend cette technique très imprécise dans les procédés de fabrication standards [30].

Le courant traversant l'interrupteur principal peut aussi être mesuré grâce à un circuit SenseFET. Cette technique est basée sur des MOSFET appariés qui partagent des terminaux communs. Les résistances à l'état passant des cellules individuelles d'un large MOSFET de puissance sont bien matchées. Par conséquent, le routage d'une petite partie d'entre elles à une broche différente permet de refléter avec précision le courant dans l'autre partie, comme le ferait un diviseur résistif de courant. Le rapport de courant N est égal au rapport du

nombre de cellules connectées en parallèle, comme le montre la Figure 2.8, et est généralement de l'ordre de 1000 [32]. La fraction de courant dans la branche de lecture peut alors être

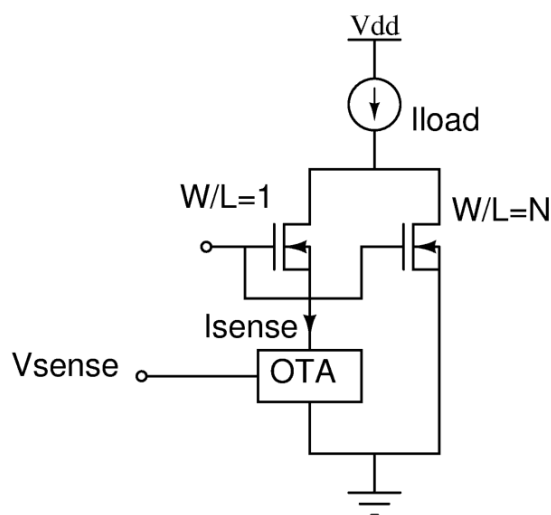


FIGURE 2.8 Lecture de courant à travers un circuit SenseFET.

lue à l'aide d'une résistance de shunt ou d'un amplificateur de transimpédance. Tant que la résistance de shunt est faible par rapport à la résistance à l'état passant du SenseFET, cette technique peut être considérée comme sans pertes, le courant de lecture étant très proche du courant de charge divisé par N . Les avantages du SenseFET sont qu'il n'ajoute pas de résistance en série supplémentaire et qu'il présente une bonne stabilité en termes de procédé de fabrication et température. Les deux principaux inconvénients sont les pics de tension qui peuvent se produire pendant la commutation et les contraintes liées au routage du MOSFET. Les pics de tension de commutation peuvent être facilement atténués à l'aide d'un filtre passe bas, mais cela réduit également la bande passante. En ce qui concerne le routage, l'utilisation d'une connexion Kelvin est obligatoire pour obtenir la meilleure précision possible. Une connexion Kelvin consiste à utiliser des pistes de métal indépendantes des pistes transportant le courant et partant directement des terminaux du transistor pour connecter le SenseFET. Une connexion Kelvin permet d'éviter que des chutes de tension dans les conducteurs ne détériorent la mesure. Il est également important de placer l'interface de lecture de courant (OTA sur la Figure 2.8) à proximité du SenseFET pour obtenir la meilleure précision.

2.2.4 Isolation des entrées

En cas de défaillance de l'interrupteur de protection, l'interface doit toujours être protégée de la haute tension à la sortie. Par conséquent, une isolation doit être présente sur les broches

de l'interface, comme illustré à la Figure 2.2. L'architecture présentée nécessite deux canaux d'isolation, l'un pour protéger la broche EN et l'autre pour protéger la broche FAULT. Les deux canaux peuvent être mis en œuvre à l'aide d'une seule liaison modulée [33] ou de deux liens séparés [34], ce qui est l'approche la plus courante. L'isolation doit être capable de supporter la tension maximale absolue de l'interrupteur.

Trois types de liens d'isolation sont couramment utilisés : optique (optocoupleur), inductif et capacitif [35]. Il existe d'autres solutions comme les isolateurs à ondes radio (RF) [36] ou les isolations LC hybrides [37], mais elles complexifient considérablement la conception et occupent une vaste surface de dé. Les solutions disponibles pour mettre en œuvre une barrière d'isolation sont illustrées à la Figure 2.9. Les solutions basées sur un optocoupleur fournissent

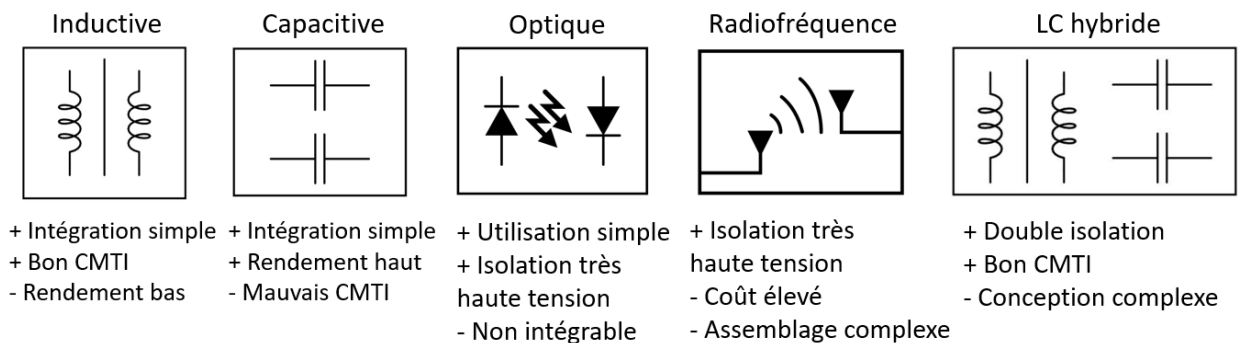


FIGURE 2.9 Types de lien d'isolation.

une isolation résistante à des tensions très élevée (supérieur à 5 kV) et sont simples à utiliser, mais elles sont fabriquées à partir d'Arséniure de Gallium (GaAs) et ne peuvent donc pas être intégrées dans un processus CMOS classique. Les solutions basées sur des optocoupleurs ne sont donc pas adaptées à ce travail avec lequel nous visons une intégration monolithique du système.

L'isolation inductive est souvent basée sur des bobines couplées mises en œuvre sur différentes couches métalliques pour former un transformateur intégré. Un transformateur intégré génère des interférences électromagnétiques et présente généralement une faible efficacité énergétique, mais offre une très bonne réjection de mode commun et peut être utilisé pour transférer de l'énergie. La mise en œuvre des bobines intégrées occupe souvent une grande surface sur la puce, mais des travaux récents ont réussi à modérer son empreinte, en particulier pour les applications à faible consommation d'énergie où seules des données sont transmises [38]. D'autre part, l'isolation capacitive ne génère pas d'interférences électromagnétiques, occupe généralement une surface plus petite et consomme moins d'énergie, mais son taux de réjection de mode commun est beaucoup plus faible que celui de l'isolation in-

ductive. Elle est également peu adaptée aux applications basse fréquence, car la transmission de signaux à la fois basse et haute fréquence nécessite soit de grands condensateurs, soit un autre canal dédié aux signaux à basse fréquence. Dans notre cas, nous n'avons besoin de transmettre qu'un signal continu, un seul canal modulé serait donc suffisant. Les schémas de modulation courants pour le couplage capacitif comprennent la modulation on-off (OOK), qui présente l'avantage d'être la plus simple à mettre en œuvre, et la polarité d'impulsion (pulse polarity), qui est plus complexe, mais consomme moins d'énergie [39] pour transmettre des données.

2.2.5 Gestion thermique

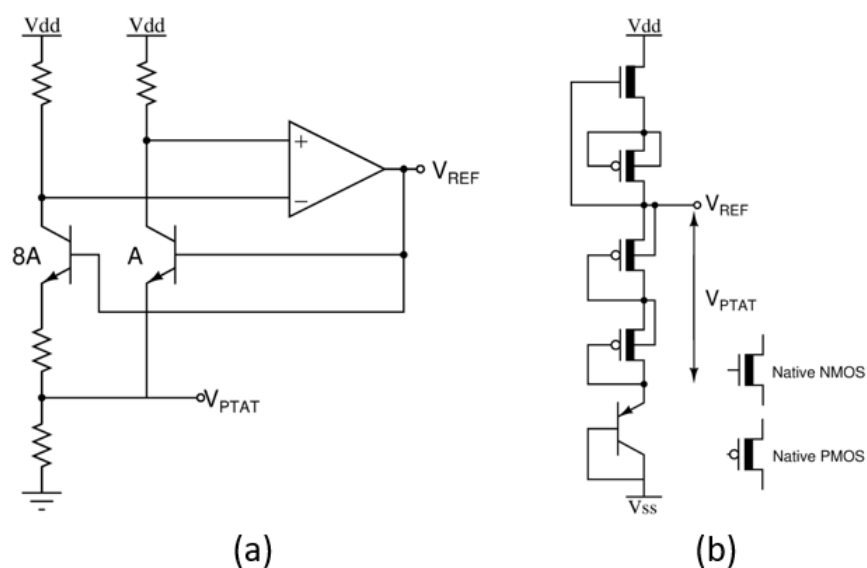


FIGURE 2.10 Références de tension : (a) Référence de Brokaw, et (b) référence hybride bandgap-seuil (reprise depuis [40]).

Tout en limitant le courant dans le cas d'une surintensité, le circuit de protection doit pouvoir s'éteindre automatiquement si la température sur la puce dépasse la valeur nominale maximale. Cette forte élévation de la température peut notamment se produire en raison de la dissipation de puissance lorsque la protection limite activement le courant. La plupart des capteurs de température intégrés utilisent la tension provenant d'une diode ou d'un BJT comme référence, car elle varie linéairement avec la température pour un courant fixe. Presque toutes les références de tension génèrent à la fois une tension proportionnelle à la température absolue (PTAT) et une tension indépendante de la température. La plus courante est la référence de Brokaw, comme le montre la Figure 2.10(a) [41].

En utilisant une telle référence, le circuit du capteur de température peut servir de référence

de tension pour le convertisseur abaisseur de tension. Une référence de Brokaw de base peut être utilisée pour des raisons de simplicité, car il s'agit d'un circuit simple acceptant une large gamme de tensions d'entrée. Toutefois, de nombreuses solutions récentes conviennent également, comme celle présentée dans [40] et illustrée à la Figure 2.10(b), qui met en œuvre une référence hybride à bande interdite et à seuil avec une très faible consommation d'énergie. Couplée à un comparateur pour détecter une éventuelle surchauffe, cette solution pourrait fournir une référence de tension et un capteur de température très compacts et à faible consommation d'énergie. Si la protection ne nécessite pas de référence de tension interne, une tension PTAT pourra être simplement générée à partir de diodes.

CHAPITRE 3 SOLUTION PROPOSÉE

Dans ce chapitre, nous détaillerons la solution conçue. Avant d'entrer dans les détails de la conception, nous étudierons l'architecture générale du système et les différences avec l'architecture conventionnelle présentée à la Figure 2.2. Pour chaque étage, une présentation de son implémentation sera proposée, les étages originaux seront expliqués dans de plus grands détails. Des simulations au niveau transistor de chaque étage seront présentées.

3.1 Architecture générale

Afin de justifier l'architecture proposée, il convient de rappeler les spécifications attendues dans le tableau 3.1.

Caractéristique	Spécification
Tension maximale du signal	200V
Courant maximal	100mA
Isolation de l'interface de commande	oui
Temps de réaction	< 1ms
Résistance à l'état passant	<5 Ω

TABLEAU 3.1 Spécifications de la solution de protection intégrée.

Afin de répondre à ces spécifications, l'architecture illustrée sur la Figure 3.1 est proposée. La principale différence avec l'architecture conventionnelle d'un circuit de protection est qu'une grande partie du circuit est isolée. Le principal intérêt d'isoler l'interrupteur principal et son driver est que ce driver, ainsi que toute la partie secondaire, peut être directement référencée à la source commune des deux MOSFET formant l'interrupteur (en configuration source commune). Référencer les circuits à la source commune permet d'éviter l'utilisation d'une alimentation haute-tension, pour fermer l'interrupteur, il suffit d'appliquer la tension d'alimentation du secondaire (5 V ici) à la grille des MOSFET sans avoir besoin de se soucier des tensions de drain ou de source. L'utilisation d'une basse tension pour fermer les transistors est d'autant plus importante que dans le procédé de fabrication utilisé (X-Fab XT018), la tension grille-source maximale des transistors est de 5.5 V et ce même pour les transistors haute-tension.

L'inconvénient de l'isolation du driver est qu'il faut alors générer une telle alimentation isolée, ici grâce à un transfert d'énergie isolé, abordé plus en détail dans sa section dédiée. Le système embarque un circuit de gestion de la température, informant le bloc de transfert de

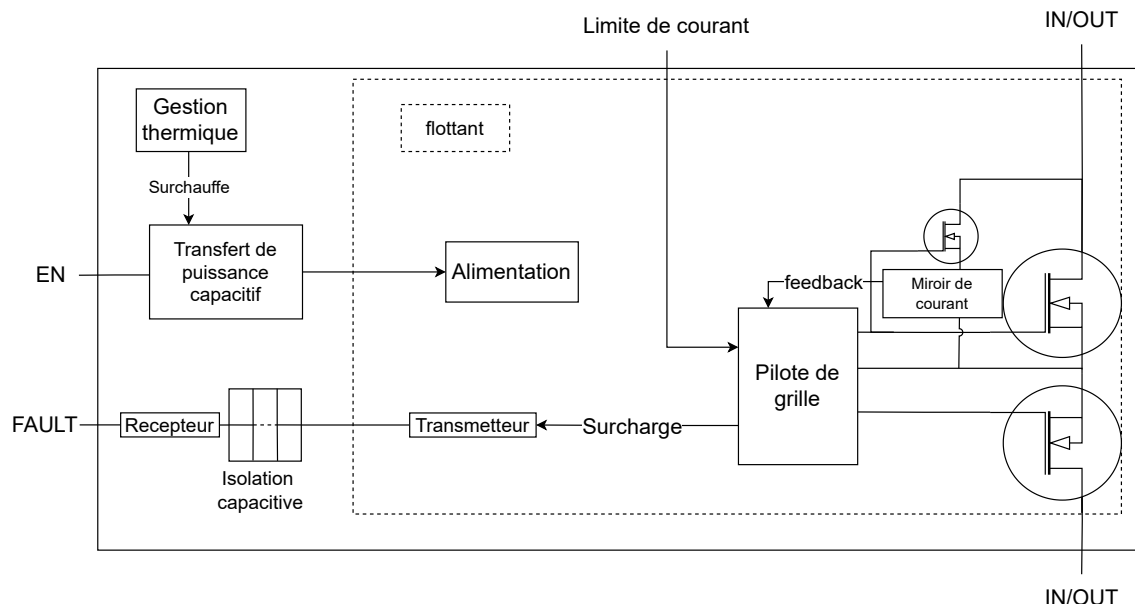


FIGURE 3.1 Schéma haut-niveau de la solution de protection proposée. Le miroir de courant n'est représenté que pour une polarité.

puissance de couper l'alimentation du secondaire en cas de surchauffe. Le positionnement de la gestion thermique au primaire réduit la vitesse de réaction du circuit en cas de surchauffe, mais permet de réduire la consommation d'énergie du secondaire, ce qui réduit aussi les contraintes de l'alimentation isolée. Le principal point fort de cette architecture est son nombre de ports très réduits, facilitant ainsi l'intégration dans les systèmes existants. Seuls 7 plots sont présents dans la version actuelle, sans compter les plots permettant de tester le prototype :

- Le port EN servant de signal de contrôle, mais aussi d'alimentation. La puce n'opère que lorsqu'il est autour de 3.3 V.
- Le port FAULT, une sortie à collecteur ouvert permettant d'informer une interface de la présence d'un défaut. Cette sortie est forcée à un potentiel bas lorsque le courant dépasse la limite configurée. Il n'est pas obligatoire de connecter ce terminal pour faire fonctionner la puce.
- La référence de tension du primaire.
- Les deux ports d'entrée/sortie correspondant aux terminaux de l'interrupteur.
- Le port permettant de fixer la limite en courant de l'interrupteur. Dans le prototype actuel, la limite est fixée par une tension continue référencée à la source commune des transistors. Dans une version future, cette limite pourra être fixée par une simple résistance connectée entre deux terminaux, mais pour des raisons de testabilité, la

version actuelle requiert une tension.

- Un port permettant d'accéder à la source commune des deux transistors de puissance afin de fixer la limite de courant.

Dans les sections suivantes, nous reviendrons en détail sur l'implémentation des différents composants de cette architecture, en présentant des simulations au niveau transistor lorsque cela est pertinent.

3.2 Interrupteur principal

L'interrupteur principal est le cœur du système de protection, comme mentionné dans la revue de littérature, son rôle est de laisser passer ou bloquer le courant, peu importe sa polarité. Les signaux considérés dans ce travail pouvant atteindre près de 200 V et 100 mA, il convient de choisir une structure adaptée. En se basant sur l'analyse faite à la section 2.2.1, on choisit naturellement d'utiliser deux LDMOS en configuration source commune, afin d'obtenir un interrupteur pouvant contrôler le courant dans les deux sens, tout en supportant de hautes tensions et en utilisant un seul driver. Nous utilisons dans ce travail le procédé de fabrication X-Fab XT018 qui propose plusieurs transistors haute-tension. Parmi les transistors disponibles, on choisira les transistors à superjonction de seconde génération 195 V, car ces transistors sont les transistors les plus petits pouvant supporter 200 V en maximum absolu. Il est important de ne pas surdimensionner la tenue en tension des transistors, car leur résistance passante par unité de surface augmente fortement avec la tension nominale.

L'autre point important du dimensionnement de l'interrupteur principal est le compromis entre résistance passante et capacité de sortie (capacité équivalente entre le drain et la source lorsque le transistor est ouvert). Il est en effet tentant de prendre des transistors les plus larges possibles afin de réduire au maximum la résistance passante de l'interrupteur de protection, celle-ci étant inversement proportionnelle à la largeur du transistor. Cependant, la capacité de sortie du transistor est proportionnelle à la taille du transistor, ce qui limite l'isolation, de l'interrupteur pour les signaux haute-fréquence. La fréquence maximale des signaux que nous souhaitons utiliser avec l'interrupteur est de 1 MHz, et l'impédance typique des charges est de 75 Ω . Lorsque l'interrupteur est ouvert, la capacité parasite et la charge forment un filtre-passe haut dont la fréquence de coupure est définie par l'équation 3.1 :

$$f_{\text{passehaut}} = \frac{1}{2\pi R_{\text{charge}} C_{\text{OSS}}} \quad (3.1)$$

Où R_{charge} est la résistance de la charge et C_{OSS} la capacité de sortie de l'interrupteur principal. En utilisant des transistors de longueur minimale et de largeur égale à 1000 fois

la largeur minimale, on obtient un interrupteur dont la résistance passante est de 4.1Ω et la capacité de sortie est de 60 pF . La fréquence de coupure lorsque l'interrupteur est ouvert pour une charge de 75Ω est de 35 MHz , ce qui est nettement supérieur à 1 MHz . La charge maximale pouvant être utilisée tout en conservant une fréquence de coupure supérieure à 1 MHz est de 2600Ω .

3.3 Transfert de puissance isolé

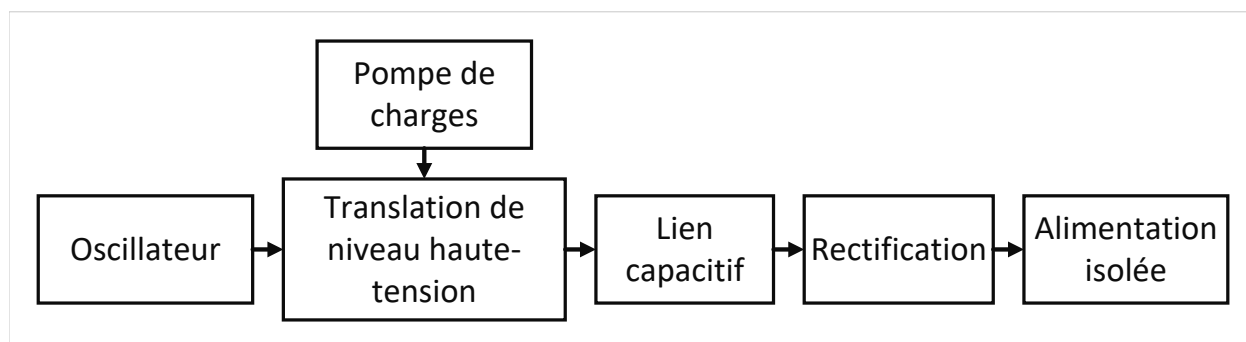


FIGURE 3.2 Système de transfert de puissance isolé.

La plupart des composants présents dans le système sont dédiés au transfert de puissance isolé. Ce système de transfert de puissance permet de générer une alimentation 5V au secondaire de la puce, référencée à la source commune des transistors de l'interrupteur principal. Le système de transfert de puissance, illustré sur la Figure 3.2, est constitué d'un certain nombre d'éléments :

- Un oscillateur générant le signal haute-fréquence qui module la puissance traversant le lien.
- Un système de translation de niveau qui élève la tension du signal en sortie de l'oscillateur afin de l'envoyer dans le lien d'isolation et transporter ainsi plus d'énergie. Cet étage sert aussi de tampon pour le signal provenant de l'oscillateur.
- Une pompe de charges afin de générer l'alimentation du système de translation de niveau.
- Un lien d'isolation réalisant l'isolation galvanique entre le primaire et le secondaire de la puce. Ici le lien est capacitif, ce choix est expliqué en détails dans la section dédiée.
- Un circuit permettant de rectifier le signal en sortie du lien d'isolation afin de le convertir en une alimentation continue.

Dans le cadre de la conception en vue de test, certains modules (oscillateur et translation haut-niveau) ont en réalité plusieurs implémentations différentes afin de prévenir le cas où

l'une d'entre elles ne fonctionne pas. des signaux externes permettent de sélectionner l'implémentation souhaitée, et seront abordés plus en détails dans le chapitre expliquant le prototype envoyé en fabrication.

3.3.1 Oscillateur

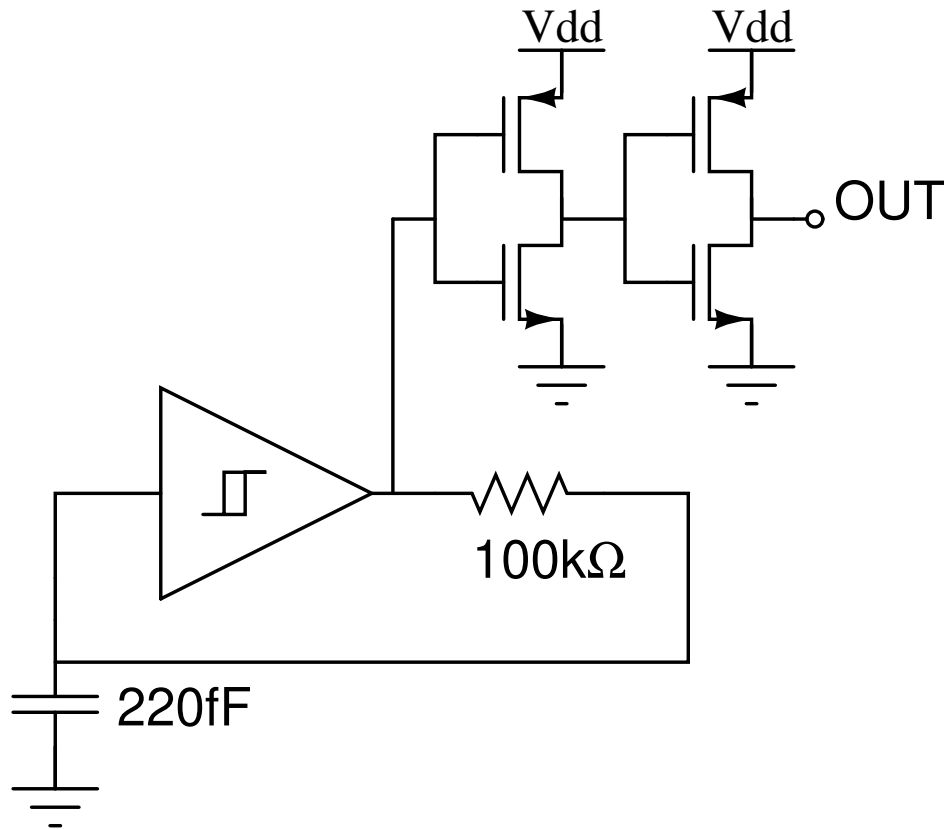


FIGURE 3.3 Oscillateur à base de bascule de Schmitt.

Le rôle de l'oscillateur est assez simple : Fournir une sortie carrée haute-fréquence pour moduler le signal traversant le lien capacitif. Le lien utilisé étant un lien capacitif, les signaux continus ne peuvent le traverser, il est donc impératif de moduler la puissance avec une porteuse haute-fréquence. Plus la fréquence utilisée est élevée, plus les condensateurs constituant le lien pourront être petits tout en conservant la même efficacité énergétique, mais tous les autres étages devront être capables de fonctionner à la même fréquence, ce qui est notamment un problème pour la rectification au secondaire qui doit pouvoir changer de polarité très vite. Au vu de ce compromis, nous sélectionnons une fréquence autour de 25 MHz. À noter que le système n'étant pas synchronisé, la fréquence n'a pas besoin d'être très précise ni stable en fonction des variations du procédé de fabrication. On utilise dans ce système un oscillateur

basé sur une bascule de Schmitt alimenté sous 3.3 V, représenté sur la Figure 3.3. En théorie, la sortie de la bascule de Schmitt passe à 3.3 V lorsque l'entrée atteint 1 V et passe à 0 V lorsque l'entrée atteint 2 V, en pratique, la limite haute est de 1.95 V et la limite basse de 1.13 V. La sortie de la bascule alimente un réseau RC, dont le condensateur est connecté à l'entrée de la bascule, fixant ainsi la fréquence d'oscillation du circuit. en première approximation, on peut considérer que la tension aux bornes du condensateur varie linéairement avec un coefficient directeur de $\tau = RC$, la fréquence d'oscillation sera ainsi proche de

$$f_{osc} = \frac{1}{2RC} = \frac{1}{2 \times (1.95 - 1.13) \times 100 \times 10^3 \times 220 \times 10^{-15}} = 27.72 MHz \quad (3.2)$$

La fréquence mesurée en simulation est de 27.70 MHz, ce qui est très proche de la valeur calculée. les signaux relatifs à la bascule de Schmitt sont représentés sur la Figure 3.4. On observe bien que l'entrée de la bascule varie entre 1.13 V et 1.95 V, la sortie changeant d'état lorsque l'entrée atteint une de ces valeurs.

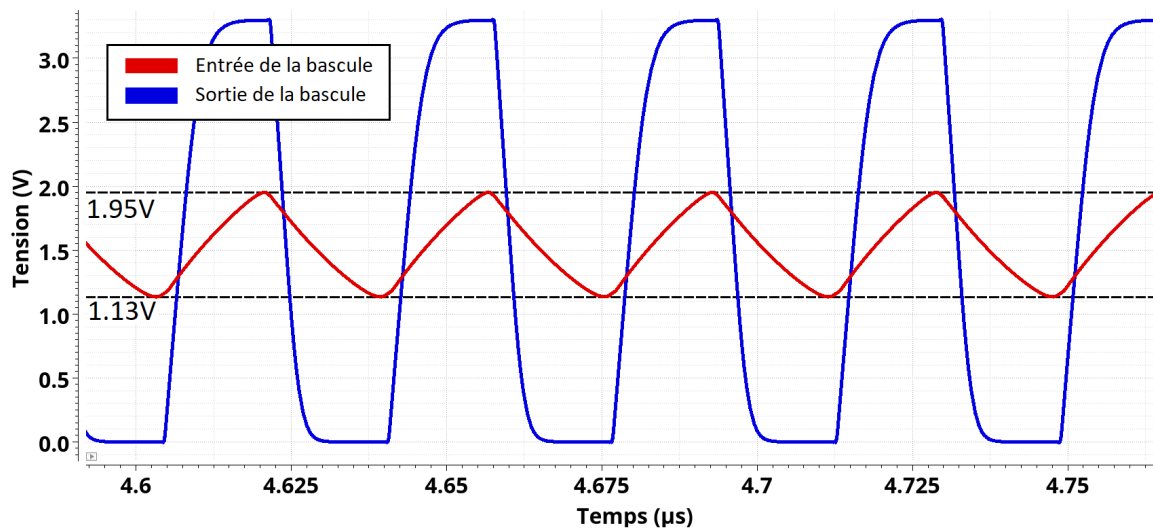


FIGURE 3.4 Signaux de la bascule de Schmitt dans l'oscillateur.

Un deuxième oscillateur est implémenté par redondance comme détaillé dans le chapitre 4. Cet oscillateur est un simple oscillateur constitué de cinq portes NOT en série. Afin de tester l'influence de la fréquence de l'oscillateur sur le système, ce second oscillateur oscille à une fréquence de 25.6 MHz.

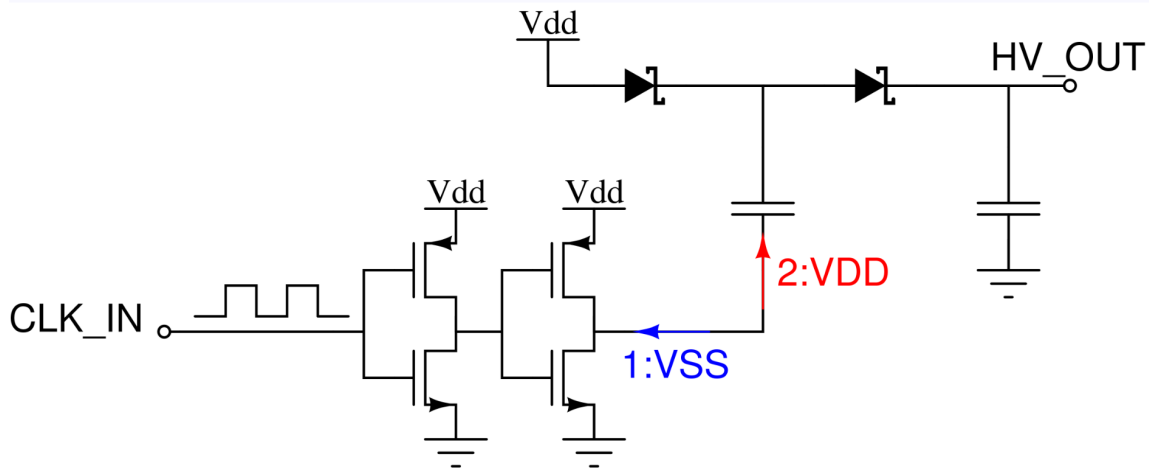


FIGURE 3.5 Pompe de charges du système de transfert de puissance isolé.

3.3.2 Pompe de charges

Lorsque le signal passe le lien capacitif, il perd sa composante continue. afin d'avoir une amplitude convenable au secondaire, il faut donc injecter un signal de grande amplitude à l'entrée du lien. La technique utilisée est simplement d'utiliser une pompe de charges pour augmenter la tension d'alimentation, et utiliser cette tension pour générer le signal carré envoyé dans le lien capacitif. Le fonctionnement de la pompe de charges implémentée est conventionnel et est illustré dans la Figure 3.5. Lors de la phase 1 le condensateur intermédiaire est chargé à VDD et lors de la phase 2 on échange la masse de ce condensateur pour la tension d'alimentation afin d'amener $2VDD$ sur la sortie. On utilise ici une pompe de charges à un seul étage afin de doubler approximativement la tension d'alimentation. la tension d'entrée est de 3.3 V et la sortie 6 V sans charge. Une attention particulière est apportée à la synchronisation de la pompe de charges et l'étage suivant (translation de haut-niveau). En effet, la translation de niveau haute tension passe à l'état haut sur le même front montant que la pompe de charges connecte VDD au condensateur intermédiaire (phase 2), ce qui permet d'utiliser un condensateur de sortie plus faible, car les deux condensateurs de la pompe de charges peuvent fournir du courant à la sortie, au contraire de la phase 1 où seul le condensateur de sortie à une tension suffisante pour alimenter la sortie.

3.3.3 Translation de niveau haut-tension

Deux implémentations différentes sont proposées pour la translation de haut-niveau. La première implémentation est présentée sur la Figure 3.6 et utilise la sortie de la pompe de charges comme alimentation, ainsi qu'un circuit permettant de changer d'état logique pour alterner la

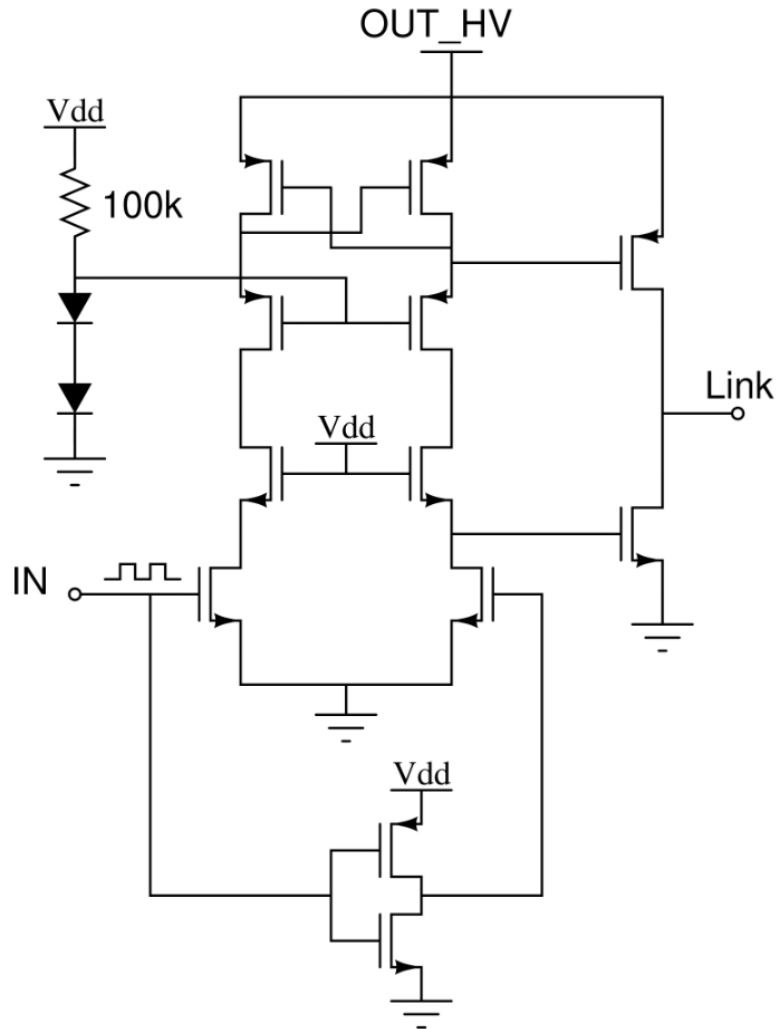


FIGURE 3.6 Translation de haut niveau utilisant la sortie de pompe de charges comme alimentation.

tension de sortie de la pompe de charges à la fréquence de l'oscillateur. Le circuit permettant de changer de niveau logique est une bascule, actionnée par les transistors NMOS inférieurs. Lorsque la grille d'un des deux NMOS inférieurs est au niveau logique haut, il devient alors passant et tire à l'état logique bas la grille du PMOS de la branche opposée, afin de l'activer. Le circuit étant une bascule, le PMOS tire alors sa branche à l'état logique haut, ce qui ferme l'autre PMOS. Les NMOS utilisés sont plus forts que les PMOS, ce qui permet aux NMOS de forcer l'état logique bas sur leur branche. Les transistors de la technologie utilisée ont une tension grille-source maximale de 5 V, et ce même pour les transistors haute-tension. L'inverseur de sortie, mais aussi les transistors de la bascule, ne doivent donc pas avoir une chute de tension supérieure à 5 V entre leur grille et source. Cette limitation en tension est effectuée par les transistors centraux qui, polarisés par une tension continue, assurent la protection du

circuit.

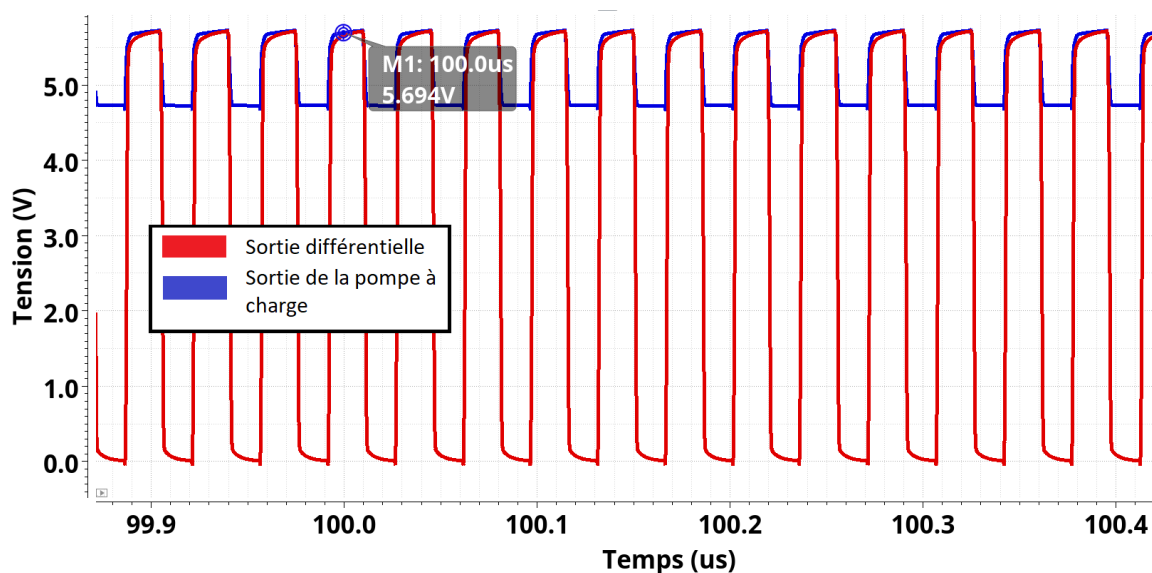


FIGURE 3.7 Simulation de la première implémentation de la translation haut-niveau.

la Figure 3.7 représente l'entrée et la sortie du circuit dans le système complet, ainsi que la tension d'alimentation en sortie de la pompe de charges. On observe que la sortie de la pompe de charges chute fortement à cause du transfert de puissance, d'où l'intérêt de synchroniser la pompe de charges avec cet étage.

Cet étage permet d'envoyer une amplitude d'environ 5.7 V dans le lien capacitif. La composante continue étant supprimée par le lien, plutôt que d'envoyer une tension alternant entre 0 et 5.7 V, on peut simplement alterner entre une tension valant 3.3 V ou -3.3 V.

Cette idée est exploitée dans la seconde implémentation de la translation de haut-niveau, où des inverseurs connectent simplement les connexions du primaire du lien capacitif à 0 V ou 3.3 V. En alternant les deux bornes entre 0 V et 3.3 V en opposition de phase, la différence de tension entre les bornes vaut alternativement 3.3 V et -3.3 V, et ce, sans utiliser d'alimentation haute-tension, ce qui est le principal avantage de cette implémentation. L'absence d'alimentation haute-tension permet de réduire fortement la taille du circuit, car la pompe de charges nécessite des condensateurs occupant une large surface. Cependant, cette seconde implémentation ne permet pas facilement de régler l'amplitude du signal envoyé dans le lien capacitif, là où l'alimentation haute tension peut être directement injectée depuis l'extérieur de la puce pour éventuellement envoyer plus de puissance au secondaire.

La seconde implémentation est représentée Figure 3.8, et utilise comme expliqué précédemment deux inverseurs contrôlés en opposition de phase pour envoyer un signal d'amplitude

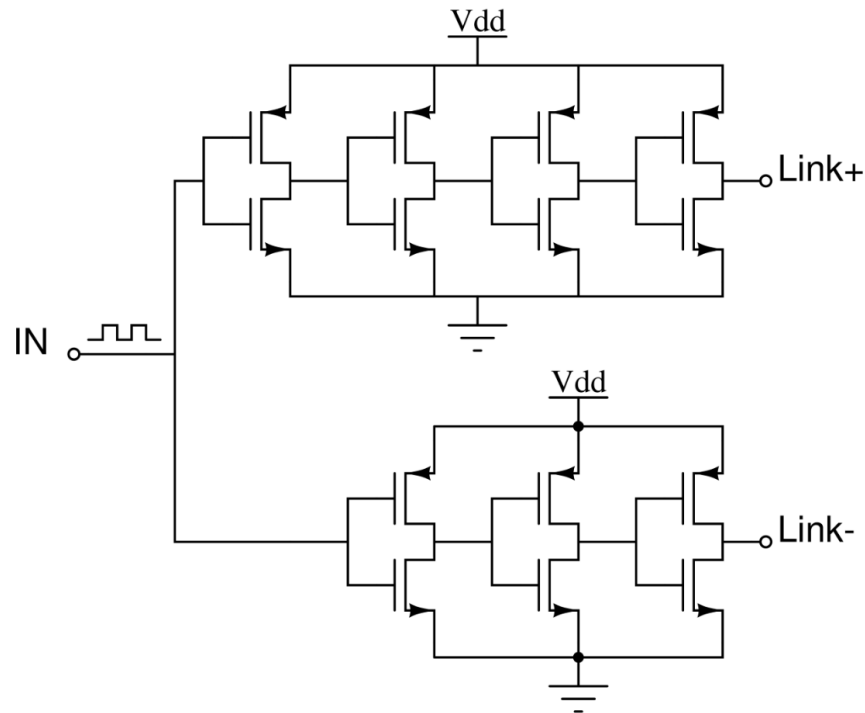


FIGURE 3.8 Translation de haut niveau utilisation deux inverseurs en opposition de phase.

proche de 3.3 V dans le lien capacitif. Étant plus simple, cette implémentation a aussi une meilleure efficacité énergétique, et fournit plus de puissance au secondaire que l'autre implémentation, ce qui est principalement dû aux diodes de la pompe de charges qui réduisent la tension d'alimentation effective du circuit de translation. La Figure 3.9 présente les résultats de simulation de cette seconde implémentation. On observe que le signal envoyé dans le lien à une meilleure amplitude que dans la première implémentation, le signal est aussi plus proche d'un signal carré, car l'alimentation utilisée ici est l'alimentation générale de la puce qui peut fournir beaucoup plus de courant que la pompe de charges possédant une faible capacité de sortie. Le principal impact de l'implémentation choisie est la tension au secondaire du système de protection, qui constitue l'alimentation du circuit de régulation de tension. Pour un courant traversant l'interrupteur de 50 mA, la tension au secondaire est de 4.77 V pour la première implémentation et de 5.01 V pour la seconde.

3.3.4 Isolation sur une seule puce

Un des défis principaux de ce travail est d'intégrer tout le système sur une seule puce de silicium. En effet, de nombreux travaux utilisent une isolation galvanique entre deux parties d'un circuit, notamment pour des systèmes de communication isolés [42,43], mais ces systèmes

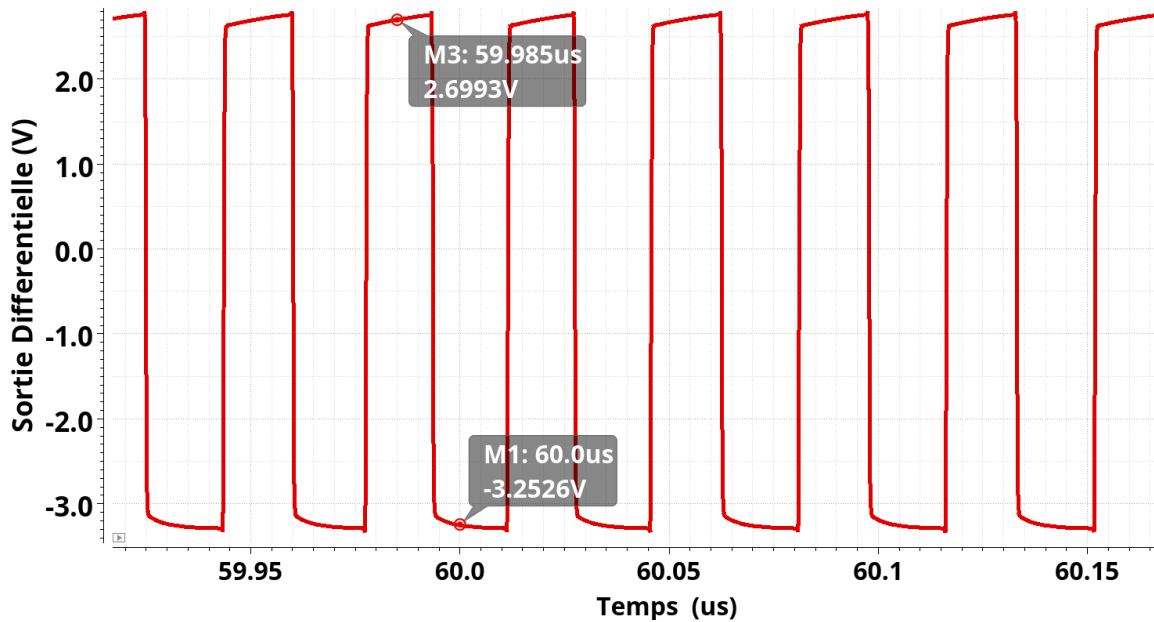


FIGURE 3.9 Simulation de la seconde implémentation de la translation haut-niveau.

utilisent toujours plusieurs dés de silicium séparés reliés entre eux par des fils. Intégrer toute l'isolation galvanique sur une même puce permet de réduire la complexité de l'assemblage et ainsi les coûts de fabrication d'un circuit imprimé. Le procédé de fabrication utilisé doit cependant pouvoir résister à la différence de tension entre le primaire et le secondaire. Le procédé utilisé permet une isolation capacitive allant jusqu'à 400 V. l'isolation sur une même puce est donc ainsi possible en faisant attention à certains points, car l'isolation SOI du procédé considéré n'est pas une isolation totale (FDSOI) mais une isolation partielle.

La structure de l'isolation proposée dans le procédé est illustrée dans la 3.10. Les circuits actifs sont placés dans les régions actives et séparées par une isolation. Le courant ne peut pas traverser l'isolation, mais le danger principal est qu'une grande différence de tension entre deux régions actives ou entre le contact du substrat et une région active peut former une zone de déplétion ou d'inverse dans la région active, à la manière d'un NMOS, l'isolation jouant alors le rôle de la grille du transistor. La création de zones d'inversion peut empêcher le circuit de fonctionner, voir l'endommager, il est donc primordial d'empêcher leur formation.

La première précaution est de ne pas placer de puits N proche de l'isolation latérale, afin de ne pas former de NMOS latéral. Il n'y a pas besoin de prendre cette précaution pour l'isolation verticale, car les puits N ne sont pas assez profonds pour atteindre l'isolation. Il faut par ailleurs polariser le contact du substrat à la plus basse tension disponible sur la puce, car les transistors haute-tension ont une connexion au substrat non-isolée. Pour les mêmes raisons, il faut apporter la tension la plus élevée du circuit au terminal NBUR (puits

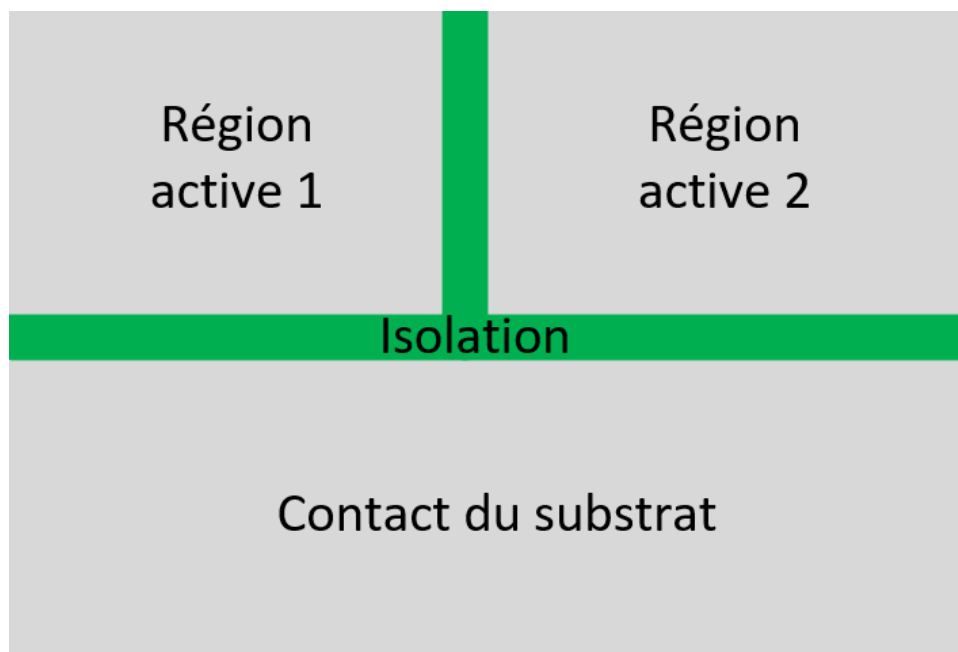


FIGURE 3.10 Structure de l'isolation FDSOI.

N enterré) des MOSFET haute-tension. Dans notre cas, puisque les MOSFET haute-tension ne sont utilisés que pour l'interrupteur principal, la tension la plus haute et la tension la plus basse que peuvent rencontrer ces MOSFET se trouvent directement sur les terminaux de l'interrupteur. Pour sélectionner dynamiquement quel terminal est connecté au Wafer et quel terminal est connecté à N BUR, on utilise un simple pont de diode, illustré sur la Figure 3.11. Pour les composants haute-tension, le procédé de fabrication propose aussi des structures de protections dédiées pour assurer leur bon fonctionnement.

La question principale concernant l'isolation concerne le choix du type d'isolation. Comme évoqué dans la section 2.2.4 plusieurs options existent, mais nous ne pouvons considérer qu'une isolation capacitive ou inductive simple ici, les autres techniques d'isolation étant trop complexes ou non intégrables dans un procédé standard. L'isolation inductive permet une meilleure immunité contre les transitoires de mode commun, mais génère des ondes électromagnétiques pouvant affecter les circuits environnants et a une faible efficacité énergétique. On choisira donc dans ce travail d'utiliser une isolation capacitive qui en plus de proposer une bonne efficacité énergétique est facilement intégrable dans le procédé utilisé, car des condensateurs haute-tension sont directement disponibles dans le procédé, ce qui réduit considérablement les erreurs potentielles sur la conception du lien.

Afin de pouvoir transmettre un maximum de puissance, les condensateurs de lien doivent avoir une capacité la plus élevée possible. Les condensateurs occupent cependant une surface

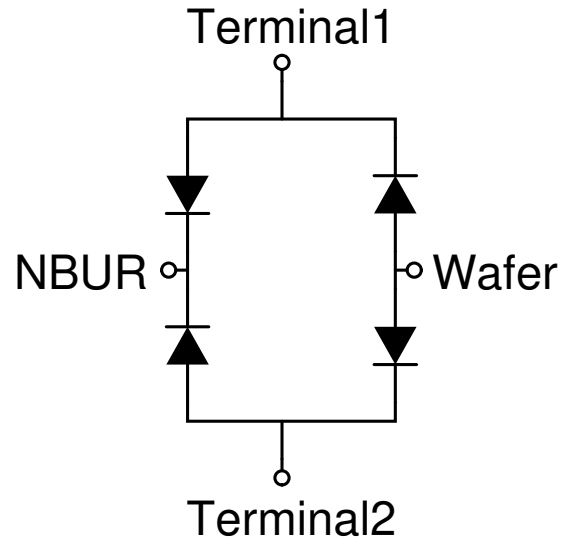


FIGURE 3.11 Polarisation automatique des terminaux de substrat et NBUR.

très importante sur la puce, on se limitera donc à une valeur de 50 pF pour chacun des deux condensateurs constituant le lien afin de limiter leur taille. Finalement, les condensateurs occupent 0.63 mm² sur les 5 mm² disponibles pour le prototype, ce qui reste raisonnable. Un second lien capacitif beaucoup plus petit est par ailleurs implémenté pour transmettre le signal d'information du secondaire vers le primaire lorsqu'il y a une surintensité.

3.3.5 Rectification

Les étages précédemment détaillés permettent d'acheminer un signal alternatif d'environ 27 MHz avec une amplitude d'environ 6 V au secondaire. Afin de reformer une alimentation continue pour le secondaire, il convient alors de rectifier ce signal. Les caractéristiques importantes du circuit de rectification sont les suivantes :

- Efficacité énergétique : Le circuit doit présenter le moins de pertes possible, car plus le secondaire nécessite d'énergie, plus le système de transfert de puissance doit occuper une grande surface pour fournir cette énergie.
- Rapide : Le circuit doit pouvoir commuter rapidement, pour suivre le signal d'entrée à 27 MHz
- Symétrique : Le circuit doit impérativement être un circuit redresseur pleine-onde, et non un redresseur demi-onde, car si le courant ne peut circuler que dans un sens dans le lien capacitif, ce dernier va se charger jusqu'à la tension maximale et empêcher tout courant de passer.
- Polyvalent : Le circuit doit pouvoir fonctionner peu importe la situation, que le pri-

naire et le secondaire soient couplés ou non.

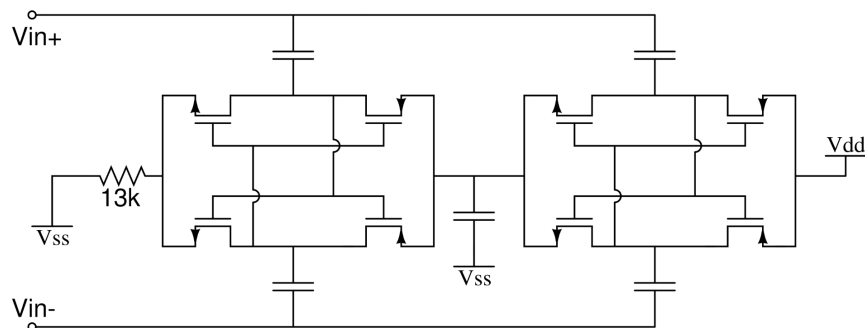


FIGURE 3.12 Circuit de rectification à deux étages utilisé [44].

De nombreuses solutions ont été testées, notamment en provenance de la littérature, mais la plupart ne sont pas assez rapides pour rectifier un signal haute-fréquence. Les deux solutions assez rapides qui ont été envisagées sont les suivantes :

- Un simple pont redresseur composé de quatre diodes : Cette solution a l'avantage d'être la plus simple possible, avec peu de probabilité de ne pas fonctionner et occupe peu de surface, mais elle impose une chute de tension minimale correspondant à deux diodes Schottky, soit un peu plus de 0.7 V. L'amplitude d'entrée étant de 3 V, une telle chute de tension induit une dissipation de puissance significative.
- Le circuit représenté sur la Figure 3.12 [44]. Le fonctionnement de ce circuit est plus complexe, mais permet de réduire fortement la chute de tension du circuit, car il ne présente pas de diode dans sa version originale. Une diode Schottky est cependant ajoutée sur sa sortie pour permettre au circuit de fonctionner convenablement même si les masses du primaire et du secondaire sont couplées. Ce circuit présente deux étages similaires, le premier étage rectifie la tension d'entrée et le second le rectifie une seconde fois en prenant pour référence la sortie du premier étage. Ce circuit agit donc comme un doubleur de tension, ce qui permet d'augmenter la tension de sortie, et de mieux s'accommoder de la chute de tension de la diode Schottky en sortie. Ce circuit est par ailleurs parfaitement symétrique, ce qui permet de ne pas avoir de composante continue sur le courant qui traverse le lien capacitif.

En sortie de ce redresseur de tension, on ajoute une diode Schottky comme mentionné précédemment, mais aussi un condensateur servant de réservoir d'énergie pour maintenir une tension constante au secondaire, ainsi qu'une diode Zener avec un seuil à 5.2 V Afin d'éviter que la tension au secondaire dépasse ce seuil critique, la tension maximale des transistors basse-tension du procédé de fabrication étant de 5.5 V. On obtient l'étage de rectification illustré sur la Figure 3.13. Les résultats de simulation de l'étage de rectification sont présen-

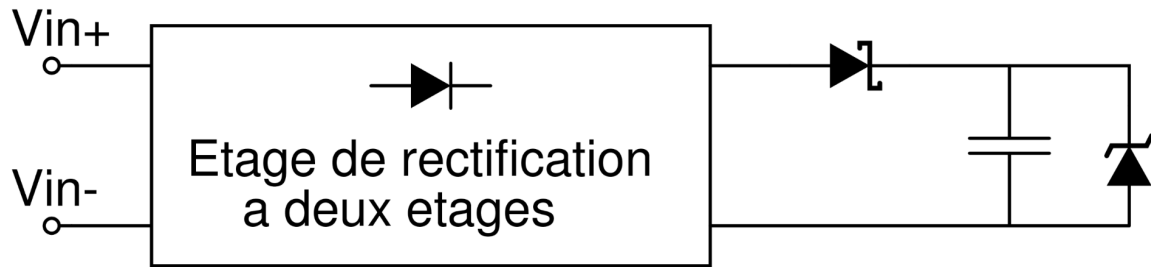


FIGURE 3.13 Etage de rectification au complet.

tés sur la Figure 3.14, avec un courant traversant l'interrupteur de 50 mA et le système de transfert de puissance utilisant la pompe de charges (le moins puissant des deux). On observe que la sortie est très proche de $Amplitude * 2 - V_{Schottky}$ ce qui correspond à la tension de sortie idéale du montage.

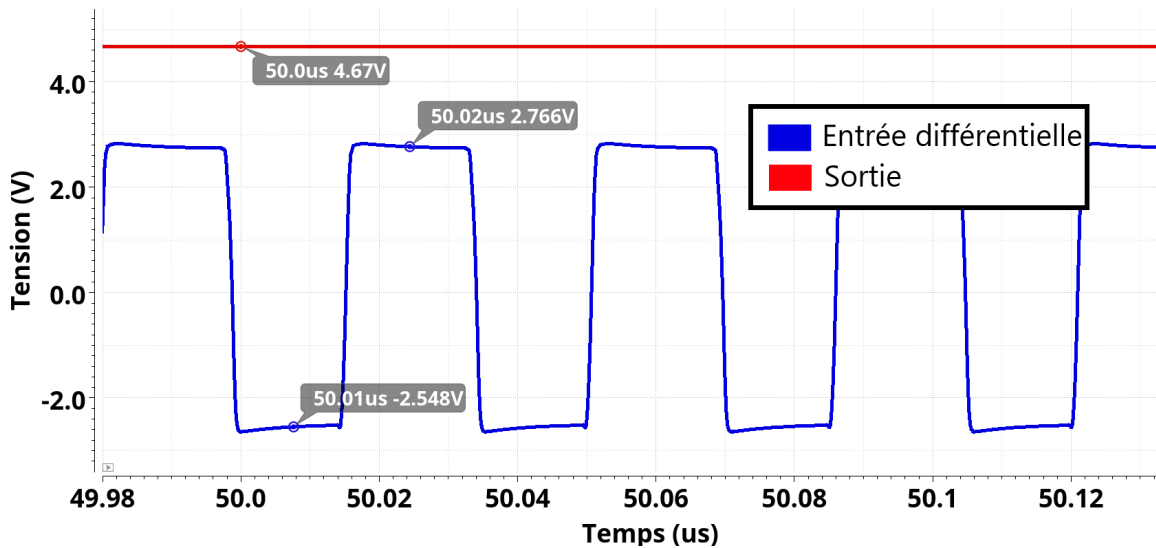


FIGURE 3.14 Entrée et sortie de l'étage de rectification.

3.4 Pilote de grille

Le pilote de grille utilisé dans ce travail est de conception originale, utilisant un retour de tension basé sur le mode de conduction d'un MOSFET, présenté dans [45]. Le pilote de grille doit limiter le courant à une valeur fixée par une tension externe appliquée sur une broche. Pour limiter le courant, le pilote de grille doit le connaître, on choisit dans ce travail d'utiliser une lecture de courant à base de SenseFET. L'utilisation d'un circuit SenseFET permet notamment une lecture du courant avec très peu de dissipation de puissance, mais

surtout de pouvoir traiter directement avec une image du courant traversant l'interrupteur, et non une tension provenant d'une résistance de shunt, qui est sensible aux variations de la valeur de la résistance à cause de la température ou du procédé de fabrication.

Le principe de fonctionnement du circuit est le suivant : Un circuit SenseFET génère un courant image du courant principal avec un facteur diviseur, on choisit ici un facteur de 1000, qui permet de limiter la consommation du secondaire tout en gardant une taille raisonnable pour l'interrupteur principal. Ce courant est alors encore divisé par 4 et injecté dans le drain d'un NMOS de comparaison. On applique en même temps sur la grille du NMOS de comparaison une tension provenant d'un circuit de polarisation réglable illustré sur la Figure 3.15. Ce circuit de polarisation prend en entrée une tension V_{reg} qui est appliquée aux

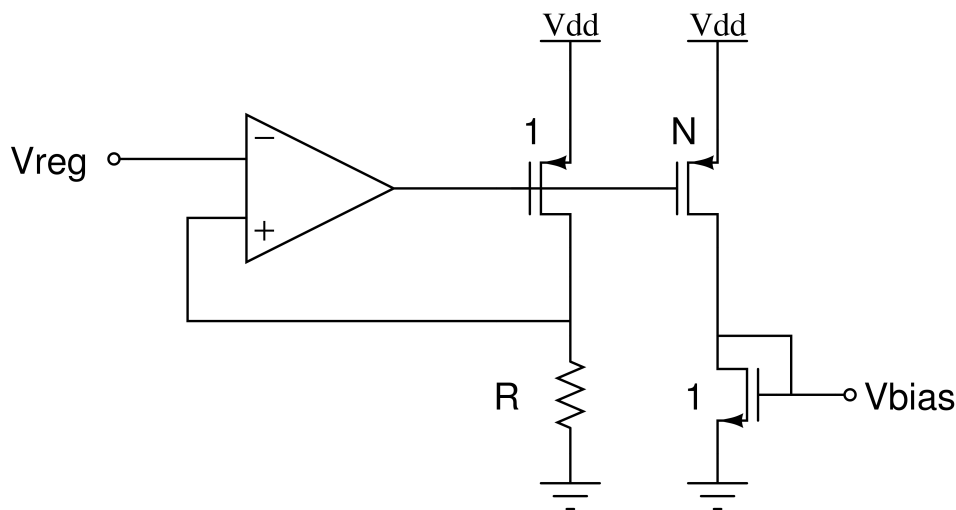


FIGURE 3.15 Circuit de polarisation réglable.

bornes d'une résistance R par l'intermédiaire d'un amplificateur opérationnel. Le courant généré est copié dans une autre branche par un miroir de courant et envoyé dans un NMOS monté en diode qui génère la tension de grille du NMOS de comparaison. Le miroir de courant ayant un rapport N le courant traversant le NMOS monté en diode est :

$$I_{lim} = V_{reg} \times \frac{N}{R} \quad (3.3)$$

Dans notre implémentation, on choisit une résistance de $50k\Omega$ et un rapport N de 1.

On a ainsi deux circuits différents qui essaient de forcer un courant dans le transistor de comparaison :

- Le courant provenant du circuit SenseFET forcé dans le drain par un miroir cascode et correspondant au courant traversant l'interrupteur.

- Le courant provenant du circuit de polarisation réglable forcé par la tension de grille correspondant à la limite désirée.

L'influence de ces deux contraintes sur le transistor de comparaison est la suivante : Si le courant traversant l'interrupteur est inférieur à la limite fixée par le circuit de polarisation, le transistor de comparaison est en région ohmique et la chute de tension à ses bornes est très faible. Lorsque le courant dépasse la limite, c'est le circuit de polarisation qui limite le courant traversant le transistor de comparaison, qui entre alors en saturation et sa tension de drain augmente. La tension de drain du transistor de comparaison est comparé par un amplificateur opérationnel avec la tension de drain du transistor monté en diode du circuit de polarisation. La sortie de l'amplificateur opérationnel alimente directement la grille commune des deux transistors formant l'interrupteur principal. Lorsque le courant est inférieur à la limite, le drain du transistor de comparaison est donc proche de 0 V, et la sortie de l'amplificateur opérationnel est proche de la tension d'alimentation du secondaire. Lorsque le courant dépasse la limite, la tension de drain du transistor de comparaison augmente, et la sortie de l'amplificateur diminue, ce qui réduit la charge de la grille de l'interrupteur principal, limitant ainsi le courant.

Le circuit résultant est illustré sur la Figure 3.16. Comme présenté sur la Figure 3.16(a), les transistors SenseFET en parallèle de l'interrupteur principal sont connectés à l'interrupteur par des courts-circuits virtuels qui permettent en même temps de copier le courant traversant les SenseFETs. Sur la Figure 3.16(b) Ce circuit est présent en deux exemplaires pour limiter le courant dans les deux polarités, mais le transistor de comparaison est partagé par les deux circuits. Pour tester ce circuit, on l'alimente sous 4.7 V (tension typique en sortie du circuit de rectification) et on le connecte à une charge de 50Ω alimentés par une tension continue de 4 V. À $t=200\ \mu\text{s}$, la source de 4 V crée un échelon de tension montant jusqu'à 24 V. La tension V_{reg} est fixée à 1.25 V de façon à avoir une limite de courant de 100 mA, le rapport total de réduction du circuit de lecture du courant étant de 4 000 entre le courant principal et le courant injecté dans le transistor de comparaison. Les signaux OVC_trig (drain du transistor de comparaison) et le courant traversant l'interrupteur sont représentés sur la Figure 3.17. On observe bien que la tension OVC_trig correspondant au drain du transistor de comparaison augmente lorsque le courant dépasse la limite et se stabilise lorsque le courant est limité. Le circuit permet de réguler le courant de charge traversant l'interrupteur de protection en $95.7\ \mu\text{s}$ pour atteindre une valeur de courant avec moins de 2 % de variation par rapport à la valeur programmée. Il convient aussi de vérifier la linéarité de la limite programmée et ses limites, pour ce faire, on simule le circuit dans les mêmes conditions, et on affiche le courant de charge limité par le circuit en fonction de la tension d'ajustement V_{reg} .

Cette simulation est illustrée sur la Figure 3.18. On remarque que la limite est parfaitement

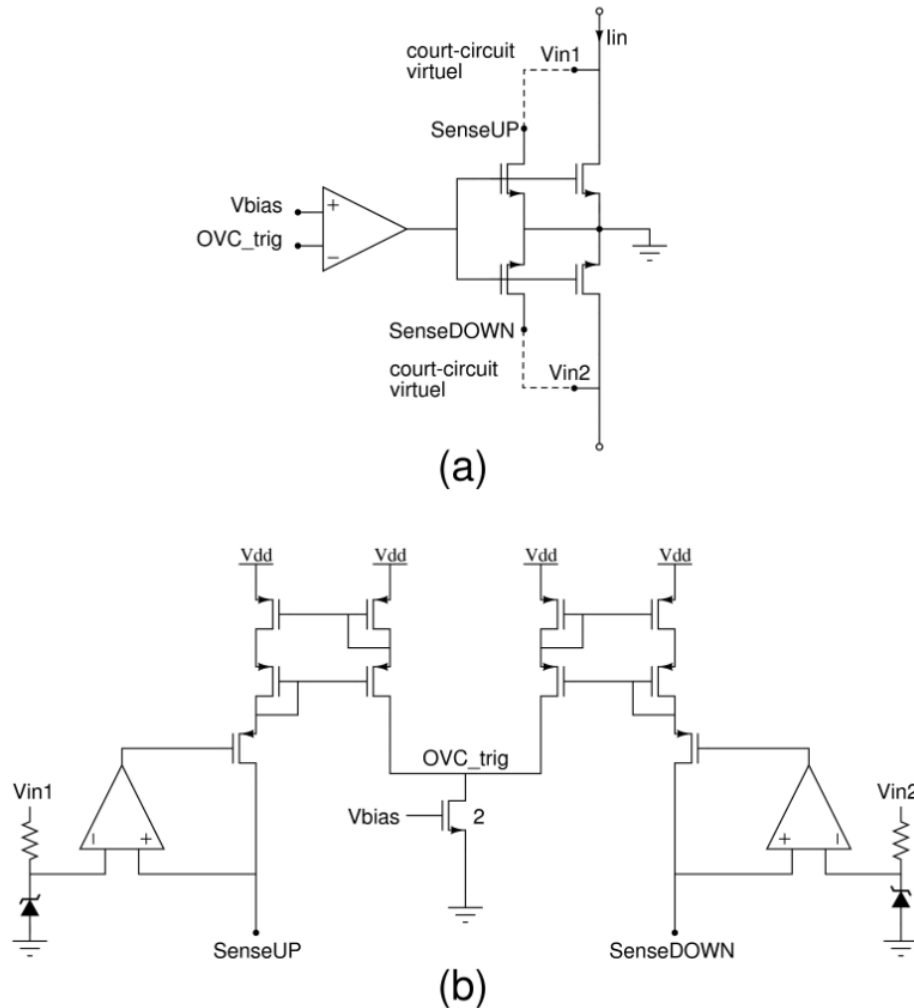


FIGURE 3.16 Circuit de limitation du courant, (a) interrupteur principal et (b) pilote de grille.

linéaire jusqu'à environ 4.3 V et suit l'équation 3.3. Cependant, lorsque la tension d'ajustement se rapproche trop de la tension d'alimentation (4.7 V ici) la limite en courant croît exponentiellement jusqu'à n'être limité que par la résistance de l'interrupteur et la charge, ce qui correspond au plateau sur la Figure 3.18. Cela est dû au transistor monté en diode dans le circuit de polarisation réglable qui présente une chute de tension importante lorsque le courant qui le traverse est fort, ce qui force le transistor de comparaison dans la région ohmique et désactive la limitation de courant. Ce phénomène limite la plage de limitation en courant, mais permet aussi de désactiver la limite de courant au besoin, par exemple si on souhaite tester le système sans cette limite.

Le principal désavantage de ce circuit est sa précision face à de fortes tensions. En effet, les transistors SenseFET sont connectés à l'interrupteur principal par des courts-circuits virtuels

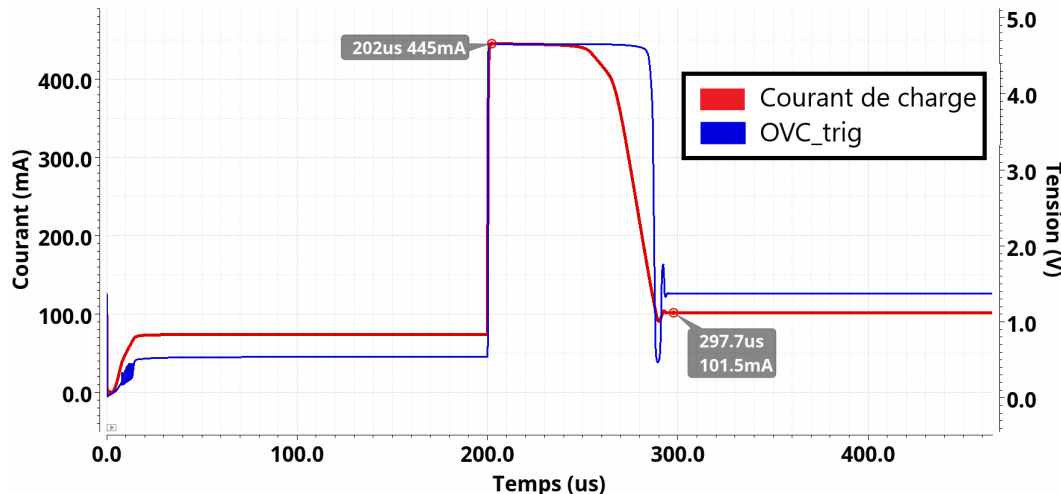


FIGURE 3.17 Simulation du circuit de régulation de courant soumis à un échelon de courant à $t=200\mu\text{s}$.

et ne peuvent donc pas présenter la même tension que ce dernier si la tension d'alimentation de la charge dépasse la tension d'alimentation du secondaire. Cela se traduit par une absence de compensation des effets de modulation de canal, la limite en courant augmente donc si la tension de charge augmente. On peut déjà observer cet effet sur les simulations précédentes, la tension d'alimentation de la charge étant 24 V alors que le circuit est alimenté sous 4.7 V, la limite en courant est de 101.5 mA pour une tension d'ajustement de 1.25 V alors que la limite devrait être de 100 mA. Dans le cas extrême où la charge est un court-circuit et l'interrupteur est soumis à sa maximale tension de 200 V, la limite est de 139 mA pour une tension d'ajustement V_{reg} de 1.25 V, soit une variation de 39 % par rapport à la valeur programmée ce qui est loin des spécifications attendues. Ce cas reste cependant le pire cas atteignable et dans des conditions de fonctionnement classiques, la variation de la limite est inférieure à 5 %. Par exemple, une charge de 250 Ω avec une alimentation de 50 V ne provoque qu'une variation de 5 % de la limite alors que l'alimentation est plus de 10 fois supérieure à celle du secondaire.

3.5 Limitation en température

Le rôle du circuit de limitation en température est d'informer le système si la température dépasse une valeur seuil. Les performances des systèmes se dégradant généralement autour de 125°C, la limite est ici arbitrairement fixée à 90°C. Prendre une valeur nettement en dessous des valeurs maximales du procédé permet notamment de pouvoir répéter des tests dans lesquels la température augmente rapidement sans risque d'endommager la puce. À cause

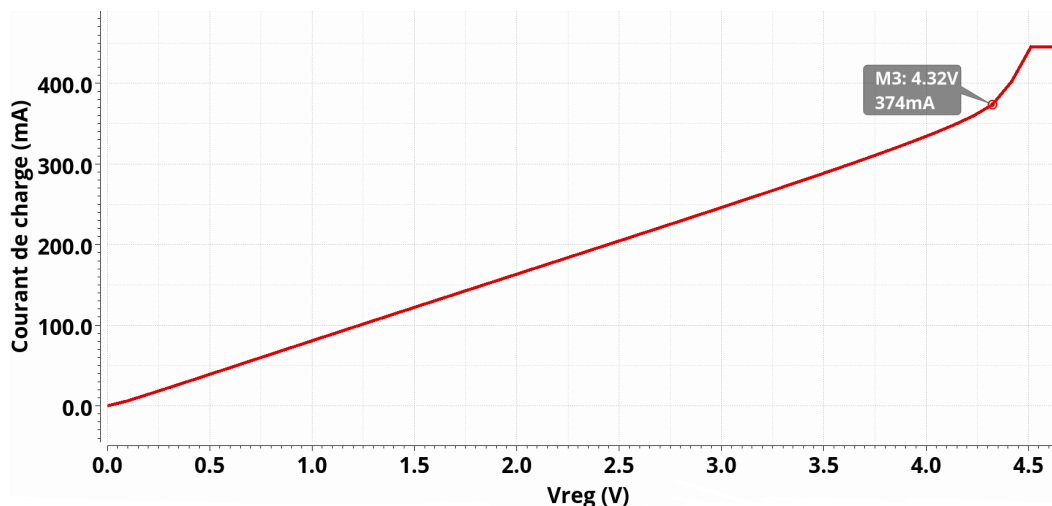


FIGURE 3.18 Simulation de la limite en courant du circuit en fonction de la tension d’ajustement V_{reg} .

des variations du procédé de fabrication et des différentes erreurs de couplage des transistors dans le circuit, la valeur réelle de la limite en température peut être plus élevée en pratique que la valeur simulée ; fixer la limite à 90°C permet ainsi d’éviter que la valeur ne soit dans une zone critique pour les composants. Enfin, le circuit de gestion de la température étant situé au primaire de l’alimentation isolée et non au secondaire où la dissipation de puissance est la plus élevée, prendre une limite basse permet d’éviter que le temps de réponse du système provoque une élévation de température trop importante avant que l’interrupteur soit ouvert à cause de la surchauffe.

Le circuit implémenté intègre un générateur de tension Proportionnel To Absolute Temperature (PTAT) repris de [46] qui permet de générer une tension proportionnelle à la température de la puce, un amplificateur de tension différentiel à base d’Amplificateur Opérationnel (AOP) permettant d’amplifier la tension du générateur PTAT, et un comparateur à hystérésis permettant d’éviter d’éventuelles oscillations sur la sortie. Le schéma du circuit de limitation de la température est représenté dans la ? Figure 3.19.

Lorsque la température dépasse 90°C , la sortie du circuit passe à l’état logique haut (3.3 V) et lorsque la température repasse ensuite en dessous de 90°C , la sortie passe à l’état logique bas (0 V). Ce circuit aurait offert un temps de réaction plus court en étant placé au secondaire de l’alimentation isolée, les transistors de puissance générant une importante quantité de chaleur lors de la limitation de courant faisant partie de l’interrupteur principal au secondaire. Cependant, nous avons fait le choix de placer ce circuit au primaire afin de réduire la consommation de courant du secondaire et d’avoir accès à une alimentation stable

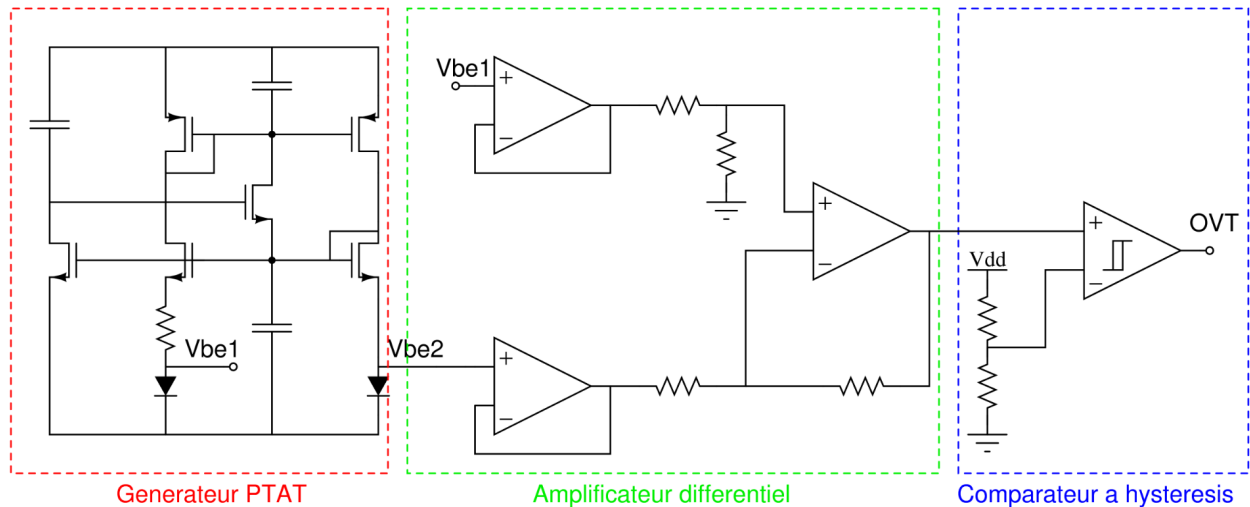


FIGURE 3.19 Schéma du circuit de limitation de la température.

3.3 V provenant de la broche EN. La simulation du circuit de gestion de la température est présentée sur la Figure 3.20. On observe que la sortie du circuit de limitation en température passe à l'état logique haut lorsque la température dépasse 91°C , ce qui est très proche de la limite attendue de 90°C .

Les variations de procédé de fabrication pouvant avoir une forte influence sur la limite en température du circuit, des simulations ont été réalisées afin d'analyser les variations du circuit implémenté. On observe la sortie du circuit en faisant varier la température du circuit de 85°C à 95°C . On réalise 4 simulations, pour chaque extremum du procédé de fabrication : SS (Slow/Slow), FS (Fast/Slow), SF (Slow/Fast) et FF (Fast/Fast) qui correspondent aux vitesses relatives des transistors NMOS et PMOS. Par exemple, pour un extremum FS les NMOS sont considérés comme rapides et les PMOS comme lents. Ces simulations sont représentées sur la Figure 3.21, on observe que les extremums influencent bien la valeur effective de la limite en température, mais que la limite reste très proche de la valeur nominale de 91°C , peu importe l'extremum considéré. Il est cependant important de noter que ces simulations ne considèrent pas d'éventuelles erreurs de couplage des composants, uniquement des variations uniformes du procédé de fabrication. Prendre en compte les erreurs de couplage nécessite des simulations de type Monte-Carlo et des données très précises concernant les potentielles variations dynamiques du procédé de fabrication. N'ayant pas de telles données à notre disposition, et ne souhaitant pas rallonger considérablement le temps de conception, nous ne considérons ici que des variations uniformes du procédé XT018.

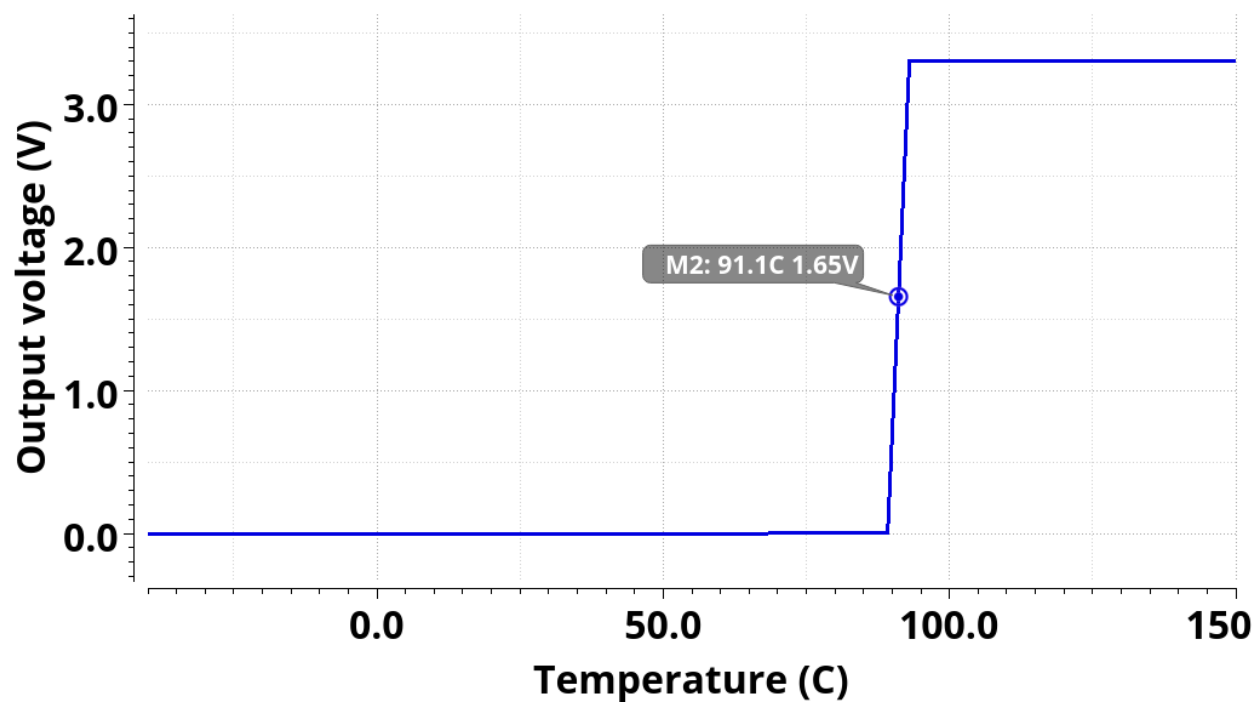


FIGURE 3.20 Simulation du circuit de limitation de la température.

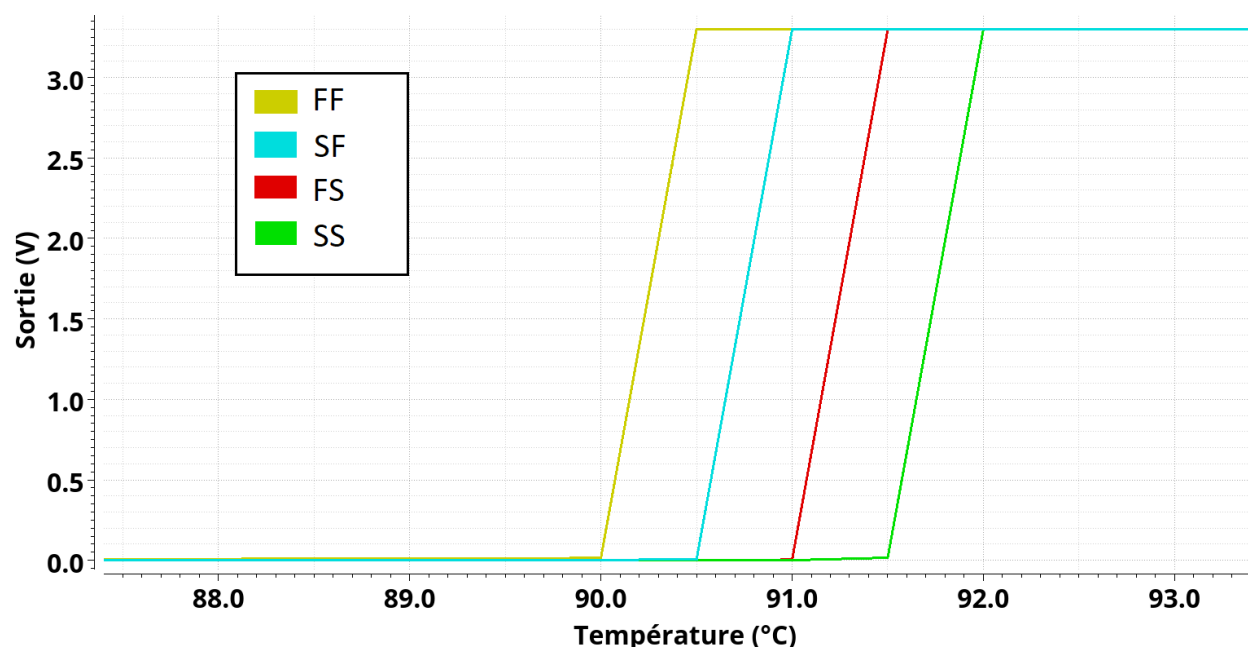


FIGURE 3.21 Simulation des variations de procédé de fabrication du circuit de limitation de la température.

CHAPITRE 4 Prototypage et fabrication

Ce chapitre présente le prototype envoyé en fabrication, ainsi que des simulations post placement et routage permettant de valider son bon fonctionnement. Le plan de test associé à ce prototype est présenté en annexe.

4.1 Conception en vue de test

L'architecture du prototype respecte la structure présentée à la Figure 3.1, mais introduit des broches supplémentaires afin de pouvoir tester convenablement la puce après fabrication, et contourner d'éventuelles erreurs de conception ou de fabrication. Les signaux de la conception en vue de test sont présentés dans la Figure 4.1. Comme évoqué dans le chapitre précédent, la

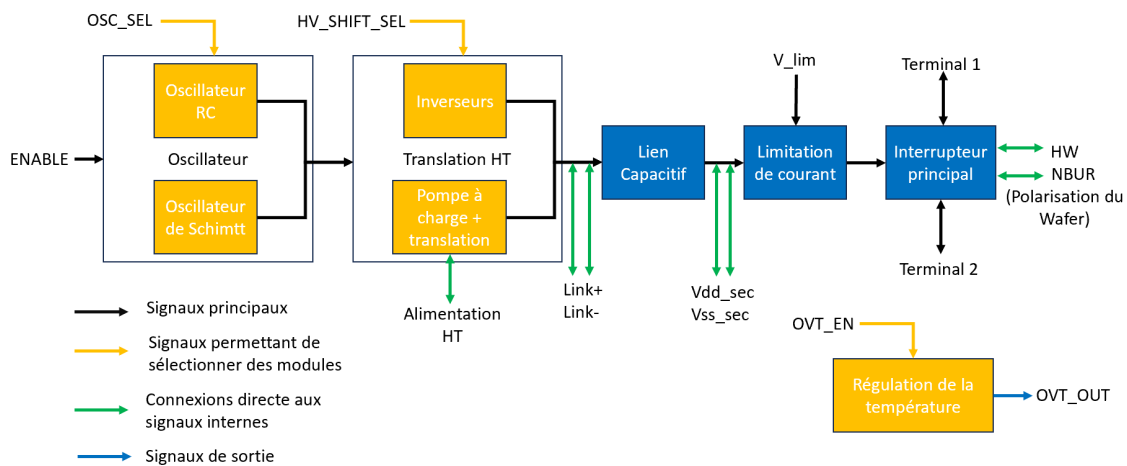


FIGURE 4.1 Conception en vue du test du prototype.

première précaution est d'ajouter de la redondance sur certains blocs occupant peu d'espace sur la puce. Cette redondance n'est pas à proprement parler une technique facilitant le test du prototype, mais permet de tester différentes configurations et prévenir la situation dans laquelle un bloc ne fonctionnerait pas. Ainsi, deux versions de l'oscillateur et du système de transfert d'énergie capacitif sont implémentés, et peuvent être sélectionnés à partir d'une proche externe. le signal d'entrée correspondant au choix de l'oscillateur (**OSC_SEL**) ou au système de transfert de puissance (**HV_SHIFT_SEL**) doit simplement être maintenu à l'état logique haut ou bas pour sélectionner la version souhaitée. Cette redondance permet d'une part d'éviter qu'un bloc ne fonctionnant pas rende la totalité de la puce inutilisable, mais aussi de tester différentes configurations. Par exemple, les deux oscillateurs n'ont pas

tout à fait la même fréquence, l'oscillateur de Schmitt oscillant à 22.7 MHz contre 27.3 MHz pour l'oscillateur RC constitué de portes NOT, on pourra ainsi observer si la variation de la fréquence de l'oscillateur a un impact sur le système.

Concernant le système de transfert de puissance, le module utilisant une alimentation haute tension permet d'utiliser une source de tension externe pour alimenter l'étage, ce qui permet indirectement de contrôler la tension au secondaire de la puce. Le module de transfert de puissance utilisant des inverseurs, quant à lui, permet de transférer plus de puissance avec une meilleure efficacité énergétique et sans alimentation haute-tension, mais n'est pas réglable. Les deux systèmes de transfert de puissance sont ainsi intéressants à tester. Enfin, on peut activer ou désactiver la limite en température au travers du signal OVT_EN, afin de tester le fonctionnement de la puce au-delà de la limite de 100 °C, la sortie du circuit de gestion de la température est par ailleurs transmis sur une broche de sortie afin de pouvoir tester ce circuit seul.

L'autre aspect important de la conception en vue de test est la possibilité de lire certains signaux, mais aussi de leur fixer une valeur. cela est fait simplement par une connexion externe, mais le fait de connecter un signal à l'extérieur impose plusieurs contraintes :

- Le signal doit être contrôlé par un circuit robuste dont le fonctionnement n'est pas altéré par l'ajout d'une capacité sur le nœud de sortie, le plot de sortie et la sonde de l'oscilloscope pouvant représenter une capacité de plusieurs picofarads.
- Le circuit qui contrôle le signal ne doit pas être endommagé si sa sortie est court-circuitée à une tension externe. Pour les alimentations, on pourra par exemple ajouter une diode interne afin d'éviter les retours de courant.

Les signaux connectés directement à des broches de la puce sont les suivants :

- Alimentation HT : L'alimentation haute-tension du primaire de la puce est un signal robuste présentant déjà une large capacité, ajouter une capacité parasite n'est donc pas un problème, mais améliore en réalité ses performances. Cette alimentation provient de la pompe de charges qui possède une diode sur sa sortie, injecter une tension supérieure n'est ainsi pas un problème tant que cette tension ne dépasse pas la limite de 10 V qui correspond à la tension maximale du condensateur utilisé en sortie de la pompe de charges.
- Link+ / Link- : Les entrées côté primaire du lien capacitif sont par définition des nœuds très capacitifs, ainsi ajouter une capacité n'est pas un souci. Si un signal doit être injecté à cet endroit, c'est que le reste du circuit primaire ne fonctionne pas, on se trouve alors dans un cas où l'injection peut endommager le primaire, mais celui-ci ne fonctionne déjà pas. Ce signal est un des rares signaux où injecter un signal n'est pas recommandé s'il n'est pas nécessaire pour le fonctionnement de la puce. Ces terminaux

- sont principalement rendus disponibles pour visualiser leur tension, ou éventuellement ajouter une résistance entre les deux terminaux afin de décharger le lien capacitif.
- V_{dd_sec} / V_{ss_sec} : Comme l'alimentation haut-tension, l'alimentation du secondaire est rendue accessible, car sa valeur dépend de nombreux paramètres du système (oscillateur choisi, système de transfert de puissance choisi, courant de charge) et est ainsi primordial à afficher. On peut par ailleurs ajouter un condensateur externe entre ces deux bornes pour réduire les ondulations de tension au secondaire. Enfin, la sortie de l'étage de rectification est protégé par une diode, injecter une tension externe plus élevée que celle en sortie de l'étage de rectification n'est donc pas un problème.
 - HW / NBUR : Ces deux terminaux correspondent à la polarisation du wafer (Handle Wafer) et du puits N des transistors de puissance (N Burried). Ils présentent une tension qui peut varier, mais en cas de soucis, peuvent être maintenus à la plus haute tension du circuit pour NBUR et la plus basse pour HW. Ces terminaux sont aussi protégés par des diodes, l'injection d'une tension n'est donc pas dangereuse pour le système.

4.2 Placement et routage

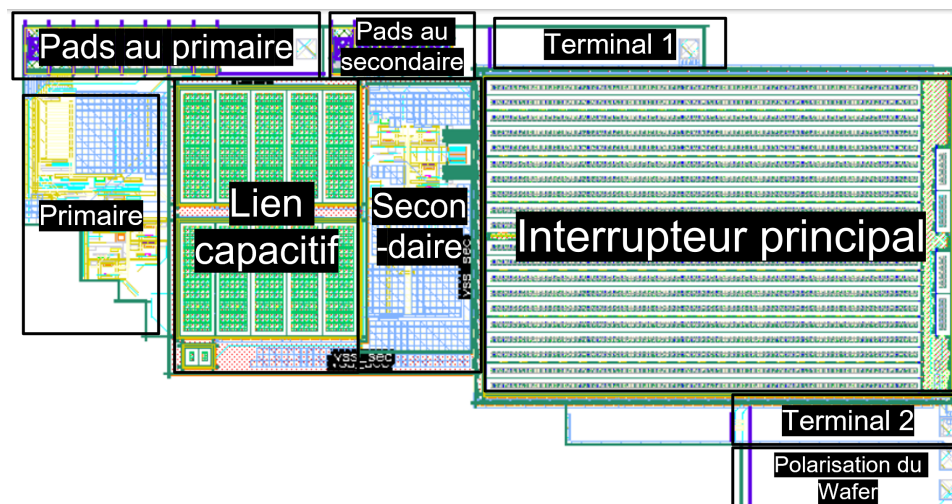


FIGURE 4.2 Circuit après placement et routage.

Le circuit obtenu après placement et routage est représenté sur la Figure 4.2. On remarque que l'interrupteur principal et le lien capacitif occupent la grande majorité de la puce. L'interrupteur principal occupe une grande surface, d'une part, car il doit présenter une résistance très faible à l'état passant bien qu'il soit constitué de transistors haute-tension qui présentent une grande résistance par unité de surface, et de l'autre, car le circuit SenseFET a besoin

d'un grand ratio entre le transistor principal et le SenseFET pour avoir une consommation raisonnable. Les condensateurs du lien sont, eux aussi, très larges, car ils doivent avoir une valeur élevée tout en étant capable de tenir 200 V. Même pour les circuits actifs, les condensateurs occupent la plupart de l'espace. Cela est principalement dû au fait que les condensateurs ayant la meilleure capacité par unité de surface n'étaient pas disponibles pour notre fabrication. La surface totale du circuit est de 4.2 mm², la surface minimale pouvant être fabriquée pour le procédé XT018 étant de 10 mm², un autre projet est inclus sur le dé, situé en dessous du circuit présenté ici.

4.3 Simulations post placement et routage

Les simulations suivant l'étape de placement et routage permettent de valider le fonctionnement du système et tester les effets du routage sur les performances. Ces simulations nécessitant un temps de calcul très important, on se focalisera sur deux simulations pour le système complet : Une simulation permettant de valider le fonctionnement global et une simulation permettant de tracer la courbe $I_{charge}(V_{lim})$. Chaque bloc individuel a été testé post placement et routage en reprenant les simulations fonctionnelles présentées précédemment afin de s'assurer de leur bon fonctionnement après fabrication, en prenant aussi en compte les coins du procédé de fabrication et la variation de la température.

Pour valider le fonctionnement global du système, on simule un pic de tension au secondaire en faisant passer l'alimentation de la charge de 5 V à 28 V à $t=75 \mu s$ pour une charge de 100 Ω , la limite de courant étant fixée à 100 mA. Le défaut est retiré à $t=200 \mu s$. On affiche la tension d'alimentation de la charge, le courant qui la traverse, ainsi que le signal FAULT et la charge de la grille des transistors formant l'interrupteur principal. Le résultat est présenté sur la Figure 4.3.

On observe que le courant est bien limité à la valeur seuil de 100 mA en régime permanent (avec une erreur inférieure à 1%) et que le courant retrouve une valeur proche de 50 mA lorsque le défaut est retiré. Le signal FAULT reste bien à l'état haut lorsque le défaut est présent, l'état logique est inversé par rapport à la logique en sortie du plot, car ce dernier fonctionne en drain commun et inverse la logique, on simule ici sans les plots. Le courant a une valeur quasiment nulle avant le défaut, car afin de réduire le temps de simulation, nous n'avons laissé que le temps minimal au système pour démarrer, on observe néanmoins que le courant augmente juste avant le défaut, ce qui montre que le système avait bien eu le temps de démarrer et le courant se serait stabilisé proche de 50 mA s'il n'y avait pas eu de surintensité. La charge de la grille augmente lorsqu'il n'y a pas de défaut, avec un plateau durant environ 25 μs lorsqu'elle atteint le seuil du transistor (visible entre $t=37 \mu s$ et $t=62$

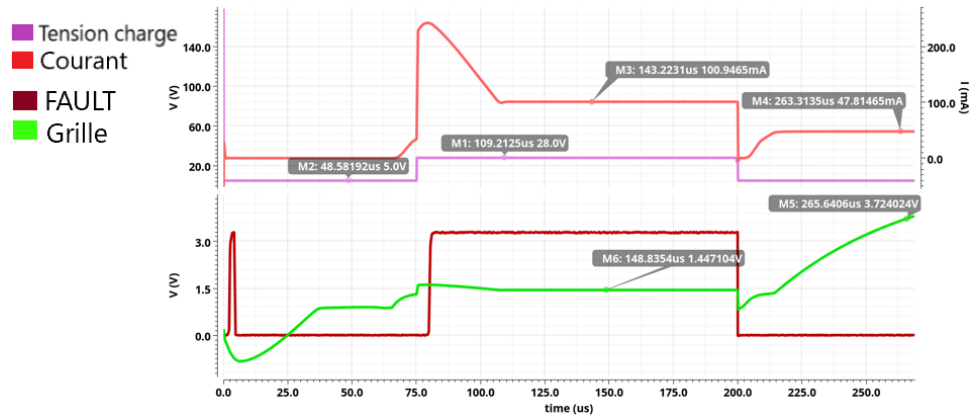


FIGURE 4.3 Simulation globale post placement et routage.

µs sur la figure). Lorsque le défaut survient, la grille est déchargée et conserve une valeur constante proche du seuil durant toute la durée du défaut.

La deuxième simulation permet de tracer la courbe $I_{charge}(V_{lim})$. Pour cela, on réalise une analyse continue en faisant varier la tension V_{lim} . On obtient la courbe représentée sur la Figure 4.4. On observe bien que la courbe suit une droite de coefficient directeur 83.3 mA/V,

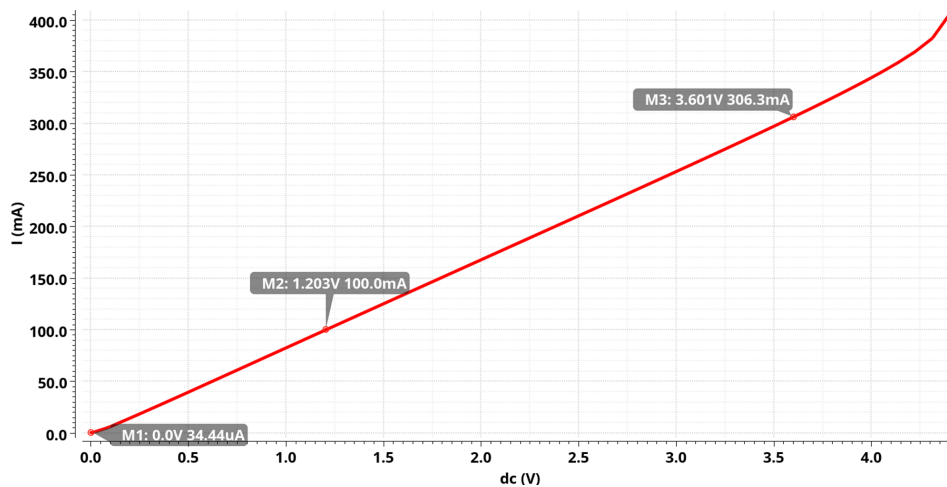


FIGURE 4.4 Courbe $I_{charge}(V_{lim})$ après placement et routage.

ce qui est légèrement supérieur aux 80 mA/V attendus, mais reste constant jusqu'à 350 mA. On observe aussi que la limite commence à augmenter plus rapidement lorsque la tension V_{lim} s'approche de la tension d'alimentation du secondaire, jusqu'à désactiver la limitation en courant. Cet effet limite la gamme de courant que peut limiter l'interrupteur, mais permet aussi de désactiver la limite pour tester l'interrupteur à de plus hauts courant ou tester l'interrupteur sans limitation de courant.

Ces simulations nous permettent de valider le bon fonctionnement du circuit avant sa fabrication. Après fabrication, il sera important de comparer ces simulations avec les mesures réalisées selon le plan de test présenté en annexe.

En complément, de nombreuses simulations ont été effectuées afin de valider le bon fonctionnement du système :

- Les variations en fonction du procédé de fabrication et de la température de tous les circuits ont été caractérisées pour s'assurer que le circuit fabriqué fonctionnera. Le circuit a notamment été testé dans les coins Fast-Fast, Fast-Slow, Slow-Fast, Slow-Slow et typique en utilisant des températures de -40, 27 et 125°C.
- Le circuit a été soumis à des échelons de tension de 200 V sur ses terminaux pour s'assurer que cette tension ne se retrouve pas sur les entrées et endommage l'interface.
- La stabilité du circuit de limitation du courant a été testée en utilisant différentes charges, et notamment des charges inductives allant jusqu'à 10 mH. Lorsque la charge est très inductive, le circuit reste stable, mais il met plus de temps à se stabiliser et à une réponse du second ordre.
- Plus largement, tous les tests présentés dans le plan de test en annexe ont été réalisés pour s'assurer que le prototype soit fonctionnel.

CHAPITRE 5 CONCLUSION

Dans cette dernière partie, l'objectif est de faire le bilan du travail effectué, de le comparer aux solutions existantes, ainsi que d'exposer les pistes de travaux futurs.

5.1 Synthèse des travaux

TABLEAU 5.1 Résumé des caractéristiques de la solution de protection.

Caractéristique	Spécification	Solution proposée
Tension maximale du signal	215 V	200 V
Courant maximal	100 mA	350 mA
Isolation de l'interface de commande	oui	oui
Temps de réaction	< 1 ms	100 μ s
Résistance à l'état passant	<5 Ω	4.1 Ω

Les travaux effectués au cours de cette maîtrise ont été centrés autour de la conception d'une puce de protection pour contre les surintensités dont les caractéristiques finales sont résumées dans le tableau 5.1. Le système de protection proposé est le premier circuit de protection monolithique contre les surintensités proposant à la fois une isolation galvanique, une limite reconfigurable, ainsi qu'un interrupteur bidirectionnel. La solution proposée présente aussi une interface simple permettant son intégration dans de nombreux systèmes, une protection contre la surchauffe, ainsi qu'une sortie informant l'interface en cas de problèmes.

Les principales solutions comparables existantes sont listées dans le tableau 5.2. À notre connaissance, aucune solution existante ne fournit un interrupteur analogique haute tension bidirectionnel monolithique (sur un seul dé de silicium) avec une protection contre les surintensités. La plupart des solutions de protection sont destinées à des applications à courant continu telles que la protection des batteries et sont unidirectionnelles, comme les solutions présentées dans [6, 12] qui offrent toutes les deux une protection contre les surintensités avec un courant nominal élevé, mais qui ne fonctionnent pas dans les deux polarités. Les commutateurs analogiques présentés dans [7, 13] permettent un flux de courant bidirectionnel, mais sont alimentés par une borne d'entrée, ce qui n'est pas adapté au transport de signaux alternatifs, car le courant d'alimentation se superposera au signal et introduira un bruit considérable. Les solutions présentées dans [5, 13] ne permettent pas une intégration monolithique de la solution de protection, ce qui est un facteur important, car l'intégration monolithique permet une meilleure intégration dans les systèmes existants, ainsi qu'une amélioration des

TABLEAU 5.2 Comparaison des solutions existantes.

Référence	Type	Directionnalité	Courant maximal	Tension Maximale	Protection contre les surintensités	Mono-lithique	Procédé
MAX17613 [6]	Commerciale	Unidirectionnelle	3.3 A	65 V	oui	non	NA
NCP3902 [7]	Commerciale	Bidirectionnelle	5 A	28 V	non	non	NA
HV20822 [8]	Commerciale	Bidirectionnelle	2 A	220 V	non	oui	NA
MAX14866 [9]	Commerciale	Bidirectionnelle	0.005 A	100 V	non	oui	NA
Si8751 [5]	Commerciale	Bidirectionnelle	NA	NA	non	oui	NA
W. L. Jiang et al. [12]	Académique	Unidirectionnelle	> 4.4 A	200 V	oui	oui	GaN sur SOI
Z. J. Shen et al [13]	Académique	Bidirectionnelle	45 A	300 V	oui	non	GaN
E. -J. Kim [14]	Académique	Bidirectionnelle	NA	250 V	non	oui	SOI
F. Yamashita et al. [15]	Académique	Bidirectionnelle	NA	100 V	non	oui	SOI
Ce travail	Academique	Bidirectionnelle	350 mA	195 V	oui	oui	0.18-μm SOI

performances, de l'encombrement et du poids. La solution présentée dans [9] fournit un interrupteur analogique isolé, mais son courant nominal n'est que de 5 mA, ce qui est trop faible pour de nombreuses applications. Enfin, les solutions présentées dans [8, 15] présentent toutes les deux une bidirectionnalité, des valeurs d'isolation élevées, une broche d'alimentation indépendante et une intégration monolithique, mais ne disposent pas d'une protection contre les surintensités.

La solution proposée dans ce travail inclut toutes les caractéristiques désirées, ainsi qu'une protection contre les surintensités dans une conception flexible qui peut être adaptée à une large gamme d'applications. La tension et l'intensité maximales de l'interrupteur peuvent être ajustées en dimensionnant l'interrupteur principal en fonction des compromis souhaités. Par exemple, en utilisant des transistors ayant une tension nominale plus faible, la tension maximale est réduite, mais la résistance à l'état passant par unité de surface diminue également, ce qui peut constituer un meilleur compromis dans les applications basse-tension. Le courant de grille et l'alimentation du secondaire sont isolés des terminaux de l'interrupteur, ce qui garantit l'absence de perturbations sur le signal le traversant, assurant ainsi une véritable commutation analogique. L'isolation protège par ailleurs l'interface contre les dommages en cas de défaillance. L'intégration complète sur une seule puce est rendue possible grâce à un procédé SOI haute tension et réduit le coût et la complexité de fabrication, ainsi que l'encombrement du système.

5.2 Limitations de la solution proposée

Le circuit envoyé en fabrication ayant bénéficié d'un temps de conception limité, certains problèmes n'ont pu être réglés pour cette première version, et introduisent des limitations.

La première limitation concerne la broche FAULT, qui ne fonctionne pas pour les deux modes de transfert de puissance, uniquement dans le cas où on utilise la pompe de charges. Cela est dû à la technique utilisée pour communiquer depuis le secondaire vers le primaire qui redirige simplement le signal haute-fréquence arrivant au secondaire vers le primaire, ce qui permet de ne pas avoir besoin d'oscillateur au secondaire et ainsi réduire sa consommation. Cette limitation n'est pas un gros problème, car dans la version définitive du circuit, un seul mode de transfert de puissance sera utilisé, la technique utilisée pour le signal FAULT pourra être adaptée.

La deuxième limitation principale concerne la limitation en courant, qui comme expliqué à une gamme limitée, mais le principal défaut de la limite concerne sa variation en fonction de la température et du procédé de fabrication. En effet, la limite effective diffère de la limite programmée de 5 % sur la gamme de température considérée (-40°C à 125°C) ce qui est plutôt bon, mais peut varier de 20 % au maximum, en fonction des variations du procédé de fabrication, ce qui constitue une grande variation. Cette variation n'est pas un problème trop important pour le prototype qu'on pourra calibrer, mais est un point à améliorer pour les versions futures.

Le procédé de fabrication introduit aussi une limitation sur l'interrupteur principal. Comme expliqué précédemment, il y a un compromis à faire entre la résistance à l'état passant de l'interrupteur et sa capacité de sortie, qui conditionne son isolation en fréquence. Il n'est donc pas possible avec ce procédé de fabrication d'avoir à la fois une résistance très faible à l'état passant et une isolation haute-fréquence lorsque l'interrupteur est fermé. L'utilisation d'un autre procédé de fabrication plus performant peut aider à limiter ce problème, mais ne permet pas de s'affranchir de ce compromis. L'utilisation de transistors basse-tension permet en revanche d'améliorer grandement ces performances, mais limite en contrepartie la tension pouvant être supportée.

Une autre limitation importante du circuit est sa stabilité. Le circuit a été testé en simulations post-implémentation avec des charges inductives allant jusqu'à 14 mH et reste stable, mais cette stabilité a été rendue possible par le fait de ralentir considérablement la boucle de régulation de tension. Avec plus de temps de conception, un circuit de régulation plus poussé aurait pu être conçu pour garder une bonne stabilité sans sacrifier le temps de réaction, qui est à présent de 100 μ s, alors qu'avant de ralentir le circuit pour garantir sa stabilité, il était

de 27 μs .

La dernière limitation du circuit concerne le réglage de la limite en courant du circuit. Ce réglage nécessite de générer une tension référencée au secondaire du circuit, ce qui nécessiterait une alimentation externe isolée. On peut cependant utiliser directement l'alimentation secondaire de la puce pour générer cette tension (avec un pont diviseur de résistances par exemple) mais cette tension chute lorsque le courant traversant l'interrupteur augmente, ce qui peut rendre délicat l'ajustement de la limite. Pour un prototype, ce fonctionnement convient bien, car il permet de tester facilement toute une gamme de valeurs avec la même installation, mais pour un produit à portée commerciale, il serait préférable de pouvoir fixer la limite facilement avec une unique résistance.

5.3 Améliorations futures

Au vu des limitations présentées ci-dessus, des pistes d'améliorations sont à considérer :

- La plus grosse partie du travail futur est de tester en détails le circuit fabriqué lorsqu'il sera reçu, car les tests permettront de valider les modules à améliorer dans le circuit. Ce travail de test permettra notamment de déterminer le système de transfert de puissance fonctionnant le mieux et de retirer l'autre, en optimisant par la même occasion le reste du circuit pour le système choisi.
- Comme évoqué dans l'introduction, nous souhaitons aussi protéger des interfaces transmettant de forts courants, une version adaptée du circuit devra être conçue pour répondre à ce besoin.
- Le circuit de régulation de courant pourra être amélioré pour une meilleure rapidité et stabilité, afin de pouvoir gérer des charges inductives plus grandes par exemple.
- Concernant le réglage de la limite en courant, il faudra modifier le circuit pour la fixer avec une simple résistance externe. Cela peut être réalisé en utilisant une référence de tension qui sera appliquée sur la broche externe où sera connectée une résistance. Le courant sortant de la broche pourra être copié pour être utilisé comme limite dans le circuit de régulation, et ne dépend que de la référence de tension (fixe) et de la résistance externe (réglable).
- Un point d'amélioration intéressant, mais complexe pourrait être d'asservir la tension au secondaire. Actuellement, la tension au secondaire est en boucle ouverte et varie en fonction du système de transfert de puissance utilisé, et du courant consommé par le secondaire, ce n'est pas gênant pour son fonctionnement, mais introduit des variations d'alimentation et du bruit ayant une influence négative sur les performances du système global. On pourra imaginer un retour vers le primaire à travers le lien

capacitif donnant une image de la tension au secondaire, ce qui permettrait au primaire d'ajuster la puissance transmise (en faisant varier sa fréquence par exemple) pour conserver une tension stable au secondaire. Cette régulation permettrait par ailleurs d'accepter une plus grande plage de tension d'alimentation primaire, là où le circuit n'accepte actuellement que 3.3 V.

RÉFÉRENCES

- [1] M. Ali *et al.*, “A versatile soc/sip sensor interface for industrial applications : Implementation challenges,” *IEEE Access*, vol. 10, p. 24 540–24 555, 2022.
- [2] Q. Zhang, Y. Yang et C. Chai, “60 v tolerance full symmetrical switch for battery monitor ic,” *Journal of Semiconductors*, vol. 38, p. 065002, 6 2017.
- [3] S. Dai, R. W. Knepper et M. N. Horenstein, “A 300-v ldmos analog-multiplexed driver for mems devices,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 62, p. 2806–2816, 12 2015.
- [4] J. Borg et J. Johansson, “An ultrasonic transducer interface ic with integrated push-pull 40 vpp, 400 ma current output, 8-bit dac and integrated hv multiplexer,” *IEEE Journal of Solid-State Circuits*, vol. 46, p. 475–484, 2 2011.
- [5] Skyworks, “Isolated fet driver with pin control or diode emulator inputs,” *Si8751/52 datasheet*, 12 2017. [En ligne]. Disponible : <https://www.skyworksinc.com/-/media/Skyworks/SL/documents/public/data-sheets/Si8751-2.pdf>
- [6] A. Devices, “4.5v to 60v, 3a current-limiter with ov, uv and reverse protection,” *MAX17613A/MAX17613B/MAX17613C datasheet*, 11 2021. [En ligne]. Disponible : <https://www.analog.com/media/en/technical-documentation/data-sheets/MAX17613A-MAX17613C.pdf>
- [7] ON Semiconductor, “High-current bidirectional load switch with dual input support,” *NCP3902 datasheet*, 3 2018. [En ligne]. Disponible : <https://www.onsemi.com/pdf/datasheet/ncp3902-d.pdf>
- [8] Supertex Inc., “16-channel high voltage analog switch,” *HV20822 datasheet*, 2001.
- [9] Maxim Integrated, “16-channel, high-voltage analog switch without high-voltage supply requirement,” *MAX14866 datasheet*, 2017.
- [10] Vishay Semiconductors, “1 form a solid-state relay,” *VO14642AT, VO14642AABTR datasheet*, 8 2023.
- [11] IXYS Integrated Circuits Division, “Single-pole, normally open optomos® relay with integrated current limit and thermal shutdown,” *CPC1540 datasheet*, 6 2018.
- [12] W. L. Jiang *et al.*, “An integrated gan overcurrent protection circuit for power hemts using sensehmt,” *IEEE Transactions on Power Electronics*, vol. 37, p. 9314–9324, 8 2022.

- [13] Z. J. Shen *et al.*, “First experimental demonstration of solid state circuit breaker (sscb) using 650v gan-based monolithic bidirectional switch,” *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, p. 79–82, 6 2016.
- [14] E.-J. Kim, “Optimized high voltage analog switch ic using low breakdown soi technology,” *2018 IEEE International Power Modulator and High Voltage Conference (IPMHVC)*, p. 344–348, 6 2018.
- [15] F. Yamashita, J. Aizawa et H. Honda, “A new compact, low on resistance and high off isolation high voltage analog switch ic without using high voltage power supplies for ultrasound imaging system,” *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, p. 415–418, 6 2016.
- [16] Z. Guo et H. Li, “A mhz-pulse-transformer isolated gate driver with signal-power integrated transmission for medium-voltage sic mosfets,” *IEEE Transactions on Power Electronics*, vol. 37, p. 9415–9427, 8 2022.
- [17] Texas Instruments, “Tmux821x 100-v, flat ron, 1 :1 (spst), 4-channel switches with latch-up immunity and 1.8-v logic,” *TMUX821x datasheet*, 3 2023. [En ligne]. Disponible : <https://www.ti.com/lit/ds/symlink/tmux8212.pdf>
- [18] A. Safarpour *et al.*, “Speed-power improvement in high-voltage switches employed in multielectrode arrays,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 69, p. 3139–3143, 7 2022.
- [19] Texas Instruments, “Achieve bidirectional control and protection through back-to-back connected efuse devices,” SLVA948, Texas Instruments, Rapport technique, 12 2017.
- [20] C. Jia *et al.*, “Ultra-low on-resistance tg-ldmos with three separated gates and high-k dielectric comparable to dg-ldmos,” *2022 IEEE 5th International Conference on Electronics Technology (ICET)*, p. 48–51, 5 2022.
- [21] M. Qiao *et al.*, “A 700- v junction-isolated triple resurf ldmos with n-type top layer,” *IEEE Electron Device Letters*, vol. 35, p. 774–776, 7 2014.
- [22] X. Yuan, N. Oswald et P. Mellor, “Superjunction mosfets in voltage-source three-level converters : Experimental investigation of dynamic behavior and switching losses,” *IEEE Transactions on Power Electronics*, vol. 30, p. 6495–6501, 12 2015.
- [23] M. Ashourloo *et al.*, “An automotive-grade monolithic masterless fault-tolerant hybrid dickson dc–dc converter for 48-v multi-phase applications,” *IEEE Journal of Solid-State Circuits*, vol. 56, p. 3608–3618, 12 2021.
- [24] HITACHI, “8-ch high voltage analog switching ic,” *ECN3290TF/PL/FN datasheet*. [En ligne]. Disponible : https://pdd.hitachi.eu/uploads/ics/pdf_file/52/3290spe3.pdf

- [25] B. Razavi, “The bootstrapped switch [a circuit for all seasons],” *IEEE Solid-State Circuits Magazine*, vol. 7, p. 12–15, 2015.
- [26] J. Lin et K.-C. Lin, “A monolithic isolated gate driver with on-chip transformer,” *2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia)*, p. 1256–1259, 6 2017.
- [27] P. Pouya, A. Ghasemi et H. Aminzadeh, “A low-voltage high-speed high-linearity mosfet-only analog bootstrapped switch for sample-and-hold circuits,” *2015 2nd International Conference on Knowledge-Based Engineering and Innovation (KBEI)*, p. 418–421, 11 2015.
- [28] D. Osipov *et al.*, “Current driver with read-out hv protection for neural stimulation,” *2016 IEEE Nordic Circuits and Systems Conference (NORCAS)*, p. 1–4, 11 2016.
- [29] G. Diaz, “Wide common mode range transmission gate,” U.S. Patent 8,975,948 B2, Mar. 2015.
- [30] H. Forghani-zadeh et G. Rincon-Mora, “Current-sensing techniques for dc-dc converters,” *The 2002 45th Midwest Symposium on Circuits and Systems, 2002. MWSCAS-2002.*, p. II–577–II–580, 2002.
- [31] C. F. Yiu, “Gain-reconfigurable current-sensing circuit for high-frequency low-power dc-dc converters,” Thèse de doctorat, University of Toronto, 3 2010.
- [32] W. Schultz, “, understanding sensefets,” Motorola INC, AN1001, Rapport technique, 1988.
- [33] A. Parisi *et al.*, “Galvanically isolated dc-dc converter using a single isolation transformer for multi-channel communication,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 67, p. 4434–4444, 12 2020.
- [34] A. Hassan *et al.*, “Spatial carrier position modulation based multichannel capacitive link for bioelectronic implants,” *2015 IEEE Biomedical Circuits and Systems Conference (BioCAS)*, p. 1–4, 10 2015.
- [35] E. Ragonese *et al.*, “Highly integrated galvanically isolated systems for data/power transfer,” *2019 26th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, p. 518–521, 11 2019.
- [36] N. Spina *et al.*, ““integrated galvanic isolator using wireless transmission,” 1 2013.
- [37] N. Greco *et al.*, “A double-isolated dc-dc converter based on integrated lc resonant barriers,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 65, p. 4423–4433, 12 2018.

- [38] I. Altoobaji *et al.*, “A fully integrated on-chip inductive digital isolator : Design investigation and simulation,” *2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS)*, p. 868–871, 8 2020.
- [39] —, “A high speed fully integrated capacitive digital isolation system in 0.35 μm cmos for industrial sensor interfaces,” dans *2021 19th IEEE International New Circuits and Systems Conference (NEWCAS)*, 2021, p. 1–4.
- [40] Y. Ji *et al.*, “18.8 a 192pw hybrid bandgap-vth reference with process dependence compensated by a dimension-induced side-effect,” *2019 IEEE International Solid- State Circuits Conference - (ISSCC)*, p. 308–310, 2 2019.
- [41] A. Brokaw, “A simple three-terminal ic bandgap reference,” *IEEE Journal of Solid-State Circuits*, vol. 9, p. 388–393, 12 1974.
- [42] I. Altoobaji *et al.*, “A low-power 0.68-gbps data communication system for capacitive digital isolator with 1.9-ns propagation delay,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 32, n^o. 5, p. 952–956, 2024.
- [43] M. Javid *et al.*, “A 650 kv/s common-mode resilient cmos galvanically isolated communication system,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 69, p. 587–598, 2 2022.
- [44] P. K. Miriyala, P. Nitin Srinivas et N. S, “On-chip 5 6-ghz rf energy harvesting system for implantable medical devices,” dans *2024 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2024, p. 1–5.
- [45] J. A. De Lima et W. A. Pimenta, “A current limiter for linear regulators based on power-dissipation threshold,” dans *2015 28th Symposium on Integrated Circuits and Systems Design (SBCCI)*, 2015, p. 1–5.
- [46] J. Pathrose *et al.*, “A time-domain band-gap temperature sensor in soi cmos for high-temperature applications,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 62, n^o. 5, p. 436–440, 2015.

ANNEXE A CONTRIBUTIONS

Le travail présenté dans ce mémoire a permis de réaliser plusieurs contributions scientifiques en attente de soumission :

- Une demande de brevet englobant toute la solution. Les autres contributions sont en attente de soumission à cause de cette demande de brevet qui empêche toute publication tant qu'elle n'a pas été finalisée.
- Un article de journal concernant la revue de littérature et la conception générale de la protection. Cet article est intitulé "Integrated High-Voltage Bidirectional Protection Switch with Overcurrent Protection : Review and Design Guide" et sera soumis au journal IEEE Transactions on Circuits and Systems I.
- Un article de conférence se concentrant sur le circuit de limitation de courant. Le titre provisoire de cet article est : "Adjustable-limit Bidirectional Current Regulation Circuit for High-voltage Solid State Relays" et sera normalement soumis à la conférence NEWCAS 2025.
- Un article de journal concernant le prototype au complet qui comportera des mesures expérimentales après la réception du circuit fabriqué. Le titre provisoire de cet article est "A 350mA 195V Current Limiting Fully Integrated Solid State Relay Protection Switch" et sera soumis au journal IEEE Journal of Solid-State Circuits.

ANNEXE B DOCUMENTATION RELATIVE AU TEST DU PROTOTYPE

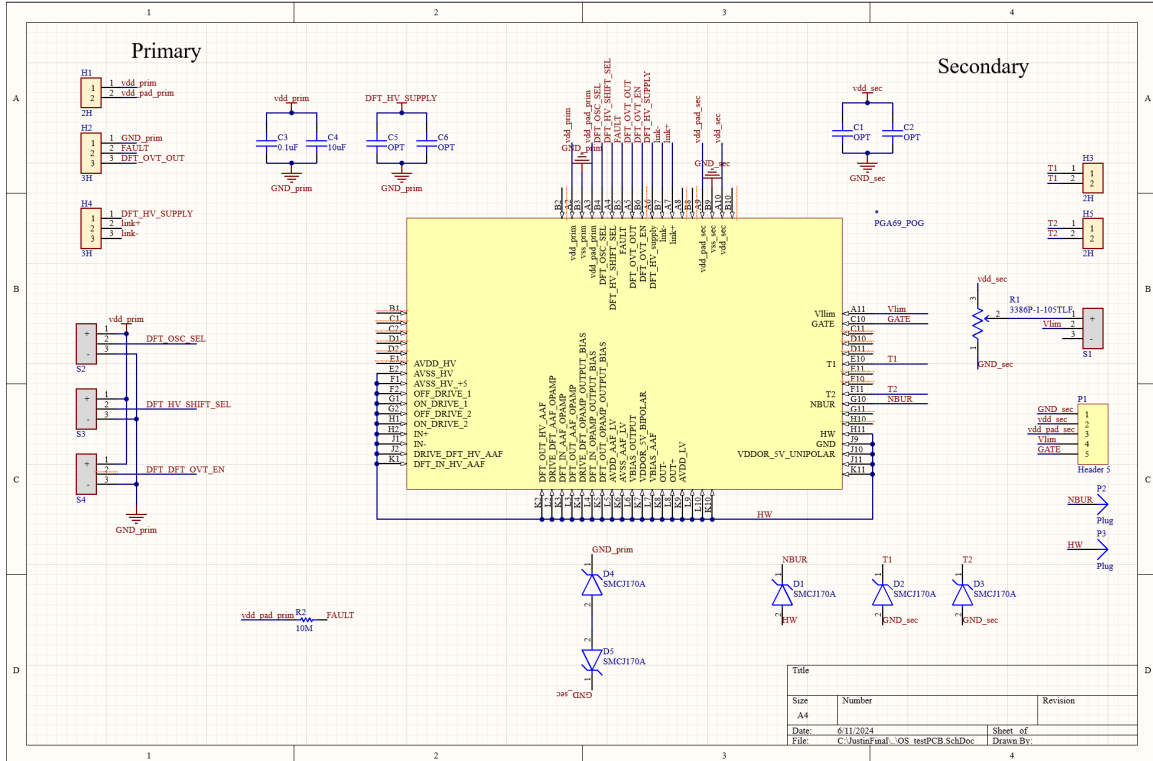


FIGURE B.1 Schéma du circuit imprimé de test.

Nom du terminal	Gamme de tension	Tension maximale	Type	Description
EN	0-3.3VP	5VP	Puissance	Alimentation du primaire (3.3V)
Vdd_pad_prim	0-3.3VP	5VP	Puissance	Alimentation des pads du primaire
Vss_prim	0VP	0VP	Référence	Masse du primaire
FAULT	0-3.3VP	5VP	Sortie numérique	Pin FAULT sortie à drain ouvert. Force la sortie à 0V lorsqu'il y a une surintensité.
Vdd_sec	0-5.2VS	5.2VS	Puissance	Alimentation du secondaire
Vss_sec	0VS	0VS	Référence	Masse du secondaire
Vlim	0-5.2VS	5VS	Entrée analogique	Tension externe permettant de fixer la limite en courant (1.25V/100mA)
Gate	0-5.2VS	5VS	Entrée/sortie analogique	Grille commune de l'interrupteur principal
DFT_OSC_SEL	0-3.3VP	5VP	Entrée numérique	Entrée numérique pour sélectionner l'oscillateur, 0VP pour l'oscillateur à base de bascule de Schmitt et 3.3VP pour l'oscillateur RC.
DFT_HV_SHIFT_SEL	0-3.3VP	5VP	Entrée numérique	Entrée numérique pour sélectionner le système de transfert de puissance capacitive, 0VP pour la pompe à charge / translation haut niveau et 3.3VP pour les inverseurs.
DFT_OVT_EN	0-3.3VP	5VP	Entrée numérique	Signal permettant d'activer la protection contre la surchauffe, OVP la désactive.
DFT_OVT_OUT	0-3.3VP	5VP	Sortie numérique	Sortie du circuit de protection contre la surchauffe. Passe à l'état haut quand la température dépasse 100°C.
NBUR	0-200VS	200VS	Entrée/sortie analogique	Accès au potentiel NBUR de l'interrupteur principal.
HW	0-200VS	0VS	Entrée/sortie analogique	Accès au terminal HW de l'interrupteur principal.
Link+	0-6VP	10VP	Entrée/sortie analogique	Premier terminal du lien capacitif (côté primaire).
Link-	0-6VP	10VP	Entrée/sortie analogique	Second terminal du lien capacitif (côté primaire).
DFT_HV_supply	0-6VP	10VP	Entrée/sortie analogique	Accès à l'alimentation haute-tension primaire.
T1	0-195VS	200VS	Entrée/sortie analogique	Premier terminal de l'interrupteur.
T2	0-195VS	200VS	Entrée/sortie analogique	Second terminal de l'interrupteur.

TABLEAU B.1 Broches du prototype.

B.1 Plan de test

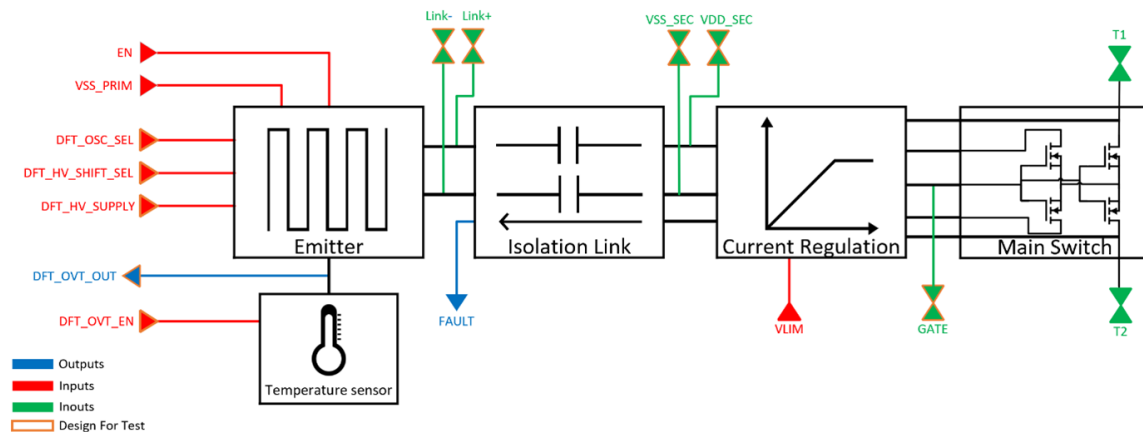


FIGURE B.2 Vue globale du prototype et de ses entrées / sorties.

Cette section présente les différents tests prévus pour le prototype, en utilisant la conception en vue de test présentée à la partie précédente. Ces tests ont été conçus pour être réalisés dans l'ordre, les premiers tests étant les moins risqués pour le prototype et permettant de valider son bon fonctionnement avant de passer à des tests qui peuvent l'endommager en cas de problème de conception ou de manipulation. Le plan de test est ici présenté succinctement, un document dédié au plan de test a été réalisé en parallèle, à destination de la personne qui réalisera les tests. La Figure B.2 présente une vue de haut-niveau du prototype et la direction de ses broches. Afin d'être testé, la puce sera insérée sur un circuit imprimé dont le schéma est donné en annexe avec la description des broches du prototype. La tension maximale théorique des transistors utilisés est de 215 V en absolu, mais nous nous limiterons à 195 V pour ces tests, ce qui correspond à la tension maximale que les transistors peuvent supporter en continu.

Les termes "vdd_load" et "gnd_load" sont utilisés pour désigner les bornes d'alimentation du côté de la charge. Ils sont différents de vdd_sec et vss_sec. Généralement, T1 ou T2 est connecté à vdd_load ou gnd_load et l'autre borne de l'interrupteur est connectée à l'autre borne d'alimentation de la charge par l'intermédiaire d'une charge.

Étant donné que la puce comporte deux références de masse distinctes, elles seront distinguées comme suit. La masse du côté primaire sera référencée comme "P" pour "primaire" et la masse du côté secondaire sera référencée comme "S" pour "secondaire". Cette nomenclature s'applique aux niveaux de tension, par exemple "3,3 VP" pour 3,3 V au-dessus de la masse primaire et "3,3 VS" pour 3,3 V au-dessus de la masse secondaire. Chaque masse a sa propre borne étiquetée vss_prim pour la masse primaire et vss_sec pour la masse secondaire. La

masse primaire est connectée à la tension de sortie des circuits primaires et la masse secondaire est connectée à la fois à la tension de sortie des circuits secondaires et à la source commune de l'interrupteur principal.

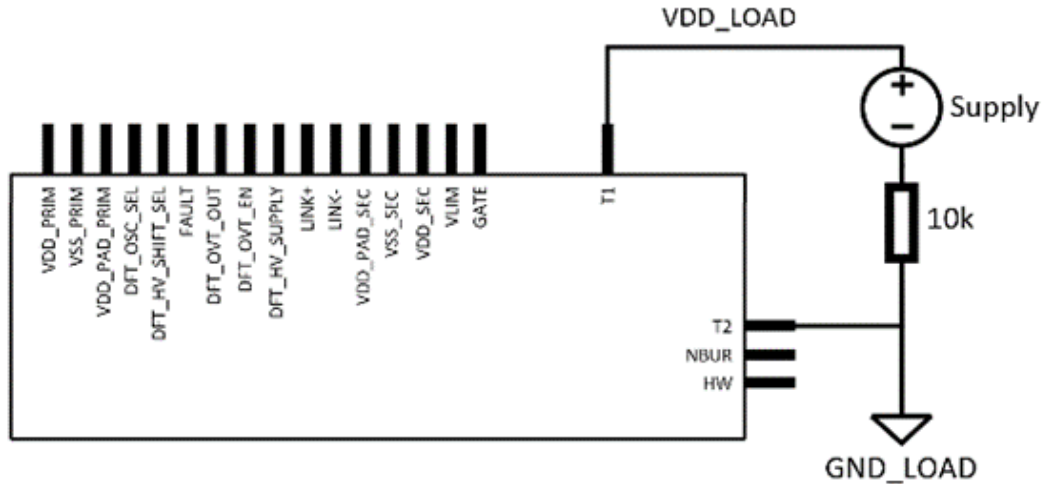


FIGURE B.3 Gnd_load et vdd_load.

B.1.1 Test 1 : Vérification du fonctionnement global

Objectifs du test

Le but de ce premier test est de s'assurer qu'il n'y a pas de problème de fabrication ou de circuit individuel qui empêche le fonctionnement de l'interrupteur tout en évitant de le casser. Dans ce test, gnd_load et vss_prim sont court-circuités afin d'éviter la formation d'une haute tension sur la liaison capacitive, vss_sec et vss_prim sont également très proches en valeur. HW et NBUR sont polarisés manuellement pour éviter tout problème de polarisation. Les modes de fonctionnement sont testés l'un après l'autre pour vérifier qu'ils fonctionnent tous et identifier les modes défectueux le cas échéant.

Procédure de test

- Pendant la configuration des différents signaux d'entrée, maintenir EN et vdd_load à un niveau bas.
- Après la configuration, augmentez lentement EN avec une alimentation à courant limité à 10 mA jusqu'à ce qu'il atteigne 3,3 V. Faites ensuite de même pour vdd_load.

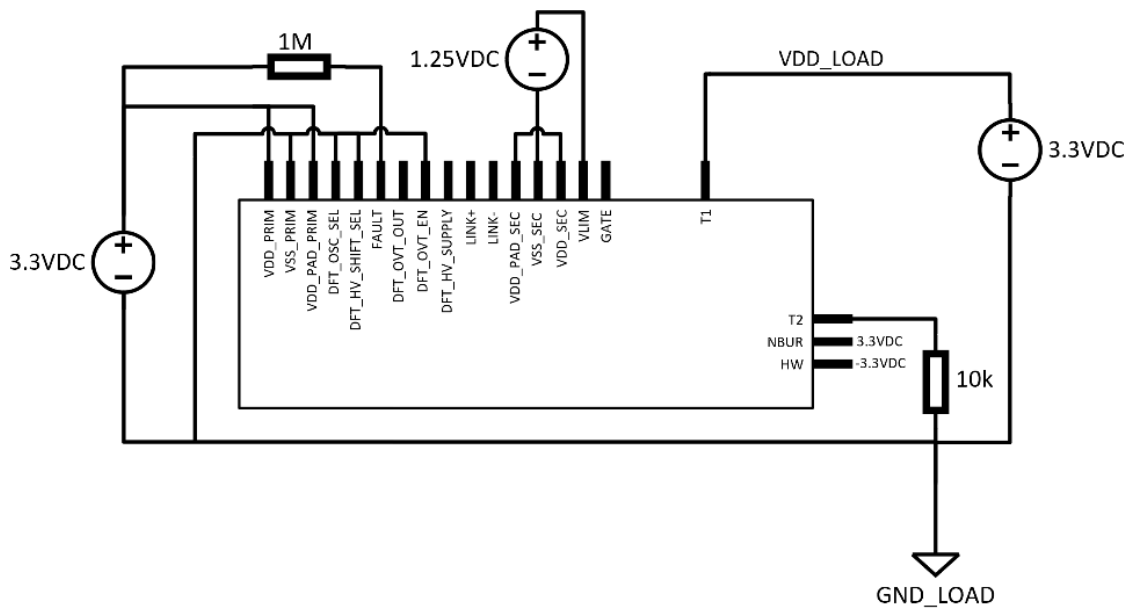


FIGURE B.4 Montage pour le test 1.

- Vérifiez que les signaux sont conformes aux simulations, le plus important étant que le courant de charge soit égal (ou proche) de $330 \mu\text{A}$ (ou $v_{dd_load} / \text{résistance}$ si la résistance de charge est modifiée).
- Réglez DFT_OSC_SEL sur 3,3 VP.
- Vérifier que les signaux sont conformes.
- Réglez DFT_HV_SHIFT_SEL sur 3,3 VP.
- Vérifier que les signaux sont conformes.
- Réglez DFT_OVT_EN sur 3.3 VP.
- Vérifier que les signaux sont conformes.
- Essayez d'autres combinaisons des 3 signaux de sélection.

S'il n'y a pas de problème, le test est réussi et vous pouvez passer à des tests plus avancés. Si certains modes posent un problème, veillez à ne pas les utiliser lors des prochains tests.

B.1.2 Test 2 : Limitation de courant

Objectifs du test

L'objectif de cet essai est de tester le circuit de régulation du courant. Dans ce test, les conditions sont les mêmes que dans le premier test, mais la charge est progressivement diminuée pour atteindre la limite de courant.

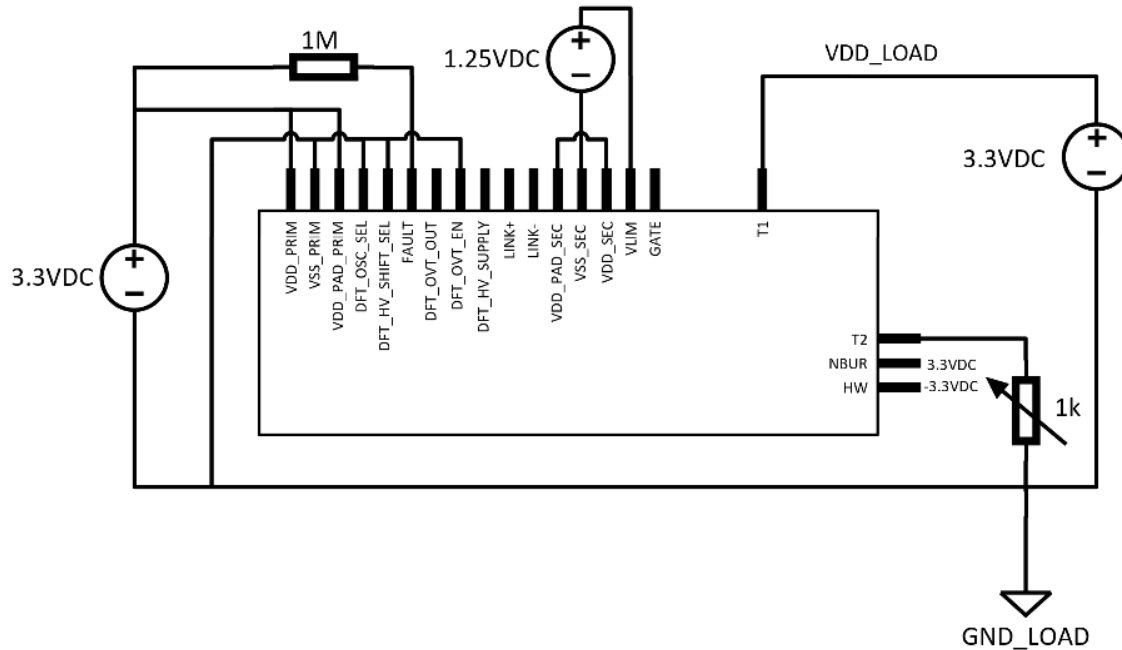


FIGURE B.5 Montage pour le test 2.

Procédure de test

- Démarrer le circuit comme dans le test précédent.
- En gardant une petite charge ou en la court-circuitant, et en faisant varier la tension V_{lim} , la courbe $I_{lim}(V_{lim})$ peut être tracée, la courbe devrait ressembler au graphique présenté sur la Figure 4.4.
- Différentes charges peuvent être testées, par exemple une inductance de 10 mH peut être ajoutée en série à la charge.
- Il est également possible de séparer les masses du primaire et de la charge pour tester dans des conditions plus réalistes.

B.1.3 Test 3 : Réponse à une surtension

Objectifs du test

Le but de cet essai est de tester la réaction du circuit de régulation du courant à une surtension. Dans ce test, les conditions sont les mêmes que dans les tests précédents, mais la tension d'alimentation de la charge est plus élevée.

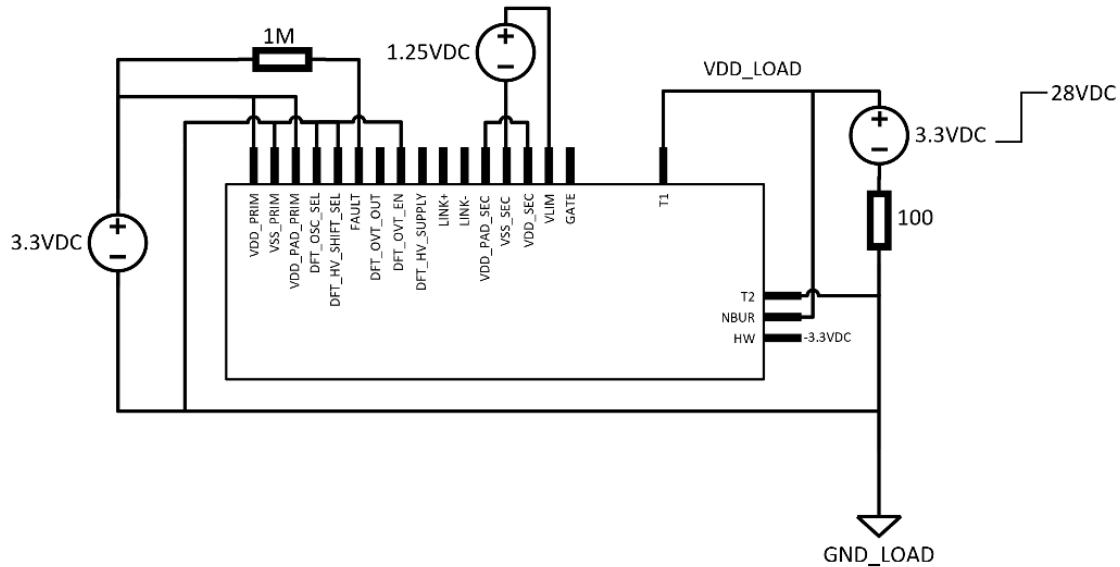


FIGURE B.6 Montage pour le test 3.

Procédure de test

- Mettez le circuit sous tension en suivant la même procédure que pour le premier test.
- Augmentez progressivement la tension d'alimentation jusqu'à 28 V.
- Une fois que le fonctionnement à 28 V a été vérifié, ramenez la tension à 3,3 V, puis appliquez une tension de 28 V à la charge pour obtenir la réponse en échelon du commutateur. Si un temps de montée est configurable, configurez un temps de montée de 6,4 μ s. La forme d'onde correspondante devrait ressembler à la Figure 4.3.

B.1.4 Test 4 : Mesure des caractéristiques de l'interrupteur

Objectifs du test

L'objectif de ce test est de mesurer la résistance à l'état passant et la capacité de sortie (C_{oss}) de l'interrupteur.

Procédure de test

- Allumer le circuit en suivant la même procédure que dans le test 1, utiliser une charge de 5 Ω .
- Appliquer un signal de 1 V continu sur T1.
- En mesurant la tension au nœud T2, la résistance totale de l'interrupteur peut être

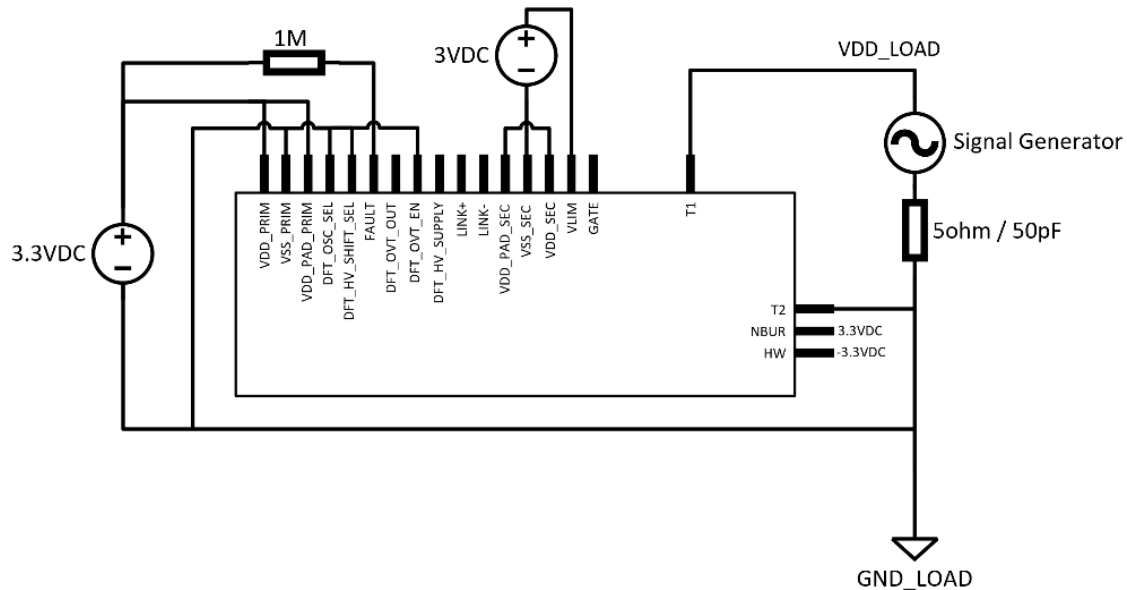


FIGURE B.7 Montage pour le test 4.

mesurée (formule du diviseur résistif avec la charge de 5 ohms).

- Remplacez la charge par un condensateur de 50 pF.
- Appliquer une tension sinusoïdale de 3.3 V d'amplitude sur T1.
- En mesurant l'amplitude au nœud T2, la capacité totale de sortie de l'interrupteur peut être mesurée (formule du diviseur résistif avec la charge de 50 pF).

Les valeurs devraient être proches de 4,1 ohms et 60 pF.

B.1.5 Test 5 : Protection contre la surchauffe

Objectifs du test

Le but de ce test est de mesurer le bon fonctionnement de la protection contre la surchauffe.

Procédure de test

- Mettre le circuit sous tension
- Maintenir une température basse (environ 25°C) et vérifier que l'interrupteur fonctionne et que DFT_OVT_OUT est à l'état logique bas.
- Augmentez la température lentement jusqu'à 125°C en plaçant la puce dans une chambre de température.
- Notez la température à laquelle DFT_OVT_OUT passe à l'état logique haut.

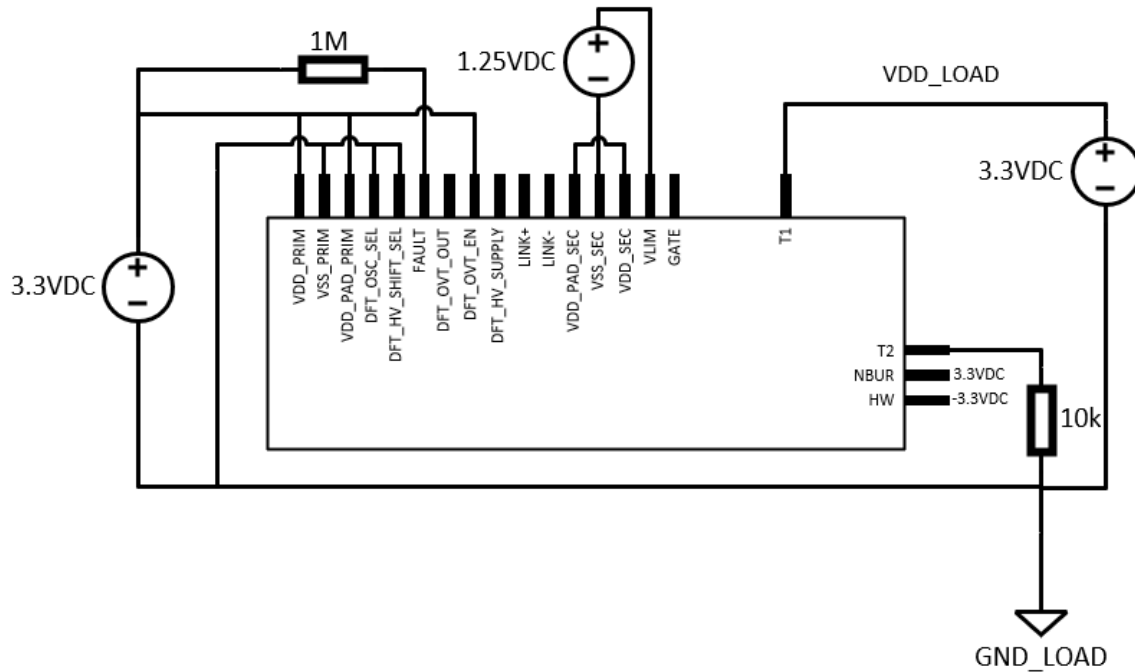


FIGURE B.8 Montage pour le test 5.

- Diminuer la température lentement jusqu'à 25°C.
- Notez la température à laquelle DFT_OVT_OUT passe à l'état logique bas.

La température de passage à l'état logique haut devrait être de 100°C et celle de redescente devrait être de 80°C.

B.1.6 Test 6 : Polarisation automatique, masses isolées

Objectifs du test

Le but de ce test est de mesurer le bon fonctionnement du circuit lorsque les masses du primaire et secondaire sont isolées. La polarisation automatique est également testée afin d'être utilisée dans les tests ultérieurs.

Procédure de test

- Mettre le circuit sous tension en suivant la même procédure que dans le test 1.
- Appliquer 3.3 V continus avec le générateur de signaux.
- Vérifier que la tension HW est inférieure à la tension NBUR.
- Appliquer un signal alternatif de 3.3 V à basse fréquence (10 Hz) à l'aide du générateur

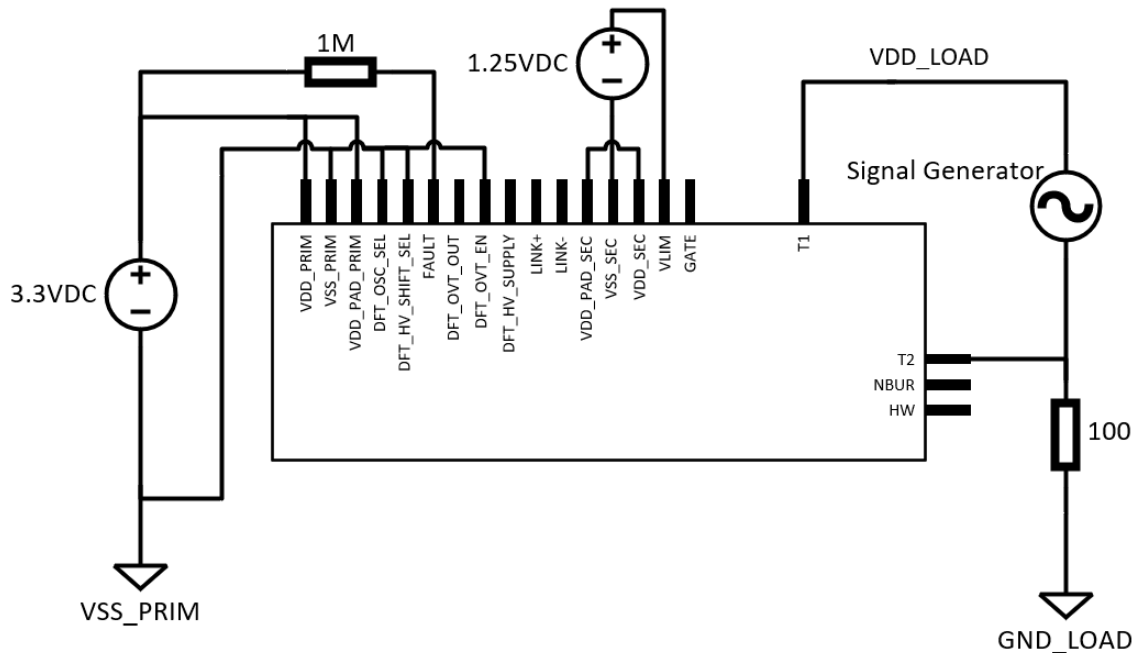


FIGURE B.9 Montage pour le test 6.

de signaux.

- Vérifier que la tension HW est inférieure à la tension NBUR.
- Augmentez lentement la fréquence jusqu'à 10 MHz, en vérifiant à chaque fois que le circuit se comporte correctement.
- Des signaux de tension plus élevés peuvent être testés pour vérifier le dv/dt maximum du circuit de polarisation automatique.

B.1.7 Test 7 : Réponse indicielle

Objectifs du test

Ce test est celui qui sollicite le plus le commutateur avec toutes les fonctionnalités activées. L'utilisation d'une diode TVS 190 V entre T1 et T2 est fortement conseillée. Dans ce test, une surtension de 190 V est appliquée à l'interrupteur. Les masses primaire et secondaire sont isolées et la protection contre la surchauffe est activée. En raison de la chute de tension très élevée que l'interrupteur devra supporter pour limiter le courant, l'utilisation d'un dissipateur thermique peut s'avérer nécessaire, en particulier si la protection contre la surchauffe ne fonctionne pas. Surveillez-en permanence la température de la puce afin d'éviter un échauffement excessif. Dans le pire des cas, la puce dissiperait environ $0,140A * 200V = 28W$. Si la polarisation automatique n'a pas été testée pour fonctionner, HW peut être fixé

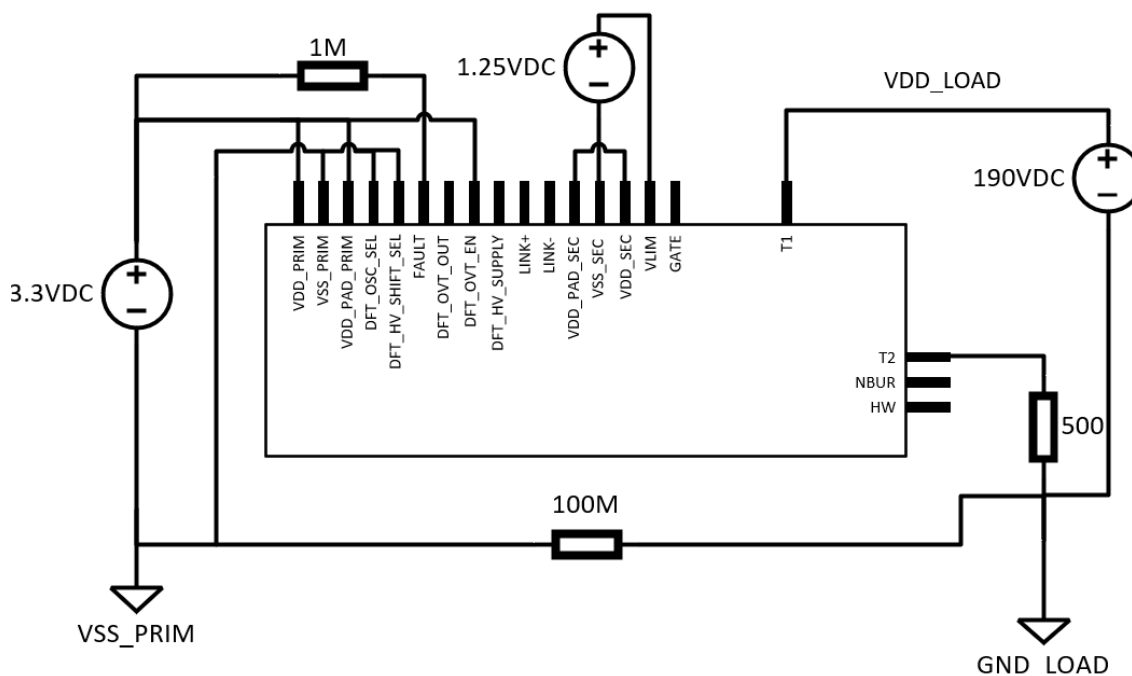


FIGURE B.10 Montage pour le test 7.

à 0 VS (ou un peu plus bas pour des raisons de sécurité) et NBU à 190 VS.

Les masses primaire et secondaire peuvent être isolées, mais leur différence de tension ne doit pas dépasser 200 V, c'est pourquoi il est conseillé de coupler la masse primaire et celle de charge (gnd_load) avec une résistance de 100 M Ω .

Pour ce test, les diodes TVS peuvent entrer dans leur zone de claquage, tester la tension de claquage inverse des diodes TVS utilisées et ne pas dépasser cette tension (typiquement entre 190 V-210 V pour la diode SMCJ170A).

Procédure de test

- Mettre sous tension le circuit sans la haute tension en suivant la même procédure que dans le test 1.
- Appliquer la haute tension. Il est conseillé de commencer les tests avec une tension plus faible (par exemple 100 V ou même 50 V) pour éviter d'endommager l'interrupteur.
- Après avoir vérifié que le circuit fonctionne toujours, la charge peut être remplacée par une charge de 100 Ω ou même un court-circuit afin d'appliquer plus de stress et de tension à l'interrupteur.
- Chaque test de haute tension doit être bref (une dizaine de secondes au maximum), car l'interrupteur surchauffe très rapidement. L'utilisation d'un dissipateur thermique

peut aider à soutenir des tests plus longs. Surveillez la température pendant les essais à l'aide d'une caméra thermique ou d'un thermocouple.

La limite de courant effective sera probablement plus élevée que lors des tests précédents en raison de la modulation de longueur de canal. Par exemple, lorsque la limite de courant est fixée à 100 mA, si la chute de tension dans le commutateur est de 190 V, la limite peut être proche de 140 mA.

B.1.8 Test 8 : Influence des hautes tensions sur les caractéristiques

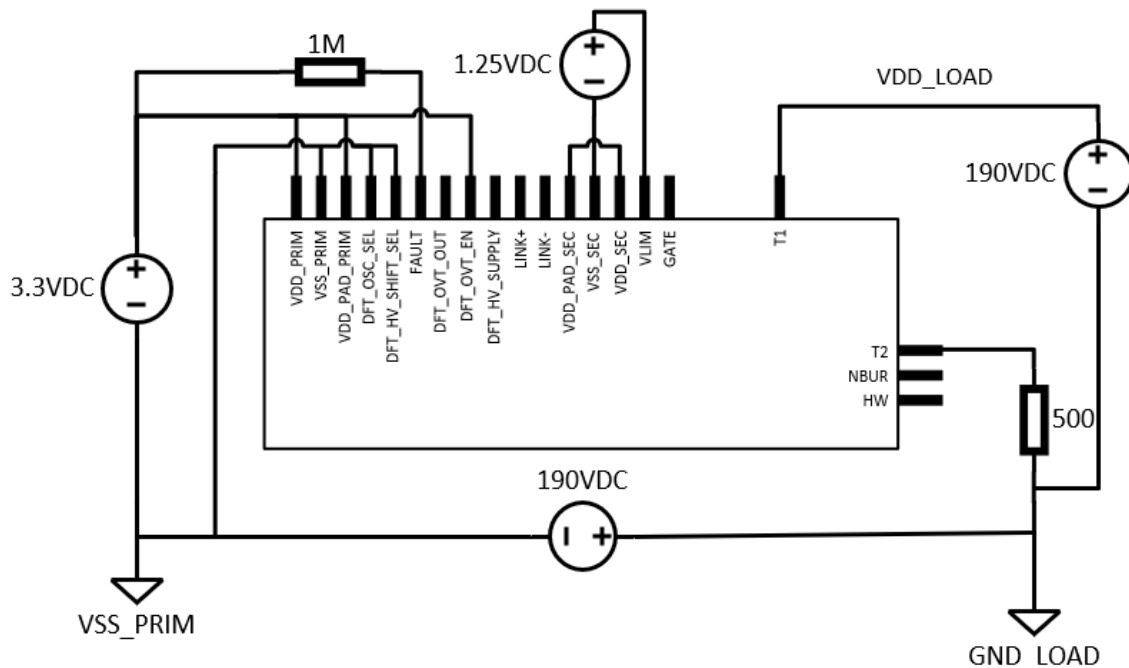


FIGURE B.11 Montage pour le test 8.

Objectifs du test

Ce test vérifie les effets de la haute tension sur la puce, en particulier si l'application d'une haute tension puis son retrait modifie ses caractéristiques. Pour ce test, les diodes TVS peuvent entrer dans leur zone de claquage, tester la tension de claquage inverse des diodes TVS utilisées et ne pas dépasser cette tension (typiquement entre 190-210 V pour la diode SMCJ170A).

Procédure de test

- Effectuer le test 7.
- Vérifiez que les caractéristiques de l'interrupteur n'ont pas changé (résistance à l'état passant / capacité de sortie / courant de fuite).
- Rétablir la tension d'alimentation de la charge à 10V.
- Appliquer une tension élevée entre les masses (masse primaire et masse de la charge).
- Vérifier que le circuit fonctionne toujours.
- Diminuer la tension de monde commun jusqu'à 10 V.
- Vérifiez ensuite que les caractéristiques de l'interrupteur n'ont pas changé (résistance à l'enclenchement / capacité à l'arrêt / courant de fuite).

La tension de charge maximale est de 195 V (VDS maximal des transistors de sortie). La différence de tension entre les masses du primaire et de la charge peut théoriquement atteindre 300 V, le circuit est cependant conçu pour 195 V, un dépassement de cette valeur pourrait conduire à un test destructif.