POLYTECHNIQUE MONTRÉAL
affiliée à l'Université de Montréal

Conception et intégration d'un circuit haute tension reconfigurable pour l'interfaçage de capteurs

TIMOTHÉE MATÉO TREMBLY
Département de génie électrique

Mémoire présenté en vue de l'obtention du diplôme de *Maîtrise ès sciences appliquées*
Génie électrique

Août 2024

© Timothée Matéo Trembly, 2024.

POLYTECHNIQUE MONTRÉAL
affiliée à l'Université de Montréal

Ce mémoire intitulé :

Conception et intégration d'un circuit haute tension reconfigurable pour l'interfaçage de capteurs

présenté par **Timothée Matéo TREMBLY**
en vue de l'obtention du diplôme de *Maîtrise ès sciences appliquées*
a été dûment accepté par le jury d'examen constitué de :

Tarek OULD-BACHIR, président
Ahmad HASSAN, membre et directeur de recherche
Yvon SAVARIA, membre et codirecteur de recherche
Mostafa DARVISHI, membre

DÉDICACE

À Albane, pour avoir toujours cru en moi.

REMERCIEMENTS

Avant toute chose, je tiens à exprimer ma profonde gratitude à mes superviseurs, les professeurs Ahmad Hassan et Yvon Savaria, pour l'opportunité exceptionnelle qu'ils m'ont offert de réaliser ma maîtrise sous leur direction. Je leur suis reconnaissant pour leur soutien constant, leur motivation inébranlable et la confiance qu'ils m'ont accordée tout au long de mes études. J'adresse également mes remerciements au Docteur Mostafa Amer pour ses conseils précieux et son écoute attentive.

Je souhaite remercier les membres du comité, les professeurs Tarek Ould-Bachir et Mostafa Darvishi, pour avoir accepté d'évaluer ce travail de maîtrise. Leurs retours constructifs ont incontestablement enrichi ce compte-rendu de mes travaux.

Je suis également reconnaissant envers tous les membres du projet VairCRAFT, qui ont contribué à donner un sens profond à mon travail. Un merci particulier à Réjean Lepage pour son assistance précieuse, m'ayant permis un accès constant aux logiciels nécessaires à mon travail. Surtout, je tiens à remercier Justin Pabot, mon interlocuteur le plus proche et ami fidèle durant ces deux années de maîtrise, toujours présent dans les bons comme dans les mauvais moments.

Je suis reconnaissant à MITACS et au CRSNG pour leur soutien financier tout au long de ma maîtrise. Merci également à CMC Microsystems et au CNR pour l'accès à leurs outils de conception et à leurs usines de fabrication.

Enfin, je souhaite adresser mes remerciements les plus sincères à ma famille, à mes amis et à tous ceux qui ont croisé mon chemin pour les belles choses qu'ils m'ont apportées. Merci à Lucas, Thomas, Justin, Michel, Boris, Abélia, Luc, Valérie et Chloé. Ces travaux ne seraient pas ce qu'ils sont aujourd'hui sans la force que vous m'avez insufflée.

RÉSUMÉ

Depuis quelques années, l'industrie du transport connaît un important essor des solutions électriques, qui pourraient représenter une solution viable et durable pour réduire l'impact environnemental et social de cette industrie. Cette transition vers l'électrique induit également une augmentation du volume d'électronique embarquée installée dans les véhicules pour améliorer leur performance et leur consommation.

Cependant, de tels circuits sont coûteux et complexes à mettre en place, en particulier dans des solutions industrielles qui doivent maintenir de bons niveaux de performance en milieu hostile et sous des niveaux de tensions élevés, supérieurs à ceux usuellement présentés dans la littérature. Pour répondre à cette problématique de complexité de conception, ce mémoire contribue au développement d'une interface de capteurs reconfigurable, adaptée à une grande variété d'applications de précision haute tension.

L'interface de capteurs doit amplifier et filtrer les signaux analogiques des capteurs avant leur conversion et traitement numériques. Les amplificateurs à gain programmable (AGP) sont essentiels pour ajuster le niveau de signal à une plage optimale pour les convertisseurs analogique-numérique (CAN), tandis que les filtres anti-repliement (FAR) sont cruciaux pour éliminer les fréquences indésirables avant l'échantillonnage. Ce mémoire se propose de développer des solutions avancées pour ces deux composants en se concentrant sur une structure d'AGP à rétroaction négative, ainsi qu'un FAR continu, dont la fréquence de coupure sera reconfigurable. Ces deux circuits bénéficieront d'une conception en mode-courant, qui a su montrer dans la littérature récente de nombreux avantages pour les interfaces de précision.

L'objectif principal est d'imaginer une interface de capteurs offrant une haute précision et une robustesse remarquable face aux variations environnementales dans un environnement haute tension, tout en garantissant sa versatilité pour pouvoir l'adapter à une multitude d'applications sans devoir repasser par de coûteuses étapes de conception.

La revue de littérature explore les travaux existants sur les AGP et les FAR, en mettant l'accent sur les architectures actuelles les plus pertinentes face aux contraintes de conception liées à la haute tension. En particulier, ce manuscrit argumente sur les avantages et inconvénients des AGP basés sur une transconductance contrôlée et sur une rétroaction négative, et justifie le choix de cette seconde technique pour une application haute tension nécessitant précision, linéarité et stabilité sur de larges plages de fonctionnement.

En ce qui concerne les FAR, la revue couvre les différentes techniques de conception de

filtres, y compris les filtres actifs et passifs, et leurs performances en termes de réjection des fréquences indésirables dans les bandes de fréquences basses. Les FAR doivent être robustes aux variations de processus, de tension et de température (PVT), et ce mémoire évalue les approches reconfigurables qui permettent une adaptation dynamique des caractéristiques du filtre en fonction des conditions opérationnelles.

Les travaux décrits dans ce mémoire comprennent la conception détaillée, la simulation et l'implémentation de l'AGP et du FAR. Pour l'AGP, une structure à rétroaction négative a été choisie et optimisée. Une structure innovante et résiliente aux variations de procédé et de température est également proposée pour permettre la conversion à la volée d'un domaine de tension bipolaire vers un domaine de tension unipolaire. La conception inclut des simulations post-layout pour vérifier les performances en termes de linéarité, de bruit, d'impédance d'entrée et de sortie et de réjection du mode commun. Une attention particulière a été portée à la stabilité du gain sur une large gamme de températures et de variations de procédé.

Le FAR développé dans ce mémoire utilise une approche reconfigurable continue pour s'adapter aux changements de fréquence des signaux parasites dans une multitude d'applications. La solution proposée se base sur la modélisation et le contrôle des éléments parasites des éléments actifs utilisés. Tout comme pour l'AGP, la performance du FAR est vérifiée à travers des simulations post-layout, sur une large gamme de températures et de variations de procédé.

Les résultats montrent que l'AGP conçu présente une faible erreur de gain, une haute impédance d'entrée et une faible impédance de sortie, ce qui est crucial pour maintenir l'intégrité des signaux des capteurs. Les tests ont démontré une excellente stabilité de gain pour tout signal dans la plage d'amplitude et de fréquence d'entrée, et pour une large gamme de températures et de variations de procédé.

Le FAR reconfigurable a quant à lui démontré une grande précision sur le contrôle de sa fréquence de coupure par rapport à la modélisation mathématique. Les simulations post-layout ont pu démontrer la résilience du FAR aux variations de procédé, mais également sa vulnérabilité aux variations de température. Ce manuscrit présente également de multiples pistes d'amélioration pour le système présenté, afin notamment d'améliorer la résilience du FAR aux variations de température, et d'améliorer la précision de l'AGP pour le rendre compétitif par rapport aux solutions industrielles discrètes existantes sur le marché.

En conclusion, cette recherche propose une solution avancée pour les interfaces de capteurs des véhicules électriques, combinant un AGP à rétroaction négative et un FAR reconfigurable. Il s'agit d'un système innovant, combinant dans un seul dé monolithique un AGP et un FAR en mode-courant ainsi qu'un convertisseur de tension bipolaire/unipolaire. Le dé est également

capable de fonctionner avec des plages de tensions élevées, atteignant ±10 V, ce qui est encore absent de la littérature pour ce niveau de performance.

Les composants présentés offrent des performances prometteuses en termes de précision et de robustesse, démontrant la pertinence de nos choix de conception. Les travaux futurs se concentreront sur l'optimisation des sous-systèmes de circuit, afin d'amener leur performance au niveau des puces industrielles présentes sur le marché.

Ce mémoire de maîtrise contribue significativement au domaine des interfaces de capteurs, en proposant des solutions innovantes qui répondent aux exigences strictes des systèmes électroniques industriels modernes. Les résultats obtenus ouvrent la voie à de nouvelles recherches et développements dans ce domaine, avec des implications potentielles pour une large gamme d'applications technologiques.

ABSTRACT

In recent years, the transportation industry has experienced a significant rise in adopting electric vehicles, which could represent a viable and sustainable option to reduce this industry's environmental and social impact. This transition to electric vehicles also increases the volume of embedded electronics installed in these vehicles to improve their performance and efficiency.

However, such circuits are expensive and complex to implement, particularly in industrial solutions that must maintain high-performance levels in harsh environments and under high-voltage conditions that exceed those usually presented in the literature. To address this design complexity, this thesis contributes to developing reconfigurable sensor interfaces suitable for a wide range of high-precision, high-voltage applications.

The sensor interface must amplify and filter the analog signals from the sensors before their digital conversion and processing. Programmable gain amplifiers (PGAs) are essential for adjusting the signal level to an optimal range for analog-to-digital converters (ADCs). At the same time, anti-aliasing filters (AAFs) are crucial for eliminating unwanted frequencies before sampling. This thesis aims to develop advanced solutions for these two components, focusing on a negative feedback PGA structure and a continuous AAF with reconfigurable cutoff frequency. Both circuits will benefit from a current-mode design, which has shown numerous advantages for precision interfaces in recent literature.

The primary objective is to design a sensor interface that offers high precision and remarkable robustness against environmental variations in a high-voltage environment, while ensuring versatility for adoption in multiple applications without requiring costly redesigns.

The literature review explores existing works on PGAs and AAFs, emphasizing the most relevant current architectures regarding high-voltage design constraints. Specifically, this manuscript discusses the advantages and drawbacks of PGAs based on controlled transconductance and negative feedback, justifying the choice of the latter technique for high-voltage applications requiring precision, linearity, and stability over wide operating ranges.

Regarding AAFs, the review covers various filter design techniques, including active and passive filters, and their performance in rejecting unwanted frequencies in low-frequency bands. AAFs must be robust to process, voltage, and temperature (PVT) variations, and this thesis evaluates reconfigurable approaches that allow dynamic adaptation of the filter's characteristics based on operating conditions.

The work in this thesis includes the detailed design, simulation, and implementation of the PGA and AAF. For the PGA, a negative feedback structure was chosen and optimized. An innovative structure resilient to process and temperature variations is also proposed to enable on-the-fly conversion from a bipolar voltage domain to a unipolar voltage domain. The design includes post-layout simulations to verify performance in linearity, noise, input and output impedance, and common-mode rejection. Particular attention was given to gain stability over a wide range of temperatures and process variations.

The AAF developed in this thesis uses a continuous reconfigurable approach to adapt to changes in the frequency of parasitic signals across various applications. The proposed solution is based on modeling and controlling the active components' parasitic elements. Similarly to the PGA, the performance of the AAF is verified through post-layout simulations over a wide range of temperatures and process variations.

The results show that the designed PGA exhibits low gain error, high input impedance, and low output impedance, which are crucial for maintaining the integrity of sensor signals. Tests have demonstrated excellent gain stability for any signal within the input amplitude and frequency range, and across a wide range of temperatures and process variations.

The reconfigurable AAF demonstrated high accuracy in controlling its cutoff frequency compared to mathematical modeling. Post-layout simulations showed the AAF's resilience to process variations, but also its vulnerability to temperature variations. This manuscript also presents several paths for improvement for the proposed system, particularly to enhance the AAF's resilience to temperature variations and to improve the PGA's accuracy to make it competitive with existing discrete industrial solutions on the market.

In conclusion, this research proposes an advanced solution for sensor interfaces in electric vehicles, combining a negative feedback PGA and a reconfigurable AAF. This innovative system combines a PGA, a current-mode AAF, and a bipolar/unipolar voltage converter in a single monolithic die. The die can also operate with high voltage ranges, reaching ± 10 V, which is not yet present in the literature at this performance level.

The components proposed and validated in this thesis offer promising performance in terms of precision and robustness, demonstrating the relevance of our design choices. Future work will focus on optimizing the circuit subsystems to bring their performance to the level of industrial chips available on the market.

This master's thesis significantly contributes to sensor interfaces by proposing innovative solutions that meet the stringent requirements of modern industrial electrical systems. The reported results pave the way for further research and development, with potential implica-

tions for various technological applications.

TABLE DES MATIÈRES

DÉDICACE iii

REMERCIEMENTS iv

RÉSUMÉ v

ABSTRACT viii

TABLE DES MATIÈRES xi

LISTE DES TABLEAUX xiv

LISTE DES FIGURES xv

LISTE DES SIGLES ET ABRÉVIATIONS xviii

LISTE DES ANNEXES xix

CHAPITRE 1 INTRODUCTION 1
- 1.1 Contexte 1
- 1.2 Problématiques et motivations 2
- 1.3 Objectifs de recherche 3
- 1.4 Contributions 4
- 1.5 Plan du mémoire 4

CHAPITRE 2 REVUE DE LITTÉRATURE 6
- 2.1 Les amplificateurs à gain programmable 6
  - 2.1.1 Structures à transconductance contrôlée 8
  - 2.1.2 Structures à rétroaction négative 15
- 2.2 Les filtres anti-repliement 20

CHAPITRE 3 ARCHITECTURE DE L'INTERFACE DE CAPTEURS PROPOSÉE 26
- 3.1 Le convoyeur de courant de seconde génération 28
  - 3.1.1 Le suiveur en tension 29
  - 3.1.2 Les miroirs de courant 30
- 3.2 L'Amplificateur Opérationnel 31

3.3 L'étage d'entrée haute tension 33
3.3.1 Les interrupteurs haute tension 33
3.3.2 L'étage de conversion tension/courant 37
3.4 Le filtre anti-repliement 38
3.4.1 La source de courant contrôlée en tension 39
3.5 L'étage de sortie 41
3.5.1 Conversion courant/tension 41
3.5.2 Conversion bipolaire/unipolaire 43
3.6 Conception pour la testabilité 45

CHAPITRE 4 RÉSULTATS EXPÉRIMENTAUX 47
4.1 Layout de la puce 47
4.1.1 Layout général des circuits et dimensionnement des passifs 47
4.1.2 Invariance en température des résistances 48
4.2 Résultats de simulation post-layout : AGP 51
4.2.1 Erreur et non-linéarité du gain 52
4.2.2 Impédance d'entrée et de sortie 53
4.2.3 TRMC du système 55
4.2.4 Invariance aux variations PVT 56
4.3 Résultats de simulation post-layout : FAR 56
4.3.1 Contrôle de la SCCT et du FAR 57
4.3.2 Analyse fréquentielle de la reconfigurabilité 58
4.3.3 Résistance aux variations PVT 58
4.3.4 Mesures supplémentaires 60

CHAPITRE 5 DISCUSSION 61
5.1 Fonctionnalité 61
5.2 Précision du gain 61
5.3 Impédances d'entrée et de sortie du système 62
5.4 TRMC du système 63
5.5 Reconfigurabilité du FAR 63
5.6 Comparaison avec la littérature 65

CHAPITRE 6 CONCLUSION 67
6.1 Synthèse des travaux 67
6.2 Limitations de la solution proposée 67
6.3 Améliorations futures 68

RÉFÉRENCES 70

ANNEXES 74

LISTE DES TABLEAUX

Tableau 3.1 Spécifications souhaitées du circuit envisagé 26
Tableau 4.1 Fréquence de coupure (kHz) du FAR avec variations de procédé et de température ($I_{bias} = 10\ \mu$A) 59
Tableau 5.1 Spécifications souhaitées du circuit envisagé et résultats obtenus . . . 61
Tableau 5.2 Performance du FAR en comparaison avec la littérature 65

LISTE DES FIGURES

Figure 1.1 Schéma-bloc de l'interface de capteurs versatile proposée 2
Figure 2.1 Un APG basique en boucle fermée (a) et en boucle ouverte (b) 7
Figure 2.2 Un AGP basique en boucle ouverte, basé sur un réseau de résistances 8
Figure 2.3 Schéma conceptuel (a) et au niveau transistor (b) de l'AGP à dégénération active 10
Figure 2.4 Comparaison du gain théorique et simulé pour différents 'coins' du domaine paramétrique ou 'corners' (a) et la courbe d'erreur sur le gain pour le corner typique (b) de l'AGP à dégénération active 10
Figure 2.5 AGP à commutation de transistors 11
Figure 2.6 Erreur de gain dB-linéaire (a) et échelons de gain dB-linéaire (b) en fonction de k_1 pour l'AGP à commutation de transistors 11
Figure 2.7 Schéma de principe (a) et schéma au niveau transistor (b) de l'AGP à rétroaction positive active-g_m (b) 12
Figure 2.8 Erreur de gain pour de multiples valeurs de gain et corners pour l'AGP à rétroaction positive active-g_m 13
Figure 2.9 Schéma de la cellule élémentaire pour l'AGP à cellules cascadées . . . 14
Figure 2.10 Erreur de gain en fonction de la température (a) et linéarité du gain en fonction du corner de procédé (b) pour l'AGP à cellules cascadées 14
Figure 2.11 AGP à AOP simple avec rétroaction résistive 15
Figure 2.12 Capacité commutée 16
Figure 2.13 AGP à amplificateurs cascades 17
Figure 2.14 Courbe d'erreur pour les différents étages de l'AGP à amplificateurs cascades 18
Figure 2.15 Un amplificateur d'instrumentation 19
Figure 2.16 AGP en Mode-Courant 20
Figure 2.17 Filtre passe-haut de Sallen-Key 22
Figure 2.18 Circuit de multiplication de capacité 23
Figure 2.19 FAR en courant à rétroactions multiples 23
Figure 2.20 FAR à résistance active 24
Figure 2.21 FAR à base de CCII 25
Figure 3.1 Circuit haute tension d'interfaçage pour une interface de capteurs reconfigurable proposé 27
Figure 3.2 Un CCII contrôlé en courant (CCCII) 29

Figure 3.3 Un DFVF 30
Figure 3.4 Un miroir de courant cascode 31
Figure 3.5 Le CCCII proposé 32
Figure 3.6 L'AOP utilisé 32
Figure 3.7 Une porte de transmission impossible à fermer avec des DEMOS HT 34
Figure 3.8 Première version de l'interrupteur haute tension employé 35
Figure 3.9 Seconde version de l'interrupteur haute tension employé 36
Figure 3.10 Le CCCII HT proposé 37
Figure 3.11 L'étage d'entrée HT 38
Figure 3.12 La source de courant contrôlée en tension 39
Figure 3.13 Le filtre anti-repliement proposé 40
Figure 3.14 Circuit équivalent du FAR proposé 41
Figure 3.15 Étage de sortie à AOP 42
Figure 3.16 SCCT avec rétroaction pour l'étage de sortie 44
Figure 3.17 Schéma-bloc du DFT proposé 45
Figure 3.18 DFT proposé 46
Figure 4.1 Layout de la puce envoyée pour fabrication 47
Figure 4.2 Courant généré par la SCCT (μA) en fonction de la valeur de la tension de polarisation (V) 50
Figure 4.3 Courant généré par la SCCT (μA) en fonction de la température (°C) pour $V_{bias} = 2.5$ V 50
Figure 4.4 Courant généré par la SCCT (μA) en fonction de la température (°C) pour $V_{bias} = 2.5$ V avec la compensation en température 51
Figure 4.5 Non-linéarité du gain par rapport à la fréquence du signal d'entrée, pour un gain théorique de -12.0412 dB (0.25), et un signal d'entrée sinusoïdal d'amplitude 8 V 52
Figure 4.6 Non-linéarité du gain par rapport à l'amplitude du signal d'entrée, pour un gain théorique de -12.0412 dB (0.25), et un signal d'entrée sinusoïdal de fréquence 5 kHz 53
Figure 4.7 Impédance d'entrée du système, en fonction de la fréquence du signal d'entrée 54
Figure 4.8 Impédance de sortie du système, en fonction de la fréquence du signal d'entrée 55
Figure 4.9 Taux de Réjection de Mode Commun du système en fonction de la fréquence, pour G = 0.25 56

Figure 4.10 Courant généré par la SCCT en fonction de la tension de polarisation avec fréquences de coupure équivalentes 57
Figure 4.11 Impédance parasite du CCII basse tension en fonction de son courant de polarisation 58
Figure 4.12 Analyse fréquentielle du comportement du FAR en fonction du courant de polarisation des CCIIs 59

LISTE DES SIGLES ET ABRÉVIATIONS

AGP	Amplificateur à Gain Programmable
AGV	Amplificateur à Gain Variable
AOP	Amplificateur Opérationnel
CAN	Convertisseur Analogique/Numérique
CCCII	Convoyeur de Courant de Seconde Génération Contrôlé en courant
CCII	Convoyeur de Courant de Seconde Génération
CMRR	Taux de Réjection de Mode Commun
FAR	Filtre Anti-Repliement
HT	Haute Tension
DEMOS	Transistor MOS à drain étendu
MC	Mode-Courant
QFGMOS	MOS à Grille Quasi-Flottante
SiP	System-in-Package
SoC	System-on-Chip
TRMC	Taux de Réjection de Mode Commun

LISTE DES ANNEXES

Annexe A Plan de test de la puce 74

CHAPITRE 1 INTRODUCTION

1.1 Contexte

Depuis les dernières décennies, l'industrie du transport a connu un développement exponentiel, tant pour le transport de marchandises que de personnes [1]. Bien que ce développement soit un élément essentiel du système économique et social mondial, il suscite de nombreuses interrogations concernant son impact économique et social. En effet, les émissions de gaz à effet de serre générées par l'industrie du transport constituent une part importante de la pollution mondiale. D'après l'Agence pour la Protection de l'Environnement, l'industrie du transport représente en effet 28 % des émissions de gaz à effet de serre des États-Unis en 2021, soit 6340 millions de tonnes de CO2 [2]. Cela en fait le premier contributeur national à ces émissions. De plus, il est important de souligner que 2.1 millions de personnes meurent chaque année en raison de ces émissions [3]. L'accès très inégal à ces moyens de transports, la pénurie en ressources naturelles et l'impact de cette industrie sur l'être humain sont tout autant de facteurs soulignant le besoin urgent de développer des solutions durables, tant sur le plan environnemental que social.

Le passage à l'électrique des véhicules a sur le papier de nombreux avantages, à condition que l'électricité soit produite de manière durable. Avec la nouvelle tendance de passage à l'électrique vient la possibilité d'introduire de plus en plus d'électronique embarquée, ce qui permet d'améliorer encore plus le rendement des véhicules, et donc leur performance, leur fiabilité et leur consommation énergétique. Cette avancée technologique offre également l'opportunité de réduire les coûts de maintenance à long terme et d'augmenter la durée de vie des véhicules.

Les interfaces de capteurs jouent un rôle crucial dans cette nouvelle dynamique. En effet, leur optimisation améliore significativement la performance du système. Cependant, ce sujet est complexe, car le haut niveau de spécialisation des systèmes industriels rend souvent un système obsolète d'un véhicule à l'autre. Compte tenu des coûts de fabrication élevés des circuits spécialisés (ASIC), il est essentiel de proposer des architectures intégrées reconfigurables, capables de répondre à une multitude de problèmes et d'applications tout en conservant des performances compétitives.

Ce mémoire de maîtrise s'inscrit dans le cadre des travaux d'un groupe de recherche plus large, visant à développer des interfaces de capteurs intelligentes, reconfigurables et performantes, viables en milieu hostile [4].

En particulier, ce mémoire se concentre sur les éléments fondamentaux d'un circuit dits de read-back, à savoir les Amplificateurs à Gain Programmable (AGP) et les Filtres Anti-Repliement (FAR).

1.2 Problématiques et motivations

Comme mentionné précédemment, ce mémoire s'inscrit dans une dynamique de recherche plus large, visant à proposer une interface de capteurs reconfigurable adaptée à une multitude d'applications industrielles en milieu hostile [5], comme présenté en Figure 1.1.

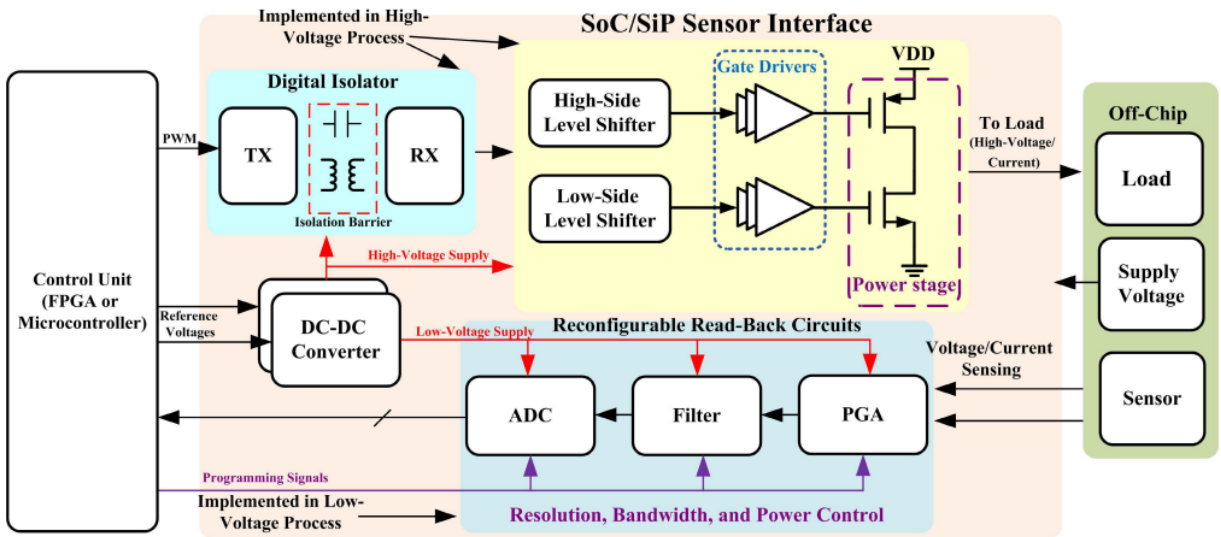


FIGURE 1.1 Schéma-bloc de l'interface de capteurs versatile proposée [5]

Les travaux présentés ici s'appuient sur le contexte et les études déjà décrits dans [6], s'attaquant plus particulièrement à la partie "Reconfigurable Read-Back Circuits" présentée dans la Figure 1.1. L'article [5] présente les besoins spécifiques de cette interface. Un premier élément essentiel est une isolation électrique, permettant de séparer la charge, potentiellement soumise à de hauts niveaux de tension, de l'unité de contrôle qui souhaite en extraire de l'information. Dans l'exemple de la Figure 1.1 tiré de [5], cette dernière est mise en œuvre dans un FPGA.

Présenté dans [6], un amplificateur de tension isolé avec gain programmable a déjà été proposé. Cet amplificateur répond aux normes et besoins usuellement rencontrés en milieu industriel hostile [7]. Basés sur une isolation inductive et un capteur à effet Hall, les travaux présentés dans [6] offrent une solution innovante et adaptée à une multitude d'interfaces de capteurs industriels haute tension en milieu hostile. L'amplificateur isolé présenté permet

d'obtenir un circuit de Read-Back haute tension depuis la charge, avec une plage d'entrée de ±10 V tout en supportant des tensions de mode commun de plusieurs centaines de volts.

Bien que l'isolation à partir de capteurs à effet Hall soit indubitablement adaptée et pertinente dans ce mémoire, certains éléments restent manquants et/ou peu satisfaisants pour le développement d'une interface de capteurs modulaire, flexible et performante telle que présentée dans la Figure 1.1. Particulièrement, le dé fabriqué n'inclut pas de FAR, un composant absolument fondamental de toute interface de capteurs. En effet, le FAR permet le bon échantillonnage du signal par un Convertisseur Analogique/Numérique (CAN) afin d'éviter le repliement de spectre lors de la conversion numérique du signal pour lecture par un processeur. De plus, l'AGP proposé est très sensible aux variations du procédé de fabrication et de la température, ce qui limite fortement la précision d'interfaces de capteurs exploitant ce circuit.

1.3 Objectifs de recherche

On cherche ainsi à compléter l'interface de capteurs développée dans [6], afin de compléter la proposition initiale énoncée dans [4]. En particulier, l'intégrabilité et la performance de l'AGP et du FAR laissent encore à désirer. Afin de pouvoir poursuivre l'intégration de l'interface de capteurs dans un System-in-Package (SiP), l'intégration des composants nouvellement développés sera faite dans un System-on-Chip (SoC), afin de maximiser les possibilités d'intégration du système global.

Le système doit être complètement différentiel afin de pouvoir gérer simultanément des mesures simples et des mesures différentielles, permettant ainsi la mesure de tensions, mais aussi de courant à l'aide d'une résistance de shunt. Compte tenu de l'application industrielle haute tension envisagée, le système devra être capable de gérer des tensions différentielles allant jusqu'à ± 10 V, et sera intégré à l'aide d'un procédé haute tension (HT).

L'accent devra également être mis sur la résilience aux variations paramétriques du procédé, de tension d'alimentation et de température, afin de garantir une solution performante dans toutes les situations. La solution se doit d'être conçue à l'aide de procédés CMOS et/ou bipolaires afin de faciliter son intégration avec le reste de l'interface.

Les circuits proposés devront être hautement reconfigurables, afin encore une fois de proposer une solution facilement adaptable au plus grand nombre possible d'applications. En particulier, il sera important pour l'AGP de proposer une conversion d'un domaine de tension bipolaire vers un domaine de tension unipolaire, la norme des circuits de contrôle digitaux. On souhaite également pouvoir déterminer la fréquence de coupure du FAR, avec la possibilité

d'atteindre des fréquences de coupure très basses, dans l'ordre de grandeur des kHz.

Enfin, le système devra présenter une bonne résistance au bruit, une excellente linéarité et avoir la possibilité de travailler sur la plus grande plage de fréquence possible afin de garantir la versatilité de l'interface et de minimiser les modifications à mettre en place pour l'installer sur différents appareils.

1.4 Contributions

Ce mémoire présente une architecture innovante d'amplificateur d'instrumentation à base de convoyeurs de courant de seconde génération (CCII). Incluant un AGP et un FAR, le circuit proposé permet de convertir un signal dans une plage de tension bipolaire, ±10 V, vers une plage de tension unipolaire 5 V. Le système exploite les nombreux avantages de la conception en mode courant : 1) indépendance du gain et de la bande passante, 2) plus grande plage dynamique, 3) meilleur Taux de Réjection du Mode Commun (TRMC), 4) excellente linéarité, 5) sensibilité réduite aux éléments parasites, au bruit, aux variations de procédé et de température [8].

En particulier, ce mémoire présente trois sous-systèmes innovants :

- Une architecture de CCII haute tension, encore absente de la littérature, pour l'étage d'entrée de l'amplificateur d'instrumentation.
- Un AAF en mode courant basé sur des CCII, directement intégré à l'intérieur de l'amplificateur d'instrumentation, profitant de l'approche en mode courant, avec un contrôle intégré de la fréquence de coupure sans complexifier le circuit. Ce contrôle se base sur la modélisation et le contrôle des éléments parasites inhérents aux CCII.
- Un étage de sortie permettant de reconfigurer à la volée le niveau DC correspondant au 0 en sortie, entre 0 V et 5 V. Le design inclut une boucle de rétroaction, permettant une grande résilience aux variations de procédé et de température, même en l'absence d'appariement ou de compensation des éléments passifs définissant le gain de l'étage.

Un article de conférence a également été soumis à la conférence ICECS2024, portant sur le FAR proposé.

1.5 Plan du mémoire

Ce mémoire est organisé comme suit. Dans un premier temps, le chapitre 2 détaille l'état de l'art actuel concernant les différents éléments du système proposé, à savoir l'AGP et le FAR. La solution proposée est détaillée dans le chapitre 3. Les résultats de simulation post-

layout obtenus sont présentés dans le chapitre 4. La pertinence des résultats obtenus et leur positionnement par rapport à la littérature sont évoqués dans le chapitre 5. Enfin, le chapitre 6 résume la proposition énoncée par le présent mémoire, met en lumière les performances obtenues avec la solution proposée ainsi que ses limitations, et suggère des pistes de recherche ultérieure.

CHAPITRE 2 REVUE DE LITTÉRATURE

2.1 Les amplificateurs à gain programmable

Dans le contexte d'une interface de capteurs, il est presque toujours indispensable d'utiliser un AGP pour ajuster l'amplitude du signal d'entrée à la plage d'amplitude du CAN. En effet, un CAN compare le signal d'entrée à une référence de tension interne, en général 1.8 V [9], 3.3 V [10] ou 5 V [11]. Pour atteindre la résolution maximale de mesure d'un CAN, le signal d'entrée devrait s'approcher le plus possible de la valeur maximale de sa plage de mesure [12]. Cependant, en fonction du type de signal à l'entrée de l'interface, il peut être nécessaire d'augmenter l'amplitude du signal, ou bien au contraire de la réduire pour éviter une saturation du CAN. Les AGP répondent à ce besoin de programmabilité du gain à l'entrée d'un CAN. Usuellement, cette programmabilité se fait à l'aide d'une tension DC ou d'une entrée digitale [12].

Les principaux indicateurs de la performance d'un AGP considérés sont les suivants :

- **La précision du gain**, usuellement mesurée en pourcentage. La précision du gain détermine l'écart entre la valeur réelle du gain et la valeur que l'on devrait obtenir à partir de l'équation théorique sans tenir compte des sources d'erreur.
- **La linéarité du gain**, encore une fois usuellement mesurée en pourcentage. Elle représente les variations de la valeur du gain sur une plage de valeurs du signal d'entrée, ainsi que sur la plage de valeurs du gain.
- **La bande passante**, qui représente la plage de fréquences sur laquelle la réponse de l'AGP reste constante.
- **Le décalage (offset)**, correspondant à la quantité de tension DC parasite non souhaitée que l'on retrouve rapportée comme un signal additif en entrée de l'AGP.
- **La consommation de puissance** du circuit.
- **Les effets des variations de température et de procédé**, qui vont modifier la valeur du gain, de la linéarité et du décalage en fonction de l'environnement du circuit.

On distingue dans un premier temps deux types d'amplificateurs à gain programmable : les circuits en boucle ouverte, et les circuits en boucle fermée [13]. Les circuits en boucle fermée ont l'avantage d'avoir une excellente linéarité et un contrôle simple du gain. Traditionnellement, ces circuits se basent soit sur une impédance d'entrée variable, soit sur une impédance variable dans une rétroaction négative. Les deux architectures les plus populaires pour réaliser cette impédance sont un réseau de résistances interchangeables avec des inter-

rupteurs, ou bien des résistances équivalentes à base de capacités commutées. Cependant, cette excellente performance se paie par une plus forte consommation de puissance, et une limitation en fréquence due au produit gain-bande inhérent aux structures basées sur un Amplificateur OPérationnel (AOP). À l'inverse, les structures en boucle ouverte ouvrent une plus grande variété de techniques de commande, modifiant généralement une transconductance variable, c'est-à-dire le g_m d'un transistor, ou une impédance variable au niveau de la charge. Les structures boucle ouverte ont l'avantage d'occuper beaucoup moins de place, et d'avoir une consommation de puissance bien moindre. Ces solutions ont une bien meilleure tenue en fréquence, mais ont une moins bonne linéarité, et le contrôle du gain est souvent plus complexe.

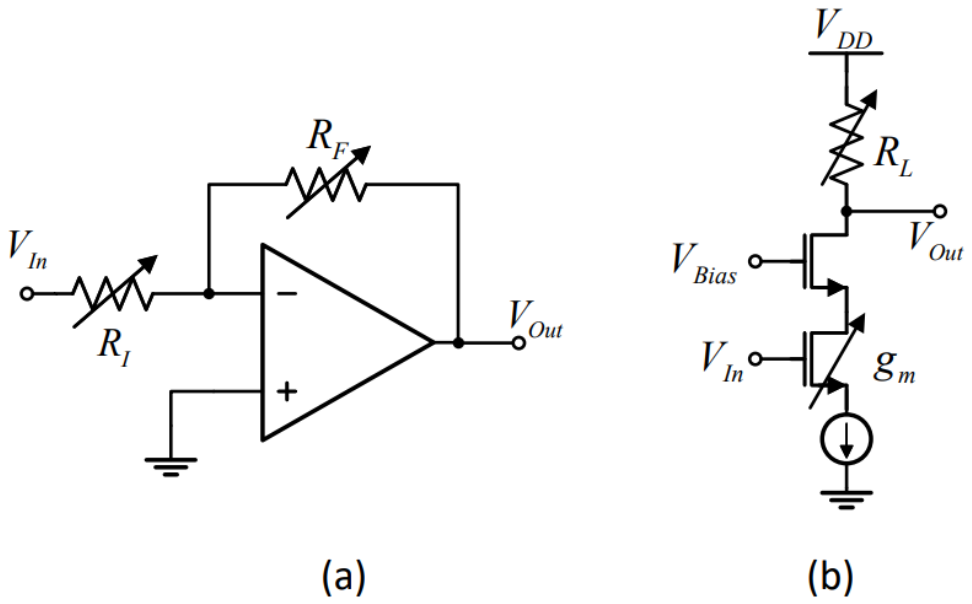


FIGURE 2.1 Un APG basique en boucle fermée (a) et en boucle ouverte (b) [14]

Il est également important de souligner une différence de vocabulaire fondamentale dans la littérature. Il faut faire la distinction entre les Amplificateurs à Gain Variable (AGV) (VGA dans la littérature), et les Amplificateurs à Gain Programmable (AGP) (PGA dans la littérature). La différence entre ces deux types de circuits tient au type de contrôle proposé. Les AGV proposent un contrôle continu du gain, tandis que les AGP proposent un contrôle discret. Compte tenu encore une fois du contexte industriel de précision envisagé [4], [5], la présente revue de littérature se concentre sur les AGPs. En effet, ces derniers permettent de connaître exactement la valeur de gain demandée, ce qui élimine le facteur d'erreur sur la mesure ajoutée par la commande continue.

2.1.1 Structures à transconductance contrôlée

Intéressons-nous dans un premier temps aux possibilités offertes par les structures à transconductance contrôlée.

Comme présenté en Figure 2.1, l'approche la plus classique en boucle ouverte pour réaliser un AGP est une architecture à réseau de résistances.

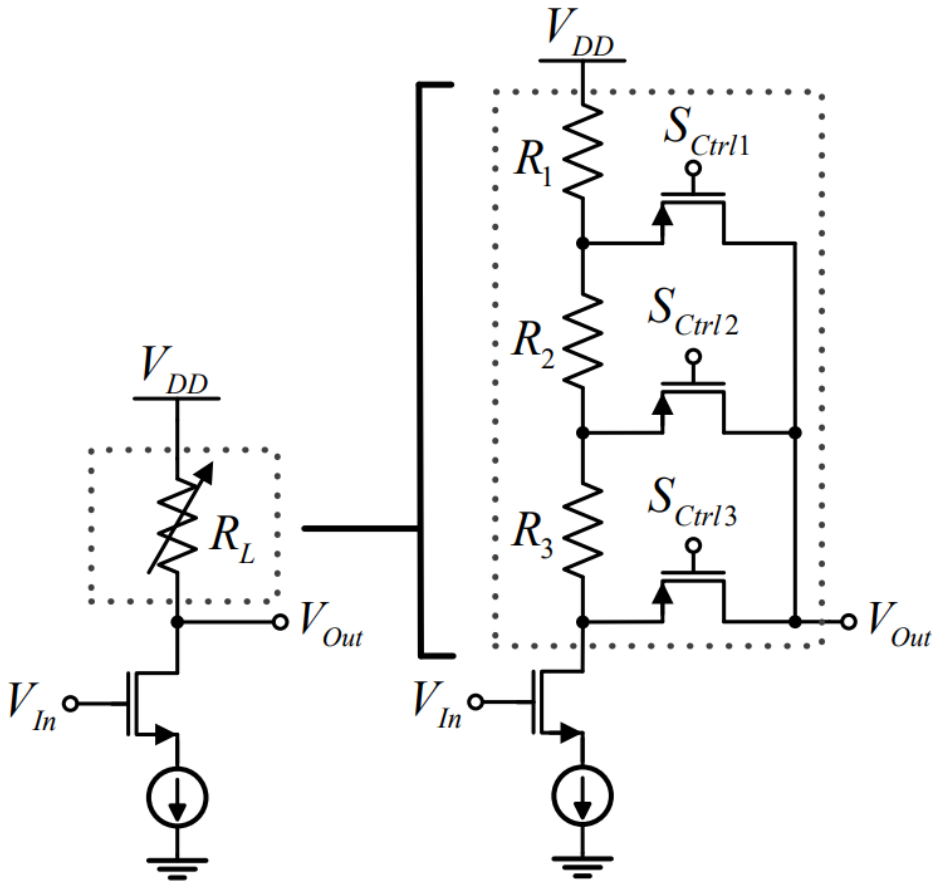


FIGURE 2.2 Un AGP basique en boucle ouverte, basé sur un réseau de résistances [15]

Conceptuellement, l'idée est d'exploiter l'équation fondamentale pour un MOSFET, définissant son g_m en fonction du courant de drain :

$$g_m = \frac{\delta I_D}{\delta V_{GS}} \tag{2.1}$$

En modifiant la résistance de polarisation au niveau du drain, on modifie la valeur du courant de drain. Cela permet de linéairement contrôler le g_m de la cellule, et par extension le gain de l'AGP [15]. Il est possible d'atteindre un contrôle similaire en utilisant des résistances

pour dégénérer la source du transistor [16], ou en mettant en parallèle des transistors de même longueur, mais de largeur variable pour interagir directement avec le g_m intrinsèque du transistor équivalent [17]. Ces deux dernières variations ont récemment été citées comme très prometteuses dans la littérature. Par rapport à l'architecture standard présentée en Figure 2.2, ces architectures présentent une excellente résilience aux variations de procédé et de température.

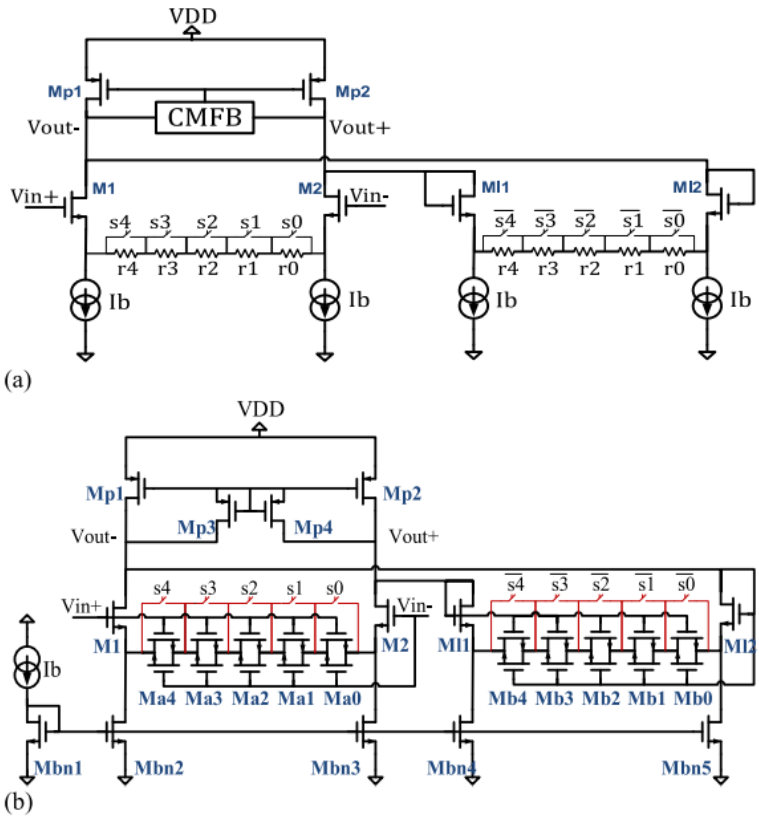
La Figure 2.3 présente une architecture récente proposée dans la littérature basée sur la dégénération active, simultanément au niveau de la source et de la charge. Les principaux avantages présentés pour cette architecture sont une consommation de puissance indépendante du gain, ainsi qu'une excellente invariance aux variations de procédé. Le circuit démontre également une excellente linéarité du gain sur l'entièreté de la bande passante du circuit.

Comme on peut le voir sur la Figure 2.4, cet AGP présente comme évoqué précédemment une grande résilience aux variations de procédé et de température. Cependant, on observe également une erreur sur le gain non négligeable (jusqu'à 3 dB) comparé au gain linéaire attendu, ce qui est loin d'être négligeable. De plus, le gain du circuit est intrinsèquement limité par le g_m des transistors, ce qui peut être limitant en fonction du niveau de performance à disposition, ce qui peut rapidement devenir limitant lorsque l'on utilise un procédé HT comme dans notre application [4]. Une solution pour régler ce problème serait de cascader plusieurs étages, mais cela implique une augmentation linéaire avec le nombre d'étages de l'erreur sur la précision du gain.

Comme évoqué précédemment, l'alternative est de modifier directement la largeur équivalente des transistors, ce qui est l'approche présentée dans [17], et présentée dans la Figure 2.5. Par rapport à l'architecture à dégénération active proposée précédemment, cette architecture permet de limiter l'influence de la cascade d'étages successifs sur la précision du gain, avec une croissance reportée comme étant plus lente qu'une croissance linéaire [17].

Si cette solution permet d'efficacement contourner le problème de limitation du gain lié au g_m des transistors, cette architecture a malgré tout d'autres limitations. Il est évoqué dans [17] que la valeur de l'échelon de gain et l'erreur sur ce même gain sont liés à un facteur k_1, qui correspond à la longueur équivalente de transistor qui est toujours active (donc sans aucun transistor ajouté en parallèle), comme on peut le voir sur la Figure 2.5. Les résultats expérimentaux mettent en avant une relation en forme de U entre ce facteur k_1 et l'échelon de gain, ainsi que l'erreur sur le gain, comme présenté dans la Figure 2.6.

On observe ainsi très clairement grâce à la Figure 2.6 que l'échelon et la précision du gain sont fonction de la valeur choisie pour k_1. Cela rend ardu l'adaptation d'une telle architecture à une interface versatile pour une grande variété d'applications. Une telle architecture nécessiterait



htpb

FIGURE 2.3 Schéma conceptuel (a) et au niveau transistor (b) de l'AGP à dégénération active [16]

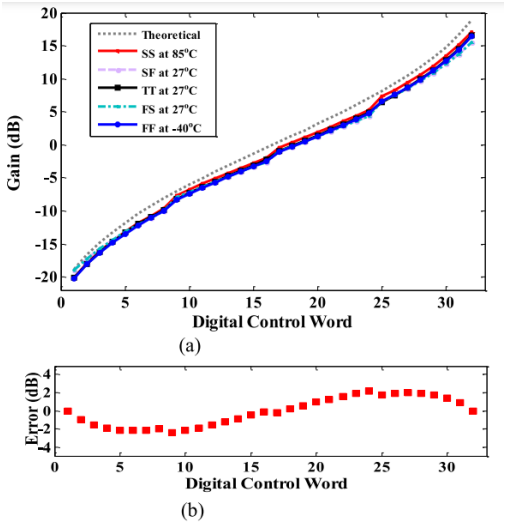


FIGURE 2.4 Comparaison du gain théorique et simulé pour différents corners (a) et courbe d'erreur sur le gain pour le corner typique (b) de l'AGP à dégénération active [16]

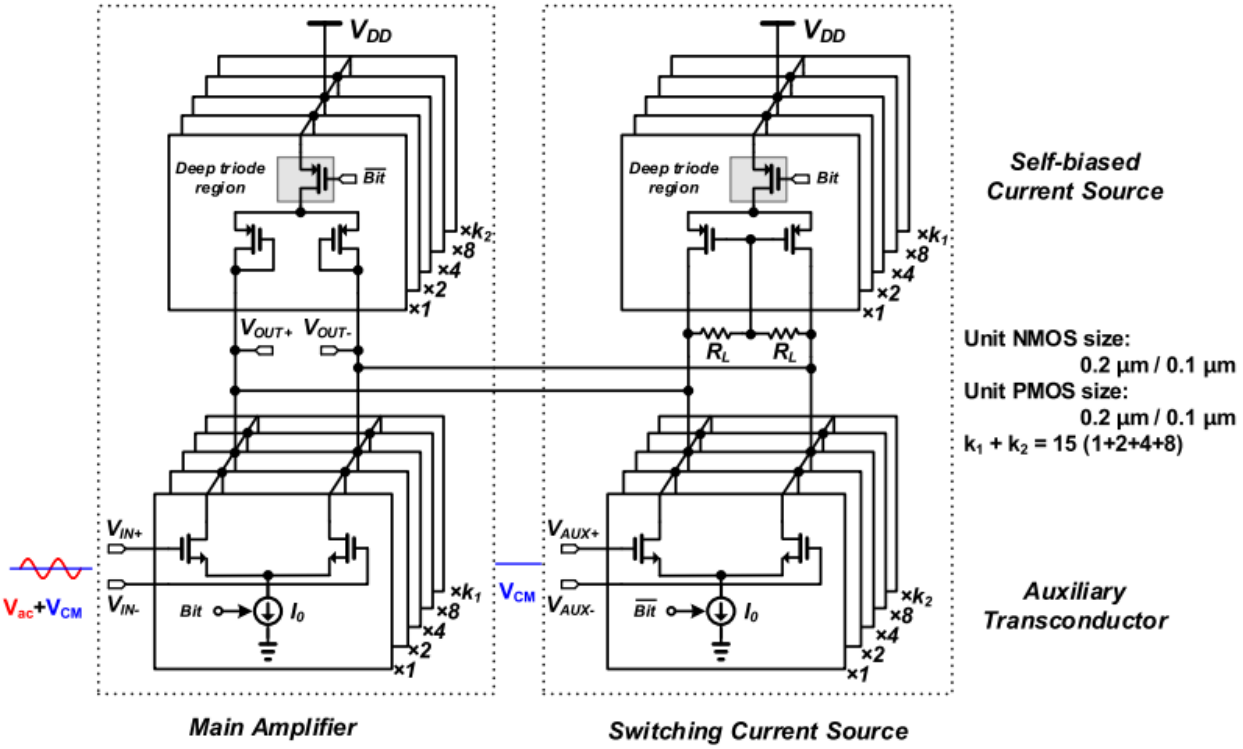


FIGURE 2.5 AGP à commutation de transistors [17]

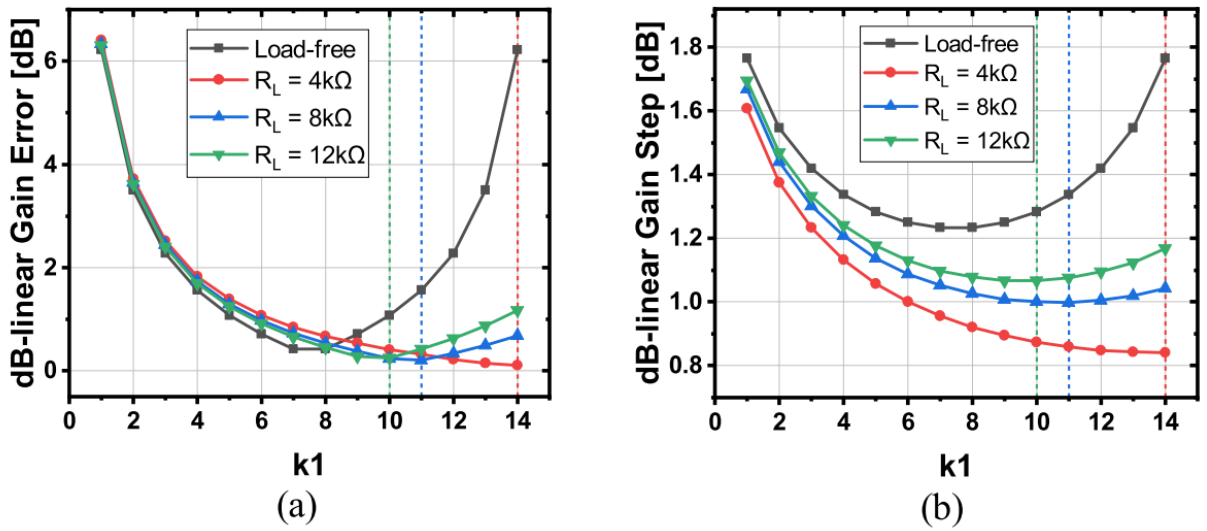


FIGURE 2.6 Erreur de gain dB-linéaire (a) et échelons de gain dB-linéaire (b) en fonction de k_1 pour l'AGP à commutation de transistors [17]

un moyen de modifier également le facteur k_1, ce qui complexifie le contrôle du gain. On note cependant que la tenue en fréquence du circuit et sa consommation de puissance sont très attractives.

[18] propose une nouvelle fois une amélioration de l'architecture présentée précédemment, en introduisant cette fois-ci une rétroaction positive à l'aide d'un élément de transconductance.

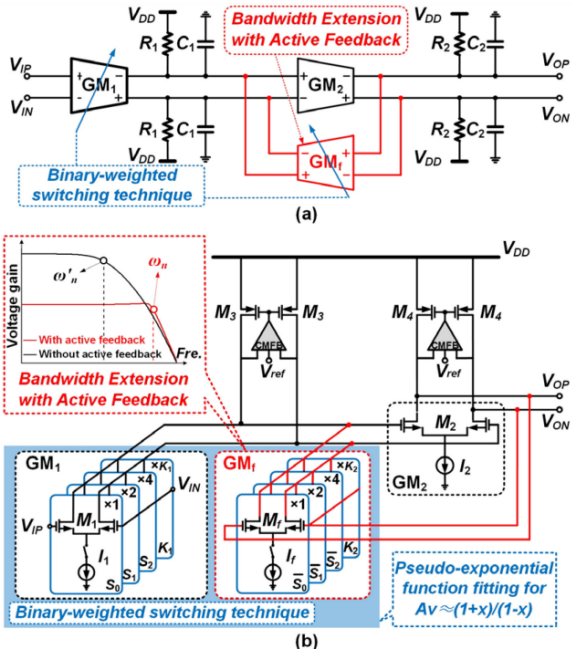


FIGURE 2.7 Schéma de principe (a) et schéma au niveau transistor (b) de l'AGP à rétroaction positive active-g_m (b) [18]

On observe sur la partie (a) de la Figure 2.7 le schéma de principe de ce nouveau circuit. On observe ainsi bien un premier bloc de transconductance, construit sur le même principe que précédemment, suivi par un second bloc à gain fixe, sur lequel on fixe une rétroaction à transconductance variable. Cela a de nombreux avantages, notamment une extension de la bande passante du système, une réduction de la distorsion engendrée par le système et un meilleur contrôle du gain du système. En effet, le gain peut à présent être exprimé sous la forme d'un simple rapport :

$$A_{V_0} = \frac{G_{m1}G_{m2}R_1R_2}{1 + G_{mf}G_{m2}R_1R_2} \tag{2.2}$$

Considérant encore une fois des paramètres k_1 et k_2 pour le rapport des tailles des transistors 'always on' dans le système, la Figure 2.8 présente les améliorations sur le contrôle du gain.

On observe ainsi que cette technique permet de limiter l'erreur de gain à 0.015 dB contre 1.6

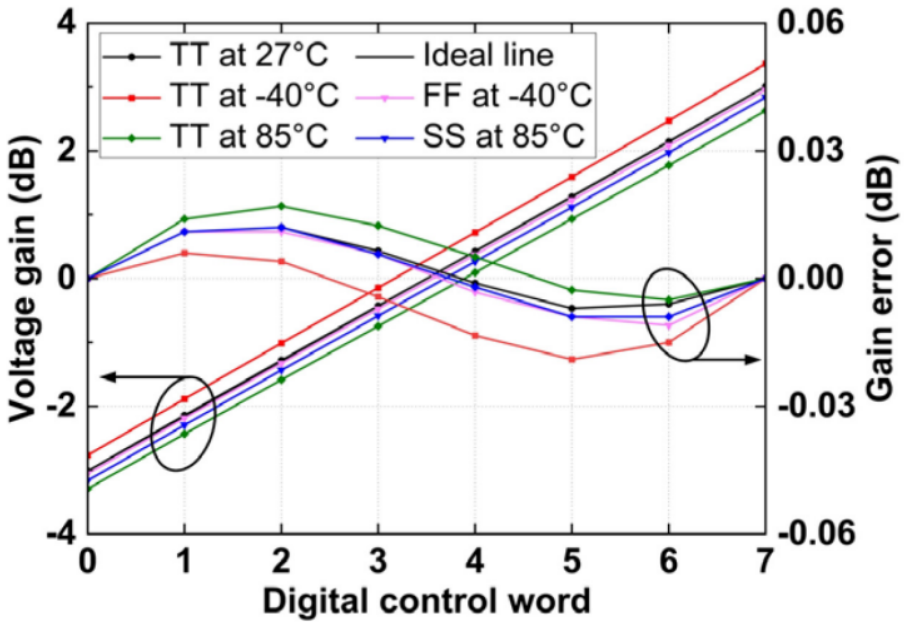


FIGURE 2.8 Erreur de gain pour de multiples valeurs de gain et corners pour l'AGP à rétroaction positive active-g_m [18]

dB précédemment en pire cas (sur charge), et donc de garantir une excellente linéarité du système. Le système possède également une excellente robustesse aux variations de procédé et de température, comme le montre la Figure 2.8.

Cette itération d'AGP à transconductance contrôlée semble être un candidat de bonne facture pour notre solution. Cependant, se basant purement sur des paires différentielles, il risque de fortement souffrir du passage à un procédé HT, avec des transistors MOS Laterally-diffused, asymétriques et avec des parasites affectant bien plus fortement le comportement du transistor. Nous risquons donc de ne pas pouvoir atteindre d'aussi bonnes performances sur la linéarité du gain.

La dernière approche populaire consiste à cascader des cellules élémentaires. Au lieu de se consacrer sur la réduction de l'erreur et l'amélioration de la linéarité du gain d'un AGP complexe, cette architecture cherche à agressivement optimiser une cellule élémentaire, avec donc d'excellentes performances, et à la cascader pour augmenter la plage de gain et la rendre convenable [19]. Une telle cellule est présentée dans la Figure 2.9.

Encore une fois, le design présente une grande robustesse aux variations de procédé et de température, ainsi qu'une excellente erreur maximale sur le gain de 0.2 dB, comme présenté

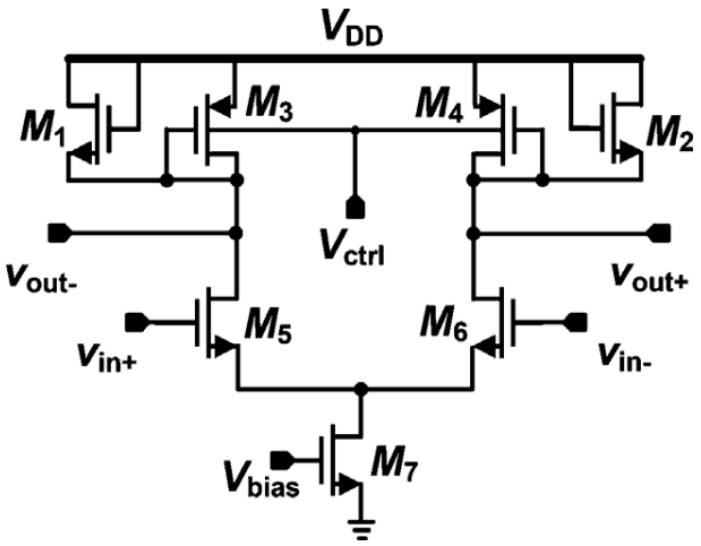


FIGURE 2.9 Schéma de la cellule élémentaire pour l'AGP à cellules cascadées [19]

à la Figure 2.10.

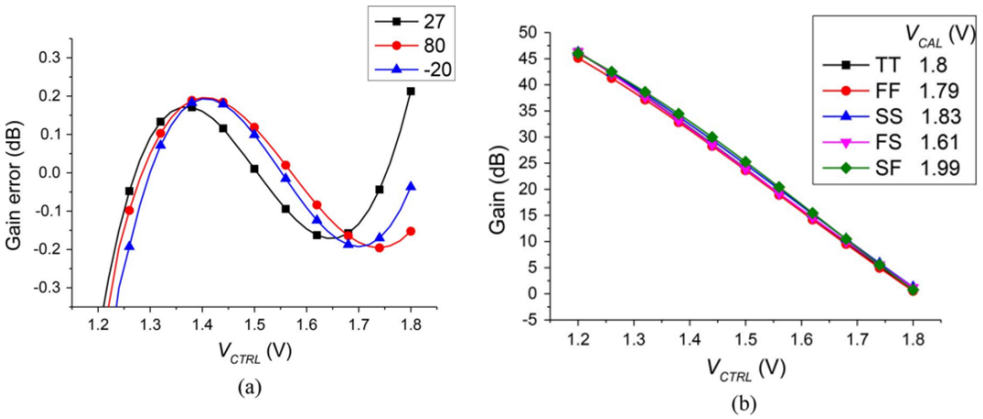


FIGURE 2.10 Erreur de gain en fonction de la température (a) et linéarité du gain en fonction du corner de procédé (b) pour l'AGP à cellules cascadées [19]

Malheureusement, cette technique n'est encore une fois pas très bien adaptée à notre situation. Notamment, considérant que nous ciblons un procédé HT, nous ne disposerons pas de transistors avec un bas niveau d'alimentation, 1.8 V ou inférieur, permettant d'atteindre des performances compétitives. Les parasites vont par définition encore une fois limiter les performances de notre cellule élémentaire, et donc par extension les performances d'un tel AGP dans notre cas si nous voulions l'implémenter.

2.1.2 Structures à rétroaction négative

Pour pallier les problèmes inhérents aux circuits à transconductance contrôlée, il est possible de plutôt utiliser un circuit disposant d'une rétroaction négative pour fixer le gain du système, à l'aide de composants passifs. Comme évoqué précédemment, ces circuits bénéficient d'une très grande linéarité et d'une excellente précision, souvent au prix de l'espace occupé par le système ainsi que de la consommation de puissance. En effet, ces circuits emploient des composants actifs comme des AOP, dont la consommation est non négligeable, d'autant plus lorsque la fréquence d'opération augmente.

Nous avons pu voir jusqu'à présent les limitations des architectures basées sur la transconductance d'une paire différentielle. L'alternative populaire dans la littérature est une architecture a base d'AOP, qui permet d'obtenir plus facilement une très grande précision et linéarité. Présente depuis longtemps dans la littérature [20] [21], ce type de circuit utilise une impédance de rétroaction négative avec un AOP afin de régler le gain du système. Le réglage de cette impédance se fait le plus souvent à travers un réseau réglable à l'aide d'interrupteurs, ou à l'aide de capacités commutées.

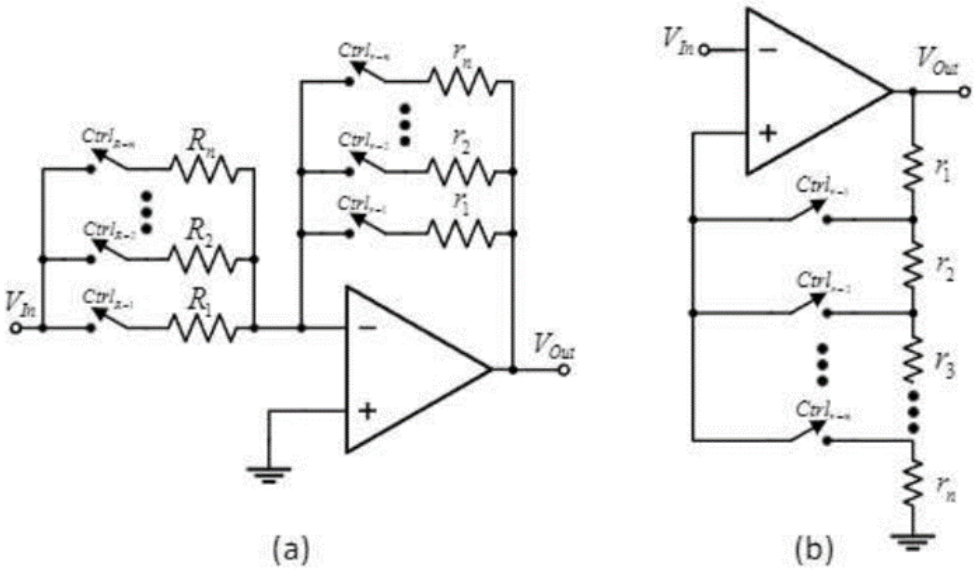


FIGURE 2.11 AGP à AOP simple avec rétroaction résistive [20]

Comme on peut le voir sur la Figure 2.11, le moyen le plus simple d'implémenter dans ce cas de figure une résistance variable est d'utiliser un réseau de résistances, que l'on vient commuter avec des interrupteurs. Comme on peut le voir sur la Figure 2.11 (a), ce réglage peut s'effectuer aussi bien au niveau de la résistance d'entrée que de la résistance de rétroaction.

Le principal inconvénient de ce type d'architecture est que le gain est limité par la précision de la résistance en elle-même. La résistance des interrupteurs (traditionnellement réalisés à l'aide d'une porte de transmission CMOS) peut elle aussi influer sur la valeur du gain. La Figure 2.11 (b) présente une architecture alternative, permettant de minimiser l'influence de la résistance parasite R_{on} des interrupteurs.

Ce type d'AGP est usuellement employé pour des systèmes ne nécessitant que peu de réglages de gain. En effet, les composants passifs sont des éléments volumineux, qui prennent beaucoup de place si intégrés dans un SoC.

L'alternative usuelle est d'employer des capacités commutées pour obtenir des résistances équivalentes [22]. L'idée est de tirer profit du concept des capacités commutées, qui affirme que selon l'architecture présentée sur la Figure 2.12, la capacité deviendra équivalente a une résistance, dont la valeur sera égale a l'équation suivante, avec f la fréquence de commutation des interrupteurs :

$$R_{eq} = \frac{1}{C_S f} \tag{2.3}$$

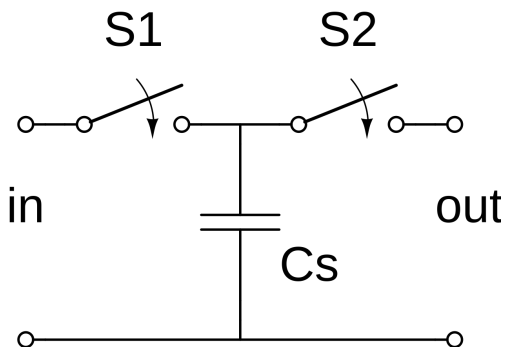


FIGURE 2.12 Capacité commutée

Cela a plusieurs avantages, notamment la réduction de l'espace occupé, puisque que la solution nécessite alors bien moins de condensateurs que de résistances précédemment. De plus, les procédés récents permettent généralement un appariement de qualité supérieure entre les condensateurs par rapport aux résistances. Le principal inconvénient de cette technique est l'injection de charge dans le circuit liée aux commutations successives des interrupteurs, qui peut nuire à la précision du système. Il peut également parfois être complexe de garantir très précisément la fréquence du signal de contrôle, ce qui amène une complexité supplémentaire dans la conception. Enfin, le signal de sortie passe du domaine continu au domaine discret, ce qui implique de limiter la fréquence de commutation à des valeurs bien supérieures à celle du signal qui est traité. Cela introduit également la problématique du repliement de spectre.

Afin de compenser les sources d'erreurs intrinsèques aux AGP à AOP simples (liées aux non-idéalités des composants et aux problématiques évoquées ci-avant), une première approche consiste à cascader plusieurs amplificateurs, tout en décalant les courbes d'erreurs des différents étages, afin de faire en sorte qu'elles se compensent [23]. Une telle architecture est présentée dans la Figure 2.13.

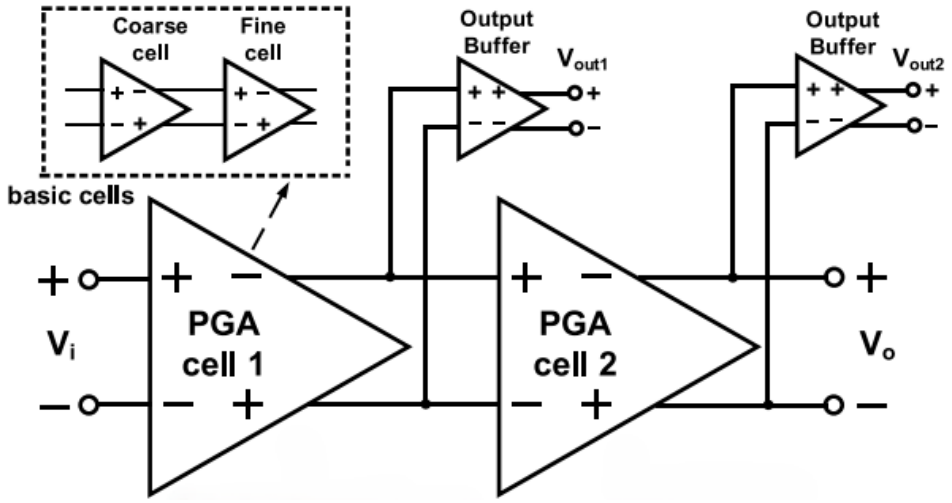


FIGURE 2.13 AGP à amplificateurs cascadés [23]

La Figure 2.14 présente ainsi un exemple de compensation d'erreur en utilisant un AGP à deux étages [23].

Pour la puce présentée dans [23], cette technique permet de réduire l'erreur du système de 0.118 dB pour un étage simple à 0.07 dB pour le système global.

Cependant, cette architecture reste limitée pour des applications HT, car le plus faible gain des étages individuels introduit des problématiques de saturation des étages successifs. Dans le cas de notre application, cela reviendrait à alimenter de multiples étages avec une alimentation haute tension, ce qui consommerait énormément d'énergie. Dans le cas présenté [23], le système consomme plus de 7 mW pour une alimentation de seulement 1.8 V. De plus, ce type d'architecture reste vulnérable aux variations de procédé et de température, qui peuvent intervenir sur les différents étages de façon asymétrique, détruisant ainsi le schéma de compensation. Étant donné la taille importante des composants passifs, et le nombre d'étages à cascader (jusqu'à 8 dans [23], il parait complexe d'obtenir un appariement compétitif sur un SoC à vocation industrielle, avec donc un fort rendement demandé lors de la production.

Jusqu'à présent, toutes les solutions présentées sont pertinentes et intéressantes pour des applications de recherche spécialisées, mais peinent à se généraliser à une large variété d'ap-

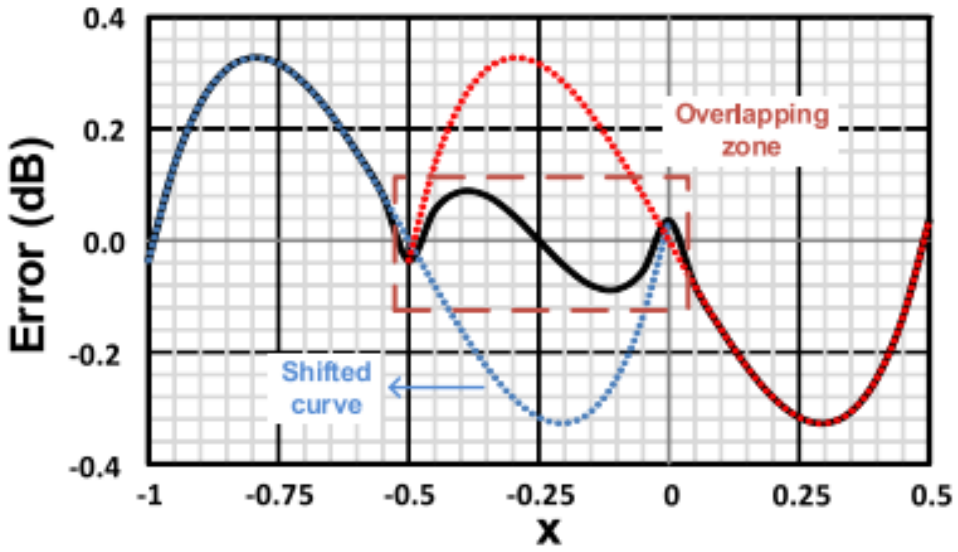


FIGURE 2.14 Courbe d'erreur pour les différents étages de l'AGP à amplificateurs cascades [23]

plications industrielles HT. Quand on s'intéresse aux techniques utilisées pour les AGP standards dans ce milieu, on se rend compte assez rapidement que le standard est l'amplificateur d'instrumentation [24]. En effet, posséder un AOP dédié a chaque entrée permet de garantir une forte impédance d'entrée pour tout signal dans la plage d'entrée de mode commun, ainsi qu'un chemin continu vers la sortie pour celui-ci. Le gain est usuellement contrôlé par la valeur d'un ratio de résistances, garantissant une bonne résistance aux variations de procédé et de température. Les architectures récentes développées d'AOP avec stabilisation par hachage permettent d'atteindre d'excellentes performances du point de vue de la linéarité et de la précision du gain. La Figure 2.15 présente un schéma classique d'amplificateur d'instrumentation, implémenté dans un AGP HT de Texas Instruments.

En revanche, ces systèmes possèdent également des limitations. Pour ces architectures, il est important que le gain programmable se fasse au niveau de l'étage d'entrée [25] pour assurer les meilleures performances en termes de bruit et de précision. Le fait d'avoir une amplification en tension au niveau de l'étage d'entrée réduit la plage de signal admissible en entrée pour de fortes valeurs de gain, sous peine de saturation. De plus, le Taux de Réjection de Mode Commun (TRMC) devient ici limité non plus par la performance individuelle des AOP, mais plutôt par l'appariement des résistances au niveau de l'amplificateur de sortie [25], ce qui le limite à environ 80 dB pour les procédés modernes. Étant donné qu'il est primordial de rejeter autant que faire se peut le bruit de mode commun lors d'une mesure différentielle, c'est une limitation importante de ce type d'architecture.

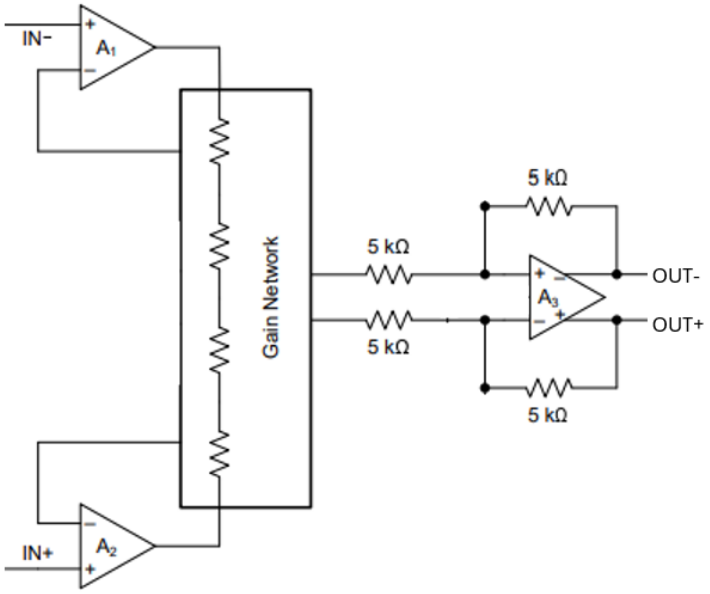


FIGURE 2.15 Un amplificateur d'instrumentation [24]

Il existe de nombreux exemples dans la littérature d'architectures exploitant le Mode-Courant (MC) pour obtenir des performances de grande qualité pour des AGP en tension [26], [25]. Adapter ce mode de conception aux amplificateurs d'instrumentation est un moyen très intéressant de répondre aux limitations du modèle présenté jusqu'à présent.

Ce type de structure, présenté en Figure 2.16, reprend le schéma classique de l'amplificateur d'instrumentation, et y introduit un étage intermédiaire en mode courant. On obtient ainsi une plus grande plage d'entrée pour le signal et un grand TRMC, tout en conservant les avantages de la structure précédente, à savoir une haute impédance d'entrée, et d'excellentes performances au niveau de la précision et de la linéarité.

Ce type de circuit fonctionne comme suit : tout d'abord, les amplificateurs d'entrée transmettent la tension d'entrée à travers un réseau variable de résistances. La tension induite sur les résistances produit en retour un courant, miroir de la tension d'entrée selon la loi d'Ohm. Ce même courant est alors copie par un miroir de courant, et transmis à l'étage de sortie, où il est re-converti en tension. On évite ainsi les problèmes de saturation évoqués précédemment grâce a la conversion en courant. De plus, le TRMC est maintenant limité par le mésappariement des AOP au niveau de la résistance de sortie, du gain en boucle ouverte et du TRMC, ce qui ouvre beaucoup plus de possibilités d'optimisation.

On choisira cette topologie comme point de départ pour notre AGP, en tant que solution répondant le mieux à nos problématiques de conception dans la littérature. Il s'agit également

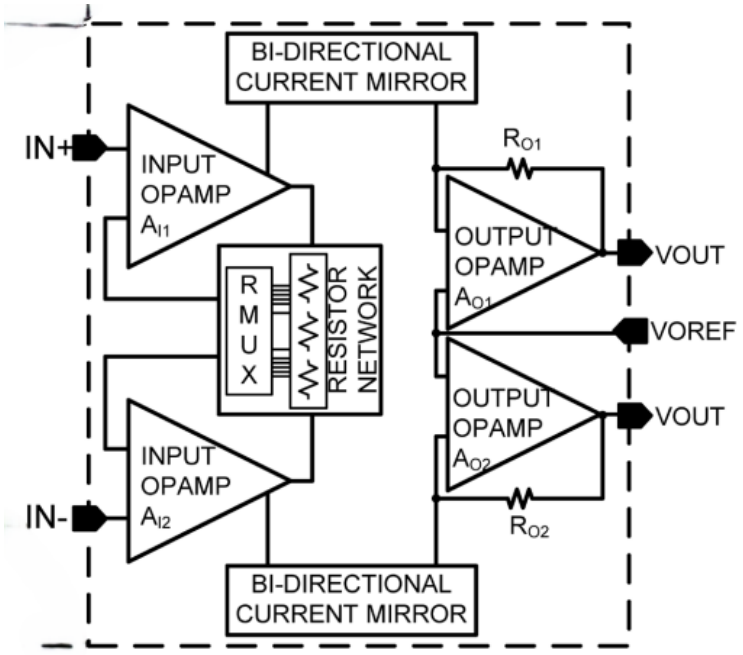


FIGURE 2.16 AGP en Mode-Courant [25]

d'une structure usuelle dans les systèmes industriels, à l'efficacité prouvée.

On notera toutefois que puisque nous avons besoin d'un amplificateur HT, il sera nécessaire de se pencher soigneusement sur la conception des amplificateurs pour la conversion tension/courant et courant/tension, afin de s'assurer de la bonne performance du système même avec des transistors HT possédant des éléments parasites non négligeables.

2.2 Les filtres anti-repliement

Un filtre anti-repliement (FAR) est un type de filtre passe-bas utilisé pour prévenir les effets de repliement de spectre qui surviennent lors de l'échantillonnage d'un signal continu, généralement au niveau d'un convertisseur analogique-numérique (CAN). Ce filtre est donc essentiel dans une interface de capteur, garantissant l'intégrité du signal durant l'échantillonnage.

Concrètement, un FAR élimine les fréquences élevées du signal à l'aide de pôles et de zéros. Les pôles représentent des fréquences qui rendent le dénominateur de la fonction de transfert du FAR égal à zéro, et entraînent une réduction de la pente de la fonction de transfert du système. Les zéros représentent des fréquences qui rendent le numérateur d'une fonction de transfert égal à zéro et entraînent une augmentation de la pente de la fonction de transfert du système. Le comportement du filtre est déterminé par la position de ces pôles et zéros

dans le plan complexe, influençant ainsi la réponse en fréquence du filtre. L'ordre du filtre, défini par le nombre de pôles, détermine la pente de la coupure de fréquence et donc son efficacité à atténuer les hautes fréquences.

Dans ce contexte, le nombre d'éléments réactifs, tels que les inductances et les capacités, détermine le nombre de pôles du filtre. Ces éléments forment des circuits résonants qui contribuent à la réponse en fréquence souhaitée. La littérature propose une variété de configurations de filtres, que ce soit en mode courant ou en mode tension, chacun ayant ses propres avantages en termes de performance et d'implémentation.

Dans le cadre de notre application [4], le principal défi réside dans la nécessité d'une reconfigurabilité élevée de la fréquence de coupure du filtre, afin de pouvoir s'adapter à une grande variété d'applications. Cela requiert une architecture intégrée capable de répondre efficacement à des fréquences de coupure potentiellement de l'ordre du kHz. Atteindre de telles fréquences peut s'avérer complexe en raison des grandes constantes RC nécessaires et de la taille conséquente des composants passifs intégrés. Si la littérature propose une immense variété d'architectures, nous nous concentrerons ici plus spécifiquement sur celles ayant démontré une capacité à performer dans des bandes de fréquences basses avec une bonne reconfigurabilité, afin de se concentrer sur des cas similaires à notre application. Les principaux indicateurs de la performance d'un FAR considérés sont les suivants :

- **L'ordre du filtre**, qui définit la pente dans la zone de transition, et donc à quel point le FAR se rapproche d'un filtre idéal, qui rejette parfaitement toutes les fréquences dépassant la fréquence de coupure.
- **Le gain du filtre** dans la bande passante, qui devrait idéalement être parfaitement unitaire.
- **Les ondulations** du filtre dans la bande passante, qui introduisent des non-linéarités dans la réponse du filtre lorsque son gain théorique devrait être parfaitement unitaire.
- **La reconfigurabilité du filtre**, soit le nombre de décades sur lequel la fréquence de coupure du filtre peut être contrôlée.
- **La précision du contrôle du filtre**, définissant a tout instant a quel point la fréquence de coupure effective du filtre est proche de sa valeur théorique.

La structure la plus commune pour obtenir une réponse passe-bas ou passe-haut d'ordre 2 ou plus dans la littérature est le filtre dit "de Sallen-Key", qui utilise un AOP pour améliorer les structures élémentaires uniquement composées d'éléments passifs, dont la performance reste très limitée, particulièrement dans un contexte d'intégration où la performance des composants passifs en eux-même n'est pas du tout compétitive par rapport à des composants discrets [27]. Cette architecture est présentée dans la Figure 2.17.

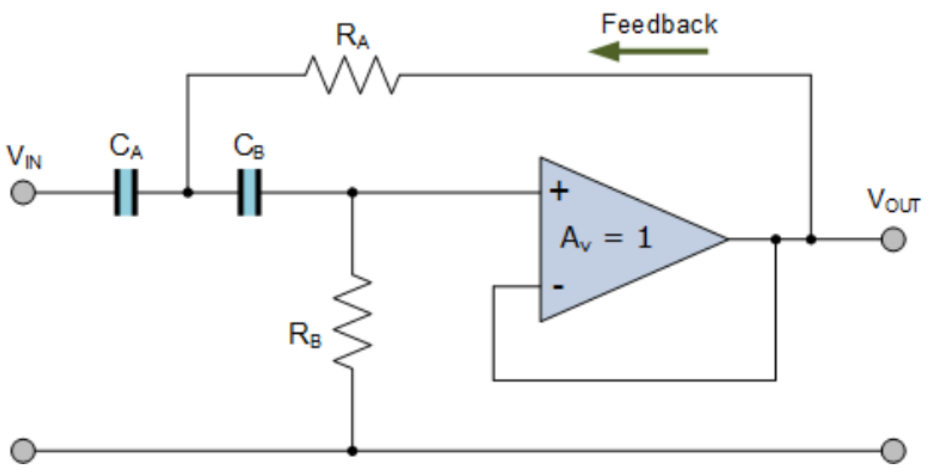


FIGURE 2.17 Filtre passe-haut de Sallen-Key [28]

Il est possible de moduler la fréquence de coupure en modifiant la valeur des composants passifs, que l'on pourrait alors imaginer externes dans notre cas. En effet, la fréquence de coupure d'un tel circuit est défini de la façon suivante :

$$f_{coupure} = \frac{1}{2\pi R_1 R_2 C_1 C_2} \tag{2.4}$$

Cependant, changer la valeur de composants passifs n'est pas toujours chose aisée lorsque la précision est un critère de performance primordial, comme on a pu le voir dans la partie de cette revue dédiée aux AGP. Utiliser un réseau de résistance et/ou de capacités peut introduire des éléments résistifs parasites, et une technique implémentant des capacités commutées peut encore une fois introduire de l'injection de charge à cause des commutations, ce qui peut être un problème de taille dans un filtre dont le rôle est typiquement d'éliminer les composantes parasites du signal.

Une alternative présentée dans la littérature est la multiplication de capacité [29], qui permettrait ainsi de modifier à la volée la valeur équivalente des condensateurs sans directement interagir avec les composants passifs. Un tel circuit est présenté dans la Figure 2.18.

Cependant, on peut voir que ce genre de circuit est loin d'être trivial, et nécessite de nombreux composants, qui peuvent tous être amenés à être plus ou moins sensibles aux variations de procédé et de température, ce qui rend plus complexe l'obtention d'un très grand niveau de précision avec ce type de structure. Même si l'on décide d'apparier les condensateurs entre eux, leur valeur absolue a toujours une importance directe dans la réponse du filtre, et l'erreur sur cette valeur ne peut qu'être amplifiée par une multiplication.

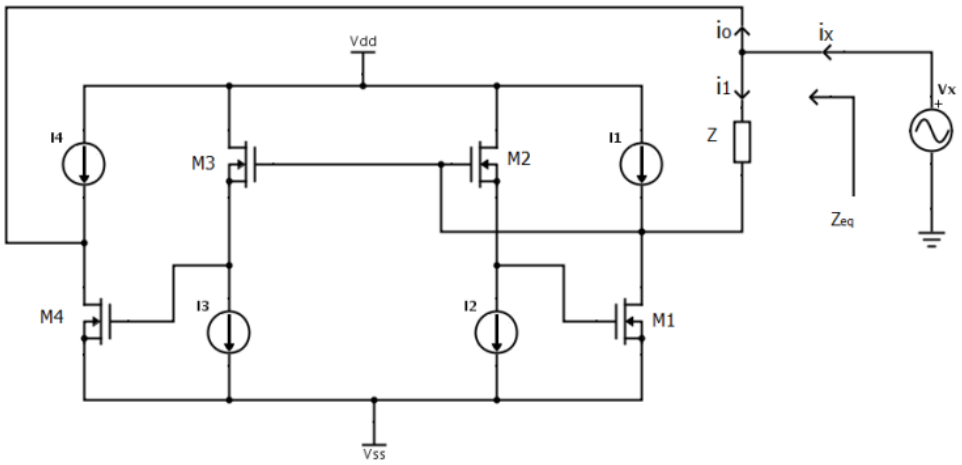


FIGURE 2.18 Circuit de multiplication de capacité [29]

Intéressons-nous donc à présent à des architectures alternatives présentant spécifiquement des résultats compétitifs dans les bandes de fréquence basses dans la littérature. Une première alternative est d'utiliser un filtre en courant, avec des rétroactions multiples, comme présenté dans [30].

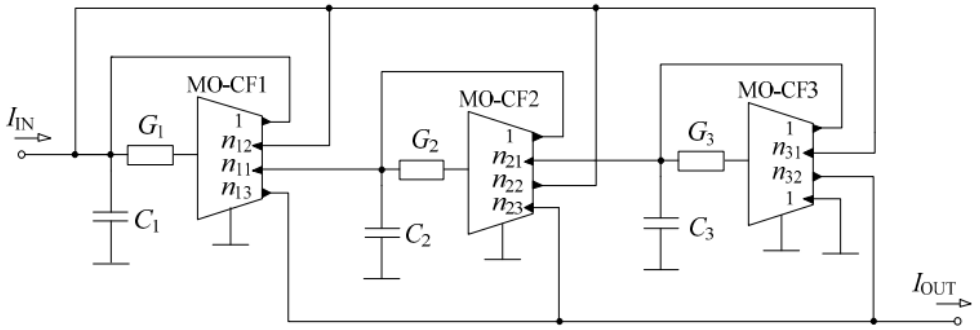


FIGURE 2.19 FAR en courant à rétroactions multiples [30]

Ce type d'architecture, présenté en Figure 2.19, cherche à contrôler le gain de chaque rétroaction en courant pour venir contrôler la réponse en fréquence du circuit. Cependant, on observe encore une fois que de nombreux blocs sont nécessaires, tous avec des gain indépendants. Cela nécessite donc une attention toute particulière à la robustesse des différents blocs aux variations de procédé et de température, ainsi qu'à leur appariement. Cela peut donc se révéler délicat à contrôler avec précision dans le cadre d'une application en milieu hostile.

Une autre alternative standard dans la littérature est l'emploi de composants actifs pour simuler une impédance résistive très grande, ce qui permet ainsi d'atteindre les fortes constantes

RC nécessaires à des fréquences de coupure très basses [31]. Cette architecture est présentée dans la Figure 2.20.

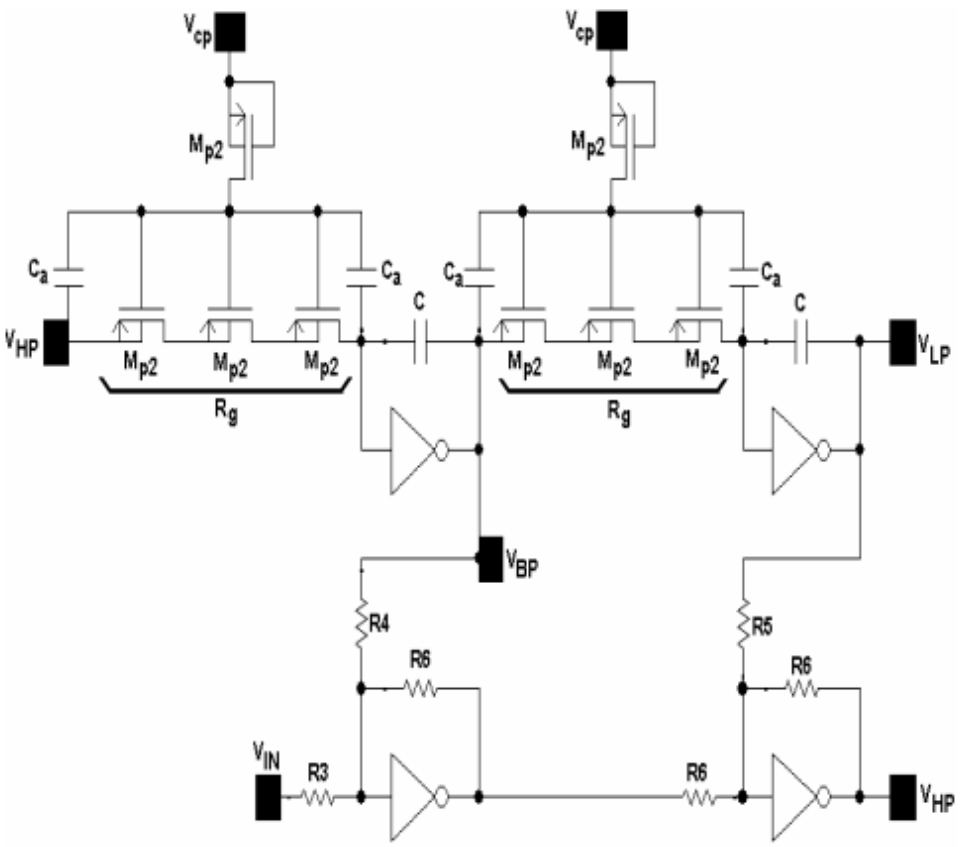


FIGURE 2.20 FAR à résistance active [31]

Si ce type de circuit permet très efficacement de générer des impédances résistives très élevées, les composants résistifs actifs ainsi générés sont souvent sujets à des non-linéarités, et ont bien souvent une mauvaise invariance en température [27]. Le bruit de scintillation lié aux transistors est particulièrement prononcé à basse fréquence, ce qui peut poser des problèmes d'injection de bruit en l'absence d'un circuit de compensation approprié.

Pour résoudre ces problèmes, des architectures à base de MOS à grille quasi-flottante (QFGMOS dans la littérature) ont été proposées dans la littérature [31], [32]. Cependant, il s'agit d'un type de composant très spécialisé, qui n'est pas offert dans tous les procédés CMOS, et notamment pas dans le procédé HT à notre disposition. De plus, les circuits à base de QFGMOS ont besoin de calibrations périodiques pour assurer leur performance, à cause des effets de vieillissement qui leurs sont associés, et sont particulièrement difficiles à intégrer aux côtés de circuits CMOS standards.

Il existe enfin une dernière architecture qui a su faire ses preuves, les filtres à base de convoyeurs de courant, et particulièrement de convoyeurs de courant de seconde génération (CCII) [33]. Il s'agit encore une fois d'un filtrage en courant. Un exemple de ce type d'architecture est présenté dans la Figure 2.21.

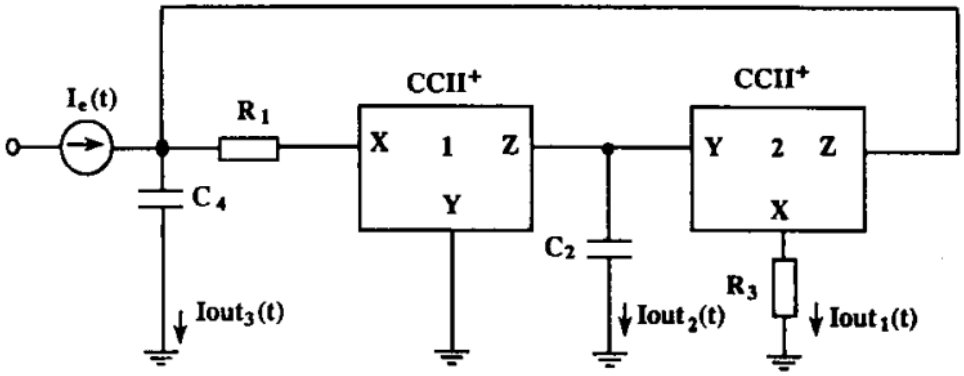


FIGURE 2.21 FAR à base de CCII [34]

L'intérêt principal des CCII est leur robustesse intrinsèque aux effets parasites des transistors, ce qui fait de ce type d'architecture un excellent candidat pour une intégration dans un procédé HT comme le nôtre, où nous n'avons dans tous les cas pas accès aux transistors les plus performants du marché. De plus, l'approche en courant permet d'utiliser des transistors basse tension, qui ont naturellement une meilleure performance. Enfin, le contrôle de la fréquence de coupure du filtre peut facilement être contrôlée par l'impédance résistive au niveau du port d'entrée X des CCII [33], [34].

Cette impédance étant liée au courant de polarisation du CCII, on peut donc facilement imaginer un contrôle double de la fréquence de coupure. Nous pouvons utiliser des condensateurs externes précis pour fixer l'ordre de grandeur de la fréquence de coupure, puis utiliser le courant de polarisation des CCII pour contrôler de manière fine la fréquence de coupure du filtre. De plus, puisque nous partons sur un AGP en mode courant, il apparaît logique d'également utiliser cette approche pour la conception de notre FAR, pour faciliter l'interfaçage des deux circuits. Nous profiterons ainsi pleinement des avantages de la conception en mode courant évoqués précédemment [8].

CHAPITRE 3 ARCHITECTURE DE L'INTERFACE DE CAPTEURS PROPOSÉE

Intéressons-nous à présent à la solution proposée. Comme présenté dans les sections précédentes, le circuit proposé est envisagé comme partie intégrante d'une plus grande interface, présentée dans la Figure 1.1 [4], [5]. Le tableau 3.1 présente les spécifications attendues pour le système développé.

TABLEAU 3.1 Spécifications souhaitées du circuit envisagé

Paramètres	**Objectif**
Plage d'entrée	± 10 V
Plage de sortie	5 V
Température de fonctionnement	[-40 °C ; 125 °C]
Bande passante	DC jusqu'à 5 kHz
Précision du gain	± 1 %
Reconfigurabilité du FAR	[15 kHz ; 40 kHz]
TRMC	60 dB

Comme présenté dans le chapitre 2, le circuit utilisera une conception en mode-courant, afin d'exploiter les nombreux avantages offerts par les CCII. Cette partie présente ainsi de manière séquentielle les différents éléments composant le circuit, afin d'apporter au lecteur les éléments de compréhension nécessaires à l'interprétation des résultats. La Figure 3.1 présente l'architecture globale du système envisagé.

On identifie ainsi plusieurs éléments sur la Figure 3.1, que l'on peut étudier indépendamment :

— **Un étage d'entrée haute tension**, basé sur des CCII, et effectuant la conversion tension/courant.

— **Des interrupteurs haute tension**, permettant de modifer la valeur du gain du système. En effet, le design d'un tel interrupteur n'est pas banal. Le procédé que nous utilisons ne dispose que de transistors à double diffusion en HT, ce qui nous empêche de faire un simple interrupteur à l'aide d'une porte de transmission comme on pourrait le faire en basse tension (tel que discuté plus loin, les transistors à double diffusion n'ont pas des caractéristiques symétriques en ce qui a trait à la tension maximale diffusion-grille qu'ils peuvent soutenir) .

— **Le FAR proposé**, basé sur des CCII basse tension.

— **Une source de courant contrôlée en tension**, afin de contrôler la fréquence de coupure du FAR et la conversion bipolaire vers unipolaire de l'étage de sortie.

— **L'étage de sortie**, en charge de la conversion courant/tension, basé sur un AOP.
— **Le sous-circuit de sortie**, permettant la reconfigurabilité de la conversion bipolaire vers unipolaire.
— Des éléments de conception pour la testabilité, nommés DFT_TG, qui permettent d'isoler différentes parties du système.

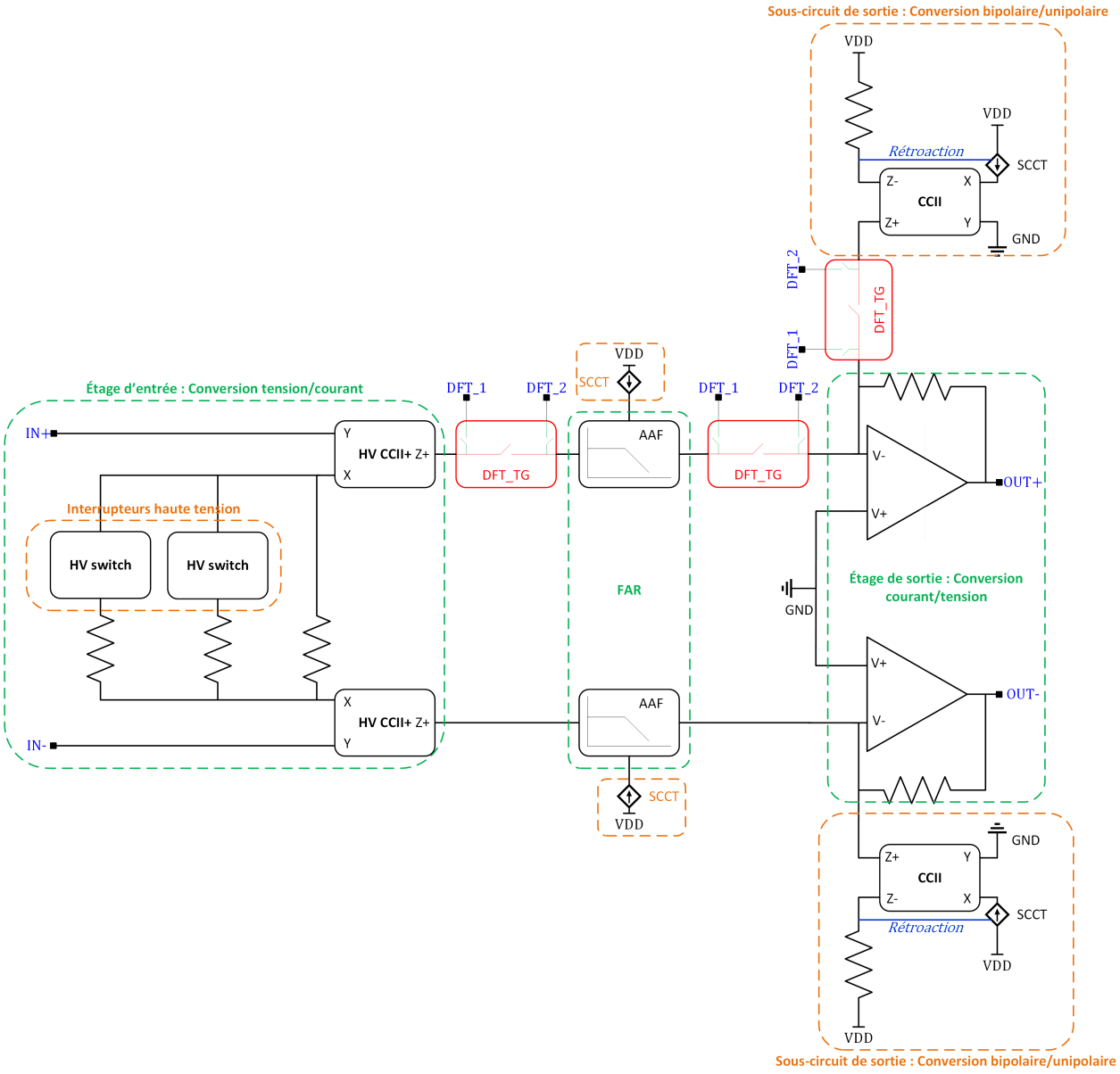


FIGURE 3.1 Circuit haute tension d'interfaçage pour une interface de capteurs reconfigurable proposé

Le fonctionnement du système est envisagé comme suit :

— Le signal d'entrée HT est appliqué de manière simple ou différentielle au niveau des

broches d'entrée.

— Selon le réglage de gain défini par les interrupteurs HT, cette tension est convertie en un courant.
— Ce courant est alors transmis au travers du FAR proposé, dont la fréquence de coupure est configurée par la tension de polarisation appliquée à la source de courant contrôlée en tension.
— Une fois filtré, le courant arrive au niveau de l'étage de sortie, où il est converti en une tension unipolaire entre 0 V et 5 V. Le sous-circuit associé permet de moduler le niveau 0 du signal, afin de pouvoir reconfigurer la conversion bipolaire vers unipolaire, à l'aide d'une seconde source de courant contrôlée en tension et d'un CCII.

3.1 Le convoyeur de courant de seconde génération

Étant donné que les CCII sont des éléments essentiels de notre architecture en mode-courant, présents à différents endroits du système, il apparaît pertinent d'en faire une première description individuelle avant de rentrer dans les détails des différents étages.

Le convoyeur de courant de seconde génération a été initialement proposé en 1968 par Sedra et Smith [35], puis perfectionné en 1970 [36]. Cependant, dû à l'essor qu'a connu l'AOP à la même période, le composant est resté méconnu. En effet, il n'était à l'époque pas clair dans quelles applications celui-ci pouvait offrir de meilleures performances qu'un système en tension plus classique réalisé à l'aide d'un AOP. Il faudra attendre près de 30 ans pour que l'approche en mode-courant se popularise dans la littérature [8], et que les convoyeurs de courant s'imposent comme un élément essentiel de la conception en mode-courant [34], [37], [33]. La Figure 3.2 présente la structure usuelle d'un CCII, et de sa variante le CCCII lorsque ce dernier est alimenté par une source de courant variable :

Comme on peut le voir, ce type d'architecture dispose traditionnellement de trois terminaux. Le premier terminal, X, est une entrée/sortie en courant à impédance basse, tandis que Y est l'entrée en tension, à haute impédance. Z est une sortie en courant à haute impédance. Tout courant forcé dans X est copié, et ainsi également forcé dans Z. Similairement, tout potentiel appliqué à Y est copié, et appliqué sur le terminal X. La Figure 3.2 présente également les éléments parasites usuels d'une telle structure, modélisant pourquoi les gains en courant et tension d'un tel circuit ne sont jamais égaux à exactement un. Comme il sera développé ultérieurement dans la section 3.4, l'élément résistif parasite au niveau du terminal X est particulièrement important. En effet, celui-ci est directement fonction du courant de polarisation du CCII, avec lequel on peut obtenir une équation mathématique de la forme suivante, avec A et B des constantes positives réelles, et I le courant de polarisation du circuit :

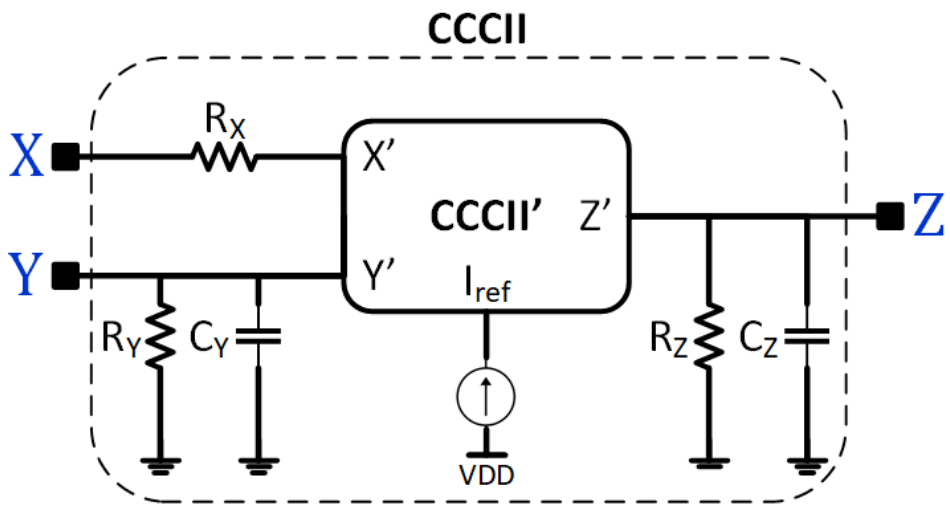


FIGURE 3.2 Un CCII contrôlé en courant (CCCII)

$$R_X = AI^{-B} \tag{3.1}$$

L'équation suivante permet de généraliser le comportement d'un CCII. On notera $\alpha \approx 1$ et $\beta \approx 1$ respectivement le gain en courant de X vers Z, et le gain en tension de Y vers X :

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ \beta & 0 & 0 \\ 0 & \alpha & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \tag{3.2}$$

<u>N.B. :</u> Des CCII avec plusieurs sorties en courant seront présentés dans la suite. Dans un souci de simplicité de la notation, le terme 'Z+' sera employé lorsque le courant est forcé dans le terminal Z associé (comme expliqué précédemment), et 'Z-' lorsque le courant sera forcé hors du terminal Z associé.

Le CCII peut être décomposé en deux éléments distincts : un suiveur en tension, et des miroirs de courants pour le "suiveur" en courant. Présentons tout d'abord l'architecture de suiveur en tension.

3.1.1 Le suiveur en tension

L'architecture choisie pour le suiveur en tension est une architecture dite "différentielle-retournée", ou Differential-Flipped Voltage Follower (DFVF) dans la littérature [37].

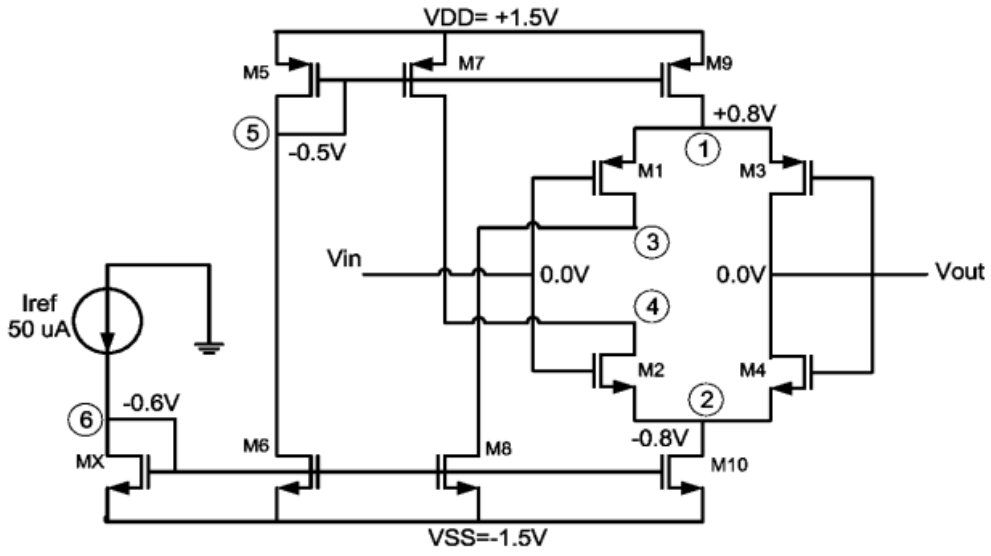


FIGURE 3.3 Un DFVF [37]

Le fonctionnement du circuit est le suivant [37] : quand le signal d'entrée au niveau du nœud V_{in} augmente par rapport au signal au niveau du nœud de sortie V_{out}, les nœuds 1 et 2 suivent aussi cette variation. Ainsi, V_{SG3} et V_{SG4} diminuent. Alors, le courant au travers de $M3$ augmente, et le courant au travers de $M4$ diminue. Cela génère un courant de sortie positif qui charge le nœud V_{out}, jusqu'à que le potentiel sur V_{out} soit égal au potentiel sur V_{in}. Le phénomène contraire se produit lorsque le niveau du nœud V_{in} diminue par rapport au niveau du nœud V_{out}. Le système opère en classe AB, à condition que le courant transitoire dans les transistors $M3$ et $M4$ puisse être bien plus important que leur courant latent, $I_{ref}/2$.

3.1.2 Les miroirs de courant

Pour ce qui est des miroirs de courant, le choix s'est porté sur des miroirs cascodes classiques.

En effet, le compromis du courant cascode par rapport à un miroir de courant classique est une meilleure impédance de sortie (soit un meilleur transfert en courant), au prix d'une plage de fonctionnement réduite et du besoin de tensions de polarisation plus élevées. Considérant que nous ne travaillons absolument pas sur une application très basse tension, nous faisons le choix de cette architecture pour améliorer le transfert en courant des miroirs.

De plus, dans le cas des CCII HT pour l'étage d'entrée, il est alors très simple de ne remplacer que le transistor lié au rail d'alimentation par un transistor HT pour obtenir un meilleur mirroir de courant qu'avec deux transistors HT. Ainsi, le transistor HT protège le transistor BT de la chute de tension, et le transistor BT apporte son g_m de meilleure qualité.

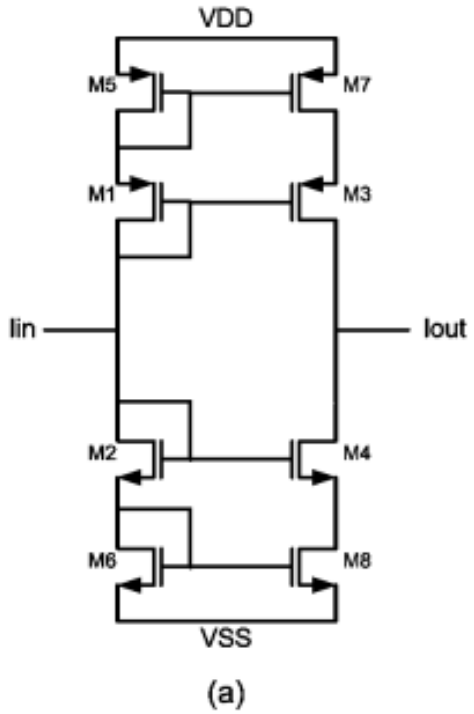


FIGURE 3.4 Un miroir de courant cascode [37]

En associant ces deux éléments, on obtient ainsi la structure de notre CCII, présentée dans la Figure 3.5.

N.B. : Il est possible qu'utiliser de multiples architectures pour notre CCII à différents endroits du système permette d'améliorer encore sa performance. Cependant, cette possibilité d'optimisation n'a pas été abordée dans le cadre de ces travaux, dans un souci de temps pour envoi en fabrication.

3.2 L'Amplificateur Opérationnel

Similairement, nous présentons directement l'AOP envisagé pour notre système, puisqu'il se retrouve à la fois dans la SCCT et dans l'étage de sortie.

Encore une fois dans un souci de gain de temps et de concision, nous utilisons le même AOP pour tous les sous-circuits de notre système. La polyvalence de l'architecture choisie est donc importante, pour assurer le bon comportement de l'AOP dans tous les étages. La Figure 3.6 présente le schéma de notre AOP. Inspiré par une architecture présentée dans [27], il s'agit d'un AOP à deux étages. L'AOP est basé sur l'architecture standard de l'AOP cascode replié, et utilise un étage de sortie en classe AB. Nous ajoutons des sources de courant

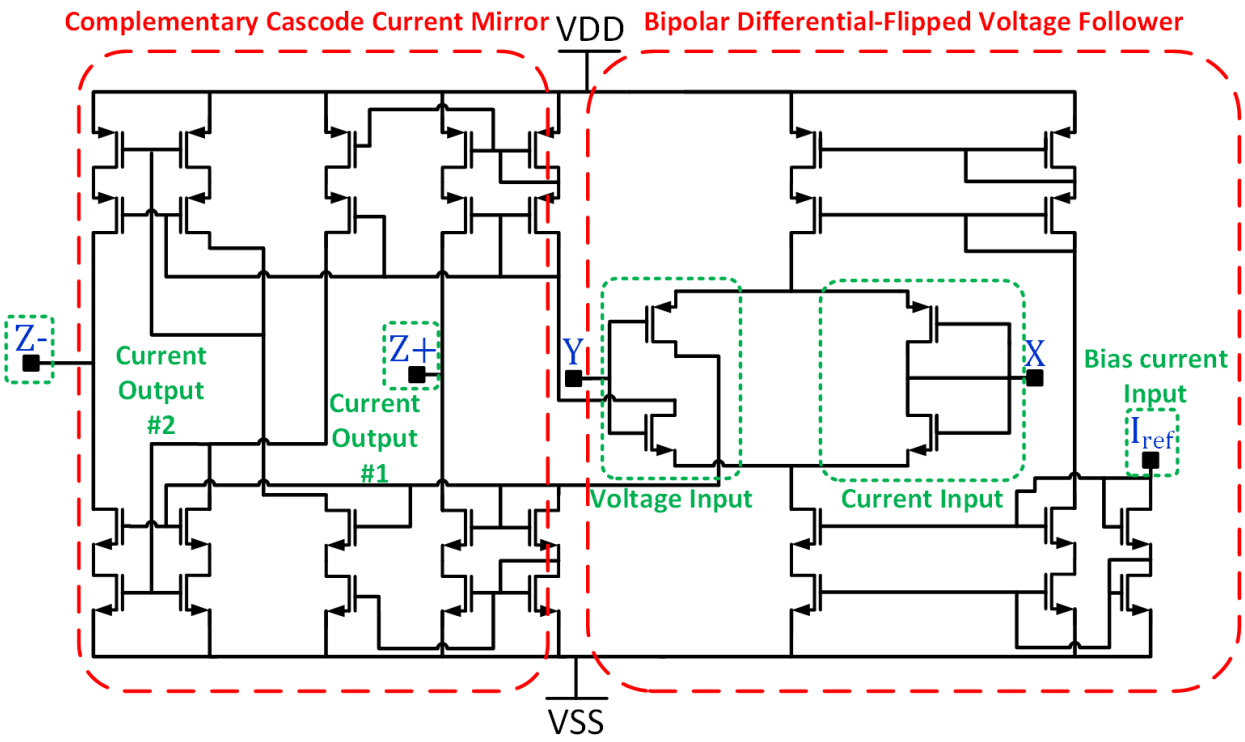


FIGURE 3.5 Le CCCII proposé

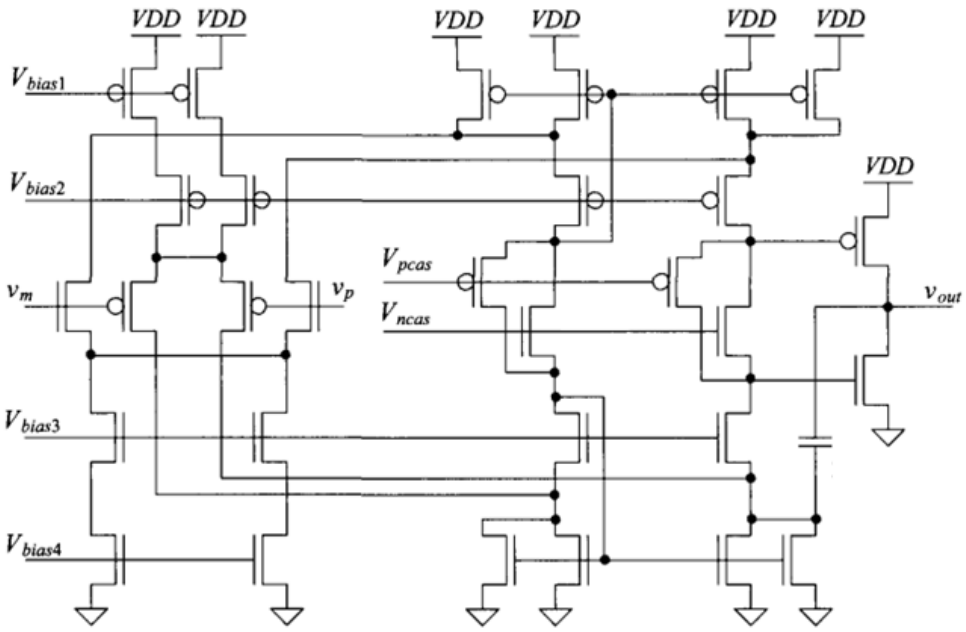


FIGURE 3.6 L'AOP utilisé [27]

flottantes au niveau de la charge active, afin d'égaliser les tensions V_{DS} des transistors $M9$ et $M10$, et ainsi minimiser le décalage reporté à l'entrée. Afin de s'assurer du caractère "wide-swing" de l'architecture (ce qui signifie que l'entrée de mode commun peut dépasser les rails d'alimentation sans que cela empêche l'AOP de fonctionner), nous ajoutons une paire différentielle PMOS en parallèle de la paire différentielle NMOS initiale. Pour pouvoir supporter l'appel de courant généré par cette seconde paire différentielle, nous ajoutons deux NMOS au bas de la pile cascode repliée de la charge active.

Il est important de noter que la parallélisation de deux paires différentielles a un impact sur le dimensionnement de la capacité Miller pour l'étage de sortie. Quand les deux paires différentielles sont en conduction, la transconductance équivalente du premier étage devient $g_{mn} + g_{mp}$, ce qui fait que le produit gain-bande devient $f_{un} = \frac{(g_{mn}+g_{mp})}{2\pi C_C}$, C_C étant la capacité Miller. On en conclut donc que dans le cas général de fonctionnement, il peut être bon d'augmenter la valeur de la capacité Miller par rapport à son dimensionnement pour une seule paire différentielle. Cependant, si seulement une des deux paires différentielles est en conduction, la transconductance de l'autre paire devient nulle ou quasi-nulle, ce qui réduit la valeur du produit gain-bande-passante. Ainsi, le gain de l'AOP varie en fonction de la tension de mode commun. Cela peut entraîner [27] de la distorsion. Pour éviter ces cas de figure, nous utiliserons l'AOP exclusivement dans une topologie inverseuse, pour laquelle la tension de mode commun d'entrée est toujours fixée.

3.3 L'étage d'entrée haute tension

Au sein de l'étage d'entrée haute tension, on peut distinguer deux blocs indépendants : les interrupteurs haute tension, et l'étage de conversion tension/courant.

3.3.1 Les interrupteurs haute tension

Un défi important dans l'étage d'entrée est le réglage du gain. Dans un souci de simplicité, nous avons choisi d'utiliser un réseau de résistances, commutable à l'aide d'interrupteurs. Cependant, les transistors HT du procédé utilisé ne sont disponibles que dans une version à extension de drain. Ce type de transistor, appelé DEMOS dans la littérature, est asymétrique et ne tient donc la haute tension que dans un seul sens. En d'autres termes, le V_{DS} ou V_{SD} selon le type de transistor peut supporter une tension jusqu'à, par exemple, 25 V, mais pas plus bas que -0.5 V. De plus, nous sommes forcés pour ces transistors de connecter électriquement le corps et la source du transistor.

Ainsi, la première solution que l'on pourrait envisager serait de faire une porte de transmis-

sion, en faisant attention à l'orientation de la source des transistors pour s'assurer que la chute de tension soit toujours sur le bon transistor. Cependant, à cause des diodes de corps (ou body diodes) des MOS, il sera alors impossible de fermer l'interrupteur !

En effet, puisque l'on ne peut pas référencer le corps du transistor au rail d'alimentation, les diodes de corps des transistors ne sont plus simplement entre le drain et le corps, mais entre le drain et la source, et forcent une conduction constante de l'interrupteur, comme on peut le voir sur la Figure 3.7.

De plus, un signal HT peut apparaître des deux côtés de l'interrupteur dans notre cas, puisque nous sommes dans une configuration différentielle. Il est donc également important d'envisager une technique permettant de contraindre la tension V_{GS} des transistors entre -5 V et 5 V quelle que soit la tension de source pour éviter de détruire le transistor.

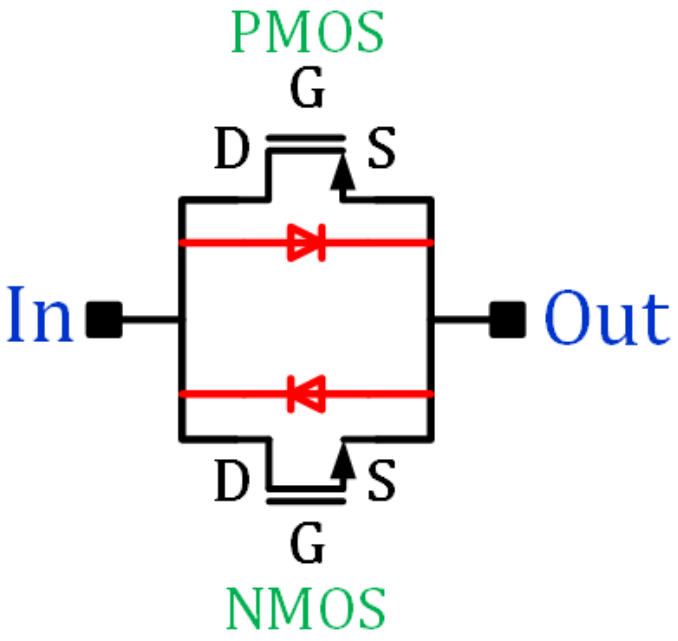


FIGURE 3.7 Une porte de transmission impossible à fermer avec des DEMOS HT

En conséquence, un circuit plus évolué doit être imaginé pour permettre la bonne commutation des interrupteurs. La technique la plus répandue dans la littérature [38] se base sur des transistors en série, dont on connecte la source. Nous avons dans un premier temps opté pour une première architecture présentée dans [38], pour sa simplicité et son efficacité prouvée dans de nombreuses applications. La figure 3.8 présente le schéma de principe de cet interrupteur. Dans notre cas, l'élément N est réalisé à l'aide d'une pile de transistors connectés en diode. Le principal inconvénient de cette technique est l'impossibilité de parfaitement éliminer le

courant de fuite, qui est causé par le fait que les deux sources de courant ne sont jamais parfaitement appariées. Cependant, comme on le verra par la suite, ce n'est pas un problème pour l'architecture globale de notre circuit, qui peut très aisément compenser ce type de courant DC de fuite sur le chemin du signal.

Expliquons à présent le fonctionnement de cet interrupteur, à l'aide de la figure 3.8. Comme on pourrait s'y attendre, les transistors $M1$ et $M2$ constituent le cœur de l'interrupteur, et définissent le chemin du signal. Leurs grilles et leurs sources sont liées, et leurs drains respectifs forment les extrémités de l'interrupteur. Pour fermer l'interrupteur, la tension V_{GS} de $M1$ et $M2$ doit être supérieure à V_{th}, et inférieure à 5 V. À l'inverse, V_{GS} doit être inférieur à 0 et supérieur à -5 V pour ouvrir l'interrupteur de manière non destructive. Pour atteindre ces tensions, on utilise une source de courant I, connectée aux grilles de nos deux transistors et à notre réseau N de transistors montés en diode, qui permettent de convertir le courant à la bonne valeur de V_{GS}. Cependant, le courant généré par I peut fuir par les drains des deux transistors, ce qui peut nuire à l'intégrité du signal, particulièrement dans notre cas, où nous sommes intéressés par un signal en courant. Pour limiter cette fuite, une deuxième source de courant est utilisée en tant que puits de courant. Comme évoqué précédemment, la principale limitation est l'appariement entre les deux sources de courant qui empêche une annulation parfaite du courant de fuite.

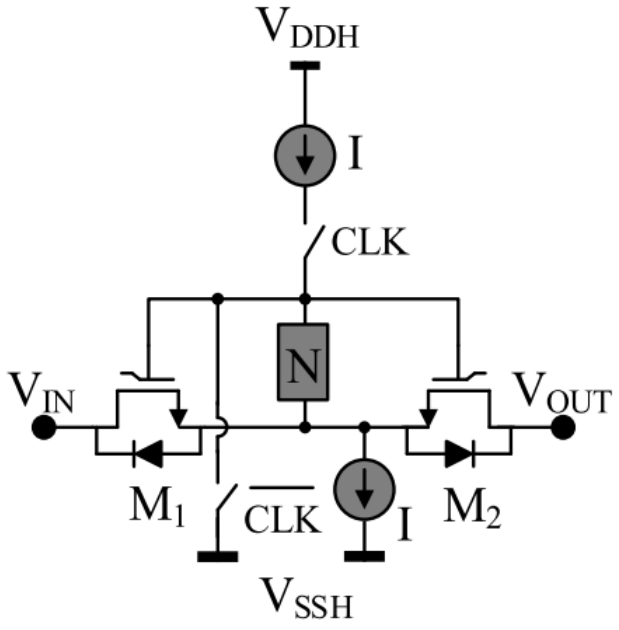


FIGURE 3.8 Première version de l'interrupteur haute tension employé [38]

Cependant, il s'est avéré suite aux simulations post-layout au niveau de la puce entière que

cette architecture était problématique pour notre circuit, à cause d'un couplage capacitif entre les noeuds du commutateur de l'interrupteur et de l'interrupteur en lui-même. Nous faisons l'hypothèse que ce couplage est dû aux condensateurs parasites trop importants de nos transistors HT. À cause de celui-ci, nos interrupteurs ne commutaient pas correctement, ce qui causait de fortes imprécisions sur le réglage du gain.

Pour remédier à cela, nous avons opté pour une seconde architecture, également présentée dans [38], et présentée dans la Figure 3.9.

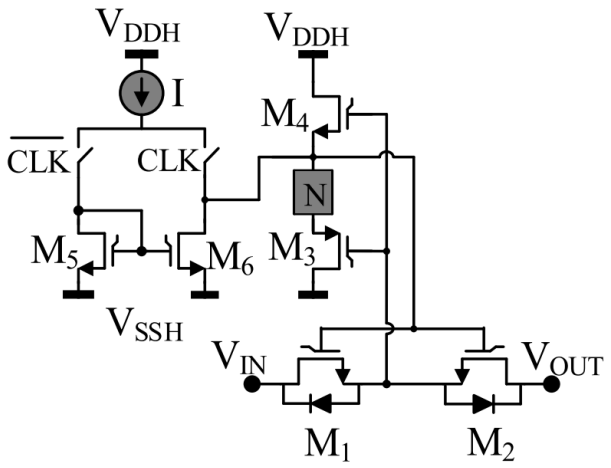


FIGURE 3.9 Seconde version de l'interrupteur haute tension employé [38]

Ce second circuit permet d'isoler le chemin du courant du commutateur du chemin du courant dans l'interrupteur, afin d'éviter les problèmes de couplage observés précédemment.

Lorsque l'interrupteur conduit, la source des transistors M1 et M2 est connectée à la grille du PMOS M3, qui fonctionne comme un montage drain commun contrôlé par la source de courant I. Nous utilisons encore une fois un réseau N à l'aide d'une pile de transistors montés en diode pour générer la tension V_{GS} appropriée comme évoqué précédemment.

Puisque les sources de M1 et M2 sont connectés exclusivement à la grille de M3, le courant dans le commutateur et le courant dans l'interrupteur sont complètement isolés l'un de l'autre, ce qui règle effectivement notre problème de couplage capacitif, et assure également que quasiment aucun courant ne fuit à travers les drains des deux transistors de l'interrupteur.

Lorsque l'interrupteur ne conduit pas, une autre montage drain commun (M4) est utilisé afin de forcer un V_{GS} négatif pour M1 et M2.

3.3.2 L'étage de conversion tension/courant

L'étage de conversion tension/courant reprend le CCII présenté à la Figure 3.5, en utilisant des transistors HT DEMOS pour le DFVF et pour un des deux transistors des miroirs de courant, afin d'optimiser la performance du système, comme évoqué dans la section 3.1. La figure 3.10 présente cette architecture modifiée.

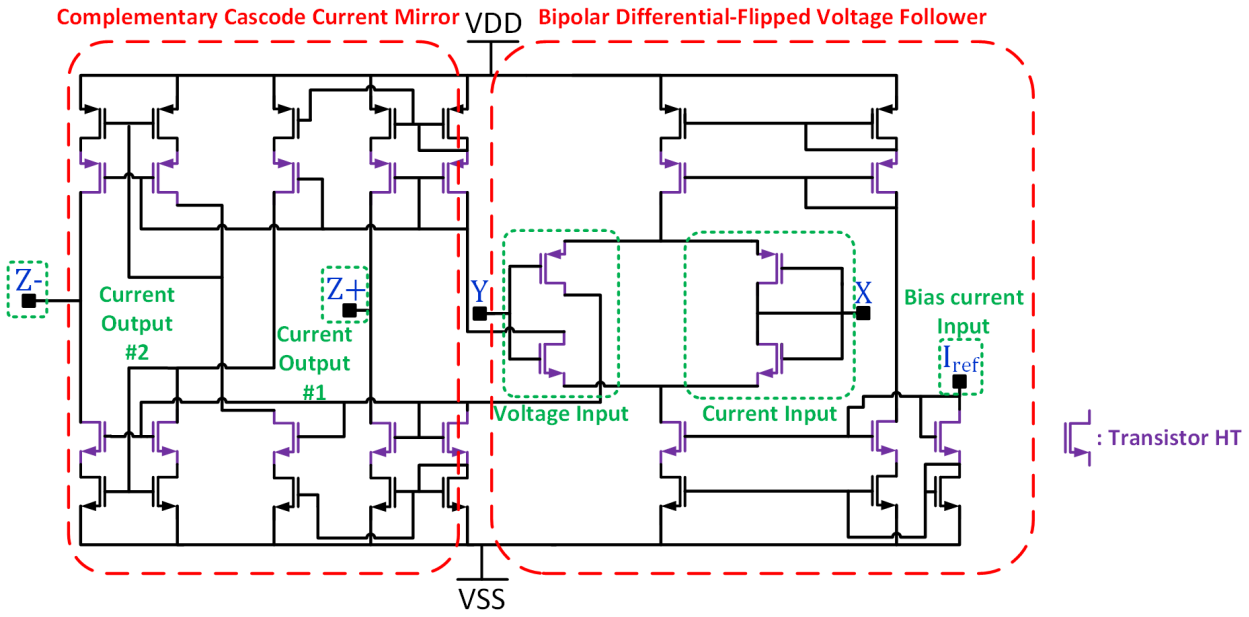


FIGURE 3.10 Le CCCII HT proposé

Nous avons à présent introduit tous les éléments nécessaires à l'assemblage de notre étage d'entrée HT. Son schéma de principe est présenté à la Figure 3.11.

Encore une fois, dans un souci de simplicité, nous nous limitons pour ce premier prototype à trois réglages de gain principaux de gain, atteignables à l'aide des deux interrupteurs. Comme on peut le voir à la Figure 3.11, la résistance toujours présente assure un gain théorique égal à 0.25. Mettre la seconde résistance en parallèle à l'aide du premier interrupteur impose un gain théorique unitaire. Enfin, mettre la dernière résistance en parallèle à l'aide du second interrupteur impose un gain théorique de 4. L'étage fonctionne comme suit :

— Le signal d'entrée attaque de manière différentielle les terminaux Y des deux CCII, afin d'assurer une très forte impédance d'entrée, et donc un excellent transfert en tension.

— Comme expliqué dans la partie 3.1, la tension sur les terminaux Y est reportée sur les terminaux X, connectés par la résistance de gain.

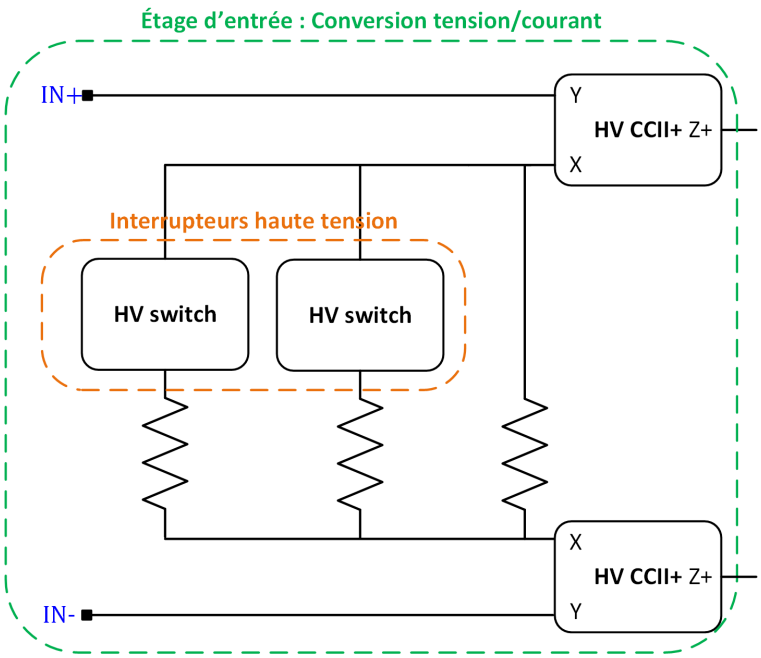


FIGURE 3.11 L'étage d'entrée HT

— Cette tension différentielle sur la résistance de gain produit en retour un courant différentiel entrant ou sortant de respectivement chaque terminal X.
— Ce courant est propagé toujours de manière différentielle au travers des terminaux Z, qui fournissent une sortie en haute impédance pour l'étage, essentielle pour une bonne attaque en courant sur l'étage suivant.

3.4 Le filtre anti-repliement

On s'intéresse à présent au deuxième étage de notre chaîne d'acquisition, le FAR. En effet, comme présenté dans le chapitre 2, un filtre en courant à base de CCII apparaît être une solution idéale pour notre application. Compte tenu du fait que nous travaillons déjà en courant à cette étape dans notre système, nous en profitons pour introduire le FAR. Ainsi, l'étage de sortie assure à la fois la conversion courant/tension et le rôle de tampon de sortie, minimisant ainsi le bruit pour une interface optimale avec un CAN.

Comme pour l'étage précédent, on peut distinguer deux sous-circuits différents : la source de courant contrôlée en tension (SCCT), et le FAR à proprement parler. Comme évoqué dans la section 3.1, le contrôle du FAR se fait par une variation du courant de polarisation des CCII. Intéressons-nous ainsi dans un premier temps à la structure choisie pour cette source contrôlable.

3.4.1 La source de courant contrôlée en tension

Afin d'obtenir cette SCCT, nous utilisons l'AOP présenté dans la section 3.2. La Figure 3.12 présente l'architecture choisie.

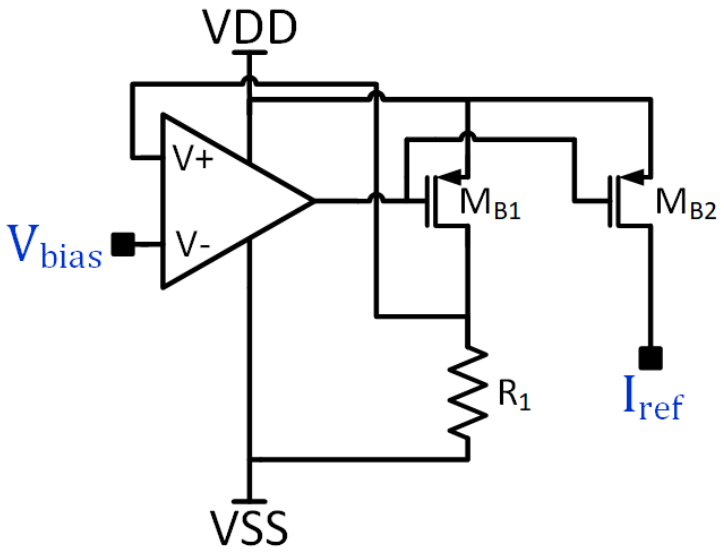


FIGURE 3.12 La source de courant contrôlée en tension

Son fonctionnement est le suivant :

— À l'aide d'une rétroaction négative, un courant DC de valeur V_{bias}/R est forcé au travers de M_{B1}.

— Ce courant est alors propagé au travers de la seconde branche avec un facteur multiplicatif k, correspondant au rapport de largeur entre M_{B1} et M_{B2}, qui partagent une longueur commune.

Ce courant secondaire peut alors être utilisé pour polariser nos CCII. On notera que compte tenu de l'architecture présentée à la Figure 3.1, il n'est pas nécessaire d'utiliser un autre miroir de courant pour augmenter l'impédance de sortie et permettre un meilleur transfert de courant, puisque le courant de polarisation attaque directement un miroir de courant. On obtient ainsi une source de courant contrôlable en tension, dont la valeur est linéairement contrôlable à travers la valeur d'une tension de polarisation DC, selon l'équation suivante :

$$I_{bias} = k\frac{V_{bias}}{R_1} \tag{3.3}$$

Le filtre passe-bas

Maintenant que le contrôle du courant de polarisation des CCII est déterminé, intéressons-nous à la structure du FAR en lui-même.

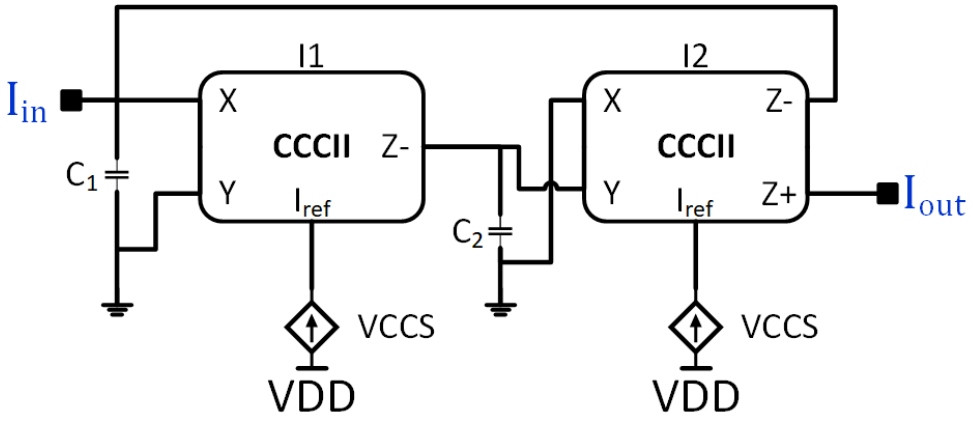


FIGURE 3.13 Le filtre anti-repliement proposé

La Figure 3.13 présente l'architecture envisagée pour notre FAR, inspirée par l'architecture présentée dans [34]. Il s'agit d'un filtre de type 'biquad' [39]. À la place de résistances passives, nous exploitons directement la résistance parasite au niveau des terminaux X des CCII pour contrôler la fréquence de coupure du filtre. Puisque nous disposons de deux éléments réactifs (les deux condensateurs), la réponse de ce filtre sera du second ordre.

Le concept de ce filtre est d'utiliser les CCII pour créer des gyrateurs [34], et ainsi simuler un comportement inductif. On génère ainsi un comportement similaire à celui d'un circuit RLC de type shunt, composé de R_{X1}, L_{eq} et C_1. R_{X1} et L_{eq} sont connectés séquentiellement, avec C_1 fournissant un chemin à la terre au niveau de leur terminal commun. La Figure 3.14 présente ce circuit équivalent.

En prenant en compte les non-linéarités des CCII telles que présentées dans la section 3.1, la fonction de transfert du système est la suivante :

$$H(s)_{real} = \frac{\alpha_1\beta_2}{\alpha_1\alpha_2\beta_2 + R_{X_{I2}}C_2 s + R_{X_{I1}}R_{X_{I2}}C_1C_2s^2} \tag{3.4}$$

À partir de l'équation 3.4, nous pouvons à présent extraire les paramètres importants définissant la réponse en fréquence d'un filtre, à savoir sa fréquence de coupure ω_0, et son facteur de qualité Q :

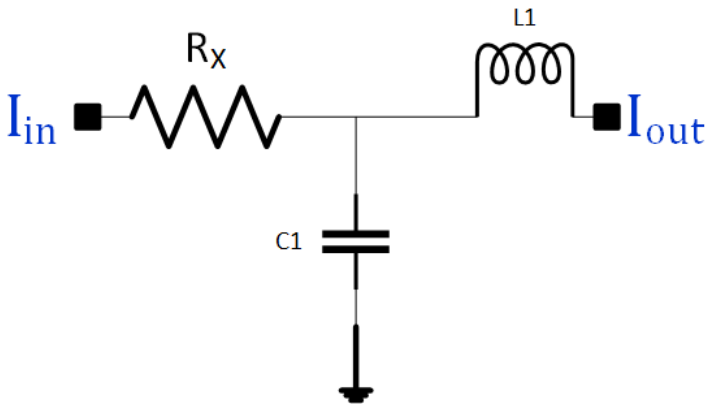


FIGURE 3.14 Circuit équivalent du FAR proposé

$$\begin{cases} \omega_0 & = (\alpha_1\alpha_2\beta_2)^{1/2}(R_{X_{I1}}R_{X_{I2}}C_1C_2)^{-1/2} \\ Q & = (\alpha_1\alpha_2\beta_2)^{1/2}(R_{X_{I1}}/R_{X_{I2}})^{-1/2}(C_1/C_2)^{-1/2}) \end{cases} \tag{3.5}$$

Ainsi, on obtient un FAR dont la fréquence de coupure est reconfigurable de manière continue en modifiant la valeur du courant de polarisation des CCII. On note que son entrée a une impédance faible (terminal X d'un CCII), et sa sortie une impédance forte (terminal Z d'un CCII), encore une fois afin d'assurer une attaque en courant forte sur l'entrée, et un bon transfert en courant sur la sortie.

3.5 L'étage de sortie

On peut à présent étudier l'étage de sortie de notre circuit, responsable de la conversion courant/tension, ainsi que du réglage du niveau correspondant à 0 V DC lors d'un niveau de tension bipolaire vers unipolaire. Encore une fois, distinguons les deux sous-circuits de l'étage : la conversion bipolaire vers unipolaire, et la conversion courant/tension. La Figure 3.15 présente l'architecture globale de l'étage de sortie.

3.5.1 Conversion courant/tension

La conversion courant/tension se fait de manière très simple. Étant donné que le réglage du gain se fait uniquement au niveau de l'étage d'entrée, l'étage de sortie reste le même dans toutes les configurations.

On observe ainsi que le courant en provenance du FAR est forcé dans les nœuds de sommation

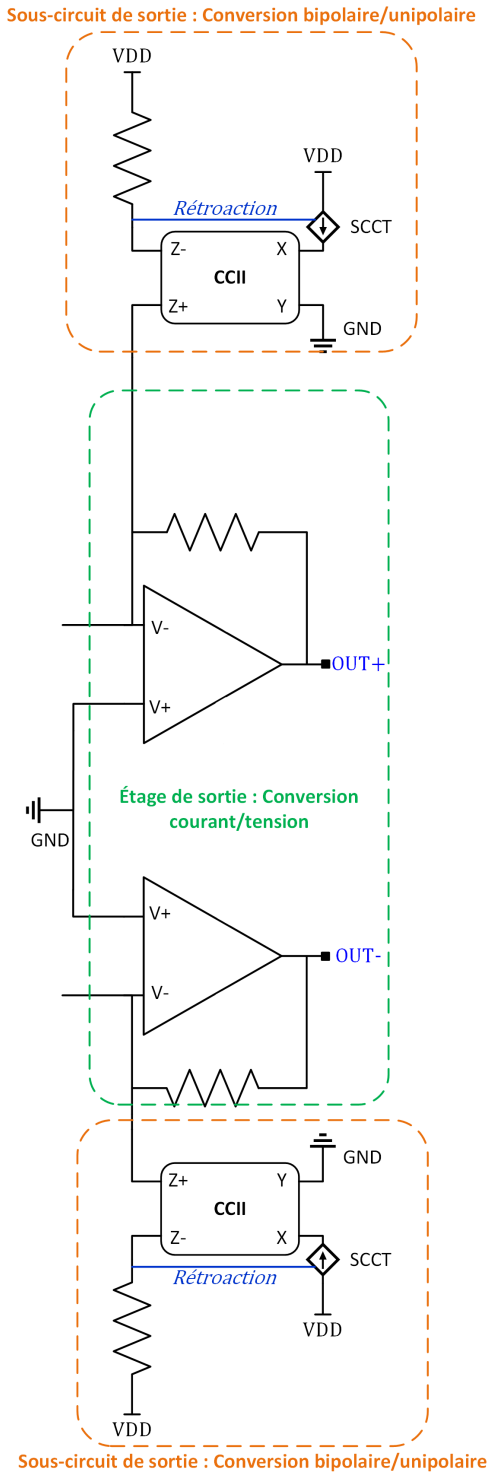


FIGURE 3.15 Étage de sortie à AOP

des AOPs de sortie, où une impédance de rétroaction négative est ramenée sur le nœud afin de re-convertir le signal en tension. On peut alors exprimer le gain global du système comme suit :

$$Gain = \frac{R_{\text{étage de sortie}}}{R_{\text{étage d'entrée}}} \tag{3.6}$$

On obtient ainsi en sortie de notre système une mesure différentielle de la tension différentielle d'entrée, garantissant un fort TRMC et bénéficiant de tous les avantages de la conception en mode-courant, comme évoqué dans le chapitre 2, avec notamment une plage d'entrée totalement indépendante du gain du système. L'utilisation d'AOPs garantit également que l'étage de sortie fait office de tampon, pour permettre un interfaçage aisé avec, par exemple, un CAN dans le cadre de notre application.

Cependant, nous avons également besoin, comme précisé précédemment, d'effectuer la conversion d'un domaine de tension bipolaire vers unipolaire pour notre système. À cette fin, nous ajoutons un sous-circuit supplémentaire à notre étage de sortie.

3.5.2 Conversion bipolaire/unipolaire

Ce circuit repose sur le même principe permettant la conversion courant/tension évoquée précédemment, à savoir la présence d'un courant forcé dans le nœud de sommation de l'AOP. On injecte ainsi un courant DC supplémentaire dans le nœud à l'aide de notre sous-circuit. Ce courant DC est alors converti en tension DC selon le même principe que notre signal, ce qui permet de créer un décalage pour notre signal, et donc de régler le niveau correspondant au 0 V DC pour l'interfaçage avec un CAN.

Au lieu de simplement effectuer ce réglage avec une SCCT, nous introduisons comme présenté en Figure 3.15 un CCII, avec un circuit de rétroaction. Cette structure permet d'introduire une meilleure invariance en température de l'étage. En effet, la tension DC générée par le sous-circuit dépend de la valeur de la résistance de rétroaction du circuit en charge de la conversion courant/tension. Lorsque celle-ci augmente, il faut diminuer le courant généré, et inversement, selon la loi d'Ohm. Cependant, il est très complexe d'obtenir une résistance avec des coefficients de température exactement opposés à ceux de la première résistance, d'autant plus quand le dimensionnement de celle-ci dépend également des résistances de l'étage d'entrée, puisque c'est leur rapport qui définit le gain du système.

Nous faisons ainsi le choix d'assurer l'appariement en température des résistances des étages d'entrée et de sortie (donc en prenant une résistance variant de la même manière avec la tem-

pérature, puisque c'est la valeur de leur rapport qui compte, comme présenté dans l'équation 3.6. On introduit ainsi une 3ème résistance, qui est une copie exacte de la résistance de rétroaction de l'étage de sortie. À partir du courant généré par la source de courant, on génère deux copies de ce même courant à l'aide du CCII. La seconde copie du courant est utilisée sur une branche à part, où se trouve la troisième résistance, pour générer une tension image de la tension DC ajoutée au nœud de sortie. Cette tension image est utilisée comme tension de rétroaction pour notre SCCT, dont le schéma se retrouve ainsi modifié comme suit :

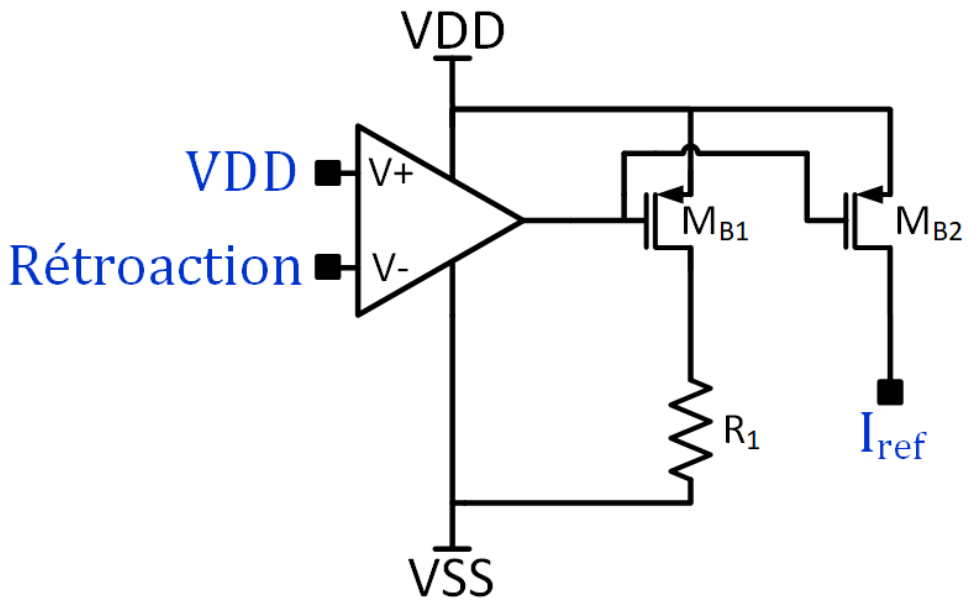


FIGURE 3.16 SCCT avec rétroaction pour l'étage de sortie

D'après ce nouveau schéma de rétroaction, on vient asservir le courant à une valeur produisant un décalage DC égal à $V_{DD}/2$, soit 2.5 V dans notre cas. On ajoute également un terminal au niveau de l'entrée Y du CCII, afin de pouvoir également effectuer un contrôle fin du niveau DC généré, en générant un courant additionnel directement dans la branche X : en effet, comme présenté dans la section 3.1, appliquer un potentiel sur la branche Y applique le même potentiel sur la branche X, où il génère un courant grâce à la résistance parasite R_X.

On obtient ainsi un étage de sortie complet, faisant office à la fois d'étage de conversion courant/tension, de conversion bipolaire vers unipolaire, et de tampon de sortie pour piloter efficacement un CAN.

3.6 Conception pour la testabilité

Enfin, nous introduisons des structures de testabilité (DFT dans la littérature) dans le design, afin de pouvoir s'assurer de sa testabilité une fois revenu de fabrication. Compte tenu du fait que notre système est une chaîne d'acquisition linéaire, nous faisons le choix d'implémenter une structure unique de DFT pour notre système, permettant d'isoler à loisir chacun des étages, et si besoin de les contourner s'ils ne se comportaient pas correctement. Comme on peut le voir sur la Figure 3.1, nous avons fait le choix de n'intégrer le DFT que sur une seule des deux branches du système différentiel. Ainsi, une mesure simple de la performance du système peut être faite sur la branche sans DFT afin d'obtenir des métriques de performances comme si le DFT n'existait pas. Quant à elle, la branche supérieure pourra être utilisée pour des mesures intermédiaires, ainsi que comme solution de secours pour utiliser uniquement certaines parties du système au cas où certains blocs et/ou étages ne fonctionneraient pas correctement.

Considérant que le DFT n'est introduit qu'entre les étages, nous pouvons donc le concevoir à l'aide d'une architecture basse tension. Nous proposons donc une architecture basée sur trois portes de transmission, dont le schéma est présenté dans la Figure 3.17 et la Figure 3.18.

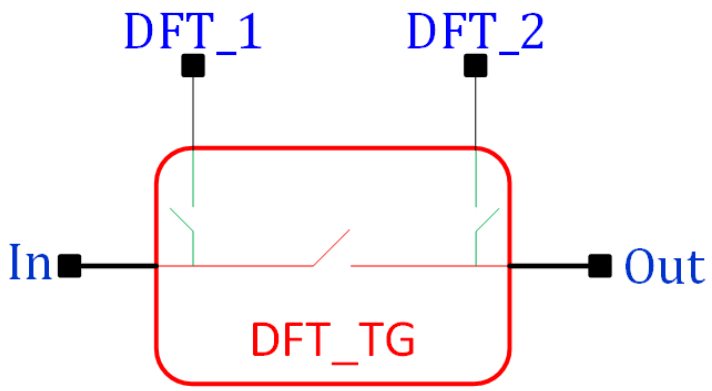


FIGURE 3.17 Schéma-bloc du DFT proposé

Nous pouvons distinguer deux états de fonctionnement pour notre DFT.

Dans l'état de fonctionnement #1, la porte de transmission centrale est fermée et les deux autres sont ouvertes, ce qui permet au signal de suivre son cheminement normal sans être perturbé. Les fortes impédances d'entrée et de sortie des étages grâce aux CCII et aux AOPs garantissent un effet minimal de la résistance R_{on} du transistor sur le comportement du circuit. Une attention supplémentaire est également apportée aux dimensionnement des transistors, encore une fois afin de diminuer R_{on}.

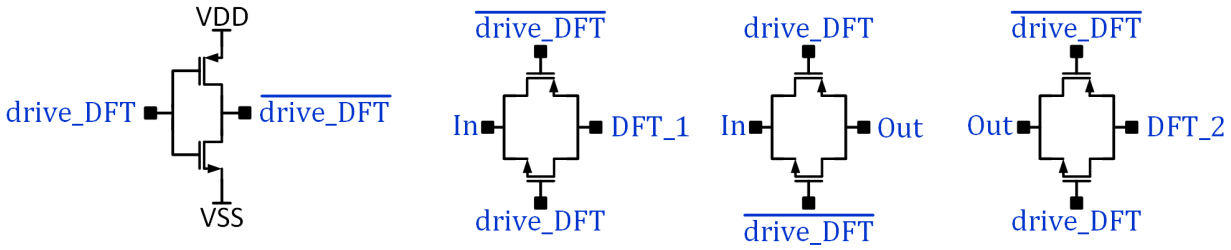


FIGURE 3.18 DFT proposé

Dans l'état de fonctionnement #2, la porte de transmission centrale est ouverte, et les deux autres portes sont fermées. On déconnecte ainsi les deux blocs à l'entrée et à la sortie du DFT, et on peut directement accéder à la sortie du premier étage et à l'entrée du second à travers les deux portes de transmission.

Un plan de test complet, incluant le design d'un PCB de test, a également été réalisé. Ce plan de test peut être retrouvé en Annexe de ce mémoire.

CHAPITRE 4 RÉSULTATS EXPÉRIMENTAUX

Passons à présent à la présentation des résultats expérimentaux obtenus pour notre puce. Tout d'abord, nous présentons le dessin des masques (layout) de la puce envoyée en fabrication. Nous présentons ensuite les résultats de simulation post-layout respectivement pour les fonctions d'AGP et de FAR de la puce.

N.B. : Dans cette partie, les résultats présentés sont les résultats post-layout du système, mais sans les plots de liaison (pads), qui ralentissent considérablement la convergence du simulateur. Des simulations sur les premières microsecondes ont également été réalisées avec les pads, pour vérifier le bon comportement du circuit.

4.1 Layout de la puce

4.1.1 Layout général des circuits et dimensionnement des passifs

La Figure 4.1 présente le layout de la puce envoyée pour fabrication.

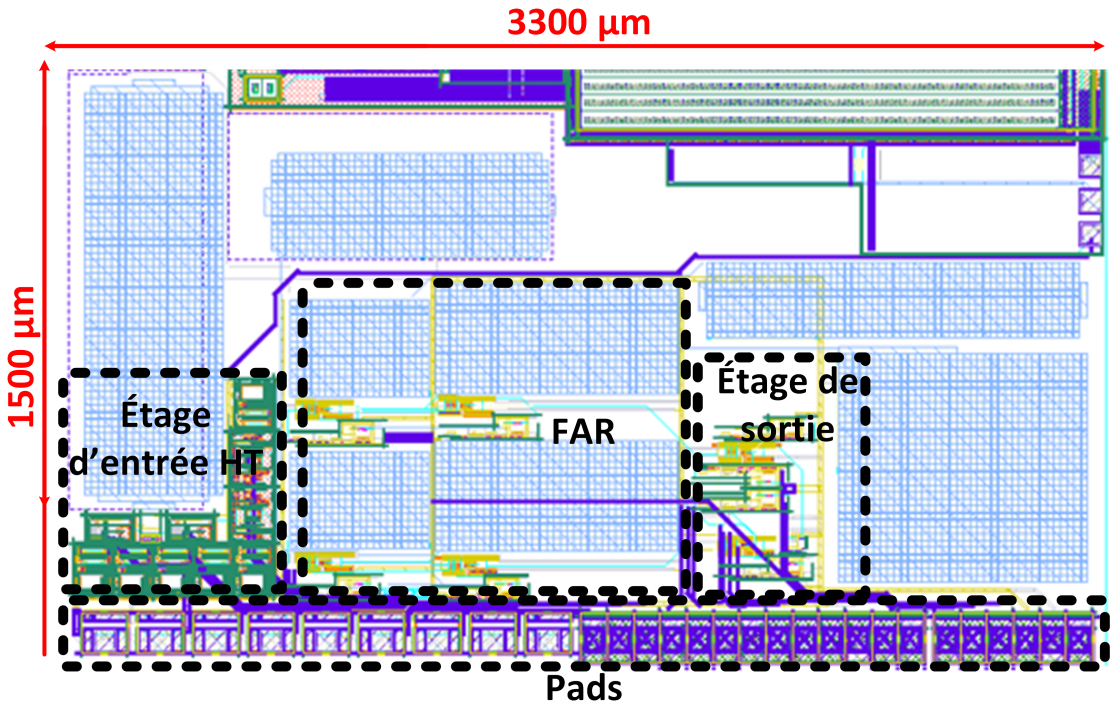


FIGURE 4.1 Layout de la puce envoyée pour fabrication

De gauche à droite sur la Figure 4.1, on identifie : l'étage d'entrée haute tension, le FAR et l'étage de sortie.

En ce qui concerne les passifs, les valeurs suivantes sont choisies pour chaque composant :

— $R_1 = 300.2363$ kΩ, $R_2 = 185.3619$ kΩ, $R_3 = 24000.3$ Ω pour l'étage d'entrée.
— $R_4 = 160.0006$ kΩ pour l'étage de sortie.
— $C_1 = 834.753$ pF et $C_2 = 1.668562$ nF pour le FAR.
— $R_{bias} = 70$ kΩ pour la SCCT, avec $k = 1$.

N.B. : La valeur des résistances pour l'étage d'entrée et de sortie sont dimensionnées afin de prendre en compte la résistance supplémentaire ajoutée par les interrupteurs.

4.1.2 Invariance en température des résistances

Contrairement à des composants discrets, il est fréquent pour les procédés intégrés que les valeurs des composants passifs varient fortement avec la température. C'est pourquoi la pratique générale est de fixer le gain en utilisant plutôt des rapports de valeur plutôt que des valeurs seules. C'est notamment pourquoi le gain de notre AGP est fixé par un rapport de résistances. Cependant, fixer le gain avec un rapport n'est pas toujours une possibilité. C'est le cas notamment pour notre SCCT, où la valeur du courant est directement contrôlée par la valeur de R_{bias}. Un rapide test préliminaire montre que la valeur de cette résistance seule peut varier de près de 50 % sur la plage de température [-40 °C ; 125 °C].

Une variation de plus de 50 % de la valeur du courant de polarisation est tout simplement inacceptable pour assurer la précision du système. Analysons la manière dont le coefficient de température est défini pour une résistance. Pour une résistance à une température T_0 donnée, sa valeur est définie comme suit, où TCR1 et TCR2 sont les coefficients de température respectivement de premier et second ordre de la résistance :

$$R(T) = R(T_0).[1 + TCR1.(T - T_0) + TCR2.(T - T_0)^2] \tag{4.1}$$

Ainsi, afin de réduire l'impact des variations de température sur le courant de polarisation généré, on utilise deux résistances en série avec des coefficients de température de premier ordre opposés afin de compenser la variation de valeur de la résistance. On dimensionne ainsi la répartition relative de la résistance sur chacun des deux éléments selon la valeur de leur TCR1. Si l'on pose R_A et R_B les deux résistances formant la résistance R_{bias}, avec $TCR1_A$ le TCR1 positif de R_A et $TCR1_B$ le TCR1 négatif de R_B, le dimensionnement doit respecter

l'équation suivante :

$$\begin{cases} R_{bias} & = R_A + R_B \\ |R_A * TCR1_A| & = |R_B * TCR1_B| \end{cases} \tag{4.2}$$

<u>N.B. :</u> Cette technique ne concerne que la SCCT pour le FAR. En effet, la rétroaction employée pour la SCCT de l'étage de sortie permet une compensation intégrée des variations de température, comme on a pu le voir dans le chapitre 3.

Pour les mesures, nous utilisons directement le schéma présenté sur la Figure 3.1, sans rajouter aucun signal en entrée ou en sortie. Nous faisons varier V_{bias} pour le FAR (contrôlant donc la valeur du courant de polarisation des CCII) et la température du circuit, et nous nous intéressons directement au courant généré en sortie des SCCT du FAR.

Ainsi, la Figure 4.2 présente le courant généré par notre SCCT pour un balayage de sa tension de polarisation.

On observe de plus sur la Figure 4.3 l'effet des variations de température sur le courant généré par notre SCCT lorsque nous n'implémentons pas la compensation en température évoquée ci-dessus, pour une tension de polarisation donnée. On observe ainsi un écart relatif de 64.8 % entre le courant généré à -40 °C et le courant à 125 °C. On voit également la domination du coefficient de température de premier ordre, avec la légère influence du coefficient de second ordre.

La Figure 4.4 présente encore une fois l'influence des variations de température sur la SCCT pour une tension de polarisation donnée, mais cette fois-ci en incluant la compensation en température. On observe ainsi très clairement que l'écart relatif a été réduit à 4.80 %, ce qui n'est toujours pas négligeable, mais bien plus acceptable. On voit également très clairement que la variation en température est dorénavant exclusivement de second ordre, ce qui est logique puisque comme expliqué précédemment, nous n'avons compensé que la variation dominante, soit la variation due au coefficient de température de premier ordre. Les résistances à notre disposition n'ayant pas un TCR de premier et second ordre identiques, il n'est pas possible de compenser parfaitement la variation en température de la résistance avec cette technique.

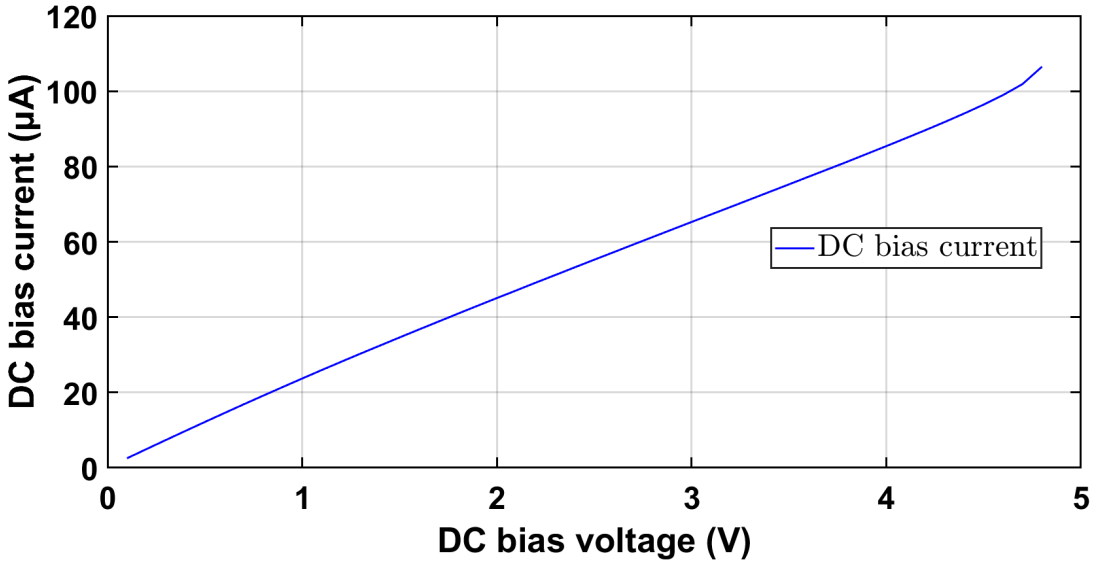


FIGURE 4.2 Courant généré par la SCCT (μA) en fonction de la valeur de la tension de polarisation (V)

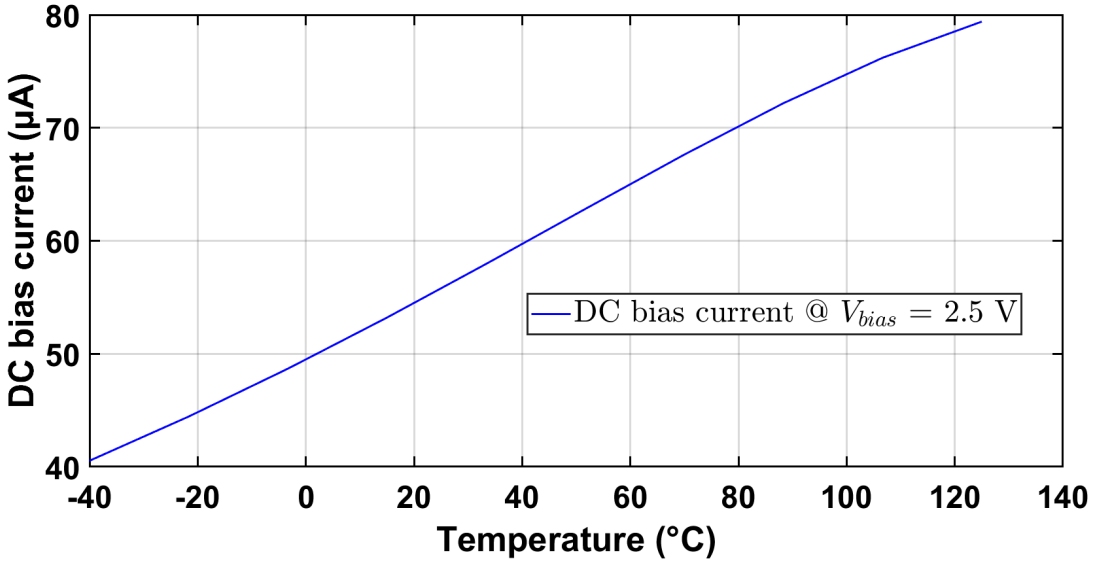


FIGURE 4.3 Courant généré par la SCCT (μA) en fonction de la température (°C) pour $V_{bias} = 2.5$ V

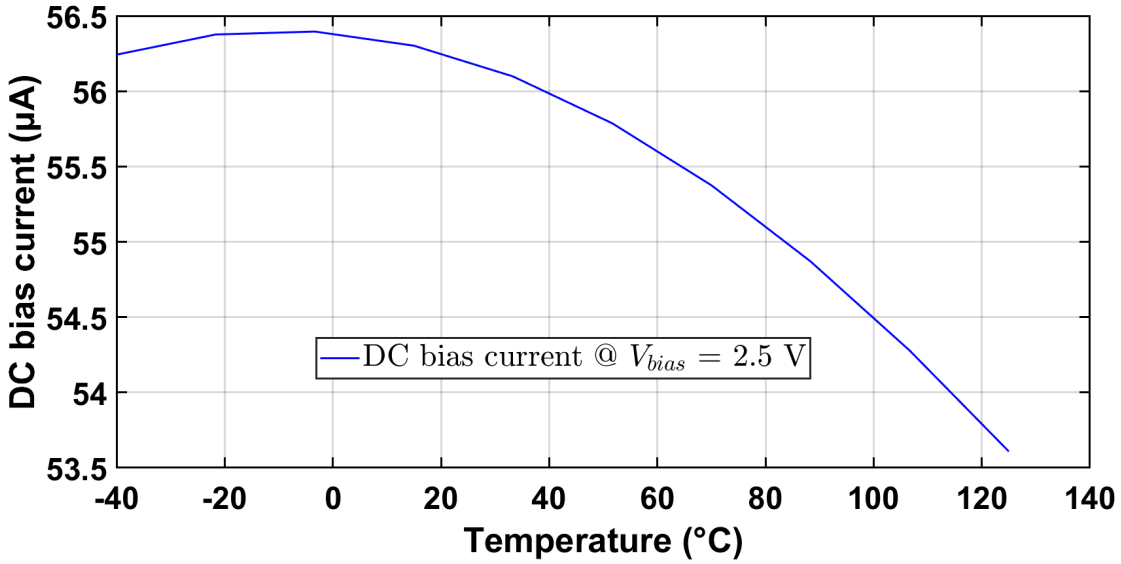


FIGURE 4.4 Courant généré par la SCCT (μA) en fonction de la température (°C) pour V_{bias} = 2.5 V avec la compensation en température

4.2 Résultats de simulation post-layout : AGP

On s'intéresse à présent à la performance de notre puce sur sa première fonction, à savoir l'AGP. Nous mesurons donc les métriques suivantes :

- Précision de la valeur du gain.
- Linéarité de la valeur du gain par rapport à la fréquence et l'amplitude du signal.
- Impédance d'entrée et de sortie.
- Taux de Réjection de Mode Commun (TRMC) du système.
- Invariance aux variations PVT.

À cette fin, on fixe la valeur de V_{bias} à 2.5 V pour le FAR arbitrairement. L'analyse étant faite pour des signaux dans la bande de fréquence entre le DC et 5 kHz, la fréquence de coupure du FAR n'aura en effet aucun effet sur le gain du système, puisque cela fixe la fréquence de coupure à 25 kHz, bien au-delà de la fréquence du signal.

N.B. : Pour toutes les mesures effectuées, on se concentre sur la bande de fréquences allant du DC jusqu'à 5 kHz, ce qui est la bande de fréquence intéressante pour le signal. Cela permet également d'introduire les potentielles erreurs introduites par le FAR dans notre système. En effet, la fréquence de coupure du FAR étant comprise entre 15 kHz et 40 kHz, faire une mesure dans une bande de fréquences plus élevée requiert de contourner le FAR, et donc de négliger son

effet sur le système.

4.2.1 Erreur et non-linéarité du gain

Pour faire cette première mesure, on référence le terminal IN- de la puce à la terre, et on applique notre signal directement sur le terminal IN+. On observe alors le signal de sortie sur les terminaux OUT+ et OUT-.

Nous effectuons plusieurs analyses relatives à la linéarité du gain. Nous observons la linéarité du gain, à la fois par rapport à la fréquence du signal en entrée ainsi qu'à son amplitude. On s'intéresse ainsi tout d'abord à la linéarité en fréquence du gain, comme présenté dans la Figure 4.5.

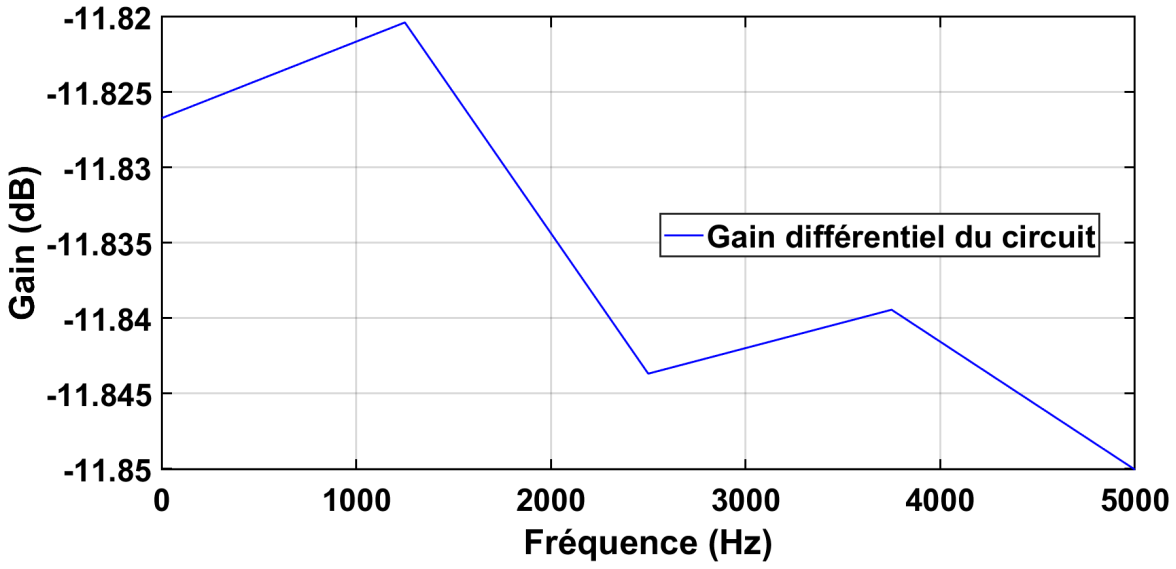


FIGURE 4.5 Non-linéarité du gain par rapport à la fréquence du signal d'entrée, pour un gain théorique de -12.0412 dB (0.25), et un signal d'entrée sinusoïdal d'amplitude 8 V

On observe ainsi une valeur moyenne de gain de -11.8361 dB, ce qui correspond à une erreur de gain moyenne de 0.21 dB (2.45 %) par rapport à la valeur théorique de -12.0412 dB. Cette erreur est majoritairement due à la valeur de R_{on} parasite ajoutée par les interrupteurs, que l'on ne peut pas parfaitement compenser. Cependant, on observe un écart-type de 0.012 dB sur nos valeurs, ce qui correspond à un écart-type de 0.14 % sur la valeur du gain sur la plage de fréquence qui nous intéresse.

<u>N.B. :</u> Dans un souci de concision des résultats présentés, cette analyse n'est présentée que pour une seule valeur de gain. Des analyses complémentaires ont

pu montrer que le système conservait des performances similaires pour les autres valeurs de gain.

Similairement, la Figure 4.6 présente la non-linéarité du gain dans le même cas de figure, mais cette fois-ci en variant l'amplitude du signal d'entrée plutôt que sa fréquence. On observe ainsi une valeur moyenne de gain de -11.8427 dB, ce qui correspond à une erreur de gain moyenne de 0.2 dB (2.33 %) par rapport à la valeur théorique de -12.0412 dB. On observe également un écart-type de 0.08 dB sur nos valeurs, soit 0.94 % sur la valeur du gain sur la plage d'amplitude d'intérêt.

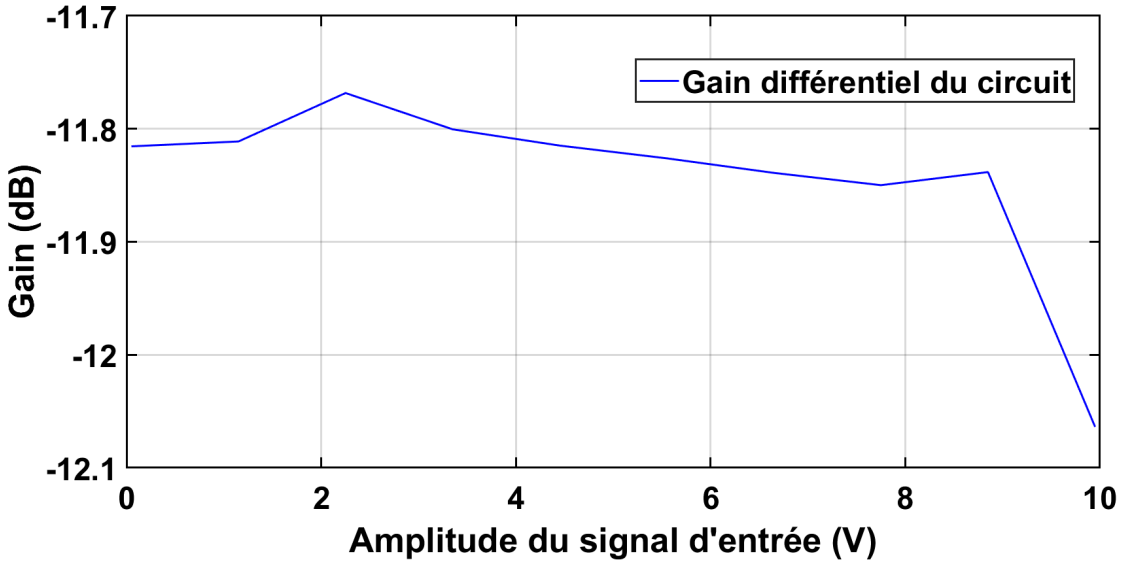


FIGURE 4.6 Non-linéarité du gain par rapport à l'amplitude du signal d'entrée, pour un gain théorique de -12.0412 dB (0.25), et un signal d'entrée sinusoïdal de fréquence 5 kHz

4.2.2 Impédance d'entrée et de sortie

On mesure à présent les impédances d'entrée et de sortie du système, en fonction de la fréquence du signal d'entrée. Pour ce faire, on place une source de tension au niveau de l'entrée/de la sortie, dont on connaît l'amplitude. On mesure alors le courant entrant dans le système, et on en déduit l'impédance équivalente à l'aide de la loi d'Ohm. La Figure 4.7 présente l'évolution de l'impédance d'entrée du système en fonction de la fréquence du signal d'entrée. On voit très clairement que l'impédance d'entrée n'est pas constante sur la plage de fréquences, mais suit plutôt une relation de la forme suivante, avec A et B des constantes positives :

$$Z_{in}(freq) = \frac{A}{B * freq} \tag{4.3}$$

Nous faisons l'hypothèse que ce comportement est dû à l'impédance parasite C_Y, telle que présentée sur la Figure 3.2. Il semble que dans notre cas et avec nos transistors HT, cette impédance soit dominante, et fixe ainsi pour la plus grande part l'impédance d'entrée de nos CCIIs HT et donc de notre système.

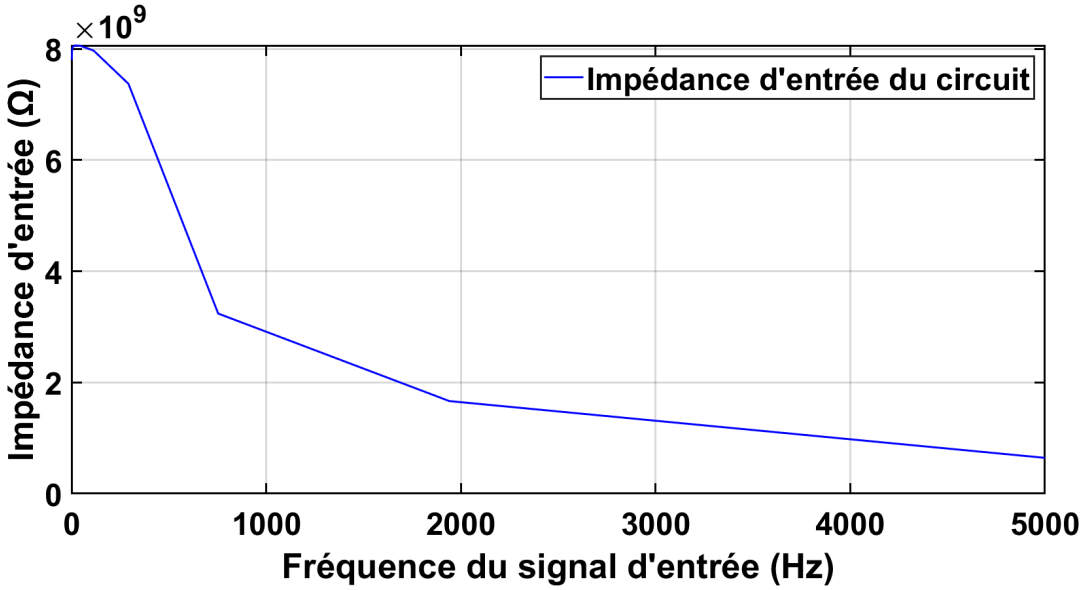


FIGURE 4.7 Impédance d'entrée du système, en fonction de la fréquence du signal d'entrée

On mesure l'impédance de sortie du système à l'aide d'un pont diviseur résistif ajouté en sortie du système, afin d'évaluer le transfert en tension. En effet, on peut alors définir l'impédance de sortie comme suit :

$$\begin{aligned} V_{out} &= V_{out_{BO}} . \frac{R_{charge}}{R_{out} + R_{charge}} \\ R_{out} &= \frac{V_{out_{BO}} . R_{charge} - V_{out} . R_{charge}}{V_{out}} \end{aligned} \tag{4.4}$$

La Figure 4.8 présente l'impédance de sortie du système en fonction de la fréquence du signal d'entrée. On mesure ainsi une impédance de sortie moyenne de 24.8 Ω pour des fréquences entre DC et 5 kHz. L'écart-type vaut 0.68 Ω, ce qui montre la stabilité de l'impédance de sortie sur la bande de fréquences utile.

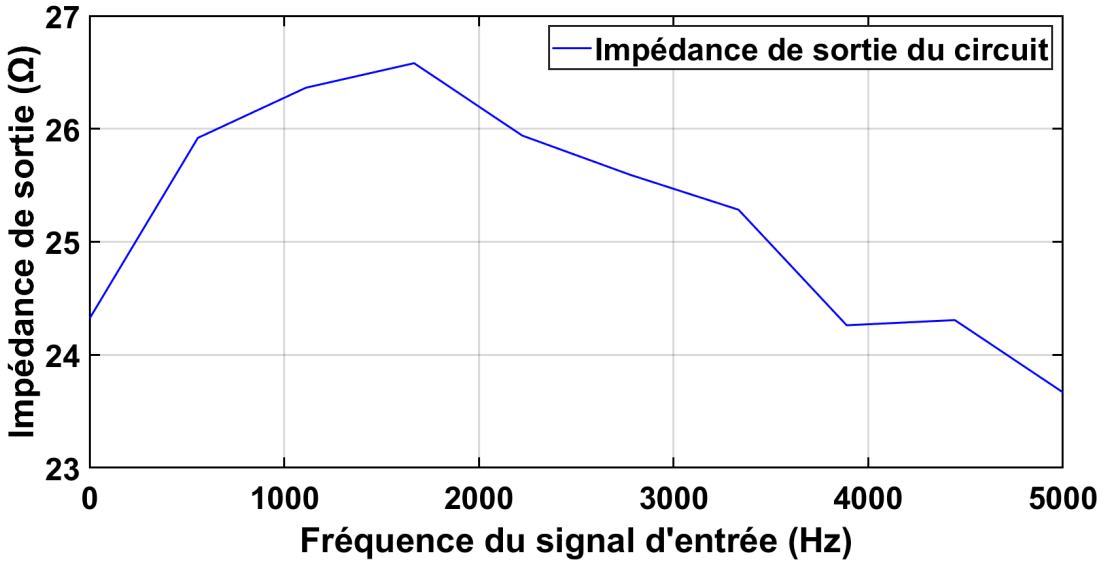


FIGURE 4.8 Impédance de sortie du système, en fonction de la fréquence du signal d'entrée

4.2.3 TRMC du système

On mesure également le Taux de Réjection de Mode Commun du système. Pour ce faire, on applique une même entrée sinusoïdale d'amplitude 8 V sur chaque entrée. On mesure alors l'amplitude du signal différentiel de sortie pour une valeur de gain donnée, et on détermine ainsi le gain de mode commun du système. Puisque l'on connaît déjà le gain différentiel du système, on peut à présent déterminer le TRMC du système, défini comme suit :

$$TRMC = 20 \cdot \log_{10}\left(\frac{Gain_{\text{différentiel}}}{Gain_{\text{ModeCommun}}}\right) \tag{4.5}$$

On observe donc un TRMC de 75.7 dB à 556.44 Hz pour un gain de 0.25. À cause de la durée que prennent ces mesures, nous ne présentons ici qu'une seule courbe pour le TRMC, pour G = 0.25. En effet, le TRMC sera toujours le plus faible pour la valeur de gain le plus faible pour un système donné [27], c'est pourquoi nous utiliserons cette courbe-ci comme référence de performance. Ainsi, la valeur la plus faible de TRMC mesurée est relevée pour G = 0.25 à 5 kHz. Dans ce cas de figure, le TRMC vaut 49.94 dB.

Comme pour l'impédance d'entrée, il semble que l'impédance C_Y ait encore une fois une influence importante sur l'évolution du TRMC, cette fois-ci à cause du mésappariement entre les C_Y de chaque CCII HT d'entrée. Cela pourrait expliquer la chute rapide du TRMC , qui suit, encore une fois, une équation semblable à celle présentée dans l'équation 4.3.

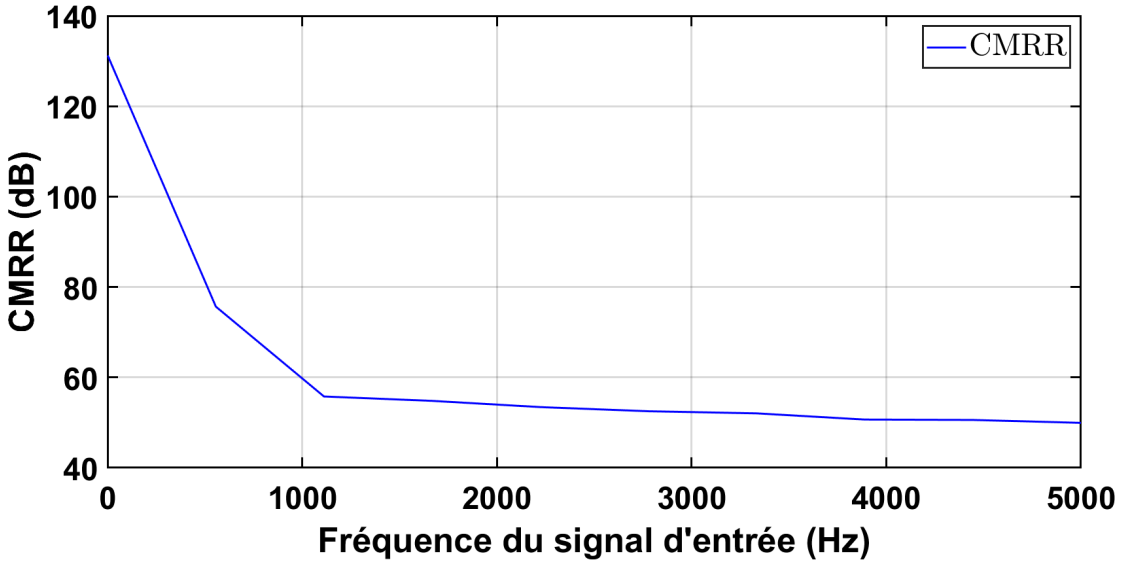


FIGURE 4.9 Taux de Réjection de Mode Commun du système en fonction de la fréquence, pour G = 0.25

4.2.4 Invariance aux variations PVT

Enfin, on s'intéresse à l'influence des variations PVT sur le comportement du système. Plus précisément, on s'intéresse à l'impact des variations de température et de procédé. En effet, grâce à la conception en mode courant, les variations de tension d'alimentation ne causent pas de variation notable du gain de l'AGP. On s'intéresse aux variations de gain pour les extrêmes de procédé, sur la plage de température entre -40 °C et 125 °C. Pour chaque réglage de gain, on balaie ainsi l'amplitude et la fréquence du signal d'entrée, de telle sorte à faire varier l'amplitude du signal de sortie entre 50 mV et 5 V, et sa fréquence entre le DC et 5 kHz. On fait alors la moyenne des variations sur le gain et sur le niveau DC du signal en sortie. Cette étape est répétée aux températures -40 °C, 27 °C et 125 °C pour tous les extrêmes de procédé.

On mesure ainsi une variation de 0.92 % pour le gain, et de 3.92 % pour le niveau DC de sortie (par rapport à la référence fixée à 2.5 V).

4.3 Résultats de simulation post-layout : FAR

On s'intéresse dans un second temps à la performance du FAR de notre système.

N.B. : Contrairement à l'AGP, les résultats présentés ici sont déterminés en isolant le FAR du reste du circuit à l'aide des circuits DFT implémentés, afin de

le caractériser spécifiquement.

4.3.1 Contrôle de la SCCT et du FAR

La performance de la SCCT a déjà été présentée et discutée dans la sous-section 4.1.2. On observe ainsi dans un premier temps le contrôle de la fréquence de coupure du filtre en fonction du courant de polarisation des CCII. Ainsi, la Figure 4.10 reprend les informations présentées sur la Figure 4.2, en y ajoutant 4 points d'intérêt parmi le réglage continu de polarisation entre 0 V et 5 V. Comme évoqué dans la section 3.1, ce réglage est rendu possible par la relation entre l'impédance parasite R_X du CCII et son courant de polarisation, définie par l'équation 3.1. Cette relation est présentée dans la Figure 4.11.

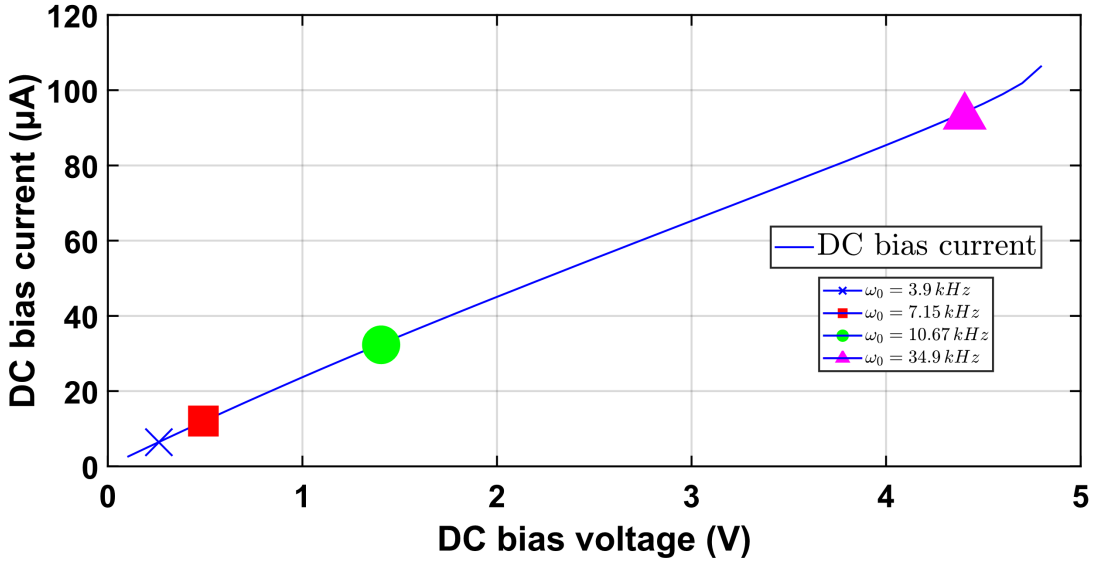


FIGURE 4.10 Courant généré par la SCCT en fonction de la tension de polarisation avec fréquences de coupure équivalentes

Si on analyse les données présentées sur la Figure 4.10 et qu'on compare les valeurs obtenues à celle d'un modèle de régression linéaire, on obtient un R^2 de 0.99. La racine de l'erreur quadratique moyenne est 0.62 μA.

Similairement, les données présentées sur la Figure 4.11 ont un R^2 de 1, et une erreur moyenne en pourcentage absolue de 0.32 % par rapport à une équation de la forme présentée dans l'Équation 3.1.

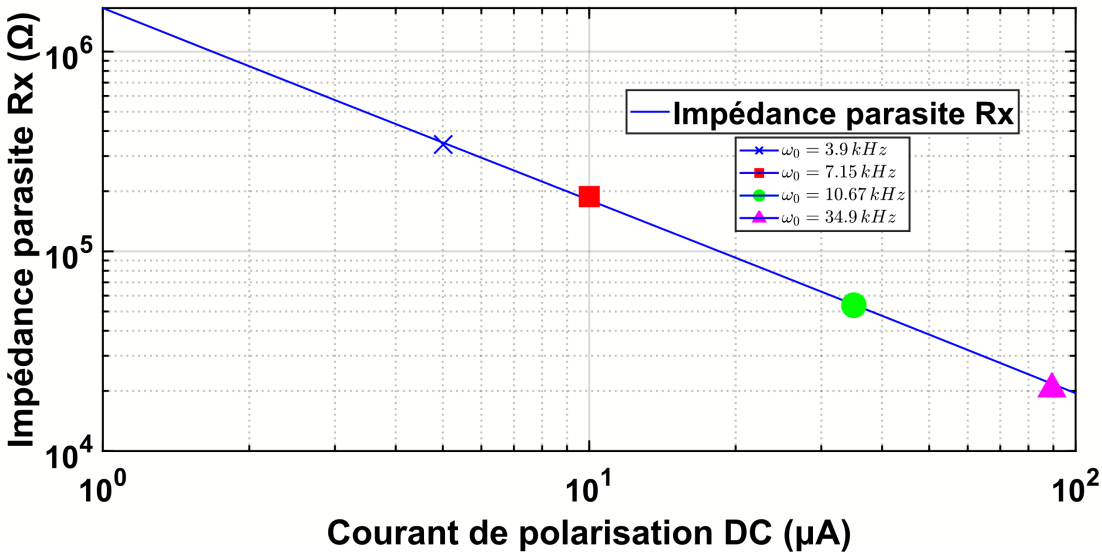


FIGURE 4.11 Impédance parasite du CCII basse tension en fonction de son courant de polarisation

4.3.2 Analyse fréquentielle de la reconfigurabilité

La Figure 4.12 présente la réponse en fréquence du FAR lorsque l'on fait varier le courant de polarisation DC des CCII, en mettant en évidence les points présentés précédemment comme référence. On peut ainsi très clairement observer la reconfigurabilité de la fréquence de coupure du filtre, entre 3.9 kHz et 34.9 kHz en l'occurrence. On observe une erreur relative d'au maximum 1.127 % dans la bande passante.

4.3.3 Résistance aux variations PVT

Comme pour l'AGP, on réalise également des simulations aux corners du procédé de fabrication, afin de s'assurer de la robustesse du circuit. Pour ce faire, le courant de polarisation des CCIIs est fixé à 10 μA, soit une fréquence de coupure de 6.52 kHz. On injecte dans le circuit un courant sinusoïdal de 1 μA, et on observe le décalage de la fréquence de coupure selon les conditions de procédé et de température. Le tableau 4.1 présente la variation de la fréquence de coupure du FAR dans ces différents cas de figure.

Si l'on se concentre sur les coins F/S et S/F (qui représentent des comportements asymétriques des NMOS et PMOS, donc plus représentatifs d'un scénario de fonctionnement moyen), on observe une erreur relative de 10.28 % de la fréquence de coupure. Pour ces mêmes cas de figure, à une température donnée, l'écart relatif entre les deux cas est toujours

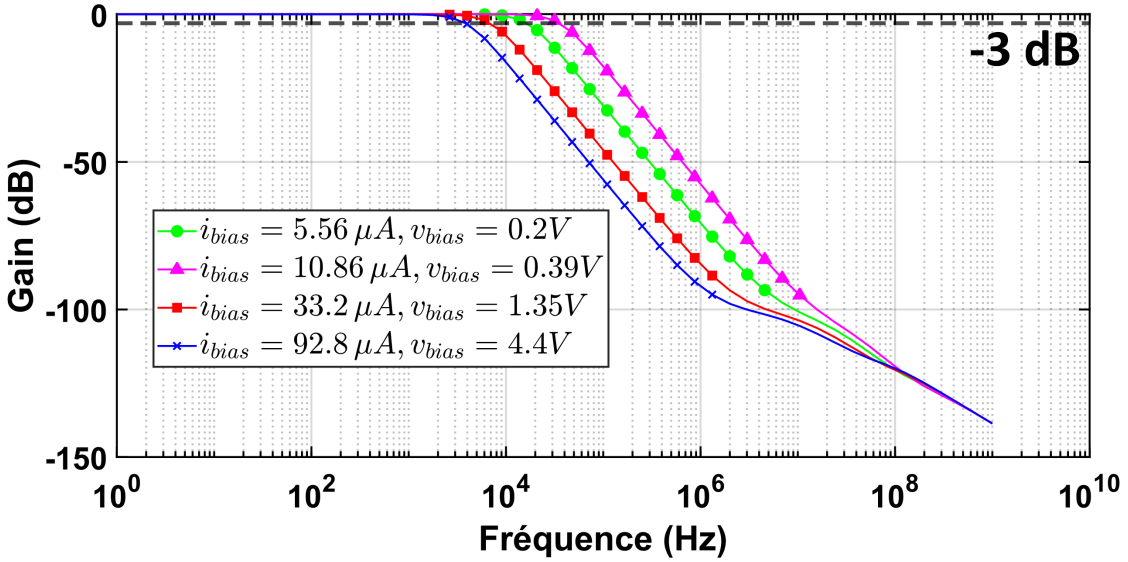


FIGURE 4.12 Analyse fréquentielle du comportement du FAR en fonction du courant de polarisation des CCIIs

TABLEAU 4.1 Fréquence de coupure (kHz) du FAR avec variations de procédé et de température (I_{bias} = 10 μA)

Temp. (°C) \ Process corner	F/S	S/F	F/F	S/S
0	7.08	6.95	8.07	6.12
27	6.67	6.55	7.62	5.72
85	5.93	5.85	6.91	5.15

inférieur à 1.85 %. On en conclut que le FAR proposé est robuste aux variations de procédé, mais beaucoup moins aux variations de température. Les raisons sont les suivantes :

— La variation en température de la SCCT, comme présenté en Figure 4.4.
— L'influence directe de la température sur les CCII et la valeur de R_X.
— La variation de la capacité des condensateurs avec la température.

Nous avons également mesuré l'effet de ces mêmes variations sur la plage de température recherchée, à savoir [-40 °C ; 125 °C], afin de confirmer le bon fonctionnement du FAR dans tous les cas de figure envisagés. Dans ce cas de figure-ci et pour les mêmes variations de procédé, le FAR fonctionne toujours, mais sa fréquence de coupure peut alors varier de 38.7 %

4.3.4 Mesures supplémentaires

Enfin, nous effectuons une mesure du Taux de Distorsion Harmonique (THD dans la littérature) de notre FAR. Pour effectuer cette mesure, nous utilisons un signal d'entrée sinusoïdal de 20 μA crête-à-crête à 5 kHz. Nous balayons la tension de polarisation de la SCCT entre 0 V et 5 V, et nous mesurons le THD en sortie. Dans ces conditions, nous mesurons un THD moyen de 3.96 %, assurant le bon comportement du système.

En fixant le courant de polarisation des CCII à 100 μA, le FAR consomme 4.2 mW pour une entrée sinusoïdale de 20 μA crête-à-crête à 5 kHz. Nous évaluons enfin la consommation de puissance globale du système. Nous injectons ainsi en entrée un signal différentiel sinusoïdal avec une amplitude de 10 V et une fréquence de 5 kHz, pour un gain G = 0.25. Cela correspond au courant maximum pour le signal envisagé pendant la conception. De plus, nous fixons la tension de polarisation des SCCT du FAR à 5 V afin de maximiser encore une fois la consommation de puissance du circuit. Dans ces conditions, le système consomme 51.23 mW.

CHAPITRE 5 DISCUSSION

À présent que nous avons pu déterminer la performance post-layout de notre système, nous analysons sa performance par rapport à nos objectifs, ainsi que par rapport à la littérature. Dans un premier temps, comparons les performances obtenues à nos objectifs présentés dans le Tableau 3.1.

TABLEAU 5.1 Spécifications souhaitées du circuit envisagé et résultats obtenus

Paramètres	**Objectif**	**Atteint**
Plage d'entrée	± 10 V	± 10 V
Plage de sortie	5 V	5 V
Température de fonctionnement	[-40 °C ; 125 °C]	[-40 °C ; 125 °C]
Bande passante	DC jusqu'à 5 kHz	DC jusqu'à 5 kHz
Précision du gain	±1 %	±1.32 %[a]
Reconfigurabilité du FAR	[15 kHz ; 40 kHz]	[3.9 kHz ; 34.9 kHz]
TRMC	60 dB	49.94 dB

[a]Assumant que toutes les sources d'erreur sont décorrélées.

5.1 Fonctionnalité

Dans un premier temps, nous voyons que nous avons effectivement réussi à remplir la fonction primaire de notre circuit, à savoir convertir un signal de la plage de tension bipolaire ± 10 V vers une plage de tension unipolaire 5 V, pour des signaux de fréquence entre le DC et 5 kHz. Nous avons également pu vérifier l'intégrité de notre solution pour tous les corners de procédé, sur la plage de température [-40 °C ; 125 °C].

5.2 Précision du gain

Afin de déterminer la précision du gain de notre système, on fait l'hypothèse simplificatrice que les variations du gain liées à la fréquence et à l'amplitude du signal (sous-section 4.2.1) et aux variations de procédé et de température (sous-section 4.2.4) sont toutes décorrélées les unes des autres. Ainsi, on peut obtenir l'erreur totale à l'aide de l'équation suivante :

$$Erreur_{pourcentage\ total} = \sqrt{\sum_{i=1}^{n}(e_i^2)} \tag{5.1}$$

On obtient ainsi l'erreur moyenne totale sur le gain en tenant compte simultanément des variations d'amplitude et de fréquence du signal d'entrée, ainsi que des variations de procédé et de température. Cette erreur vaut dans notre cas 1.32 %, ou ±1.32 % pour reprendre la notation présentée dans le Tableau 5.1. Nous ne sommes ainsi pas en mesure d'atteindre ce niveau de précision désiré.

Cependant, il est important de noter que ce niveau de précision sur la mesure est dans notre cas calculé à partir des simulations aux coins du procédé, qui sont des cas extrêmes que l'on ne retrouve en pratique jamais sur un circuit fabriqué. Si l'on se concentre sur le cas typique de fonctionnement du circuit, l'erreur moyenne est réduite à ±0.95 %, ce qui est inférieur au seuil d'erreur de ±1 % fixé dans nos spécifications recherchées. Malheureusement, la puissance de calcul limitée à notre disposition nous empêche d'effectuer des simulations Monte-Carlo sur un échantillon suffisamment large pour obtenir les véritables moyennes et écart-types de l'erreur sur la valeur du gain.

Si ce résultat n'est pas entièrement satisfaisant, il permet toutefois de souligner l'efficacité de la conception en mode-courant à base de CCII choisie, qui comme présenté dans la littérature (voir la Section 2) possède une forte invariance face aux variations de procédé et de température, qui induisent au maximum une erreur additionnelle de 0.37 %, ou 0.032 dB.

5.3 Impédances d'entrée et de sortie du système

Concernant les impédances d'entrée et de sortie du système, nous faisons le choix de nous comparer directement à des composants commerciaux récents, qui se rapprochent le plus du cadre d'application industrielle HT envisagé. Par rapport à l'AGP PGA855 de Texas Instruments [24], on observe ainsi que nous ne sommes absolument pas compétitifs, puisque ce composant possède une impédance de sortie moyenne de 0.02 Ω sur la plage de fréquence [DC ; 10 kHz]. Cela s'explique notamment par le fait que Texas Instruments est depuis des décennies un des leaders mondiaux dans la fabrication d'AOP, et peut ainsi inclure dans ses puces des AOP dont la performance dépasse très largement celle d'un simple AOP à deux étages comme celui que nous proposons ici.

Si l'on s'intéresse à l'impédance d'entrée différentielle du PGA855 [24], on observe que celle-ci est égale à une résistance de 100 GΩ, en parallèle avec un condensateur de 1 pF. Si on évalue l'impédance équivalente à 1 kHz, cela équivaut à une impédance de 158.99 MΩ, Similairement, cela équivaut à une impédance de 31.84 MΩ.

Si l'on compare à notre solution proposée, nous observons une impédance d'entrée de 3.02 GΩ et de 643.78 MΩ à 5 kHz. Si ces valeurs peuvent sembler au premier abord bien supérieures,

il est important de rappeler que ces valeurs sont prises dans notre cas en négligeant l'impact du plot HT sur les entrées. Un plot ajoute habituellement plusieurs pF en parallèle avec l'entrée, nous sommes donc encore une fois très loin des niveaux de performance proposés par l'industrie, pour des raisons similaires à celle pour l'impédance de sortie, à savoir la qualité des circuits individuels proposés.

5.4 TRMC du système

Encore une fois, par rapport à la référence industrielle qu'est le PGA855 [24], on s'intéresse au TRMC de notre puce. Pour un gain de 0.25, le PGA855 possède un TRMC moyen sur la bande de fréquence [DC ; 60 Hz] de 88 dB. Dans le cas de notre puce, comme on peut le voir sur la Figure 4.9, nous sommes en excès de 120 dB sur l'entièreté de cette plage de fréquence. En revanche, le TRMC du PGA855 reste constant jusqu'à 1 kHz, et ne chute sous 50 dB qu'à 250 kHz. Dans notre cas, le TRMC chute très rapidement, et passe sous la barre des 50 dB à 4900 Hz.

Cependant, notre système a l'avantage d'intégrer un FAR, ce qui permet une meilleure tenue en fréquence du TRMC, puisque l'on peut alors y ajouter le gain du filtre.

Il est également bon de noter que le TRMC de notre puce sera également réduit une fois le circuit imprimé. En effet, comme présenté dans le Chapitre 2, le TRMC de l'architecture choisie dépend du TRMC individuel des amplificateurs d'entrée (les CCII HT dans notre cas), mais aussi de leur appariement. Aucun appariement ne pouvant être parfait, on peut donc raisonnablement s'attendre à une légère baisse du TRMC sur le circuit fabriqué.

5.5 Reconfigurabilité du FAR

Concernant la reconfigurabilité du FAR, nous avons obtenu une plage de reconfigurabilité de la fréquence de coupure de 31 kHz, contre 25 kHz initialement demandé, ce qui représente une augmentation de 24 %. Cependant, la plage de fréquence souhaitée est décalée par rapport à la spécification, commençant à 3.9 kHz au lieu de 15 kHz, et se terminant trop tôt, à 34.9 kHz au lieu de 40 kHz.

Cela est principalement dû à des problématiques de dimensionnement au niveau global du système. En effet, une des principales limitations des CCII est le fait qu'ils ne peuvent transporter un courant que si l'amplitude de celui-ci est égale ou inférieure à l'amplitude de leur courant de polarisation. Cela introduit donc des problématiques de dimensionnement, puisque la quantité de courant que les différents CCII doivent pouvoir transmettre est directement

liée à la valeur des résistances de l'étage d'entrée HT, responsables du gain du système.

Ainsi, on pourrait penser que la solution est simplement d'augmenter la valeur de ces résistances. Cependant, des résistances plus grandes sont par définition plus bruitées. En effet, le bruit thermique des résistances peut être exprimé de la façon suivante, avec k la constante de Boltzmann, T la température en Kelvin, R la résistance et B la bande passante sur laquelle le bruit est mesuré :

$$Bruit_{thermique} = \sqrt{(4.k.T.R.B)} \tag{5.2}$$

On voit ainsi très clairement que le bruit induit est directement proportionnel à la racine carrée de la valeur de la résistance. C'est pourquoi la pratique usuelle dans la littérature est d'utiliser des résistances de faible valeur pour définir un gain, afin de minimiser l'influence du bruit thermique.

Cependant, considérant le fait que l'amplitude du signal d'entrée peut atteindre 10 V dans notre cas, nous ne pouvons pas réduire la valeur des résistances trop agressivement, sous peine d'énormément augmenter la consommation de puissance de la puce et d'introduire d'autres problématiques comme l'électromigration. Plus de courant implique également de plus grandes variations absolues du courant avec les variations de température, ce qui peut être problématique avec une large plage de température prévue pour le fonctionnement du circuit, comme c'est le cas pour nous.

On se retrouve ainsi face à un compromis de dimensionnement sur la valeur du courant fourni au FAR, qui, comme dit précédemment, est par extension un compromis sur la valeur du courant de polarisation pour les CCII du FAR, qui doivent pouvoir transmettre correctement le courant en entrée du filtre. Ce problème, ajouté au fait que la commande du filtre n'est pas simplement linéaire, rend ardu le dimensionnement précis des sous-systèmes responsables de la fréquence de coupure du FAR.

De plus, comme on a pu l'observer dans la Section 4.3, la fréquence de coupure du FAR peut changer de 38.7 % sur la plage de température entre -40 °C et 125 °C pour les différents corners de procédé. Il s'agit très clairement d'un des points faibles de notre système. Une des pistes d'amélioration possible serait d'implémenter une rétroaction similaire à celle implémentée sur l'étage de sortie aux SCCT du FAR.

5.6 Comparaison avec la littérature

Enfin, nous proposons une comparaison avec la littérature pour mettre en avant notre contribution.

Nous sommes les premiers dans la littérature à proposer une structure d'AGP HT à base de CCII, et à introduire de manière intégrée une conversion reconfigurable d'un domaine de tension bipolaire vers un domaine de tension unipolaire.

Nous avons pu observer très clairement que même avec des transistors HT par définition très parasités, nous avons pu obtenir des performances très convenables par rapport à la littérature présentée dans le Chapitre 2. Cependant, la solution proposée manque encore d'optimisation sur ses composants élémentaires pour vraiment présenter des métriques compétitives par rapport à la littérature et au marché industriel. Ainsi, on observe par exemple que le TRMC est le plus haut relevé dans la littérature et le commerce pour un signal DC, mais qu'il chute très rapidement avec l'augmentation de la fréquence du signal.

À l'inverse, notre FAR présente des caractéristiques attractives, pas uniquement sur sa fonctionnalité, mais également sur ses performances.

Tableau 5.2 Performance du FAR en comparaison avec la littérature

Paramètre	**Ce travail (0.18 μm)**	**[31] (0.5 μm)**	**[30]**	**[33] (0.18 μm)**
VDD (V)	5	3	N/A	±0.5
Puissance (mW)	3.52	3.45	N/A	1.46
Type de contrôle	Continu	Continu	Discret	Discret
Technique de contrôle	CCCII	QFGMOS	MF-ACA	CCII + EOTA
Plage de contrôle (décades)	0.951	7	0.602	0.601
Coeur (mm^2)	0.67	0.02	N/A	N/A
Erreur de linéarité sur le contrôle (%)	0.32	N/A	11.2	0.2

La Section 4.3 met ainsi en avant le contrôle précis proposé par notre FAR. Lorsque que l'on considère la racine de l'erreur quadratique moyenne de 0.62 μA pour la SCCT, l'erreur moyenne en pourcentage absolu sur l'impédance parasite R_X de 0.32 % pour les CCIIs et l'erreur relative maximum de 1.127 % dans la bande passante, on voit bien que la réponse en fréquence du FAR peut être contrôlée avec une grande précision. En se comparant à la littérature présentée dans le Tableau 5.2, on voit que nous avons obtenu une bien meilleure linéarité du contrôle par rapport à [30], particulièrement si l'on considère que nous sommes à un niveau de simulation post-layout et non schéma. Si l'on se compare à [33], nous obtenons une linéarité de contrôle comparable, tout en augmentant la plage de contrôle relative de 58 %, encore une fois au niveau post-layout plutôt que schéma. Par rapport à [31], nous gagnons en versatilité puisque nous n'incluons pas de QFGMOS, et nous prenons soin de vérifier le bon comportement du circuit pour tous les corners de procédé et de température envisagés pour le fonctionnement. Une fois normalisée à une tension d'alimentation de 5 V, notre consommation de puissance est la meilleure parmi les circuits présentés ici. Il est également important de mentionner qu'implémenter le FAR avec des transistors conçus pour opérer par exemble à 1V plutôt que 5 V permettrait également d'améliorer significativement la consommation de puissance de ce dernier.

CHAPITRE 6 CONCLUSION

6.1 Synthèse des travaux

Ce manuscrit présente une structure innovante pour un AGP et un FAR destinés à une interface de capteurs HT pour une application industrielle en milieu hostile. Le circuit permet la conversion d'un signal dans un domaine de tension bipolaire ± 10 V vers un domaine de tension unipolaire 5 V, pour tout signal dans la bande de fréquences [DC ; 5 kHz]. Le niveau correspondant au 0 DC en sortie est reconfigurable à la volée grâce à l'application d'une tension de polarisation. Une attention particulière a été portée à la résilience de ce contrôle aux variations de procédé et de température, à l'aide d'un nouveau schéma de rétroaction basé sur un CCII et une SCCT.

Le système intègre également un FAR, afin d'éviter les problèmes de repliement de spectre liés à l'interfaçage du signal par un ADC. La fréquence de coupure de ce dernier est également reconfigurable de manière complètement intégrée, en modifiant le courant de polarisation des CCII du filtre, encore une fois à l'aide d'une tension de polarisation externe. Nous avons pu voir que la précision du contrôle de la fréquence de coupure du FAR est fidèle à l'équation mathématique théorique la modélisant, avec l'erreur par rapport à la théorie la plus faible reportée à ce jour dans la littérature.

La fonctionnalité du système a été assurée pour tous les extrema de procédé et sur l'entièreté de la plage de température [-40 °C ; 125 °C] envisagée.

6.2 Limitations de la solution proposée

Cependant, notre système n'est pas non plus sans ses limitations. On a ainsi notamment pu voir que la précision de l'AGP n'est pas particulièrement notable par rapport à la littérature et aux composants industriels. Similairement, l'impédance d'entrée et de sortie du système sont bonnes, mais ne sont pas particulièrement compétitives. Enfin, le TRMC de l'AGP est excellent au DC, mais décroit très rapidement lorsque la fréquence du signal augmente, passant sous les 50 dB à seulement 4900 Hz.

On a également pu observer que le contrôle de la fréquence de coupure du FAR est très précise et robuste par rapport aux variations de procédé, mais reste très vulnérable aux variations de procédé.

6.3 Améliorations futures

Afin de régler ces différents problèmes, plusieurs pistes d'améliorations sont évoquées ci-après.

Comme on a pu l'évoquer précédemment, la précision et linéarité de l'AGP, son TRMC et ses impédances d'entrée et de sortie sont limitées par la qualité des sous-circuits individuels le composant, comme c'est le cas pour les circuits conçus en mode-courant. Les améliorations suivantes sont envisagées pour l'AGP :

— Implémenter des AOP plus évolués permettra directement d'améliorer les performances de l'étage de sortie, avec un impact direct sur l'impédance de sortie, la précision et la linéarité du système. Des AOP à hachage, avec correction anticipée et filtre coupe-bande pour les bruits de hachage tels que présentés dans [25] semblent être d'excellents candidats.

— Améliorer les CCII HT d'entrée permettra également d'améliorer ces métriques. L'architecture choisie pour ces derniers a été choisie pour ses bonnes performances dans la littérature. Cependant, n'ayant encore jamais été envisagée pour la HT, il est tout à fait possible qu'une autre architecture se révèle être supérieure. Il serait bon de faire une étude comparative de plusieurs architectures pour la HT, en prenant soin d'optimiser chacune d'entre elles.

— Comme on a pu le voir, le transfert en courant des CCII se base sur leur courant de polarisation. La large plage d'entrée pour nos signaux nous force à imposer un fort courant de polarisation, pour pouvoir gérer l'entièreté de la plage de tension d'entrée. Cependant, nous avons pu voir dans nos travaux que le transfert en courant des CCII atteint son maximum de précision pour des courants dont l'amplitude est proche du courant de polarisation. Il est donc envisagé pour l'avenir d'imaginer un schéma de rétroaction modifiant de façon autonome le courant de polarisation de l'étage d'entrée afin de maximiser la précision des CCII HT. Une tel système devrait mesurer le courant induit dans le réseau de résistances de l'étage d'entrée, et ajuster la polarisation en conséquence.

— Il serait intéressant d'implémenter un retour de mode-commun (Common-Mode Feedback ou CMFB dans la littérature) afin d'améliorer le TRMC du système.

— On a également pu observer que le TRMC et l'impédance d'entrée de notre système n'évoluent pas de façon semblable à celle d'un AGP à AOP standard [24], comme on peut le voir sur la Figure 4.9 et la Figure 4.7. Il faudrait implémenter une architecture de CCII HT minimisant C_Y, pour déterminer à quel pont cela permettrait d'améliorer ces métriques.

— Il serait également bon de modifier la façon dont le réseau de résistances d'entrée

est interfacé avec les CCII HT. Dans l'état actuel des choses, la résistance parasite ajoutée par les interrupteurs HT est en série avec les résistances de gain, ce qui limite la précision du système lorsque l'amplitude et la fréquence du signal varient. Il faudrait implémenter un système similaire à celui présenté dans [12] et la Figure 2.11 pour rendre leur influence négligeable.

Enfin, il est nécessaire d'améliorer la tenue en température du FAR. À cette fin, on peut imaginer implémenter une rétroaction similaire à celle de l'étage de sortie aux SCCT du FAR, en introduisant également dans la rétroaction l'influence de la température sur l'impédance parasite R_X des CCIIs. Modifier l'architecture est également une possibilité. L'idéal serait d'obtenir un contrôle linéaire sur la fréquence de coupure, ce qui faciliterait grandement le dimensionnement des éléments ayant une influence sur la plage de reconfigurabilité de la fréquence de coupure du FAR, comme on a pu le voir dans la Section 5.5.

RÉFÉRENCES

[1] J. G. Hayes et G. A. Goodarzi, *Electric Powertrain : Energy Systems, Power Electronics and Drives for Hybrid, Electric and Fuel Cell Vehicles.* Hoboken, NJ : Wiley, 2018.

[2] "Sources of greenhouse gas emissions," US EPA, juin 2024. [En ligne]. Disponible : https://www.epa.gov/ghgemissions/sources-greenhouse-gas-emissions

[3] N. Watts *et al.*, "The 2018 report of the lancet countdown on health and climate change : shaping the health of nations for centuries to come," *The Lancet*, vol. 392, nº. 1, 2018.

[4] M. Ali *et al.*, "A versatile soc/sip sensor interface for industrial applications : Design considerations," communication présentée à IEEE 31 International Conference on Microelectronics (ICM), Cairo, Egypt, 15-18 December 2019. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/9021286

[5] ——, "A versatile soc/sip sensor interface for industrial applications : Implementation challenges," communication présentée à IEEE Access, 25 February 2022. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/9721533

[6] S. Mirfakhraei, "A wide dynamic range programmable isolation voltage amplifier based on a hall effect sensor," thèse de doctorat, Dép. de génie électrique, École Polytechnique de Montréal, Montréal, QC, 2021. [En ligne]. Disponible : https://publications.polymtl.ca/9474/

[7] G. Chen *et al.*, "Topology-reconfigurable fault-tolerant llc converter with high reliability and low cost for more electric aircraft," *IEEE Transactions on Power Electronics*, vol. 34, nº. 3, p. 2479–2493, juin 2019. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/8387453

[8] C. Toumazou, F. J. Lidgey et D. G. Haigh, *Analog IC Design : The Current-Mode Approach.* Londres, Royaume-Uni : Institution of Electrical Engineers, 1996.

[9] M. Akbari, "High signal-to-noise ratio successive approximation analog-to-digital converters," thèse de doctorat, Dép. de génie électrique, École Polytechnique de Montréal, Montréal, QC, 2022. [En ligne]. Disponible : https://publications.polymtl.ca/10486/

[10] STMicroelectronics. (2019) Adc120 datasheet. [En ligne]. Disponible : https://www.st.com/en/data-converters/adc120.html

[11] Texas Instruments Inc. (2019) Ads8167 datasheet. [En ligne]. Disponible : www.ti.com/product/ADS8167

[12] Analog Devices. (2024) Programmable gain amplifiers design handbook. [En ligne]. Disponible : https://www.analog.com/media/en/training-seminars/design-handbooks/system-applications-guide/Section3.pdf

[13] M. S. de Deus *et al.*, “A review on variable and programmable gain amplifiers and applications,” *Journal of Integrated Systems and Circuits*, vol. 17, n°. 1, avr. 2022. [En ligne]. Disponible : https://jics.org.br/ojs/index.php/JICS/article/view/583

[14] S.-Y. Kang, S.-T. Ryu et C.-S. Park, “A precise decibel-linear programmable gain amplifier using a constant current-density function,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, n°. 9, p. 2843–2850, sept. 2012. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/6244819

[15] J. Xiao, I. Mehr et J. Silva-Martinez, “A high dynamic range cmos variable gain amplifier for mobile dtv tuner,” *IEEE Solid-State Circuits*, vol. 42, n°. 2, p. 292–301, févr. 2007. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/4077179

[16] H. F. Baghtash, “A 37-μw, binary-weighted pga based on a novel degeneration transistor-ladder,” *IEEE Transactions on Circuits and Systems - II*, vol. 65, n°. 1, p. 36–40, févr. 2017. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/7867046

[17] G.-H. Park, J. H. Kim et C. S. Park, “Low-power decibel-linear programmable-gain amplifier with complementary current-switching technique,” *IEEE Transactions on Circuits and Systems - I*, vol. 70, n°. 5, p. 1846–1855, févr. 2023. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/10040240

[18] Y. Yin *et al.*, “Simultaneous bandwidth-extended and precisely-gain-controlled db-linear pga based on active feedback and binary-weighted switches,” *IEEE Transactions on Circuits and Systems - II*, vol. 69, n°. 12, p. 4729–4733, déc. 2022. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/9881580

[19] H. Liu *et al.*, “Cell-based variable-gain amplifiers with accurate db-linear characteristic in 0.18 μm cmos technology,” *IEEE Solid-State Circuits*, vol. 50, n°. 2, p. 586–596, déc. 2014. [En ligne]. Disponible : https://ieeexplore.ieee.org/abstract/document/6975257

[20] M. Liu *et al.*, “Design of programmable gain amplifier with accurate gain,” communication présentée à 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Guilin, China, 28-31 octobre 2014. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/7021571

[21] D. R. Belfort *et al.*, “Programmable analog signal conditioning circuit for integrated systems,” communication présentée à IEEE Instrumentation and Measurement Technology Conference, Victoria, BC, Canada, 12-15 May 2008. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/4547346

[22] H. Zhang *et al.*, “A switched-capacitor programmable-gain amplifier for high-definition video analog front-ends,” communication présentée à IEEE 11th International Conference on Solid-State and Integrated Circuit Technology, October 2012. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/6467876

[23] L.-S. Wang *et al.*, “A 40.4-db range, 0.73-db step, and 0.07-db error programmable gain amplifier using gain error shifting technique,” *IEEE Transactions on Circuits and Systems - II*, vol. 66, n°. 7, p. 1109–1113, oct. 2018. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/8516389

[24] Texas Instruments Inc. (2023) Pga855 datasheet. [En ligne]. Disponible : https://www.ti.com/lit/ds/symlink/pga855.pdf?ts=1710146346122&ref_url=https%253A%252F%252Fwww.mouser.com%252F

[25] V. Schaffer *et al.*, “A 36 v programmable instrumentation amplifier with sub-20 μv offset and a cmrr in excess of 120 db at all gain settings,” *IEEE Solid-State Circuits*, vol. 44, n°. 7, p. 2036–2046, juin 2009. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/5109796

[26] I. Corbacho *et al.*, “Wide-bandwidth electronically programmable cmos instrumentation amplifier for bioimpedance spectroscopy,” *IEEE Access*, vol. 10, n°. 1, p. 95 604–95 612, sept. 2022. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/9878300

[27] R. J. Baker, *CMOS : Circuit Design, Layout and Simulation.* Hoboken, NJ : Wiley, 2019.

[28] W. Storr. (2023) Sallen and key filters. [En ligne]. Disponible : https://www.electronics-tutorials.ws/filter/sallen-key-filter.html

[29] M. A. Al-Absi, E. S. Al-Suhaibani et M. T. Abuelma’tti, “A new controllable cmos impedance scaler,” communication présentée à IEEE 13th SSD International Multi-Conference on Systems, Signals and Devices, Mars 2016. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/7473774

[30] J. Dvorak *et al.*, “Electronically tunable fractional-order low-pass filter with current followers,” communication présentée à IEEE 39th International Conference on Telecommunications and Signal Processing (TSP), Décembre 2016. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/7760949

[31] C. Muniz-Montero, A. Diaz-Sanchez et R. Gonzalez-Carvajal, “A very compact khn filter with multidecade tuning,” communication présentée à IEEE 18th European Conference on Circuit Theory and Design, ECCTD, Août 2007. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/4529532

[32] U. Gupta *et al.*, “Low supply qfgmos cccii with low-pass and high-pass filter applications,” communication présentée à IEEE 3rd International Conference on

Intelligent Technologies (CONIT), Juin 2023. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/10205701

[33] K. Kaewdang, “Electronically tunable current-mode all-pass filter based on single second-generation current-controlled current conveyor,” communication présentée à IEEE 5th Eurasia Conference on IOT, Communication and Engineering (ECICE), Janvier 2023. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/10383130

[34] A. Fabre et M. Alami, “Universal current mode biquad implemented from two second generation current conveyors,” *IEEE Transactions on Circuits and Systems I*, vol. 42, n°. 27, p. 383–385, juill. 1995. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/401151

[35] K. C. Smith et A. Sedra, “The current conveyor-a new circuit building block,” *Proceedings of the IEEE*, vol. 56, n°. 8, p. 1368–1369, août 1968. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/1448521

[36] A. Sedra et K. C. Smith, “A second-generation current conveyor and its applications,” *IEEE Transactions on Circuits Theory*, vol. 17, n°. 1, p. 132–134, févr. 1970. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/1083067

[37] D. Moro Frías, “Design and applications of cmos current conveyors,” mémoire de maîtrise, Dép. de génie électrique, National Institute for Astrophysics, Optics and Electronics, Tonantzintla, Mexique, 2008. [En ligne]. Disponible : https://inaoe.repositorioinstitucional.mx/jspui/bitstream/1009/543/1/MoroFD.pdf

[38] A. Safarpour *et al.*, “Speed-power improvement in high-voltage switches employed in multielectrode arrays,” *IEEE Transactions on Circuits and Systems - II*, vol. 69, n°. 7, p. 3139–3143, juill. 2022. [En ligne]. Disponible : https://ieeexplore.ieee.org/document/9739799

[39] Analog Devices. (2003) A beginner’s guide to filter topologies. [En ligne]. Disponible : https://www.analog.com/en/resources/technical-articles/a-beginners-guide-to-filter-topologies.html

ANNEXE A PLAN DE TEST DE LA PUCE

Test procedure for XT018 Programmable Gain Amplifier & Anti-Aliasing Filter

timothee.trembly@outlook.com - +33(0)6.63.51.60.14

TREMBLY Timothée

GR2M - VairCRAFT

Polytechnique Montréal

Canada

23 août 2024

Contents

1 Introduction **77**

2 General information **77**
2.1 Ground and supply levels . . . 77
2.2 Glossary . . . 77

3 IC pinout and architecture **78**

4 Test PCB overview **82**

5 Test plan **86**
5.1 A first test to ensure enverything is functional . . . 86
5.2 DFT debugging . . . 86
5.2.1 Probing the HV input stage . . . 86
5.2.2 Probing the AAF . . . 88
5.2.3 Probing the output stage . . . 88
5.3 Caracterization tests . . . 89
5.3.1 Gain accuracy and non-linearity under nominal conditions . . . 89
5.3.2 Gain drift as a function of temperature . . . 90
5.3.3 AC frequency response . . . 90
5.3.4 AAF bias current source invariance w.r.t temperature . . . 90
5.3.5 Output stage bias current source invariance w.r.t temperature . . . 90
5.3.6 Differential input impedance . . . 91
5.3.7 Output impedance . . . 91
5.3.8 THD . . . 91
5.3.9 PSSR . . . 92
5.3.10 CMRR . . . 92
5.3.11 Power consumption . . . 92
5.3.12 Drive capabilities . . . 93
5.3.13 Resistance to supply variations . . . 93

List of Figures

1 IC pinout 78
2 IC pinout diagram 78
3 IC wire-bonding (PGA69 casing) 79
4 IC block diagram 80
5 DFT stage 81
6 PCB - Power supplies & Inputs 82
7 PCB - IC 83
8 PCB - Outputs & DFT 84
9 HV input stage 87
10 AAF stage 88
11 Output stage 89

1 Introduction

This document serves as a comprehensive guide outlining test protocols tailored specifically for the IXTPM-POG IC segment dedicated to the ANIV interface. Within this IC segment, focus is placed on the Programmable Gain Amplifier (PGA) and Anti-Aliasing Filter (AAF), integral components designed to optimize performance within the ANIV interface.
The document is organized as follows:

1. General information
2. IC Pinout & default configuration
3. Tests to perform & debugging

2 General information

The IC is engineered as a versatile sensor interface, capable of dynamically adjusting signal scaling within the ± 10 V range to a 5 V range across frequencies from DC to 5 kHz. Positioned post-isolation to shield against high-voltage (HV) common-mode interference, and pre-high-resolution ADC, its primary objective is to seamlessly bridge the isolated signal with the ADC, ensuring minimal loss of information.

N.B.: This document concentrates on delineating the test procedures pertinent to the IC. For a deeper understanding of the operational intricacies of the IC, kindly consult the associated documentation.

N.B.: The proposed IC is fully differential. Any time an instruction specify an assymetric behavior between the IN+ and the IN- pin (or the OUT+ and OUT- pins), feel free to take whichever one works better, or exhibits better results. Standard procedure is to apply input voltage on the IN+ pin whilst grounding the IN- pin, and to observe the result on the OUT- pin to reduce the effect of DFT as much as possible.

2.1 Ground and supply levels

The IC operates across various supply voltage levels. The input stage relies on a bipolar HV supply, specifically ± 12.5 V, tailored to accommodate the utilization of 25 V transistors. Additionally, a secondary HV supply at -7.5 V is incorporated primarily for startup circuits.
The intermediary circuits, notably the AAF, are powered by a ±2.5 V supply to handle low-voltage information transmission. Majority of the control circuits, particularly the VCCS, and the output stage, function on a 5 V unipolar supply, aligning with the desired output operational range.

2.2 Glossary

- AAF: Anti-Aliasing Filter
- PGA: Programmable Gain Amplifier
- VCCS: Voltage-Controlled Current Source
- HW: Handle Wafer

3 IC pinout and architecture

Pin name	Package pin number	Type	Description	Nominal value (V)	Recommended range (V)
AVDD_HV		Power	HV positive supply	12.5	N/A
AVSS_HV		Ground	HV negative supply	-12.5	N/A
AVSS_HV_+5		Power	HV secondary startup supply	-7.5	N/A
AVDD_AAF_LV		Power	LV bipolar positive supply	2.5	N/A
AVSS_AAF_LV		Ground	LV bipolar negative supply	-2.5	N/A
VDDOR_5V_bipolar		Power	LV bipolar ESD supply	2.5	N/A
AVDD_LV		Power	LV unipolar supply	5	N/A
GND		Ground	LV unipolar negative supply	0	N/A
VDDOR_5V_unipolar		Power	LV unipolar ESD supply	5	N/A
IN+		Analog input	HV input to the system	N/A	±10
IN-		Analog input	HV input to the system	N/A	±10
Vbias_AAF		Analog input	Control signal to the cutoff frequency of the AAF	1.5	[0 ; 5]
Vbias_output		Analog input	Control signal for the DC level of the output	-1	[-2.5 ; 2.5]
off_drive_1		Analog input	Control signal for the HV switch #1	7.5	{7.5 ; 12.5}
off_drive_2		Analog input	Control signal for the HV switch #2	7.5	{7.5 ; 12.5}
on_drive_1		Analog input	Control signal for the HV switch #1	12.5	{7.5 ; 12.5}
on_drive_2		Analog input	Control signal for the HV switch #2	12.5	{7.5 ; 12.5}
OUT+		Analog output	LV output to the system	N/A	[0 ; 5]
OUT-		Analog output	LV output to the system	N/A	[0 ; 5]
drive_DFT_HV_AAF		Digital input	Control signal for the DFT between the HV input stage and the AAF	-2.5	{-2.5 ; 2.5}
DFT_in_HV_AAF		Analog output	Input/Output #1 for the DFT between the HV input stage and the AAF	N/A	[-2.5 ; 2.5]
DFT_out_HV_AAF		Analog output	Input/Output #2 for the DFT between the HV input stage and the AAF	N/A	[-2.5 ; 2.5]
drive_DFT_AAF_OpAmp		Digital input	Control signal for the DFT between the AAF and the output stage	-2.5	{-2.5 ; 2.5}
DFT_in_AAF_OpAmp		Analog output	Input/Output #1 for the DFT between the AAF and the output stage	N/A	[-2.5 ; 2.5]
DFT_out_AAF_OpAmp		Analog output	Input/Output #2 for the DFT between the AAF and the output stage	N/A	[-2.5 ; 2.5]
drive_DFT_OpAmp_output_bias		Digital input	Control signal for the DFT between the output stage and its bias stage	-2.5	{-2.5 ; 2.5}
DFT_in_OpAmp_output_bias		Analog output	Input/Output #1 for the DFT between the output stage and its bias stage	N/A	[-2.5 ; 2.5]
DFT_out_OpAmp_output_bias		Analog output	Input/Output #2 for the DFT between the output stage and its bias stage	N/A	[-2.5 ; 2.5]

Figure 1: IC pinout

In the absence of specific configuration instructions, it is understood throughout the remainder of this document that the IC should adhere to the aforementioned configuration.

<u>N.B.:</u> Handle Wafer (HW) biasing is handled through the AVSS_HV pin. Given that the other half of the IXTPMPOG IC also tries to bias the HW through one of its dedicated pins, it's important to exercise caution when handling these pins. It is imperative, especially on any testbench setup, to prevent conflicting voltage inputs to the HW by ensuring coherence between the pins of both sections of the IC.

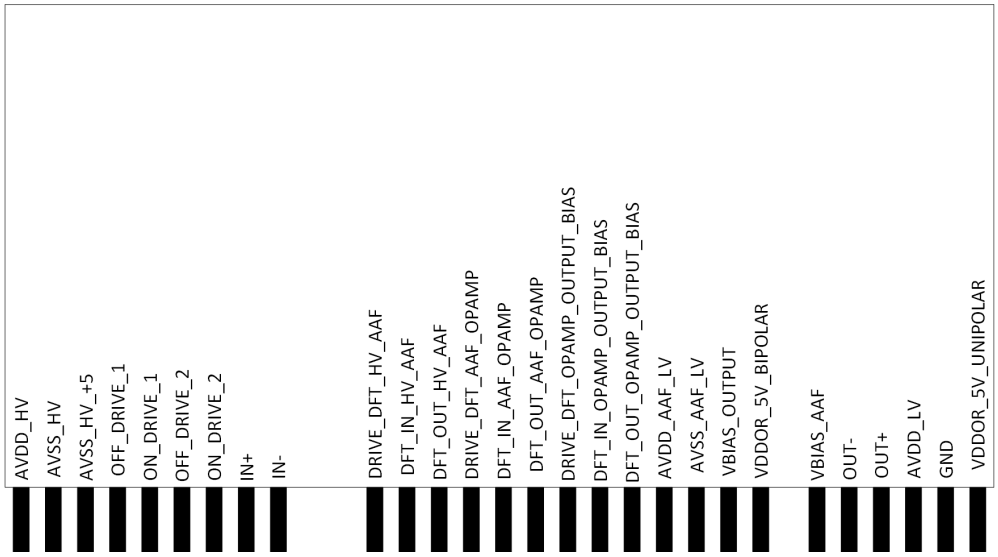


Figure 2: IC pinout diagram

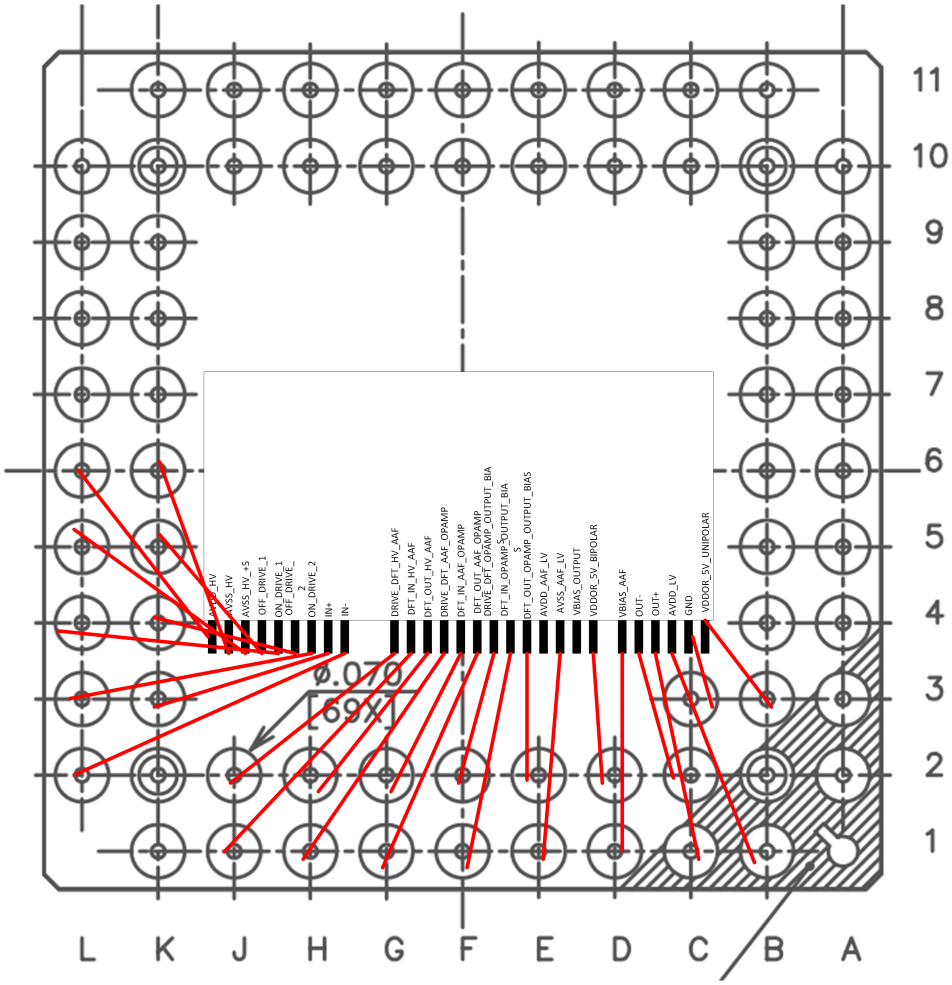


Figure 3: IC wire-bonding (PGA69 casing)

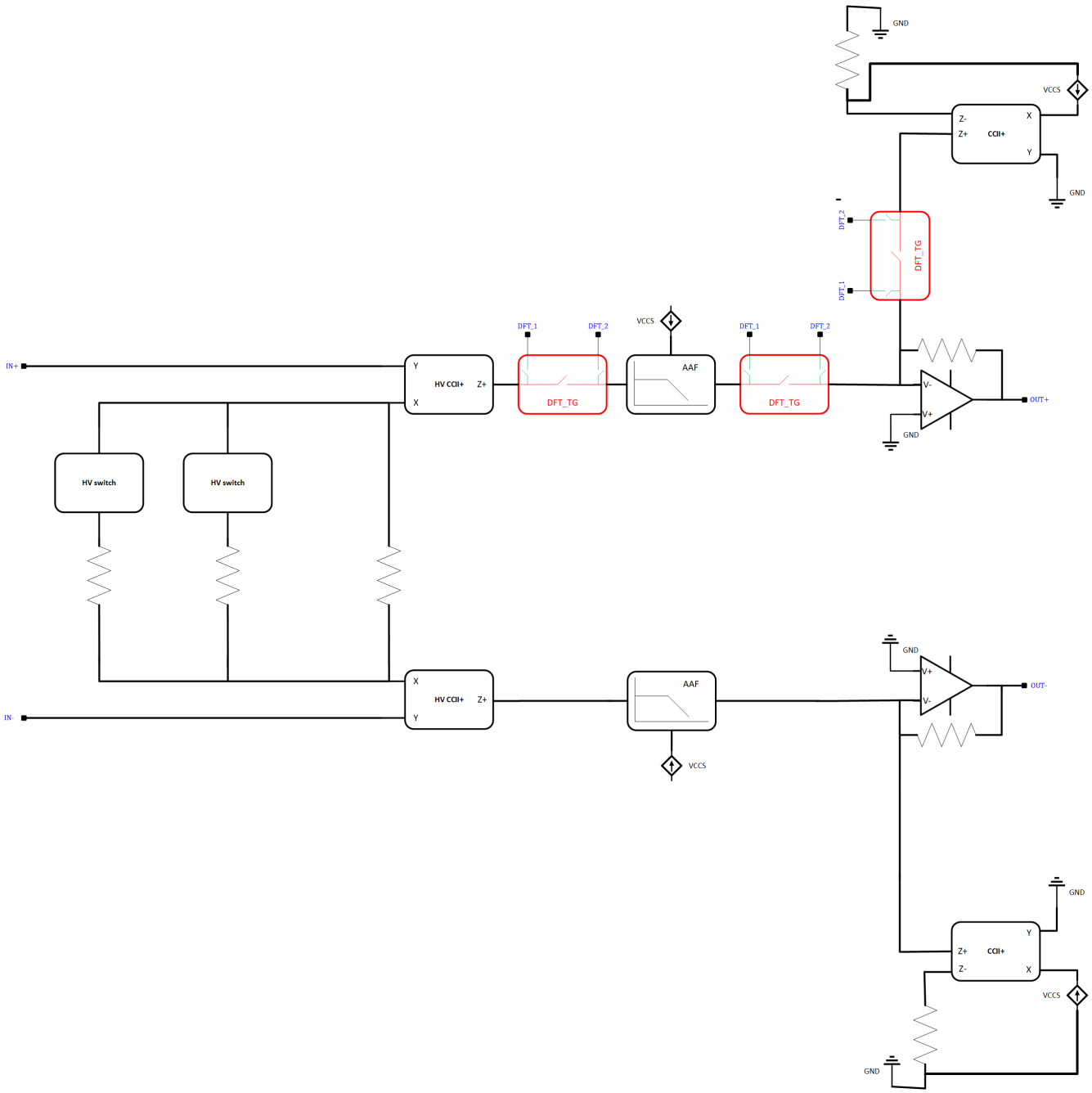


Figure 4: IC block diagram

Figure 4 presents the architecture of the IC. It is a linear chain of acquisition, with three different stages.

- The first stage is composed of a HV Second-Generation Current Conveyor (HV-CCII), and of HV switches. Any voltage applied to the Y-input pin of the HV-CCII is reported to the X-input pin. Conversely, any current flowing in the X-input pin is mirrored and also flows in the Z-output pin. Y and Z are ideally infinite impedance pins, and X is ideally a null-impedance pin.
- Using a network of matched resistors, we convert our HV input voltage to current, and convey this current to the next stage through the HV-CCII.
- The on_drive_X and off_drive_X pins are used in conjunction, i.e. on_drive_1 and off_drive_1 work together. If on_drive_1 = 12.5 V, off_drive_1 = 7.5 V, and conversely. If on_drive_X = 12.5 V, the associated switch is open, otherwise it is closed.
- You can use these pins to drive the HV switches, and add resistors in parallel in the network to modify the gain of the system.
- The second stage is a current-mode AAF, with a VCCS controlling its bias current. You can use the Vbias_AAF pin to modify the bias current of the AAF, and consequently its cutoff frequency. Do note that the bias current need to be at least equal to the current at the input of the AAF in order for it to work properly.
- The third stage is OpAmp-based, and reverts back the current input to a voltage output. It also uses a secondary subcircuit based on a low-voltage current conveyor (CCII) and a VCCS to control the DC output level using the Vbias_output pin.
- As one can see on Figure 4, the system is fully differential. We implemented DFT on the upper path in order to add testability, and left the lower path as a reference path.
- DFT is implemented as a network of transmission gates, as represented on Figure 5. Using the drive_DFT_X and DFT_in_X and DFT_out_X, one can either keep the signal path as is, or open the path between two consecutive stages, and access separately the output of the first stage and the input of the second stage.
- Applying -2.5 V on the drive_DFT_X pin keeps the signal path closed, and applying 2.5 V opens it.
- The pin referenced as DFT_1 on Figure 5 is the pin DFT_in_X. Similarly, the pin referenced as DFT_2 is the pin DFT_out_X.

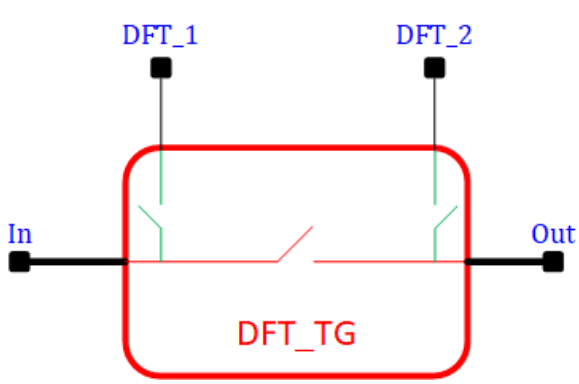


Figure 5: DFT stage

4 Test PCB overview

This section describes how the test PCB for the IC is envisioned. Complete schematics of the PCB is provided. The layout of said PCB was delayed in order to make time for more important prospects. However, the Altium project for this PCB is provided alongside this document, so that it should be very straightforward to complete it.

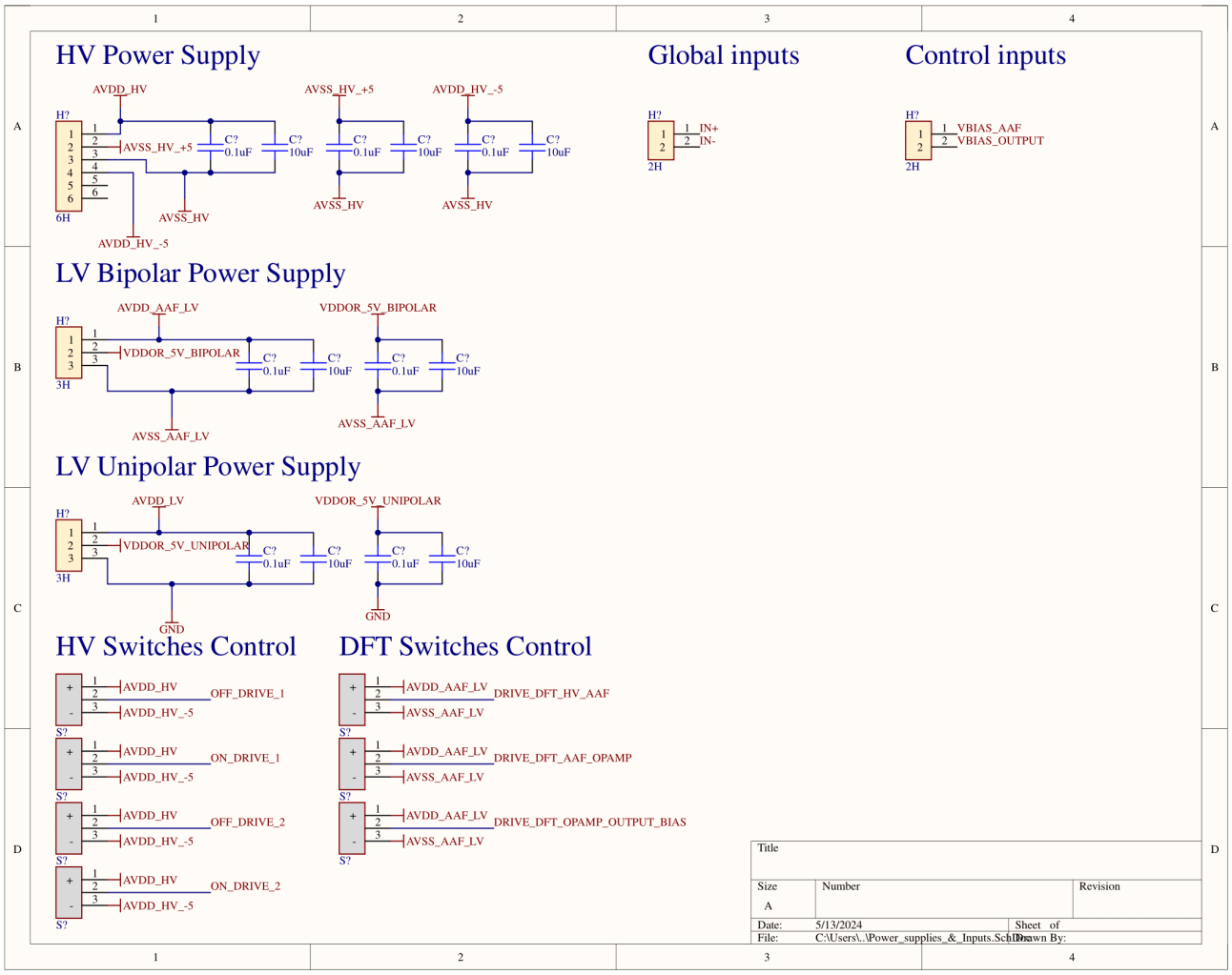


Figure 6: PCB - Power supplies & Inputs

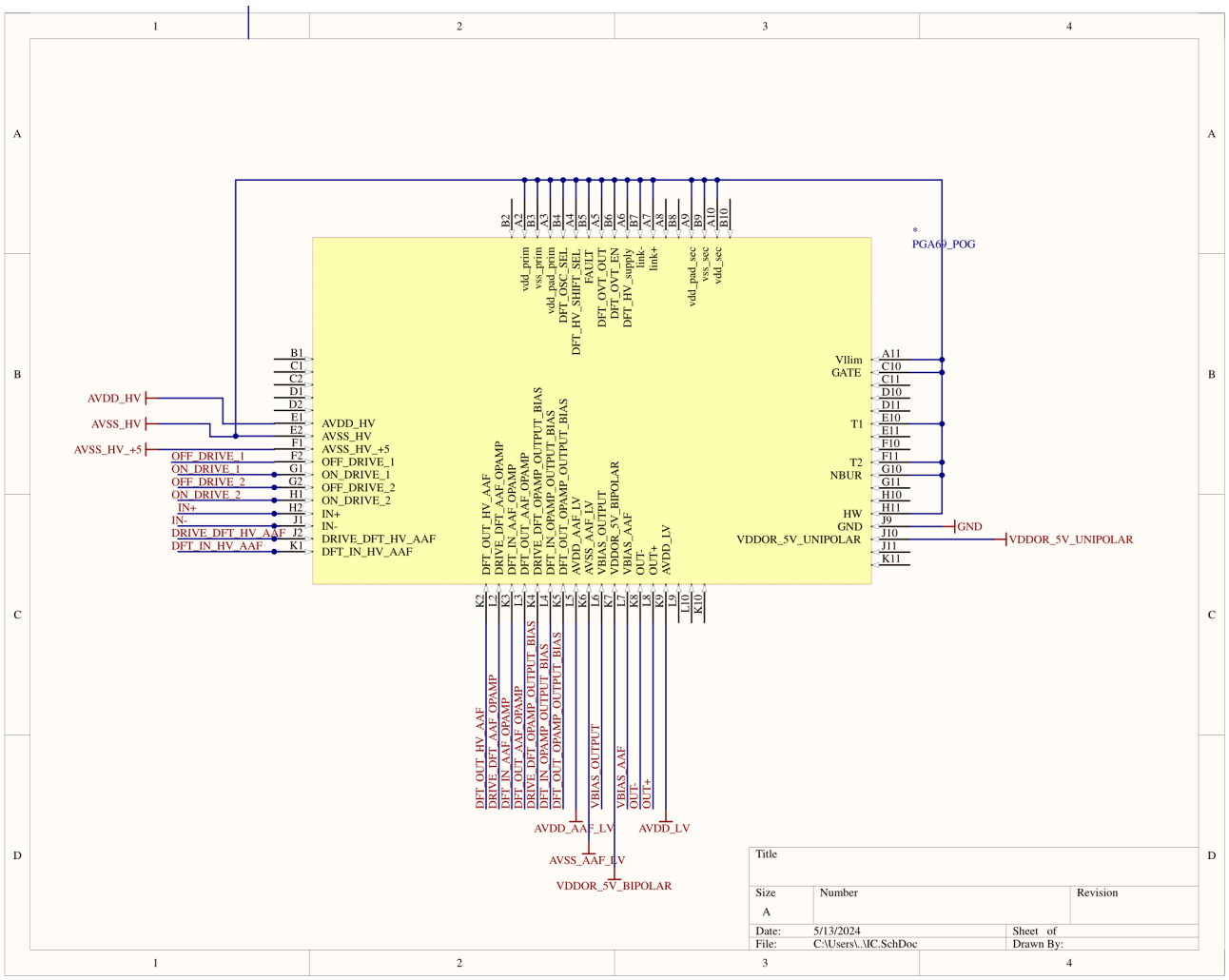


Figure 7: PCB - IC

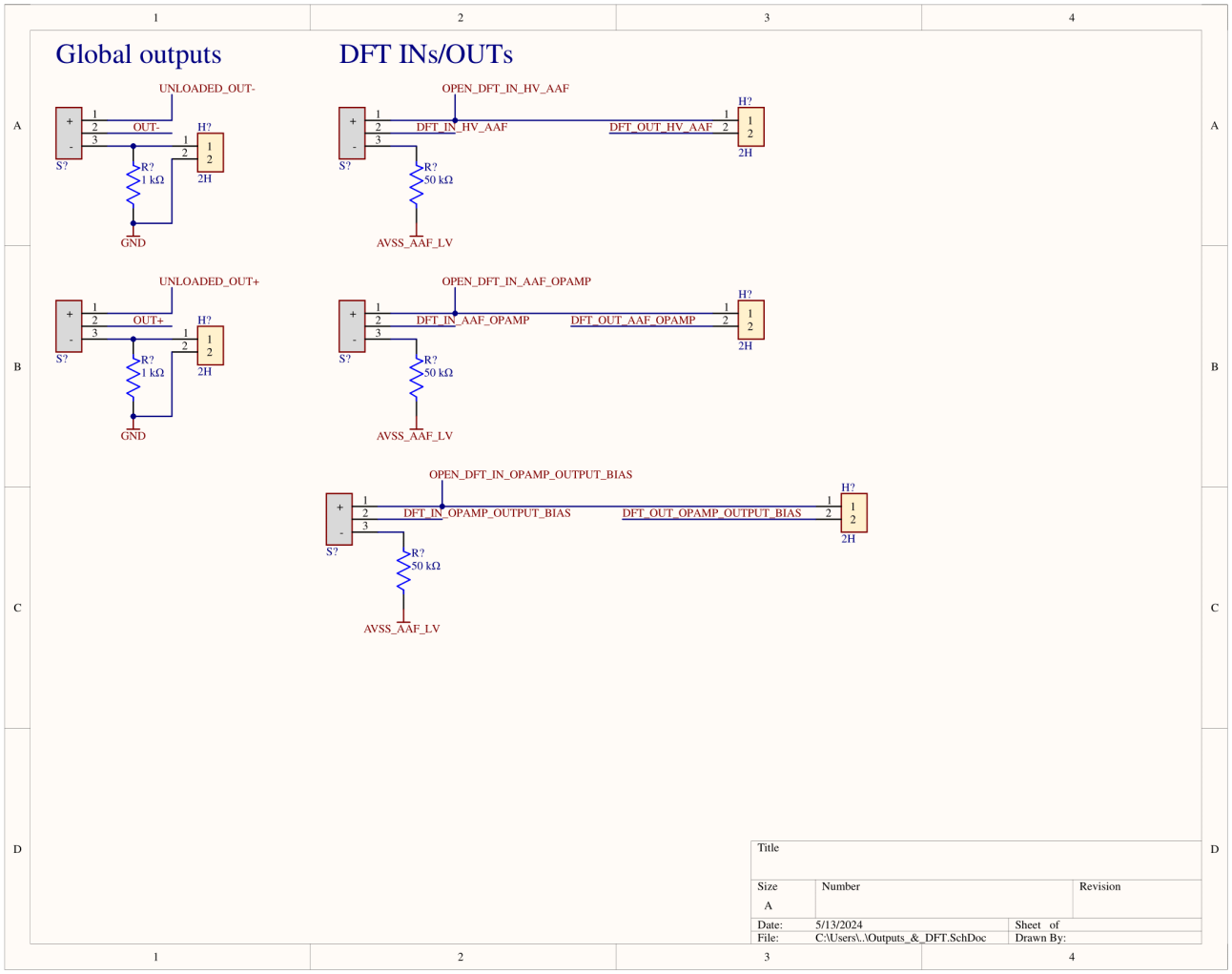


Figure 8: PCB - Outputs & DFT

A few information of note regarding the PCB:

- In Figure 6, dedicated switches for the DFT and HV functions are visible. Whenever reference is made to these switches throughout the document and the reader is prompted to adjust pin voltages accordingly, it can be effortlessly accomplished using these PCB switches.
- In Figure 8, additional headers are visible on the global outputs of the IC in the loaded configuration. These headers are meant to be female headers, used to add in parallel to the resistive load a capacitive load using through-hole components. This is particularly useful for the test described in subsection 5.3.12.

5 Test plan

5.1 A first test to ensure enverything is functional

The goal of the first test is to ensure there were no problems during fabrication, and that the IC is behaving properly.
You can simply use the configuration of Figure 1. Test procedure is as follows:

1. Power up all supply pins.
2. Apply the recommended bias voltage on the Vbias_AAF and Vbias_output pins.
3. Ground both inputs. Observe the DC voltage level on both OUT+ and OUT- pins. Tweak the value of the Vbias_output pin to fix the DC output level to 2.5 V (recommended), or any value you wish to keep as your baseline.
4. Now that the output DC level is fixed, you can start applying a signal at the input. I recommend starting by grounding either IN+ or IN-, and applying the signal solely on the other input.
5. Apply a DC signal in the $\pm$ 10 V range. I recommend trying both positive and negative values. For instance {-10, -8, -1, -200m, 200m, 1, 8, 10} looks like a reasonable set of values. The IC works both in DC and AC, so I would recommend to try this set of values at least at DC, and as the amplitude of a sine wave of frequency 5 kHz (which is the maximum expected frequency at the input).
6. In this configuration, you should observe at any output your input signal, but centered around 2.5 V, with a gain factor of 0.25.

5.2 DFT debugging

If you are reading this, either the IC is not working as intended, or you would like to further caracterize one or multiple stages of the system. This section details the DFT backups I implemented to try and circumvent hopefully any problem that could show up. The IC is designed as a linear chain of acquisition, meaning that in the event of a failure, we are going to check every stage one after the other, to determine where the problem is coming from.
Every DFT structure is designed the same. It is a structure with 3 transmission gates, as presented in Figure 5. In the default configuration state, the TG in the middle is closed, and the two other ones are open. Switching the control voltage from -2.5 V to 2.5 V opens the TG in the middle, and closes the 2 other ones, allowing you to probe intermediate signals, and potentially to entirely bypass the problematic stages if need be.

5.2.1 Probing the HV input stage

Test procedure is as follows:

1. Switch the voltage on the drive_DFT_HV_AAF pin from -2.5 V to 2.5 V. Instead of feeding into the AAF, the HV input stage will now feed its output to the associated subcircuit on the test PCB. You can use the associated switch on the PCB to either monitor it through a shunt resistor, or have direct access to the output current.
2. The HV input stage is essentially a current conveyor, to convert the voltage at the input to a current. Current at the output is always low-voltage (verified in Cadence). However, since you are supposedly verifying if there are design malfunctions, I would advise to still take precautions considering that the supply and the input are HV.

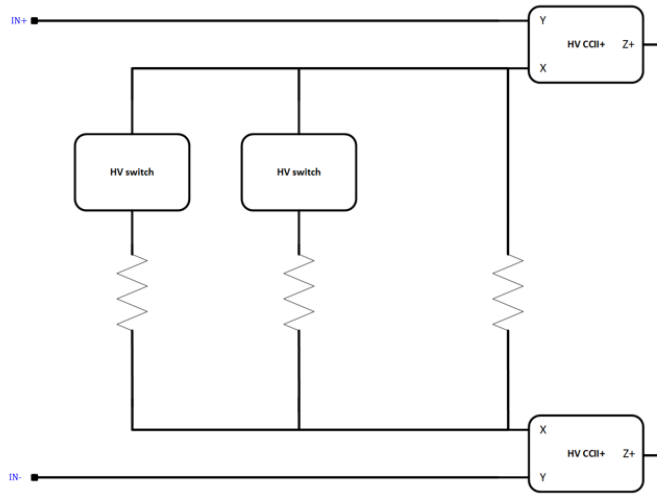


Figure 9: HV input stage

3. You do not have access to the bias circuits of the HV CCII, nor do you have access the X-input. You only have access to the Y-input (which is the input pin IN+/IN-), and to the Z+ output thanks to DFT.

4. First, apply an input signal to the IN+ pin. I suggest starting with a sine wave of amplitude 1 V, and frequency 5 kHz. The Z+ output can be considered as an almost ideal current source, so you should be able to drive whatever you would like with it.

5. Use the PCB shunt resistor as a load, and monitor the current at the output of the stage. The amplitude of what you are observing should be in accordance to Ohm's law, with R = 300.2363 kΩ.

6. Depending on what you see, try modifying the value of the resistive element using the off_drive_1, off_drive_2, on_drive_1 and on_drive_2 pins. off_drive_1 and on_drive_1 work together. The same is true for off_drive_2 and on_drive_2.

7. If you apply 7.5 V on off_drive_1 and 12.5 V on on_drive_1, it adds a 185.3619 kΩ resistor in parallel with the initial 300.2363 kΩ resistor. As a result, the equivalent resistor should be approximately 114.606 $k\Omega$.

8. Similarly, if you apply 7.5 V on off_drive_2 and 12.5 V on on_drive_2, it adds a 24.003 kΩ resistor in parallel. If you add the 2 resistors in parallel, it adds up to a 19.846 kΩ resistor. If you only add the second one, it adds up to a 22.226 kΩ resistor.

9. You do not have access to the internal bias elements of the input stage, hence you cannot fix the error even if you identify it. You can keep the DFT configuration to bypass the stage if need be, or adjust your expectations according to what you observed.

10. If you choose to bypass the stage, do note that the AAF expect a **current** input.

5.2.2 Probing the AAF

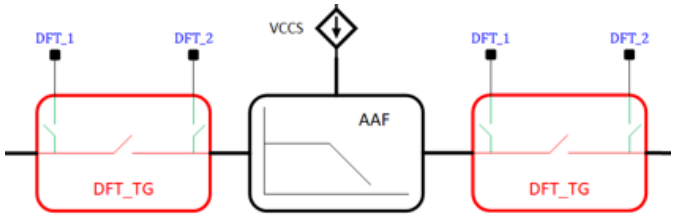


Figure 10: AAF stage

From now on, every stage is LV, so you do not have to take any additional precautions regarding voltage levels. Using the previous DFT block, as well as the one after the AAF, you are able to isolate the AAF to caracterize it, or in this case debug it. If you want to debug the stage, test procedure is as follows:

1. Inject a 10 μA DC current signal in the filter. Verify using the associated shunt resistor on the PCB that you indeed can still observe the same signal at the output.
2. Increase the amplitude of the input DC current, up to the point where the filter saturates.
3. Increasing the value of the bias voltage, i.e. of the Vbias_AAF pin will linearly increases the amount of current the filter can convey before saturating. Sweep Vbias_AAF from 0 to 5 V to verify the value of the applied bias current for any given setting. This is equivalent to the maximum value (or amplitude -not peak-to-peak- in case of AC input) the filter can take as an input. If the filter saturates, it can be one of the reasons it is not working.
4. Switch to an AC input, of frequency up to 5 kHz. Verify that the behavior of the filter remains the same (for the saturation limit). The cutoff frequency of the filter should always be well above 5 kHz by design.
5. Perform an AC analysis of the filter to determine its frequency response.
6. As for the previous stage, DFT also allows you to bypass the AAF entirely if need be.

5.2.3 Probing the output stage

Again, you can similarly bypass previous stages using previous DFT blocks to directly access the output stage. Do not forget that the output stage also expects a **current** input. You cannot access the OpAmp by itself, it is literaly everywhere in both designs of the IXTPMPOG IC, and has been extensively verified in simulation. There is no reason it should not be working, especially considering the low frequency requirement here. Using DFT, you have instead access to the bias subcircuit, in charge of fixing the DC output level. You can use DFT to test this separately, and to also alternatively supply your own bias current. Do note that in this case, you have to **sink** current from the node. Test procedure is as follows:

1. Disconnect the bias circuit using DFT.
2. Using the external PCB shunt resistor, verify that you are indeed sinking current into the Z+ pin.
3. Sweep the Vbias_output pin from 0 to 5 V. Verify that the generated current linearly increases accordingly.

This concludes this first battery of tests, designed to verify that the IC behaves as expected and isolate subcircuits. We will now move on to more fundamental tests, to further caracterize the IC.

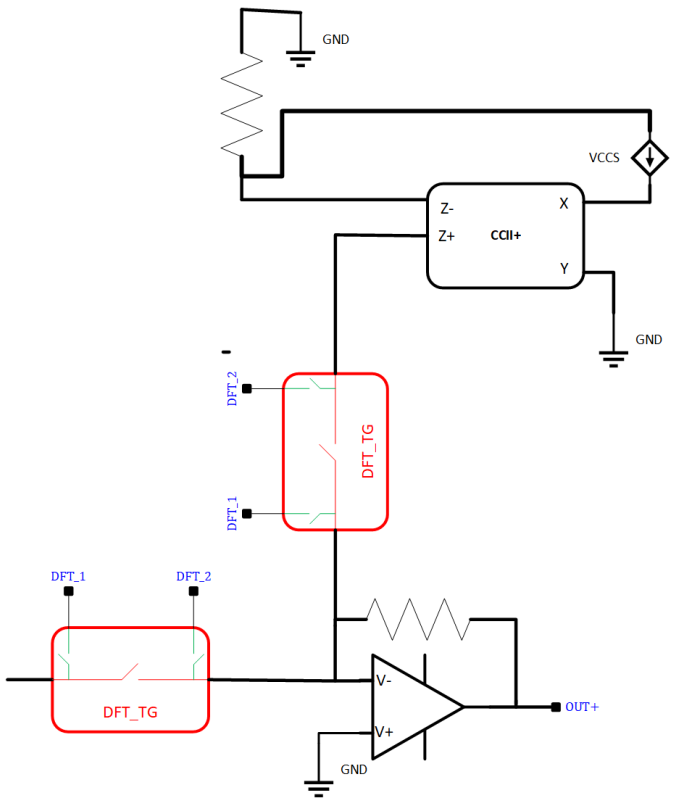


Figure 11: Output stage

5.3 Caracterization tests

5.3.1 Gain accuracy and non-linearity under nominal conditions

Expected gain for the different gain settings is 0.25, 1 and 4. Start with a gain of 0.25, which is obtained using the default pin configuration as presented in Figure 1. Test procedure is as follows:

1. Ground both inputs of the IC, and use the Vbias_output pin to stabilize the DC output as close to 2.5 V as possible, to ensure full-range operation even with ± 10 V at the input. If this proves hard to achieve for any reason and you still wish to caracterize the full range of operation, you can raise the supply pin AVDD_LV to 5.2 V or 5.3 V to make your life easier. Do take it into account when reporting your results. It should have close to no impact, but one can never be too careful.

2. Once your DC output level is fixed, start with a 5 kHz sine wave of amplitude 10 V, and report the exact value observed for the gain.

3. Progressively reduce the amplitude down to 0 V, taking as many points as necessary along the way.

4. Plot the gain as a function of input voltage.

5. Repeat the process for a gain of 1 and 4, with an input amplitude ranging respectively from 0 V to 2.5 V and 0 V to 0.625 V.

6. Repeat the process for a sine wave of frequency 50 Hz and 500 Hz. If switching decades cause a noticeable shift in gain accuracy and/or nonlinearity, I would advise to try and caracterize it, as I did not observe a significant nonlinearity as a function of frequency in simulation.

7. Repeat the whole process with a DC input.

5.3.2 Gain drift as a function of temperature

Once the test from subsection 5.3.1 has been performed, use whatever cooling/heating system available to vary the IC temperature between -40 °C and 125 °C. I would advise to monitor at least -40 °C, 27 °C and 125 °C. One could also look into the -10 °C to 85 °C range, as it is still relevant, and from the simulations holds only a minimal part of the gain temperature drift. Under these new conditions, perform again the test detailed in subsection 5.3.1.

5.3.3 AC frequency response

Start from the standard IC configuration presented in Figure 1, for which you supposedly already reported the gain accuracy and non-linearity. Again, start by grounding both inputs, and define your DC output level using the Vbias_output pin. Once this is done, test procedure is as follows:

1. Feed the IC with a sine wave of amplitude 10 V and of increasing frequency, between DC and 100 MHz.

2. Report the gain of the IC and the phase shift between input and output as a function of input frequency.

3. Sweep the Vbias_AAF from 0 V to 5 V and repeat the whole process. Do note that having the Vbias_AAF too close to 0 V will bias the AAF with not enough current to accurately convey the information, and will prevent testing. A way to circumvent this issue is to reduce the amount of current at the input of the filter, i.e. reducing the amplitude of the input sine wave. The viability of such a modification is left to the reader's appreciation, once gain non-linearity has been quantified (see subsection 5.3.1.

5.3.4 AAF bias current source invariance w.r.t temperature

Considering that we do not have direct access to the current source of the AAF through DFT, this test is meant to provide an alternate way to look into it. Start from the standard IC configuration presented in Figure 1. Fix your DC output level as usual. Test procedure is as follows:

1. Using DFT, bypass the HV input stage, and directly feed a current to the input of the AAF. I recommend starting with a small value, maybe 5 μA to 10 μA Reduce the value of the Vbias_AAF pin until the AAF saturates. You can observe this through DFT at the output of the filter, but the most straightforward solution would be to simply check the output of the IC, and reduce Vbias_AAF until you do not observe a sine wave anymore.

2. The output saturates when the amplitude of your input current exceeds the value of the DC bias current. From this, one can determine the amount of bias current being fed to the AAF.

3. Repeat the process for different temperatures ranging from -40 °C to 125 -40 °C. I would advise to monitor at least -40 °C, 27 °C and 125 °C. One could also look into the -10 °C to 85 °C range, as it is still relevant, and from the simulations holds only a minimal part of the temperature drift.

5.3.5 Output stage bias current source invariance w.r.t temperature

Start from the standard IC configuration presented in Figure 1. Fix your DC output level as usual. Test procedure is as follows:

1. Cool the IC down to -40 °C, and measure the new DC output level. Progressively heat it up to 125 °C, measuring the new DC output level every time.

2. As mentioned before, I would advise to monitor at least -40 °C, 27 °C and 125 °C. One could also look into the -10 °C to 85 °C range, as it is still relevant, and from the simulations holds only a minimal part of the temperature drift.

5.3.6 Differential input impedance

Start from the default configuration. Test procedure is as follows:

1. Use the PCB switch to add the associated 45 MΩ in series before the IN+ input pin.
2. Ground the IN- input, and apply a sinusoidal voltage on the IN+ pin. Use a sine wave of amplitude 10 V, and frequency 5 kHz, as this will produce the smallest input impedance possible. Measure the input voltage, and the voltage in the input resistive divider. From this, deduce the input impedance.
3. If you want to perform additional measurements, repeat this process varying the frequency of the sine wave, to determine the input impedance as a function of input frequency. However, it is expected to remain very much consistant, with a value around 45 MΩ.

5.3.7 Output impedance

Start from the default configuration. Test procedure is as follows:

1. Ground the IN- input, and apply a sinusoidal voltage on the IN+ pin. Use a sine wave of amplitude 10 V, and frequency 5 kHz, as this will produce the smallest output impedance possible.
2. Measure the unloaded output voltage.
3. Use the PCB switch to add the associated 10 Ω resistor at the output.
4. Now that the output is loaded, measure the voltage in the equivalent output voltage resistive divider, and deduce the output impedance.
5. If you want to perform additional measurements, repeat this process varying the frequency of the sine wave, to determine the output impedance as a function of input frequency. However, it is expected to remain very much consistant, with a value around 10 Ω.

5.3.8 THD

To perform THD of the system, you will need a spectrum analyzer at the output, able to perform Fourier analysis. Use the associated PCB output switch to interface the IC accordingly. Start from the default configuration. Test procedure is as follows:

1. Ground the IN- input. Apply a sine wave of amplitude 10 V, frequency 5 kHz on the IN+ pin. According to the literature, the THD will be highest for this specific configuration (highest signal amplitude).
2. Perform Fourier analysis of your output signal and deduce the THD, taking care to remove the DC component from your analysis.
3. Repeat for varying signal frequency between DC and 5 kHz, to ensure again that THD is stable on the whole signal range of interest.
4. Again, if you feel like performing additional tests, you could also plot THD as a function of not only frequency, but also input signal amplitude.

5.3.9 PSSR

This test aims to verify that supply noise in the aircraft would not alter significatively the behavior of the IC. Starting from the default configuration. Test procedure is as follows:

1. Ground the inputs and set your DC output level as usual.
2. Apply a sine wave of amplitude 100 mV, with a frequency increasing from 10 Hz up to 1 MHz (standard range in the literature) on each supply independently. Measure the PSSR using Equation 1.

$$PSRR = 20 * log * \frac{Ripple_{input}}{Ripple_{output}} \tag{1}$$

If these tests exhibit good performance, I encourage you to perform it whilst applying the parasitic sine wave on every supply at the same time, to observe the worst-case scenario of operation.

5.3.10 CMRR

To measure the CMRR of the IC, we use the following formula:

$$CMRR = 20log_{10}(\frac{A_{differential}}{A_{common_mode}}) \tag{2}$$

Start form the default configuration. Test procedure is as follows:

1. Measure the differential gain of IC, which you probably already know from previous tests.
2. Measure the common-mode gain of the IC.
3. Compute the CMRR using Equation 2.
4. Repeat the whole process for the other 2 gain settings.

5.3.11 Power consumption

In order to monitor the power consumption of the IC, we measure it in the worst case scenario, i.e. for a input sine wave with 10 V amplitude and 5 kHz frequency. Start from the default configuration. Test procedure is as follows:

1. Fix your DC output level to 2.5 V.
2. Ground IN-. Input a sine wave of amplitude 10 V, frequency 5 kHz on IN+.
3. Add up the power consumption of the 3 supplies.
4. Since the temperature behavior of the internal circuits is not ideal, I would advise to monitor it for 3-5 points in the -40 °C to 125 °C range to accurately capture any 2nd order temperature behavior.

5.3.12 Drive capabilities

The output stage is designed to drive heavy loads, in order to make testing easier and to ensure proper interfacing with an ADC. Start from the default configuration. Test procedure is as follows:

1. Fix your DC output level as usual.
2. Ground IN-. Input a sine wave of amplitude 10 V, frequency 5 kHz on IN+.
3. Using the PCB output switch, use the configuration with a 1 kΩ resistor on the output, in parallel with a capacitive load. Verify that the output voltage remains the same as the unloaded output voltage.
4. Progressively increase the capacitive part of the load, up to 120 pF (approximately twice what is reported for commercial high-performance SAR ADCs), and verify that the signal is still properly conveyed.

5.3.13 Resistance to supply variations

This test aims to verify that supply variations in the aircraft would not alter significatively the behavior of the IC. I would like to vary each supply by 20 %. Start from the default configuration. Test procedure is as follows:

1. Repeat the test from subsection 5.3.1 whilst applying a +20 % variation on each supply.
2. Repeat the test from subsection 5.3.1 whilst applying a -20 % variation on each supply.

N.B.: Do note that the AVDD_LV / GND supply (which is the supply for the output stage and the VCCS) needs to remain wide enough in order to remain the output range of operation, i.e. you cannot expect a 5 V output amplitude if your supply amplitude is for instance only 4.8 V.

N.B.: Do note that for the LV supplies, total voltage span should not exceed 5.5 V. For the HV supply, voltage should not exceed 25 V.