

**Titre:** Etude sur la conception de circuits en technologie arseniure de gallium  
Title:

**Auteur:** Jean-Paul Dionne  
Author:

**Date:** 1989

**Type:** Mémoire ou thèse / Dissertation or Thesis

**Référence:** Dionne, J.-P. (1989). Etude sur la conception de circuits en technologie arseniure de gallium [Mémoire de maîtrise, Polytechnique Montréal]. PolyPublie.  
Citation: <https://publications.polymtl.ca/57951/>

 **Document en libre accès dans PolyPublie**  
Open Access document in PolyPublie

**URL de PolyPublie:** <https://publications.polymtl.ca/57951/>  
PolyPublie URL:

**Directeurs de recherche:**  
Advisors:

**Programme:** Non spécifié  
Program:

UNIVERSITE DE MONTREAL

ETUDE SUR LA CONCEPTION DE  
CIRCUITS EN TECHNOLOGIE ARSENIURE DE GALLIUM

par

Jean-Paul DIONNE

DEPARTEMENT DE GENIE ELECTRIQUE

ECOLE POLYTECHNIQUE

MEMOIRE PRESENTE EN VUE DE L'OBTENTION

DU GRADE DE MAITRE ES SCIENCES

APPLIQUEES (M.Sc.A)

Février 1989

Permission has been granted to the National Library of Canada to microfilm this thesis and to lend or sell copies of the film.

The author (copyright owner) has reserved other publication rights, and neither the thesis nor extensive extracts from it may be printed or otherwise reproduced without his/her written permission.

L'autorisation a été accordée à la Bibliothèque nationale du Canada de microfilmer cette thèse et de prêter ou de vendre des exemplaires du film.

L'auteur (titulaire du droit d'auteur) se réserve les autres droits de publication; ni la thèse ni de longs extraits de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation écrite.

ISBN 0-315-50201-0

UNIVERSITE DE MONTREAL

ECOLE POLYTECHNIQUE

Ce mémoire intitulé:

ETUDE SUR LA CONCEPTION DE  
CIRCUITS EN TECHNOLOGIE ARSENIURE DE GALLIUM

présenté par: Jean-Paul Dionne

en vue de l'obtention du grade de: Maître ès Sciences Appliquées

(M.Sc.A.) a été dûment accepté(e) par le jury d'examen constitué de:

M. Jean-Guy Deschênes, M.SC.A., président  
M. Orazio Berolo, Ph. D.,  
M. Yvon Savaria, Ph. D.,

à Michèle

## SOMMAIRE

Ce mémoire de maîtrise fait suite à des études effectuées à l'Ecole Polytechnique sur l'arséniure de gallium. Nous avons réalisé des recuits de contacts ohmiques sur une plaque chauffante afin de comparer la morphologie et les propriétés électriques avec des recuits réalisés dans un four de recuit rapide. La conclusion qui ressort de notre étude est que la méthode de réaliser les recuits sur plaque chauffante produit des contacts ohmiques avec des propriétés électriques comparables et une morphologie nettement plus fine que les recuits dans un four de recuit rapide.

Nous avons conçu un circuit diviseur de fréquence par 4 à l'aide d'un modèle basé sur une source de courant pouvant être compatible avec le simulateur SPICE 2G6. Ce modèle se base seulement sur une modélisation électrique des MESFET et prévoyait que le circuit devait fonctionner jusqu'à une fréquence de 1.5 GHz. Le circuit a été réalisé et les tests ont montré que sa fréquence maximale d'opération est de 1.4 GHz.

De plus à partir du modèle de Curtice, nous avons réalisé une étude dimensionnelle des MESFET constituant des structures BFL et DCFL. Les résultats obtenus permettent de fixer les dimensions de chaque MESFET, en fonction du MESFET en charge active, afin de minimiser les délais de propagation pour commander une charge. Nous avons déterminé pour la structure BFL que: la largeur du MESFET en source suiveuse

doit être légèrement inférieure à la largeur du MESFET en source de courant afin de procurer un gain maximum à l'étage décaleur; la dimension de l'étage décaleur qui minimise le délai augmente comme la racine carrée de la charge; l'étage décaleur agit également comme un étage d'amplification dans le développement du problème classique d'une chaîne d'inverseurs qui commande une grosse charge. Comme dernier élément de l'étude des structures BFL et DCFL, nous avons comparé les deux structures au niveau des temps de propagation et de la puissance consommée.

## ABSTRACT

This thesis deals with solutions to three problems which arose in the development of GaAs integrated circuits: process improvement of ohmic contacts, design of a frequency divider operating above 1 GHz, and the modeling of the dimensional scaling of MESFET used in both BFL and DCFL logic components.

By annealing ohmic contacts on a hot plate under controlled atmosphere we were able to improve morphology while maintaining the excellent electrical properties obtained by rapid thermal annealing. As a key component for a high speed multiplexer circuit we designed a frequency divider based on a basic unit cell operating up to 1.5 GHz. The device has been designed and fabricated, and testing showed that it operates at frequencies up to 1.4 GHz. Finally, we performed a dimensional study of the BFL and DCFL logical structures. Using the Curtice model, we derived analytical expression relating the MESFET dimensions to that of the load, enabling us to calculate the dimensions which minimize the propagation delay. It is also demonstrated that the source-follower MESFET must be smaller than the current-source MESFET in order to maximize the gain of the follower stage. We also show that the dimension of the follower which minimizes the propagation delay as the square root of the dimension of the following stage. Indeed, the follower acts as an amplification stage when we solve the classic problem of using a cascade of inverters to drive a large load. We also



compare the BFL and DCFL structures for propagation delay and power consumption.

## REMERCIEMENT

Je remercie mes directeurs Dr Yvon Savaria et Dr John F. Currie de l'École Polytechnique pour m'avoir accueilli dans leur laboratoire; Dr Walid El Kamali de Bel Tronics, Christophe Lagarde de Northern Telecom et Michel Bélanger pour les fructueux échanges qui m'ont profités; et M. G. Millar, Dr M. Stubbs et Dr O. Berolo du Centre des Recherches sur les Communications.

Je désire remercier Lucie Forget et Pierre Leblanc pour l'aide précieuse qu'ils m'ont apporté à la rédaction de ce mémoire.

De plus, je tiens à remercier mes parents et amis de m'avoir encouragé dans la réalisation de ce travail.

Ce travail a été supporté par une bourse d'étude accordée par le Conseil de Recherches en Sciences Naturelles et en Génie du Canada (CRSNG) que je remercie.

## TABLE DES MATIERES

Sommaire .....	v
Abstract .....	vii
Remerciements .....	ix
Tables des matières .....	x
Liste des tableaux .....	xiii
Liste des figures .....	xiv
1. Introduction	
1.1 Description du travail.....	1
1.2 Dispositifs électriques	
1.2.1 Dispositifs actifs .....	5
1.2.2 Dispositifs passifs .....	9
1.3 Structures de portes logiques .....	15
2. Modélisation des MESFET	
2.1 Introduction .....	22
2.2 Liens entre la structure physique et le modèle du MESFET .....	23
2.3 Modèle source de courant .....	26
2.4 Modèle de Curtice .....	30
3. Recuit des contacts ohmiques	
3.1 Introduction .....	33
3.2 Procédés de fabrication .....	32
3.2.1 Isolation des dispositifs par gravure .....	33
3.2.2 Isolation des dispositifs par implantation .....	37

3.2.3	Implantation des dopants .....	39
3.3	Transport de charges au travers ces contacts ohmiques ...	41
3.4	Méthodes de recuit des contacts ohmiques .....	44
3.5	Résultats des recuits	
3.5.1	Four de recuit rapide .....	47
3.5.2	Plaque chauffante .....	48
3.6	Discussion et conclusion .....	58
4.	Portes logiques	
4.1	Les structures de portes logiques étudiées .....	60
4.2	Structure BFL	
4.2.1	Description de la structure BFL .....	61
4.2.2	Etage décaleur .....	63
4.2.3	Etage logique .....	75
4.2.4	Tensions de polarisation .....	80
4.2.5	Relation dimensionnelle entre l'étage logique et l'étage décaleur .....	83
4.2.6	Progression d'une chaîne d'inverseurs pour commander une charge .....	94
4.2.7	Portes BFL complexes	
4.2.7.1	Portes BFL "NON OU" .....	97
4.2.7.2	Portes BFL "NON ET" .....	103
4.3	Portes DCFL	
4.3.1	Description de la structure DCFL .....	110
4.3.2	Etude dimensionnelle .....	111
4.3.3	Progression d'une chaîne pour commander une charge .....	112
4.3.4	Super générateur .....	115

4.4 Comparaison entre les structures BFL et DCFL .....	118
5. Réalisation d'un diviseur de fréquence par 4	
6.1 Structure du diviseur de fréquence .....	124
6.2 Simulation et réalisation du diviseur de fréquence .....	129
7. Conclusion .....	133
8. Bibliographie .....	136

**ANNEXE**

Annexe A Modèle SPICE du modèle source de courant .....	142
Annexe B Calcul du cycle thermique du recuit sur plaque chauffante .....	144
Annexe C Manipulations en salle blanche .....	149
Annexe D Mesure de la résistance spécifique des contacts ohmiques recuits sur plaque chauffante .....	153
Annexe E Facteur de transposition de la capacité d'entrée de l'étage décaleur (Θ) .....	155
Annexe F Réalisation des portes individuelles .....	159

## LISTE DES TABLEAUX

Tableau 1.1	Comparaison des structures logiques BFL, SDFL et DCFL .....	18
Tableau 3.1	Caractéristiques physiques du substrat utilisé .....	49
Tableau 5.1	Largeur des MESFET des portes logiques du diviseur de fréquence .....	129
Tableau 5.2	Tensions d'alimentation du diviseur de fréquence .....	132
Tableau B.1	Constantes physiques utilisées pour les calculs de transfert thermique .....	147
Tableau F.1	Largeur des MESFET constituant les portes élémentaires réalisées .....	160
Tableau F.2	Résultats expérimentaux des portes élémentaires .....	160

## LISTE DES FIGURES

Figure 1.1	Zone d'appauvrissement d'un MESFET à appauvrissement vue en coupe .....	7
Figure 1.2	Zone d'appauvrissement d'un MESFET à enrichissement vue en coupe .....	8
Figure 1.3	Schéma du croisement des conducteurs .....	10
Figure 1.4	Deux modèles d'inductance .....	12
Figure 1.5	Différents types de condensateurs planaires .....	14
Figure 1.6	Schéma d'une porte NON OU selon la structure BFL .....	16
Figure 1.7	Schéma d'une porte NON OU selon la structure SDFL .....	17
Figure 1.8	Schéma d'une porte NON OU selon la structure DCFL .....	17
Figure 1.9	Schéma d'une porte NON OU selon la structure UFL .....	20
Figure 1.10	Schéma d'une porte NON OU selon la structure CEL .....	20
Figure 1.11	Schéma d'une porte NON OU selon la structure LPFL .....	20
Figure 2.1	Présentation des composants d'un MESFET associés au dispositif physique .....	24
Figure 2.2	Schéma électrique d'un MESFET .....	25
Figure 2.3	Schéma électrique du modèle source de courant .....	28
Figure 2.4	Graphique courant-tension superposant le modèle source de courant aux mesures effectuées par Adams-Russell .....	29
Figure 2.5	Graphique courant-tension superposant le modèle de Curtice aux mesures effectuées par Adams-Russell .....	32

Figure 3.1	Etapes des procédés de fabrication utilisant l'isolation des dispositifs par gravure .....	36
Figure 3.2	Etapes de fabrication d'un procédé utilisant l'isolation par implantation ionique .....	38
Figure 3.3	Etapes de fabrication d'un procédé utilisant l'implantation ionique .....	40
Figure 3.4	Mécanismes de transport de charge au travers de l'interface métal-semiconducteur .....	42
Figure 3.5	Schéma du four de recuit rapide .....	45
Figure 3.6	Schéma du système de recuit sur plaque chauffante .....	46
Figure 3.7	Structure de la couche métallique déposée .....	47
Figure 3.8	Cycle thermique que subit l'échantillon lors du recuit dans le four de recuit rapide .....	48
Figure 3.9	Microphotographie d'un contact ohmique recuit à 400°C pendant 30 secondes. Grossissement 450X .....	51
Figure 3.10	Microphotographie d'un contact ohmique recuit à 500°C pendant 30 secondes. Grossissement 450X .....	51
Figure 3.11	Microphotographie d'un contact ohmique recuit à 600°C pendant 30 secondes. Grossissement 450X .....	52
Figure 3.12	Microphotographie d'un contact ohmique recuit à 450°C pendant 15 secondes. Grossissement 450X .....	55
Figure 3.13	Microphotographie d'un contact ohmique recuit à 450°C pendant 45 secondes. Grossissement 450X .....	55



Figure 3.14	Microphotographie d'un contact ohmique recuit à 450°C pendant 90 secondes. Grossissement 450X .....	56
Figure 3.15	Cartographie de la résistivité spécifique sur un échantillon recuit sur plaque chauffante .....	57
Figure 3.16	Microphotographie d'un contact ohmique recuit sur plaque chauffante à 450°C pendant 30 secondes. Grossissement 425X .....	59
Figure 3.17	Microphotographie d'un contact ohmique recuit dans un four de recuit rapide à 450°C pendant 10 secondes. Grossissement 425X .....	59
Figure 4.1	Porte "inverseur" selon la structure BFL .....	62
Figure 4.2	Schéma électrique de l'étage décaleur .....	64
Figure 4.3	Courbes d'opération de l'étage décaleur .....	66
Figure 4.4	Courbes d'opération des MESFET-6 et MESFET-7 pour le cas où $W_6 > W_7$ .....	68
Figure 4.5	Courbes d'opération des MESFET-6 et MESFET-7 pour le cas où $W_6 = W_7$ .....	69
Figure 4.6	Courbes d'opération des MESFET-6 et MESFET-7 pour le cas où $W_6 < W_7$ .....	70
Figure 4.7	Gain du décaleur en fonction de la tension d'entrée .....	72
Figure 4.8	Gain moyen de l'étage décaleur en fonction du rapport $W_6/W_7$ .....	74
Figure 4.9	Schéma électrique de l'étage logique d'un inverseur BFL .....	75
Figure 4.10	Caractéristiques continues d'un inverseur en fonction de la largeur du MESFET de la charge active déterminées par des simulations sur SPICE .....	79

Figure 4.11	Les paramètres importants pour le choix de la tension Vdd .....	81
Figure 4.12	Schéma d'une porte inverseur chargée d'une charge de $\times Cg$ .....	86
Figure 4.13	Circuit équivalent de l'étage décaleur dans l'hypothèse que les MESFET-7 est une source de courant idéale .....	91
Figure 4.14	Dimensions optimales de l'étage décaleur en fonction de la charge .....	93
Figure 4.15	Chaîne d'inverseur pour commander une grosse charge .....	95
Figure 4.16	Schéma électrique d'une porte NON OU BFL à deux entrées .....	98
Figure 4.17	Fonction de transfert d'une porte NON OU à 2 entrées .....	102
Figure 4.18	Schéma électrique d'une porte NON ET BFL .....	103
Figure 4.19	Fonctions de transfert d'une porte NON ET à 2 entrées avec des MESFET de l'opérateur logique de dimension différente .....	106
Figure 4.20	Fonctions de transfert d'une porte NON ET à 2 entrées avec des MESFET de l'opérateur logique de même dimension .....	108
Figure 4.21	Structure DCFL d'une porte inverseur .....	110
Figure 4.22	Schéma électrique d'un super générateur .....	116
Figure 5.1	Types de bascule RS .....	125
Figure 5.2	Séquence d'oscillation d'une bascule maître-esclave .....	128
Figure 5.3	Schéma logique du diviseur de fréquence .....	129
Figure 5.4	Positionnement des blocs du diviseur de fréquence .....	130

Figure 5.5	Microphotographie du diviseur de fréquence. Grossissement 100X .....	131
Figure 5.6	Signaux d'entrée et de sortie du diviseur de fréquence à 1.4 GHz .....	131
Figure 5.7	Configuration de sortie .....	132
Figure B.1	Maillage du calcul de l'écoulement thermique pour le recuit des recuits sur plaque chauffante .....	145
Figure B.2	Profils de refroidissement et de chauffage en fonction du temps .....	148
Figure E.1	Schémas équivalents pour transposer la capacité grille-source de l'étage décaleur à une capacité à la masse .....	155
Figure E.2	Graphique de $\Theta'_{moy}$ en fonction du rapport des largeurs des MESFET-7 et MESFET-6 .....	158
Figure F.1	Microphotographie du circuit inverseur 1. Grossissement de 200X .....	161
Figure F.2	Microphotographie du circuit inverseur 2. Grossissement de 200X .....	161
Figure F.3	Microphotographie du circuit NON ET 1. Grossissement de 200X .....	162
Figure F.4	Microphotographie du circuit NON ET 2. Grossissement de 200X .....	162
Figure F.5	Microphotographie du circuit NON ET 3. Grossissement de 200X .....	164
Figure F.6	Microphotographie du circuit (AB+CD)'. Grossissement de 200X .....	164

## 1. INTRODUCTION

### 1.1 DESCRIPTION DU TRAVAIL

Plusieurs travaux dont l'objectif est de produire des dispositifs sur l'arséniure de gallium (GaAs) ont été réalisés à l'Ecole Polytechnique de Montréal. La présente étude fait suite à ces travaux. Nous avons comparé les caractéristiques des contacts ohmiques recuits sur plaque chauffante avec celles des contacts recuits dans un four de recuit rapide, et nous avons étudié la conception de circuits intégrés digitaux en arséniure de gallium. Le présent travail s'inscrit dans un projet plus vaste qui vise à produire un modulateur optique et un circuit de codage intégrés sur une même pastille de semiconducteur. L'intérêt pour un tel dispositif fonctionnant à des fréquences d'opération dans l'ordre du gigahertz est incontestable dans le domaine des communications. Le circuit de codage présentement envisagé est un multiplexeur numérique suivi d'un circuit d'amplification pour commander le canal optique. Le procédé de fabrication à l'Ecole Polytechnique n'était pas suffisamment maîtrisé pour réaliser des circuits complexes. Nous avons cependant eu l'opportunité d'avoir accès par l'intermédiaire du Centre des Recherches sur les Communications à une fonderie américaine, Adams-Russell. Le procédé de fabrication que possède Adams-Russell offre l'avantage d'être similaire à celui qui est développé à l'Ecole Polytechnique.

Le procédé de fabrication de l'Ecole Polytechnique part avec une pastille semi-isolante sur laquelle une couche active est réalisée par

croissance épitaxiale. L'isolation des différents dispositifs se fait par gravure de la couche active. Les contacts ohmiques sont obtenus par le dépôt de trois couches métalliques suivi d'un recuit. Les contacts Schottky sont réalisés par le dépôt de couches métalliques sur le semiconducteur. Les techniques de recuit des contacts ohmiques étudiées ici ont été utilisées antérieurement à l'Ecole Polytechnique par Morris Repeta [1] et Christophe Lagarde [2]. Les deux techniques de recuit se caractérisent par des transitions de température rapides. Le recuit des contacts ohmiques des premiers dispositifs, obtenus par Morris Repeta, a été réalisé sur plaque chauffante. Ces essais ont montré une faible reproductibilité et homogénéité des propriétés électriques des contacts ohmiques. Ceci pouvait être associé au montage utilisé pour effectuer le recuit, à la procédure expérimentale de fabrication ou encore au matériau lui-même. Subséquemment aux travaux de Morris Repeta, Christophe Lagarde a mis au point une procédure de fabrication des circuits GaAs en utilisant un four de recuit rapide pour réaliser le recuit des contacts ohmiques. Les résultats de Lagarde ont montré une bonne reproductibilité et une bonne homogénéité. L'intérêt de comparer les contacts ohmiques recuits dans un four de recuit rapide avec ceux recuits sur plaque chauffante est motivé par la meilleure morphologie de surface des contacts ohmiques obtenue sur les contacts lors des essais réalisés par Repeta. En suivant les procédures de nettoyage, de gravure et de déposition de Lagarde et en construisant un montage de plaque chauffante, nous avons obtenu une meilleure morphologie que celle obtenue dans un four de

recuit rapide avec une résistivité spécifique comparable.

L'étude de la conception de circuit sur le GaAs est passée par la réalisation d'un diviseur de fréquence par 4 qui nous a permis d'effectuer toutes les étapes de conception soit la modélisation des composants actifs, l'étude de la structure du circuit et le test du circuit. L'intérêt de réaliser un diviseur de fréquence découle du fait que son usage est largement répandu et qu'il permet plus facilement d'explorer les limites d'une technologie donnée car la fréquence du signal de sortie est inférieure à la fréquence d'entrée.

Le procédé d'Adams-Russell, utilisé pour fabriquer le diviseur de fréquence, diffère du procédé de l'Ecole Polytechnique par l'isolation des dispositifs qui est effectué par implantation. Nous avons mis au point un modèle de MESFET basé sur une source de courant définie par un polynôme. Ce modèle est simple et permet de simuler les MESFET GaAs sur notre simulateur SPICE 2G6. Les paramètres du modèle ont été déterminés par les caractéristiques en courant continu d'un MESFET de  $0.5 \mu\text{m} \times 300 \mu\text{m}$  et une série de modèles petit signal fournie par Adams-Russell. Une première étude des portes logiques de la structure BFL a été effectuée d'une manière empirique pour concevoir le diviseur de fréquence à l'aide du modèle source de courant [3]. Le diviseur de fréquence est une bascule maître-esclave. Les tests du diviseur de fréquence ont permis de le faire fonctionner jusqu'à 1.4 GHz.

Suite à la conception du diviseur de fréquence, nous avons

implanté le modèle de Curtice dans notre simulateur SPICE à l'aide de modifications proposées par Sussman [4]. Nous avons accompli une étude analytique des structures de portes logiques BFL ("Buffered FET Logic") et DCFL ("Direct Coupled FET logic") avec le modèle de Curtice. L'attrait de l'étude est la simplicité dans les résultats obtenus. L'étude de la structure BFL débute en déterminant les rapports de dimension entre les MESFET de l'étage décaleur et de l'étage logique. Les tensions de polarisation et le nombre de diodes de l'étage décaleur sont discutés en relation avec les niveaux de tensions logiques. Nous avons montré que la largeur des MESFET de l'étage décaleur, qui minimise le délai de propagation, varie selon la racine carrée de la valeur de la charge. Les portes NON OU et NON ET ont été étudiées et une limite d'entrance est proposée pour chacune d'elles. La structure DCFL est étudiée et une comparaison théorique entre les structures BFL et DCFL au niveau vitesse et consommation énergétique est effectuée par l'intermédiaire d'une série d'approximations.

Le contenu de ce document se divise de la manière suivante: le chapitre 1 présente les différents dispositifs électriques réalisables sur circuit intégré et une description générale des structures des portes logiques. Le chapitre 2 présente la modélisation des MESFET à l'aide de deux modèles. Le premier est un modèle original basé sur une source de courant que nous avons mis au point. Le second est le modèle de Curtice. Le chapitre 3 présente le recuit des contacts ohmiques. Le chapitre 4 développe l'étude dimensionnelle des structures de portes logiques BFL et DCFL de même qu'une comparaison de ces deux structures.

Le chapitre 5 présente la réalisation du diviseur de fréquence.

## 1.2 DISPOSITIFS ELECTRIQUES

### 1.2.1 DISPOSITIFS ACTIFS

Principalement deux dispositifs actifs se retrouvent sur les circuits intégrés GaAs que nous avons réalisé soit les diodes et les MESFET.

Deux types de diodes sont réalisables soit les diodes pn et les diodes Schottky [5]. Les diodes pn sont obtenues par la juxtaposition d'une région p et d'une région n. Les diodes Schottky sont réalisées par la déposition d'un métal sur le semiconducteur. L'anode de la diode Schottky est du côté métal et la cathode est du côté semiconducteur. Les diodes pn ont une chute de tension directe et une capacité plus élevée que pour les diodes Schottky.

Les MESFET sont réalisés sur des régions GaAs de type n. Un contact Schottky définit le canal et forme la grille. De part et d'autre du canal deux contacts ohmiques forment le drain et la source qui injecte et collecte les porteurs circulant dans le canal. La figure 1.1a montre la disposition de ces différents contacts.

Le courant circulant entre le drain et la source passe sous la



zone d'appauvrissement. Donc, pour une différence de potentiel drain-source fixe, le courant drain-source diminue quand la dimension de la zone d'appauvrissement augmente en réponse à l'application d'un potentiel négatif à la grille, et à l'inverse un potentiel positif de grille va augmenter ce courant (figure 1.1b). Il est à noter que la tension grille-source ne doit pas permettre le passage d'un courant élevé à travers du contact Schottky, donc pratiquement la tension grille-source est inférieure à 0.8 volt.

Jusqu'ici la description du transistor correspond à un MESFET à appauvrissement (Depletion MESFET), c'est-à-dire qu'il conduit même lorsque la tension grille-source est nulle. En utilisant cette même configuration, il est possible de produire un transistor à enrichissement donc le canal ne conduit pas si la polarisation de grille est nulle, en diminuant suffisamment l'épaisseur de la région n-GaAs sous la grille pour que la zone d'appauvrissement du contact Schottky bloque complètement le canal pour une tension grille-source égale et même légèrement supérieure à 0 volt (figure 1.2). Ce dernier type de MESFET est appelé MESFET à enrichissement ("Enhancement MESFET"). Le MESFET à enrichissement est un dispositif difficile à produire, mais il est de plus en plus accessible. L'importance de ce dispositif pour les circuits numériques sera discutée dans l'étude de la structure logique DCFL.

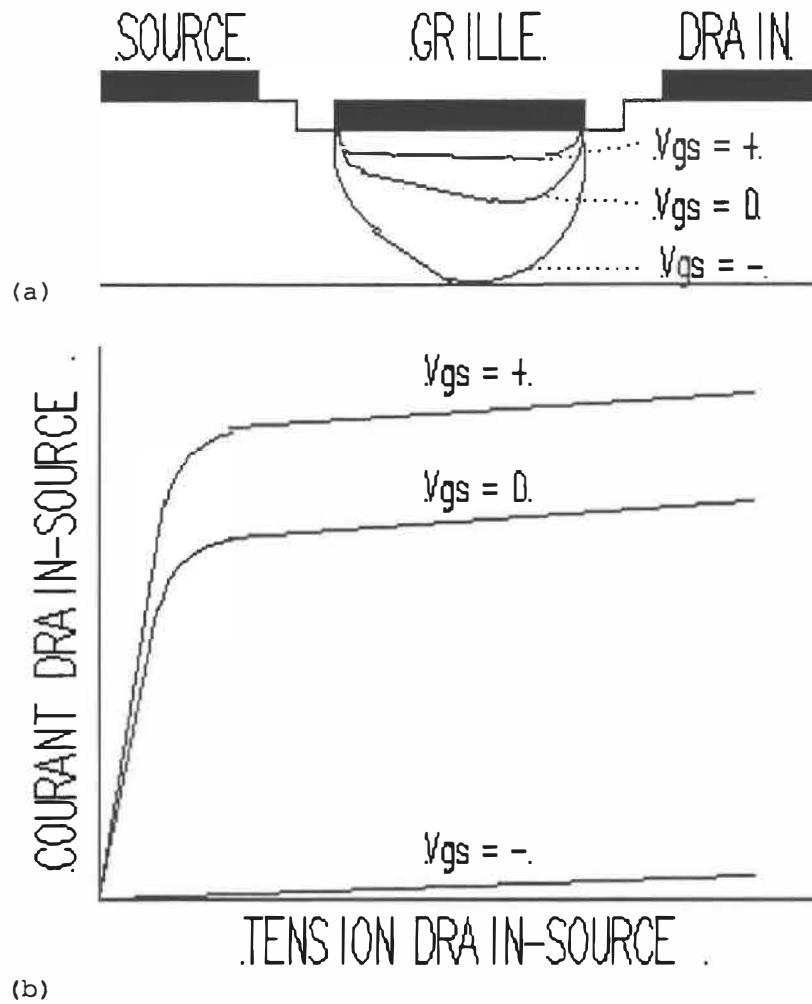


FIGURE 1.1 MESFET à appauvrissement. (a) Schéma de la zone d'appauvrissement. (b) Courant drain-source en fonction de la tension drain-source pour différentes tensions grille-source. Le canal du MESFET à appauvrissement permet le passage du courant lorsque la tension grille-source est nulle.

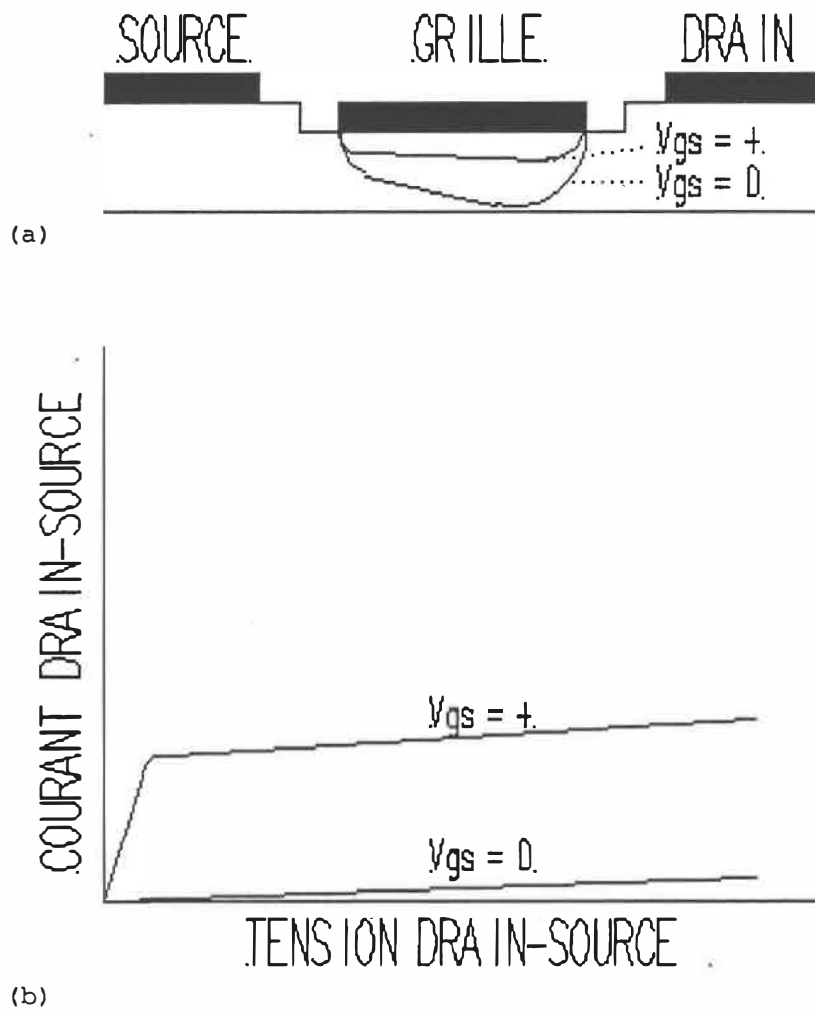


FIGURE 1.2 MESFET à enrichissement. (a) Schéma de la zone d'appauvrissement. (b) Courant drain-source en fonction de la tension drain-source pour différentes tensions grille-source. La zone d'appauvrissement d'un MESFET à enrichissement interdit le passage du courant drain-source lorsque la tension grille-source est nulle.

### 1.2.2 DISPOSITIFS PASSIFS

Les dispositifs passifs réalisés sur l'arséniure de gallium sont des résistances, inductances et capacités. Il ne faut pas oublier les dispositifs passifs, tel que les connexions, les résistances, les inductances et les condensateurs.

#### **i) Connexions et Résistances**

Les connexions sont réalisées par des rubans métalliques fabriqués sur la pastille. Certains procédés utilisent une seule couche conductrice réalisée par des bandes métalliques déposées sur le substrat semi-isolant. Les croisements de deux bandes sont faits par le dépôt d'un diélectrique et d'une seconde bande métallique qui joint les bandes conductrices [5]. La figure 1.3a montre la structure d'un pont. D'autres procédés utilisent deux couches conductrices, la première couche est une bande métallique déposée sur le substrat semi-isolant et la seconde couche conductrice est suspendue au-dessus du substrat par des points de contact [5]. De plus, le fait de suspendre la seconde couche conductrice permet le croisement des deux couches. La figure 1.3b présente cette structure. La technique de suspendre le conducteur offre des effets capacitifs moindre que dans les cas où le conducteur est déposé sur le substrat semi-isolant ou sur une couche diélectrique.

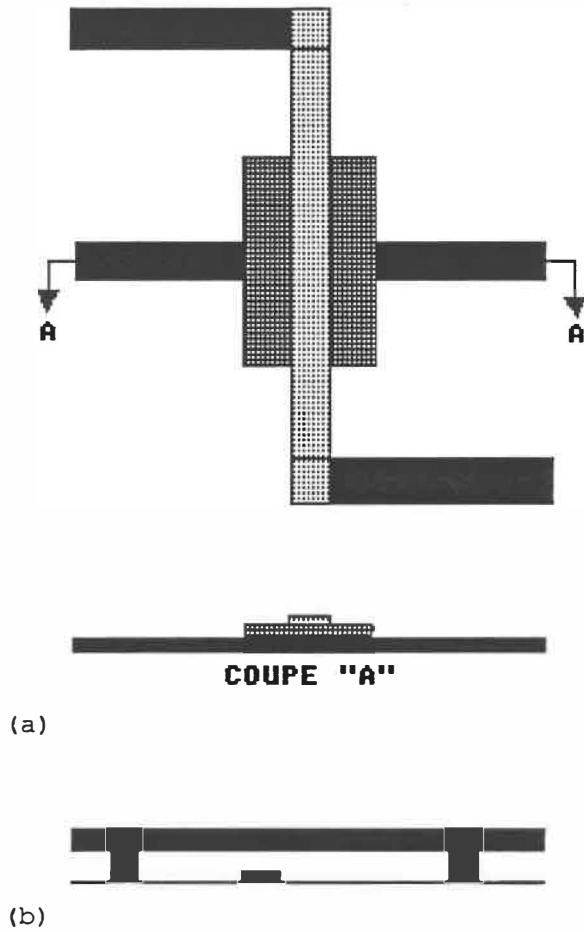


FIGURE 1.3 (a) Croisement des conducteurs. (b) Seconde couche conductrice.

Les résistances sont faites par un canal dopé.

**ii) Inductances**

Quelques structures d'inductance sont reproduites à la figure 1.4. Les valeurs typiques des inductances réalisables sont de 0.5 à 10 nH [5]. Les valeurs supérieures sont difficiles à obtenir à cause des capacités inter-conducteur et de la capacité avec la masse au verso du substrat.

Les trois sources de pertes importantes pour une inductance sont les pertes de surface, les pertes du diélectrique et les pertes radiatives. Il est possible de minimiser ces pertes en coupant les coins ou encore mieux en effectuant des spirales.

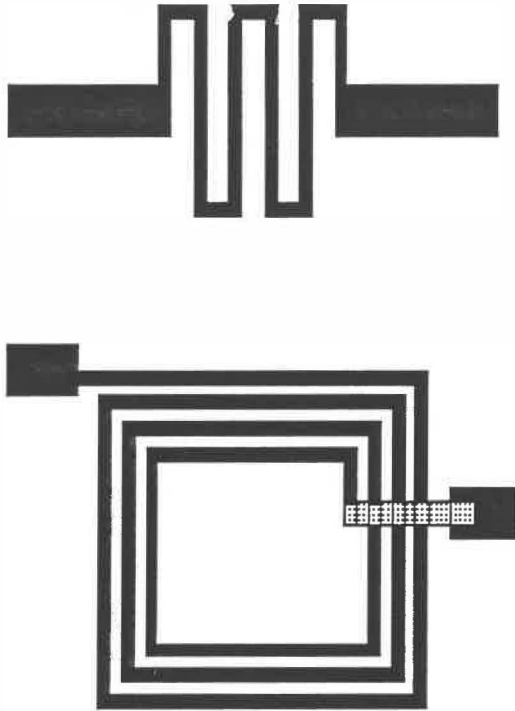


FIGURE 1.4 Deux modèles d'inductance.

### iii) Condensateurs

Plusieurs types de condensateurs sont possibles, ils se classent en deux familles, soit ceux réalisés avec une seule métallisation et les ceux avec deux métallisations en conjonction avec un film diélectrique. La figure 1.5 montre quelques structures de condensateurs les plus couramment utilisées.

Les condensateurs n'utilisant qu'une métallisation sont obtenus par le couplage des conducteurs par les bords. Ces condensateurs sont

utilisés pour des valeurs inférieures à 1.0 pF [6]. Les condensateurs de cette famille ont un faible facteur de qualité à cause des pertes résistives engendrées par la concentration des charges sur le pourtour du conducteur. Le facteur Q est de l'ordre de 50 pour ces types de condensateur [6].

Les condensateurs à deux métallisations permettent des valeurs de capacités variant de 10 à 30 pF. Dans ce dernier cas le facteur Q varie de 50 à 100 à cause des pertes dans le diélectrique [6]. Le diélectrique est généralement un des matériaux suivants  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$  ou du polyimide.



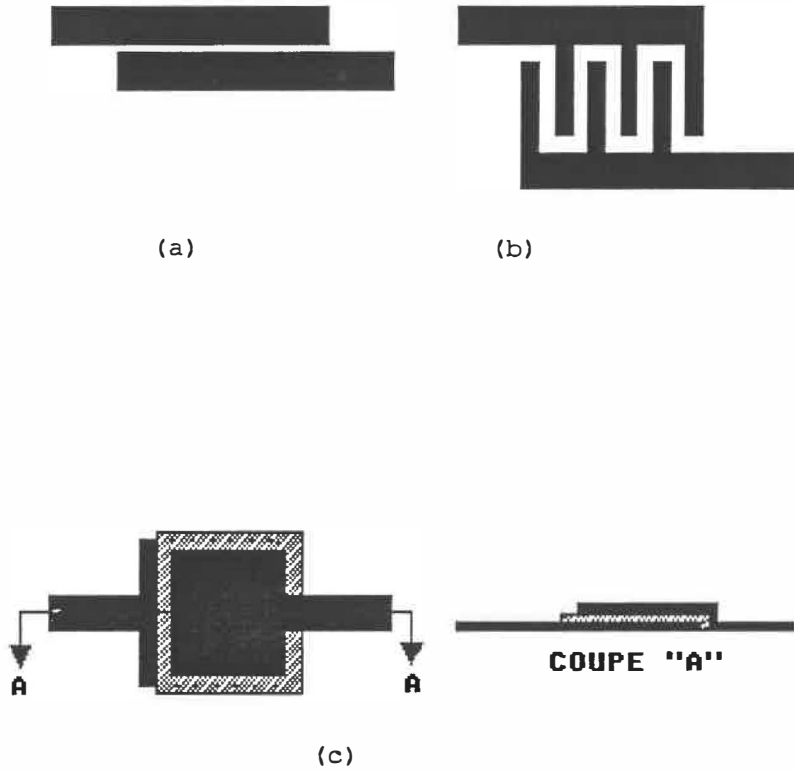


FIGURE 1.5 Différents types de condensateur. (a) et (b) Condensateurs planaires réalisés à l'aide d'une seule couche conductrice. (c) Condensateurs réalisés par la superposition de deux couches conductrices isolées par un diélectrique.

### 1.3 STRUCTURES DE PORTES LOGIQUES

Les trois structures de portes logiques les plus répandues sont présentées aux figures 1.6, 1.7 et 1.8.

La structure BFL ("Buffered FET Logic") (figure 1.6) a été développée par Hewlett Packard [7]. Cette structure est la plus rapide et elle est la moins sensible au nombre de sortance, mais elle est la structure qui consomme le plus de puissance. La structure BFL utilise seulement des MESFET à appauvrissement. Les parties constituantes des portes BFL sont une charge active qui alimente le réseau logique et un étage décaleur de tension qui sert à rendre compatible les niveaux produits à la sortie de l'étage logique avec ceux nécessaires à l'entrée des autres portes. Le décaleur de tension est réalisé à l'aide d'un MESFET en source suiveuse, d'une chaîne de diodes polarisées en direct et d'un second MESFET qui agit comme une source de courant.

La structure SDFL ("Schottky Diode FET Logic") (figure 1.7) a été développée par Rockwell pour obtenir une réduction de puissance par un facteur de cinq par rapport à la logique BFL, mais elle est deux fois plus lente [7]. La structure SDFL utilise de petites diodes Schottky ( $1 \mu\text{m} \times 2 \mu\text{m}$ ) pour accomplir la fonction logique OU et le décalage de tension. L'inversion du signal est accomplie par le second étage. Le temps de propagation à travers d'une porte SDFL est peu sensible à l'entrance mais est très sensible à la sortance. Les dimensions des

portes SDFL et leur consommation énergétique permettent une intégration au niveau LSI mais pas au niveau VLSI.

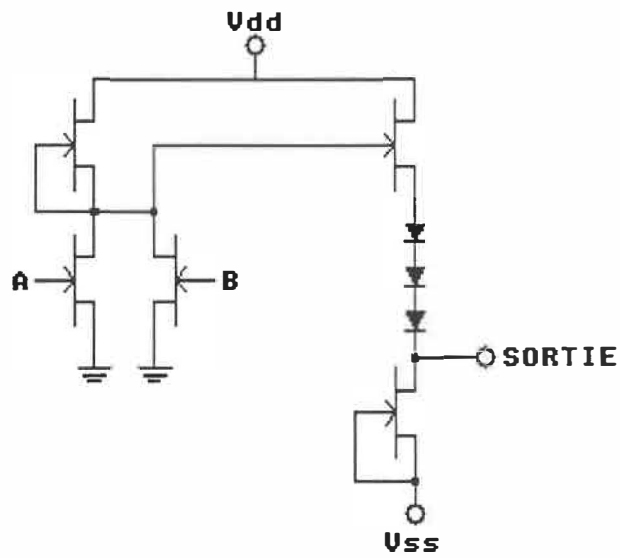


FIGURE 1.6 Schéma d'une porte NON OU selon la structure BFL (Buffered FET Logic).

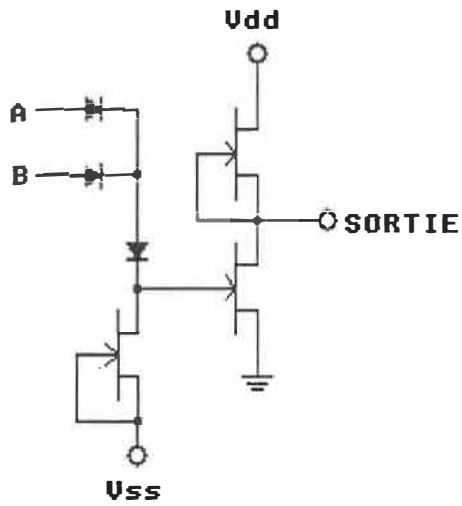


FIGURE 1.7 Schéma d'une porte NON OU selon la structure SDFL (Schottky Diode FET Logic).

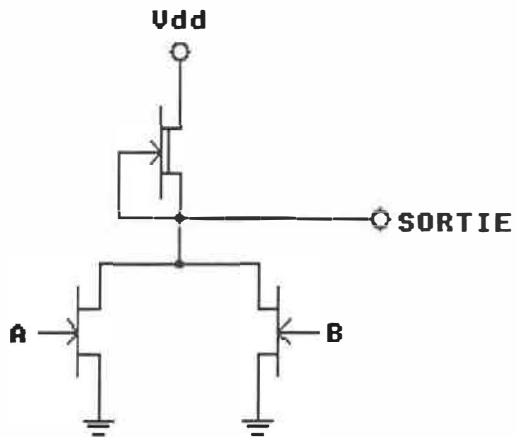


FIGURE 1.8 Schéma d'une porte NON OU selon la structure DCFL (Direct Coupled FET Logic).

La structure DCFL (Direct Coupled FET Logic) (figure 1.8) utilise les MESFET à enrichissement et les MESFET à appauvrissement. La structure DCFL a été développée par Hughes et McDonnell Douglas pour abaisser la dissipation de puissance des portes logiques réalisées avec les MESFET GaAs ( $\approx 50 \mu\text{W}/\text{porte}$ ) mais elle conduit à un délai de propagation de 2 à 4 fois supérieur à celui de la logique BFL [7]. L'étage logique est réalisé par les MESFET à enrichissement et la charge active par un MESFET à appauvrissement. Les niveaux logiques à la sortie de l'étage logique sont directement compatibles avec l'entrée de la porte suivante d'où l'économie du décaleur de tension. La faible consommation de puissance et la simplicité des portes DCFL permettent la réalisation des circuits de complexité LSI et VLSI.

Le tableau 1.1 compare les structures logiques BFL, SDFL et DCFL.

TABLEAU 1. 1

COMPARAISON DES STRUCTURES LOGIQUES  
BFL, SDFL ET DCFL [8]

Structure	BFL	SDFL	DCFL
Excursion logique ( $V_{\text{Haut}} - V_{\text{Bas}}$ )	1.5 à 2.0 V	0.6 à 1.5 V	0.6 V
Temps de propagation	60 à 100 pS	80 à 200 pS	100 à 500 pS
Largeur de MESFET	10 à 40 $\mu\text{m}$	5 à 10 $\mu\text{m}$	5 à 40 $\mu\text{m}$
Puissance consommée	10 à 40 mW	2 à 5 mW	0.100 à 1 mW
Densité d'intégration	200 portes/ $\text{mm}^2$ *	500 portes/ $\text{mm}^2$ *	1000 portes/ $\text{mm}^2$ *

\* D'après notre expérience ces valeurs sont valable seulement pour des portes inverseur sans connexions.

La structure UFL ("Unbuffered FET Logic") (figure 1.9) est proposée par HP pour réduire la puissance consommée de la logique BFL en enlevant le MESFET suiveur [7]. La performance des portes UFL en présence de charges élevées se trouve évidemment réduite par rapport à celle des portes BFL.

Une alternative aux structures BFL et UFL lorsqu'on est limité à une technologie MESFET à appauvrissement est la structure CEL ("Capacitive Enhanced Logic") [7] (figure 1.10). La structure CEL utilise une diode en inverse en parallèle avec la chaîne de diodes, laquelle fait office de condensateur afin de diminuer le temps de propagation des transitions. La structure CEL est potentiellement plus rapide que la structure BFL pour une consommation équivalente, mais la réduction de délai tend à s'effacer en présence d'une charge élevée. Il est à noter que les niveaux logiques des structures BFL, UFL et CEL sont compatibles.

La porte logique montrée à la figure 1.11 est une porte construite selon la structure LPFL ("Low Power FET Logic"). Cette porte est un compromis entre les structures BFL et DCFL. Dans ce cas, les transistors utilisés ont une tension de pincement légèrement sous zéro, par conséquent, la sensibilité aux variations sur  $V_p$  est moindre que celle de la structure DCFL [7].

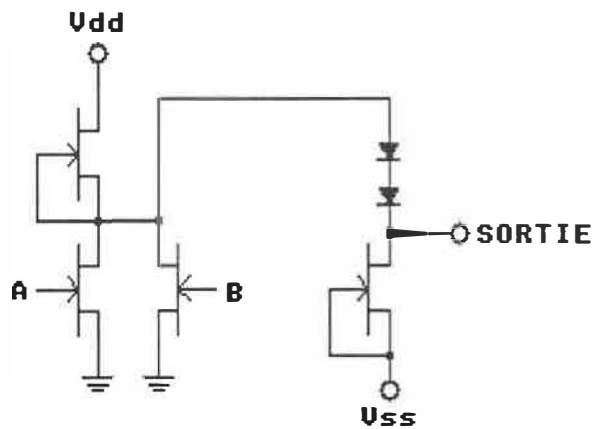


FIGURE 1.9 Schéma d'une porte NON OU selon la structure UFL (Unbuffered FET Logique).

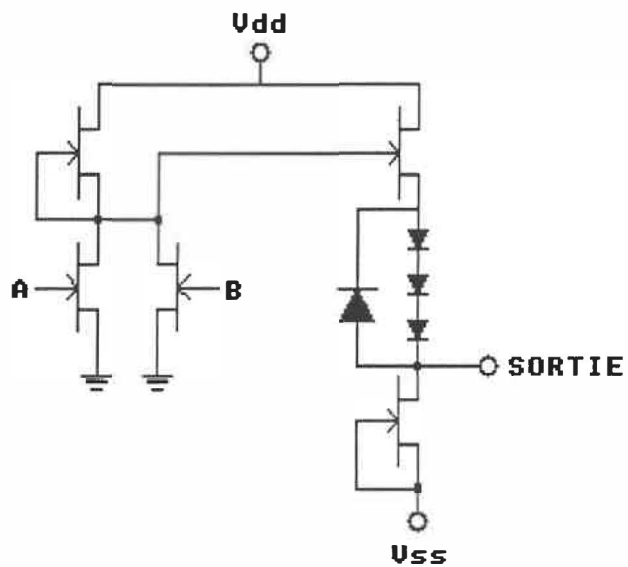


FIGURE 1.10 Schéma d'une porte NON OU selon la structure CEL (Capacitive Enhanced Logic).

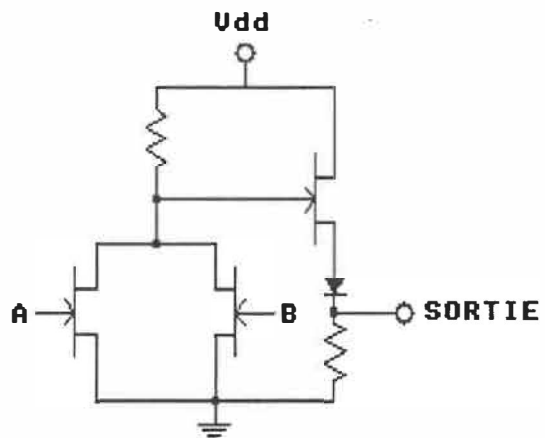


FIGURE 1.11 Schéma d'une porte NON OU selon la structure LPFL (Low Power FET Logic).



## 2. MODELISATION DES MESFET

### 2.1 INTRODUCTION

Il est important de modéliser les composants électroniques de façon à pouvoir prédire le comportement des circuits électroniques sans avoir à les réaliser. Un grand nombre de personnes travaillent activement au développement de modèles. Les modèles permettent de représenter autant le comportement en courant continu que le comportement transitoire d'un composant. La mise au point d'un modèle débute par établir des liens théoriques entre les phénomènes physiques et leur impact sur le comportement électrique du composant.

Deux classes de modèles existent, soit les modèles "petit signal" et les modèles "grand signal". Les modèles "petit signal" représentent l'opération du composant pour un point d'opération autour duquel varie le signal d'entrée. Il est donc nécessaire d'avoir autant de modèles "petit signal" que de points d'opération. Les modèles "grand signal" représentent le comportement du composant pour tous les points d'opération. Lors de la conception de circuits logiques et de plusieurs types de circuits analogiques les modèles "petit signal" ne sont pas adéquats.

Le présent chapitre présente deux modèles "grand signal". Nous avons développé le premier [9], alors que le second a été mis au point par Curtice [10,11,12]. Nous avons développé un modèle basé sur une source de courant pour nous permettre de simuler les MESFET à l'aide du simulateur SPICE 2G6 lors de la conception d'un diviseur de fréquence

(voir chapitre 5). Ce modèle ne se fonde pas sur l'étude des phénomènes physiques, donc il ne représente que le comportement électrique du MESFET. Ultérieurement à la conception du diviseur de fréquence, nous avons implanté le modèle de Curtice dans notre simulateur SPICE à l'aide des modifications proposées par Sussman [4,13,14,15]. Ces modifications sont du domaine public. La procédure d'installation consiste à changer certaines routines du code de SPICE par les routines fournies par Sussman. Nous avons utilisé le modèle de Curtice pour l'étude de dimension des portes au chapitre 4. Mais avant de décrire ces modèles, nous décrirons les liens entre la structure du composant physique et la structure électrique de base de ces modèles.

## 2.2 LIENS ENTRE LA STRUCTURE PHYSIQUE ET LE MODELE DU MESFET

La fonction du MESFET peut être associée à une source de courant dépendante des tensions grille-source et drain-source. La grille, le drain et la source du MESFET offrent une résistance au passage du courant. Comme vous pouvez le voir à la figure 2.1, les résistances du drain et de la source regroupent 3 résistances distinctes soit la résistance du métal déposé, la résistance du contact métal-semiconducteur et la résistance de la couche active jusqu'au canal sous la grille. Comme derniers éléments, le drain, la grille et la source possèdent des capacités parasites qui les relie.

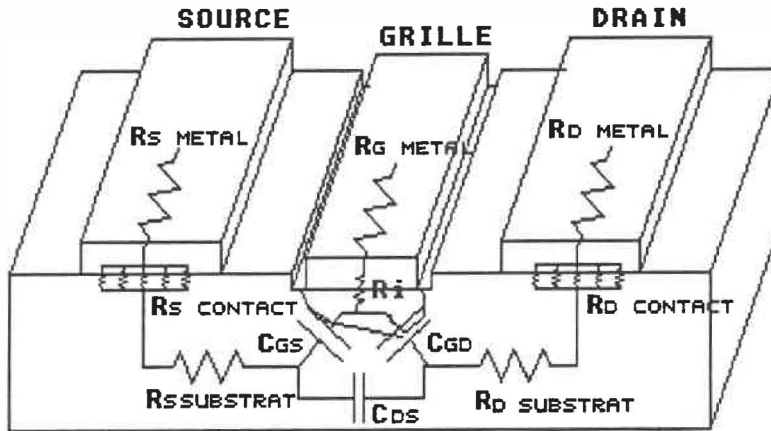
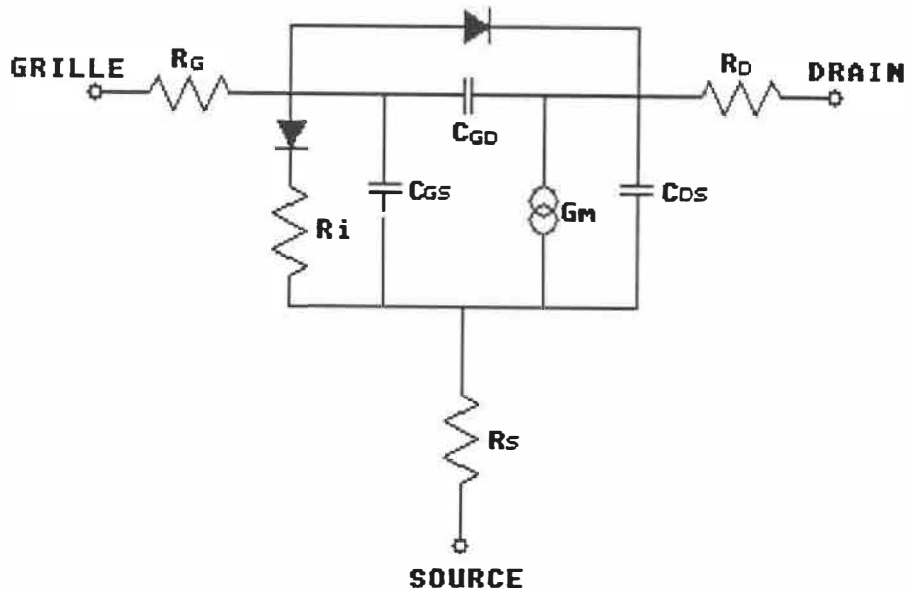


FIGURE 2.1 Présentation des composants d'un MESFET associés à leur emplacement physique.

Les résistances d'accès au canal entraînent une détérioration des caractéristiques du MESFET d'autant plus grande qu'elles sont élevées. Pour minimiser les résistances d'accès, nous avons comparé deux techniques de recuit des contacts ohmiques au chapitre 3. Le recuit des contacts ohmiques influence la résistance d'accès de deux façons : premièrement, l'effet le plus important est observé sur la valeur de la résistance de contact métal-semiconducteur et la seconde, de moindre importance, provient de l'impact du recuit sur la morphologie du contact qui peut affecter la résistance de la couche de métal.

La figure 2.2 présente le schéma électrique de tous les composants

décrits précédemment.



- RG: Résistance associée au conducteur de grille.  
 RD: Résistance associée au drain.  
 RS: Résistance associée à la source.  
 CGS: La capacité existante entre la grille et la source.  
 CGD: La capacité existante entre la grille et le drain.  
 CDS: La capacité existante entre la source et le drain.  
 GM: Une source de courant commandée par  $V_{GS}$  et  $V_{DS}$  qui représente la modulation du canal sous la grille. La source de courant est caractérisée par un délai  $\tau$  représentant le délai de réponse de la zone de déplétion.

FIGURE 2.2 Schéma électrique d'un MESFET.

### 2.3 MODELE SOURCE DE COURANT

Le modèle source de courant est un circuit électrique équivalent au MESFET réalisé avec les modèles de composants élémentaires disponibles dans le simulateur SPICE 2G6 [9]. Parmi les composants utilisés il y a les résistances et les condensateurs. Un J-FET est utilisé pour représenter la capacité grille-source dépendante de la tension entre ces bornes, donc la source de courant, qui lui est associé, a une valeur nulle. De plus, deux diodes sont incluses pour représenter le contact Schottky grille-source et grille-drain. Enfin l'élément principal de l'opération du MESFET est la source de courant contrôlée par un polynôme fonction des tensions grille-source et drain-source.

L'utilisation d'un polynôme pour définir la source de courant ne se base aucunement sur un modèle physique de l'opération du MESFET. Par conséquent, la modélisation peut conduire à des comportements physiquement impossibles si elle n'est pas faite adéquatement.

L'un de ces comportements erronés se produit lorsque la tension grille-source est légèrement supérieure et inférieure à la tension de pincement, soit quand le courant drain-source devrait être presque nul. A ces tensions grille-source, le polynôme peut indiquer que le courant drain-source circule dans le sens inverse de la polarisation drain-source ou encore que le courant drain-source augmente quand la tension grille-source diminue. Afin de s'assurer que la tension grille-source

lue par le polynôme de la source de courant ne soit jamais sous la tension de pincement, on ajoute une source de tension qui reproduit la tension grille-source et une diode ( $D_1$ ) polarisée en inverse avec une tension inverse de coupure égale ou légèrement supérieure à la tension de pincement. Quand la tension d'entrée devient suffisamment négative, la diode  $D_1$  dépasse sa tension de coupure inverse de telle sorte que l'excursion de  $V(4,5)$  est bornée.

L'autre comportement erroné relève de l'optimisation des paramètres de la source de courant qui doit être faite avec soin pour éviter que la relation courant-tension pour une tension grille-source constante ne présente pas de résistances négatives. La figure 2.3 présente le schéma électrique du modèle source de courant.

L'optimisation des paramètres du polynôme de la source de courant a été faite en appliquant le modèle de régression multiple appliqué à un polynôme comme présenté par Hine et Montgomery [16]. Afin d'obtenir un comportement du MESFET le plus près possible de la réalité, nous avons limité la dépendance de la source de courant au second degré de la tension grille-source et le degré de la dépendance de la tension drain-source est celui qui procurait la modélisation la plus réaliste déterminée par une appréciation des caractéristiques courant-tension qui minimisaient les comportements indésirables. Vous pouvez comparer la modélisation DC avec des mesures d'un MESFET de  $0.5 \mu\text{m} \times 300 \mu\text{m}$ , fournies par Adams-Russell [17] à la figure 2.4.

Les capacités et résistances périphériques au MESFET ont été obtenues de 8 modèles petit signal déterminés pour 4 différentes largeurs de MESFET et deux points d'opération déterminés par Adams-Russell.

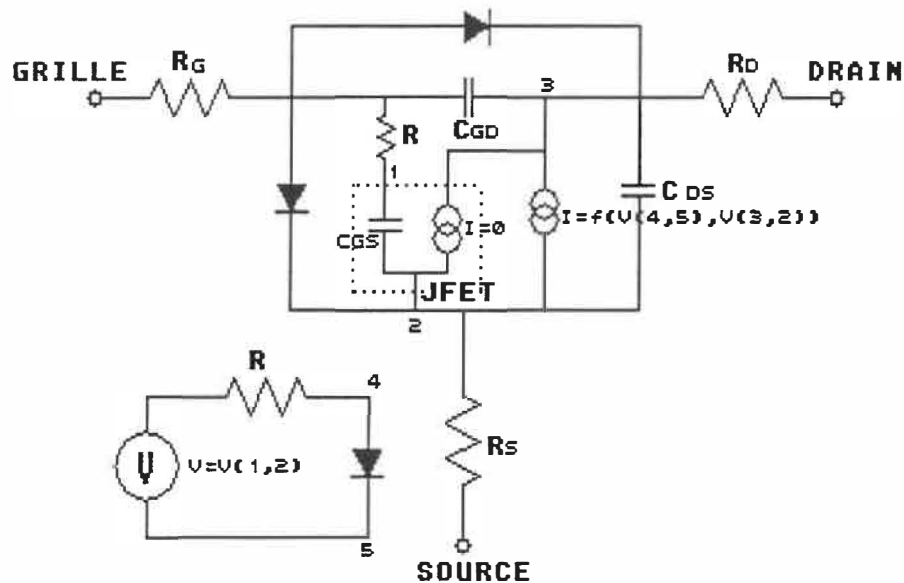


FIGURE 2.3 Schéma électrique du modèle source de courant.

Le facteur d'échelle du modèle pour différentes largeurs de MESFET est en première approximation proportionnel à la largeur pour les coefficients de la source de courant et des capacités, et inversement proportionnel à la largeur pour les résistances de drain, de source et de grille. L'annexe A contient la description SPICE de deux MESFET de largeurs de 10  $\mu\text{m}$  et 30  $\mu\text{m}$ .

Le modèle source de courant représente bien les caractéristiques des MESFET et peut être utilisé sur un simulateur ne contenant pas spécifiquement des modèles de MESFET GaAs. Nous tenons cependant à insister sur le fait que ce modèle présente de grandes lacunes et bien que nous ayons utilisé ce modèle pour concevoir le diviseur de fréquence par 4, il n'est pas adéquat pour réaliser le type d'étude effectuée au chapitre 4.

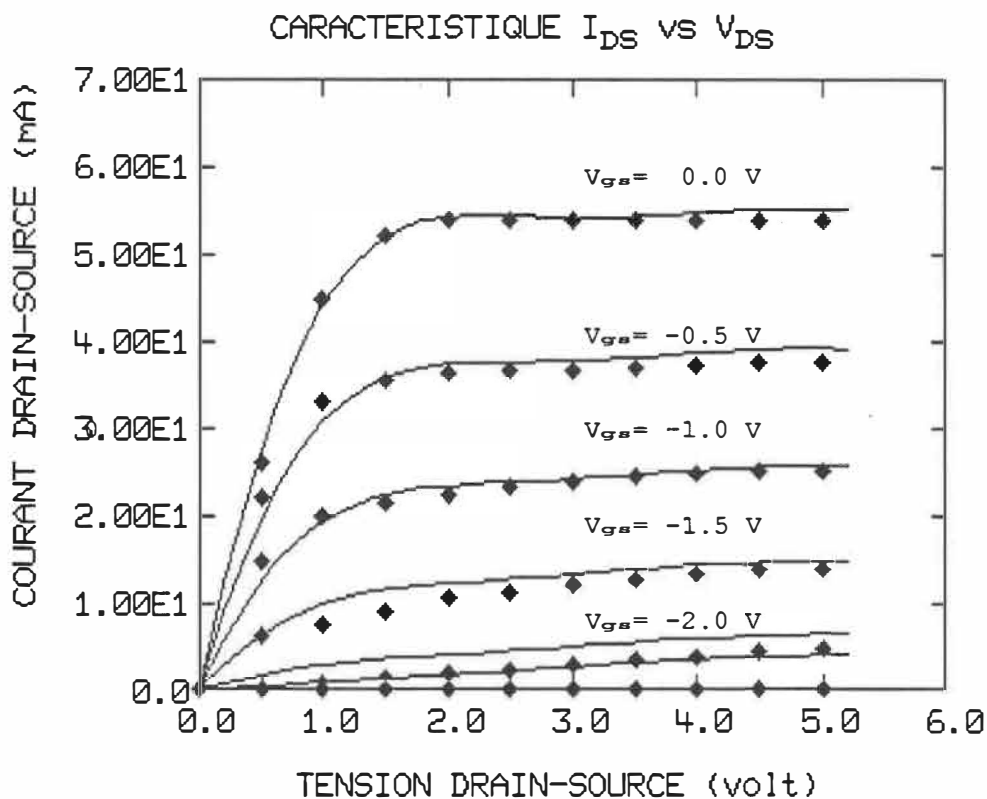


FIGURE 2.4 Graphique courant-tension superposant le modèle source de courant (trait continu) aux mesures effectuées par Adams-Russell sur un MESFET réel de  $0.5 \mu\text{m} \times 300 \mu\text{m}$ .



#### 2.4 MODELE DE CURTICE

Le choix de utilisation du modèle de Curtice plutôt qu'un autre est motivé par deux éléments. Le premier élément est qu'il nous a été possible d'implanter le modèle de Curtice dans le simulateur SPICE que nous utilisons avec des modifications proposées par Sussman [4,13,14,15]. Le second élément est que le modèle de Curtice est caractérisé par une expression analytique simple. Cette simplicité du modèle nous permet d'obtenir des relations simples lors de l'étude des structures de portes logiques.

Le modèle de Curtice [10,11,12] est dérivé du modèle d'un J-FET dans sa région de saturation. Les principales modifications consistent à introduire un terme de la forme tangente hyperbolique et à ajuster l'exposant qui détermine la relation entre  $I_{Ds}$  et  $V_{Gs}$ . Le terme de la forme tangente hyperbolique est au départ empirique, mais McKinley [18] a réalisé une étude pour le relier à des caractéristiques physiques. Nous n'élaborerons pas plus sur ce sujet. Nous avons déterminé les paramètres du modèle par les caractéristiques continues et 8 modèles petit signal fournis par Adams-Russell.

La relation de Curtice est la suivante:

$$I_{DS} = \beta (V_{GS} - V_{to})^n (1 + fV_{DS}) \text{th}(\alpha V_{DS})$$

où  $I_{DS}$ : Courant drain-source.  
 $V_{GS}$ : Tension grille-source.  
 $V_{DS}$ : Tension drain-source.  
 $V_{to}$ : Tension de pincement du canal.  
 $f$  : Constante.  
 $\alpha$  : Constante.  
 $n$  : Facteur de dépendance de  $I_{DS}$  en fonction de  $V_{GS}$ .  
 $\beta$  : Gain, qui est directement dépendant de la largeur du MESFET.

Les paramètres du modèle de Curtice ont été déterminés par la réalisation d'un programme qui calcule la somme des carrés des écarts entre le modèle et les points expérimentaux d'un MESFET de  $0.5 \mu\text{m}$  par  $300 \mu\text{m}$  pour un intervalle prédéterminé de chaque paramètre et choisit la combinaison de valeur des paramètres qui minimisent la valeur de la somme des carrés des écarts. Les paramètres déterminés par cette méthode sont:

$$\beta = 2.95 \cdot 10^{-5} \text{ W A/V}^n \mu\text{m}$$

$$f = 0.01 \text{ V}^{-1}$$

$$\alpha = 1.55 \text{ V}^{-1}$$

$$V_{to} = -2.50 \text{ V}$$

$$n = 1.65$$

La figure 2.5 superpose le modèle de Curtice et les points expérimentaux mesurés par Adams-Russell ayant servi à la modélisation.

Le facteur d'échelle du modèle de Curtice influence seulement le

gain  $\beta$ , qui est directement proportionnel à la largeur du MESFET.

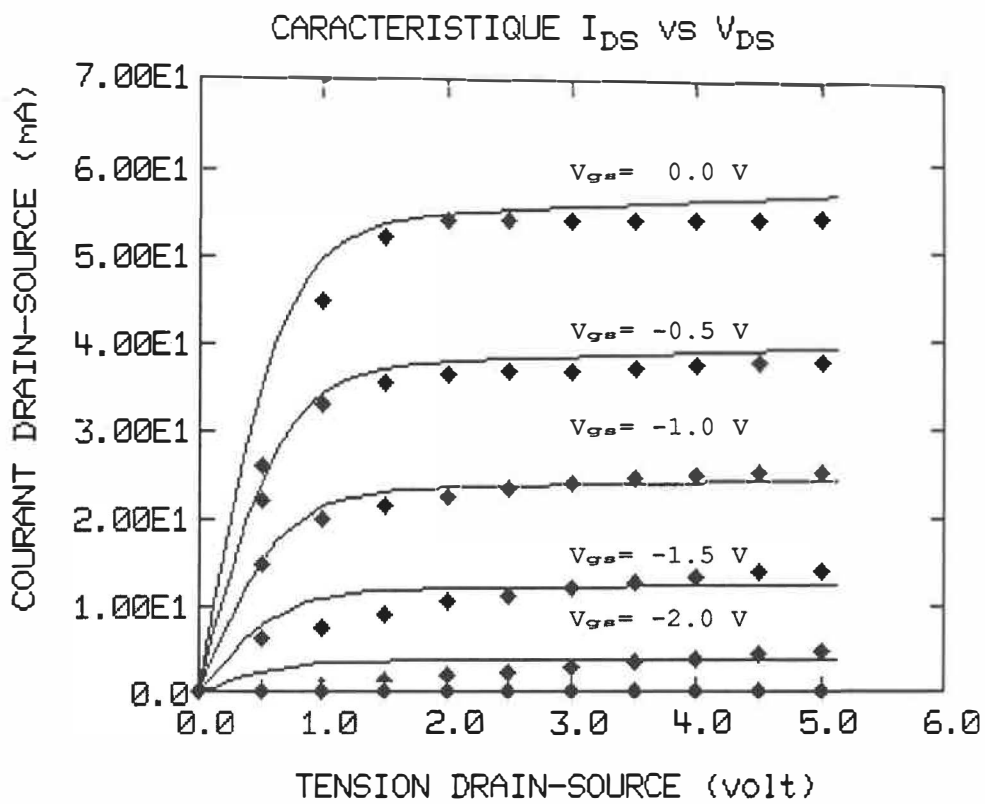


FIGURE 2.5 Graphique courant-tension superposant le modèle de Curtice (trait continu) aux mesures effectuées par Adams-Russell sur du MESFET réel de  $0.5 \mu\text{m} \times 300 \mu\text{m}$ .

### 3. RECUIT DES CONTACTS OHMIQUES

#### 3.1 INTRODUCTION

Les contacts ohmiques sont des éléments importants d'un circuit intégré. Le rôle des contacts ohmiques est d'injecter et de collecter des porteurs dans le semi-conducteur. Les caractéristiques importantes des contacts ohmiques sont de posséder une faible résistance ohmique et de demeurer stable en fonction du temps et de la température. Une morphologie uniforme et fine des contacts ohmiques permet une miniaturisation du contact plus poussée.

Ce chapitre débute par la description générale des procédés de fabrication et de la théorie de transfert des charges à travers des contacts ohmiques pour aboutir à la comparaison de deux techniques de recuit pour les contacts ohmiques. La première technique, mise au point par Lagarde [2], est le recuit dans un four de recuit rapide. La seconde technique est le recuit sur plaque chauffante utilisée antérieurement par Repeta [1]. Les critères de comparaison sont la morphologie et la résistance spécifique.

#### 3.2 PROCEDES DE FABRICATION

Les MESFET sont réalisés par un canal de type n, un contact Schottky et deux contacts ohmiques. De plus il est nécessaire d'isoler électriquement les dispositifs les uns des autres. Les étapes

de fabrication pour réaliser ces différents éléments varient d'un procédé à l'autre, mais tous les procédés peuvent être regroupés en trois classes [5]. Ces trois classes sont (i) les procédés où on effectue une gravure pour isoler les dispositifs, (ii) ceux où on effectue une implantation ionique pour isoler les dispositifs et (iii) ceux où les régions actives sont créées localement sur le substrat semi-isolant.

Dans cette section, ces trois classes seront décrites sommairement, en insistant toutefois sur la classe où les dispositifs sont isolés par gravure, puisque le procédé de l'École Polytechnique de Montréal fait partie de cette classe.

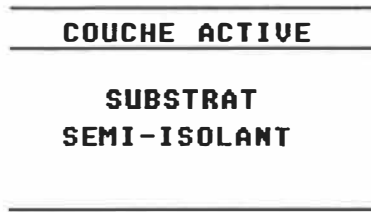
### 3.2.1 ISOLATION DES DISPOSITIFS PAR GRAVURE

L'isolation des dispositifs par gravure conduit à un procédé de fabrication simple et peu coûteux. La figure 3.1 présente la séquence générale d'élaboration de ces dispositifs. La première étape de cette classe de procédés consiste en l'obtention d'une couche dopée  $n$  sur un substrat semi-isolant (figure 3.1a). Cette couche dopée est réalisée par une croissance épitaxiale ou une implantation ionique suivie d'un recuit. Les régions actives sont isolées les unes des autres par la gravure de la couche active jusqu'au substrat semi-isolant

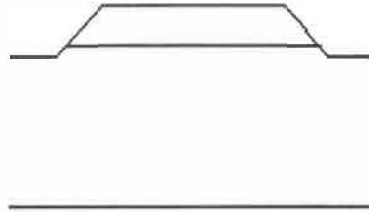
(figure 3.1b). La gravure peut s'effectuer par immersion dans une solution liquide ou par une gravure au plasma. La troisième étape consiste à déposer le métal des contacts ohmiques suivi d'un recuit (figure 3.1c). La dernière étape pour réaliser les MESFET est de déposer la grille entre les contacts ohmiques drain et source (figure 3.1d). Il est à noter qu'une légère gravure sous la grille est effectuée pour ajuster la tension de pincement du canal tout en minimisant les résistances du drain et de la source.

Une couche métallique est utilisée pour réaliser les connexions, il est donc nécessaire de réaliser des ponts pour les croisements entre ces couches conductrices. Ces croisements sont réalisés à l'aide d'une couche isolante et d'une couche métallique comme présenté au chapitre 1.

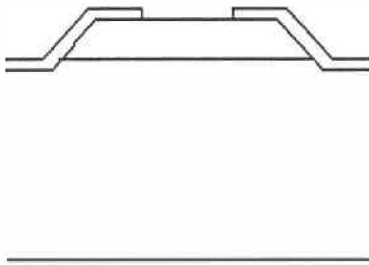
Cette classe de procédé offre l'avantage qu'il n'est pas nécessaire d'utiliser des équipements très dispendieux car les pastilles de GaAs peuvent être achetées avec une couche active déjà formée. Le désavantage est que dû à la gravure de la couche active, les circuits réalisés ne sont pas planaire.



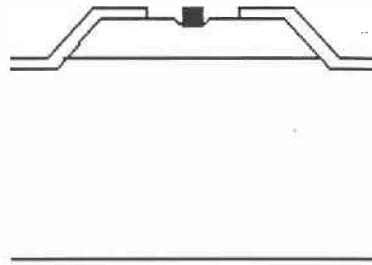
(a) Réalisation de la couche active.



(b) Isolation des dispositifs par gravure.



(c) Réalisation des contacts ohmiques.



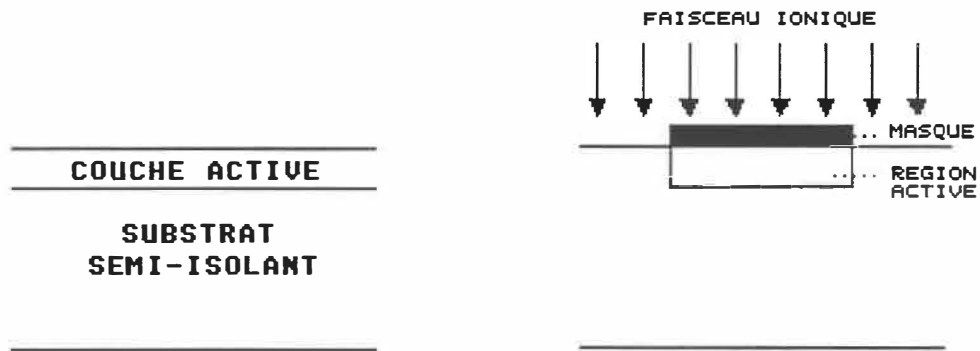
(d) Réalisation du contact Schottky montrant la gravure d'ajustement de la grille.

FIGURE 3.1 Etapes des procédés de fabrication utilisant l'isolation des dispositifs par gravure.

### 3.2.2 ISOLATION DES DISPOSITIFS PAR IMPLANTATION

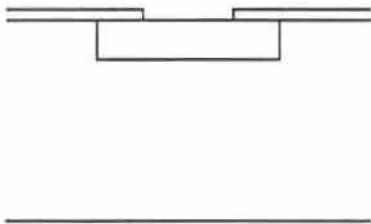
Les procédés utilisant une implantation pour isoler les dispositifs suivent les étapes décrites précédemment sauf que l'isolation des dispositifs s'effectue par implantation d'ions d'hydrogène, de bore ou d'oxygène sans effectuer de recuit pour activer les dopants. La figure 3.2 présente les étapes d'élaboration d'un MESFET par cette technique. L'isolation des dispositifs par implantation offre les avantages de produire un dispositif planaire ainsi qu'un contrôle dimensionnel plus précis des régions actives.



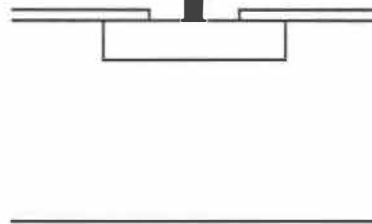


(a) Réalisation d'une couche active n sur un substrat semi-isolant.

(b) Isolation des dispositifs par implantation.



(c) Réalisation des contacts ohmiques.

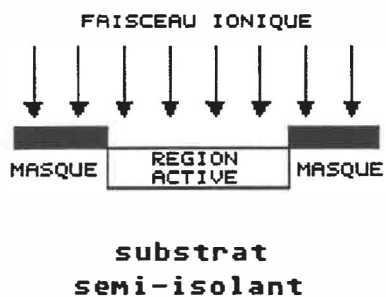


(d) Réalisation des contacts Schottky.

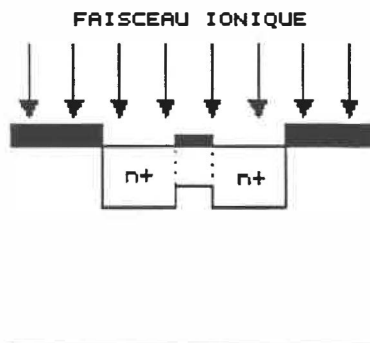
FIGURE 3.2 Etapes de fabrication d'un procédé utilisant l'isolation par implantation ionique.

### 3.2.3 IMPLANTATION DES DOPANTS

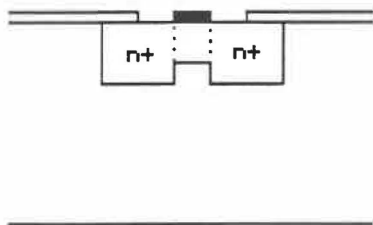
Les procédés qui implantent des dopants utilisent au départ une pastille de GaAs semi-isolante. Les régions actives sont réalisées par implantation ionique à travers d'un masque réalisé sur la pastille par un procédé de lithographie (voir figure 3.3a). De part et d'autre de la position de la grille sont réalisés le drain et la source. Des régions fortement dopées (régions  $n^+$ ) permettent de diminuer les résistances métal-semiconducteur des contacts ohmiques. Deux choix s'offrent pour réaliser les régions  $n^+$  soit que la grille est déposée avant l'implantation pour qu'elle agisse comme masque durant l'implantation (grille auto-alignée) ou que la grille soit déposée après l'implantation. La figure 3.3 présente les étapes générales d'un procédé auto-aligné. Une fois que les ions sont tous implantés un recuit à haute température est effectué pour activer les dopants. La dernière étape consiste à réaliser les contacts ohmiques par la déposition d'une couche de métal suivie d'un recuit.



(a) Réalisation des régions actives par implantation.



(b) Réalisation des régions  $n^+$  sous les contacts ohmiques par implantation. La grille est utilisée comme masque dans le procédé auto-aligné.



(c) Réalisation des contacts ohmiques.

Figure 3.3 Etapes de fabrication d'un procédé utilisant l'implantation ionique.

### 3.3 TRANSPORT DE CHARGE A TRAVERS DES CONTACTS OHMIQUES

Le dépôt d'un métal sur un semi-conducteur produit un contact Schottky. La barrière de potentiel ainsi produite est peu dépendante du métal déposé dans le cas du GaAs, à cause des états d'interface métal-semiconducteur. Les mécanismes de transport de charge à travers de cette barrière de potentiel sont:

- i) L'émission d'électrons au-dessus de la barrière de potentiel.
- ii) L'émission par effet tunnel.
- iii) La recombinaison de paires électrons-trous dans la région d'appauvrissement.
- iv) La recombinaison dans la région neutre du semiconducteur (injection des trous).

La figure 3.4 présente les quatre mécanismes de transport.

L'émission d'électrons au-dessus de la barrière de potentiel s'effectue selon deux processus soit par diffusion et conduction et par émission thermoélectronique. Mathieu [19 pp. 240-252] développe une relation de la densité de courant ( $J$ ) en fonction de la tension ( $V$ ) pour une structure métal-semiconducteur pour les deux processus d'émission. La relation suivante s'applique au processus de diffusion et de conduction:

$$J = J_{SD} (e^{eV/kT} - 1) \quad [3.1]$$

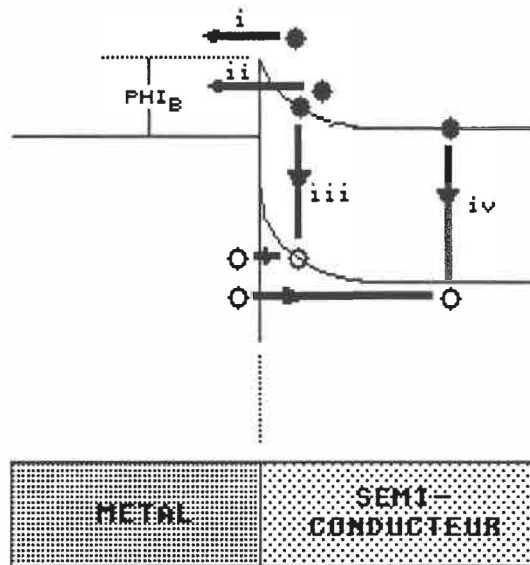


FIGURE 3.4 Mécanismes de transport de charges à travers de l'interface métal-semiconducteur. (i) Emission d'électrons au-dessus de la barrière. (ii) Emission par effet tunnel. (iii) Recombinaison de paires électrons-trous dans la région d'appauvrissement. (iv) Recombinaison dans la région neutre du semiconducteur (injection de trous).

La relation suivante s'applique au processus d'émission thermoélectronique:

$$J = J_{SE}(e^{eV/kT} - 1) \quad [3.2]$$

$J_{SD}$  et  $J_{SE}$  sont des constantes déterminées par la concentration de donneurs ( $N_D$ ), la barrière de potentiel ( $\Phi_B$ ), la mobilité des électrons ( $\mu_n$ ) et la masse effective des électrons ( $m_e^*$ ).

L'émission par effet tunnel est fonction de la probabilité qu'un électron traverse la barrière de potentiel. Donc l'émission par effet tunnel augmente en diminuant la largeur de la zone d'appauvrissement.

Les recombinaisons des paires électrons-trous dans les régions d'appauvrissement et neutre sont possibles dans le premier cas par des défauts dans la régions d'appauvrissement et dans le second cas par injection de trous dans le semiconducteur.

Idéalement un contact ohmique doit avoir une caractéristique I-V linéaire et posséder une faible résistivité. Ceci est obtenu en favorisant l'un des mécanismes de transport de charge. Au niveau des mécanismes de recombinaison des paires électrons-trous, ceux-ci demandent d'augmenter le nombre de défauts et la mobilité des trous ce qui est peu envisageable car ceci détériorerait les performances transitoires du dispositif. La possibilité de favoriser l'émission des électrons au-dessus de la barrière en diminuant cette barrière serait très intéressante mais peu réalisable car le type de métal déposé influence peu cette barrière. L'effet tunnel peut être favorisé en augmentant le dopage, car la largeur de la zone d'appauvrissement est fonction de la racine carrée du nombre de donneurs ( $N_d^{1/2}$ ).

La concentration de donneurs ( $N_d$ ) nécessaire pour obtenir une résistance spécifique des contacts ohmiques ( $r_c$ ) inférieure à  $10^{-5} \Omega\text{cm}$  est  $10^{20} \text{cm}^{-3}$  [2]. Cette concentration est obtenue par le dépôt d'une couche métallique riche en dopant sur le GaAs, puis cette structure métal-semiconducteur est chauffée pour que le dopant diffuse

dans le GaAs. L'alliage déposé est dans notre cas un mélange eutectique Au-Ge (88%-12% masse). Afin d'obtenir une meilleure morphologie et une couche métallique peu résistive nous déposons au-dessus de l'alliage Au-Ge une couche de nickel et une couche d'or. Masanori [20] a mis en évidence que la résistivité des contacts ohmiques est améliorée lorsque les composés de NiAs(Ge) et  $\beta$ -AuGa étaient présents en faible proportion près de l'interface du GaAs. Il a proposé deux hypothèses sur la fonction du NiAs(Ge) soit que le NiAs(Ge) augmente la concentration de Ge dans le GaAs ou encore que le NiAs diminue la barrière de potentiel métal-semiconducteur.

#### 3.4 METHODES DE RECUIR DES CONTACTS OHMIQUES

Plusieurs procédés de recuit sont employés pour le recuit des contacts ohmiques. Ici, le but est de comparer deux types de recuit qui sont caractérisés par des montées et descentes rapides en température. Le premier procédé est le recuit dans un four de recuit rapide. Ce four est constitué de deux rangées de lampes quartz-halogène entre lesquelles est placé l'échantillon (voir figure 3.5). L'échantillon est placé sur une pastille de silicium sur laquelle repose un thermocouple. Lors de la montée en température, les lampes quartz-halogène chauffent l'échantillon rapidement. Lors du chauffage

dans le four de recuit rapide, la couche métallique est chauffée de sa surface vers le semi-conducteur. Le refroidissement est produit par un jet de gaz envoyé dans la cavité contenant l'échantillon. Encore une fois la structure métallique est refroidie de la surface vers le semi-conducteur.

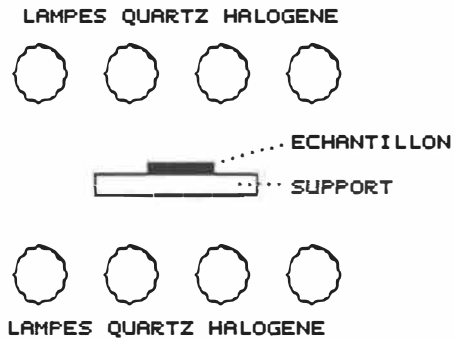


FIGURE 3.5 Schéma du four de recuit rapide.

Le second procédé est le recuit sur une plaque chauffante. Le montage utilisé est constitué de deux plaques, l'une chauffée à la température du recuit d'autre maintenue à la température de la pièce. Une atmosphère d'azote est produite autour des deux plaques et à l'aide d'une pince l'échantillon de GaAs est transporté de la plaque froide à la plaque chaude le temps du recuit, puis est retourné sur la plaque froide pour le refroidissement (figure 3.6).



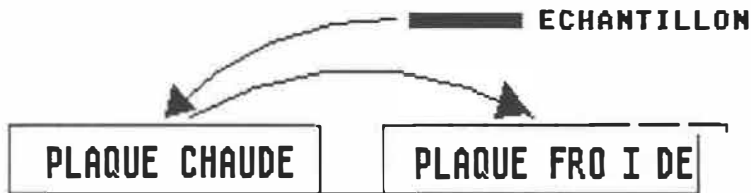


FIGURE 3.6 Schéma du système de recuit sur plaque chauffante.

Les temps de montée et de descente en température ont été évalués par un calcul de transfert de chaleur à 1.5 secondes ( voir l'annexe B pour le détail des calculs). La montée et la descente en température de la couche métallique débutent à l'interface GaAs. Ce type de chauffage permet potentiellement de favoriser les interactions entre la couche Au-Ge et le GaAs donc d'avoir une plus forte concentration de Ge dans le GaAs car l'interaction du Ge avec le substrat est favorisée plutôt qu'avec les couches métalliques supérieures. De plus, le refroidissement de l'échantillon à travers du substrat favorise la transformation de phases en concordance avec la maille du cristal du semiconducteur. Ceci contribue à minimiser les contraintes mécaniques que peut produire la couche métallique sur le semi-conducteur lors du refroidissement, d'où un moins grand nombre de défauts à l'interface métal-semiconducteur.

### 3.5 RESULTATS DES RECUIITS

#### 3.5.1 FOUR DE RECUIIT RAPIDE

Les résultats des recuits dans le four de recuit rapide sont tirés des manipulations de Christophe Lagarde [2]. La structure de la couche métallique déposée est de 2000 Å AuGe, 300 Å Ni et 2000 Å Au. La figure 3.7 schématise la superposition des couches. Le cycle thermique utilisé est un taux de montée en température de 100°C/sec, un maintien à 450°C pendant 10 secondes et une descente en température pendant 25 secondes. La figure 3.8 présente le cycle thermique du recuit effectué par Lagarde. La résistance spécifique obtenue sur une couche active de 0.38 µm avec une concentration de donneurs de  $5.05 \cdot 10^{16} \text{ cm}^{-3}$  à l'aide d'un dispositif TLM est de  $2 \cdot 10^{-5} \Omega \text{cm}^2$ .

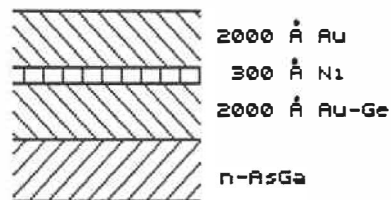


FIGURE 3.7 Structure de la couche métallique déposée.

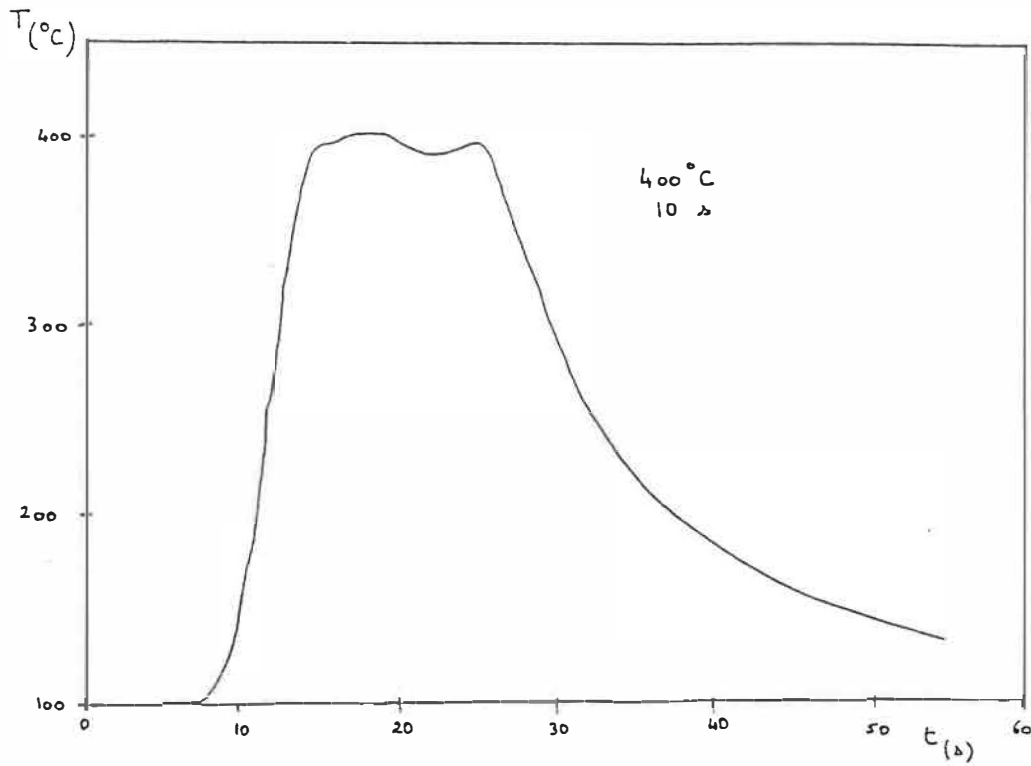


FIGURE 3.8 Cycle thermique que subit l'échantillon lors du recuit dans le four de recuit rapide [2].

### 3.5.2 PLAQUE CHAUFFANTE

Les contacts ohmiques ont été réalisés sur un substrat donc les paramètres physiques nécessaires à la caractérisation ont été déterminés par des mesures C-V. Le tableau 3.1 contient les propriétés physiques de la couche active.

La procédure expérimentale pour la préparation des échantillons et des dépôts métalliques a été la même que celle proposée par Lagarde, afin d'obtenir des résultats selon les mêmes bases de comparaisons. L'annexe C contient la procédure des manipulations en détail. Les épaisseurs des couches métalliques constituant le contact sont comme présentées à la figure 3.7.

TABLEAU 3.1

CARACTERISTIQUES PHYSIQUES  
DU SUBSTRAT UTILISE

Epaisseur de la couche active	0.4 $\mu\text{m}$
Concentration de donneur	$5 \cdot 10^{16} \text{ cm}^{-3}$

Le montage utilisé pour réaliser le recuit est, pour la plaque chaude, une plaque d'aluminium de 3/8" déposée sur un serpentin chauffant, sur laquelle est déposée une autre plaque d'aluminium polie d'une épaisseur de 3/8". Cette superposition de deux plaques d'aluminium sert à uniformiser la température de la surface où l'échantillon est déposé. La température de la plaque supérieure est déterminée par un thermocouple mis sur la surface de cette dernière. La plaque froide est une plaque de 1/2" de laiton poli. L'ensemble des deux plaques est mis dans une boîte de plexiglass munie d'une paire de gants pour effectuer le déplacement de l'échantillon. Avant d'effectuer un recuit, l'oxygène est évacué de la boîte de plexiglass par un jet d'azote pendant un minimum de 30 minutes et la plaque chaude

doit avoir maintenu la température de recuit pendant un minimum de 5 minutes avant d'effectuer le recuit.

Deux séries d'essais ont été réalisées afin d'optimiser les recuits des contacts ohmiques sur plaques chauffante. Ces essais ont eu comme objectifs de déterminer la température et le temps du recuit produisant la meilleure morphologie.

La première série d'essais a permis de déterminer la température à utiliser lors du recuit. Le temps du recuit est de 30 secondes et les températures utilisées sont de 400°C, 500°C et 600°C. L'essai à 400°C (figure 3.9) montre que le métal déposé demeure sans relief sauf à quelques endroits localisés principalement en périphérie des contacts. Ceci indique que cette température de recuit n'est pas suffisamment élevée pour fondre le métal déposé et de permettre l'interaction métal-semiconducteur. En revanche, le recuit à 600°C (figure 3.11) produit un relief important. Ceci indique que la température de recuit est suffisamment élevée pour fondre le métal déposé et permettre l'interaction métal-semiconducteur. En revanche, le recuit à 600°C donne naissance à une seconde phase à la surface du contact, ce qui indique que le métal déposé réagit à certains endroits sur toute son épaisseur avec le semiconducteur. Le recuit à 600°C peut donc conduire à une résistivité du contact médiocre. L'essai à 500°C (figure 3.10) présente un relief qui indique la présence d'une interaction métal-semiconducteur tout en minimisant la présence de la seconde phase.

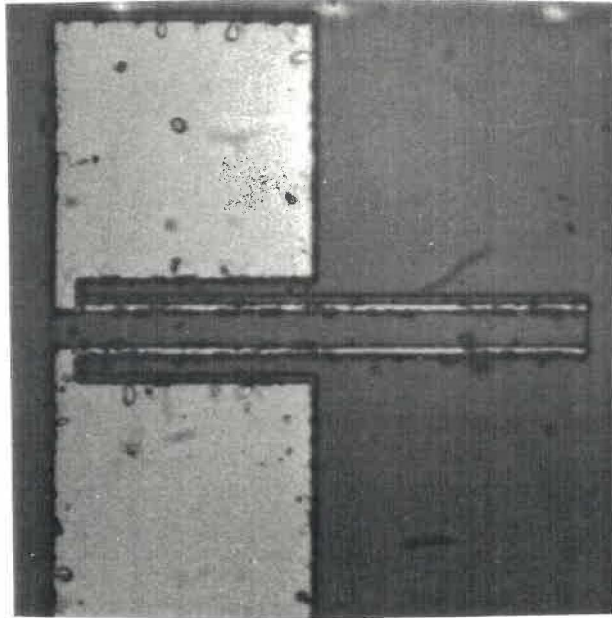


FIGURE 3.9 Microphotographie d'un contact ohmique recuit à 400°C pendant 30 secondes. Grossissement 450X.

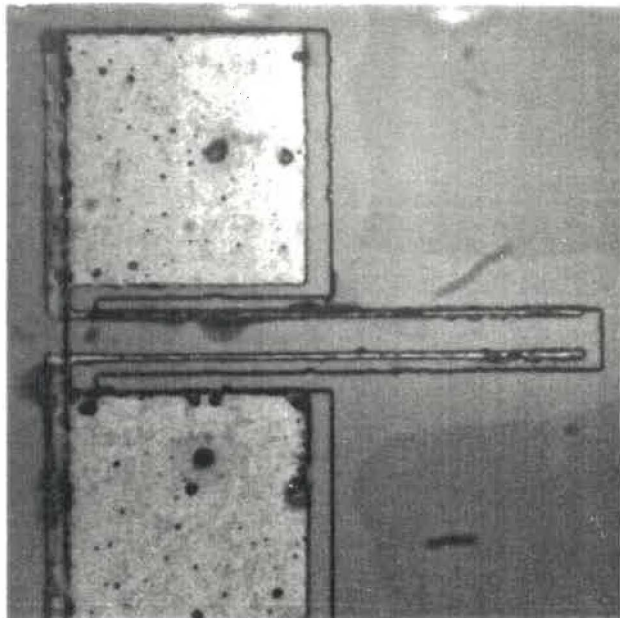


FIGURE 3.10 Microphotographie d'un contact ohmique recuit à 500°C pendant 30 secondes. Grossissement 450X.

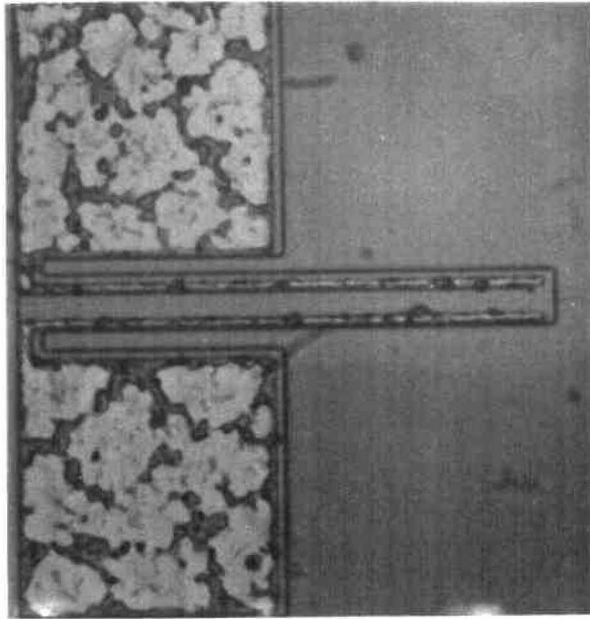


FIGURE 3.11 Microphotographie d'un contact ohmique recuit à 600°C pendant 30 secondes. Grossissement 450X.

La seconde série d'essais a eu pour but de déterminer l'influence du temps de recuit sur la morphologie. Les essais ont été effectués sur un échantillon semi-isolant pour des temps de 15, 45 et 90 secondes à  $450^{\circ}\text{C}$ . Les morphologies pour ces trois temps sont similaires comme vous pouvez le voir sur les figures 3.12, 3.13 et 3.14.

Les essais indiquent que la morphologie s'améliore en diminuant la température, ce qui est confirmé par la littérature. De plus la température de  $450^{\circ}\text{C}$  étant suffisamment élevée pour effectuer le recuit, nous choisissons cette température pour faire les recuits. La seconde série d'essais indique que la morphologie du contact ne semble pas affectée par le temps de recuit, nous choisissons donc une période de recuit de 30 secondes pour des considérations pratiques.

Le dispositif utilisé pour déterminer la résistance spécifique de contact découle de la théorie des lignes de transmission (TLM). Physiquement le dispositif est une suite de contacts dont l'espacement croît. Donc en mesurant la résistance entre chaque contact on obtient une droite dont l'ordonnée à l'origine équivaut à deux fois la somme de la résistance apparente des contacts ( $R_c$ ) et de la résistance des sondes ( $R_{sonde}$ ), et la pente donne la résistance par carré de la couche active ( $R_{carré}$ ) divisée par la largeur de contact ( $W$ ).

L'étude théorique de la distribution du courant sous le contact



permet de relier la résistance par carré à la résistance spécifique [2]  
soit:

$$R_c = \frac{(R_{\text{carré}} r_c)^{1/2}}{W} \coth(d(R_{\text{carré}}/r_c)^{1/2})$$

où  $R_{\text{carré}}$ : est la résistance de la couche active par carré.  
 $r_c$ : la résistance spécifique du contact ohmique.  
 $W$ : la largeur du contact.  
 $d$ : la longueur du contact.

Généralement l'expression de  $\coth$  tend vers 1 donc

$$r_c = \frac{(R_c W)^2}{R_{\text{carré}}}$$

A l'aide du dispositif TLM nous pouvons mesurer la résistance spécifique des contacts ohmiques. L'annexe C contient les résultats de toutes les mesures effectuées. Ces résultats indiquent que la résistance spécifique est de  $2.1 \cdot 10^{-5} \Omega \text{cm}^2$  avec un écart type de  $1.4 \cdot 10^{-5} \Omega \text{cm}^2$ . De plus, afin de vérifier la reproductibilité des caractéristiques des contacts ohmiques sur la surface d'une pastille, nous avons mesuré la résistivité spécifique en fonction de la position du dispositif TLM sur la pastille. La figure 3.15 présente ces mesures en fonction de la position sur la pastille.

Les valeurs des résistances spécifiques obtenues pour les contacts varient de  $1.07 \cdot 10^{-5} \Omega \text{cm}^2$  à  $3.79 \cdot 10^{-5} \Omega \text{cm}^2$  (en éliminant les valeurs extrêmes). La reproductibilité des contacts en fonction de la position sur la pastille est bonne même en périphérie de l'échantillon.

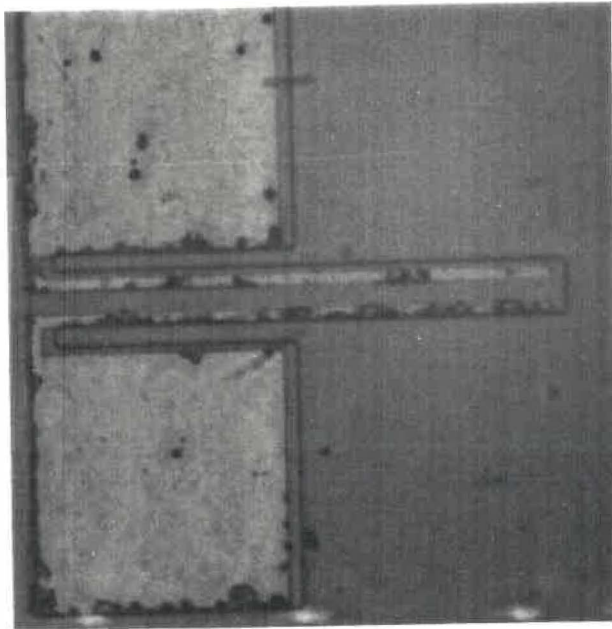


FIGURE 3.12 Microphotographie d'un contact ohmique recuit à 450°C pendant 15 secondes. Grossissement 450X.

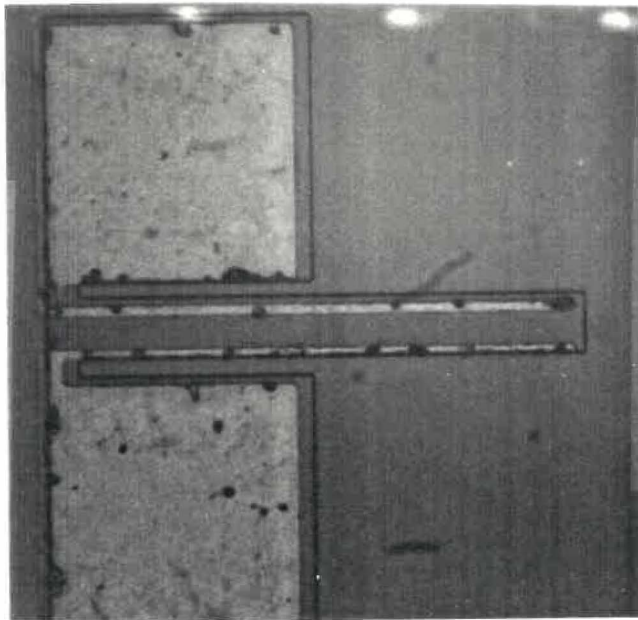


FIGURE 3.13 Microphotographie d'un contact ohmique recuit à 450°C pendant 45 secondes. Grossissement 450X.

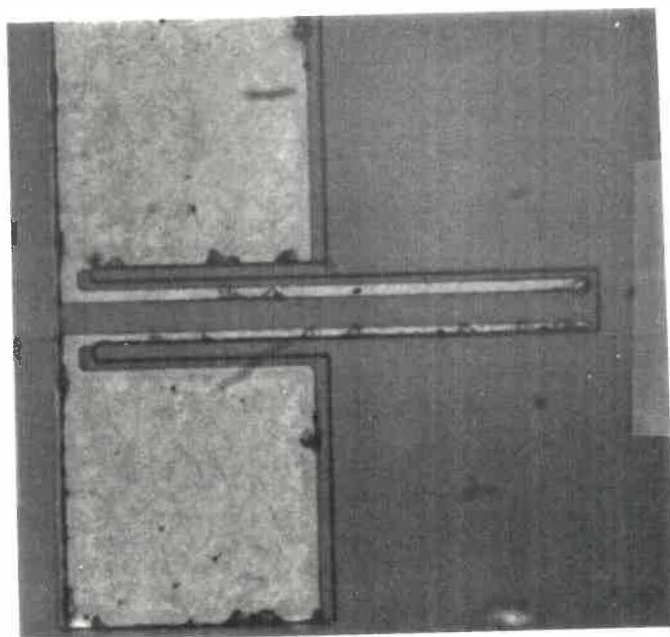


FIGURE 3.14 Microphotographie d'un contact ohmique recuit à  $450^{\circ}\text{C}$  pendant 90 secondes. Grossissement 450X.

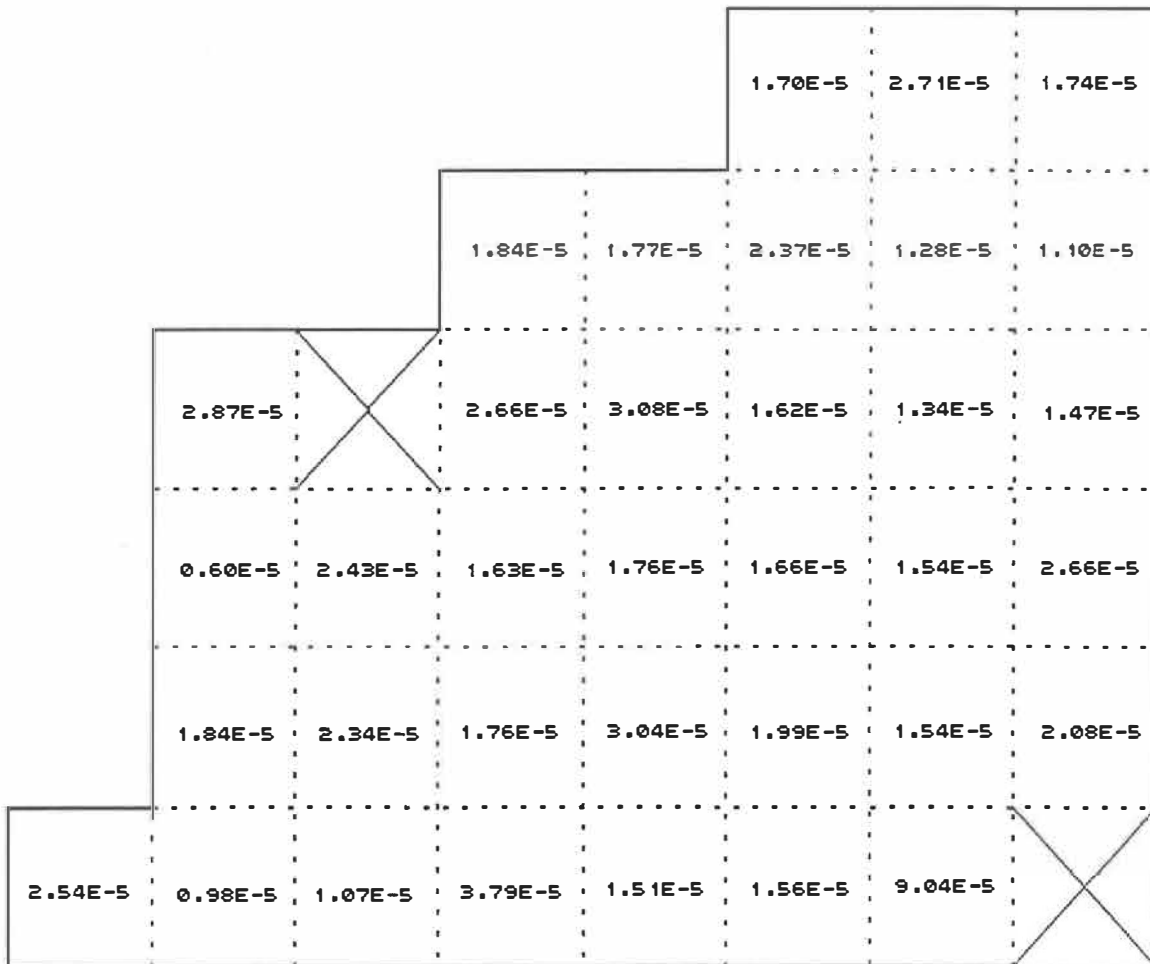


FIGURE 3.15 Résistivité spécifique ( $\Omega\text{cm}^2$ ) en fonction de l'emplacement sur l'échantillon. Les croix présentent les dispositifs TLM non mesurés à cause de problèmes lithographiques.

### 3.6 DISCUSSION ET CONCLUSION

Les recuits sur plaque chauffante donnent des contacts ohmiques d'aussi bonne qualité que ceux réalisés dans le four de recuit rapide pour un substrat similaire (Nd égale  $5.05 \cdot 10^{16} \text{ cm}^{-3}$  et  $5 \cdot 10^{16} \text{ cm}^{-3}$  dans chacun des cas). Au niveau de la morphologie le contact recuit sur plaque chauffante offre une meilleure apparence comme montré aux figures 3.16 et 3.17.

Le cycle de température des recuits sur plaque chauffante produit une morphologie de contact supérieure par le fait que le chauffage et le refroidissement s'effectuent de l'interface métal-semiconducteur vers la surface externe du métal.

Un dernier attrait est le coût de l'équipement qui est nettement inférieur, soit quelques centaines de dollars pour réaliser les recuits sur plaque chauffante comparativement à plusieurs milliers de dollars pour un four de recuit rapide. Une telle différence de coût n'est importante que si la qualité des recuits est comparable.

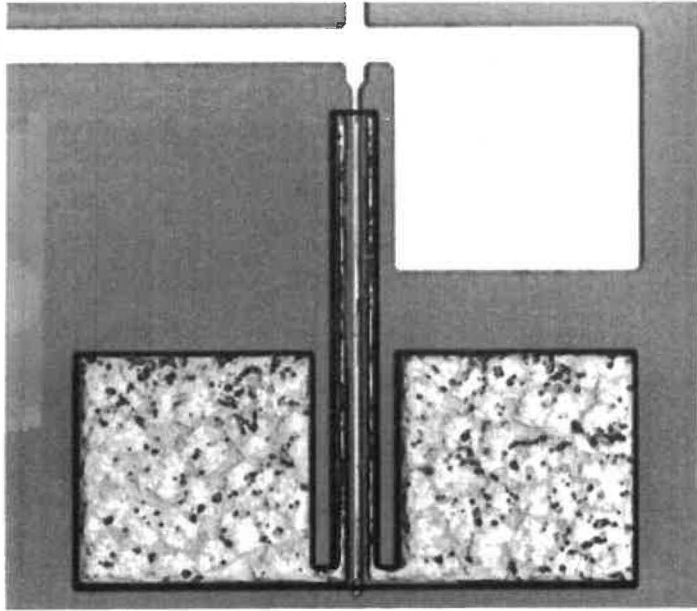


FIGURE 3.16 Microphotographie d'un contact ohmique recuit sur plaque chauffante. Grossissement 425X.

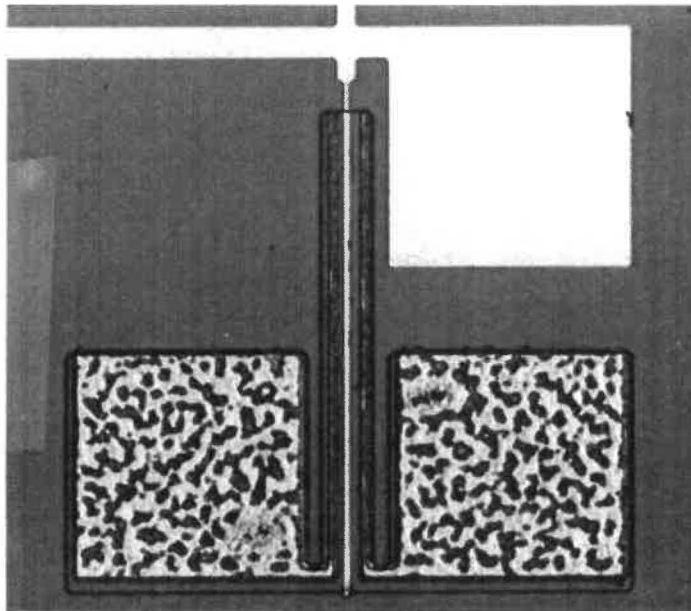


FIGURE 3.17 Microphotographie d'un contact ohmique recuit dans un four de recuit rapide. Grossissement 425X.

## 4. PORTES LOGIQUES

### 4.1 LES STRUCTURES DE PORTES LOGIQUES

Le présent chapitre étudie deux structures de portes logiques soit les structures BFL et DCFL. La structure BFL est étudiée en détail car elle demeure l'une des structures les plus rapides et les moins sensibles aux variations des paramètres électriques des composants, par conséquent c'est souvent la première structure utilisée pour un nouveau procédé. La structure DCFL est étudiée car elle est la structure par excellence pour réaliser des circuits intégrés LSI et VLSI en GaAs.

L'étude de la structure BFL comprend: (1) une description du fonctionnement de la porte "inverseur"; (2) l'étude de l'étage décaleur; (3) l'étude de l'étage logique; (4) le calcul des niveaux de polarisation; (5) l'évaluation des rapports de dimension optima entre l'étage logique et l'étage décaleur pour commander une charge; (6) l'étude des rapports de taille optima en vue de minimiser les délais à travers d'une chaîne d'inverseurs qui commande une grosse charge; et (7) l'étude de portes complexes NON OU et NON ET. L'étude de la structure DCFL comprend: (1) une description; (2) l'étude de l'étage logique; (3) l'étude des délais de propagation à travers d'une chaîne d'inverseurs pour commander une grosse charge et (4) la sélection des dimensions pour un super générateur. Pour terminer une comparaison des délais de propagation et de la consommation énergétique entre les deux structures est faite.

## 4.2 STRUCTURE BFL

### 4.2.1 DESCRIPTION DE LA STRUCTURE BFL

La structure BFL est constituée de deux étages consécutifs comme présenté à la figure 4.1. Le premier étage effectue l'opération logique inversée à l'aide des MESFET de l'opérateur logique qui produisent les opérations ET ou OU selon un agencement série ou parallèle et d'un MESFET utilisé comme une charge active. L'étage logique opère de telle façon que les MESFET de l'opérateur logique offrent une faible impédance à la masse lorsque le résultat de l'opération logique est "0", ce qui produit une chute de potentiel aux bornes du MESFET en charge active. Inversement pour un résultat logique de "1" les MESFET de l'opérateur logique offrent une haute impédance à la masse pour produire une chute de potentiel aux bornes de ces MESFET. Les tensions d'entrée sur les grilles des MESFET de l'opérateur logique sont de 0.5 V pour un "1" logique et de -2.0 V pour un "0" logique. La tension à la sortie de l'étage logique varie de près de 0 V à près de Vdd.

Les niveaux de tension à la sortie de l'étage logique sont incompatibles avec les niveaux requis aux entrées d'où la nécessité du second étage décaleur qui transpose la variation à la sortie de l'étage logique de 0 V - Vdd à  $V_{Bas}$  -  $V_{Haut}$ . L'étage décaleur est constitué d'un MESFET en source suivieuse pour éviter de charger l'étage logique,



d'une chaîne de diodes pour effectuer le décalage de tension et d'un MESFET en source de courant.

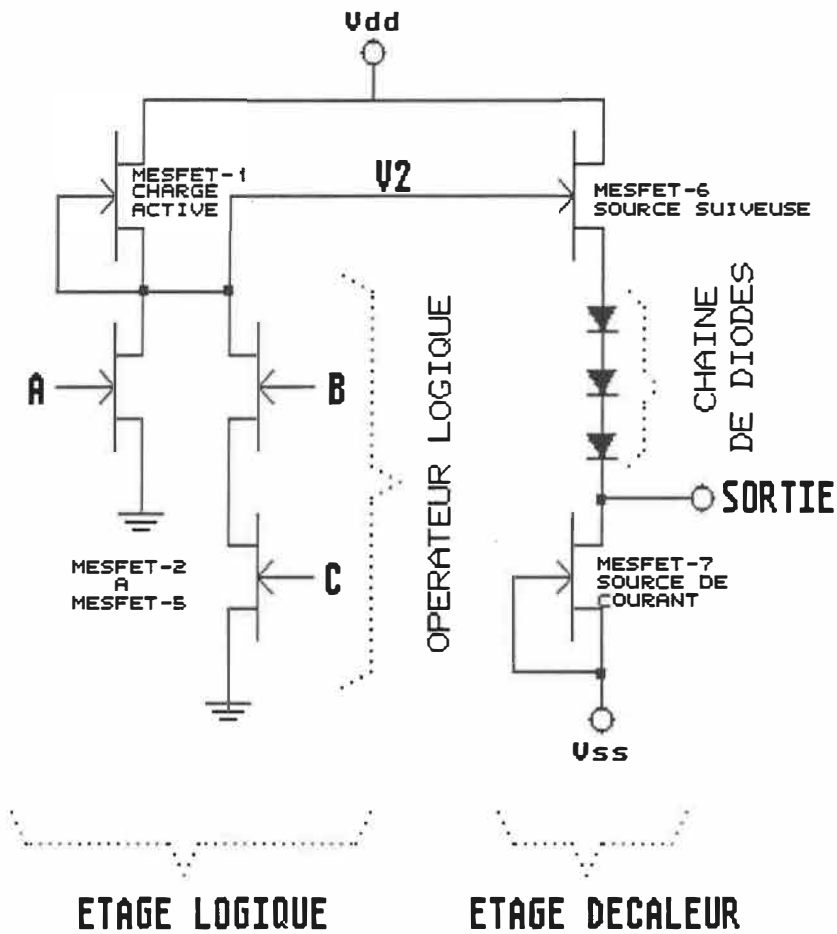


Figure 4.1 Porte selon la structure BFL. La structure BFL est constituée d'au minimum 4 MESFET et d'une chaîne de diodes.

Ceci termine la description de l'architecture BFL. Afin de faciliter les descriptions et le développement des expressions mathématiques une numérotation fixe est donnée aux différents MESFET tel qu'illustré à la figure 4.1:

MESFET-1: MESFET en charge active.

MESFET-2 à MESFET-5: MESFET de l'opérateur logique.

MESFET-6: MESFET en source suiveuse.

MESFET-7: MESFET en source de courant.

#### 4.2.2 ETAGE DECALEUR

Avant d'étudier l'étage logique, il est nécessaire de connaître l'opération et la fonction de transfert du décaleur. Ceci afin de nous permettre de justifier certaines hypothèses faites sur l'étage décaleur lors de l'étude de l'étage logique.

L'étage décaleur, repris à la figure 4.2, est constitué d'un MESFET en source suiveuse (MESFET-6), d'un MESFET en source de courant (MESFET-7) et d'une chaîne de diodes. L'étage décaleur opère de telle façon que le MESFET-6 est dans sa région de saturation, ce qui nous permet d'approximer la chute de tension aux bornes de la chaîne de diodes ( $V_{D_{iode}}$ ) comme constante puisque le courant à travers de l'étage décaleur varie peu. Le fonctionnement de l'étage décaleur est

déterminé par l'égalité des courants circulant dans les deux MESFET soit:

$$I_6 = I_7 \quad [4.1]$$

Les caractéristiques courant-tension suivent l'expression de Curtice:

$$I_6 = \beta_6 (V_{gs6} - V_{t0})^n (1 + fV_{ds6}) \text{th}(\alpha V_{ds6}) \quad [4.2a]$$

$$I_7 = \beta_7 (V_{gs7} - V_{t0})^n (1 + fV_{ds7}) \text{th}(\alpha V_{ds7}) \quad [4.2b]$$

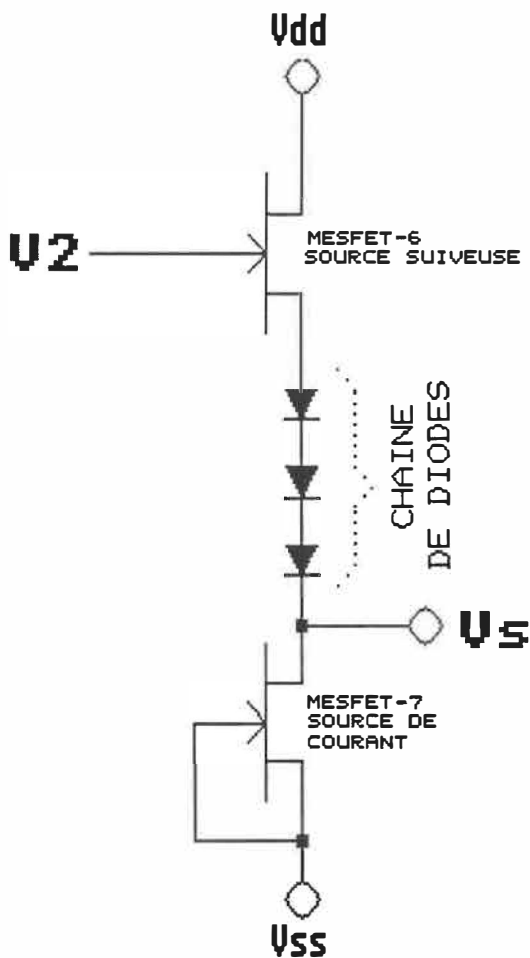


Figure 4.2 Schéma électrique de l'étage décaleur.

Et dans le cas de l'étage décaleur:

$$V_{GS6} = V_2 - (V_{Diode} + V_{DS7} + V_{SS}) \quad [4.3a]$$

$$V_{GS7} = 0 \quad [4.3b]$$

$$V_{DS7} = V_S - V_{SS} \quad [4.3c]$$

$$V_{DS6} = V_{DD} - (V_{Diode} + V_S) \quad [4.3d]$$

En remplaçant les équations 4.2a, 4.2b et 4.3b dans l'équation 4.1 on obtient la relation des tensions à travers de l'étage décaleur.

$$\beta_6 (V_{GS6} - V_{t0})^n (1 + fV_{DS6}) \text{th}(\alpha V_{DS6}) = \beta_7 (-V_{t0})^n (1 + fV_{DS7}) \text{th}(\alpha V_{DS7}) \quad [4.4]$$

L'équation 4.4 est une équation implicite qui peut être résolue par approximations numériques successives.

Afin de conceptualiser l'opération de l'étage, il est possible de superposer les courbes d'opération pour les états "0" et "1" du décaleur des deux MESFET sur le même graphique du courant en fonction de la tension de sortie tel qu'illustré à la figure 4.3.

La figure 4.3 montre qu'une variation de la tension grille-source du MESFET en source suiveuse (MESFET-6) correspondant à la différence attendue au point  $V_2$  en réponse à un "1" et à un "0" logique produit l'excursion logique nécessaire. De plus, nous constatons que le gain de l'étage logique est maximum lorsque les deux MESFET sont simultanément dans leur région de saturation. Cette figure montre aussi que la source du MESFET-6 suit la tension  $V_2$  à une constante près

égale à la moyenne de  $V_{GS_{MOY}}^-$  et  $V_{GS_{MOY}}^+$ . La valeur moyenne de  $V_{GS_{MOY}}$  est déterminée par la polarisation grille-source du MESFET-6 nécessaire pour mettre les MESFET-6 et MESFET-7 dans leur région de saturation. La valeur de  $V_{GS_{MOY}}$  est donc déterminée par les largeurs relatives des deux MESFET. Quatre classes de rapports de largeur sont intéressantes à analyser soit:  $W_6 > W_7$ ,  $W_6 = W_7$ ,  $W_6 < W_7$  et  $W_6 \ll W_7$ .

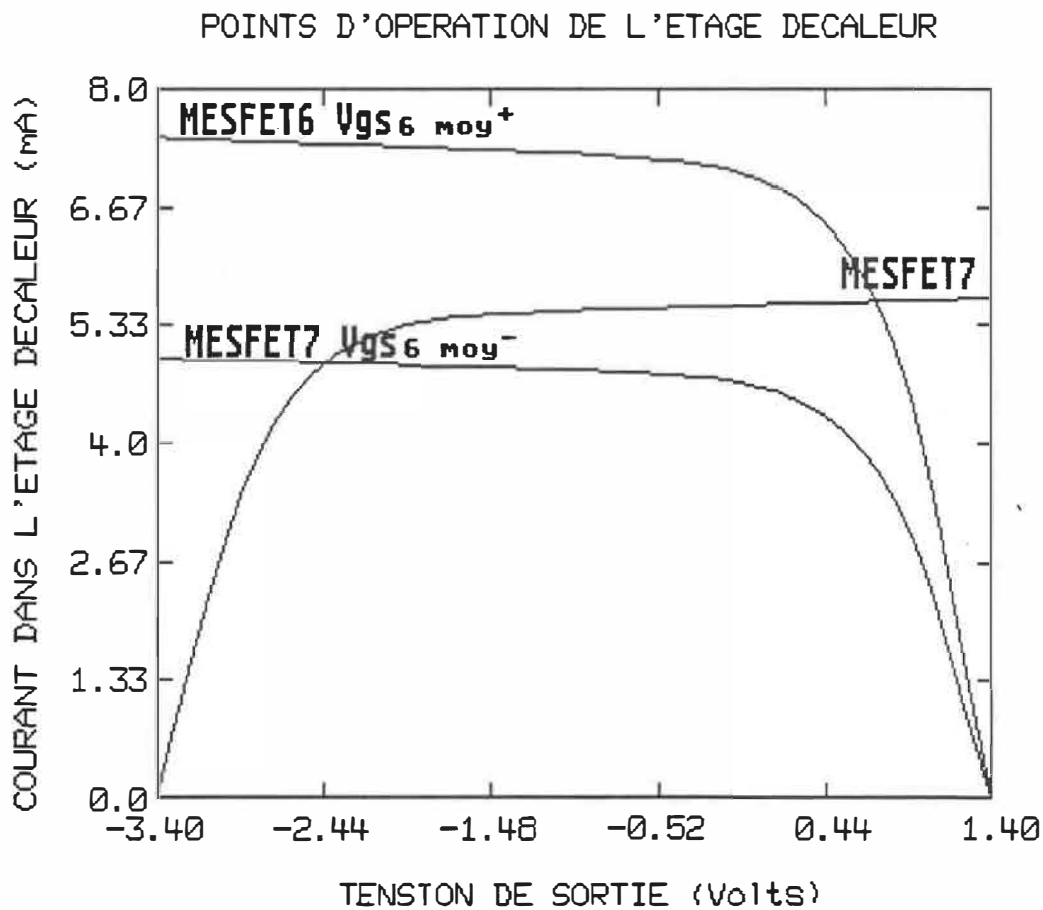


Figure 4.3 Présentation des courbes d'opération des MESFET-6 et MESFET-7 de l'étage décaleur ( $W_6 = W_7 = 30 \mu\text{m}$ ). Le modèle de MESFET utilisé est celui de Curtice.

i) Considérons le cas où  $W_6 > W_7$

Quand la largeur du MESFET-6 est supérieure à la largeur du MESFET-7, les deux MESFET sont simultanément dans leur région de saturation avec une polarisation grille-source négative du MESFET-6, ceci entraîne que pour passer d'un état "1" à un état "0", la tension grille-source moyenne est négative comme présenté à la figure 4.4. Donc pour des tensions d'entrée ( $V_2$ ) supérieures à celle qui donne  $V_{gs6} = V_{gs_{moy}} + \delta$ , où  $\delta > 0$  mais petit, le MESFET en source suiveuse entre dans sa région linéaire et produit une faible variation de la tension de sortie pour une forte variation de la tension grille source. Dans ce cas, l'étage décaleur a un gain moindre pour des tensions d'entrée ( $V_2$ ) élevées.

ii) Considérons le cas où  $W_6 = W_7$

Dans ce cas, les deux MESFET sont dans leur région de saturation simultanément pour une tension grille-source du MESFET en source suiveuse autour de 0 V. La figure 4.5 présente ce cas.

iii) Considérons les cas où  $W_6 < W_7$  et  $W_6 \ll W_7$

Le MESFET-7 entre dans sa région de saturation pour des valeurs positives de la tension grille-source du MESFET-6 (figure 4.6). Il faut être conscient qu'une différence de largeur importante produira une tension directe grille-source élevée ce

qui est inacceptable car cela provoquerait un courant de grille important.

### POINTS D'OPERATION DE L'ETAGE DECALEUR

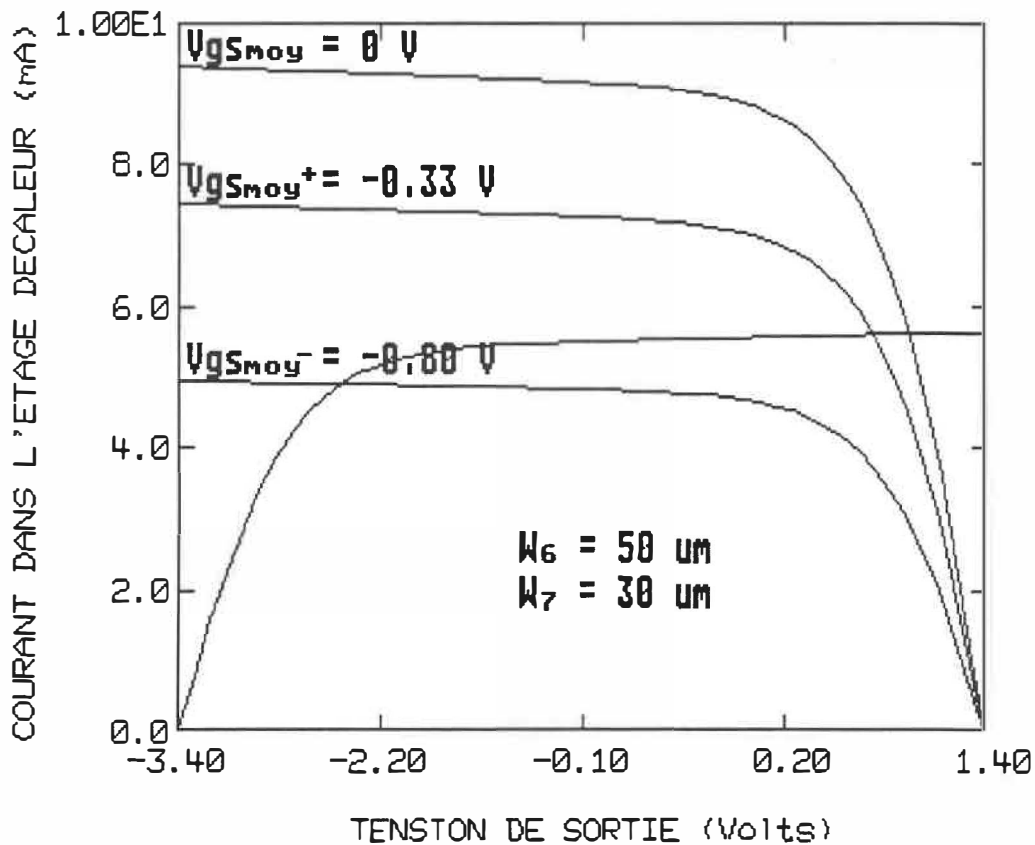


FIGURE 4.4 Courbes d'opération des MESFET-6 et MESFET-7 pour le cas où  $W_6 > W_7$ . Le modèle de MESFET utilisé est celui de Curtice.

## POINTS D'OPERATION DE L'ETAGE DECALEUR

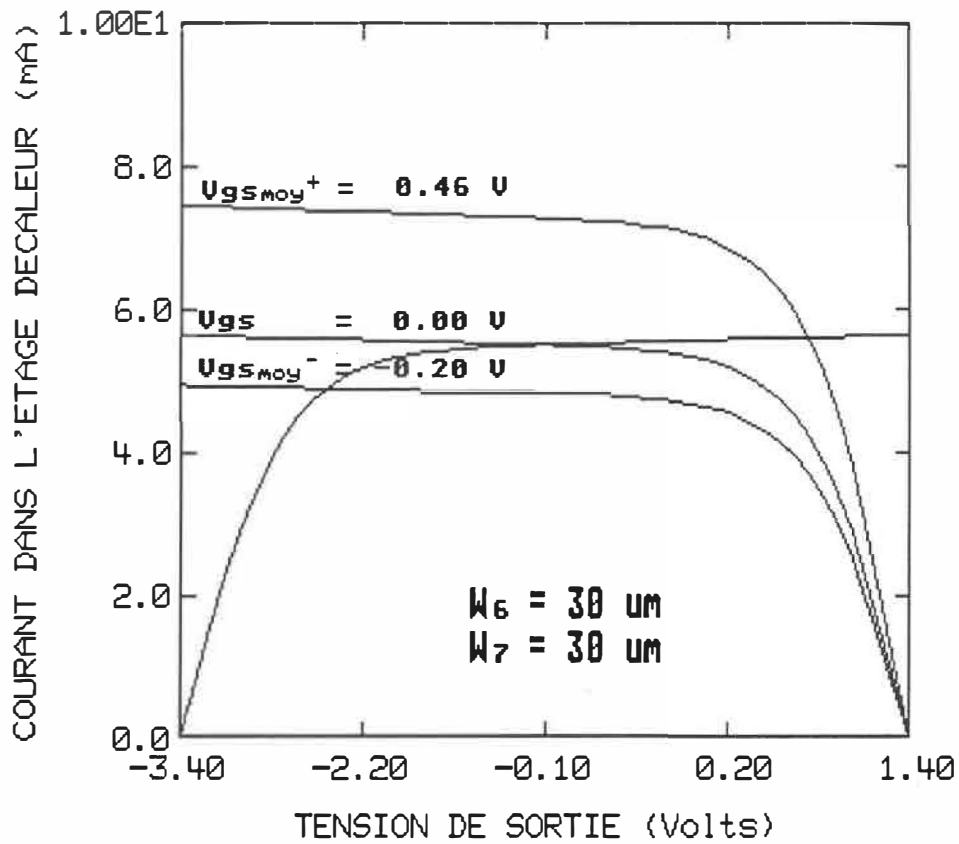


FIGURE 4.5 Courbes d'opération des MESFET-6 et MESFET-7 pour le cas où  $W_6 = W_7$ . Le modèle de MESFET utilisé est celui de Curtice.



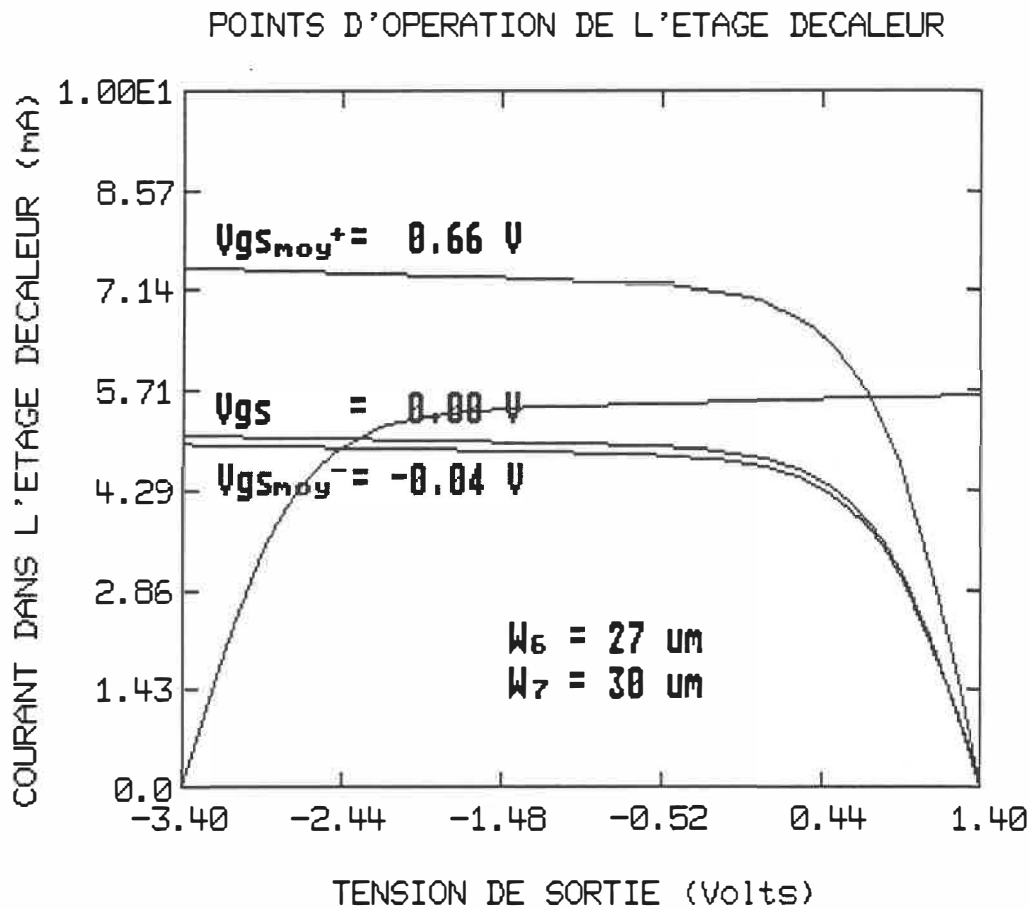


FIGURE 4.6 Courbes d'opération des MESFET-6 et MESFET-7 pour le cas où  $W_6 < W_7$ . Le modèle de MESFET utilisé est le modèle de Curtice.

Les quatre cas décrits précédemment mettent en évidence le gain de l'étage décaleur pour lequel une expression analytique peut être obtenue en dérivant l'équation 4.4 par rapport à  $V_2$ :

$$\begin{aligned} & \beta_6 (V_{gs6} - V_{t0})^{n-1} (1 + fV_{ds6}) \operatorname{th}(\alpha V_{ds6}) \frac{\delta V_{gs6}}{\delta V_2} + \\ & \beta_6 (V_{gs6} - V_{t0})^n \left[ f \operatorname{th}(\alpha V_{ds6}) + \frac{(1 + fV_{ds6})\alpha}{\cosh^2(\alpha V_{ds6})} \right] \frac{\delta V_{ds6}}{\delta V_2} \\ = & \beta_7 (-V_{t0})^n \left[ f \operatorname{th}(\alpha V_{ds7}) + \frac{(1 + fV_{ds7})\alpha}{\cosh^2(\alpha V_{ds7})} \right] \frac{\delta V_{ds7}}{\delta V_2} \end{aligned} \quad [4.5]$$

Les relations 4.3a, 4.3c et 4.3d donnent:

$$\frac{\delta V_{ds7}}{\delta V_2} = \frac{\delta V_s}{\delta V_2} \quad [4.6a]$$

$$\frac{\delta V_{ds6}}{\delta V_2} = \frac{-\delta V_s}{\delta V_2} \quad [4.6b]$$

$$\frac{\delta V_{gs6}}{\delta V_2} = 1 - \frac{\delta V_{ds7}}{\delta V_2} = \frac{1 - \delta V_s}{\delta V_2} \quad [4.6c]$$

Ce qui permet d'avoir la relation du gain de l'étage décaleur en fonction de la tension d'entrée:

$$\begin{aligned} \frac{\delta V_s}{\delta V_2} = & \left[ 1 + \frac{(V_{gs6} - V_{t0})f}{n(1 + fV_{ds6})} \right] + \left[ \frac{(V_{gs6} - V_{t0})\alpha}{n \operatorname{th}(\alpha V_{ds6}) \cosh^2(\alpha V_{ds6})} \right] + \\ & \left[ \frac{\beta_7 (-V_{t0})^n (V_{gs6} - V_{t0})}{\beta_6 (V_{gs6} - V_{t0})^n n(1 + fV_{ds6}) \operatorname{th}(\alpha V_{ds6})} \right]^* \\ & \left[ f \operatorname{th}(\alpha V_{ds7}) + \frac{(1 + fV_{ds7})\alpha}{\cosh^2(\alpha V_{ds7})} \right]^{-1} \end{aligned} \quad [4.7]$$

L'évaluation de l'équation 4.7 passe auparavant par l'évaluation des

potentiels dans le décaleur à l'aide de l'équation 4.4.

Nous avons tracé le gain de l'étage décaleur en fonction de la tension d'entrée pour  $W_6 > W_7$ ,  $W_6 = W_7$  et  $W_6 < W_7$ . La figure 4.7 présente les trois courbes de gain en fonction de la tension d'entrée. Il faut remarquer que le gain maximum se déplace vers des tensions d'entrée plus négatives à mesure que le rapport  $W_6/W_7$  augmente. Ceci correspond à ce que nous avons prévu précédemment.

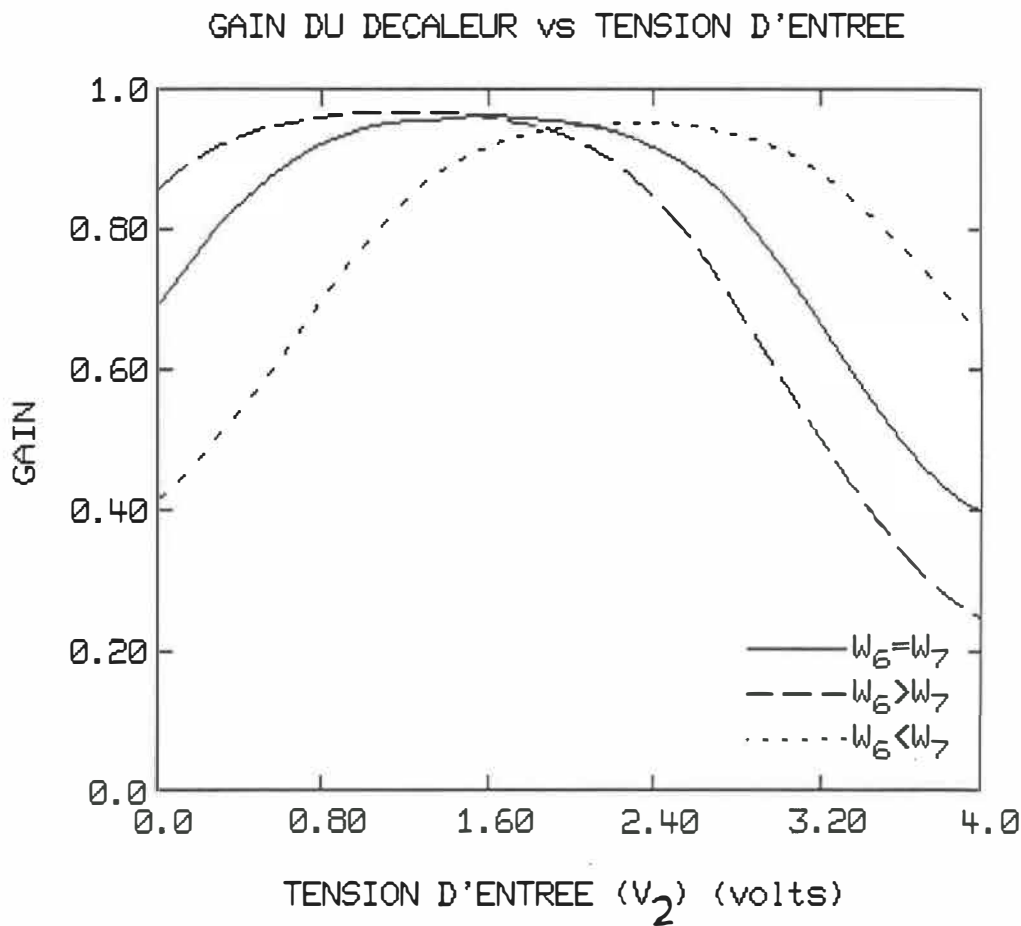


Figure 4.7 Gain du décaleur en fonction de la tension d'entrée.

Deux critères de choix peuvent être pris pour déterminer le rapport des largeurs des MESFET de l'étage décaleur soit: le temps de propagation et le gain sur un intervalle de tension d'entrée. Nous traitons ici du second critère seulement. Le gain moyen de l'étage décaleur est déterminé en intégrant le gain (équation 4.7) pour une tension d'entrée variant de 0 V à Vdd.

$$\text{Gain}_{\text{moy}} = \frac{1}{V_{\text{dd}}} \int_0^{V_{\text{dd}}} \frac{\delta V_s}{\delta V_z} \delta V_z \quad [4.8]$$

Cette intégrale ne peut pas être faite analytiquement. Nous avons effectué l'intégrale numériquement pour tracer le graphique de la figure 4.8. Le gain optimum est obtenu pour un rapport de largeur de 0.83 soit un rapport inférieur à l'unité. Ceci est un peu étonnant car notre analyse préliminaire prédisait que le gain optimum serait pour un rapport de largeur unitaire, mais ceci est explicable par l'accroissement de  $\delta I_{\text{ds}}/\delta V_{\text{gs}}|_{V_{\text{ds}}=\text{cte}}$  avec l'augmentation de  $V_{\text{gs}}$  tel que décrit par le modèle de Curtice. Nous avons calculé le gain moyen de l'étage décaleur simuler sur SPICE avec le modèle de Curtice. Les résultats obtenus montrent la même dépendance du gain moyen avec le rapport des largeurs des MESFET-6 et MESFET-7. Les gains moyens du décaleur calculés des simulations SPICE sont moindre que ceux déterminés par l'expression 4.8, ceci est expliqué par le fait que dans la simulation SPICE la chaîne de diodes n'est pas une source de tension

fixée mais est constituée de diodes.

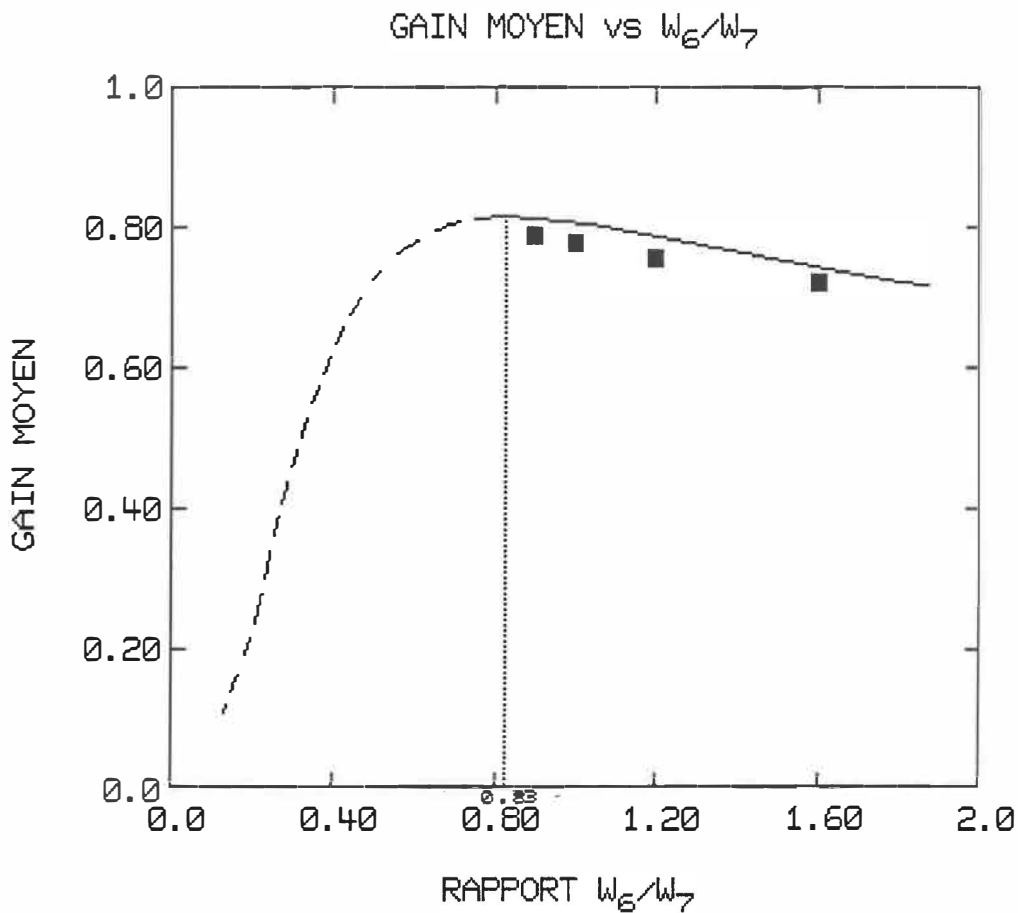


Figure 4.8 Gain de l'étage décaleur sur l'intervalle de 0 V à 4 V de la tension d'entrée  $V_2$ ,  $V_{dd} = 4$  V et  $V_{ss} = -3.5$  V. Cette courbe est obtenue de l'équation 4.8 résolue numériquement. La portion de courbe en pointillés représente des rapports de  $W_6/W_7$  qui produisent une tension grille-source du MESFET-6 supérieure à 0.7 V. Les points discrets présentent le gain moyen déterminé par des simulations SPICE.

### 4.2.3 ETAGE LOGIQUE

L'étage logique est constitué d'une charge active (MESFET-1) et de un ou plusieurs MESFET produisant la fonction logique (MESFET-2 à 5). La figure 4.9 représente le schéma de l'étage logique d'un inverseur. La tension d'entrée de l'étage logique ( $V_A$ ) varie de  $-2.0$  V à  $0.5$  V et la tension de sortie de l'étage logique ( $V_2$ ) varie de  $0^+$  V à  $V_{dd}^-$ .

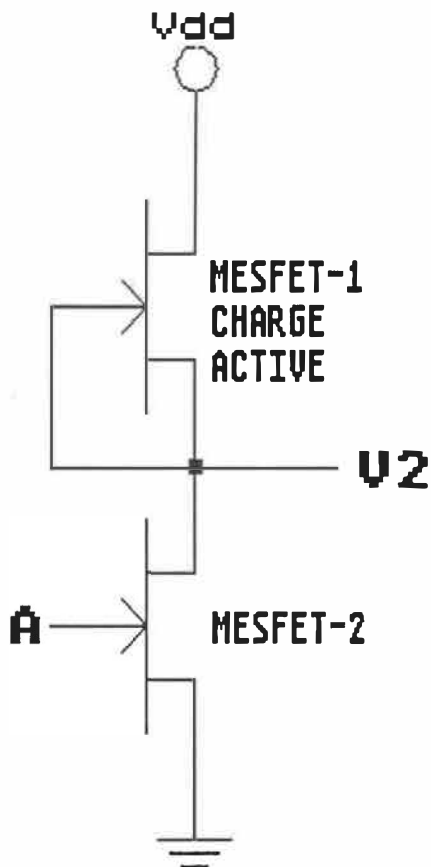


Figure 4.9 Schéma électrique de l'étage logique d'un inverseur BFL.

L'objectif utilisé pour déterminer le rapport de dimension des MESFET de l'étage logique consiste à centrer le seuil de la porte au centre de l'excursion logique. Cette objectif donne des marges de bruit presque optimales et assure une immunité maximale aux variations des paramètres électriques des composants.

Afin d'obtenir un résultat analytique de l'étude de l'étage logique, nous devons poser une hypothèse à la lumière de l'étude de l'étage décaleur. L'hypothèse posée est que la tension à la sortie de l'étage logique est de  $V_{dd}/2$  lorsque la tension à la sortie de l'étage décaleur est au centre de l'excursion logique. Ceci se justifie par le fait que nous retrouvons au centre de l'excursion logique un gain maximum de l'étage décaleur lorsque la tension d'entrée de l'étage décaleur est autour de  $V_{dd}/2$  quand  $W_6 \approx 0.83W_7$ . Cette hypothèse permet d'utiliser seulement les expressions de l'étage logique pour faire l'étude ce qui simplifie grandement le traitement mathématique.

La relation reliant les courants circulant dans les MESFET-1 et MESFET-2 est l'égalité des courants:

$$I_1 = I_2 \quad [4.9]$$

Puis en utilisant la relation de Curtice:

$$\beta_1 (V_{gs1} - V_{to})^n (1 + fV_{ds1}) \text{th}(\alpha V_{ds1}) = \beta_2 (V_{gs2} - V_{to})^n (1 + fV_{ds2}) \text{th}(\alpha V_{ds2}) \quad [4.10]$$

Dans notre cas :

$$V_{ds1} = V_{dd} - V_{ds2} \quad [4.11a]$$

$$V_{gs1} = 0 \text{ V} \quad [4.11b]$$

$$V_{gs2} = V_A \quad [4.11c]$$

$$V_2 = V_{ds2} \quad [4.11d]$$

En remplaçant les équations 4.11a, 4.11b, 4.11c et 4.11d dans l'équation 4.10 on obtient la relation entre les tensions d'entrée et de sortie :

$$\begin{aligned} \beta_1 (-V_{to})^n (1+f(V_{dd}-V_2)) \text{th}(\alpha(V_{dd}-V_2)) \\ = \beta_2 (V_A-V_{to})^n (1+fV_2) \text{th}(\alpha V_2) \end{aligned} \quad [4.12]$$

ou encore

$$\frac{\beta_1}{\beta_2} = \frac{(V_A-V_{to})^n (1+fV_2) \text{th}(\alpha V_2)}{(-V_{to})^n (1+fV_{ds1}) \text{th}(\alpha V_{ds1})} \quad [4.13]$$

Il faut se rappeler que le facteur d'échelle du modèle de Curtice est représenté par  $\beta$  qui est directement proportionnel à la largeur du MESFET donc

$$\frac{\beta_1}{\beta_2} = \frac{W_1}{W_2} \quad [4.14]$$

L'objectif du seuil centré et l'hypothèse de départ impliquent que

$$V_2 = V_{dd}/2 \quad [4.15a]$$



$$V_A = (V_{Haut} + V_{Bas})/2 \quad [4.15b]$$

Ce qui fixe  $V_{ds2}$  à  $V_{dd}/2$  par la relation 4.11a. En remplaçant dans l'équation 4.13 on obtient le rapport  $W_1/W_2$  en fonction de  $V_{Haut}$ ,  $V_{Bas}$  et  $V_{to}$  soit:

$$\frac{W_1}{W_2} = \frac{((V_{Haut} + V_{Bas})/2 - V_{to})^n}{(-V_{to})^n} \quad [4.16]$$

Dans notre cas particulier:

$$V_{Haut} = 0.5 \text{ V};$$

$$V_{Bas} = -2.0 \text{ V};$$

$$V_{to} = -2.5 \text{ V};$$

$$n = 1.65;$$

donc

$$\frac{W_1}{W_2} = 0.555$$

Ce qui corrobore une série de simulations qui indiquent que le seuil est centré au milieu de l'excursion logique pour un rapport ( $W_1/W_2$ ) de  $\approx 0.54$  (voir figure 4.10). De plus sur la figure 4.10, nous avons indiqué les marges de bruit ainsi que les niveaux de tension haut et bas à la sortie d'une porte inverseur.

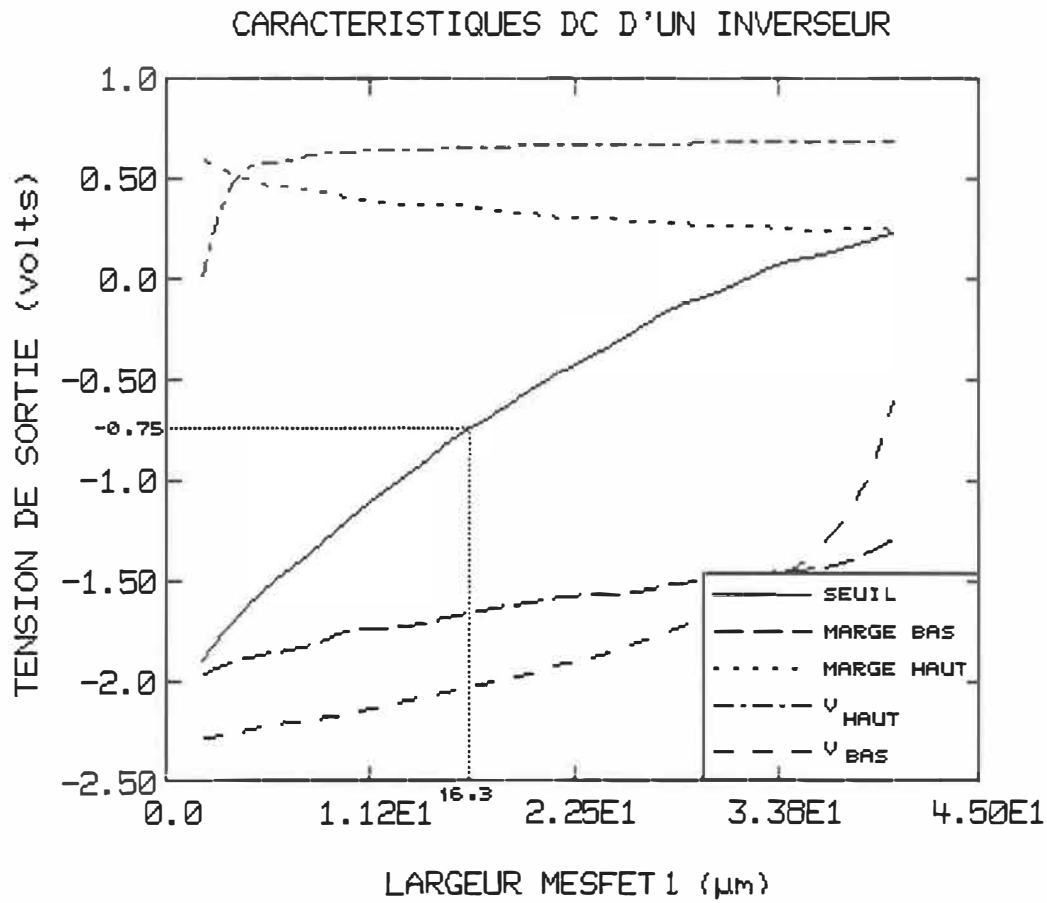


Figure 4.10

Caractéristiques DC d'un inverseur en fonction de la largeur du MESFET de la charge active pour une largeur de l'étage logique de  $30 \mu\text{m}$  et des MESFET de l'étage décaleur de  $30 \mu\text{m}$ . Ces résultats sont obtenus par des simulations SPICE à l'aide du modèle de Curtice.

#### 4.2.4 TENSION DE POLARISATION

A l'aide des études de l'étage décaleur et de l'étage logique, il nous est possible de choisir les tensions de polarisation  $V_{DD}$  et  $V_{SS}$  ainsi que le nombre de diodes dans l'étage décaleur pour opérer une porte BFL correctement.

La tension  $V_{DD}$  doit être égale à la somme des différences des tensions résiduelles aux bornes des MESFET et de l'excursion logique à la sortie de l'étage logique. L'excursion logique à la sortie de l'étage logique ( $V_{Haut}' - V_{Bas}'$ ) est plus élevée que l'excursion logique ( $V_{Haut} - V_{Bas}$ ) car le gain de l'étage décaleur de tension est inférieur à 1 (voir figure 4.8). Les tensions résiduelles aux bornes des composants actifs sont dues d'une part au fait qu'avec une tension d'entrée  $V_{Bas}$  le canal de MESFET-2 n'est pas complètement fermé, et d'autre part que le canal possède une certaine résistivité non nulle lorsqu'il est ouvert.

$$V_{DD} = (V_{Haut}' - V_{Bas}') + V_{DS1|V_{Haut} Transmis} + V_{DS2|V_{Bas} Transmis} \quad [4.17]$$

La figure 4.11 illustre graphiquement chacun des termes de cette équation en relation avec les courbes d'opération des MESFET de l'étage logique.

La tension  $V_{SS}$  est déterminée par la somme du niveau  $V_{Bas}$  et de la tension aux bornes du MESFET en source de courant lorsque le décaleur

transmet un "0". Donc

$$V_{SS} = V_{Bas} - V_{Ds2} | v_{Bas \text{ transmis}} \quad [4.18]$$

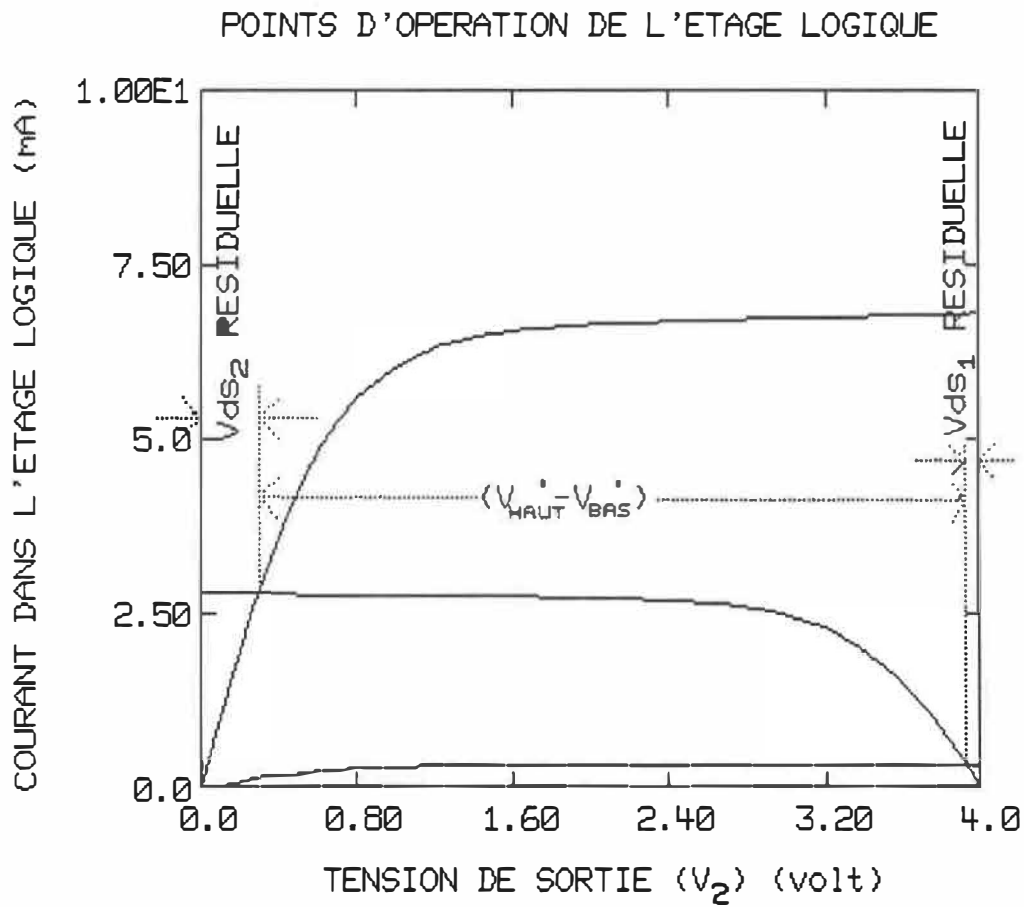


Figure 4.11 Courbes d'opération des MESFET de l'étage logique et identification des trois paramètres importants pour le choix de la tension Vdd.

Le nombre de diodes dans la chaîne de diodes est déterminé par les niveaux de tension de polarisation, les niveaux de tension logique  $V_{Haut}$  et  $V_{Bas}$  à la sortie de l'étage logique, ainsi que par des

tensions aux bornes des MESFET 6 et 7 lorsqu'ils sont fermés  $V_{ds6|Haut}$  et  $V_{ds7|Bas}$ . L'expression numérique qui définit le nombre de diodes est :

$$N = \frac{V_{dd} - V_{ss} - (V_{Haut} - V_{Bas}) - V_{ds6|Haut} - V_{ds7|Bas}}{V_{DIODE}} \quad [4.19]$$

Donc le choix des tensions de polarisation  $V_{dd}$  et  $V_{ss}$  sont un compromis afin d'obtenir un nombre de diodes entier dans l'équation 4.18 tout en respectant les équations 4.17 et 4.18.

Evidemment, le choix des tensions  $V_{dd}$  et  $V_{ss}$  s'effectue pour toutes les portes logiques sur un même circuit intégré. Il est donc nécessaire que le choix de  $V_{dd}$  et  $V_{ss}$  permettent à toutes les portes de produire les niveaux logiques adéquats. Notons cependant que les portes qui donnent des niveaux logiques bas inférieurs à celui fixé au départ ne produisent aucun problème aux dispositifs qu'elles alimentent, tandis que les niveaux haut supérieurs sont plus critiques car ils polarisent en sens direct la diode grille-source des portes qu'elles alimentent.

#### 4.2.5 RELATION DIMENSIONNELLE ENTRE L'ETAGE LOGIQUE ET L'ETAGE DECALEUR

Aux sections 4.2.3 et 4.2.4, nous avons exprimé des rapports dimensionnels des composants actifs dans l'étage décaleur et l'étage logique. Nous avons déterminé les largeurs des MESFET-6 et MESFET-7 pour optimiser le gain de l'étage décaleur et nous avons obtenu que

$$W_6/W_7 \sim 1-\epsilon$$

Dans le second cas, l'étage logique, nous avons centré le seuil au centre de l'excursion logique et nous avons obtenu que

$$\frac{W_1}{W_2} = \frac{((V_{Haut}-V_{Bas})/2 - V_{t0})^n}{(-V_{t0})^n}$$

Il nous reste donc à optimiser les dimensions de l'étage décaleur par rapport à celles de l'étage logique pour minimiser le temps de propagation à travers d'une porte. Pour ce faire, nous allons procéder à une modélisation grossière des composants actifs. Le modèle utilisé est le suivant:

- Seul le MESFET qui tire le noeud à une source de tension est considéré et possède une résistance de canal  $R/W$  où  $W$  est sa largeur et  $R$  une résistance équivalente pour un MESFET de largeur unitaire. Nous considérons que la résistance équivalente  $R$  est fonction de la polarisation grille-source du MESFET. Soit  $R_1$  quand  $V_{gs}=0$ ,  $R_2$  quand  $V_{gs}=V_{Haut}$  et  $R_3$  pour le MESFET en source

suiveuse qui a  $V_{gs} = V_{gs_{moy}}$ .

- Seules les capacités grille-source sont considérées car les capacités grille-drain et drain-source sont de 6 et 19 fois inférieures à la capacité grille-source [17]. La capacité grille-source est évaluée par le produit  $WC_g$  où  $W$  est la largeur du MESFET et  $C_g$  la capacité équivalente d'une unité de largeur de la grille.
- Le temps pour charger ou décharger un noeud est le produit de la résistance qui le charge ou le décharge par la capacité du noeud.

Il faut être conscient que les résultats obtenus à l'aide de ce modèle donneront seulement une indication des relations qui existent entre certains paramètres seulement.

La figure 4.12 présente une porte inverseur avec une charge de  $x C_g$ . Le temps pour propager un "1" à la sortie sera la somme du temps requis pour charger la capacité de grille du MESFET-6 par la résistance du MESFET-1 avec le temps requis pour charger la capacité de charge à travers de la résistance équivalente du MESFET-6 à  $V_{Haut}$ . La capacité grille-source du MESFET-6 n'est pas prise intégralement mais doit être transposée à la masse selon un facteur " $\Theta$ ", qui inclu l'effet de l'excursion logique et l'effet de la polarisation moyenne aux bornes de cette capacité. L'annexe D présente le calcul de ce facteur.

Deux calculs de temps de propagation basés sur des hypothèses d'opération du MESFET-7 différentes sont développés. Le premier

calcul suppose que le MESFET-7 est considéré comme un MESFET de résistance  $R_1/W_7$  qui décharge le noeud de sortie à la tension du 0 logique. Alors que le second calcul considère le MESFET-7 comme une source de courant idéale.



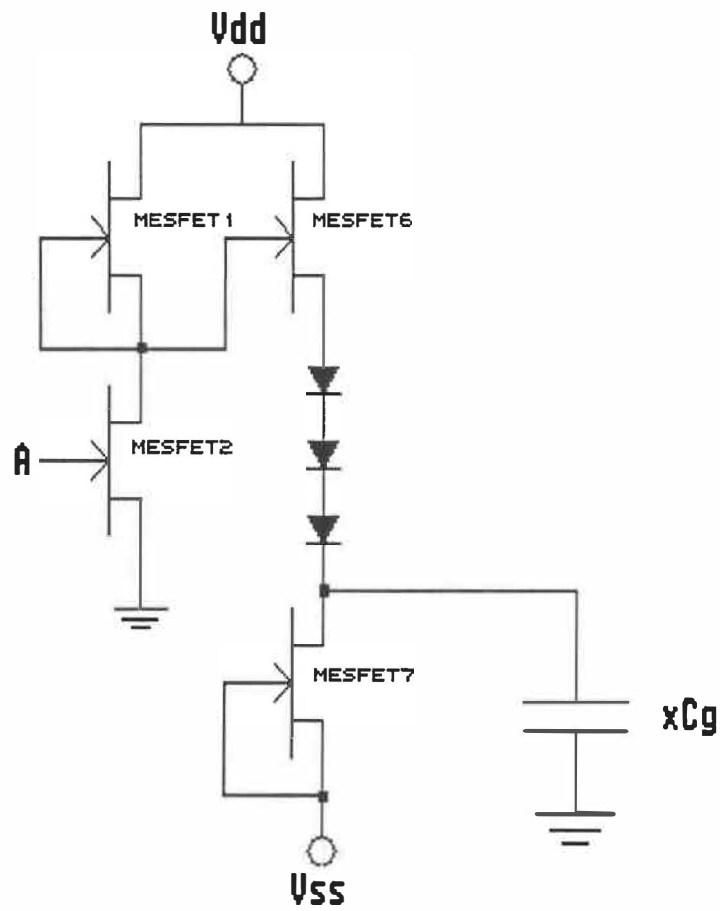


Figure 4.12 Le schéma d'une porte "inverseur" ayant une charge capacitive de  $x C_g$ .

i. DELAI MINIMUM SI LE MESFET-7 DECHARGE LE NOEUD DE SORTIE

L'expression du temps pour propager un "1" ( $\tau_1$ ) est:

$$\tau_1 = \frac{R_1 \ominus W_6 C_G}{W_1} + \frac{R_3 \times C_G}{W_6} \quad [4.20a]$$

Et de même pour le temps de propagation d'un "0" :

$$\tau_0 = \frac{R_2 \ominus W_6 C_G}{W_2} + \frac{R_1 \times C_G}{W_7} \quad [4.20b]$$

Le temps de propagation moyen minimum est minimum lorsque la dérivée de  $\tau_1 + \tau_0$  par rapport à  $W_6$  est nulle.

$$\tau_1 + \tau_0 = \frac{R_1 \ominus W_6 C_G}{W_1} + \frac{R_3 \times C_G}{W_6} + \frac{R_2 \ominus W_6 C_G}{W_2} + \frac{R_1 \times C_G}{W_7}$$

$$\frac{\delta(\tau_1 + \tau_0)}{\delta W_6} = \frac{R_1 \ominus C_G}{W_1} - \frac{R_3 \times C_G}{W_6^2} + \frac{R_2 \ominus C_G}{W_2} - \frac{R_1 \times C_G}{W_7^2} \frac{\delta W_7}{\delta W_6}$$

Les rapports de dimension dans chaque étage sont déjà fixés pour des considérations autres que de minimiser les délais. Ces rapports sont définis par les deux paramètres suivant:

$$\frac{W_7}{W_6} = K_{76} \quad [4.21a]$$

$$\frac{W_2}{W_1} = K_{21} \quad [4.21b]$$

donc

$$\frac{\delta W_7}{\delta W_6} = K_{76} \quad [4.21c]$$

D'où

$$\frac{\delta(\tau_1 + \tau_0)}{\delta W_6} = \frac{R_1 \ominus W_6^2 K_{21} K_{76}^2 C_g - x R_3 W_1 K_{21} K_{76}^2 C_g}{W_1 W_6^2 K_{21} K_{76}^2} + \frac{R_2 \ominus W_6^2 K_{76}^2 C_g - x R_1 W_1 K_{21} K_{76} C_g}{W_1 W_6^2 K_{21} K_{76}^2} \quad [4.22]$$

Le minimum est quand

$$\frac{\delta(\tau_1 + \tau_0)}{\delta W_3} = 0 \quad [4.23]$$

Soit quand

$$0 = R_1 \ominus C_g K_{21} K_{76}^2 W_6^2 - R_3 x C_g K_{21} K_{76}^2 W_1 + R_2 \ominus C_g K_{76}^2 W_6^2 - R_1 x C_g K_{76} K_{21} W_1$$

Donc

$$W_6 = \left[ \frac{x W_1 K_{21} ((R_3/R_1) K_{76} + 1)}{\ominus K_{76} (K_{21} + (R_2/R_1))} \right]^{1/2} \quad [4.24]$$

Afin d'alléger la notation regroupons tous les rapports de dimension et de résistivité des divers MESFET sous une constante "σ".

$$\sigma = \frac{K_{21} ((R_3/R_1) K_{76} + 1)}{K_{76} (K_{21} + (R_2/R_1))} \quad [4.25]$$

Donc

$$\frac{W_6}{W_1} = \left[ \frac{x \sigma}{W_1 \ominus} \right]^{1/2} \quad [4.26]$$

Puis en insérant la valeur de  $W_6$  optimum dans les expressions 4.20a et 4.20b, on obtient l'expression des temps de propagation d'un "1" et d'un "0" pour un temps de propagation moyen minimum soit:

$$\tau_1 = \left[ \frac{x_0}{W_1 \sigma} \right]^{1/2} \left[ \frac{\sigma + R_3}{R_1} \right] R_1 C_g \quad [4.27a]$$

$$\tau_0 = \left[ \frac{x_0}{W_1 \sigma} \right]^{1/2} \left[ \frac{R_2 \sigma}{R_1 K_{21}} + \frac{1}{K_{76}} \right] R_1 C_g \quad [4.27b]$$

Donc le temps de propagation moyen minimum est:

$$\tau_{moy} = \frac{\tau_1 + \tau_0}{2}$$

$$\tau_{moy} = \left[ \frac{x_0}{W_1 \sigma} \right]^{1/2} \left[ \frac{\sigma + R_3}{R_1} + \frac{R_2 \sigma}{R_1 K_{21}} + \frac{1}{K_{76}} \right] R_1 C_g \quad [4.28]$$

Et en remplaçant  $\sigma$  par son expression (éq. 4.25) on peut simplifier l'équation 4.28 par:

$$\tau_{moy} = \left[ \frac{x_0}{W_1 \sigma} \right]^{1/2} \left[ \frac{(R_3/R_1) K_{76} + 1}{K_{76}} \right] R_1 C_g \quad [4.29]$$

Ou encore:

$$\tau_{moy} = \left[ \frac{x_0}{W_1} \frac{(K_{21} + (R_2/R_1)) ((R_3/R_1) K_{76} + 1)}{K_{21} K_{76}} \right]^{1/2} R_1 C_g \quad [4.30]$$

Ceci indique que le temps de propagation à travers d'une porte varie avec la racine carrée de la charge quand les rapports de dimension de étage décaleur et de l'étage logique sont optimisés.

**ii. DELAI MINIMUM SI LE MESFET7 EST UNE SOURCE DE COURANT IDEALE**

Dans ce cas l'étage décaleur est une résistance ( $R_6$ ) représentant la résistance drain-source du MESFET-6 et une source de courant ( $I_s$ ) représentant le MESFET-7. La figure 4.13 présente ce circuit.

L'expression de la tension de sortie, si le courant de sortie est nul, est:

$$V_s = V_{dd} - R_6(I_7 + I_s) \quad [4.31]$$

Ou encore:

$$V_s = (V_{dd} - R_6 I_7) - R_6 I_s \quad [4.32]$$

Ceci implique que la tension de sortie de l'étage décaleur est fonction exclusivement de la résistance drain-source du MESFET-6.

Le circuit Thévenin équivalent de l'étage décaleur est une source de tension de  $(V_{dd} - R_6 I_7)$  avec une résistance  $R_6$ . La valeur de  $R_6$  varie suivant que la tension de sortie est un "1" ou un "0" logique. Nous avons vu lors de l'étude de l'étage décaleur que la tension grille-source du MESFET en source suiveuse varie autour d'une valeur moyenne, ce qui nous permet d'approximer la résistance apparente du MESFET-6 à une valeur constante. Donc les expressions pour propager un "1" et un "0" logique deviennent selon ces hypothèses:

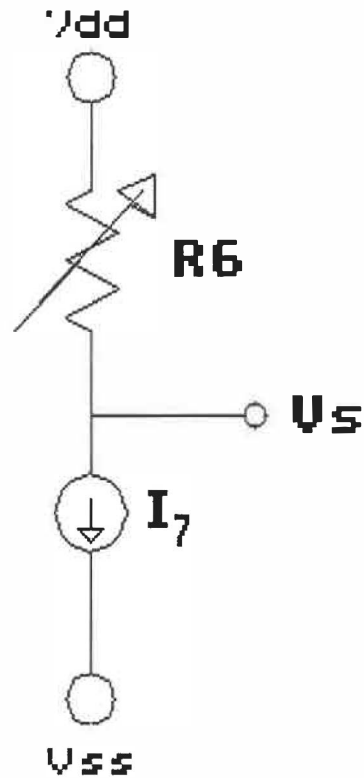


FIGURE 4.13 Circuit équivalent de l'étage décaleur si le MESFET-7 est considéré comme une source de courant idéale.

$$\tau_1 = \frac{R_1 \otimes W_6 C_G}{W_1} + \frac{R_2 \times C_G}{W_6} \quad [4.33a]$$

$$\tau_0 = \frac{R_2 \otimes W_6 C_G}{W_2} + \frac{R_2 \times C_G}{W_6} \quad [4.33b]$$

En appliquant un développement similaire au développement précédent, on obtient que la largeur du MESFET-6 par rapport au

MESFET-1 pour minimiser le temps de propagation est de la même forme soit:

$$\frac{W_6}{W_1} = \left[ \frac{x \cdot \sigma}{W_1 \Theta} \right]^{1/2} \quad [4.34]$$

$$\text{où } \sigma = \frac{2K_{z1}(R_3/R_1)}{K_{z1} + (R_2/R_1)} \quad [4.35]$$

Ce résultat ne contredit pas vraiment le résultat précédent car il démontre que le rapport de largeur entre l'étage décaleur et l'étage logique est proportionnel à la racine carrée de la capacité de la charge.

La constante  $(\sigma/\Theta)$  des expressions 4.26 et 4.34 est difficile à déterminer à cause des inconnues que renferme le facteur  $\Theta$  qui regroupe les dépendances non linéaires des capacités dues à la variation d'excursion de tension aux bornes de ces dernières. La constante  $\sigma/\Theta$  a donc été déterminée à l'aide du modèle de Curtice implanté dans SPICE. Nous avons obtenu une valeur de:

$$\frac{\sigma}{\Theta} = 2.46 \quad [4.36]$$

Le graphique de la figure 4.14 montre simultanément les valeurs déterminées par simulation et la relation décrite par les équations 4.26 et 4.34 pour  $\sigma/\Theta = 2.46$ .

DIMENSION OPTIMALE DE L'ETAGE DECALEUR  
EN FONCTION DE LA CHARGE

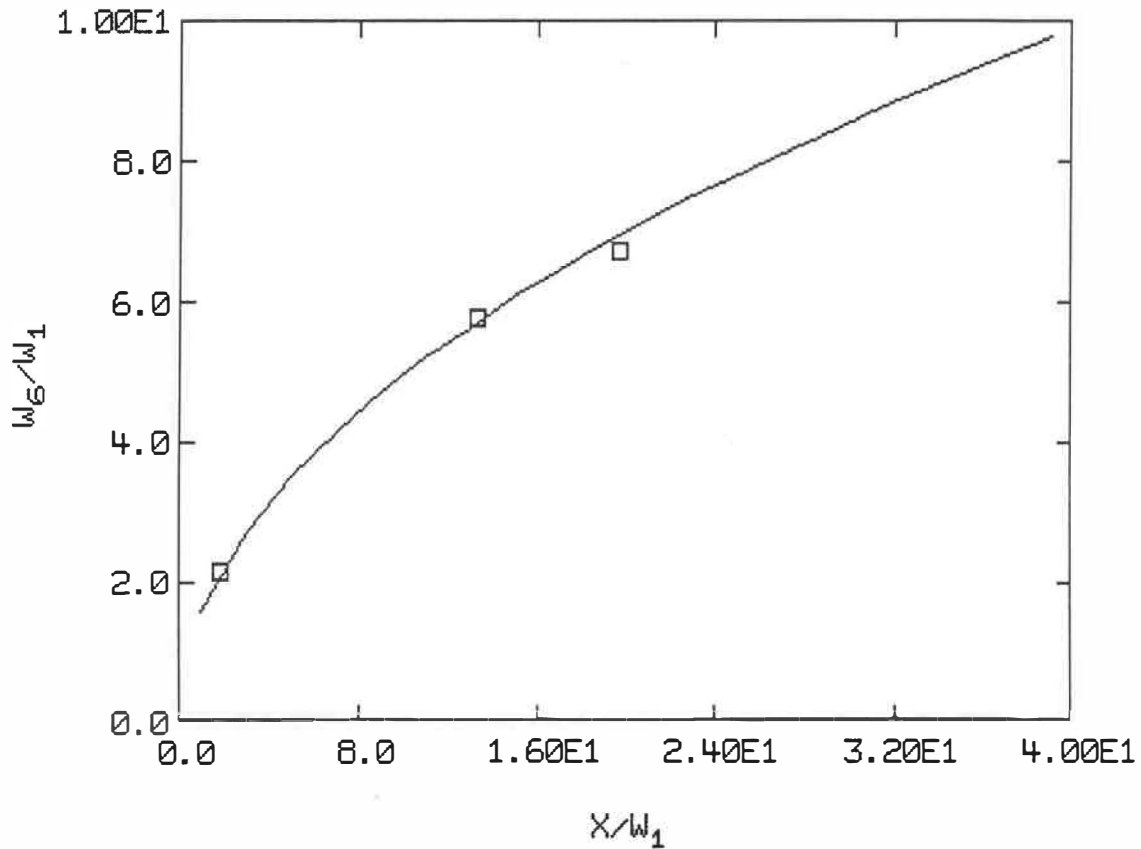


FIGURE 4.14 Le trait plein correspond au résultat théorique des équations 4.26 et 4.34 pour  $\sigma/\theta = 2.46$  alors que les points discrets ont été obtenus à l'aide de SPICE auquel le modèle de Curtice a été ajouté. Les points discrets sont obtenus par approximations successives.



#### 4.2.6 PROGRESSION D'UNE CHAÎNE D'INVERSEURS POUR COMMANDER UNE CHARGE

Un problème souvent rencontré dans la réalisation de circuits intégrés est de commander une charge de valeur élevée. Afin de minimiser le temps pour commander cette charge on utilise normalement une chaîne d'inverseurs de plus en plus larges [3]. A l'aide des résultats obtenus à la section précédente, nous allons déterminer un rapport de progression qui minimise le temps de propagation à travers de la chaîne.

La solution classique consiste à utiliser une chaîne de "N" inverseurs dont la taille augmente par un facteur "k" à chaque étage afin de commander une charge de  $k^N C_g$ . La figure 4.15 représente le circuit étudié.

Le temps de propagation moyen à travers d'une porte est donné par l'expression 4.29 soit:

$$D = \left[ \frac{kW_2\Theta}{W_1\sigma} \right]^{1/2} \left[ \frac{(R_3/R_1)K_7\epsilon + 1}{K_7\epsilon} \right] RC_g \quad [4.37]$$

Donc le temps de propagation global à travers de la chaîne de N inverseurs est de

$$D_N = ND \quad [4.38]$$

Et

$$C_c = k^N C_g \quad [4.39]$$

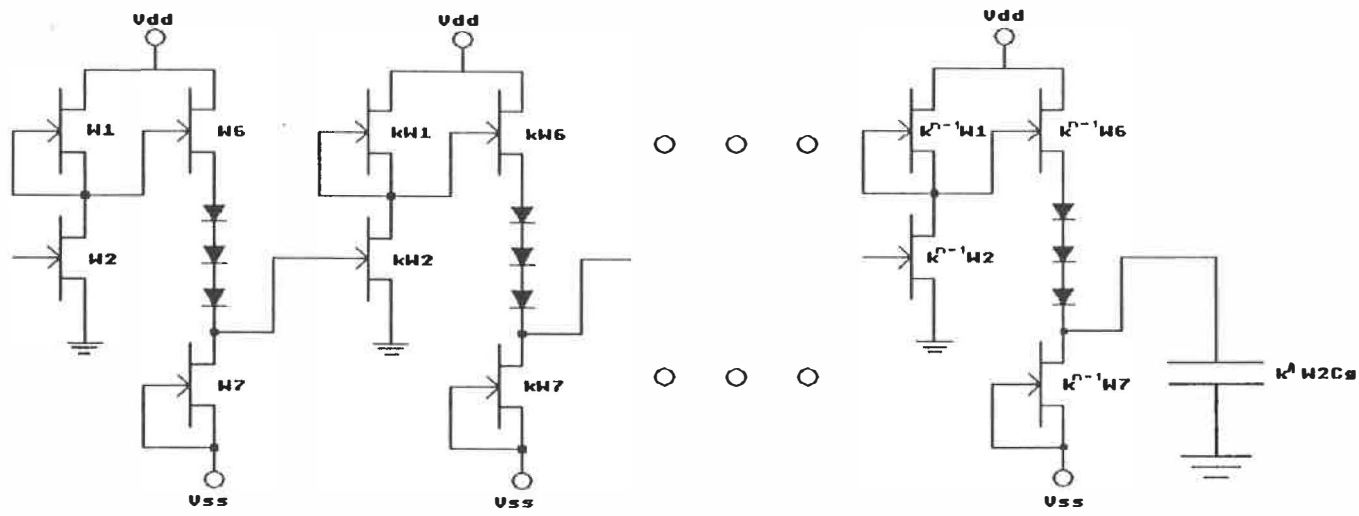


FIGURE 4.15 Chaîne d'inverseurs pour commander une grosse charge.

D'où

$$N = \frac{\log(Cg/Cc)}{\log(k)} \quad [4.40]$$

On substitue les équations 4.40 et 4.37 dans l'équation 4.38 pour obtenir une expression du temps de propagation global en fonction des largeurs des MESFET.

$$D_N = \frac{\log(Cg/Cc)}{\log(k)} D$$

$$D_N = \frac{\log(Cg/Cc)}{\log(k)} \left[ \frac{kW_2\Theta}{W_1\sigma} \right]^{1/2} \left[ \frac{(R_3/R_1)K_{7\epsilon} + 1}{K_{7\epsilon}} \right] RCg \quad [4.41]$$

Le temps de propagation est minimum quand la dérivé de l'équation 4.41 par rapport au rapport de progression (k) égale 0 soit:

$$\frac{\delta D_N}{\delta k} = \log(Cg/Cc) \left[ \frac{W_2\Theta}{W_1\sigma} \right]^{1/2} \left[ \frac{(R_3/R_1)K_{7\epsilon} + 1}{K_{7\epsilon}} \right] RCg \left[ \frac{(1/2)\log(k) - 1}{k^{1/2}\log^2(k)} \right] \quad [4.42]$$

Soit quand

$$k = e^2 \quad [4.43]$$

Donc un rapport de progression de  $e^2$  assure un temps minimum pour commander une grosse charge. Ce résultat était prévisible car dans les cas des portes en technologie CMOS et nMOS au silicium, le rapport d'accroissement est de  $e$  pour des portes constituées d'un seul étage. Dans le cas des portes BFL, nous pouvons donc compter l'étage décaleur comme un étage d'amplification.

### 4.2.3 PORTES BFL COMPLEXES

L'étude de la porte inverseur a produit plusieurs équations qui sont adaptées pour le cas des portes complexes. Concrètement, l'étude des portes complexes débute par une étude de l'étage logique de façon à centrer le seuil. Nous adaptons aussi l'étude des temps de propagation. Enfin nous prédisons une limite de complexité maximale pour ce type de porte.

#### 4.2.3.1 PORTES BFL "NON OU"

La porte BFL NON OU est similaire à la porte inverseur sauf que deux MESFET en parallèle constituent l'opérateur logique. La figure 4.16 présente la structure d'une porte NON OU. Avec cette porte, il suffit que l'un des deux MESFET de l'opérateur logique offre une basse impédance pour que le niveau de sortie de l'étage logique soit près de 0 V, ce qui donne un niveau "0" logique à la sortie de l'étage décaleur. Lorsque les deux MESFET de l'opérateur logique offrent une haute impédance, le niveau de sortie de l'étage logique est près de  $V_{dd}$  pour donner un "1" logique à la sortie de l'étage décaleur.

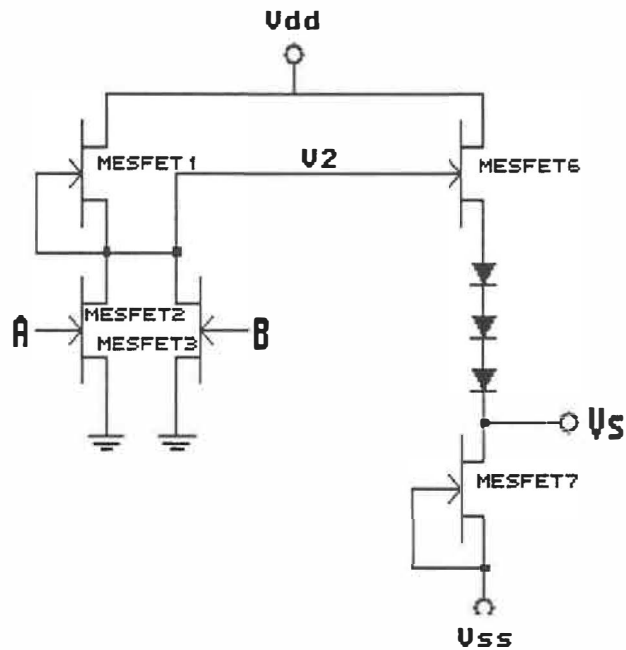


FIGURE 4.16 Schéma électrique d'une porte NON OU BFL à deux entrées.

L'étude de l'étage logique se fait de la même façon et avec les mêmes hypothèses que pour l'inverseur, l'objectif étant de centrer les seuils logiques. L'équation de courant donne:

$$I_1 = I_2 + I_3 \quad [4.44]$$

On remplace par les équations de Curtice:

$$\begin{aligned} \beta_1 (-V_{t0})^{\alpha} (1+fV_{ds1}) \text{th}(\alpha V_{ds1}) &= \beta_2 (V_A - V_{t0})^{\alpha} (1+fV_{ds2}) \text{th}(\alpha V_{ds2}) \\ &+ \beta_3 (V_B - V_{t0})^{\alpha} (1+fV_{ds3}) \text{th}(\alpha V_{ds3}) \end{aligned} \quad [4.45]$$

Il est clair que

$$V_{ds2} = V_{ds3} \quad [4.46]$$

Donc

$$\frac{\beta_1 (1+fV_{ds1}) \text{th}(\alpha V_{ds1})}{(1+fV_{ds2}) \text{th}(\alpha V_{ds2})} = \frac{\beta_2 (V_A - V_{to})^n + \beta_3 (V_B - V_{to})^n}{(-V_{to})^n} \quad [4.47]$$

En accord avec les hypothèses de bases et l'objectif de centrer les seuils tel que décrit précédemment:

$$V_{ds1} = V_{ds2} = V_{dd}/2 \quad [4.48]$$

Donc

$$\beta_1 = \frac{\beta_2 (V_A - V_{to})^n + \beta_3 (V_B - V_{to})^n}{(-V_{to})^n} \quad [4.49]$$

Nous appliquons l'objectif de centrer le seuil dans le cas d'une porte NON OU de la façon suivante: quand l'une des deux entrées est au milieu de l'intervalle logique et que l'autre est à  $V_{Bas}$ , la sortie de la porte est au milieu de l'excursion logique. Ceci se traduit par:

$$V_A = (V_{Haut} + V_{Bas})/2 \quad [4.50a]$$

$$V_B = V_{Bas} \quad [4.50b]$$

$$\beta_1 = \frac{\beta_2 ((V_{Haut} + V_{Bas})/2 - V_{to})^n + \beta_3 (V_{Bas} - V_{to})^n}{(-V_{to})^n} \quad [4.50c]$$

et

$$V_A = V_{Bas} \quad [4.51a]$$

$$V_B = (V_{Haut} + V_{Bas}) / 2 \quad [4.51b]$$

$$\beta_1 = \frac{\beta_2 (V_{Bas} - V_{t0})^n + \beta_3 ((V_{Haut} + V_{Bas}) / 2 - V_{t0})^n}{(-V_{t0})^n} \quad [4.51c]$$

Il est clair que le problème est complètement symétrique par rapport aux MESFET 2 et 3 donc

$$\beta_2 = \beta_3 \quad [4.52]$$

et en n'oubliant pas que le paramètre  $\beta$  est directement fonction de la largeur du MESFET on obtient:

$$\frac{W_1}{W_2} = \frac{(V_{Bas} - V_{t0})^n + ((V_{Haut} + V_{Bas}) / 2 - V_{t0})^n}{(-V_{t0})^n} \quad [4.53]$$

Dans notre cas

$$\begin{aligned} V_{t0} &= -2.5 \text{ V} \\ V_{Bas} &= -2.0 \text{ V} \\ V_{Haut} &= 0.5 \text{ V} \\ n &= 1.65 \end{aligned}$$

$$\frac{W_1}{W_2} = 0.62$$

La figure 4.17 présente les fonctions de transfert d'une porte NON OU quand une seule entrée commute et quand les deux entrées commutent. Le rapport dimensionnel entre la largeur du MESFET en charge active et la largeur des MESFET de l'opérateur logique pour le cas d'une porte

NON OU à N entrées:

$$\frac{W_1}{W_2} = \frac{(N-1)(V_{Bas}-V_{to})^n + ((V_{Haut}+V_{Bas})/2-V_{to})^n}{(-V_{to})^n} \quad [4.54]$$

Le nombre d'entrées pour une porte NON OU est limité par l'excursion logique qui diminue quand le nombre d'entrées augmente à cause du courant circulant dans les MESFET de l'étage logique quand leur grille est à un niveau bas.

Les équations des temps de propagation développées pour l'inverseur sont les mêmes en utilisant le rapport de la largeur du MESFET de charge active sur la largeur des MESFET de l'opérateur logique ( $K_{z1}$ ) déterminé pour les NON OU (équation 4.53).



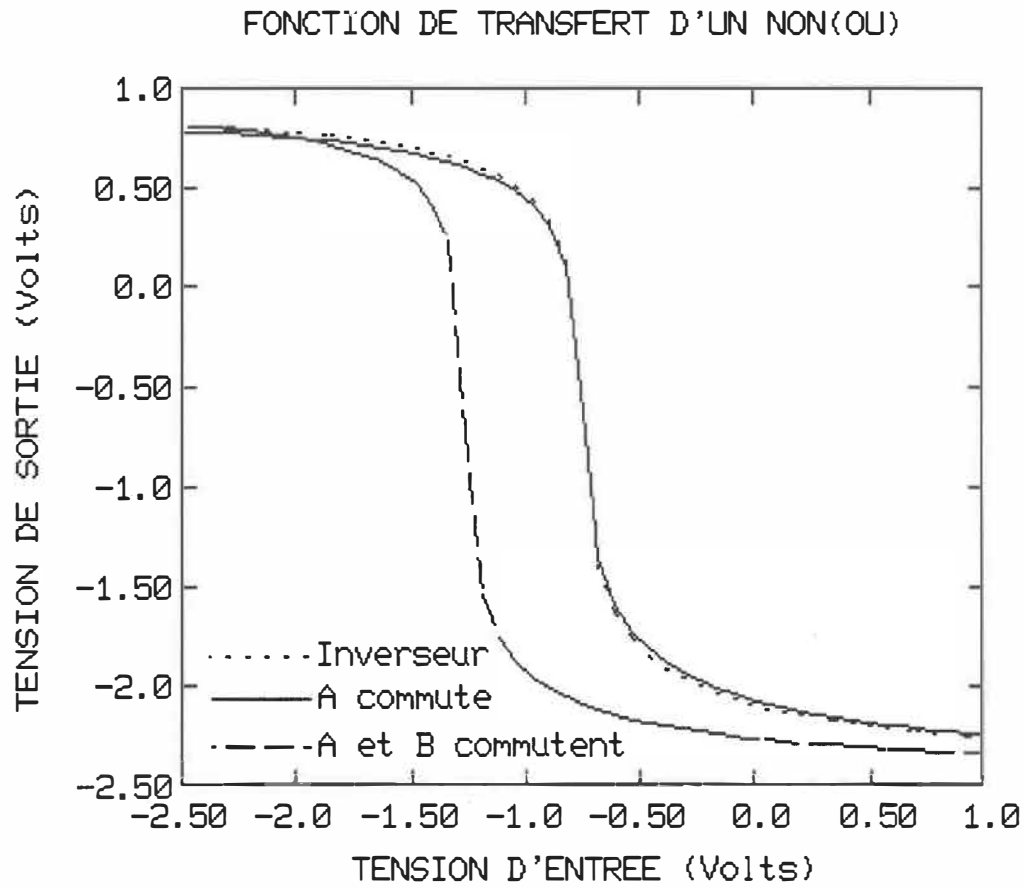


FIGURE 4.17 Fonction de transfert d'une porte NON OU à 2 entrées lorsqu'une et deux entrées commutent, ainsi que la fonction de transfert d'une porte inverseur.

#### 4.2.3.2 PORTES BFL "NON ET"

Les portes BFL NON ET possèdent deux MESFET en série comme opérateur logique. La figure 4.18 présente une porte NON ET. Un niveau  $V_{Bas}$  est transmis à la sortie quand les deux MESFET conduisent et un niveau  $V_{Haut}$  est transmis quand l'un ou l'autre des deux MESFET est dans un état de haute impédance.

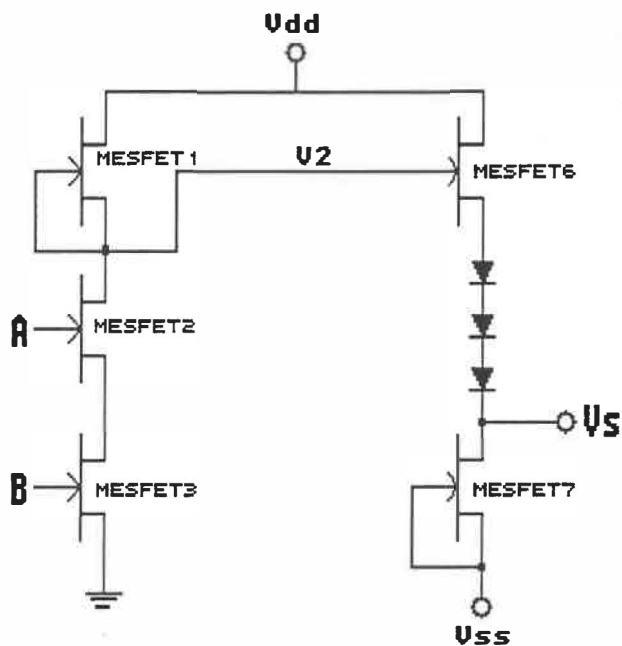


FIGURE 4.18 Schéma électrique d'une porte NON ET BFL.

L'étude de l'étage logique se fait avec les mêmes hypothèses et objectif qui ont été utilisés pour l'étage logique de la porte inverseur, soit que le seuil est au centre de l'excursion logique, et

que la sortie de l'étage logique est  $V_{dd}/2$  lorsque l'entrée qui commute est au milieu de l'excursion logique.

Les équations de courant de l'étage logique sont:

$$I_1 = I_2 = I_3 \quad [4.55]$$

Avec le modèle de Curtice:

$$\begin{aligned} \beta_1 (-V_{t0})^n (1+fV_{ds1}) \text{th}(\alpha V_{ds1}) &= \beta_2 (V_A - V_{t0})^n (1+fV_{ds2}) \text{th}(\alpha V_{ds2}) \\ &= \beta_3 (V_B - V_{t0})^n (1+fV_{ds3}) \text{th}(\alpha V_{ds3}) \end{aligned} \quad [4.56]$$

et

$$V_{gs2} = V_A - V_{ds3} \quad [4.57]$$

$$V_{gs3} = V_B \quad [4.59]$$

L'objectif de centrer le seuil est appliqué selon deux façons. La première façon est de centrer les seuils lorsque l'une ou l'autre des entrées commute. La seconde façon est de minimiser l'écart entre les seuils logiques lorsque l'une ou l'autre des entrées commutent et le centre de l'excursion logique en ayant la même largeur des MESFET de l'opérateur logique.

i. Centrer les seuils quand l'une ou l'autre des entrées commute

Ceci implique que les deux MESFET de l'opérateur logique peuvent être de largeur différente.

Les conditions frontières dans ce cas sont:

$$\begin{aligned} \text{i} \quad V_2 = V_{dd}/2 \quad \text{quand} \quad & V_A = V_{\text{Haut}} \\ & V_B = (V_{\text{Haut}} + V_{\text{Bas}})/2 \quad [4.59a] \end{aligned}$$

$$\begin{aligned} \text{ii} \quad V_2 = V_{dd}/2 \quad \text{quand} \quad & V_A = (V_{\text{Haut}} + V_{\text{Bas}})/2 \\ & V_B = V_{\text{Haut}} \quad [4.59b] \end{aligned}$$

Ce qui permet d'établir les 5 équations de courant suivantes:

$$I_1 = \beta_1 (-V_{to})^n (1+fV_{dd}/2) \text{th}(\alpha V_{dd}/2) \quad [4.60a]$$

$$I_1 = \beta_2 (V_{\text{Haut}} - V_{ds3,1} - V_{to})^n (1+f(V_{dd}/2 - V_{ds3,1})) \text{th}(\alpha(V_{dd}/2 - V_{ds3,1})) \quad [4.60b]$$

$$I_1 = \beta_3 ((V_{\text{Haut}} + V_{\text{Bas}})/2 - V_{to})^n (1+fV_{ds3,1}) \text{th}(\alpha V_{ds3,1}) \quad [4.60c]$$

$$I_1 = \beta_2 ((V_{\text{Haut}} + V_{\text{Bas}})/2 - V_{ds3,11} - V_{to})^n * (1+f(V_{dd}/2 - V_{ds3,11})) \text{th}(\alpha(V_{dd}/2 - V_{ds3,11})) \quad [4.60d]$$

$$I_1 = \beta_3 (V_{\text{Haut}} - V_{to})^n (1+fV_{ds3,11}) \text{th}(\alpha V_{ds3,11}) \quad [4.60e]$$

Les équations 4.60a, 4.60b, 4.60c, 4.60d et 4.60e ne permettent pas d'obtenir une expression explicite pour les rapports de largeur. Cependant, une solution numérique est toujours possible et le résultat de ces calculs est le suivant:

$$\frac{W_2}{W_1} = 2.4$$

$$\frac{W_3}{W_1} = 1.9$$

$$W_1$$

La figure 4.19 présente les fonctions de transfert d'une porte NON ET réalisée de cette façon.

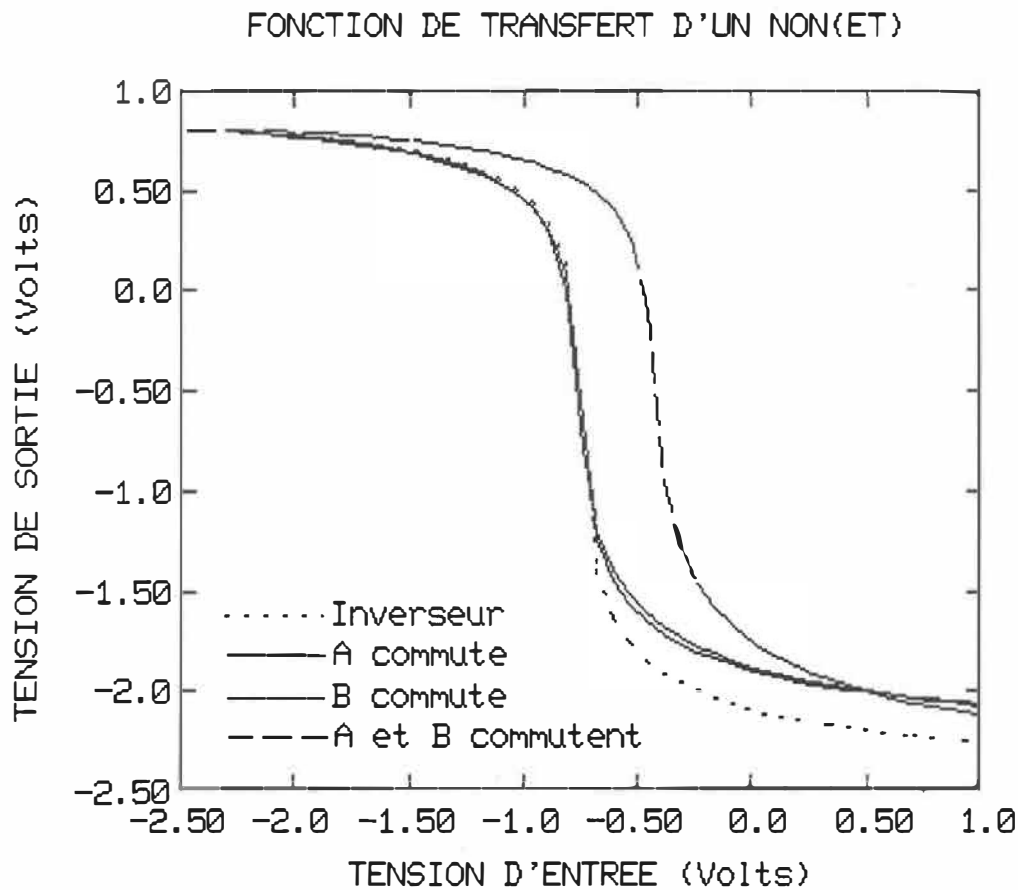


FIGURE 4.19 Fonctions de transfert d'une porte NON ET à 2 entrées dimensionnée pour que le seuil de la porte soit centré lorsque l'une ou l'autre des entrées commute.  $W_2/W_1 = 2.4$ ,  $W_3/W_1 = 1.9$ .

**ii. Minimiser l'écart des seuils lorsque l'une ou l'autre des entrées commute avec le centre de l'excursion logique**

Dans le cas où l'opérateur logique est réalisé par un MESFET à double grille, il est impossible d'avoir une largeur de MESFET qui centre le seuil logique lorsque l'une ou l'autre des entrées commutent. Donc, une technique possible pour dimensionner une telle porte est de minimiser l'écart des seuils logiques lorsque l'une ou l'autre des entrées commutent avec le centre de l'excursion logique.

Une série de simulations d'une porte NON ET a été effectuée pour déterminer le rapport de largeur des MESFET de l'opérateur logique et de la charge. Le résultat de ces simulations est le suivant :

$$\frac{W_2}{W_1} = \frac{W_3}{W_1} = 2.27$$

La figure 4.20 présente les fonctions de transfert d'une telle porte. Il est à noter que la porte réalisée selon l'objectif présent donne que le seuil lorsque A commute est très près du centre de l'excursion logique. Par contre lorsque B commute, le seuil est sous le centre de l'excursion logique.

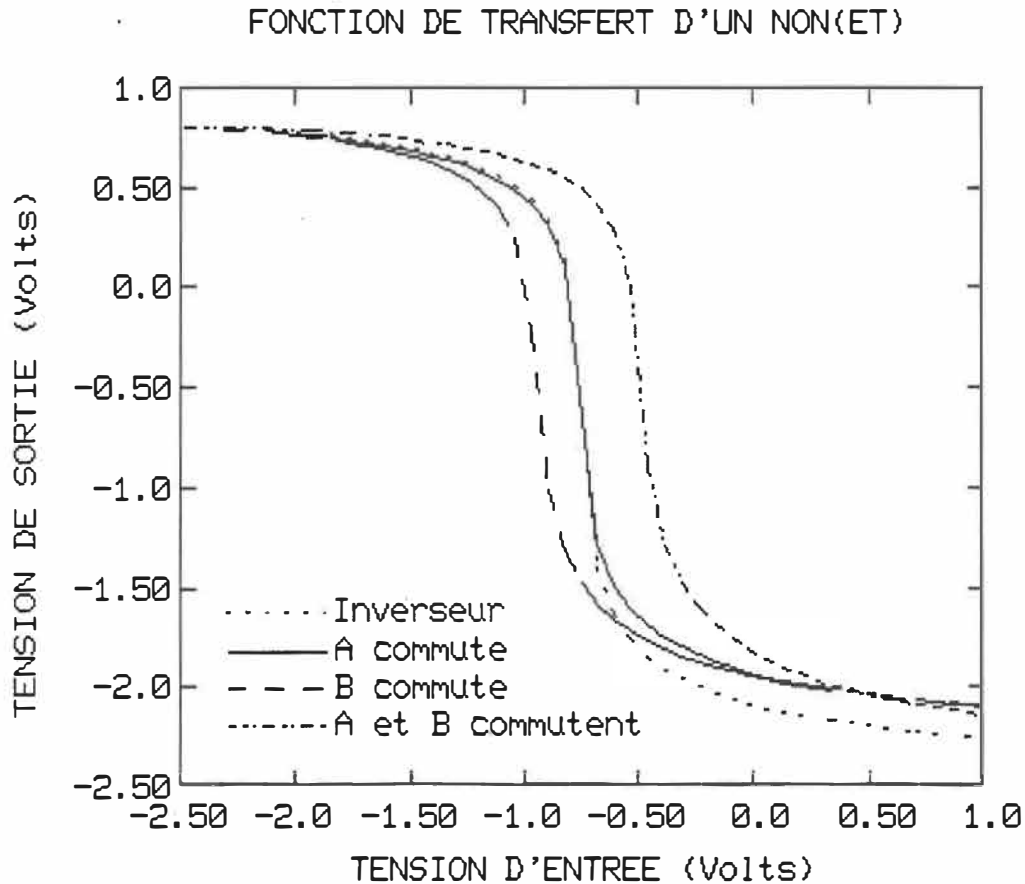


FIGURE 4.20 Fonctions de transfert d'une porte NON ET à 2 entrées dimensionnée pour que le seuil de la porte soit centré lorsque les deux MESFET de l'étage logique sont de même largeur.  $W_2/W_1 = W_3/W_1 = 2.27$ .

Le nombre d'entrée d'un NON ET est limité par les tensions résiduelles aux bornes des MESFET de l'opérateur logique lors de la transmission d'un "0" à la sortie de la porte. Le résultat de l'opération logique est "0" quand les entrées sont à "1" logique soit  $V_{\text{haut}}$ . La tension résiduelle aux bornes d'un MESFET de l'opérateur logique est fixée d'une part par le courant circulant dans la branche

et d'autre part la tension grille-source du MESFET. Donc, pour le MESFET connecté à la masse, la tension  $V_{GS}$  est de  $(V_{HAUT}-0)$ . Dans le cas du second MESFET, sa tension résiduelle grille-source sera elle aussi fixée par le même courant que pour le premier MESFET et par sa tension grille-source qui est  $(V_{HAUT}-V_{DS3}-0)$ . Ceci implique que si les largeurs sont constantes la tension résiduelle drain-source est d'autant plus élevée que le MESFET est éloigné de la masse, d'où la limite du nombre d'entrée à un NON ET.

Les expressions de temps de propagation développées pour l'inverseur sont les mêmes pour les portes NON ET en redéfinissant le rapport de largeur  $K_{21}$  comme le rapport de largeur du MESFET en charge active sur la somme des largeurs des MESFET en série de l'opérateur logique. Donc l'expression du temps de propagation moyen ( $\tau_{moy}$ ) pour une porte NON ET est:

$$\tau_{moy} = \left[ \frac{X_0}{W_1 \sigma} \right]^{1/2} \left[ \frac{(R_3/R_1)K_{76} + 1}{K_{76}} \right] RCg \quad [4.61]$$

$$\sigma = \frac{K'_{21} ((R_3/R_1)K_{76} + 1)}{K_{76} (K'_{21} + (R_2/R_1))} \quad [4.62a]$$

$$K'_{21} = \frac{W_2 W_3}{W_1 ((R_2'/R_2)W_3 + W_2)} \quad [4.62b]$$

Où

$R_2$  : représente la résistance équivalente unitaire du MESFET-3.

$R_2'$  : représente la résistance équivalente unitaire du MESFET-2.



### 4.3 PORTES DCFL

#### 4.3.1 DESCRIPTION DE LA STRUCTURE DCFL

La structure DCFL est une structure logique nécessitant la réalisation de deux types de MESFET soit les MESFET à appauvrissement (Depletion MESFET) et les MESFET à enrichissement (Enhancement MESFET). Comme vu au chapitre 2, les MESFET à appauvrissement sont des MESFET normalement fermés et les MESFET à enrichissement sont normalement ouverts. L'utilisation des MESFET à enrichissement permet à la structure DCFL d'avoir des niveaux de tension à la sortie directement compatibles avec l'entrée ce qui évite la réalisation d'un étage décaleur. La figure 4.21 montre la structure DCFL pour une porte inverseur.

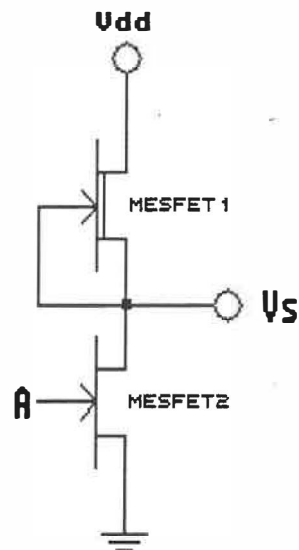


FIGURE 4.21 Structure DCFL d'une porte "inverseur".

La structure DCFL offre une grande similitude avec les structures n-mos et p-mos. L'excursion logique est de moins de 1 volt car le contact grille-source, qui est une diode Schottky, ne peut pas être polarisé trop fortement en direct au risque de faire circuler un fort courant dans ce contact. La tension d'alimentation Vdd est près de 1 V. Les portes DCFL consomment de l'énergie seulement quand le résultat de l'opération logique est un "0", ce qui n'est pas le cas pour les portes BFL avec leur étage décaleur.

#### 4.3.2 ETUDE DIMENSIONNELLE

Le rapport de dimension des MESFET de la porte se fait en visant le même objectif qui est de centrer le seuil logique au milieu de l'intervalle logique. Les équations de courant donnent que

$$I_1 = I_2 \quad [4.63]$$

En reprenant les équations de Curtice pour les deux types de MESFET et en tenant compte du fait que  $V_{gs1} = (V_{HAUT} + V_{BAS})/2$  et  $V_{gs2} = 0$  on

obtient :

$$\beta_1 (-V_{t0})^n (1+f_1 V_{ds1}) \text{th}(\alpha_1 V_{ds1}) = \beta_2 ((V_{\text{Haut}}+V_{\text{Bas}})/2 - V_{t02})^n * (1+f_2 V_{ds2}) \text{th}(\alpha_2 V_{ds2})$$

[4.64]

Soit

$$\frac{\beta_1}{\beta_2} = \frac{((V_{\text{Haut}}-V_{\text{Bas}})/2 - V_{t02})^n (1+f_2 V_{ds2}) \text{th}(\alpha_2 V_{ds2})}{(-V_{t0})^n (1+f_1 V_{ds1}) \text{th}(\alpha_1 V_{ds1})}$$

[4.65]

En supposant que le milieu de l'intervalle logique la tension de sortie de l'étage logique est près de  $V_{dd}/2$ , les tensions  $V_{ds1}$  et  $V_{ds2}$  sont égales, et si l'on suppose que  $f_1 = f_2$  et  $\alpha_1 = \alpha_2$ , on obtient que :

$$\frac{\beta_1}{\beta_2} = \frac{W_1}{W_2} = \frac{((V_{\text{Haut}}+V_{\text{Bas}})/2 - V_{t02})^n}{(-V_{t01})^n}$$

[4.66]

### 4.3.3 PROGRESSION D'UNE CHAÎNE POUR COMMANDER UNE CHARGE

Pour commander une grosse charge il est possible d'utiliser une chaîne d'inverseurs de largeur croissante comme pour la structure BFL (section 4.2.6). Afin de déterminer le facteur d'accroissement optimum nous allons utiliser un modèle similaire à celui utilisé pour l'étude temporelle de la structure BFL soit :

- Seul le MESFET qui tire le noeud à une source de tension est considéré.
- La résistance drain-source d'un MESFET fermé est de  $R_1$  divisé par  $W$  pour un MESFET à appauvrissement et de  $R_2$  divisé par  $W$  pour un MESFET à enrichissement.
- Les capacités grille-source sont les seules capacités considérées. La capacité grille-source d'un MESFET à appauvrissement est équivalente à celle d'un MESFET à enrichissement et elle varie proportionnellement avec la largeur. Il faut souligner que l'approximation des capacités d'un MESFET à appauvrissement comme étant équivalentes aux capacités d'un MESFET à enrichissement n'est pas nécessairement valable car, autour de la tension de pincement, la capacité grille-source varie brutalement [21].

La première étape consiste à déterminer le temps de propagation moyen pour propager un "1" et un "0" lorsque la charge est de  $x C_g$ .

$$\tau_1 = \frac{R_1 x C_g}{W_1} \quad [4.67a]$$

$$\tau_0 = \frac{R_2}{W_2} x C_g \quad [4.67b]$$

$$\tau_{moy} = \frac{\tau_1 + \tau_0}{2}$$

$$\tau_{moy} = \left[ \frac{R_1}{W_1} + \frac{R_2}{W_2} \right] \frac{x C_g}{2}$$

$$\tau_{moy} = \left[ \frac{1}{W_1} + \frac{R_2}{R_1 W_2} \right] \frac{x R_1 C_g}{2} \quad [4.68]$$

Ensuite, nous supposons qu'on utilise une chaîne d'inverseurs dont chaque inverseur est  $k$  fois plus grand que celui qui le précède, donc le temps de propagation moyen au travers d'un inverseur est de:

$$\tau_{\text{moy}} = \left[ \frac{R_1}{W_1} + \frac{R_2}{W_2} \right] \frac{kC_g}{2} \quad [4.69]$$

Le temps de propagation moyen à travers de toute la chaîne est de:

$$D_N = ND \quad [4.70]$$

et

$$C_c = k^N C_g \quad [4.71]$$

donc

$$N = \frac{\log(C_c/C_g)}{\log(k)} \quad [4.72]$$

En remplaçant les expressions 4.69 et 4.72 dans l'expression 4.70 on obtient l'expression du temps de propagation à travers de la chaîne en fonction du rapport d'accroissement ( $k$ ).

$$D_N = \log(C_c/C_g) \frac{C_g}{2} \left[ \frac{R_1}{W_1} + \frac{R_2}{W_2} \right] \frac{k}{\log(k)} \quad [4.73]$$

En dérivant  $D_N$  par  $k$  et en cherchant la valeur pour laquelle cette dérivée vaut 0 on détermine le rapport d'accroissement qui minimise le temps de propagation soit:

$$\frac{\delta D_N}{\delta k} = \log(C_c/C_g) \frac{C_g}{2} \left[ \frac{R_1}{W_1} + \frac{R_2}{W_2} \right] \frac{\log(k) - 1}{\log^2(k)}$$

[4.74]

$$\frac{\delta D_N}{\delta k} = 0$$

[4.75]

soit

$$k = e$$

[4.76]

Ce qui correspond à un résultat classique.

#### 4.3.4 SUPER GENERATEUR

Le super générateur est utilisé en technologie n-MOS afin de commander de grosses charges [22]. A cause de la similitude des portes DCFL avec les portes n-MOS la structure du super générateur est aussi utilisée pour les portes DCFL [23]. Le super générateur est formé en ajoutant un étage de deux MESFET à un inverseur comme montré à la figure 4.22. Quand la tension d'entrée est  $V_{\text{Haut}}$  la grille du MESFET à appauvrissement du second étage est approximativement à 0 volt et le second étage agit comme un inverseur normal de la même largeur. Cependant quand la tension d'entrée est  $V_{\text{Bas}}$ , la grille du MESFET à appauvrissement va rapidement à  $V_{\text{dd}}$  ce qui fait que le MESFET entre en conduction plus fortement. Ceci fait que le courant passant dans le MESFET est supérieur à celui circulant dans une étage inverseur de même dimension.

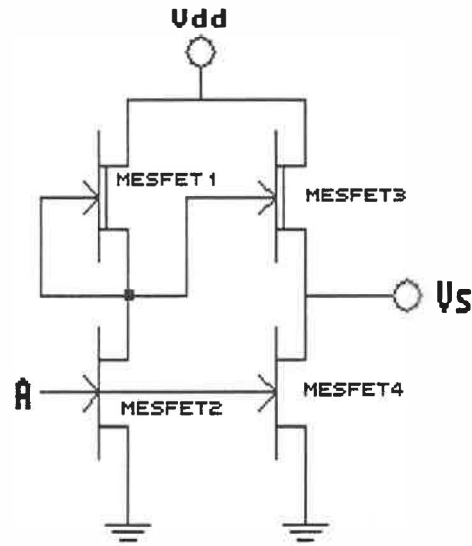


FIGURE 4.22 Schéma électrique d'un super générateur.

Le rapport des largeurs du premier étage est le même que celui d'un inverseur ordinaire. Le second étage est dimensionné de façon à centrer le seuil, ce qui se concrétise par un niveau de tension sur les grilles du MESFET-3 et du MESFET-4 de la moitié de l'excursion logique et une tension de sortie du super générateur de la moitié de l'excursion logique. Ceci fait que la tension grille-source du MESFET-3 est nulle et on retrouve les mêmes équations que pour l'étage inverseur soit:

$$\frac{W_3}{W_4} = \frac{((V_{Haut} + V_{Bas})/2 - V_{t02})^n}{V_{t01}^n} \quad [4.77]$$

Le temps de propagation à travers du super générateur pour une

charge de  $x(W_2+W_4)Cg$  est:

$$\tau_1 = \frac{R_1}{W_1} W_3 Cg + \frac{R_3}{W_3} x(W_2+W_4)Cg \quad [4.78a]$$

$$\tau_0 = \frac{R_2}{W_4} x(W_2+W_4)Cg \quad [4.78b]$$

$$\frac{\tau_1 + \tau_0}{2} = \frac{Cg}{2} \left[ \frac{R_1 W_3}{W_1} + \left[ \frac{R_3}{W_3} + \frac{R_2}{W_4} \right] x(W_2+W_4) \right] \quad [4.79]$$

Le rapport de dimension entre les deux étages qui minimise le temps de propagation moyen est déterminé par:

$$\frac{\delta}{\delta W_3} \left( \frac{\tau_1 + \tau_0}{2} \right) = 0 = \frac{R_1 Cg}{2} \left[ \frac{1}{W_1} - \left[ \frac{R_3}{R_1 W_3^2} + \frac{R_2}{R_1 W_4^2} \frac{\delta W_4}{\delta W_3} \right] x(W_2+W_4) + \left[ \frac{R_3}{R_1 W_3} + \frac{R_2}{R_1 W_4} \right] x \frac{\delta W_4}{\delta W_3} \right] \quad [4.80]$$

Définissons  $\frac{W_2}{W_1} = K_{21}$  [4.81]

Donc  $\frac{\delta W_4}{\delta W_3} = K_{43}$  [4.82]

Ce qui donne:

$$\frac{W_3}{W_1} = \left[ \frac{x K_{21}}{k_{43}} \left( (R_3/R_1) K_{43} + (R_2/R_1) \right) \right]^{1/2} \quad [4.83]$$

On peut regrouper les termes de dimension de la porte sous la constante  $\alpha$  soit:

$$\alpha = \left[ \frac{K_{21}}{k_{43}} \left( (R_3/R_1) K_{43} + (R_2/R_1) \right) \right] \quad [4.84]$$



$$\frac{W_3}{W_1} = (\alpha x)^{1/2} \quad [4.85a]$$

$$\frac{W_4}{W_1} = K_{43} (\alpha x)^{1/2} \quad [4.85b]$$

En remplaçant les largeurs  $W_3$  et  $W_4$  dans l'expression du temps de propagation moyen nous obtenons:

$$\frac{T_1 + T_0}{2} = \frac{R_1 C_G}{2} \left[ 2 (\alpha x)^{1/2} + \frac{K_{43} \alpha x}{K_{21}} \right] \quad [4.86]$$

#### 4.4 COMPARAISON ENTRE LES STRUCTURES BFL ET DCFL

Les structures BFL et DCFL sont différentes par l'absence de l'étage décaleur pour la structure DCFL. Ceci entraîne que la structure DCFL ne nécessite qu'une seule alimentation, que la porte DCFL consomme peu de courant lorsque "0" est transmis et que la complexité d'une porte est moindre qu'une porte BFL. Les excursions logiques sont différentes soit: moins de 1 volt pour la structure DCFL et près de 2.5 volts pour la structure BFL.

Une comparaison théorique entre ces deux structures de portes logiques sur les critères de temps de propagation et de consommation n'est pas évidente à faire. Le problème principal vient du fait que

les deux structures n'utilisent pas les mêmes composants actifs et que les excursions logiques sont différentes. Il est donc nécessaire d'établir une certaine correspondance entre les structures.

La comparaison des structures se fera avec le modèle simplifié utilisé précédemment pour caractériser les temps de propagation. Le modèle simplifié caractérise les composants actifs selon deux paramètres soit la résistance drain-source (R) lorsqu'il est dans sa région de saturation et la capacité grille-source (Cg). La valeur de R est une fonction inverse du courant drain-source donc

$$R_1 \propto \frac{1}{I_{ds1|sat}} \quad [4.87]$$

Faisons les rapports des valeurs de R nécessaires à la comparaison:

$$\frac{R_2 \text{ DCFL}}{R_1 \text{ DCFL}} = \frac{(-V_{tO1 \text{ DCFL}})^n}{(V_{\text{haut DCFL}} - V_{tO2 \text{ DCFL}})^n} = k_{21 \text{ DCFL}} \quad [4.88a]$$

$$\frac{R_2 \text{ BFL}}{R_1 \text{ BFL}} = \frac{(-V_{tO \text{ BFL}})^n}{(V_{\text{haut BFL}} - V_{tO \text{ BFL}})^n} = k_{21 \text{ BFL}} \quad [4.88b]$$

$$\frac{R_3 \text{ BFL}}{R_1 \text{ BFL}} = \frac{(-V_{tO \text{ BFL}})^n}{(V_{\text{gs6moy BFL}} - V_{tO \text{ BFL}})^n} = k_{31 \text{ BFL}} \quad [4.88c]$$

$$\frac{R_1 \text{ DCFL}}{R_1 \text{ BFL}} = \frac{(-V_{tO \text{ BFL}})^n}{(-V_{tO1 \text{ DCFL}})^n} = k_{11} \quad [4.88d]$$

Nous ne considérons pas la dépendance des capacités en fonction de la tension à leurs bornes, nous pouvons estimer les capacités constantes d'une structure à l'autre. La différence d'excursion

logique entre les deux structures entraîne que la variation de charge dans les capacités d'une structure est fonction de l'excursion logique. La valeur de  $C_g$  de la structure DCFL est donc corrigée par un facteur  $\Theta_{excursion}$  soit:

$$C_{g \text{ DCFL}} = \Theta_{excursion} C_{g \text{ BFL}} \quad [4.89]$$

$$\text{où } \Theta_{excursion} = \frac{V_{Haut \text{ DCFL}} - V_{Bas \text{ DCFL}}}{V_{Haut \text{ BFL}} - V_{Bas \text{ BFL}}} \quad [4.90]$$

A l'aide de ces correspondances, nous pouvons exprimer les temps de propagation moyens pour commander une charge de  $x C_g$  des portes BFL et DCFL en fonction d'une constante  $R_{1 \text{ BFL}} C_{g \text{ BFL}}$  soit pour la porte inverseur BFL (à partir de l'équation 4.30):

$$\tau_{\text{moy BFL}} = \left[ \frac{x \Theta}{W_{1 \text{ BFL}}} \right]^{1/2} \left[ \frac{K_{21 \text{ BFL}} + k_{21 \text{ BFL}}}{K_{21 \text{ BFL}}} \right]^{1/2} \left[ \frac{K_{31 \text{ BFL}} K_{76 \text{ BFL}} + 1}{K_{76 \text{ BFL}}} \right]^{1/2} R_{1 \text{ BFL}} C_{g \text{ BFL}} \quad [4.91]$$

soit pour la porte inverseur DCFL (à partir de l'équation 4.68):

$$\tau_{\text{moy DCFL}} = \frac{x \Theta_{excursion}}{W_{1 \text{ DCFL}}} \left[ \frac{K_{21 \text{ DCFL}} + k_{21 \text{ DCFL}}}{K_{21 \text{ DCFL}}} \right] \frac{k_{11} R_{1 \text{ BFL}} C_{g \text{ BFL}}}{2} \quad [4.92]$$

Si on compare le temps de propagation moyen des deux structures pour commander une charge on obtient:

$$\frac{t_{\text{moy DCFL}}}{t_{\text{moy BFL}}} = \frac{\Theta_{\text{excursion}} K_{11}}{(\Theta)} \frac{1}{2} \left[ \frac{X_{\text{DCFL}}}{W_{1 \text{ DCFL}}} \right] \left[ \frac{W_{1 \text{ BFL}}}{X_{\text{BFL}}} \right]^{1/2}$$

$$* \left[ \frac{K_{21 \text{ DCFL}} + k_{21 \text{ DCFL}}}{K_{21 \text{ DCFL}}} \right]$$

$$* \left[ \frac{K_{21 \text{ BFL}}}{K_{21 \text{ BFL}} + k_{21 \text{ BFL}}} \right]^{1/2} *$$

$$\left[ \frac{K_{76 \text{ BFL}}}{k_{31 \text{ BFL}} K_{76 \text{ BFL}} + 1} \right]^{1/2}$$

[4.93]

Il ne reste plus qu'à approximer les valeurs pour les différents paramètres soit:

$$\begin{aligned} V_{\text{Haut BFL}} &= 0.5 \text{ V} \\ V_{\text{Bas BFL}} &= -2.0 \text{ V} \\ \Theta &= 0.2 \text{ V} \\ V_{t0 \text{ BFL}} &= -2.5 \text{ V} \\ K_{76 \text{ BFL}} &= 1 \end{aligned}$$

$$\begin{aligned} V_{\text{Haut DCFL}} &= 0.8 \text{ V} \\ V_{\text{Bas DCFL}} &= 0.1 \text{ V} \\ V_{t01 \text{ DCFL}} &= -0.8 \text{ V} \\ V_{t02 \text{ DCFL}} &= 0.0 \text{ V} \end{aligned}$$

Ce qui donne:

$$\begin{aligned} K_{21 \text{ BFL}} &= 1.8 \\ K_{21 \text{ DCFL}} &= 2.58 \\ k_{21 \text{ DCFL}} &= 1.0 \\ k_{21 \text{ BFL}} &= 0.74 \\ k_{31 \text{ BFL}} &= 1.0 \\ k_{11} &= 6.55 \\ \Theta_{\text{excursion}} &= 0.28 \end{aligned}$$

et un rapport de temps moyen de propagation:

$$\frac{\tau_{\text{ms}} \text{ DCFL}}{\tau_{\text{moy}} \text{ BFL}} = 1.7 \left[ \frac{X \text{ DCFL}}{W_1 \text{ DCFL}} \right] \left[ \frac{W_1 \text{ BFL}}{X \text{ BFL}} \right]^{1/2} \quad [4.94]$$

Cette comparaison des délais de propagation entre les deux structures conduit à la conclusion que la structure BFL est près de 3.3 fois plus rapide que la structure DCFL quand chacune des structures commande une porte de même dimension. Ce résultat est dans le même ordre de grandeur que l'augmentation de vitesse compilé au tableau 1.1 qui varie de 1 à 8. Il faut tout de même être critique face au présent résultat car l'approximation que les capacités équivalentes sont indépendantes de la tension n'est pas nécessairement valable.

Nous allons déterminer le rapport de consommation continue moyen entre les deux structures pour le cas où chaque structure commande une porte de même dimension. Pour la structure DCFL il y a dissipation d'énergie seulement quand un "0" est transmis donc la consommation continue moyenne est la moitié de la consommation pour propager "1". Le courant circulant dans la porte est fonction de la résistance du MESFET en charge active donc:

$$P_{\text{DCFL}} \propto \frac{V_{\text{DDDCFL}} * W_1 \text{ DCFL}}{2R_1 \text{ DCFL}} \quad [4.95]$$

Pour la structure BFL, il y a la consommation énergétique de l'étage logique plus celle de l'étage décaleur. La consommation de l'étage logique offre une relation similaire à celle déterminée pour la

structure DCFL. La consommation de l'étage logique est fonction de la largeur du MESFET en source de courant (MESFET-7) qui est fonction de la charge soit, dans le cas présent ( $W_7=W_6$ ):

$$W_7 = \left[ \frac{K_{21 \text{ BFL}} W_1 C}{\Theta} \right]^{1/2} \quad [4.96]$$

Donc la consommation pour la structure BFL est:

$$P_{\text{BFL}} \propto \frac{V_{\text{ddBFL}} * W_1 \text{ BFL}}{2 R_1 \text{ BFL}} + \frac{(V_{\text{ddBFL}} - V_{\text{SSBFL}}) * \left[ \frac{K_{21 \text{ BFL}} W_1 C}{\Theta} \right]^{1/2}}{R_1 \text{ BFL}} \quad [4.97]$$

Le rapport de consommation entre les structures est donc de:

$$\frac{P_{\text{DCFL}}}{P_{\text{BFL}}} = \left[ \frac{W_1}{4W_1 + 53.6 (W_1)^{1/2}} \right] \frac{R_1 \text{ BFL}}{R_1 \text{ DCFL}} \quad [4.98]$$

pour

$$\begin{aligned} V_{\text{ddDCFL}} &= 1.0 \text{ V} \\ V_{\text{ddBFL}} &= 4.0 \text{ V} \\ V_{\text{SSBFL}} &= -3.5 \text{ V} \end{aligned}$$

Ce qui fait que, pour deux portes ayant une largeur de charge active de 1  $\mu\text{m}$ , la porte en BFL consomme 377 fois plus que la porte DCFL et diminue à 117 lorsque la largeur des MESFET en charge active est de 15  $\mu\text{m}$ .

## 5 REALISATION D'UN DIVISEUR DE FREQUENCE PAR 4

### 5.1 STRUCTURE DU DIVISEUR DE FREQUENCE

Plusieurs structures de diviseur de fréquence sont possibles [24,25]. La structure que nous avons choisie utilise une bascule maître-esclave. L'intérêt d'utiliser cette approche est que le diviseur opère sur une vaste gamme de fréquence qui s'étend du continu jusqu'à une fréquence maximale. Le fonctionnement continu facilite le test du circuit. De plus, les portes élémentaires constituant le diviseur ont pu être réalisées individuellement afin de valider le modèle utilisé et les rapports dimensionnels des MESFET constituant les portes. L'annexe G présente les portes élémentaires fabriquées et leur test. La conception des portes ainsi que du diviseur de fréquence est faite à l'aide de séries de simulations sur SPICE avec notre modèle source de courant, car l'étude théorique discutée précédemment n'était pas réalisée lors de la conception de ces circuits.

Une bascule maître-esclave est constituée de deux bascules RS. Les bascules RS peuvent prendre deux configurations différentes pour s'adapter au nombre de phases d'horloge. Les bascules du type I sont formées à l'aide de deux portes complexes  $((AB)+C)'$  ou encore  $((A+B)C)'$ . Les bascules de type I possèdent une rétroaction continue (figures 5.1a et 5.1b). Lorsque les portes complexes sont  $((AB)+C)'$  la bascule est active sur un niveau haut de l'horloge et lorsque les portes complexes sont de type  $((A+B)C)'$  la bascule est active sur un niveau bas de l'horloge. Ce type de bascule introduit un

délai de deux fois le temps de propagation d'une porte pour se stabiliser lors d'un changement d'état à cause de la rétroaction.

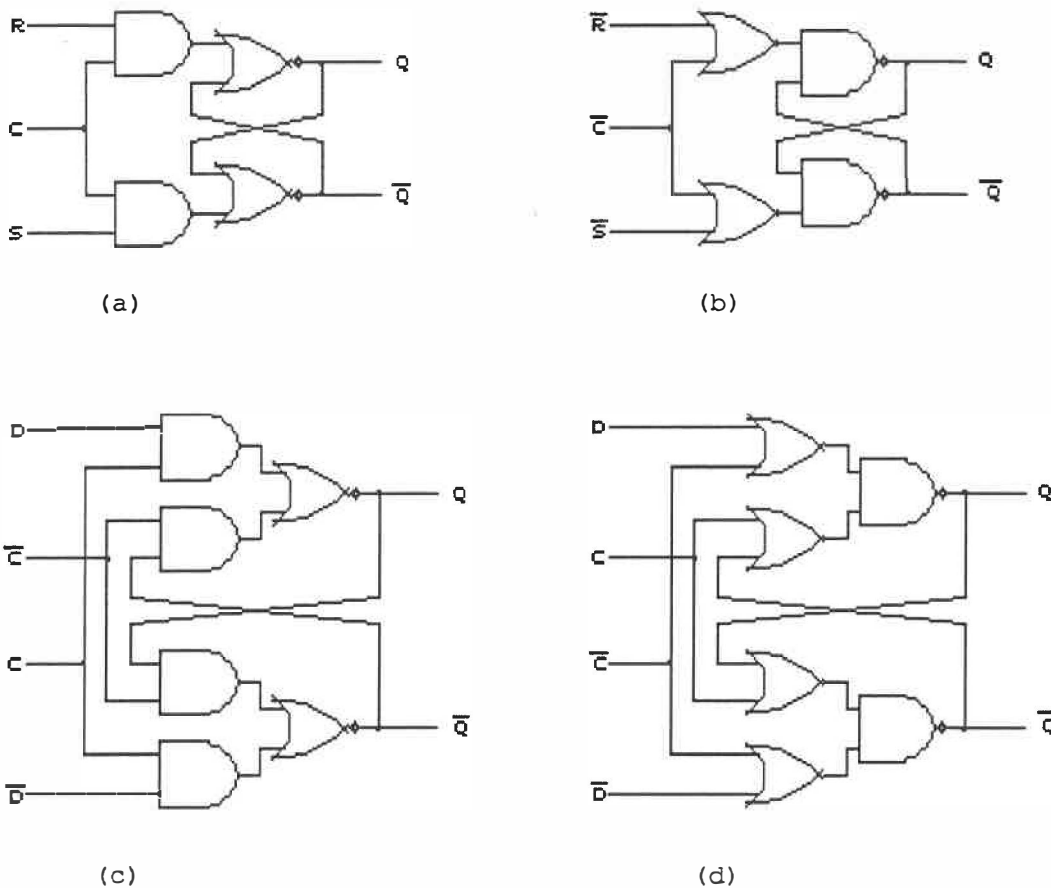


FIGURE 5.1 Types de bascules RS. (a) Bascule RS formée de portes  $(AB+C)'$ . (b) Bascule RS formée de portes  $((A+B)C)'$ . (c) Bascule RS formée de portes  $(AB+CD)'$ . (d) Bascule RS formée de portes  $((A+B)(C+D))'$ .

Les bascules du second type sont deux fois plus rapide que les bascules du type I. Ces bascules nécessitent la phase horloge et son complément. Le gain de vitesse provient du fait que la phase



complémentaire de l'horloge vient bloquer la rétroaction (figures 5.1c et 5.1d). Le désavantage de ce type de bascule est qu'il est possible de perdre l'information qu'elle contient si les deux phases d'horloge bloquent simultanément l'information entrante et la rétroaction trop longtemps. Les bascules du type 2 sont activées sur un niveau haut ou un niveau bas dépendant si la porte de base est  $(AB+CD)'$  ou  $((A+C)(C+D))'$ .

La bascule maître-esclave est constituée de deux bascules RS pour lesquelles les sorties Q et Q' de la seconde bascule sont ramenées aux entrées S et R de la première. Rury L. Van Tuyl [25] a montré que quand la bascule esclave et la bascule maître sont activées simultanément la bascule oscille selon la séquence montrée à la figure 5.2. Donc dans les cas où les bascules sont activées sur des niveaux d'horloge différents les risques d'oscillations sont réduits au minimum car les deux bascules RS sont activées et désactivées par la même phase d'horloge.

## EQUATIONS LOGIQUES:

$$\begin{aligned}
 Q_{MAITRE} &= Q_{ESCLAVE}' Q_{MAITRE}'' \\
 Q_{MAITRE}' &= Q_{MAITRE}' Q_{ESCLAVE}'' \\
 Q_{ESCLAVE} &= Q_{ESCLAVE}'' Q_{MAITRE}'' \\
 Q_{ESCLAVE}' &= Q_{MAITRE}' Q_{ESCLAVE}'
 \end{aligned}$$

## TABLE D'ETATS:

Noeuds	Etats								
	0	1	2	3	4	5	6	7	0
QESCLAVE	0	0	0	0	1	1	1	0	0
QESCLAVE'	1	1	1	0	0	0	0	0	1
QMAITRE	0	0	1	1	1	0	0	0	0
QMAITRE'	1	0	0	0	0	0	1	1	1

FIGURE 5.2 Séquence d'oscillation d'une bascule maître-esclave.

Le diviseur de fréquence que nous avons réalisé utilise les bascules du type II, qui introduisent un délai d'un seul temps de propagation à travers d'une porte. Afin de minimiser la possibilité d'oscillation du circuit la bascule maître et la bascule esclave sont actives sur des niveaux d'horloge différents. La phase complémentaire à l'horloge nécessaire aux bascules maître-esclave est générée par un inverseur. De plus un MESFET de 120  $\mu\text{m}$  est mis à la sortie du diviseur afin de connecter une ligne de 50  $\Omega$  à la sortie du diviseur de fréquence sans perturber l'opération de ce dernier. La figure 5.3 présente la structure logique du diviseur de fréquence.

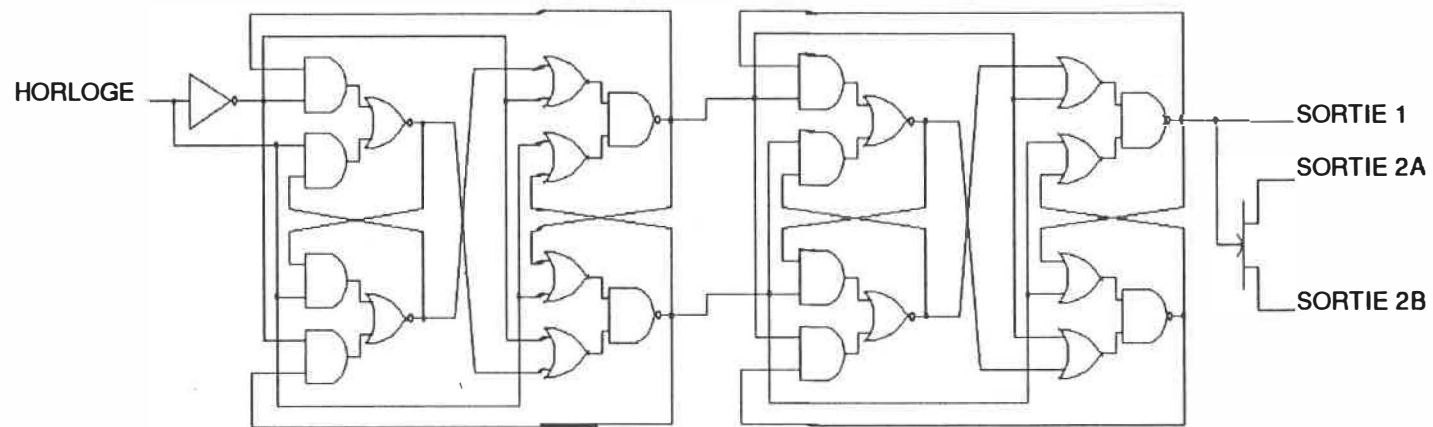


FIGURE 5.3 Schema logique du diviseur de frequence.

## 5.2 SIMULATION ET REALISATION DU DIVISEUR DE FREQUENCE

Les portes logiques utilisées pour la réalisation du diviseur de fréquence ont la même dimension que celles utilisées pour les portes individuelles décrites à l'annexe G. Le tableau 5.1 reprend les largeurs des MESFET utilisés pour chaque porte logique.

TABLEAU 5.1  
LARGEUR DES MESFET  
DES PORTES LOGIQUES  
DU DIVISEUR DE FREQUENCE

Porte	Largeur des MESFET		
	Charge ( $\mu\text{m}$ )	Logique ( $\mu\text{m}$ )	Décaleur ( $\mu\text{m}$ )
Inverseur	10	20	30
$(AB+CD)'$	15	40	30
$((A+B)(C+D))'$	15	40	30

Les simulations à l'aide du modèle source de courant indiquent que le diviseur de fréquence fonctionne correctement jusqu'à une fréquence de 1.5 GHz. Il est toutefois nécessaire de souligner que les simulations ne prennent pas en considération les capacités parasites des conducteurs de la structure réelle. Le diviseur a été réalisé par Adams-Russell avec des MESFET de 0.5  $\mu\text{m}$  de longueur. Ce procédé utilise une seule couche métallique ce qui explique la surface de 0.5 mm X 1.5 mm que nécessite le circuit. Le positionnement des différents blocs du diviseur de fréquence est présenté à la figure 5.4 avec l'identification des plots d'entrée-sortie. La figure 5.5

présente la microphotographie du circuit.

Les pastilles ont été montées dans un boîtier et posées sur une plaque afin de polariser le circuit et d'injecter le signal d'horloge. Nous pouvions varier la fréquence, l'amplitude et le niveau continu du signal d'horloge. Le signal de sortie du diviseur de fréquences a été visualisé sur un oscilloscope. Le test du circuit a permis de faire opérer le diviseur jusqu'à une fréquence de 1.4 GHz, figure 5.6, avec le MESFET de sortie configuré comme à la figure 5.7. Les tensions d'alimentation lors des tests du circuit variaient de 4.2 V jusqu'à plus de 5.5 V pour Vdd et de -3.0 V jusqu'à moins de -4.0 V. Les tensions fixées lors de l'opération à 1.4 GHz se retrouvent au tableau 5.2.

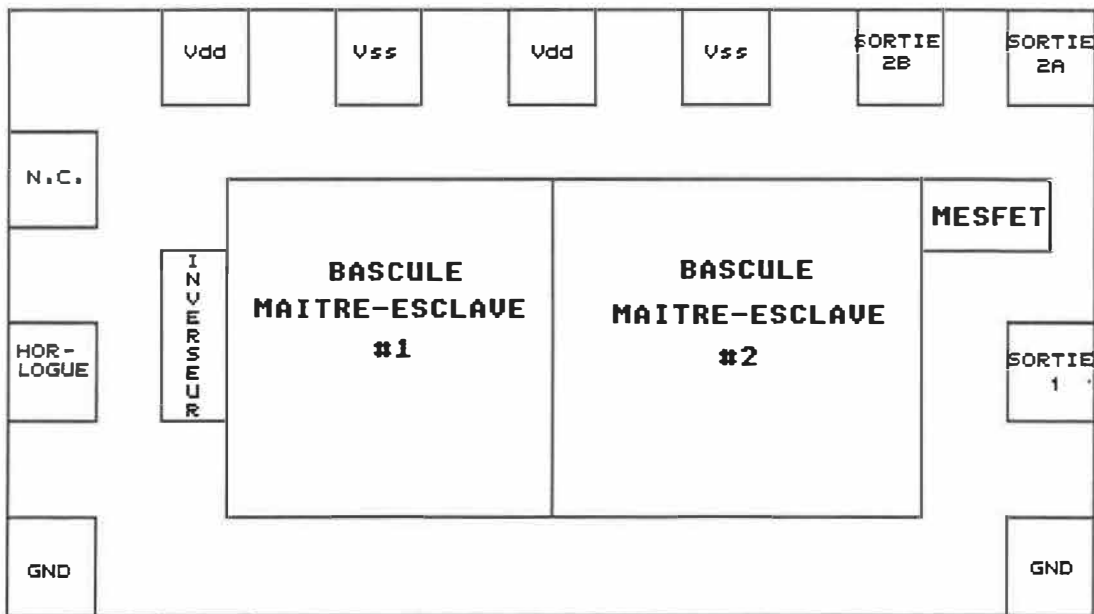


FIGURE 5.4 Positionnement des blocs du diviseur de fréquences.

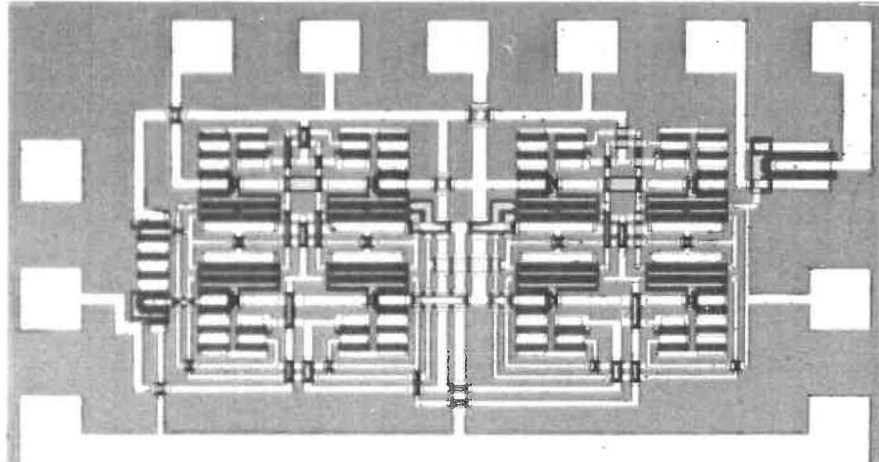


FIGURE 5.5 Microphotographie du diviseur de fréquence.  
Grossissement 100X.

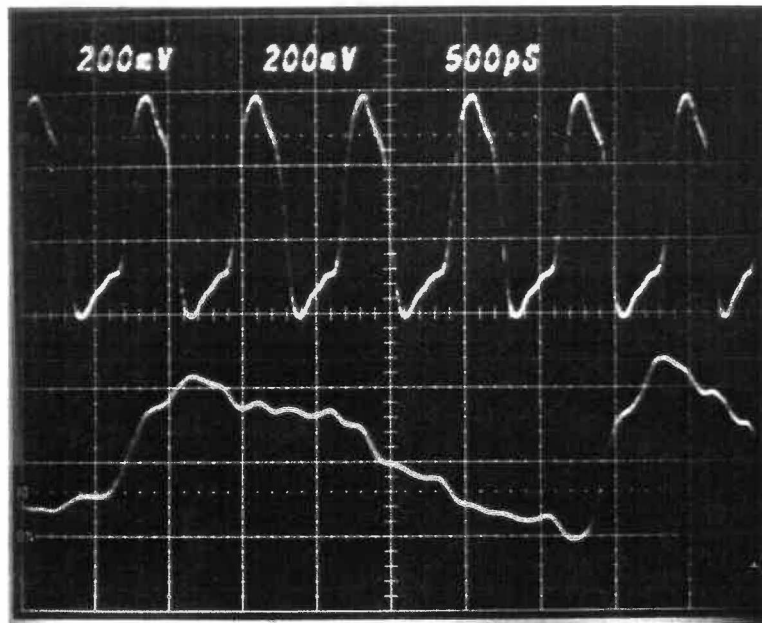


FIGURE 5.6 Signaux d'entrée et de sortie du diviseur de fréquence à 1.4 GHz.

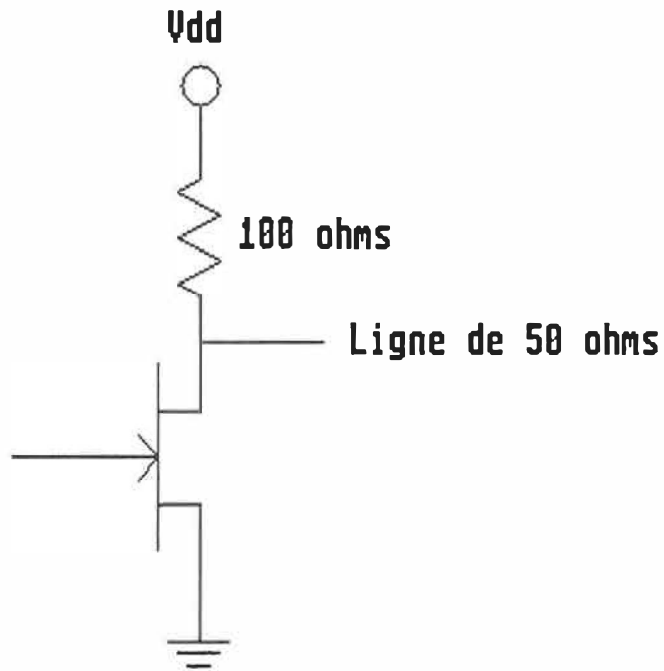


FIGURE 5.7 Configuration de sortie.

TABLEAU 5.2

TENSIONS D'ALIMENTATION DU  
DIVISEUR DE FREQUENCE

	SIMULATION (Volts)	EXPERIMENTAUX (Volts)
$V_{DD}$	5.7	5.0
$V_{SS}$	-2.6	-3.7
Ventrée Bas	0.5	0.32
Ventrée Haut	-2.0	-2.0

## 6. CONCLUSION

Les objectifs de l'étude étaient de comparer le recuit des contacts ohmiques sur plaque chauffante avec le recuit de ces derniers dans un four de recuit rapide et d'étudier la conception de circuits intégrés numériques sur GaAs.

La comparaison des deux méthodes de recuit montre que le recuit sur plaque chauffante produit une meilleure morphologie avec une résistivité spécifique comparable à la résistivité spécifique obtenue pour les recuits des contacts ohmiques dans le four de recuit rapide. Des avantages secondaires en faveur des recuits sur plaque chauffante sont le coût de l'équipement, quelques centaines de dollars, et la simplicité d'opération. L'utilisation régulière des recuits sur plaque chauffante nécessiterait la mise en place d'un système mécanique afin de transférer les échantillons entre la plaque froide et la plaque chaude afin d'éviter des erreurs de manipulation.

L'étude de la conception des circuits intégrés a débuté par la modélisation des MESFET. Deux modèles ont été utilisés, le premier est un modèle basé sur une source de courant que nous avons mis au point pour simuler l'opération des circuits à l'aide du simulateur SPICE. Le modèle source de courant utilise des modèles élémentaires que la plupart des simulateurs possèdent afin de simuler les MESFET GaAs. Ce modèle représente difficilement les caractéristiques du MESFET près de la fermeture du canal et dans la région de saturation. Par conséquent il vaut mieux utiliser un modèle de MESFET basé sur l'opération



physique comme celui de Curtice. Le modèle de Curtice est le second modèle que nous avons utilisé. Il se base sur le modèle du JFET dans la région de saturation auquel est ajouté un terme de la forme tangente hyperbolique pour représenter la région linéaire.

A l'aide du modèle de Curtice, nous avons étudié deux structures de portes logiques, soit les structures BFL et DCFL. Nous avons déterminé pour la structure BFL les rapports dimensionnels pour que le gain en tension de l'étage décaleur soit maximum et pour que le seuil logique soit centré au milieu de l'excursion logique pour les portes inverseurs, NON OU et NON ET, puis à l'aide d'un modèle résistance-capacité nous avons déterminé le rapport optimum de l'étage décaleur avec l'étage logique pour commander une charge et le rapport d'accroissement d'une chaîne d'inverseurs pour commander une grosse charge. De même, pour la structure DCFL, nous avons déterminé les rapports dimensionnels pour l'étage logique, puis à l'aide du modèle résistance-capacité nous avons déterminé le rapport d'accroissement des dimensions d'une chaîne d'inverseurs afin de commander une grosse charge avec un délai minimum. Aussi, pour cette structure, nous avons étudié l'utilisation d'un super générateur similaire à ceux utilisés dans la technologie n-mos. Les études de ces deux technologies ont été utilisées afin de comparer leurs performances respectives. Cette comparaison a été faite à l'aide d'une série d'hypothèses qui peuvent être fortement discutables. Cette comparaison prédit que la structure BFL offre une performance de vitesse 3.3 fois plus grande que la

structure DCFL avec une consommation pouvant être 377 fois moindre.

Un diviseur de fréquence par 4 fonctionnant à 1.4 GHz a été réalisé. Le diviseur de fréquence est réalisé à l'aide de bascules maître-esclave à deux phases d'horloge avec la partie maître et la partie esclave sensibles sur des niveaux d'horloge différents.

Le présent travail donne au concepteur de portes logiques les moyens pour dimensionner les portes BFL et DCFL à l'aide d'équations simples et d'une façon rapide. Les résultats du travail peuvent aussi être étendus à d'autres structures logiques avec un minimum de travail.

## 7. BIBLIOGRAPHIE

1. Morris Repeta, Fabrication et caractérisation de MESFET sur des couches d'arséniure de Gallium, Mémoire de maîtrise en ingénierie, Ecole Polytechnique de Montréal, Département de Génie Physique, Avril 1987, 174 p.
2. Christophe Lagarde, Fabrication, caractérisation et optimisation de transistors MESFET sur l'arséniure de Gallium, Mémoire de maîtrise en sciences appliquées, Ecole Polytechnique de Montréal, Département de Génie Physique, Juillet 1988, 174 p.
3. Yvon Savaria, Introduction à la conception et au test de circuits VLSI, Editions de l'Ecole Polytechnique de Montréal, 1988.
4. S. E. Sussman-Fort, J. C. Hantgan, SPICE implementation of lossy transmission line and Schottky diode Models, IEEE Transactions on Microwave Theory and Techniques, Vol. 36, No. 1, janvier 1988, pp. 153-155.
5. Ralph E. Williams, Gallium arsenide processing techniques, Artech House Inc., 1984, 406p.
6. Robert A. Pucel, Design considerations for monolithic microwave circuits, IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-29, No 6, June 1981, pp. 513-534.
7. Paul T. Greiling, High-speed digital IC performance outlook, IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-35, No 3, March 1987, pp. 245-258.
8. Marc Rocchi, Michèle Gavant, Circuits intégrés numériques sur arséniure de gallium pour applications au-delà du gigahertz, Acta Electronica, Vol. 23, No 3, 1980, pp. 243-267.
9. J.P. Dionne, Y. Savaria, J.F. Currie, Réalisation d'un diviseur de fréquence numérique sur AsGa, Ecole Polytechnique de Montréal, février 1988, EPM/TR-88-3.
10. Walter R. Curtice, GaAs MESFET modeling and nonlinear CAD, IEEE Transactions on Microwave Theory and Techniques, Vol. 36, No. 2, février 1988, pp. 220-230.
11. Walter R. Curtice, M. Ettenberg, A nonlinear GaAs FET model for use in the design of output circuits for power amplifiers, IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-33, No. 12, décembre 1985, pp. 1383-1394.

12. Walter R. Curtice, A MESFET model for use in the design of GaAs integrated circuits, IEEE Transactions on Microwave Theory and Techniques, Vol MTT-28, No 5, May 1980, pp. 448-456.
13. S. E. Sussman-Fort, J. C. Hantgan, F. L. Huang, A SPICE model for enhancement-mode and depletion-mode GaAs-FETs, IEEE Transactions on Microwave Theory and Techniques, 1986, Vol. 34, No 11, pp. 1115-1119.
14. F. L. Huang, S. E. Sussman-Fort et L. E. Lach, A universal SPICE model development and design interface for digital GaAs, IEEE 1986 Custom integrated circuits conference, 1986, pp. 216-219.
15. Stephen E. Sussman-Fort, Subramanian Narasimhan et Kartikeya Mayaram, A complete GaAs MESFET computer model for SPICE, IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-32, No 4, Avril 1984, pp. 471-473.
16. William W. Hines, Douglas C. Montgomery, Probability and statistics in engineering and management science, 2<sup>ème</sup> édition, John Wiley & Sons, 1980, pp. 392-403.
17. Adams-Russell, GaAs MMIC design seminars: Intensive course introductory course, Rev. 3.0, Adams-Russell Electronics Co., Inc., 1987.
18. W. R. McKinley, GASSIM: A circuit simulator for large scale GaAs circuits, IEEE 1986 Custom integrated circuits conference, 1986, pp. 628-631.
19. Henry Mathieu, Physique des semiconducteurs et des composants électroniques, Masson, 1987, 601 p.
20. Masanori Murakami, K. D. Childs, John M. Baker et A. Callegari, Microstructure studies of AuNiGe Ohmic contacts to n-type GaAs, J.Vac. Sci. Technol. B 4 (4), juillet/août 1986, pp. 903-911.
21. Tohru Takada, Kiyoyuki Yokoyama, Masao Ida et Tsuneta Sudo, A MESFET variable-capacitance model for GaAs integrated circuit simulation, IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-30, No. 5, mai 1982, pp. 719-724.
22. Carver Mead, Lynn Conway, Introduction to VLSI systems, Addison-Wesley Publishing Company, 1980, 396 p.
23. James V. Dilorenzo, Deen D. Khandelwal, GaAs FET principles and technology, Artech House Inc., 1982, 773p.

24. Kazuo Osafune, Kuniki Ohwada, An ultra-high speed GaAs prescaler using a dynamic frequency divider, IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-35, No. 1, janvier 1987, pp. 9-13.
25. Rory L. Van Tuyl, Charles A. Liechti, Robert E. Lee et Elmer Gowen, GaAs MESFET logic with 4-GHz clock rate, IEEE Journal of Solid-State Circuits, Vol. SC-12, No. 5, octobre 1977, pp. 485-496.
26. J. P. Holman, Heat transfert, 5<sup>ième</sup> édition, McGraw-Hill Book Company, 1981, 570 p.
27. Gérard Nuzillat, Ernesto H. Perea, Georges Bert, Fatma Damay-Kavala, Maurice Gloanec, Michel Peltier, Tung Pham NGU et Christian Arnodo, GaAs MESFET IC's for Gigabit logic applications, IEEE Journal of Solid State Circuits, Vol. SC-17, No 3, juin 1982, pp. 569-583.
28. M.J. Howes, D.V. Morgan, Gallium arsenide materials, devices and circuits, John Wiley & Sons, 1985, 580 p.
29. Rory Wan Tuyl, Charles Liechti, Gallium arsenide spawns speed, IEEE Spectrum, March 1977, p. 41-47.
30. Michel Cathelin, Technologies de circuits intégrés sur arséniure de gallium, Acta Electronica, Vol. 23, no.3, 1980, pp. 193-204.
31. Cherifa Azizi, Pierre Rossel, Modèles mathématiques du transistor à effet de champ en GaAs pour la conception assistée par ordinateur des circuits, Acta Electronica, Vol. 23, no.3, 1980, pp. 205-221.
32. Marc Rocchi, Outil CAO pour circuits intégrés numériques sur arséniure de gallium, Acta Electronica, Vol. 23, no.3, 1980, pp. 223-242.
33. Ron Hickling, John Kemps, Ken Rousseau, 1.5-Gbit/s GaAs multiplexer and demultiplexer forge fast fiber-optic links, Electronic Design, janvier 1986, pp. 107-112.
34. Takashi Mizutani, Naoki Kato, Masao Ida et Masamichi Ohmori, High-speed enhancement-mode GaAs MESFET logic, IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-28, No. 5, mai 1980, pp. 479-483.
35. Katsuhiko Suyama, Hirotosugu Kusakawa et Masumi Fukuta, Design and performance of GaAs normally-off MESFET integrated Circuits, IEEE Transactions on Electron Devices, Vol. ED-27, No. 6, juin 1980, pp. 1092-1097.

36. Andrzej Peczalski et al, Design analysis of GaAs direct coupled field effect transistor logic, IEEE Transactions on Computer-Aided Design, Vol. CAD-5, No. 2, avril 1986, pp. 267-273.
37. Max J. Helix et al., Fan out and speed of GaAs SDFL logic, IEEE Journal of Solid-State Circuits, Vol. SC-17, No 6, décembre 1982, pp. 1226-1231.
38. Bryant M. Welch, Yie-Der Shen, Ricardo Zucca, Richard C. Eden et Stephen I. Long, LSI processing technology for planar GaAs integrated Circuits, IEEE Transactions on Electron Devices, Vol. ED-27, No. 6, juin 1980, pp. 1116-1124.
39. Nicolas Witkowsky, Les promesses de l'arséniure de gallium, Sciences & Techniques No 15, mai 1985, pp. 45-54.
40. Richard C. Eden, Bryant M. Welch, Ricardo Zucca et Stephen I. Long, The prospects for ultrahigh-speed VLSI GaAs digital logic, IEEE Transactions on Electron Devices, Vol. ED-26, No 4, avril 1979, pp. 299-317.
41. Richard C. Eden, Bryant M. Welch, Ricardo Zucca, Planar GaAs IC technology: Application for digital LSI, IEEE Journal of Solid-State circuits, Vol. SC-13, No. 4, août 1978, pp. 419-425.
42. Lawrence E. Larson, Joseph F. Jensen et Paul T. Grelling, GaAs high-speed digital IC technology: An overview, Computer, octobre 1986, pp. 21-27.
43. Rory Van Tuyl et Charles Liechti, Gallium arsenide spawns speed, IEEE Spectrum, mars 1977, pp. 41-47.
44. Arpad Barna, Charles A. Liechti, Optimization of GaAs MESFET logic gates with subnanosecond propagation delays, IEEE Journal of Solid-State Circuits, Vol. SC-14, No. 4, Août 1979, pp. 708-715.
45. Mooshi R. Nomordi, Walter M. Duncan, The effect of logic cell configuration, gatelength, and fan-out on the propagation delays of GaAs MESFET logic gates, IEEE Transactions on Electron Devices, Vol. ED-29, No. 3, mars 1982, pp. 402-410.
46. Rory L. Van Tuyl, Charles A. Liechti, High-speed integrated logic with GaAs MESFET, IEEE Journal of Solid-State Circuits, Vol. SC-9, No. 5, octobre 1974, pp. 269-276.
47. J. G. Werthen, D. R. Scifres, Ohmic contacts to n-GaAs using low-temperature anneal, J. Appl. Phys., Vol. 52, No. 2, février 1981, pp. 1127-1129.

48. N. Braslau, Alloyed ohmic contacts to GaAs, J. Vac. Sci. Technol., 19(3), septembre/octobre 1981, pp. 803-807
49. Naoki Yokoyama, Shinji Ohkawa et Hajime Ishikawa, Effects of the heating rate in alloying of Au-Ge to n-type GaAs on the ohmic properties, J. Appl. Phys., Vol. 14, No 7, 1975, pp. 1071-1072.
50. Won-Pyo Hong et al., Low-resistance ohmic contacts to AlGaAs/GaAs and In<sub>0.52</sub>Al<sub>0.48</sub>As/In<sub>0.53</sub>Ga<sub>0.47</sub>As modulation-doped structures obtained by halogen lamp annealing, IEEE Electron Device Letters, Vol. EDL-7, No. 5, mai 1986, pp. 320-323.
51. K. Heime, U. Konig, E. Kohn et A. Wortmann, Very low resistance Ni-AuGe-Ni contacts to n-GaAs, Solid-State Electronics, Vol. 17, 1974, pp. 835-837.
52. S. S. Gill, J. R. Dawsey, A. G. Cullis, Contact resistivity of IR lamp alloyed Au-Ge metallisation on GaAs, Electronics Letters, Vol. 20, No. 22, octobre 1984, pp. 944-945.
53. H. George Henry et al., Hot plate alloying for ohmic contacts to GaAs, IEEE Transactions on Electron Devices, Vol. ED-31, No. 8, août 1984, pp. 1100-1103.
54. T. S. Kuan et al., Electron microscope studies of an alloyed Au/Ni/Au-Ge ohmic contact to GaAs, J. Appl. Phys., 54, 12, décembre 1983, pp. 6952-6957.
55. A. Piotrowska, A. Guivarch et G. Pelous, Ohmic contacts to III-V compound semiconductors: A review of fabrication techniques, Solid-State Electronics, Vol.26, 1982, pp. 179-197.





ANNEXE A

MODELE SPICE DU MODELE  
SOURCE DE COURANT

\* MESFET DE 10  $\mu\text{m}$

```
.SUBCKT FETA10U 8 3 9
  LG 4 3 0.066E-9
  RG 5 4 1.17
  RI 5 11 160
  CGD 5 13 0.7E-15
G1 13 12 POLY(2) 121 0 13 12
+ 0.0000000M 0.0000000M 3.0949159M 0.0000000M 2.2318965M
+ -1.8963326M 0.0000000M 0.3806450M -1.4121329M 0.5373395M
+ 0.0000000M 0.0000000M -0.2417701M 0.4208004M -0.0639093M
+ 0.0000000M 0.0000000M 0.0000000M 0.0695659M -0.0619248M
+ -0.0001532M 0.0000000M 0.0000000M 0.0000000M 0.0000000M
+ -0.0094621M 0.0039976M 0.0006330M 0.0000000M 0.0000000M
+ 0.0000000M 0.0000000M 0.0000000M 0.0004940M -0.0000655M
+ -0.0000355M
D1 5 12 PNP 0.010
D2 5 13 PNP 0.010
E1 120 0 POLY(1) 5 12 0 1
R20 120 121 10.0
D3 121 0 IDEAL3

J1 13 11 12 GAAS .01
CDS 12 13 2e-15
RD 13 7 80
RS 12 6 40
LS 6 9 0.005E-9
LD 7 8 0.04E-9
.ENDS FETA10U
```

\* MESFET DE 30  $\mu\text{m}$ 

```

.SUBCKT FETA30U 8 3 9
  LG 4 3 0.066E-9
  RG 5 4 1.18
  RI 5 11 53.3
  CGD 5 13 2.1E-15
G1 13 12 POLY(2) 121 0 13 12
+ 0.0000000M 0.0000000M 9.2847478M 0.0000000M 6.6956895M
+ -5.6889979M 0.0000000M 1.1419349M -4.2363987M 1.6120186M
+ 0.0000000M 0.0000000M -0.7253103M 1.2624012M -0.1917278M
+ 0.0000000M 0.0000000M 0.0000000M 0.2086977M -0.1857745M
+ -0.0004596M 0.0000000M 0.0000000M 0.0000000M 0.0000000M
+ -0.0283862M 0.0119927M 0.0018990M 0.0000000M 0.0000000M
+ 0.0000000M 0.0000000M 0.0000000M 0.0014820M -0.0001966M
+ -0.0001066M
  D1 5 12 PNP 0.030
  D2 5 13 PNP 0.030
  E1 120 0 POLY(1) 5 12 0 1
  R20 120 121 10.0
  D3 121 0 IDEAL3

  J1 13 11 12 GAAS .03
  CDS 12 13 6e-15
  RD 13 7 26.6
  RS 12 6 13.3
  LS 6 9 0.005E-9
  LD 7 8 0.04E-9
.ENDS FETA30U

```

```

.MODEL PN D(IS=1.6E-11 RS=4.0 N=1.2 CJO=2.1E-12 VJ=0.8 M=0.5
+ BV=10.0 IBV=10E-6)
.MODEL PNP D(IS=1.6E-11 RS=4.0 N=1.2 VJ=0.8 M=0.5
+ BV=10.0 IBV=10E-6)
.MODEL IDEAL3 D(IS=1.6E-11 RS=0 VJ=1.0 M=0.5 BV=2.1
+ )
.MODEL GAAS NJF (VTO=-2.6 BETA=0.0 lambda=0.0
+ CGS=1.62e-12 PB=0.425 FC=0.5)

```

\* modele gaas est pour un fet de longueur egale a .5um par  
\* 1 mm de largeur

## ANNEXE B

### CALCUL DU CYCLE THERMIQUE DU RECUIT SUR PLAQUE CHAUFFANTE

Les temps de montée et de descente en température de l'échantillon durant le recuit des conducteurs ohmiques sont évalués à l'aide d'un calcul de transfert thermique.

Le problème au niveau transfert thermique se résume à l'étude en fonction du temps de la juxtaposition de deux plaques (la plaque et l'échantillon). Les hypothèses de base pour traiter le problème sont que (1) les deux plaques sont isothermes au départ, (2) le coefficient de transfert thermique du contact des deux plaques ( $h_{\text{contact}}$ ) est de  $11400 \text{ W/m}^2 \text{ } ^\circ\text{C}$ , (3) le coefficient de transfert thermique échantillon-air ( $h_{\text{air}}$ ) est de  $6.5 \text{ W/m}^2 \text{ } ^\circ\text{C}$ , (4) la température de l'air environnant les plaques est de  $40^\circ\text{C}$  et (5) l'écoulement de chaleur est unidirectionnel.

Les calculs ont été effectués par différences finies selon une technique décrite par Holman [26]. La figure B.1 présente le maillage utilisé pour les calculs.

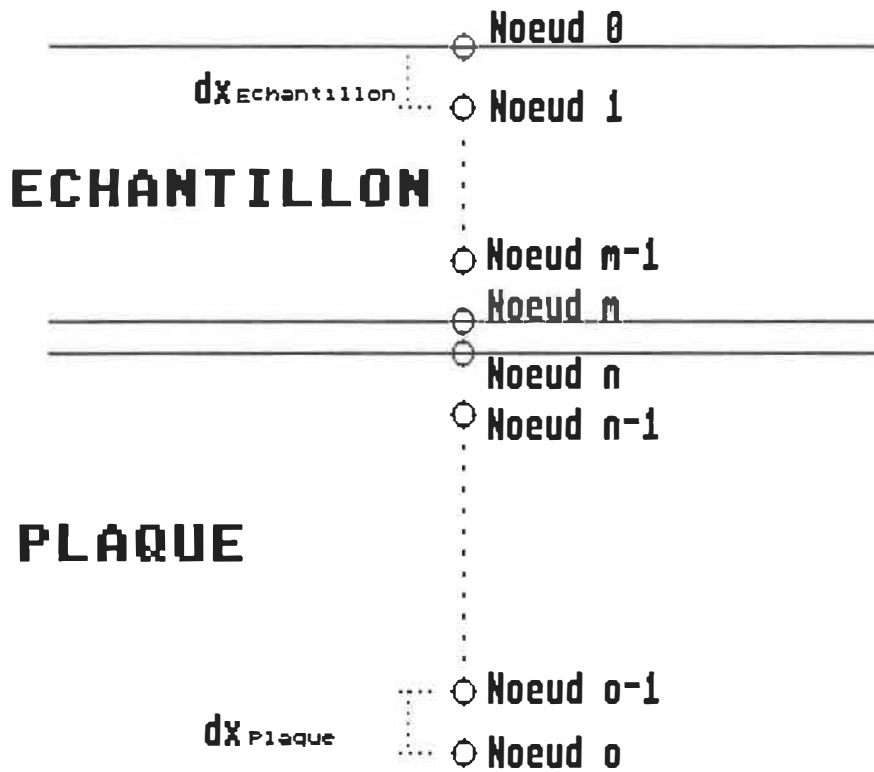


FIGURE B.1 Maillage utilisé pour le calcul de l'écoulement thermique de la plaque et de l'échantillon.

Les équations de température en fonction du temps pour chacun des noeuds sont:

Noeud 0:

$$T_0^{P+1} = \frac{2FO_{Ech}(T_1^{P+1} + BioT_{air}) + T_0^P}{2FO_{Ech}(1 + Bio) + 1} \quad [B.1]$$

Noeuds 1 à m-1:

$$T_i^{P+1} = \frac{FO_{Ech}(T_{i+1}^{P+1} + T_{i-1}^{P+1}) + T_i^P}{2FO_{Ech} + 1} \quad [B.2]$$

Noeud m:

$$T_m^{P+1} = \frac{2FO_{Ech}(T_{m-1}^{P+1} + B_{im}T_n^{P+1}) + T_m^P}{2FO_{Ech}(1 + B_{im}) + 1} \quad [B.3]$$

Noeud n:

$$T_n^{P+1} = \frac{2FO_{Plaque}(T_{n+1}^{P+1} + B_{in}T_m^{P+1}) + T_n^P}{2FO_{Plaque}(1 + B_{in}) + 1} \quad [B.4]$$

Noeuds m+1 à o-1:

$$T_i^{P+1} = \frac{2FO_{Plaque}(T_{i-1}^{P+1} + T_{i+1}^{P+1}) + T_i^P}{2FO_{Plaque} + 1} \quad [B.5]$$

Noeud o:

$$T_o = T_o^{P+1} \quad [B.6]$$

$$\text{où } FO_{Ech} = \frac{\delta\tau k_{Ech}}{\rho_{Ech}C_{Ech}\delta X_{Ech}} \quad [B.7]$$

$$FO_{Plaque} = \frac{\delta\tau k_{Plaque}}{\rho_{Plaque}C_{Plaque}\delta X_{Ech}} \quad [B.8]$$

$$B_{io} = \frac{h_{air} \delta X_{Ech}}{k_{Ech}} \quad [B.9]$$

$$B_{im} = \frac{h_{contact} \delta X_{contact}}{k_{Ech}} \quad [B.10]$$

$$B_{in} = \frac{h_{contact} \delta X_{contact}}{k_{Plaque}} \quad [B.11]$$

$T_i^{P+1}$  signifie la température du noeud i au temps calculé et  $T_i^P$  signifie la température du noeud i au temps précédent.

$\delta X_{Ech}$ : Distance entre les noeuds dans l'échantillon.

$\delta X_{Plaque}$ : Distance entre les noeuds dans la plaque.

$\delta\tau$ : Le pas du temps entre chaque calcul.

Le tableau B.1 contient les constantes physiques nécessaires pour les calculs de chaque matériaux. Les calculs pour le chauffage et le refroidissement sont représentés sous forme graphique à la figure B.2.

Donc à l'aide du graphique B.2 nous pouvons estimer que les temps de refroidissement et de chauffage sont de l'ordre de 1.5 seconde. Il faut être conscient que ces calculs sont approximatifs car les incertitudes sur les coefficients de transfert sont importantes.

TABLEAU B.1  
CONSTANTES PHYSIQUES  
UTILISEES POUR LES CALCULS  
DE TRANSFERT THERMIQUE

Aluminium	
Densité (p)	2707 kg/m <sup>3</sup>
Chaleur spécifique (Cp)	892 J/kg°C
Conductivité thermique (k)	206 W/m°C
Arséniure de gallium	
Densité (p)	5320 kg/m <sup>3</sup>
Chaleur spécifique (Cp)	350 J/kg°C
Conductivité thermique (k)	46 W/m°C
Cuivre	
Densité (p)	8666 kg/m <sup>3</sup>
Chaleur spécifique (Cp)	410 J/kg°C
Conductivité thermique (k)	83 W/m°C

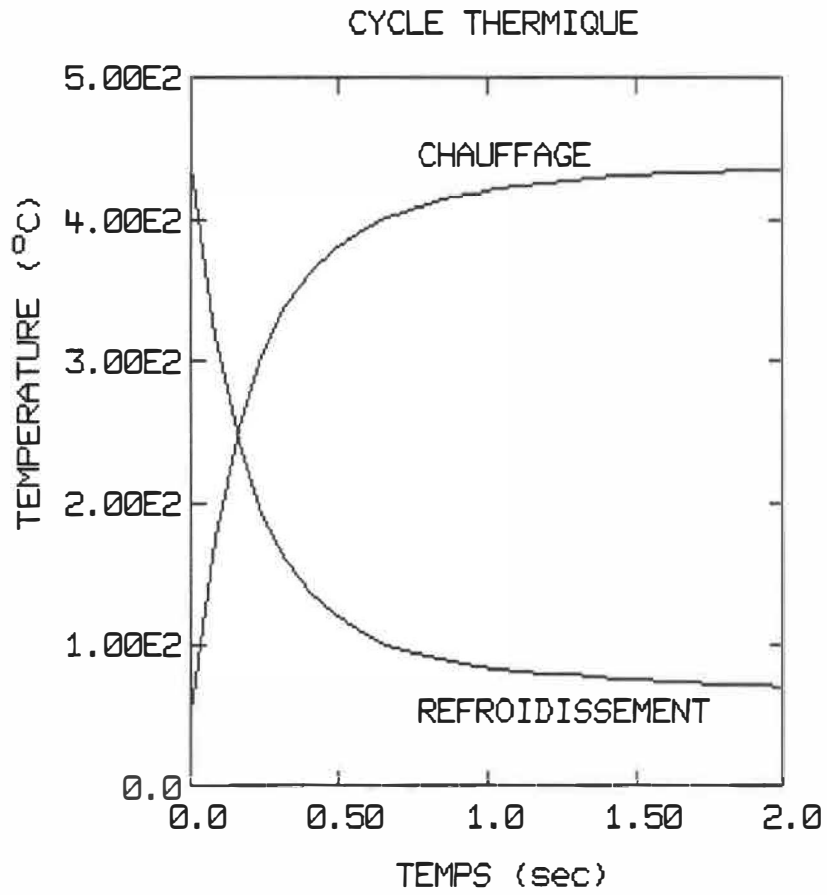


FIGURE B.2 Profils de refroidissement et de chauffage en fonction du temps calculés par différences finies.

## ANNEXE C

### MANIPULATIONS EN SALLE BLANCHE

Les manipulations en salle blanche ont été mise au point par Christophe Lagarde dans le cadre de sa maîtrise [2]. Ici, nous ne voulons pas motiver ces manipulations mais simplement les énumérer. La présente annexe débute par la présentation des grandes étapes de la réalisation des circuits, puis les manipulations pour chaque étape du procédé. Les lecteurs plus avides de détails sur les manipulations en salle blanche pourront consulter le mémoire de maîtrise de Christophe Lagarde.

#### C.1 ETAPES DE REALISATION DES CIRCUITS

Les circuits sont réalisés selon la technique d'isolation de grille par gravure. Cette technique consiste à utiliser une pastille de GaAs semi-isolante sur laquelle a été déposée une couche active. La gravure de la couche active est effectuée pour isoler les dispositifs sur la pastille. Les contacts ohmiques et Schottky sont réalisés. La figure 4.1 présente schématiquement ces étapes.

Les pastilles utilisées possèdent une couche active de 3800 Å avec une concentration de donneurs (Nd) de  $5.05 \cdot 10^{16} \text{ cm}^{-3}$ . Les étapes de réalisation effectuées sont:



**GRAVURE DE LA COUCHE ACTIVE**

1. Nettoyage des pastilles.
2. Photolithographie des régions actives.
3. Gravure.

**CONTACTS OHMIQUES**

4. Nettoyage des pastilles.
5. Photolithographie des contacts ohmiques.
6. Dépôt des contacts ohmiques.
7. Recuit des contacts ohmiques.

**CONTACTS SCHOTTKY**

8. Nettoyage des pastilles.
9. Photolithographie des contacts Schottky.
10. Gravure légère.
11. Dépôt des contacts Schottky.

**C.2 MANIPULATIONS DETAILLEES****NETTOYAGE DES PASTILLES**

- ° Nettoyer tous les instruments à l'acétone et au méthanol puis rincer à l'eau désionisée.
- ° Chauffer de l'acétone et du méthanol dans des béchers. L'acétone et le méthanol ne doivent pas bouillir (danger d'intoxication).
- ° Baigner la pastille dans l'acétone pendant 10 minutes.
- ° Baigner la pastille dans le méthanol pendant 10 minutes.
- ° Rincer la pastille à l'eau désionisée pendant 3 à 5 minutes.
- ° Sécher à l'azote et mettre la pastille dans une étuve à  $125\pm 5^{\circ}\text{C}$  pendant 30 minutes.

**PHOTOLITHOGRAPHIE**

- ° Nettoyer une pipette et un bécher à l'acétone, au méthanol et à l'eau désionisé, puis sécher à l'azote et dans l'étuve pendant 15 minutes.
- ° Etendre la résine<sup>1</sup> sur la pastille et faire tourner à 3000 tours par minute pendant 30 secondes.
- ° Sécher la résine entre 90°C et 95°C dans l'étuve pendant 30 minutes.
- ° Allumer l'aligneuse de photomasques et poser le masque nécessaire sur l'aligneuse de photomasques.
- ° Aligner les motifs du masque sur la pastille.
- ° Exposer la pastille pendant 4.5 secondes.
- ° Développer l'échantillon pendant de 30 à 60 secondes dans un mélange développeur-eau désionisé (1:1). Rincer abondamment à l'eau désionisée et sécher à l'azote.
- ° Après la gravure ou le dépôt, la résine est enlevée de la surface de la pastille par le solvant "AZ-REMOVER".

**N.B. POUR LE LIFT-OFF**

- ° Le temps d'exposition est augmenté à 7 secondes au lieu de 4.5 secondes.
- ° Juste avant le développement de la résine, la pastille est immergée dans du chlorobenzène pendant 5 minutes. Sécher le chlorobenzène à l'azote et mettre au four pendant 3 minutes entre 100°C et 110°C.
- ° Refroidir la pastille et développer la résine pendant 1 à 2 minutes comme auparavant.

**GRAVURE CHIMIQUE**

- ° Avant de procéder à la gravure, le motif de gravure doit avoir été imprimé sur la pastille par photolithographie.

---

<sup>1</sup> La résine utilisée est d'une résine positive. (S1400-23)

- ° La solution de gravure est un mélange acide phosphorique ( $H_3PO_4$ ) de peroxyde ( $H_2O_2$ ) et d'eau ( $H_2O$ ) dans les proportions 1:1:25. Le taux de gravure de cette solution est évalué à  $0.13\mu m$  par minute.
- ° Immerger la pastille avec la résine développée pendant 5 minutes.
- ° Immédiatement après l'immersion dans la solution de gravure rincer la pastille à l'eau désionisée.
- ° Enlever la résine en immergeant la pastille dans du solvant.

#### DEPOT METALLIQUE

- ° Après avoir imprimé le motif des conducteurs sur la pastille par photolithographie et immédiatement avant de mettre la pastille dans l'évaporateur: immerger la pastille dans une solution de gravure 1  $H_3PO_4$ : 1  $H_2O_2$ : 10  $H_2O$  pendant de 1 à 2 secondes; rincer à l'eau désionisée; immerger dans une solution 1  $HCl$ : 1  $H_2O$  pendant de 5 à 10 minutes; et rincer à l'eau. L'évaporation est effectuée à une pression inférieure à  $10^{-6}$  torr.
- ° Evaporer les épaisseurs de métaux nécessaires.
  - ° Les métaux déposés pour réaliser les contacts ohmiques sont:
    - 2000 Å AuGe
    - 300 Å Ni
    - 2000 Å Au
  - ° Les métaux déposés pour réaliser les contacts Schottky sont:
    - 300 Å Ti
    - 1000 Å Au
- ° Après l'évaporation, retirer la pastille de l'évaporateur et procéder à l'opération de lift off en immergeant la pastille dans du solvant sous ultra-son jusqu'à ce que le lift off soit complété (de 30 à 60 minutes).

#### RECUIT DES CONTACTS OHMIQUES

- ° Seule cette étape diffère des manipulations de Lagarde. Nous avons réalisé le recuit des contacts ohmiques sur une plaque chauffante plutôt que dans un four de recuit rapide à  $450^\circ C$  pendant 30 secondes.

ANNEXE D

MESURE DE LA RESISTANCE SPECIFIQUE  
DES CONTACTS OHMIQUES RECUTS SUR  
PLAQUE CHAUFFANTE

TABLEAU  
RESISTANCE SPECIFIQUE

	Rc ( $\Omega$ )	Rcarre ( $\Omega/\text{carré}$ )	rc ( $\Omega\text{cm}^2$ )
1	23.11	591.3	9.04E-5
2	10.82	750.3	1.56E-5
3	10.77	767.1	1.51E-5
4	15.87	664.8	3.79E-5
5	8.99	755.7	1.07E-5
6	8.66	765.2	9.80E-6
7	10.47	431.8	2.54E-5
8	12.18	714.0	2.08E-5
9	10.69	741.2	1.54E-5
10	12.29	760.1	1.99E-5
11	14.83	724.0	3.04E-5
12	11.45	744.2	1.76E-5
13	12.85	704.5	2.34E-5
14	10.68	619.0	1.84E-5
15	13.70	705.6	2.66E-5
16	10.86	766.4	1.54E-5
17	11.16	752.8	1.66E-5
18	11.49	748.8	1.76E-5
19	11.02	744.9	1.63E-5
20	12.60	653.9	2.43E-5
21	6.07	610.1	6.00E-6
22	10.38	732.3	1.47E-5
23	9.92	736.1	1.34E-5
24	10.88	729.7	1.62E-5

TABLEAU (suite)  
RESISTANCE SPECIFIQUE

	Rc ( $\Omega$ )	Rcarre ( $\Omega/\text{carré}$ )	rc ( $\Omega\text{cm}^2$ )
25	14.60	691.1	3.08E-5
26	13.03	637.1	2.66E-5
27	11.86	489.6	2.87E-5
28	9.18	763.2	1.10E-5
29	9.68	728.3	1.28E-5
30	12.67	678.6	2.37E-5
31	10.59	633.7	1.77E-5
32	9.41	481.0	1.84E-5
33	12.55	638.6	1.74E-5
34	12.54	580.4	2.71E-5
35	9.60	540.7	1.70E-5
MINIMUM	6.07	431.8	6.00E-6
MOYENNE	11.64	679.3	2.14E-5
MAXIMUM	23.11	767.1	9.04E-5
EC. TYPE	2.76	89.7	1.38E-5

**ANNEXE E**

**FACTEUR DE TRANSPOSITION DE LA CAPACITE  
D'ENTREE DE L'ETAGE DECALEUR (⊖)**

La capacité d'entrée de l'étage décaleur est la capacité grille-source du MESFET en source suivieuse. Afin de développer un raisonnement consistant dans le chapitre 5, il est nécessaire de transposer cette capacité à une capacité équivalente à la masse et de relier sa valeur à la capacité grille-source des MESFET de l'opérateur logique. Pour ce faire, prenons l'étage décaleur comme une boîte noire avec une capacité  $C_{gs}$  reliée aux points G et S représentant la grille et la source du MESFET en source suivieuse. L'entrée du décaleur est la grille du MESFET en source suivieuse (G). Puis une fois que la transposition de la capacité est effectuée, le schéma équivalent est une capacité ( $C_{gs}$ ) entre l'entrée de l'étage décaleur et la masse. Les figures E.1a et E.1b schématisent les deux circuits.



FIGURE E.1 Schémas équivalents pour transposer la capacité grille-source de l'étage décaleur à une capacité à la masse.

La charge stockée dans le condensateur  $C_{gs}$  est:

$$\delta Q_c = \delta V_{gs} C_{gs} \quad [E.1]$$

et dans le condensateur  $C'$ , elle est de

$$\delta Q_{c'} = \delta V_z C' \quad [E.2]$$

Pour être équivalents, les deux circuits doivent stocker la même charge ce qui donne le facteur  $\Theta'$ .

$$\delta Q_{c'} = \delta Q_c \quad [E.3]$$

$$\delta V_z C' = \delta V_{gs} C_{gs} \quad [E.4]$$

$$C' = \frac{\delta V_{gs}}{\delta V_z} C_{gs} \quad [E.5]$$

$$\Theta' = \frac{\delta V_{gs}}{\delta V_z} \quad [E.6]$$

Il est possible d'expliciter  $\delta V_{gs}/\delta V_z$  à partir des relations développées au chapitre 4. Soit des équations 4.3a et 4.3c:

$$\frac{\delta V_{gs}}{\delta V_z} = 1 - \frac{\delta V_s}{\delta V_z} \quad [E.7]$$

et  $\delta V_{out}/\delta V_z$  est donné par l'équation 4.7:

$$\Theta' = \frac{\delta V_{gs}}{\delta V_z} = 1 - \left[ 1 + \frac{(V_{gs\epsilon} - V_{t0})f}{n(1+fV_{ds\epsilon})} + \frac{(V_{gs\epsilon} - V_{t0}) \alpha}{n \operatorname{th}(\alpha V_{ds\epsilon}) \operatorname{Cosh}^2(\alpha V_{ds\epsilon})} + \frac{\beta_7 (-V_{t0})^n (V_{gs\epsilon} - V_{t0})}{\beta_\epsilon (V_{gs\epsilon} - V_{t0})^n n(1+fV_{ds\epsilon}) \operatorname{th}(\alpha V_{ds\epsilon})} \right]^* \left[ \frac{f \operatorname{th}(\alpha V_{ds7}) + (1 + fV_{ds7})\alpha}{\operatorname{Cosh}^2(\alpha V_{ds7})} \right]^{-1} \quad [E.8]$$

La valeur de  $\Theta'$  varie donc en fonction de la tension d'entrée et des rapports de largeur des MESFET de l'étage décaleur. Pratiquement nous avons besoin de la valeur moyenne de  $\Theta'$  sur un intervalle de la tension d'entrée. La figure E.2 présente le calcul de  $\Theta'_{\text{moy}}$  d'une façon numérique à partir de l'expression E.8.

Le raisonnement précédent transpose la valeur de la capacité grille-source à la masse, mais un second effet non négligeable doit être pris en considération soit le fait que cette capacité est fonction de la polarisation [21]. Nous ne tenterons d'évaluer ce rapport mais nous l'inclurons dans une constante  $\Theta''$ .

Donc le facteur de transposition de la capacité grille-source du MESFET en source suiveuse de l'étage décaleur est le produit de deux facteurs soit:

$$\Theta = \Theta' \Theta''$$

[E.9]



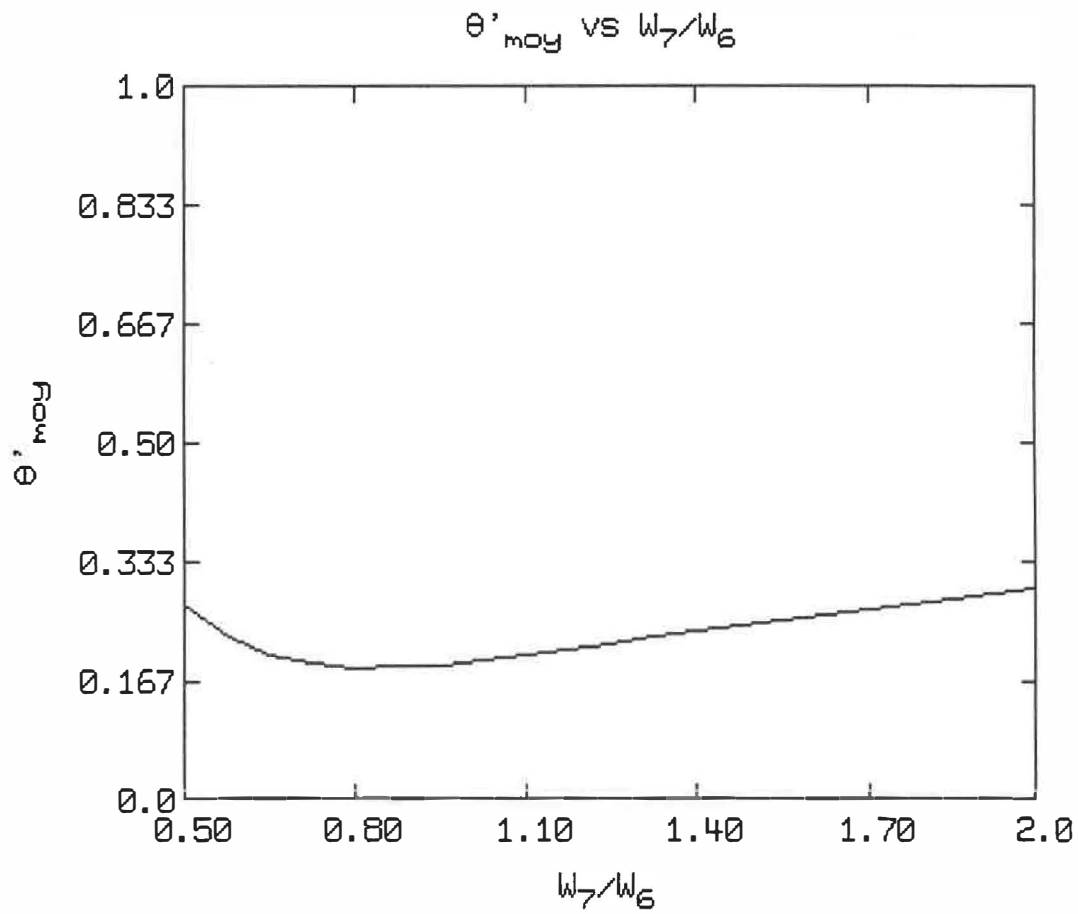


FIGURE E.2 Graphique de  $\theta'_{\text{moy}}$  en fonction du rapport des largeurs du MESFET en source de courant et du MESFET en source suiveuse.

## ANNEXE F

### REALISATION DE PORTES INDIVIDUELLES

Cinq circuits constitués de portes élémentaires ont été réalisés afin de s'assurer de leur fonctionnement et de valider le modèle de MESFET basé sur une source de courant tel que décrit au chapitre 2. L'étude dimensionnelle de ces circuits a été faite à l'aide d'une série de simulations pour minimiser les largeurs des MESFET de chaque porte élémentaire. Les microphotographies des différents circuits sont présentées aux figures F.1 à F.6.

Les fonctions de transfert des portes ont été mesurées expérimentalement sur un sondeur à pointes. Les résultats expérimentaux ainsi que ceux prédits par les simulations sont indiqués au tableau F.2. La comparaison entre les résultats expérimentaux et simulés indique une différence non négligeable. Cette différence peut provenir de deux sources soit: la mise à l'échelle du MESFET qui ne considère pas les effets de bouts et les variations du procédé de fabrication.

L'utilisation d'un MESFET à double ou à triple grille semble améliorer la stabilité des seuils mais en contre partie il se peut que les caractéristiques en fréquence des portes soit grandement détériorés ce qui n'a pu être vérifié à l'aide de ces circuits.

TABLEAU F.1  
LARGEUR DES MESFET CONSTITUANT LES  
PORTES ELEMENTAIRES REALISEES

Porte	Largeur des MESFET		
	Charge ( $\mu\text{m}$ )	Logique ( $\mu\text{m}$ )	Décaleur ( $\mu\text{m}$ )
Inverseur1	10	20	30
Inverseur2	20	40	30
NON ET 1	10	30	30
NON ET 2	10	30	30 *
NON ET 3	10	30	30 **
NON ((A.B)+(C.D))	15	40	30

\* L'étage de logique est réalisé avec un MESFET à double grille

\*\* L'étage de logique est réalisé avec un MESFET à triple grille

TABLEAU F.2  
RESULTATS EXPERIMENTAUX  
DES PORTES ELEMENTAIRES

Porte	Largeur des MESFET			
	SIMULATIONS		EXPERIMENTAUX	
	Seuil (Volts)	Courant Vdd (mA)	Seuil (Volts)	Courant Vdd (mA)
Inverseur1	-1.10	5.83	-0.95	7.363
Inverseur2	-0.90	6.30	-1.20	7.787
NON ET 1	-1.15	5.89	-0.90	7.117
NON ET 2	--	--	-1.00	7.575*
NON ET 3	--	--	-0.70	7.249**
NON ((A.B)+(C.D))	-0.95	6.39	-0.95	7.865

\* L'étage de logique est réalisé avec un MESFET à double grille

\*\* L'étage de logique est réalisé avec un MESFET à triple grille

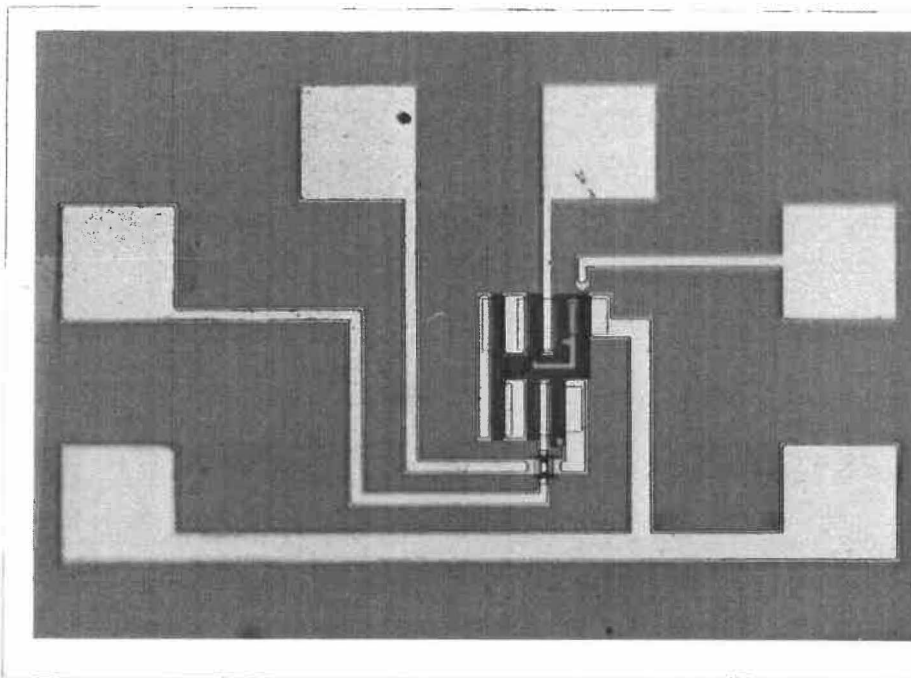


FIGURE F.1 Microphotographie du circuit inverseur 1. Grossissement de 200X.

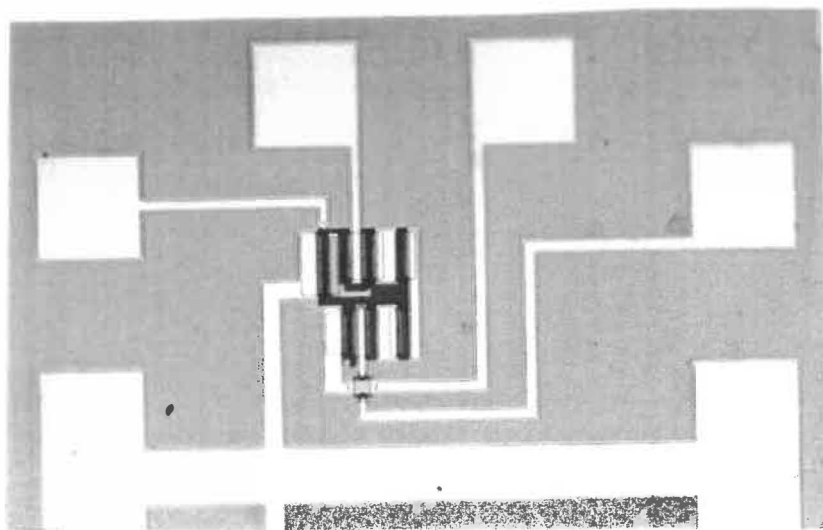


FIGURE F.2 Microphotographie du circuit inverseur 2. Grossissement de 200X.

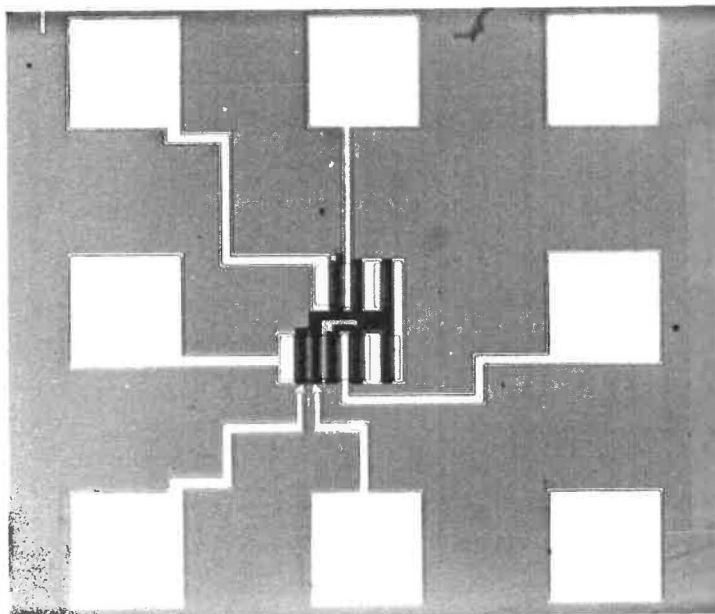


FIGURE F.3 Microphotographie du circuit NON ET 1 dont l'opérateur logique est constitué de deux MESFET. Grossissement de 200X.

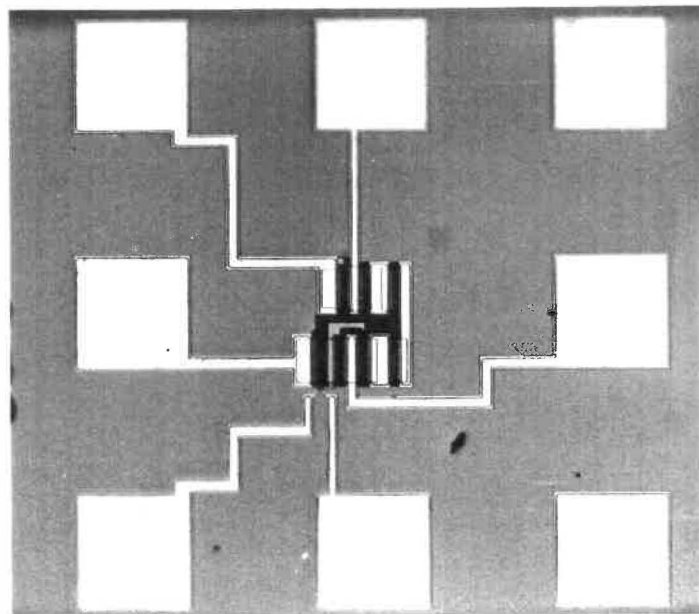


FIGURE F.4 Microphotographie du circuit NON ET 2 dont l'opérateur logique est constitué d'un MESFET à double grille. Grossissement de 200X.

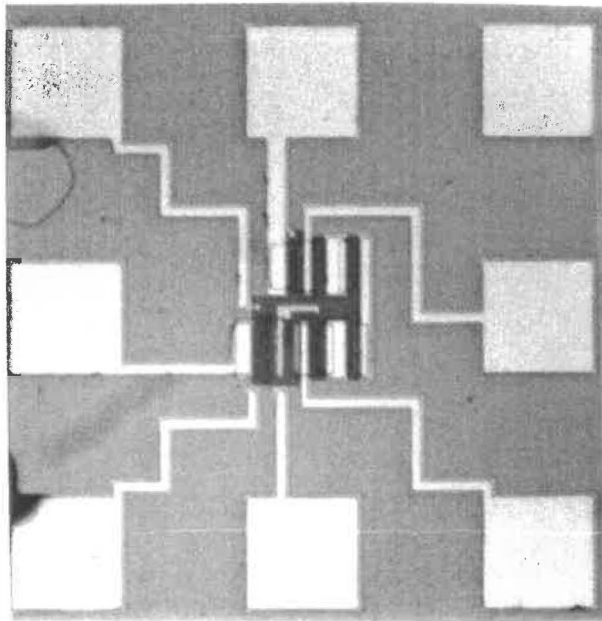


FIGURE F.5 Microphotographie du circuit NON ET 3 dont l'opérateur logique est constitué d'un MESFET à triple grille. Grossissement de 200X.

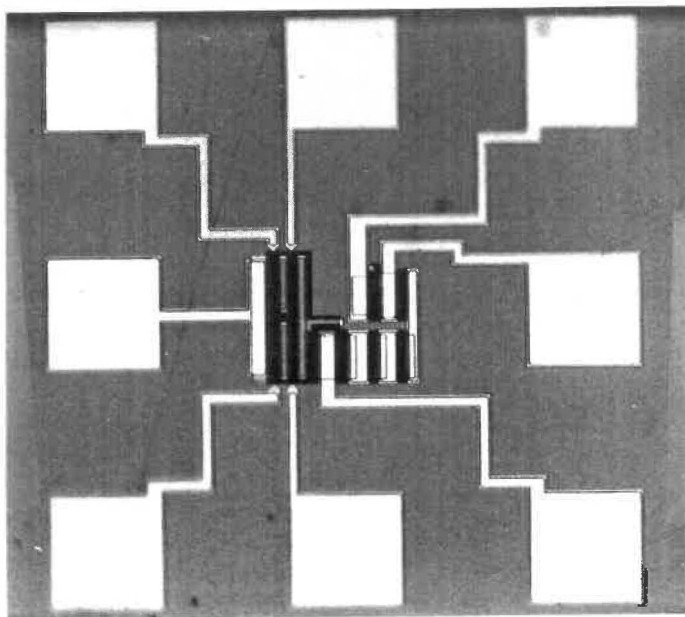


FIGURE F.6 Microphotographie du circuit  $(AB+CD)'$ . Grossissement de 200X.

ÉCOLE POLYTECHNIQUE DE MONTRÉAL



3 9334 00290806 7