

Titre: Développement d'un transistor à induction statique à base de silicium amorphe
Title:

Auteur: Michel Bisson
Author:

Date: 1989

Type: Mémoire ou thèse / Dissertation or Thesis

Référence: Bisson, M. (1989). Développement d'un transistor à induction statique à base de silicium amorphe [Mémoire de maîtrise, Polytechnique Montréal]. PolyPublie.
Citation: <https://publications.polymtl.ca/57930/>

 **Document en libre accès dans PolyPublie**
Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/57930/>
PolyPublie URL:

Directeurs de recherche:
Advisors:

Programme: Non spécifié
Program:

UNIVERSITE DE MONTREAL

DEVELOPPEMENT D'UN TRANSISTOR A INDUCTION
STATIQUE A BASE DE SILICIUM AMORPHE

par

Michel BISSON

DEPARTEMENT DE GENIE PHYSIQUE

ECOLE POLYTECHNIQUE

MEMOIRE PRESENTE EN VUE DE L'OBTENTION
DU GRADE DE MAITRE ES SCIENCES APPLIQUEES (M.SC.A)

AVRIL 1989

National Library
of Canada

Bibliothèque nationale
du Canada

Canadian Theses Service Service des thèses canadiennes

Ottawa, Canada
K1A 0N4

The author has granted an irrevocable non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of his/her thesis by any means and in any form or format, making this thesis available to interested persons.

The author retains ownership of the copyright in his/her thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without his/her permission.

L'auteur a accordé une licence irrévocable et non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de sa thèse de quelque manière et sous quelque forme que ce soit pour mettre des exemplaires de cette thèse à la disposition des personnes intéressées.

L'auteur conserve la propriété du droit d'auteur qui protège sa thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

ISBN 0-315-50188-X

UNIVERSITE DE MONTREAL

ECOLE POLYTECHNIQUE

Ce mémoire intitulé:

DEVELOPPEMENT D'UN TRANSISTOR A INDUCTION
STATIQUE A BASE DE SILICIUM AMORPHE

présenté par: Michel Bisson

en vue de l'obtention du grade de: Maitrise es

Sciences Appliquées

a été dûment accepté par le jury d'examen constitué de:

M. John F. Currie, Ph.D., président

M. Michel Meunier, Ph.D.

M. Remo Mazut, Ph.D.

Sommaire

L'utilisation croissante d'affichage à cristaux liquides demande des éléments commutateurs de plus en plus économiques et efficaces. Un des matériaux semi-conducteurs les plus prometteurs pour cette application est le silicium amorphe hydrogéné (a-Si:H), principalement dû à la possibilité de faire des dépôts sur de grandes surfaces et ceci à faible coût. Le transistor à induction statique (TIS) est une structure particulièrement prometteuse pour cette application.

Ce mémoire présente le développement d'un procédé de fabrication pour la réalisation du TIS à base de a-Si:H. A notre connaissance, c'est le premier transistor à être fabriqué présentant des caractéristiques électriques satisfaisantes. Nous vérifions que ce transistor fonctionne bien dans le mode d'enrichissement (mode triode) avec un voltage de fermeture du canal de -9.5 Volts et un ratio du courant ouvert/fermé de 360. Des résultats de simulations numériques nous permettent de croire que la différence entre nos résultats expérimentaux et des résultats théoriques déjà publiés est due à une région dans le a-Si:H, sous la grille de Pt, possédant une forte densité d'états dans le gap de mobilité.

Abstract

The increasing use of liquid crystal displays requires the development of cheap and high performance switching devices that can drive pixel elements. One promising semiconductor which can be deposited at low temperature over large area is hydrogenated amorphous silicon (a-Si:H). Unfortunately, a-Si:H Field Effect Transistor (FET) tends to have low "on" currents and high threshold voltages due to the materials', low electron mobility and high interface state density. However, using an unconventional vertical transistor structure known as the Static Induction Transistor (SIT), we minimize these problems.

We present the first experimental results ever obtained on the fabrication and electrical characterization of the a-Si:H SIT. The I-V measurements demonstrate the triode-like enhancement mode operation of the device and show an on-off current ratio of 360 and a pinch off voltage of -9.5 Volts for $V_{ds} = 6$ Volts. Numerical simulation suggest that the differences between experimental and theoretically predicted results are due to the presence of a high density of states layer at the a-Si:H/a-Si:H interface.

Remerciements

Je remercie M. Michel Meunier, mon directeur de recherche, pour le soutien qu'il m'a accordé tout au long de ce projet ainsi que pour ses judicieux conseils. Je remercie également M. John F. Currie d'avoir accepté la présidence du jury de ce mémoire, ainsi que M. Remo Masut pour sa participation comme membre du jury.

Je remercie M. Clément Arsenault pour sa patience, son intérêt envers mes travaux et ses précieux conseils. Je remercie également M. Mathieu Kemp pour avoir effectué les simulations numériques présentées dans ce travail.

Je remercie M. André Lecours et M. Gordon Harling pour leurs aides et leurs intérêts.

Je remercie mon épouse, Ginette Boivin, pour sa patience et son soutien, ainsi que tout les membres de ma famille pour leurs encouragements constants.

Je remercie les techniciens du département de génie physique pour leurs supports techniques ainsi que les étudiants et le personnel du département pour leur

aide.

Je remercie la Fondation des Diplômés de Polytechnique et Le Fond pour la Formation de Chercheurs et l'aide à la Recherche pour l'aide financière à ce projet.

Table des Matières

SOMMAIRE.....	iv
ABSTRACT.....	v
REMERCIEMENTS.....	vi
LISTE DES FIGURES ET TABLEAU.....	xi
LISTE DES SYMBOLES.....	xiii
LISTE DES ANNEXES.....	xiv

Chapitre 1

Introduction.....	1
-------------------	---

Chapitre 2

Théorie du transistor à induction statique (TIS).....	4
--	---

2.1 Le TIS à base de semi-conducteur cristallin.....	4
---	---

2.2 Le TIS à base de silicium amorphe.....	7
--	---

Chapitre 3

Procédé de fabrication du TIS à base de a-Si:H.....	14
--	----

3.1	Survol.....	14
3.2	Gaufres et nettoyage.....	15
3.3	Dépôt du a-Si:H.....	15
3.4	Dépôt du Platine.....	17
3.5	Dépôt de la deuxième couche de a-Si:H.	19
3.6	Contacts ohmiques.....	21
3.7	Gravure du a-Si:H.....	22

Chapitre 4

Caractéristiques électriques du TIS à base de a-Si:H.....	24
--	----

4.1	Caractéristiques électriques des contacts dans le TIS.....	25
4.1.1	Contacts ohmiques.....	25
4.1.2	Contacts Pt/a-Si:H.....	28
4.2	Caractérisation électrique du TIS en mode transistor.....	32

Chapitre 5

Conclusion.....	43
-----------------	----

Chapitre 6

Amélioration.....	45
6.1 Modification du procédé.....	45
6.2 Modification à la structure actuelle...	47

Bibliographie.....	52
--------------------	----

Annexe I

Description détaillée du procédé de fabrication.....	61
A.1 Nettoyage des gaufres	61
A.2 Dépôt de a-Si:H	62
A.3 Dépôt de Platine.....	63
A.4 Deuxième dépôt de a-Si:H	65
A.5 Dépôt et définition de contact «ohmique».....	65
A.6 Gravure du Silicium amorphe.....	66
A.7 Dépôt de la couche d'or sur la gaufre n+.....	67

Annexe II

Gravure du Platine.....	68
-------------------------	----

Liste des figures et tableau

Figure 2.1	Schéma du TIS.....	4
Figure 2.2	Transistor en mode d'opération triode et pentode.....	6
Figure 2.3	Potentiel électrostatique dans le TIS cristallin.....	7
Figure 2.4	Caractéristique Schottky théorique.....	10
Figure 2.5	Effet de la concentration d'électrons au contacts	11
Figure 2.6	Effet de la largeur du canal.....	12
Figure 2.7	Effet de la densité d'états.....	13
Figure 3.1	Schéma du transistor réalisé, a) vue isométrique, b) vue en coupe.	16
Figure 3.2	Masque utilisé pour la réalisation du TIS.....	17
Figure 4.1	Convention de polarités	25
Figure 4.2	Caractéristique I-V, a) d'un contact Ti/Au, b) d'un contact a-Si:H/Mg/Al.....	27
Figure 4.3	Caractéristiques des diodes grille-source et grille-drain....	30
Figure 4.4	I_s en fonction de V_{ds} pour différentes polarisations de	

	grille.....	33
Figure 4.5	I_S en fonction de V_{GS} pour différentes valeurs de V_{DS}	35
Figure 4.6	a) I_S en fonction de V_{GS} , expérimental et simulé, b) tension d'étranglement en fonction de V_{DS} , expérimental et simulée...	41
Figure 6.1	Masque modifié.....	46
Figure 6.2	Structure du TIS modifiée.....	49
Tableau 4.1	Variation du courant ouvert/fermé pour différentes largeurs de grille.....	36

Liste des symboles

- V_{ds} Différence de tension entre le drain et la source.
- V_{gs} Différence de tension entre la grille et la source.
- I_d Courant au drain.
- I_s Courant à la source.
- I_g Courant à la grille.

Liste des annexes

Annexe 1 Description détaillée du procédé de fabrication.

Annexe 2 Gravure du Platine.

Chapitre 1: Introduction

Le silicium amorphe hydrogéné (a-Si:H) a été fabriqué pour la première fois en 1972 par Spear et LeComber (1). Ils ont montré que l'ajout d'hydrogène dans le a-Si réduisait beaucoup la densité d'états près du niveau de Fermi, permettant ainsi le dopage d'un matériau pouvant être déposé à de faibles températures, sur de grandes surfaces et à moindre coût comparé aux semiconducteurs cristallins.

Les recherches ont d'abord mené au développement de piles photovoltaïques et, depuis une dizaine d'années, plusieurs groupes de recherche développent divers dispositifs à base de a-Si:H tels que le transistor à effet de champs (2-6) et le transistor à base perméable (7) et ce malgré sa faible mobilité électronique ($\approx 1 \text{ cm}^2/\text{V}\cdot\text{s}$). Plus récemment les transistors à base de a-Si:H ont commencé à être développés pour être utilisés comme commutateur dans les affichages à cristaux liquides (8-11).

Les transistors conventionnels («MOSFET, MISFET, TFT») à base de a-Si:H se sont montrés capables de remplir ce rôle. Cependant, la faible mobilité électronique du a-Si:H et la présence d'états localisés à l'interface

a-Si:H/isolant rendent la commutation de ces transistors difficiles (12). Une approche permettant d'éviter ces difficultés a été proposée par Ueda et al. (13) et consiste en l'utilisation du transistor à induction statique (TIS) à base de silicium amorphe.

Les caractéristiques de ce transistor ont été étudiées par plusieurs auteurs (14-18) dans le cas du dispositif à base de semi-conducteur cristallin. Récemment, Kemp et al. (19-21) ont effectué une simulation numérique du transistor à base de a-Si:H proposé par Ueda et al. (13) et ont montré que le dispositif pourrait avoir un ratio du courant ouvert/fermé de 10^{+4} avec un voltage de fermeture du canal (V_{fc}) inférieur à -3 Volts.

Harling (22) a développé un procédé permettant la fabrication de cette structure. Malheureusement, ses travaux n'ont pas permis de mettre en évidence l'effet de commutation attendu du dispositif et ce, principalement à cause du très faible courant de canal enregistré.

Ce mémoire présente un procédé de fabrication, adapté à partir de celui de Harling (22), et permettant de produire des dispositifs fonctionnels. Nous présentons

également, à notre connaissance, les premiers résultats expérimentaux concluant sur le TIS à base de a-Si:H. Nous vérifions que le transistor fonctionne bien dans le mode enrichissement avec un voltage de fermeture du canal de -9.5 Volts et un ratio courant ouvert/fermé de 360. L'analyse des résultats expérimentaux est confrontée aux résultats numériques obtenus par Kemp et al. (19-21). De nouvelles simulations numériques sont présentées et permettent d'expliquer les limitations du transistor fabriqué.

Chapitre 2: Principe de fonctionnement du transistor à induction statique (TIS).

2.1- Le TIS à base de semi-conducteur cristallin.

Le principe de fonctionnement du TIS est semblable à celui d'un transistor à effet de champs (TEC). Un courant de canal circule entre le drain et la source et est modulé par le voltage appliqué sur la grille (figure 2.1). Dans le cas du TIS on utilise une grille de métal formant un contact Schottky avec le

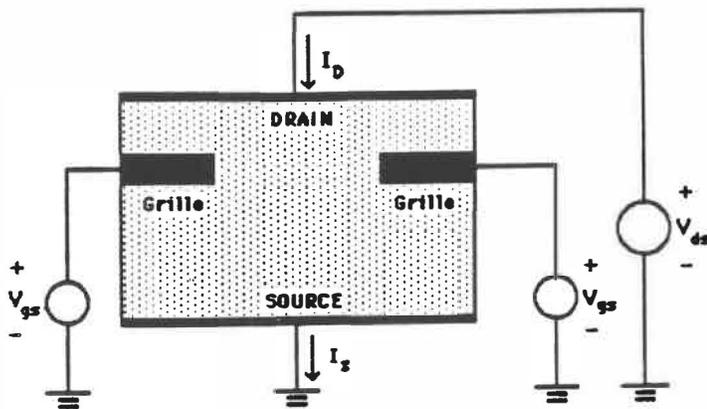


Figure 2.1: Schéma du TIS à base de semi-conducteur.

semi-conducteur. Ce contact induit dans le canal une barrière de potentiel variable lorsqu'il est polarisé en inverse. Ce potentiel cause un dépeuplement d'électrons dans le canal permettant ainsi la commutation du transistor.

La principale caractéristique du TIS est la non saturation du courant au drain et à la source, caractéristique d'un courant de type triode. Watanabe et Nishisawa (15) ont été les premiers (1950) à proposer une structure verticale et à mettre cette caractéristique en évidence. C'est cette caractéristique qui distingue particulièrement le TIS du TEC dans lequel un courant drain-source de type pentode est causé par la contre-réaction négative du voltage au drain sur la résistivité du canal. La figure 2.2 montre I_{ds} en fonction de V_{ds} à différents V_{gs} pour le TIS et le TEC.

La figure 2.3 montre le potentiel dans le milieu du canal entre le drain et la source pour une polarisation de grille de -2 Volts et différentes polarisations drain-source. Ces valeurs s'appliquent pour un TIS cristallin ayant une distance entre les grilles de 2.4 μm et ont été calculées par Yamagushi et al. (18). Cette figure permet de bien voir l'induction

du potentiel dans le canal. Yamagushi et al. (18) ont également montré qu'une grille plus épaisse et/ou un voltage de grille plus élevé tendent à retarder le passage des électrons.

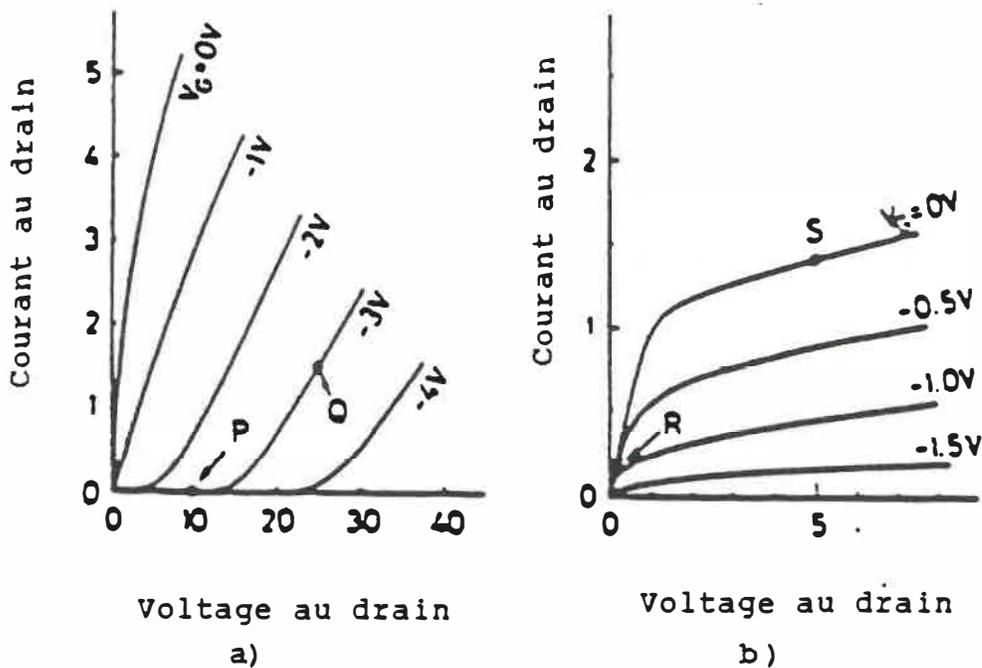


Figure 2.2: Comparaison entre l'opération du transistor en mode triode et en mode pentode, a) triode (TIS), b) pentode (JFET).

Ceci explique la caractéristique de triode observée pour le courant au drain comme le montre la figure 2.2. Plus le voltage de grille est élevé plus le voltage entre le drain et la source doit être élevé avant qu'un courant puisse circuler.

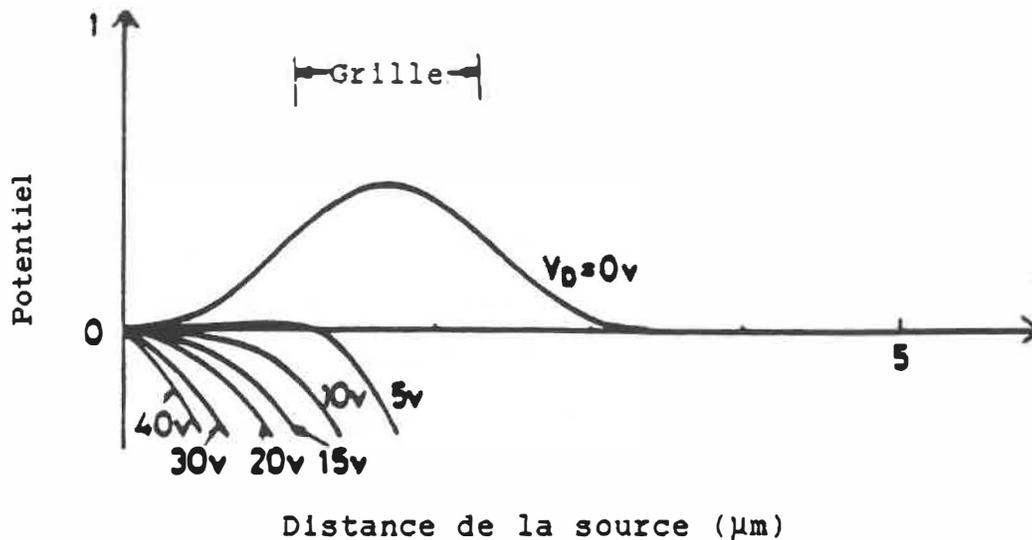


Figure 2.3: Potentiel électrostatique le long de la ligne de symétrie du TIS cristallin montrant l'effet d'induction sur le canal.

2.2- Le TIS à base de silicium amorphe.

Ueda et al. (13) ont été les premiers à proposer le TIS sur a-Si:H. En effectuant une simulation numérique en une dimension, ils ont prédit un ratio du courant ouvert/fermé de 10^{+8} et un voltage de fermeture du canal (V_{fc}) inférieur à -5 Volts pour une largeur de grille de 5 μm . Ils ont également remarqué une importante dépendance entre la densité d'états dans le gap de mobilité et la valeur de V_{fc} . En effet, la progression de la zone de dépeuplement dans le canal est contrôlée

par la densité de charge dans le matériau, l'équation de Poisson nous indiquant qu'une densité d'états élevée tend à ralentir la progression de la zone de dépeuplement. Une augmentation de la largeur du canal augmente également la valeur de V_{fc} . La fréquence maximale d'opération a été évaluée sommairement à quelques MHz.

Le seul résultat expérimental présenté par ce groupe (23) fût la mention d'un fort courant de fuite des diodes après la déposition de la deuxième couche de a-Si:H. Deneuille et al. (7,24) ont également rapporté la piètre qualité des diodes Schottky formées de a-Si:H sur Pt. Des travaux expérimentaux visant à fabriquer la structure proposée par Ueda et al. (13) ont également été poursuivis à l'École Polytechnique de Montréal par Harling (22) dans le cadre d'un projet de maîtrise. Bien que toutes les étapes techniques du procédé soient au point, Harling n'a pu démontrer avec certitude la présence de l'effet transistor, i.e. la fermeture du canal par déplacement des zones de dépeuplements, ceci principalement à cause de la très faible valeur du courant de canal.

Un travail théorique plus complet que celui de Ueda et al (13) a récemment été effectué par Kemp et al. (19-21). Il a effectué une simulation numérique sur la

structure présenté à la figure 2.1. La simulation a été effectuée en deux dimensions et inclue les contributions des électrons, des trous ainsi que leurs générations-recombinaisons à travers une distribution de défauts dans la bande interdite. Seuls les effets quantiques (conduction par sauts ou conduction à travers les barrières de potentiels.) n'ont pu être inclus dans ce modèle.

Kemp a mis en évidence plusieurs caractéristiques du TIS, soit les caractéristiques des contacts ohmiques et Schottky et les caractéristiques de commutation du transistor. Il a également montré l'influence de trois paramètres sur ces caractéristiques: la concentration d'électrons au contact, la largeur du canal et la densité d'états dans le gap de mobilité.

La figure 2.4 permet de voir les caractéristiques du contacts Schottky à la grille pour un potentiel de contact ϕ_b de 1 eV. On remarque particulièrement que le courant en inverse ne sature pas mais demeure cependant assez faible (4×10^{-8} A/cm²). En directe, on note une région exponentielle suivie par une région ohmique. Ceci est essentiellement dû au fait que l'on a deux résistances en série, la résistance du contact Schottky et celle du volume. A faible voltage, la

majorité de la chute de potentiel survient dans le contact alors qu'à plus fort voltage, la chute de potentiel se produit majoritairement dans le volume.

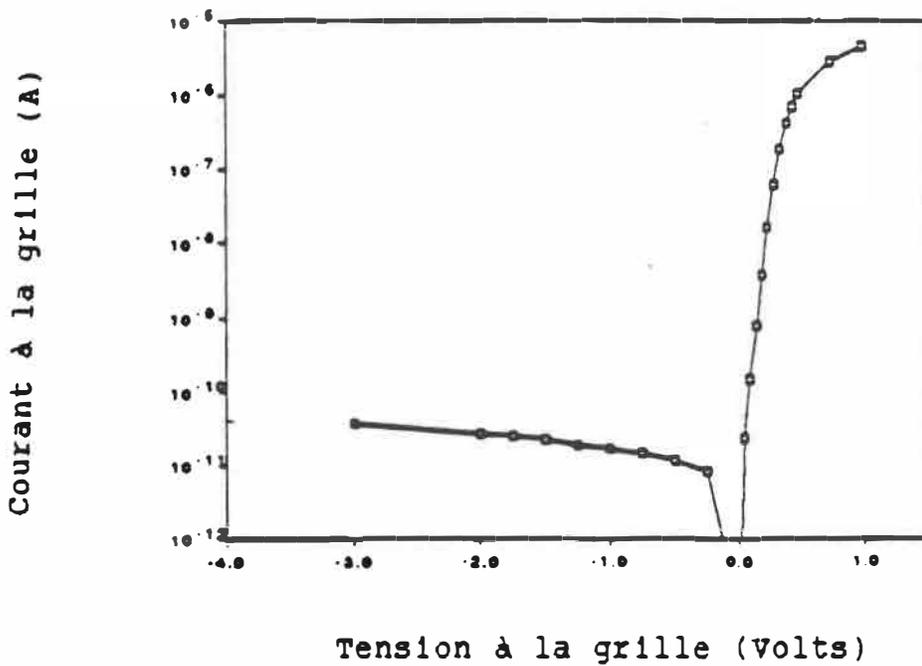


Figure 2.4: Caractéristique théorique du contact Schottky Pt/a-Si:H pour un potentiel de contact ϕ_b de 1 eV.

La figure 2.5 montre l'influence de la concentration d'électrons aux contacts ohmiques sur le ratio du courant ouvert/fermé du dispositif. La principale conclusion de ce résultat est la nécessité de maximiser la concentration d'électrons aux contacts ohmiques.

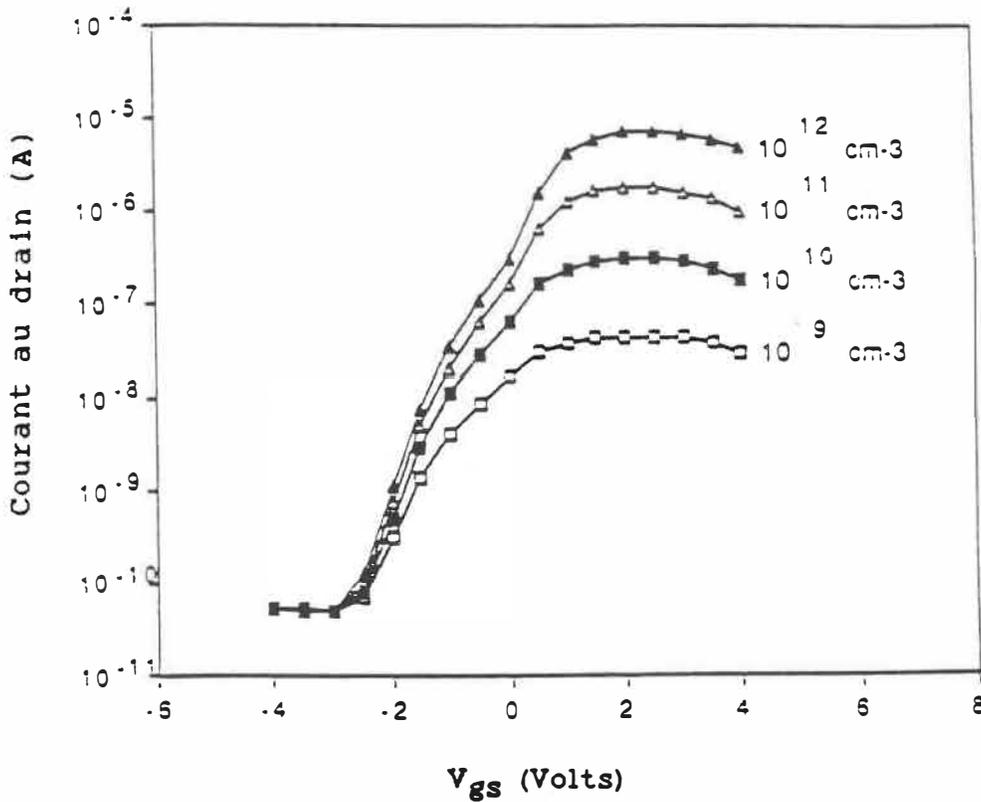


Figure 2.5: Effet de la concentration d'électron aux contacts ohmiques sur la caractéristique de commutation du transistor, $V_{ds} = 4$ Volts (caractéristique au drain).

La figure 2.6 montre bien qu'un canal plus large augmente le voltage de saturation parce qu'une zone de dépeuplement plus grande est nécessaire afin de fermer le canal. La très grande sensibilité du voltage de fermeture du canal (V_{fc}) en fonction de ce paramètre doit être pris en compte lors de la conception de l'étape de fabrication du canal.

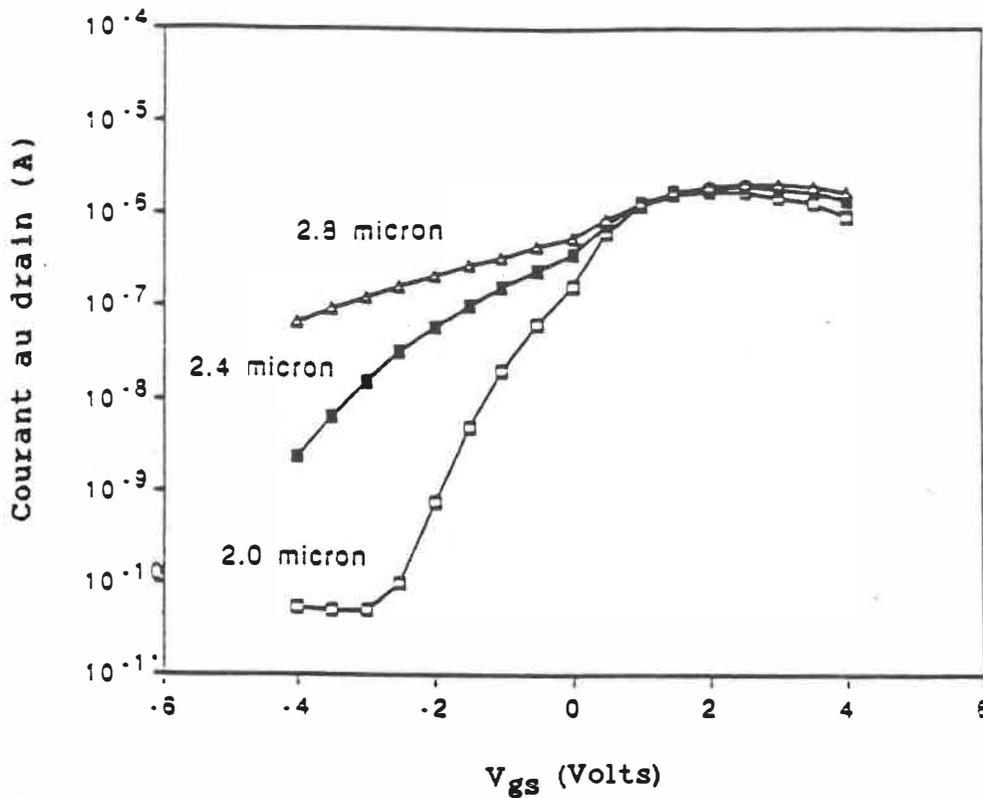


Figure 2.6: Effet de la largeur du canal sur la caractéristique de commutation du transistor, $V_{ds} = 4$ Volts (caractéristique au drain).

Finalement la figure 2.7 permet de juger de l'importance de la densité d'états dans le gap de mobilité. On voit que l'augmentation de ce paramètre a un effet comparable à l'augmentation de la largeur du canal car une augmentation de la densité d'états a pour effet de ralentir la progression de la zone de dépeuplement dans le canal. La sensibilité du dispositif pour cette variable est quelque peu ennuyeuse car la densité d'états dans le gap de mobilité est une propriété

intrinsèque du matériau et peut varier beaucoup selon le procédé de fabrication utilisé.

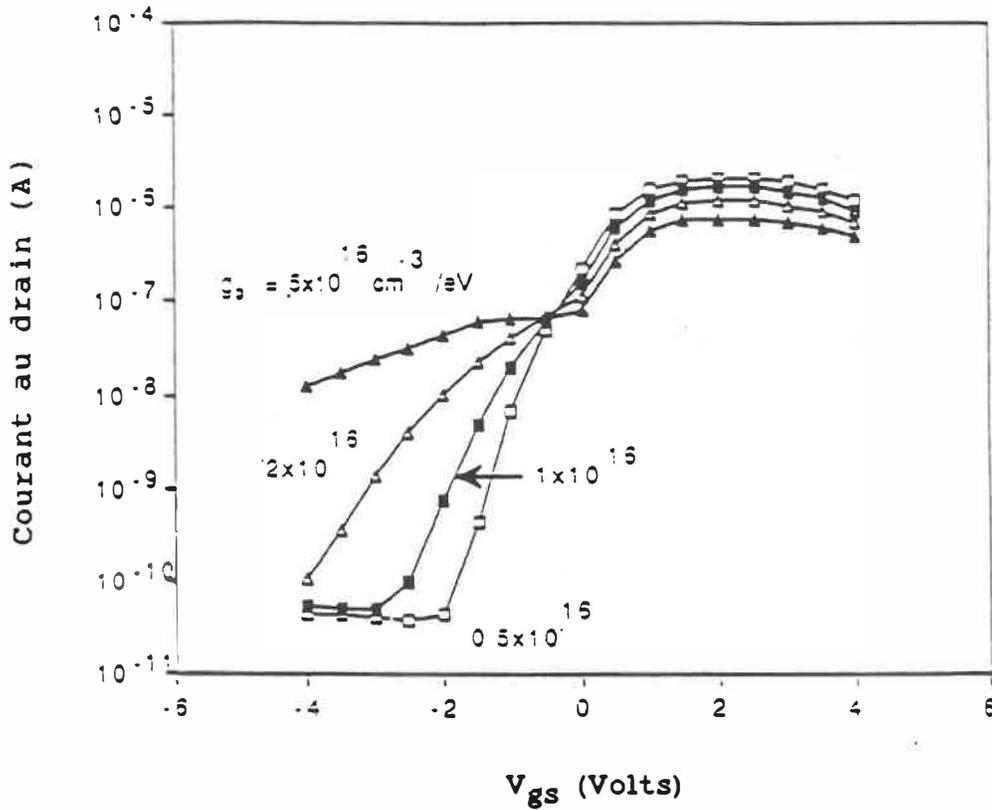


Figure 2.7: Effet de la densité d'états au niveau de Fermi sur la caractéristique de commutation du transistor, $V_{ds} = 4$ Volts (caractéristique au drain).

Chapitre 3: Procédé de fabrication du Tis à base de a-Si:H.

3.1- Survol

La figure 3.1, montre la structure réalisée du TIS qui est en fait la même que celle qui a déjà été étudiée par Harling (22). La première étape de la fabrication du dispositif consiste à déposer une couche de silicium amorphe ($\approx 2 \mu\text{m}$) sur une gaufre de silicium cristallin fortement dopée n. On définit ensuite la grille de platine en utilisant le niveau 1 du masque (représenté à la figure 3.2). On effectue ensuite le dépôt de la deuxième couche de silicium amorphe ($\approx 1 \mu\text{m}$). Après avoir déposé le contact ohmique du dessus on utilise le niveau 2 du masque pour définir les régions de contacts. Par la suite, la gravure de certaines parties du silicium amorphe est effectuée à l'aide du niveau 3 du masque, de façon à permettre l'accès à la grille de Pt. On termine finalement par un dépôt d'Or sur le côté non poli de la gaufre n+ de façon à créer un bon contact ohmique. Revoyons maintenant en détail chacune de ces étapes.

3.2- Gaufres et nettoyage:

Tous les échantillons sur lesquels des mesures électriques étaient effectuées ont été faits à partir de gaufres fortement dopées n+ pour assurer un bon contact ohmique à la source. Ces gaufres sont dopées au phosphore et ont une résistivité comprise entre 0.003 et 0.007 Ωcm . Avant le dépôt de a-Si:H, les gaufres étaient nettoyées avec une méthode standard détaillée à l'Annexe 1.

3.3- Dépôt du a-Si:H:

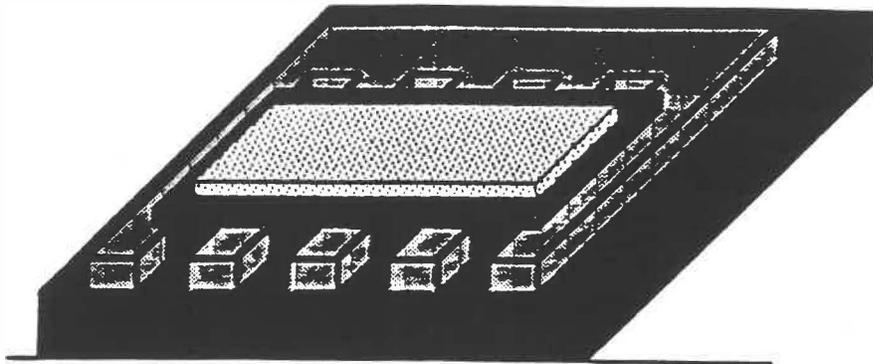
Le a-Si:H a été déposé dans un système de plasma de Silane de type diode conçu à l'École Polytechnique. Les deux couches de a-Si:H sont déposés dans les mêmes conditions, seul le temps de déposition varie selon l'épaisseur demandée. Pour obtenir un silicium amorphe de bonne qualité possédant une densité d'état près du niveau de fermi de $1 \times 10^{16} / \text{cm}^{-3} \text{eV}$ les conditions de déposition suivantes ont été choisies:

- Puissance absorbée de 10 Watts.
- Température du substrat de 300 °C
- Débit de silane de 10 sccm.
- Pression de 200 mtorr.
- Polarisation DC des électrodes \approx 60 Volts.

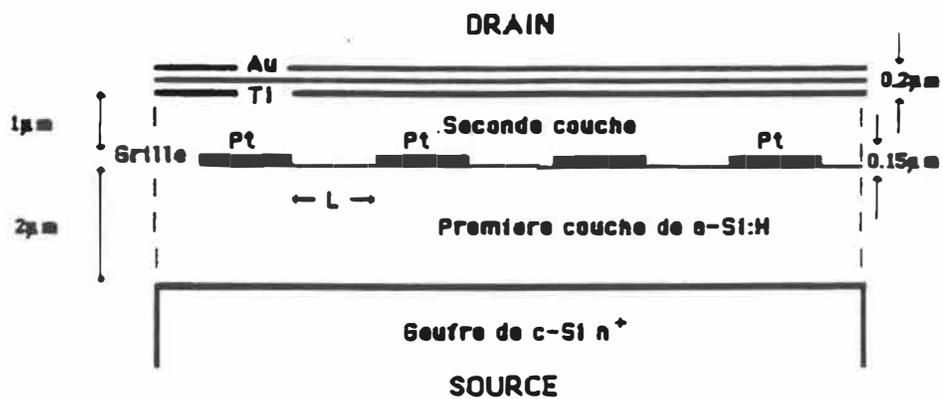
Contact au drain 

Grille de Platine 

Silicium amorphe 



a)



b)

Figure 3.1: Schéma de l'aspect physique du transistor réalisé, a) vue isométrique, b) vue en coupe.

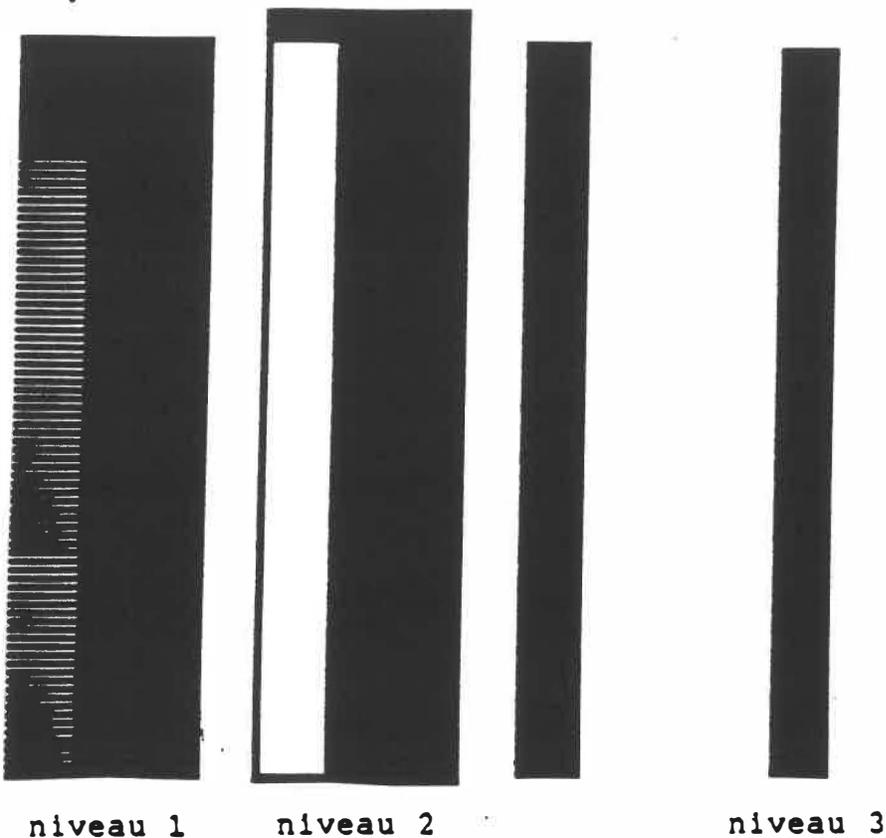


Figure 3.2: Masque utilisé pour la réalisation du TIS. Chaque élément représente un niveau différent de masque.

3.4- Dépôt de Platine:

L'étape suivante de la fabrication du dispositif consiste dans le dépôt et la définition de la grille de Platine. Harling (22) utilisait pour ce faire une technique de «lift-off» et devait recourir à un bain ultra-sonique pour dégager tous les doigts des peignes qui constituent la grille. Cette technique ne nous semblait pas adéquate, le problème redouté était l'apparition de micro-fissures dans les doigts de Platine lors du passage dans le bain ultra-sonique.

Des méthodes de gravures aqueuses et par plasma ont été tentées. Malheureusement nous n'avons pas réussi à obtenir des résultats nous permettant de fabriquer un dispositif fonctionnel en utilisant un procédé de gravure du Pt. Les principaux problèmes rencontrés sont le manque d'adhérence du Platine lors des attaques chimiques et son taux de gravure très faible dans le cas de gravure par plasma (pour plus de détail voir l'Annexe 2).

Nous sommes donc revenus à la méthode utilisée par Harling (22) pour définir les grilles de Platine (méthode décrite en détail dans l'Annexe 1). Une résine est utilisée pour définir le motif désiré (Shipley Microposit 1400-23). Avant le développement, on plonge la gaufre dans du chlorobenzène durant 5 minutes de façon à former un surplomb entre la partie supérieure de la résine et la partie inférieure, ceci rend la procédure de «lift-off» plus facile.

Une fois le développement effectué, on peut déposer le Platine. Le dépôt de Platine est effectué dans un système de pulvérisation cathodique de la compagnie Materials Research Corporation. Les conditions de déposition sont les suivantes.

- Puissance incidente de 200 Watts

- Puissance réfléchiée \approx 4 Watts
- Pression de 50 mtorr d'Argon
- Voltage de polarisation \approx 1000 V
- Débit d'argon de 10 sccm
- Taux de déposition \approx 200 Å/min.

Une fois le dépôt terminé, la gaufre est placée dans de l'acétone durant 10 minutes puis dans le bain ultra-sonique durant environ 5 minutes. Cette méthode a donné de bons résultats et les bonnes caractéristiques électriques nous suggèrent l'absence de micro-fissures.

3.5- Deuxième dépôt de a-Si:H.

Ce dépôt est semblable au premier sauf que la durée du deuxième dépôt est deux fois plus courte que le premier. A cette étape-ci du procédé, il existe une différence très importante entre le procédé que nous utilisons et celui utilisé par Harling (22). En effet, il effectuait toujours un nettoyage par pulvérisation cathodique dans le réacteur de déposition, juste avant de faire ses dépôts de a-Si:H. Le but de ce nettoyage était d'enlever une couche d'oxide possiblement présente sur la surface de déposition. Tous les transistors fabriqués en utilisant ce type de nettoyage présentent

un courant de canal nul quelque soit V_{ds} et ce, peu importe la polarisation de grille. Par contre, en l'absence de ce nettoyage, les transistors présentent des courants de canal d'environ 30 nano-Ampère pour $V_{ds}=6$ Volts et $V_{gs}=0$ Volt.

L'effet de la pulvérisation n'est pas tout à fait clair en ce moment, mais on pense que du Pt pulvérisé se retrouve dans le canal, fermant ainsi celui-ci et empêchant le passage des électrons. Cette pulvérisation cathodique n'était de toute façon pas très pertinente puisque plusieurs auteurs (25,26) ont montré que le a-Si:H s'oxyde très lentement contrairement au silicium cristallin. On ne devrait avoir que 10 ou 20 Å d'oxyde à la surface de l'échantillons avant le dépôt compte tenu que le dispositif est exposé à l'air 2 heures tout au plus. Tous les transistors subséquents ont été fabriqués en excluant l'étape de pulvérisation.

3.6- Contacts Ohmiques

Vue l'importance du contact ohmique qui a été mis en évidence par Kemp et al. (19,20) (c.f. figure 2.6), plusieurs essais ont été effectués dans le but de trouver le meilleur contact possible. La façon habituelle de réaliser des contacts ohmiques est

d'utiliser une couche de a-Si:H fortement dopée n⁺. Malheureusement cette technique n'était pas disponible quand ce travail a été réalisé et nous avons adopté deux approches différentes pour les contacts ohmiques au drain et à la source.

Un bon contact ohmique à la source a été réalisé en utilisant une gaufre de silicium cristallin n⁺ recouverte à l'arrière de 1000 Å d'Or. Par contre, l'obtention d'un contact ohmique au drain a fait l'objet d'une étude beaucoup plus élaborée.

Les contacts essayés sur la structure Au/c-Si n⁺/1 µm a-Si:H/contact sont les suivants:

- Al, 1000 Å
- Mg/Al, 300 Å / 1000 Å
- Ti/Au , 1000 Å/1000 Å
- a-Si/Al, 300 Å/1000 Å
- a-Si/Mg/Al, 300 Å/300 Å/1000 Å

Les différents contacts ont tous été déposés dans un évaporateur à canon électronique de la compagnie Edwards contenant plusieurs creusets permettant le dépôt de multi-couches sans briser le vide. La pression

lors de la déposition se situait sous les 10^{-6} torr. Les contacts de 0.025 cm^2 étaient définis grâce à un masque métallique.

Les meilleurs résultats ont été obtenus avec les structures Ti/Al et a-Si/Mg/Al (nous reviendrons sur le détail des caractéristiques électriques dans le prochain chapitre). Nous n'avons cependant pas réussi à faire des dispositifs complets avec le contact a-Si/Mg/Al. En effet, le contact ainsi formé ne supporte pas la solution utilisée pour graver le a-Si:H puisqu'on observe un décollement complet du contact après quelques secondes dans la solution.

Nous avons donc utilisé le contact Ti/Au pour fabriquer le dispositif en faisant un «lift-off» pour définir les contacts (c.f. Annexe 1). Dans ce cas, une gravure aqueuse peut également être utilisée sans problème.

3.7- Gravure du a-Si:H.

La dernière étape du procédé consiste à graver une partie du silicium amorphe de façon à permettre l'accès à la grille de Pt et à isoler les transistors les uns des autres. Deux solutions ont été essayées pour graver de

façon aqueuse le a-Si:H. La première, HF:HNO₃:H₂O, 10:200:120, est proposée par Gandhi (27) comme solution pour graver le polysilicium. La deuxième, H₃PO₄:HNO₃:HF, 60:5:1, est proposée par Bare et al. (28) pour graver spécifiquement le a-Si:H. Cette solution a le désavantage de présenter un taux de gravure qui varie beaucoup avec l'âge de la solution.

Dans les deux cas, nous avons remarqué que le taux de gravure augmente drastiquement lorsque le a-Si:H a été exposé au canon électronique (voir annexe 2). De plus le Pt ne supporte aucune des deux solutions, puisque la grille de Pt est emportée dès que la solution rejoint l'interface Pt/a-Si:H. De plus les deux solutions ne donnent également pas une gravure très uniforme sur la surface de la gaufre. On réussit donc à obtenir une gravure adéquate sur une partie de la gaufre seulement, les autres endroits étaient encore couverts de a-Si:H ou bien avaient une partie de la grille de Pt arrachée. Nous avons finalement opté pour l'utilisation de la première solution, HF:HNO₃:H₂O, principalement en raison de son faible vieillissement. Ceci constitue également une modification au procédé utilisé par Harling (22).

Chapitre 4: Caractéristiques électriques du TIS à base de a-Si:H

Nous présentons dans ce chapitre une caractérisation électrique complète du transistor et une interprétation de tous les résultats. La totalité des résultats électriques ont été pris à l'aide d'un système de mesures sous-pointes disponible au laboratoire de ITGE (Intégration à Très Grande Echelle) du département de génie électrique. Ce système est connecté à un «Semiconductor Parameters Analyser » 4145 de la compagnie Hewlett-Packard. Les mesures ont été effectuées dans le noir de façon à éviter la présence de photocourant et la dégradation du dispositif due à l'effet Staebler-Wronski (29). Afin de faire cette étude dans un régime quasi-statique, chaque mesure comporte environ 200 points et un temps de relaxation de 1 seconde est accordé entre chaque changement de voltage. Cette façon de procéder nous assure une précision de 30 pA lors des mesures.

Nous désignerons le contact formé par la gaufre de c-Si n^+ et a-Si:H comme étant la source, le contact formé par le a-Si:H et Ti comme étant le drain et les contacts formés par le Pt et le a-Si:H comme étant la grille. Nous utiliserons également les conventions de

polarités définies à la figure 4.1 pour les courants et les voltages.

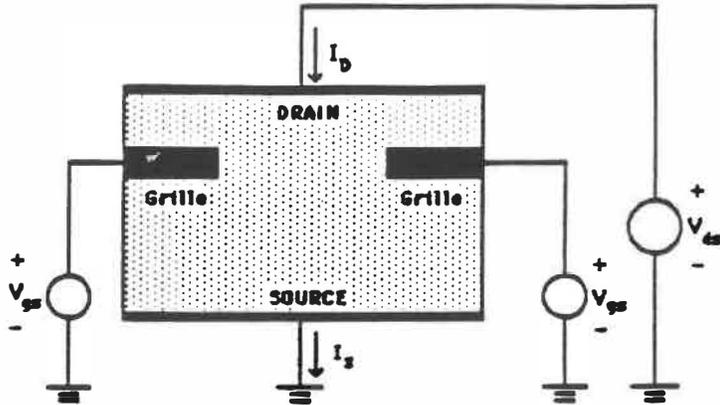


Figure 4.1: Schéma du TIS montrant les conventions de polarités pour les courants et les voltages utilisés dans cette étude.

4.1- Caractérisation électrique des contacts dans le TIS.

La nature des contacts électriques dans le TIS joue un rôle très important qui nous a poussé à effectuer une étude détaillée des contacts ohmiques à la source et au drain ainsi que du contact Schottky de Pt à la grille.

4.1.1- Contacts ohmiques.

La structure utilisée pour ces essais est celle décrite à la section 3.5. Les caractéristiques électriques

enregistrées dans cette étude ont montré une forte dépendance envers le contact au drain. Nous concluons donc que la résistance associée au contact à la source (gaufre de c-Si de type n⁺) est faible comparativement à celle au drain. Nous utiliserons donc toujours le même contact à la source.

Plusieurs contacts ont été essayés dans le but d'obtenir le meilleur contact ohmique au drain possible. Dans le but d'éviter les claquages nous avons limité le courant à 2 mA. Par exemple pour atteindre 2 mA, les contacts a-Si/Mg/Al et Ti/Au requièrent un voltage de 3.4 et 4.3 Volts respectivement alors que d'autres types: a-Si/Al, Al et Mg/Al demandent un voltage de 5.2, 6.0, 7.2 respectivement. La figure 4.2 permet de voir les caractéristiques des deux meilleurs contacts, soit le a-Si/Mg/Al et le Ti/Al.

La polarisation drain-source du transistor devant être inférieure à 8 Volts ($E < 2.7 \times 10^4$ V/cm), on aura avantage à utiliser le contact Ti/Au de façon à avoir le plus de courant possible. Le fait que ce contact soit meilleur surprend; en effet, on s'attendrait à ce que les contacts a-Si/Mg/Al et Mg/Al soient meilleurs compte tenu du plus faible potentiel de sortie du Magnésium (les potentiels de sortie sont de 4.33 eV

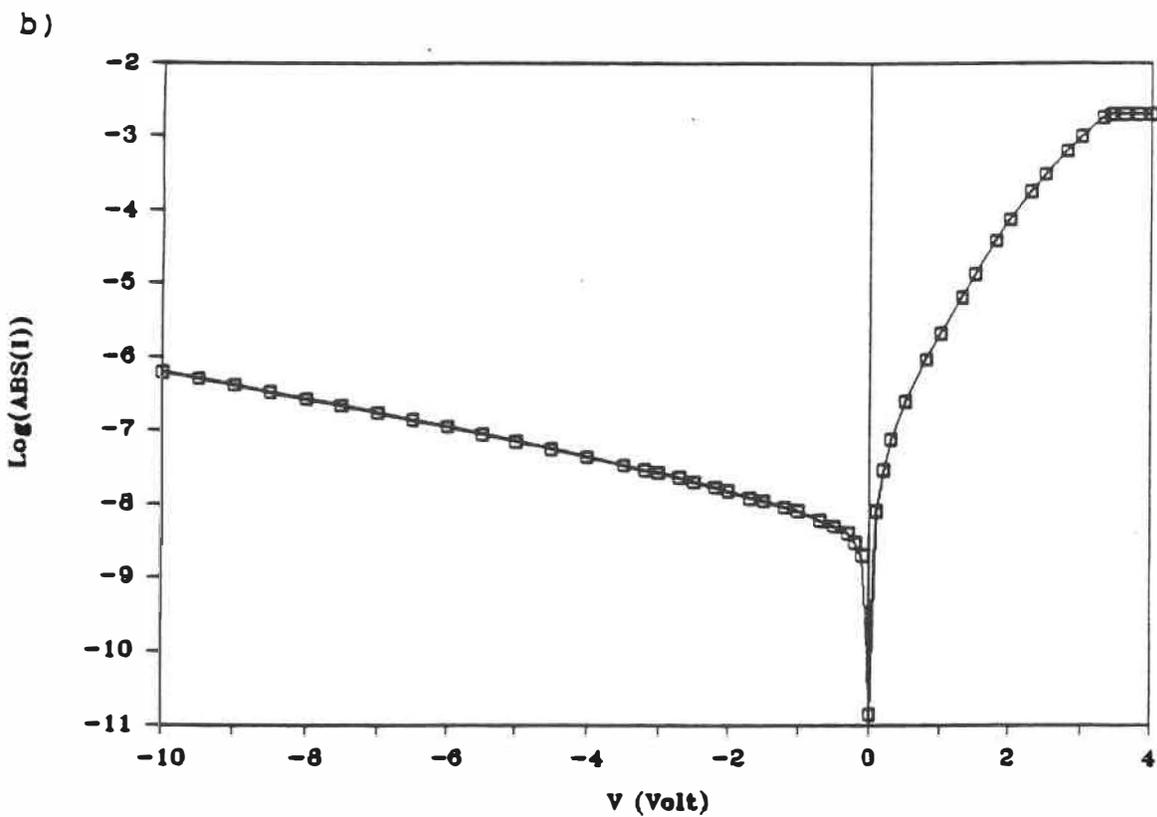
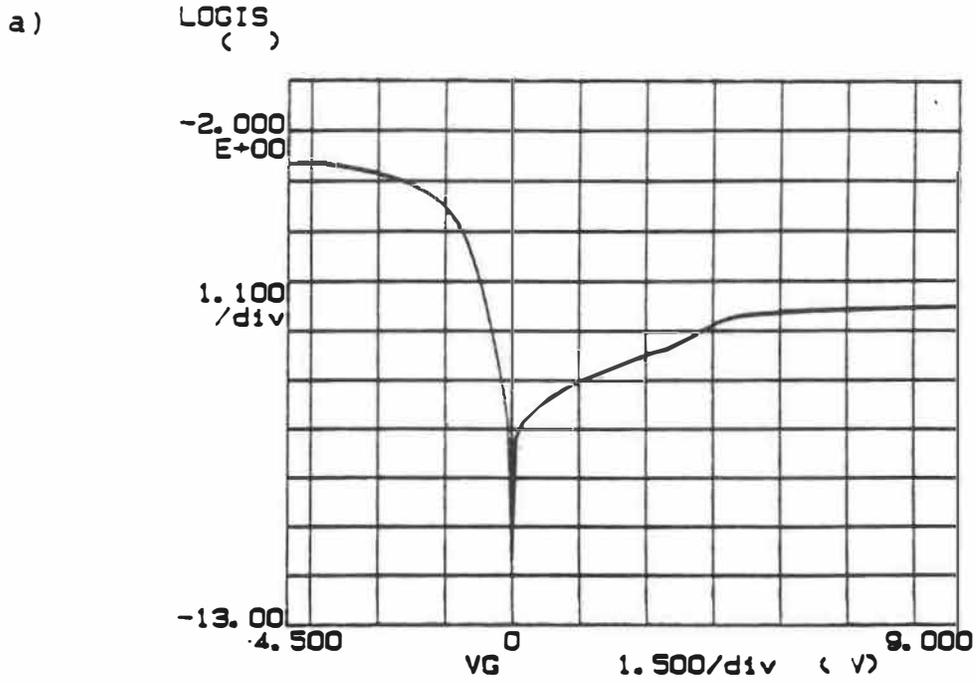


Figure 4.2: a) Caractéristique I-V d'un contact formé de Ti/Au. Au est utilisé pour protéger le Ti de l'oxydation. b) Caractéristique I-V d'un contact formé de a-Si/Mg/Al. Al est utilisé pour protéger Mg de l'oxydation.

pour le Ti et de 3.66 pour le Mg (30).

La piètre qualité du contact utilisant le Mg provient probablement de la façon dont il est déposé. En effet, ce matériau est reconnu pour s'oxyder très facilement et possède un point de fusion relativement bas. Nous avons remarqué lors du dépôt que la bille de magnésium n'était pas chauffée suffisamment pour fondre et ,par conséquent, elle n'atteignait pas une température uniforme. Ceci peut donc causer une évaporation en parallèle de plusieurs matériaux présents dans la bille, en particulier le dioxyde de Magnésium qui possède un point de fusion plus bas que le Mg (31).

4.1.2- Contacts Pt/a-Si:H

La caractérisation des contacts Platine/a-Si:H est très importante pour la compréhension du dispositif. La qualité de ce contact influence beaucoup le voltage de fermeture du canal via la largeur de la zone de dépeuplement et détermine le niveau du courant fermé du transistor (19,20).

La nature des contacts Pt/a-Si:H peut être analysée à travers les caractéristiques électriques entre le drain et la grille et entre la source et la grille.

Ceci permet également d'évaluer à nouveau la qualité des contacts ohmiques au drain et à la source.

La figure 4.3 présente les courbes I-V des diodes grille-drain et grille-source. Pour le contact grille-source, on voit que le courant en direct augmente très rapidement entre 0 V et 1 V, ce qui caractérise un régime diode. Par contre, pour $V > 1$ Volt un régime limité par la résistance du volume est alors observé entraînant une augmentation monotone du courant. La valeur du facteur d'idéalité calculée entre 0.1 et 0.2 V est de 1.4. Pour ce qui est de la caractéristique en inverse, on note que le courant de fuite est très faible: $J_S = 2.2 \times 10^{-9}$ A/cm² pour une polarisation de -1 Volt et $J_S = 1.2 \times 10^{-8}$ A/cm² pour une polarisation de -5 Volt.

Ces résultats sont meilleurs que ceux prédit par Kemp (19,20) car le courant est environ 5 fois plus faible, mais ils sont supérieurs par un ordre de grandeur à ceux de Deneuille (24). On doit cependant être prudent lorsque l'on compare différentes diodes Schottky Pt/a-Si:H. En effet, plusieurs études (24,32,33,34,35,36) ont montré la grande sensibilité des paramètres des diodes vis à vis des conditions de déposition et des cycles thermiques.

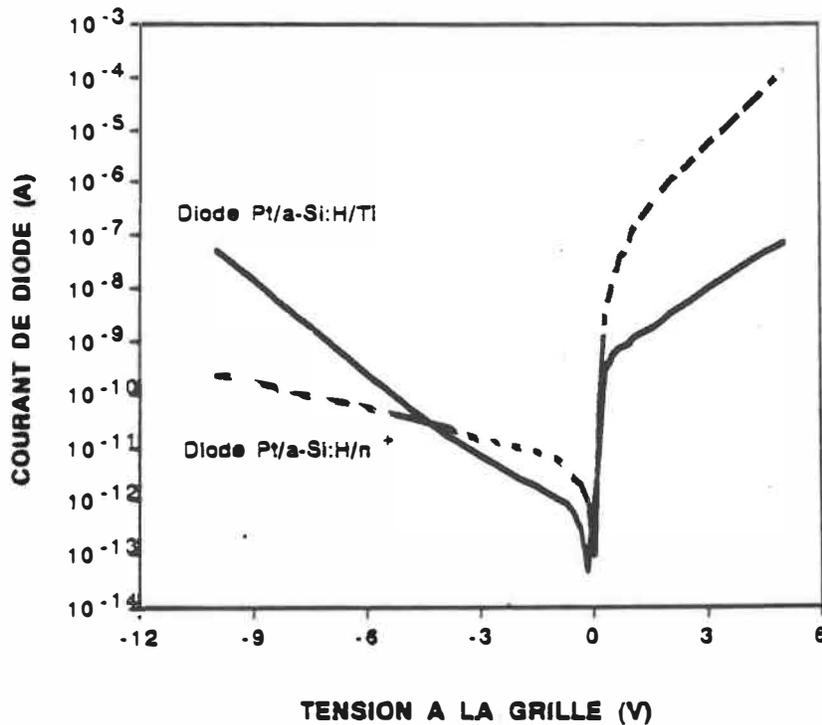


Figure 4.3: Caractéristiques des diodes grille-source (Pt/a-Si:H/n⁺), traits pointillés, et grille-drain (Pt/a-Si:H/Ti), trait plein. Les diodes présentent des facteurs d'idéalités de 1.4 et 1.5 respectivement.

Ces résultats permettent de conclure que l'interface a-Si:H/Pt est de très bonne qualité, tout comme les deux matériaux utilisés. Le fort courant en direct nous indique que le contact ohmique utilisant une gaufre de silicium n⁺ est assez efficace.

Le comportement du contact drain-grille est

malheureusement moins satisfaisant. La figure 4.3 montre que la région diode s'étale sur une plage de voltages beaucoup plus petite que dans le cas précédant. Ceci nous indique que le contact ohmique formé par Ti/Au n'est pas d'aussi bonne qualité que le contact à la source. La région diode en directe est cependant acceptable avec un facteur d'idéalité de 1.5. Le principal problème avec cette jonction provient du courant de saturation I_s qui augmente très rapidement avec le voltage en inverse. Des problèmes relatifs à la diode formée de a-Si:H sur le Platine ont été rapportés par Deneuille et al. (7,24). Des résultats expérimentaux partiels sur le TIS rapportés par Tsukude et al. (23) font également mentions que les courants de fuite de la diode Schottky augmentent de façon importante après le deuxième dépôt de silicium amorphe.

Une des hypothèses permettant d'expliquer ce comportement est la présence d'une mince couche isolante à l'interface Pt/a-Si:H. Cette couche pourrait abaisser suffisamment la barrière de potentiel à l'interface Pt/a-Si:H pour augmenter le courant de fuite tout en étant perméable aux électrons grâce à la présence de plusieurs états localisés. Malheureusement, à notre connaissance, aucune expérience n'a permis de vérifier cette hypothèse ou de suggérer un modèle

généralement reconnu.

L'analyse électrique des contacts nous permet de conclure que: i) le contact ohmique c-Si n⁺ est très bon; ii) le contact ohmique Ti/Au est acceptable; iii) le contact Schottky a-Si:H/Pt est bon tandis que le contact Schottky Pt/a-Si:H est acceptable mais devrait être amélioré.

4.2- Caractérisation électrique du TIS en mode transistor.

Pour analyser le fonctionnement du transistor nous devons utiliser les résultats les plus significatifs. On utilisera le courant à la source à cette fin puisque le fort courant de fuite grille-drain masque considérablement les caractéristiques au drain du TIS en mode transistor.

Une des principales différences entre le TIS et un transistor à effet de champs est la très faible contre-réaction du voltage drain-source sur l'étranglement du canal, entraînant une caractéristique de triode plutôt qu'une caractéristique de pentode. La figure 4.4 présente I_s en fonction de V_{ds} pour différentes polarisations grille-source.

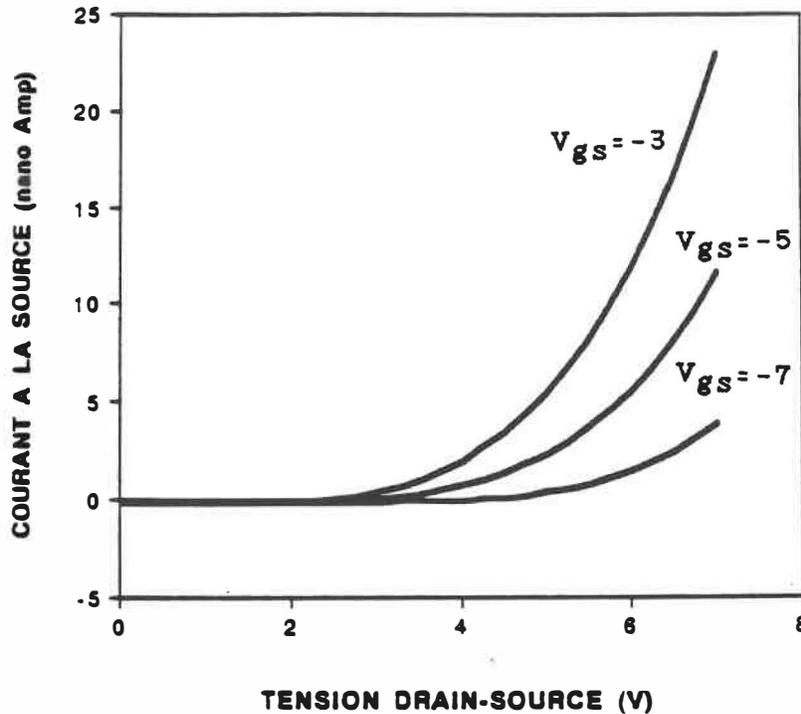


Figure 4.4: I_s en fonction de V_{ds} pour différentes polarisation de grille, $L=2 \mu\text{m}$.

Cette caractéristique est bien celle d'un TIS qui opère en mode d'enrichissement où le courant du canal est dû à une injection de porteur par la source. Plus le potentiel à la grille est négatif, plus on doit fournir d'énergie aux électrons pour qu'ils puissent franchir la barrière de potentiel engendrée par la grille. Ce comportement est conforme à celui prévu par Yamagushi et al. (18), Nishisawa et al.(17) et Kemp et al. (19,20).

La figure 4.5 permet de voir les caractéristiques du TIS lorsqu'il est utilisé en mode de commutation. L'inversion du courant visible sur cette figure est due à la différence de signe entre le courant du canal et le courant généré par la diode grille-source. Nous avons défini arbitrairement le voltage de fermeture du canal (V_{fC}) comme étant le voltage où ce produit cette inversion du courant. Les valeurs de V_{fC} sont -9.5 V, -7.5 V, -6.3 V pour des valeurs de V_{dS} de 6 V, 4 V et 3 V respectivement. Ce comportement est conforme à celui prévu. Dans le meilleur cas ($V_{dS} = 6$ V), on obtient un ratio du courant ouvert/fermé 360 en définissant arbitrairement ce ratio le courant ouvert (courant à la source lorsque V_g vaut 0 Volt) et le courant fermé (le courant à la source lorsque V_g vaut $V_{fC} - 0.5$ V).

Le tableau 1 présente les ratios du courant ouvert/fermé en fonction de la largeur de grille ($V_{dS} = 5$ Volts, $V_{gS} = 5$ Volts). Ces résultats permettent de conclure que la modulation du courant de canal est bien due à la fermeture du canal par la zone de dépeuplement. On voit également que la largeur de la grille a un effet drastique sur le fonctionnement du transistor, comme le prévoyait Kemp et al. (19,20). Ceci s'explique par le fait que la majeure partie de la chute de courant survient une fois que les zones

de dépeuplement se sont rejointes entraînant alors une chute de la densité d'électrons ($L=2\mu\text{m}$). Dans le cas où les zones de dépeuplement ne se touchent pas ($L=3,4,5\mu\text{m}$) la surface effective du canal varie et la densité d'électrons demeure à peu près constante, d'où une réduction du courant relativement faible.

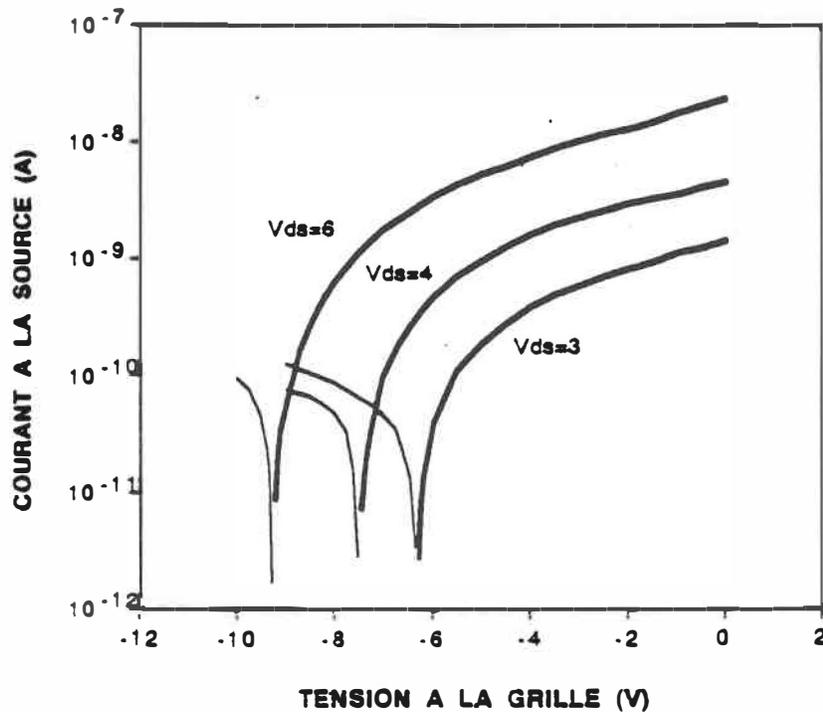


Figure 4.5: Valeur absolue de I_s en fonction de V_{gs} pour différentes valeurs de V_{ds} . Le trait plein représente un courant positif et le trait fin représente un courant négatif, $L=2\mu\text{m}$.

L (μm)	Ratio du courant ouvert/fermé
5	1.2
4	1.3
3	1.4
2	34

Tableau 4.1: Variation du ratio du courant ouvert/fermé ($I_S(V_{GS}=0)/I_S(V_{GS}=-5 \text{ Volts})$) pour différentes largeurs de grille et une polarisation drain-source de 5 Volts.

En comparant ces résultats avec ceux des simulations numériques de Kemp et al. (19,20), on note deux problèmes: le ratio courant ouvert/fermé est trop faible (360 au lieu de 10000 à $V_{DS}=6 \text{ V}$) et V_{fc} a une valeur trop négative (-9.5 V au lieu de -3.75 V à $V_{DS}=6 \text{ V}$).

Pour ce qui est du ratio courant ouvert/fermé,

les problèmes sont de deux ordres. Le courant ouvert n'est pas suffisamment élevé et le courant fermé est trop élevé. La faiblesse du courant de canal a plusieurs causes. La plus importante est sans doute la qualité du contact ohmique Ti/Au. Un autre effet important à vérifier est l'impact de l'interface a-Si:H/a-Si:H sur le courant de canal. Pour ce faire, nous avons utilisé la structure:

Au/c-Si/2 μ m a-Si:H/1 μ m a-Si:H/a-Si/Mg/Al

On trouve que le courant est 8 fois plus petit, pour un champ électrique équivalent, à celui observé sur un échantillon ayant les mêmes contacts mais un seul dépôt de a-Si:H. Par contre, l'introduction de la grille de Platine entre les couches de a-Si:H diminue de façon beaucoup plus significative la valeur du courant de canal. En effet, on note une réduction du courant d'un facteur 360 si on le compare à celui correspondant au dépôt d'une seule couche de a-Si:H. Cette réduction du courant de canal aura un effet important sur la valeur du ratio courant ouvert/fermé.

Pour ce qui est du courant fermé élevé, il est dû au courant de fuite de la diode source-grille. Le problème ne provient pas de la qualité de la diode mais plutôt

de la forte polarisation en inverse nécessaire à la fermeture du canal. La seule façon de réduire le courant fermé serait de polariser moins négativement la diode, ce qui nécessite un V_{fc} plus faible.

En ce qui concerne la valeur de V_{fc} , Kemp et al. (19,20) ont montré que les deux plus importants paramètres pouvant augmenter considérablement cette valeur sont la largeur de la grille et la densité d'états dans le gap de mobilité. Cependant, pour ce qui est de la largeur de la grille, cette valeur est certainement égale ou estimée légèrement inférieure à 2 μm étant donné le procédé photolithographique. Le problème doit alors être causé par la valeur de la densité d'états qui est plus grande que prévue.

Il est peu probable que la densité d'états du a-Si:H soit si élevé partout dans le dispositif étant donné les conditions expérimentales utilisées qui sont reconnues pour donner un a-Si:H de bonne qualité. Par contre, on peut concevoir la présence d'une relativement grande densité d'états localisés spatialement entre les doigts du Pt pour diverses raisons.

En effet, on retrouve à cet endroit une tension mécanique estimée à 2.7×10^8 Pa due à la géométrie du

dispositif. Ces contraintes surviennent lors du deuxième dépôt de a-Si:H qui s'effectue à 300 °C sur la grille de Platine déjà définie. Lors du refroidissement, le Platine se contracte de même que le a-Si:H, donnant lieu à une contrainte en tension dans le a-Si:H. Ces contraintes pourraient causer une augmentation de la densité d'états, voir même un détachement entre le a-Si:H et le Pt.

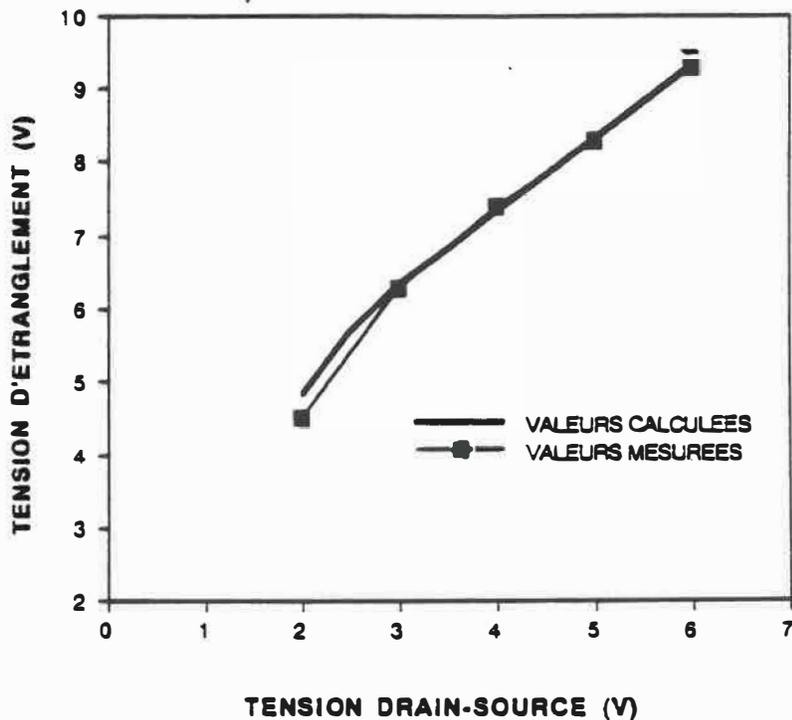
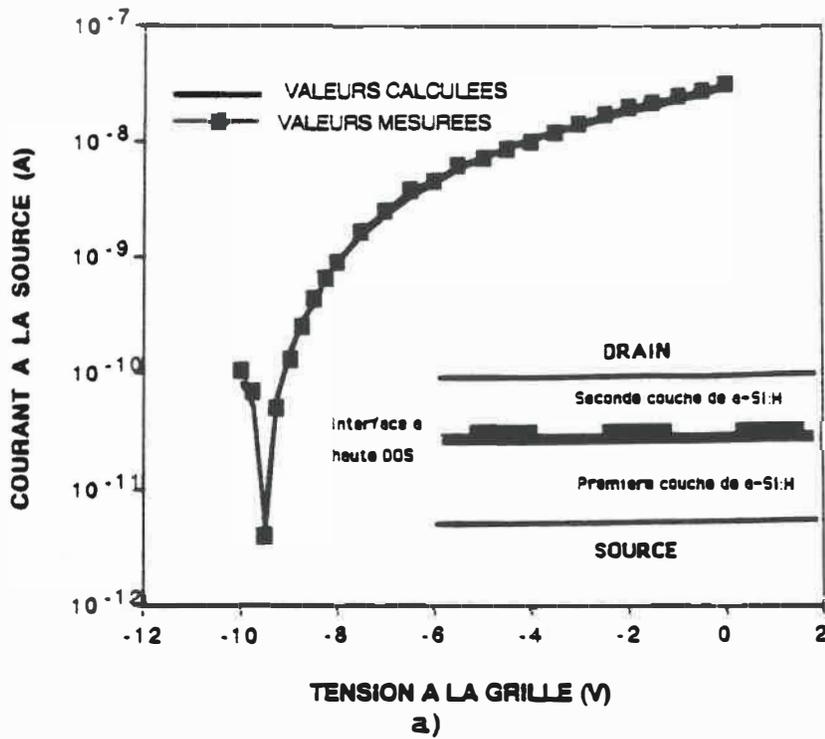
Une autre possibilité, selon Hasagawa et al. (37,38), est la présence d'une couche de quelques milliers d'angstroms à la surface de tout dépôt de a-Si:H. Cette couche posséderait une densité d'états beaucoup plus élevée que dans le reste du volume. Les valeurs obtenues par résonance paramagnétique électronique donnent une densité de 1×10^{18} états/cm³ (37,38).

D'autres effets portent à croire qu'il pourrait y avoir une densité d'états beaucoup plus grande sur la surface du matériau que dans le volume. En effet, Aker et al. (34) ont montré qu'une exposition aussi faible que 1×10^{-3} torr de vapeur d'eau pouvait augmenter la conductivité du silicium amorphe de plus d'un ordre de grandeur. De plus Tannelian et al. (40,41) ont aussi montré que l'eau, l'ammoniac et le monoxyde de carbone

agissaient comme dopant de type n dans le silicium amorphe.

Il est donc fort possible que l'humidité soit une des causes des problèmes dans notre procédé. En effet, lors de la définition de la grille de Platine, on doit immerger à plusieurs reprises la gaufre dans de l'eau. Même si l'échantillon est chauffé par la suite, il est concevable que le matériau ne revienne pas dans sa condition initiale et qu'une région possédant une densité d'états différente soit présente à la surface.

Afin de vérifier l'effet sur les caractéristiques du TIS d'une grande densité d'états à la surface des dépôts, nous avons effectué des simulations numériques à l'aide du logiciel développé par Kemp et al. (19,20). Nous avons adopté la même structure et les mêmes paramètres que ceux de la figure 2.7 (avec $g(\epsilon) = 1 \times 10^{16} / \text{cm}^3 \cdot \text{eV}$) à l'exception de l'ajout d'une couche de 1500 Å possédant une densité d'états de 1×10^{18} états/ $\text{cm}^3 \cdot \text{eV}$ tel que suggéré par Hasegawa et al. (37,38), le potentiel de contact entre le Pt et le a-Si:H ainsi que la concentration d'électrons aux contacts ohmiques ont également été modifiés afin d'obtenir un courant ouvert et un courant fermé compatibles avec les valeurs expérimentales.



b)

Figure 4.6: a) I_s , expérimental et simulé, en fonction de V_{gs} pour une polarisation drain-source de 6 Volts.
 b) Tension d'étranglement (V_{fc}), expérimental et simulé, en fonction de la polarisation drain-source.

La figure 4.6 a) montre les résultats théoriques superposés aux résultats expérimentaux de I_s en fonction de V_{gs} pour $V_{ds} = 6$ V. La valeur de la densité d'états ainsi que d'autres paramètres de la simulation ont été fixés de façon à reproduire le mieux possible les résultats expérimentaux. La figure 4.6 b) présente un graphique de V_{fc} en fonction de V_{ds} pour les résultats théoriques et expérimentaux. L'accord entre la théorie et la pratique est assez frappante. Le fait que l'ajustement théorique effectué pour une seule valeur de V_{ds} (6 Volts) soit valable également pour d'autres valeurs de V_{ds} suggère que l'hypothèse faite sur la variation de la densité d'états est justifiée.

Chapite 5: Conclusion

Le but de ce mémoire était le développement et la caractérisation d'un transistor à induction statique à base de silicium amorphe à partir d'un procédé existant, mais non fonctionnel, utilisé par Harling (22).

Les caractéristiques électriques du TIS qui ont été présentées sont, à notre connaissance, les meilleures publiées à ce jour. Nous avons obtenu un ratio du courant ouvert/fermé de 360 avec un voltage de fermeture du canal de -9.5 Volts. Nous avons également montré que le transistor fonctionnait bien en mode d'enrichissement (caractéristique de triode) et que la diminution du courant de canal était bien due au mouvement de la zone de dépeuplement.

La comparaison entre nos résultats et ceux de simulations numériques nous a permis de montrer la présence d'une région d'environ 1500 Å sous la grille de Pt possédant une forte densité d'états dans le gap de mobilité. Cette région doit être diminuée afin d'augmenter la qualité du TIS à base de a-Si:H.

Notons finalement que deux modifications majeures ont été apportées au procédé proposé par Harling (22),

l'absence de nettoyage par pulvérisation cathodique avant les dépôts de a-Si:H ainsi que l'utilisation d'une solution différente pour la gravure du a-Si:H. Malgré ces modifications plusieurs problèmes subsistent, notons en particulier le manque de contrôle lors de la gravure du a-Si:H et la mauvaise caractéristique en inverse de la diode drain-grille associée au deuxième dépôt de a-Si:H.

Chapitre 6 Amélioration

Dans ce chapitre nous présentons un ensemble de modifications, à la fois à la structure et au procédé, afin d'améliorer les caractéristiques du TIS à base de a-Si:H.

6.1- Modification du procédé.

Les résultats obtenus avec ce procédé de fabrication sont reproductibles. Cependant certaines étapes du procédé se sont avérées assez difficiles à contrôler et/ou ne donnent pas des résultats assez uniformes sur la surface de la gaufre.

L'étape la plus délicate du procédé de fabrication est la gravure de la deuxième couche de a-Si:H. En effet, les différentes solutions essayées à cette fin gravent de façon non-uniforme et doivent être contrôlées très étroitement. Une légère surgravure du a-Si:H cause un décollement de la grille de Pt, détruisant ainsi complètement le dispositif.

Deux solutions pourraient être apportées à ce problème. La première consiste à modifier le masque de tel sorte que la solution chimique ne soit jamais en

contact avec les bords du Pt. La figure 6.1 permet de voir un exemple de masque qui remplit ce critère. L'autre solution serait de graver le a-Si:H par plasma, ce qui permettrait une gravure plus uniforme et ne devrait pas causer le décollement de la grille de Pt.

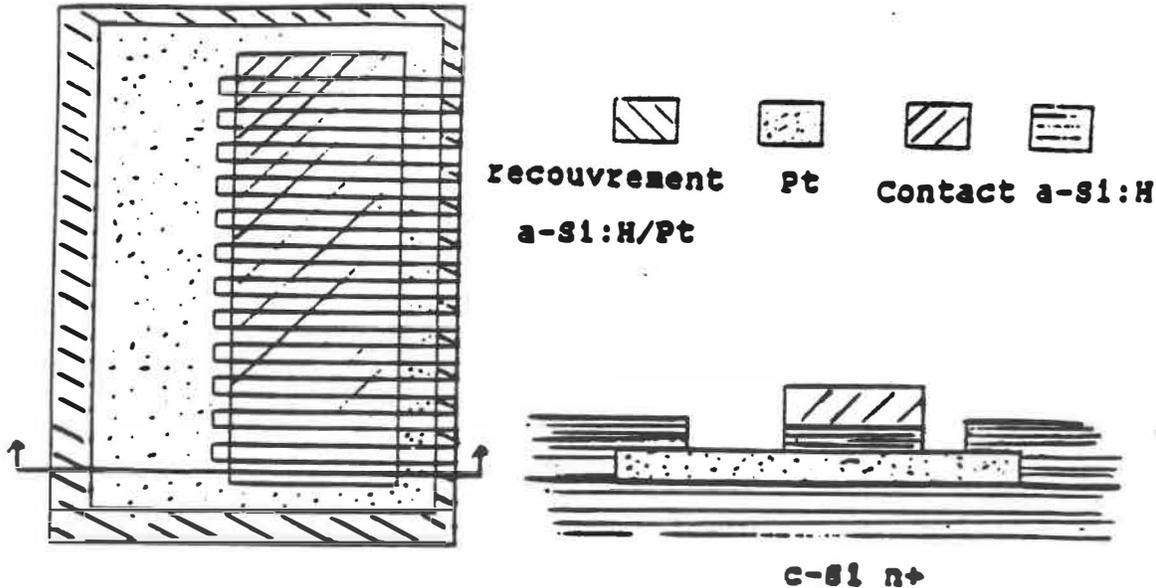


Figure 6.1: Masque qui permettrait de réduire l'effet du décollement de la grille de Pt lors de la gravure du a-Si:H. On remarque que les bords de la grille de Pt sont très peu exposés.

Une autre difficulté majeure concerne l'alignement des divers niveaux de masques. En effet, le masque actuel prévoit un espacement de 5 μm entre chaque niveau. Ceci est nettement insuffisant et rend cette étape très critique, particulièrement dans le cas où le

patron de résine est utilisé lors d'une gravure. La conception d'un nouveau masque ayant des espacements de 20 μm permettrait d'éliminer ce problème.

De plus en minimisant la surface de la grille de Pt, ceci réduirait au minimum les courants de fuite. Le masque proposé à la figure 6.1 permet également de résoudre ce problème.

L'efficacité de la structure actuelle pourrait également être augmentée par un meilleur contact ohmique au drain. L'utilisation d'un contact a-Si/Mg/Al, avec le Mg/Al déposé par évaporation thermique plutôt que par canon électronique, permettrait probablement de retrouver des résultats comparables à ceux de Kanicki (42).

6.2- Modification à la structure actuelle.

Certaines modifications à la structure actuelle sont nécessaires afin de diminuer la trop grande valeur de V_{fc} et le grand courant de fuite grille-drain.

Le courant de fuite grille-drain pourrait être ramené à un niveau acceptable assez facilement. Il

suffirait de déposer une mince couche isolante sur le Pt. Le système de pulvérisation cathodique où est déposé le platine permet également le dépôt d'oxyde d'aluminium. Un dépôt d'oxyde pourrait donc y être effectué immédiatement après le dépôt de Pt et avant le «lift-off», ceci permettrait un alignement parfait des deux matériaux.

Pour ce qui est de V_{fc} deux approches pourraient être utilisées. Premièrement, on peut chercher à éliminer ce qui cause la grande densité d'états à l'interface a-Si:H/ a-Si:H. Pour ce faire, on pourrait effectuer une gravure par plasma de la première couche de a-Si:H, en évitant que la surface soit bombardée dans le réacteur de déposition de a-Si:H. Ceci devrait être effectué juste avant le dépôt de la deuxième couche de a-Si:H.

Une autre possibilité consiste à n'effectuer qu'un seul dépôt de a-Si:H. La figure 6.2 présente cette structure. On devrait définir dans un même temps le Pt et le nitrure par gravure ou utiliser le Pt comme masque pour graver le nitrure. Cette façon de procéder devrait également permettre d'augmenter le courant ouvert de façon importante (cf section 4.3).

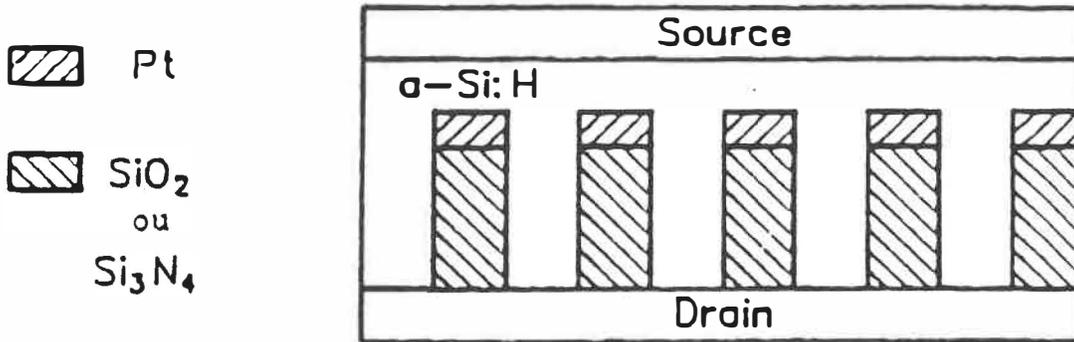


Figure 6.2: Structure du TIS visant à éliminer la région d'interface a-Si:H/a-Si:H.

L'autre approche envisageable consiste plutôt à réduire la largeur du canal de façon à avoir une fermeture à des valeurs plus faibles de V_{gs} . Le masque que nous utilisons possède des grilles espacés de 1 μm mais cette résolution est très difficile à obtenir dans nos installations. On devrait cependant être en mesure de réussir des espacements de 1.8, 1.5 et peut-être 1.2 μm . Le masque devrait donc être modifié pour permettre de telle largeur de canal. Une autre façon de créer des canaux plus petits est d'utiliser des micro-sphères et une technique de «lift-off». L'utilisation de micro-sphères comme masque a été proposée pour la première fois par Deckman et al. (43,44,45,46).

Les étapes suivantes devraient permettre la fabrication des grilles du transistor en utilisant cette technique:

- Définir à l'aide de la résine des régions pour la grille de Pt.
- Déposer les billes sur toute la gaufre.
- Déposer le Pt.
- Effectuer le «lift-off» du Pt, les billes sont solubles dans l'acétone et devraient se dissoudre en même temps.

A cette étape, on devrait avoir des régions de Pt séparés les uns des autres et percés de milliers de petits trous laissés par les billes. Un deuxième dépôt de a-Si:H permettrait alors de remplir ces trous et de créer les canaux des transistors. Ces régions de a-Si:H devraient avoir une surface de $250\ 000\ \mu\text{m}^2$ de façon à permettre un courant comparable à celui des transistors actuels.

La principale difficulté avec cette technique consiste en la déposition uniforme des billes et en l'obtention d'un très haut taux de billes seuls sur la surface. En effet, le dernier paramètre est particulièrement critique car la présence de billes

regroupées en paquets de différentes dimensions est équivalent à avoir un transistor avec des grilles de largeurs différentes.

La technique utilisée par Deckman pour contrôler les paramètres de déposition consiste à modifier le ph de la solution dans laquelle se trouve les billes de façon à avoir des billes chargées négativement et une surface de déposition chargé positivement. Le ph choisi pour faire ces dépositions dépend du point isoélectriques des billes et de la surface, en plus des conditions de dépositions (température, durée, méthode de déposition, etc.). Plusieurs publications ont paru sur ce sujet (47,48,49) mais ne permettent pas une application simple des principes physiques en cause.

Les résultats de déposition que nous avons obtenus, en collaboration avec Moreau (50), nous laisse croire que cette voie est très prometteuse. Son principale avantage étant la possibilité de réduire V_{fc} via des canaux ayant un diamètre aussi faible que 500 Å.

Bibliographie

- [1] W. E. Spear, P. G. LeComber, «Investigation of the Localized State Distribution in Amorphous Si Films», *J. Non-Cryst. Solids*, 8-10, 727-738 (1972).

- [2] Y. Uchida, Y. Nara, M. Matsumura, «Proposed Vertical Type Amorphous Silicon Field Effect Transistors», *IEEE Electron Device Lett.*, EDL-5, 105-107 (1984).

- [3] T. Kodama, N. Takagi, S. Kawai, Y. Nasu, S. Yanagisawa and K. Asama, «Self-Alignment Process for Amorphous Silicon Thin Film Transistors», *IEEE Electron Device Lett.*, 3, 187- (1982).

- [4] H. C. Tuan, M. J. Thompson, and N. M. Johnson, «Dual-Gate a-Si:H Thin Film Transistors», *IEEE Electron Device Lett.*, EDL-3, 357-359 (1982).

- [5] Y. Nara, Y. Kudou, M. Matsumura, « Application of Amorphous-Silicon Field-Effect Transistors in Three-Dimensional Integrated Circuits», *Jap. J. Appl. Phys.*, 22, 370-372 (1983).

- [6] M. Matsumura, «Thin Film Diodes and Transistors», *JARECT*, 16, 236-241 (1984).

- [7] A. Deneuville et M.H. Brodsky, « A Thin Film Metal Base Transistor with amorphous silicon», Thin Solids Film, 55, p.137 (1978).
- [8] A. Yusa, J. Nishizawa, M. Imai, H. Yamada, J. Nakamura, T. Mizoguchi, Y. Ohta and M. Takayama, «SIT Image Sensor: Design Considerations and Characteristics», IEEE Trans. Electron Devices, ED-33, 735-741 (1986).
- [9] T. Sunata, T. Yukama, K Miyake, Y. Matsushita, Y. Murakami, Y. Ugai, J. Tamamura, S. Aoki, «A Large-Area High-Resolution Active-Matrix Color LCD Addressed by a-Si TFT's», IEEE Trans. Electron Devices, ED-33, 1212-1217 (1986).
- [10] M. Le Contellec, F. Maurice, J. Richard, B. Vinouze, et F. Richou, «Very Simple a-Si:H TFT Fabrication Process for LCD-TV Application», J. Non-Crystalline Solids, 97&97, 297-300 (1987).
- [11] T.C. Chuang, L.E. Fennell, W.B. Jackson, J. Levine, M.J. Thompson, H.C. Tuan, R. Weisfeild, T. Hamano, H. Itoh, T. Ozawa et S. Tomiyama, «Large-Area a-Si:H TFT Arrays for Printing, Input Scanning and Electronic Copying Applications», J. Non-Crystalline

Solids, 97&98, 301-304 (1987).

- [12] P. G. Lecomber, A. J. Snell, K. D. Mackenzie and W. E. Spear, J. de Physique, 42, p. 423 (1981).
- [13] M. Ueda, M. Hirose and Y. Osaka, Jap. J. Appl. Phys., «Amorphous Silicon static induction transistor», 24, 467-471 (1985).
- [14] W. Shockley, «A Unipolar "Field-effect" Transistor», Proc. IRE, 40, 1365-1376 (1952).
- [15] Y. Watanabe, J. Nishisawa, Japanese Patent 205 068 (1950).
- [16] J. Nishizawa et K. Yamamoto, «High-Frequency High-Power Static Induction Transistor», IEEE Tran. Electron Devices, 25, no. 9, 314-322 (1978)
- [17] J. Nishizawa et T. Tamamushi, «Functional Integration of the light-triggered Static Induction Thyristor and the Static Induction Phototransistor», IEEE Electron Device Lett., EDL-7, 265-267 (1986).
- [18] K. Yamaguchi et H. Kodera, «Optimum Design of Triode-like JFET'S by Two-Dimensional Computer Simulation», IEEE

Trans. Electron Devices, 24, 1061-1069 (1977).

- [19] M. Kemp, Mémoire de maitrise, «Simulation Numérique du Transistor à Induction Statique à Base de Silicium Amorphe», Ecole Polytechnique de Montréal (1988)
- [20] M. Kemp, C.G. Tannous, M. Meunier, «Amorphous Silicon Device Simulation by an Adapted Gummel Method», IEEE Trans. Electron Devices, 35, 1510-1513 (1988).
- [21] M. Kemp, M. Meunier, C.G. Tannous, «Simulation of the amorphous silicon static induction transistor», Solid-States Electronics, 32, 149-157 (1989).
- [22] G. Harling, «Fabrication and Characterization of the Amorphous Silicon Static Induction Transistor», Mémoire de maitrise, Ecole Polytechnique de Montréal (1987)
- [23] M. Tsukude, S. Akamatsu, M. Hirose, M. Ueda, and Y. Osaka, « Amorphous Silicon Static Induction Transistor», J. Non-Crystalline Solids, 77&78, 1389-1392, (1985).
- [24] A. Deneuille et M. H. Brodsky, «Influence of preparation conditions on forward-bias currents of amorphous

silicon Schottky diodes J. Appl. Phys., 50(3), (1979)

- [25] Z. H. Lu, E. Sacher and A. Yelon, « Kinetics of the Room Temperature Air Oxidation of Hydrogenated Amorphous and Crystalline Silicon », à être publié.
- [26] K. Winer and L. Ley, « Effects of oxidation on surface states in a-Si:H », Phy. Rev. B, 37, 8363-8369 (1988).
- [27] S. K. Ghandhi, « VLSI Fabrication Principles, Silicon and Gallium Arsenide » (Première Edition), John Wiley and Sons, New York p. 523 (1983).
- [28] H. F. Bare and G. W. Neudeck, « Etching patterns in amorphous silicon », J. Vac. Sci. Technol., 4, 239-241 (1985).
- [29] D. L. Staebler, C. B. Wronski, Appl. Phys. lett., p. 3262 (1980)
- [30] CRC Handbook of chemistry and physics, Boca Raton, CRC Press, p. E-82 (1980)
- [31] CRC Handbook of chemistry and physics, Boca Raton, CRC Press, p. B-14, D-65 (1980)

- [32] A. M. Cowley et S. M. Sze, J. Appl. Phys., 36, (1965)
- [33] C. R. Wronski et D. E. Carlson, Solid State Com., 23, (1977)
- [34] J. Kanichki, M. Osama Aboelfotoh et W. Bauhofer, Proc. of the 17th international Conf. on the physics of semiconductors, Ed. J. D. Chadi and W. A. Harrison, (1985).
- [35] R. J. Nemanich, M. J. Thomson, W. B. Jackson, C. C. Tsai et B. L. Stafford, «Initial Reactions at the Interface of Pt and Amorphous Silicon», J. Vac. Sci. Technol. B, 1(3), (1983)
- [36] E. H. Rhoderick, «Metal-Semiconductor Contacts», Oxford, Clarendon Press (1980).
- [37] S. Hasegawa, Y. Imai, «Thickness dependence of electrical and optical properties and E. S. R in undoped a-Si:H», Phil. Mag. B, 49, 239-251 (1982).
- [38] S. Hasegawa, S. Shimizu, Y. Kurata, «Thickness dependence of properties of P- and B-doped hydrogenated amorphous silicon, II. ESR, hydrogen vibrational spectra and optical absorption», Phil.

Mag. B, 49, 521-532 (1984).

- [39] B. Aker, «Oxide and Adsorbate Effects on the Conductance of a-Si:H in Ultrahight Vacuum», J. Non-Cryst. Solids, 66, 19-24 (1984).
- [40] M. Tanielian, H Fritzsche, C. C. Tsai and E Symbalisky, «Effect of adsorbed gases on the conductance of amorphous films of semiconducting silicon-hydrogen alloys», Appl. Phys. Lett., 33(4), 353-356 (1978).
- [41] M. Tanielian, «Adsorbate effects on the electrical conductance of a-Si:H», Phil. Mag. B, 45, 435-462 (1982).
- [42] J. Kanicki and D. Bullock, «Ohmic and Quasi-Ohmic Contacts to Hydrogenated Amorphous Silicon Thin Films», IBM Reaserch Report, 9 pages (1986).
- [43] H. W. Deckman and J. H. Dunsmuir, «Natural lithography», Appl. Phys. Lett., 41(4), 377-379 (1982).
- [44] Deckman et al., United States Patent, No. 4,407,695, (1983).

- [45] H. W. Deckman and J. H. Dunsmuir, «Applications of surface textures produced with natural lithography», *J. Vac. Sci. Technol. B*, 1(4), 1109-1112 (1983).
- [46] H. W. Deckman, J. H. Dunsmuir and B Abeles, «Microfabricated TEM sections of amorphous superlattices», *J. Vac. Sci. Technol. A*, 3(3), 950-954 (1985).
- [47] R. K. Iler, «Adsorption of colloidal Silica on Alumina and of colloidal Alumina on Silica», *J. Am. Ceram. Soc.*, 47, 194-198 (1964).
- [48] R. K. Iler, « Multilayers of Colloidal Particules », *J. Colloid Sci.*, 21, 569-594 (1966).
- [49] J. K. Marshall and J. A. Kitchener, «The Deposition of Colloidal Particles on Smooth Solids», *J. Colloid Sci.* 22, 342-341 (1966).
- [50] M. Moreau, Rapport final de projet de fin d'étude, Ecole Polytechnique de Montréal (1988)
- [51] S. K. Ghandhi, « VLSI Fabrication Principles, Silicon and Gallium Arsenide » (Première Edition). John Wiley and Sons, New York p. 526 (1983).

[52] A. Lecours et S. Boivin, «Gravure du Platine sur le Silicum amorphe», Rapport de laboratoire présenté dans le cadre du cours de Laboratoire de Physique du Solide, décembre 1988.

ANNEXE 1

Description détaillée du procédé de fabrication du TIS.

Voici le procédé de fabrication expliqué en détail. Les étapes énoncées sont présentées en ordre chronologique. Dans ce texte le terme eau signifie eau déionisée.

A.1- Nettoyage des gaufres

Le dispositif est fabriqué sur une gauffre de silicium cristallin type n fortement dopé au phosphore et possédant une résistivité entre 0.003 et 0.007 Ωcm . Les gaufres doivent être soigneusement nettoyées avant le premier dépôt de a-Si:H de façon à enlever tous les résidus organiques et inorganiques. La procédure de nettoyage est la suivante:

- Trempage 5 minutes dans du trichloroéthane.
- Trempage 5 minutes dans de l'acétone.
- Trempage 5 minutes dans du méthanol ou du 2-propanol.

Ces solvants doivent être utilisés à une température

d'environ 40 °C

- Rinçage à l'eau
- Trempage 5 minutes dans de l'eau mise dans un béccher placé dans le bain ultra-sonique.
- Trempage 5 minutes dans une solution 2:1 de $H_2O_2:H_2SO_4$.
- Rinçage 5 minutes à l'eau.
- Trempage 5 minutes dans une solution 10:1 de $H_2O:HF$.
- Rinçage 5 minutes à l'eau.
- Sèchage avec un jet d'azote.

A.2- Dépôt du a-Si:H

Une fois la gaufre propre, on la place rapidement dans le réacteur afin d'éviter autant que possible l'oxydation de la surface de la gaufre. Une fois les lignes des différents gaz purgées, on pompe durant 1 heure pour vider l'enceinte. Durant ce temps, on augmente le courant de l'élément qui chauffe le substrat jusqu'à 4 Amp. Ceci devrait prendre environ 20 minutes. On fait ensuite circuler durant 1 heure de l'Argon dans le système maintenu à une pression de 200 mtorr, à un débit de 20 sccm, pour une durée de 1 heure. Ce gaz d'échange permet au réacteur de prendre une

température plus uniforme. Une fois cette étape terminée, on peut passer au dépôt proprement dit. Le dépôt s'effectue dans les conditions suivantes:

- Gaz utilisé: Silane.
- Pression: 200 mtorr.
- Puissance incidente: 10 Watts.
- Débit de silane: 10 sccm (12.5 lu).
- Température du substrat: 300 °C
- Fréquence: 100 KHz.
- Polarisation DC: \approx 60 Volts.
- Courant: 0.00 mA \pm 0.02 mA.
- Taux de déposition: \approx 2 Å/sec.
- Temps de dépôt: 150 minutes

Une fois le dépôt terminé, on refait le vide dans l'enceinte et on diminue progressivement le courant dans l'élément chauffant au rythme de 0.5 Amp. à toute les 10 minutes jusqu'à atteindre 2.0 Amp. inclusivement.

A.3- Dépôt de Platine.

Une fois la gaufre retirée du réacteur à silicium amorphe, on doit procéder au dépôt du Platine et à sa définition. Cette étape doit être effectuée le plus rapidement possible après la sortie de l'échantillon de

a-Si:H du réacteur de façon à limiter sa contamination. La technique utilisée pour définir la grille est celle du «lift-off». On doit donc commencer par créer le patron de résine. La résine utilisée est la Microposit de Shippley no.1400-23 et on procède comme suit:

- Etendre la résine en la faisant tourner à 3000 tours/min. pendant 30 sec.
- Cuire la résine au four à 95 °C pendant 30 minutes
- Exposer la gaufre 7 sec. en utilisant l'aligneur de masque de la salle blanche.
- Tremper la gaufre 5 minutes dans du trichloroéthane.
- Cuire la résine 5 minutes à 95 °C.
- Effectuer le développement en utilisant une partie d'eau et une partie de développeur, (ceci prend environ 30 sec.)

Une fois le développement terminé, il est préférable de faire sécher la gaufre une quinzaine de minutes à 120 °C pour en enlever l'humidité. On peut alors charger la gaufre dans la cloche à pulvérisation cathodique. On effectue un pompage d'une heure avant de faire le dépôt. Les conditions de déposition sont les suivantes:

- Gaz utilisé: Argon.
- Pression: 50 mtorr (30 mtorr lu).
- Débit: 10 sccm.
- Puissance incidente: 200 Watts
- Puissance réfléchiée: 4 Watts.
- Temps de déposition: 10 minutes.
- Taux de déposition: \approx 3.3 A/sec.

On passe ensuite au « lift-off » proprement dit. On trempe la gaufre dans de l'acétone froid pendant 10 minutes puis, on la met dans le bain ultra-sonique jusqu'à ce que tous les peignes soient parfaitement dégagés (environ 5 minutes). La gaufre est ensuite rincée au méthanol, puis à l'eau avant d'être séchée par un jet d'azote.

A.4- Deuxième dépôt de silicium amorphe.

Ce dépôt est semblable au premier sauf que la durée du deuxième dépôt est deux fois plus courte que le premier.

A.5- Dépôt et définition du contact «ohmique».

Ce contact est défini par «lift-off» avec la méthode expliquée à la section A.3. On dépose les métaux dans un

système d'évaporation par canon électronique. Ce système permet la déposition de multi-couches sans avoir à briser le vide. Les dépôts sont effectués avec une pression inférieure à 1×10^{-6} torr.

A.6- Gravure du Silicium amorphe.

Une fois le contact défini, on doit graver le silicium amorphe afin d'avoir accès à la grille de Platine. On doit donc encore une fois utiliser la résine pour définir le motif. On étend la résine conformément à la section A.3 puis, on effectue le développement. On fait ensuite durcir la résine en la faisant recuire 30 minutes à 130 °C. Pour faire la gravure, on utilise une solution de $\text{HF}:\text{HNO}_3:\text{H}_2\text{O}, 10:200:120$, dans laquelle on trempe la gaufre entre 30 et 40 secondes. Cette étape est la plus critique de tout le procédé, une légère surgravure entraîne le décollement de la grille de Pt. Ceci survient quelques secondes après que les bords de la grille de Pt soient exposés à la solution d'attaque. On dissout ensuite la résine avec de l'acétone.

A.7- Dépôt de la couche d'Or à l'arrière de la gaufre n+

La dernière étape consiste à déposer une couche d'Or

sur le côté non-poli de la gaufre. Ceci peut s'effectuer dans le système à canon électronique ou dans un système d'évaporation thermique. La couche déposée a environ 2000 Å.

ANNEXE II

Gravure du Platine.

Un des principaux problèmes rencontrés lors de cette étude a été la définition de la grille de Platine. Nous craignons en effet que la procédure de «lift-off» utilisée jusqu'à maintenant pour définir la grille n'induisse des micro-fissures dans les grilles. Bien que tous les dispositifs étudiés dans ce travail ont été réalisés grâce à une technique de «lift-off» nous croyons que les progrès réalisés dans la gravure du Platine valent la peine d'être mentionnés.

Les premiers essais de gravure du Pt ont été effectués avec une solution aqueuse proposée par Gandhi (51): $\text{HCl}:\text{HNO}_3:\text{H}_2\text{O}$, 7:1:8. Le principal problème rencontré avec cette solution est le décollement de la couche de Pt après un certain temps dans la solution. La gravure a été essayée à différentes températures de solution mais dans chaque cas l'adhérence du Pt a causé des problèmes, nous avons par la suite essayé une gravure par plasma, mais le taux de gravure de 70 A/min était trop faible pour que cette solution soit viable. Lecours et Boivin (52) ont développé une solution mitoyenne pour ce problème. Ils montrent que l'utilisation d'une gravure par plasma suivie d'une gravure aqueuse réduit beaucoup les problèmes liés au

décollement du Pt.

Bien qu'offrant plusieurs avantages, la définition de la grille de Platine par gravure n'est pas encore suffisamment au point pour être tentée sur un dispositif complet. L'amélioration de cette technique aurait avantage à être poursuivie dans des travaux futurs sur le TIS.

ÉCOLE POLYTECHNIQUE DE MONTRÉAL



3 9334 00277756 1