

**POLYTECHNIQUE MONTRÉAL**

affiliée à l'Université de Montréal

**Système intégré sur puce pour formation d'ondes planes en imagerie  
ultrasonore**

**ANTOINE LÉTOURNEAU**

Département de génie électrique

Mémoire présenté en vue de l'obtention du diplôme de *Maîtrise ès sciences appliquées*

Génie électrique

Décembre 2019

# **POLYTECHNIQUE MONTRÉAL**

affiliée à l'Université de Montréal

Ce mémoire intitulé :

## **Système intégré sur puce pour formation d'ondes planes en imagerie ultrasonore**

présenté par **Antoine LÉTOURNEAU**

en vue de l'obtention du diplôme de *Maîtrise ès sciences appliquées*

a été dûment accepté par le jury d'examen constitué de :

**Jean-Pierre DAVID**, président

**Mohamad SAWAN**, membre et directeur de recherche

**Frédéric LESAGE**, membre et codirecteur de recherche

**Jean PROVOST**, membre

## REMERCIEMENTS

Je remercie Sreenil Saha pour son aide et ses explications ainsi que Jules Gauthier pour les services techniques. Je tiens également à remercier Frédéric Lesage et Mohamad Sawan de m'avoir accordé leur confiance et leur soutien lors de ma maîtrise. Finalement, merci à mes collègues Christophe, Patrick, Joël, Rafat, Yuang-Kang et Xavier d'avoir rendu cette période agréable.

## RÉSUMÉ

L'imagerie médicale est en constante évolution afin de permettre aux professionnels de la santé de poser des diagnostics plus précis plus rapidement. Parmi la panoplie de modalités d'imagerie à leur disposition, l'échographie est souvent un choix logique puisqu'elle est sécuritaire (non ionisante), simple à utiliser, peu dispendieuse et permet d'imager les tissus biologiques en temps réel. Les systèmes sur chariot peuvent être déplacés jusqu'au patient si nécessaire et certains nouveaux modèles sont même complètement portables. Si l'échographie présente de nombreux avantages, il y a toujours place au progrès et le développement de cette technique d'imagerie se poursuit toujours : les récents progrès en imagerie ultrasonore ultrarapide permettent maintenant de former des images à plus de dix fois la fréquence conventionnelle (ligne par ligne) et permettent ainsi de mesurer l'élasticité des tissus ou d'améliorer la visualisation du flot sanguin en direct.

L'imagerie ultrasonore ultrarapide utilise des ondes planes (par opposition aux ondes focalisées conventionnelles) pour insonifier l'entière du milieu à chaque acquisition. Afin d'améliorer la qualité de l'image formée, plusieurs ondes planes peuvent être envoyées à différents angles, puis combinées. Pour l'instant, les appareils permettant de former ces ondes planes sont des appareils relativement dispendieux et complexes, permettant de former des fronts d'ondes sur mesure. Cette flexibilité est très utile en recherche, mais une solution plus simple serait suffisante et pratique pour un système commercial.

L'objectif du projet de cette maîtrise est la conception d'un circuit intégré permettant de générer les impulsions électriques capable d'exciter des transducteurs dans le cadre de l'imagerie par ondes planes. Le circuit final, fabriqué avec la technologie CMOS haute-tension 0,35  $\mu\text{m}$  d'Austria Micro Systems, devra inclure plusieurs canaux d'émission et un système permettant activer chacun d'eux avec des délais précis. Le nombre de signaux de contrôle devra être réduit au maximum afin de former un système simple et efficace.

Ce projet présente plusieurs défis. D'abord, les contraintes temporelles relatives propres au monde des circuits intégrés sont majeures et dictent le rythme d'avancement de tout projet en microélectronique. En effet, pour la technologie utilisée, deux rondes de fabrication sont typiquement offertes par année, avec des délais de fabrication et de livraison d'environ quatre à cinq mois. Ensuite, pour vérifier le fonctionnement et les performances du circuit, un système complexe doit être construit autour de la puce. Celui-ci inclut tous les modules d'alimentation, la

conversion des signaux analogiques en valeurs numériques, le contrôle de la puce par circuit logique programmable, le transfert de données entre l'ordinateur et le circuit de test ainsi que la programmation d'une interface de contrôle permettant à l'utilisateur d'interagir avec la puce via un ordinateur.

Les deux ans de cette maîtrise ont permis de participer à trois rondes de fabrication de circuit, chacune améliorant la précédente. La première itération aura surtout servi de premier jet : le début de la maîtrise en septembre et la soumission à la fin octobre auront laissé deux mois pour apprendre à concevoir et dessiner le circuit sur le logiciel Cadence. Quelques erreurs de conception auront limité le fonctionnement de la puce, mais auront permis d'apprendre les étapes de schématisation, simulation et dessin de masques, en validant le fonctionnement de la plupart des modules intégrés. La deuxième puce intègre tous les éléments requis (ligne à délai, étage de sortie à haute tension et amplificateur de transimpédance), mais certaines performances ne sont pas satisfaisantes pour la génération de fronts d'onde fonctionnels, principalement en ce qui a trait à la précision sur les délais et la conservation de l'intégrité de l'horloge. La troisième puce vise à améliorer ces performances, en reprenant les meilleurs modules conçus lors des itérations précédentes. La puce finale comprend 16 canaux en émission, capables de commander les transducteurs ultrasonores à trois niveaux de tension (0, 20 et 40V) avec des pics de courant allant jusqu'à 700 mA en insérant entre chaque canaux adjacents un délai contrôlable à partir de 6 bits. La valeur du bit le moins significatif peut être ajustée entre 2 et 4 nanosecondes, permettant d'adapter le circuit à presque tous les espacements entre transducteurs. La puce est d'ailleurs conçue pour être mise en chaîne, permettant de commander aisément des multiples de 16 canaux.

## ABSTRACT

Medical imaging is constantly evolving to allow health care professionals to make more accurate and faster diagnostics. Among the many available imaging modalities, ultrasound imaging is often a logical choice since it is safe (non-ionizing), simple to use and inexpensive while allowing the imaging of biological tissue in real time. Trolley systems can be moved to the patient if necessary and some new models are even completely portable and hand-held. Improvements in echography are still ongoing: recent advances in ultrafast ultrasound imaging now allow images to be formed at more than ten times the frequency of conventional echography (line-by-line) and thus allow the measurement of tissues' elasticity or improve the visualization of blood flow.

Ultrafast ultrasound imaging uses plane waves (as opposed to focused waves in conventional echography) to insonify the whole targeted area at each acquisition. To improve on the resulting image quality, multiple plane waves can be transmitted to the medium at various angles and combined. As of now, devices capable of forming such plane waves are relatively complex and expensive and allow for any wave front to be transmitted by the transducers. This high degree of flexibility is desirable in a research context, but a simpler solution would fit most commercial needs.

The main goal of this master's project is the design of an integrated circuit able to drive transducers in plane wave imaging applications. The final integrated circuit, fabricated in Austria Micro System 0.35 $\mu\text{m}$  high tension CMOS process, should include multiple transmit channels as well as a system able to address each of them with a precise delay. The number of required control signals will be kept minimal to form a simple and effective system.

This project presents several challenges. First, the schedule inherent to integrated circuit fabrication imposes hard dead lines on any microelectronic project. Indeed, for the chosen technology, one or two rounds are open per year and the fabrication and delivery delay hovers around four to five months. Then, to validate the operation and assess the performance of the circuit, a complex system must be built around the chip. This setup includes power delivery modules, analog to digital converters, a field-programmable gate array, a data transfer system between the test board and a software so the user can interact in real time with the chip.

Three fabrication rounds were carried out over the two years of this project, each improving on the previous one. The first iteration has been a fast first dive in microelectronic design: only two

months were available to learn how to use Cadence's software suite, design and layout the circuit. Some design mistakes limited the functions of the chip, but enough of the circuit was working to learn and go forward. The second chip integrated all the required elements: delay line, high voltage output stage and transimpedance amplifiers. However, once again, the performances were not as high as expected, especially regarding the signal integrity of the main clock. The third chip aimed at improving on the two previous iterations by fine-tuning the best modules found in both. The final design features 16 emission channels, able to drive ultrasonic transducers to three voltage levels (0, 20 V and 40 V) with current pulses reaching 700 mA while inserting between each channel a delay controllable via 6 bits. The value of the least significant bit can be tuned from 2 ns to 4 ns, allowing the circuit to generate delays matching almost all transducer's pitches. The chip is designed for easy daisy chaining and multiple dies could be connected to increase the channel count.

## TABLE DES MATIÈRES

REMERCIEMENTS .....	III
RÉSUMÉ.....	IV
ABSTRACT .....	VI
TABLE DES MATIÈRES .....	VIII
LISTE DES FIGURES.....	X
LISTE DES SIGLES ET ABRÉVIATIONS .....	XIV
CHAPITRE 1 INTRODUCTION.....	1
1.1 Imagerie par onde plane .....	1
1.2 Formation d'ondes planes .....	4
1.3 Organisation du mémoire .....	6
CHAPITRE 2 REVUE DE LITTÉRATURE.....	7
2.1 Méthodes de gestion des délais utilisées conventionnellement .....	7
2.2 Approche proposée.....	10
2.3 Autres éléments à intégrer sur puce .....	15
2.4 Objectifs .....	18
CHAPITRE 3 PREMIÈRE ITÉRATION – ICVPMCM1.....	19
3.1 Présentation générale de la première puce .....	19
3.2 Ligne à délai .....	20
3.3 Étage de sortie .....	30
3.4 Amplificateur de transimpédance.....	33
3.5 Réflexions sur ICVPMCM1 .....	35
CHAPITRE 4 DEUXIÈME ITÉRATION – ICVPMCM2.....	36



4.1	Présentation générale de la deuxième puce.....	36
4.2	Ligne à délai .....	36
4.3	Étage de sortie .....	42
4.4	Amplificateur de transimpédance.....	47
4.5	Réflexions sur ICVPMCM2.....	51
CHAPITRE 5 ARTICLE 1 : PHASE ERROR FREE PLANE WAVE EMISSION CMOS IC FOR ULTRAFAST ULTRASOUND IMAGING .....		52
5.1	Mise en contexte.....	52
5.2	Introduction .....	53
5.3	Circuits and System Design .....	56
5.4	Experimental Results.....	61
5.5	Conclusion.....	67
5.6	Acknowledgments.....	67
5.7	References .....	68
CHAPITRE 6 AUTRES NOTES SUR ICEPMALCMT .....		69
6.1	Système de réception.....	69
6.2	Système de contrôle et d'acquisition.....	77
CHAPITRE 7 DISCUSSION GÉNÉRALE .....		83
7.1	Critique d'ICEPMALCMT .....	83
7.2	Tests avec transducteurs.....	88
CHAPITRE 8 CONCLUSION ET RECOMMANDATIONS .....		91
RÉFÉRENCES.....		93

## LISTE DES FIGURES

Figure 1.1 Formation d'image en mode B. ....	2
Figure 1.2 : Simplification de la méthode de reconstruction de l'imagerie par ondes planes .....	3
Figure 1.3 : Formation d'ondes plane à angles à partir d'insertion de délais entre l'émission des éléments.....	4
Figure 2.1 : Délais en arc de cercle requis par l'imagerie en mode B .....	7
Figure 2.2 : Limitations provenant du partage de l'horloge dans un système de registre à décalage. La sortie en rouge ne peut être décalée que d'un nombre entier de coups d'horloge par rapport à la sortie en bleu.....	9
Figure 2.3 : Insertion de délais égaux entre chaque canal pour former une onde plane .....	10
Figure 2.4 : Ligne, blocs et éléments de délai. Un bloc est requis pour chaque canal d'émission. Ce bloc est lui-même composé de plusieurs éléments sélectionnables grâce à des multiplexeurs. .....	11
Figure 2.5 : Unité de délai simple. À gauche, les deux inverseurs sont schématisés. À droite, les transistors du circuit sont montrés.....	12
Figure 2.6 : Modes d'opération des transducteurs de type CMUT .....	17
Figure 3.1 : Architecture d'un bloc de délai dans ICVPMCMT .....	21
Figure 3.2 : Élément de délai dans ICVPMCMT.....	21
Figure 3.3 : Simulation de l'influence de $V_n$ sur le délai .....	23
Figure 3.4 : Évolution du rapport entre les bits avec une variation de $V_N$ .....	24
Figure 3.5 : Comparaison des délais avec et sans capacités parasites.....	24
Figure 3.6 : Influence de l'alimentation sur les délais .....	25
Figure 3.7 : Délai maximal d'un bloc de délai en fonction de $V_N$ .....	26
Figure 3.8 : Sensibilité du cycle efficace aux variations de $V_P$ .....	27
Figure.3.9 : Capture d'écran démontrant les variations standards des délais .....	28
Figure 3.10 : Plans formés par la puce en fonction des différentes valeurs de bits .....	29

Figure 3.11 : Diodes de protection dans la technologie AMS 0,35um HV.....	30
Figure 3.12 : Implémentation de l'étage de sortie dans ICVPMCMT (dimensions en microns, noms de transistors standard dans la librairie d'AMS 0.35µm HV).....	31
Figure 3.13 : Simulation d'un étage de sortie dans ICVPMCMT avec une charge de 50pF. Le signal UP est montré en rouge, la sortie en tension est en vert et le courant dans la charge est présenté en rose. ....	32
Figure 3.14 : Capture d'oscilloscope d'une sortie à haute tension. Le courant entrant dans la charge est montré en vert, la tension en bleu. ....	33
Figure 3.15 : Amplificateur de transimpédance dans ICVPMCMT .....	34
Figure 4.1 : Conversion de délai en tension .....	37
Figure 4.2 : Circuit de comparaison des tensions $V_{ref}$ et $V_{phase}$ .....	37
Figure 4.3 : Élément de délai dans ICVPMCM2 .....	38
Figure 4.4 : Simulation du bloc de délai dans ICVPMCM2 .....	39
Figure 4.5 : Vérification des délais et tension $V_{phase}$ produits par un bloc de délai dans ICVPMCM2 .....	40
Figure 4.6 : Gigue importante sur le signal à la sortie d'ICVPMCM2 .....	40
Figure 4.7 : Architecture de l'étage de sortie dans ICVPMCM2.....	42
Figure 4.8 : Convertisseur de niveaux 0/3,3V vers 0/VDDM dans ICVPMCM2 .....	43
Figure 4.9 : Convertisseur de niveaux 0/3,3 vers VDDM/VDDH .....	44
Figure 4.10 : Simulation du comportement de l'étage de sortie d'ICVPMCM2 .....	46
Figure 4.11 : Génération d'onde arbitraire avec ICVPMCM2.....	47
Figure 4.12 : Amplificateur de transimpédance basé sur un triplet d'inverseurs.....	48
Figure 4.13 : Gain et bande passante des quatre ATIs intégrés dans ICVPMCM2 .....	51
Figure 5.1: Arc-shaped delays in B-Mode imaging .....	54
Figure 5.2: Plane wave construction .....	54

Figure 5.3: Floor plan of the proposed IC .....	56
Figure 5.4: High voltage output stage's schematics.....	57
Figure 5.5: Voltage shifters. On the left, INH signal (0/3.3V logic) is shifted to VDDM/VDDH. On the right, INL (0/3.3V logic) is shifted to 0/VDDM. ....	57
Figure 5.6: High voltage output stage's layout .....	57
Figure 5.7: Multiplexing of the three fine delay elements. Dummy multiplexers (with x mark) were inserted for better matching. The overall delay is given by $D_{total} = N * delement +$ $dmux + doutput mux$ , where N is an integer set by the bit combination.....	59
Figure 5.8 : Inverter-based delay element .....	59
Figure 5.9: Voltage shifters. On the left, INH signal (0/3.3V logic) is shifted to VDDM/VDDH. On the right, INL (0/3.3V logic) is shifted to 0/VDDM. ....	60
Figure 5.10: Coarse delay's schematics .....	60
Figure 5.11: Control board's high-level schematics .....	61
Figure 5.12: Photograph of the microchip. The portion of the circuit presented in this paper is highlighted in red .....	61
Figure 5.13 : Average channel-to-channel delay when varying $V_N$ . Bit combinations are shown in: solid: 001, dots line: 010, dashes line: 011. ....	62
Figure 5.14 : Example of a custom waveform with 500pF load. Top waveform is the voltage output, bottom is the current entering the load.....	62
Figure 5.15 : Average channel-to-channel delay when varying the calibration pulse's length .....	64
Figure 5.16 : Measured delay variation between first and second output stages when varying the PMOS's gate voltage in the current sources shown in Figure 11. ....	64
Figure 5.17 : Delay at the $N^{th}$ output of the circuit with three combinations of bit 3 (dashes: 111111, solid: 101000, dots: 010100). MSB on the left is the sign bit, followed by the two calibrated delay and the three open-loop delay. Not all outputs were probed due to space constraint on the printed circuit board. ....	65
Figure 5.18: Digital-to-Time Converter's integral non-linearity (INL) from channel 0 to 15.....	66

Figure 6.1 : Schéma haut niveau d'ICEPMALCMT.....	69
Figure 6.2 : Circuit de sélection de l'ATI dans ICEPMALCMT.....	70
Figure 6.3 : Amplificateur de transimpédance dans ICEPMALCMT .....	70
Figure 6.4 : Bloc de réception dans ICEPMALCMT.....	71
Figure 6.5 : Placement des composantes du circuit de réception.....	72
Figure 6.6 : Simulation du gain et de la bande passante du module de réception dans ICEPMALCMT dans différents coins de la gaufre.....	74
Figure 6.7 : Circuit simulé sur la Figure 6.6 .....	74
Figure 6.8 : Réponse en fréquence l'amplificateur suiveur .....	75
Figure 6.9 : À gauche, comportement de la sortie de l'ATI. À droite, la sortie lorsque l'ATI et l'amplificateur suiveurs sont mis en série.....	76
Figure 6.10 : Vue simplifiée du système entourant ICEPMALCMT .....	77
Figure 6.11 : ICEMPALCMT reliée par fil d'or à un circuit imprimé à haute résolution plaqué d'or. Une pièce de un cent américaine montrée pour comparer la taille. ....	78
Figure 6.12 : Circuit de contrôle. En jaune : l'alimentation à découpage, en vert : régulateurs linéaires analogiques pour l'AFE5816, en rouge : les régulateurs linéaires pour ICEMPALCMT, en bleu : résistances programmables et régulateurs linéaires à haute tension. Note : certains éléments sont placés sous le ZEM5310 (son régulateur linéaire et les régulateurs pour les tensions d'alimentation numériques du CAN). ....	80
Figure 7.1 : Dessin des masques d'un bloc de délai. (Vert : bits 3 et 4, Jaune : logique et multiplexage des bits 3 et 4, Bleu : bits 0 à 2 et leurs multiplexeurs, Rouge : contrôle de la bidirectionnalité et flip-flops transportant les signaux En et Pol).....	84
Figure 7.2 : À gauche, montage sur plateau avec vis micrométrique. À droite, test avec transducteurs immergés.....	88
Figure 7.3 : Signal provenant du transducteur de réception (Émission et réception avec ICVPMCM2).....	89
Figure 7.4 : Agrandissement du signal de la Figure 7.4.....	89

## LISTE DES SIGLES ET ABRÉVIATIONS

ATI	Amplificateur de transimpédance
CAN	Convertisseur analogue numérique
CMOS	Semiconducteur d'oxyde de métal ( <i>Complementary metal oxide semiconductor</i> )
DLL	Boucle à verrouillage de délai ( <i>Delay-locked loop</i> )
FPGA	Matrice de portes programmables ( <i>Field programmable gate array</i> )
PLL	Boucle à verrouillage de phase ( <i>Phase-locked loop</i> )
VCO	Oscillateur contrôlée tension ( <i>Voltage-controlled oscillator</i> )

## CHAPITRE 1 INTRODUCTION

### 1.1 Imagerie par onde plane

L'imagerie ultrasonore est une méthode sécuritaire et abordable permettant d'imager en temps réel et in vivo les tissus biologiques. La technique d'échographie la plus connue, le mode B, permet d'obtenir une vue en coupe des tissus à partir des échos provenant des interfaces ayant des impédances acoustiques différentes. Dans un cadre médical, il est donc possible de distinguer différentes structures biologiques : os, tissus mous, cartilage, vaisseaux sanguins, etc. Plusieurs autres techniques permettent d'obtenir davantage d'informations comme la vitesse et localisation du flot sanguin ou la mesure de la dureté d'un tissu. Ces informations permettent aux professionnels de la santé de poser rapidement un diagnostic sur un large éventail de problèmes et conditions. Pour ces raisons, les échographes sont très présents dans les établissements de santé. Leur utilisation courante a motivé la recherche et l'industrie à proposer des solutions portables et de plus en plus performantes : augmentation de la fréquence d'acquisition, de la résolution, du contraste, réduction d'artéfacts, etc. Leur évolution se poursuit toujours et permettent par exemple l'imagerie tridimensionnelle.

Traditionnellement, les images sont formées ligne par ligne (voir Figure 1.1). Premièrement, les transducteurs émettent une onde de pression focalisée. En ajustant les délais entre les transducteurs à l'émission, il est possible de focaliser la pression à la profondeur souhaitée et à une position déterminée sur l'axe perpendiculaire aux transducteurs. L'écho provenant de cette onde de pression focalisée est ensuite enregistré, ce qui permet de former une ligne de l'image. Par la suite, une modification des délais permet de réajuster le focus lors d'une deuxième émission, qui viendra former la deuxième ligne de l'image. L'opération se poursuit jusqu'à la complétion de cette dernière. Former une image complète requiert donc des dizaines d'émissions.

Pour connaître la profondeur d'une structure, l'échographie se base sur le temps qu'a pris l'écho pour revenir à la source. Il faut compter l'aller et le retour de cette onde de pression à travers les tissus, et ce, à une vitesse moyenne de 1540 m/s. L'acquisition des échos doit donc durer suffisamment longtemps pour permettre à l'écho provenant de la structure la plus éloignée de revenir (12,9  $\mu$ s par centimètre de profondeur à imager). Lorsque l'image à former comporte des

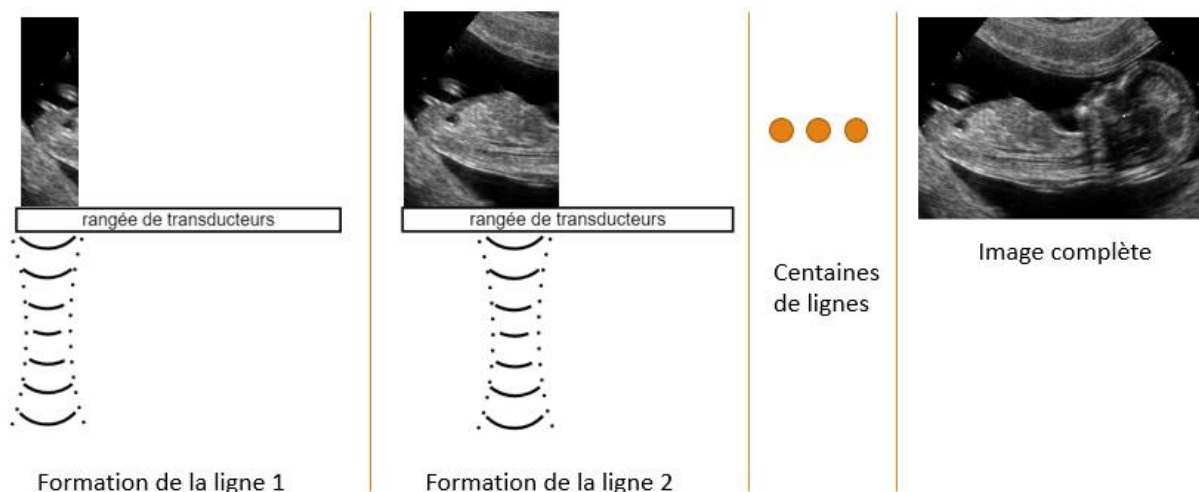


Figure 1.1 Formation d'image en mode B.

centaines de lignes de pixels (perpendiculaire aux transducteurs) à plusieurs profondeurs focales, la fréquence d'acquisition est rapidement limitée par le temps requis pour ces allers-retours.

L'imagerie par ouverture synthétique consiste quant à elle à émettre une onde à partir de chaque élément individuellement et enregistrer la réponse de tous les transducteurs à chacun de ses émetteurs. Il y aura donc autant d'émissions que de transducteurs. Par la suite, il est possible de faire le focus de façon matérielle ou logicielle [1] en appliquant des délais sur les signaux reçus et les sommant de manière à compenser pour le temps que prend un écho à arriver à chaque transducteur. En effet, lorsque que l'onde de pression atteint un élément dispersif dans le milieu à imager, l'écho retourne vers les transducteurs en se propageant de façon sphérique, le signal radiofréquence (RF) enregistré par ceux-ci sera donc hyperbolique. La reconstruction a donc comme objectif de transformer chaque hyperbole des signaux RF en un seul point [2]. Cependant, comme un seul élément est utilisé à la fois en émission pour l'imagerie par ouverture synthétique, l'énergie envoyée dans le milieu est faible et il en résulte un rapport signal sur bruit faible. Comme les signaux s'atténuent avec la profondeur, un rapport signal sur bruit faible au départ limite également la pénétration dans le milieu à imager. Pour résoudre ce problème, il est possible d'utiliser l'imagerie par onde plane. Cette technique consiste à envoyer une onde de pression à partir de tous les transducteurs à la fois et enregistrer les signaux d'échos avec tous les éléments de la matrice de transducteurs. Chaque élément de dispersion dans le milieu cause un écho sphérique, et le signal RF contient donc une parabole pour chacun d'eux. Pour reconstruire une ligne de l'image, des délais compensant l'arrivée des échos à un transducteur sont ajoutés à chaque signal.



Par la suite, les signaux de tous les transducteurs sont additionnés pour former la ligne correspondant à ce transducteur. Les différentes lignes sont ainsi formées en faisant varier le délai. Cette technique permet d'atteindre des fréquences d'acquisition très élevées, mais demande beaucoup de calculs. De fait, cette idée n'est pas nouvelle et remonte à une quarantaine d'années, mais ce n'est que récemment que les ordinateurs disponibles au grand public permettent d'atteindre les 50 Tflops nécessaires à l'imagerie ultrarapide par ondes planes en temps réel [3].

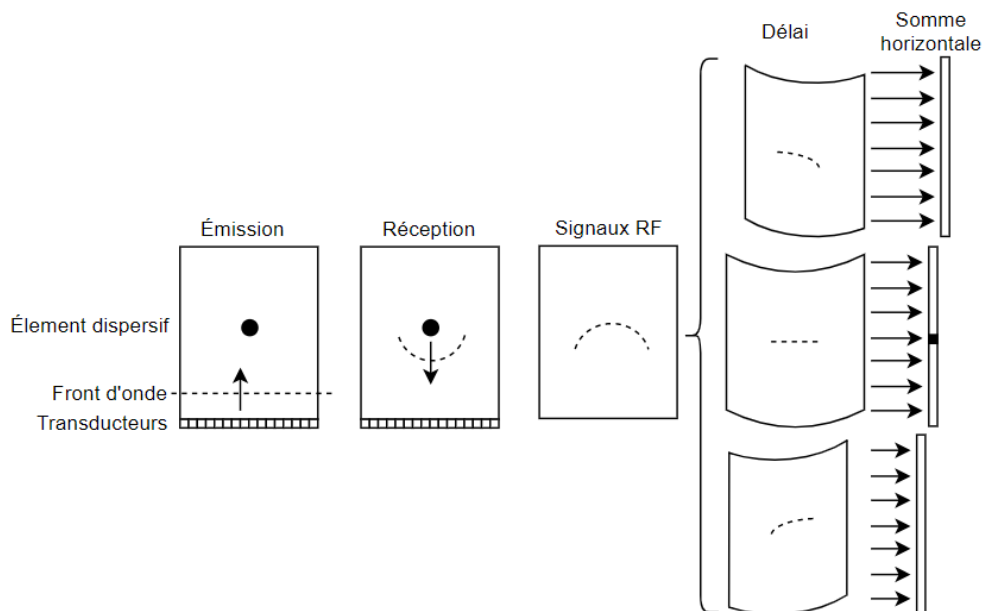


Figure 1.2 : Simplification de la méthode de reconstruction de l'imagerie par ondes planes

Cette méthode, bien que très rapide, entraîne une réduction du contraste par rapport à l'imagerie conventionnelle puisque l'énergie déposée dans le milieu pour chaque acquisition est plus faible. Pour compenser cette perte en qualité d'image, il est possible de former des images composées à partir de plusieurs acquisitions : lorsque la composition est cohérente, il y a augmentation de la résolution et lorsqu'incohérente, il y a réduction du bruit par moyennage de plusieurs signaux d'intensités. Les images composées apparaissent dès les années 80 et la recherche concerne surtout les images composées incohérentes, qui s'appuient sur l'intensité acoustique. Les images composées cohérentes, elles, utilisent plutôt la pression acoustique et l'addition est faite directement sur le signal (sans passer par l'enveloppe de celui-ci). Il a été démontré qu'avec l'imagerie composée cohérente, il est possible d'obtenir la même qualité d'image qu'avec les méthodes ligne par ligne avec une fréquence d'acquisition au moins dix fois supérieure [4].

## 1.2 Formation d'ondes planes

L'émission d'ondes planes ultrasonores passe par l'excitation de transducteurs convertissant l'énergie électrique provenant du circuit en énergie mécanique. L'onde mécanique d'un seul élément se propage de façon sphérique dans le milieu à imager. Or, les transducteurs étant placés côte à côte, leur excitation simultanée cause un front d'onde commun s'approchant d'un plan parallèle à la rangée de transducteurs. La qualité de ce front d'onde dépend de la longueur d'onde émise et de la distance entre les transducteurs. Une plus grande proximité et une fréquence plus basse approximent plus fidèlement un front d'onde parfait.

Pour faire pivoter ce front d'onde, il faut introduire un délai égal entre l'émission de chaque élément.

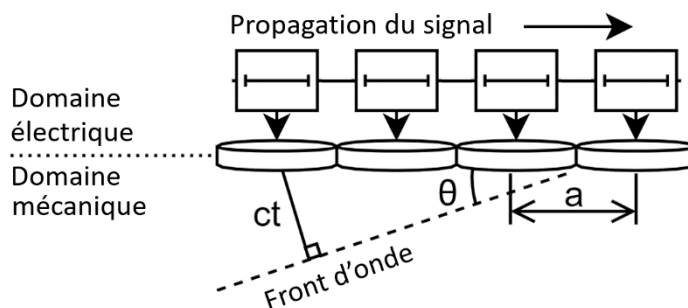


Figure 1.3 : Formation d'ondes plane à angles à partir d'insertion de délais entre l'émission des éléments.

L'angle résultant est fonction de la vitesse du son dans le milieu ( $c$ ), du pas entre deux transducteurs ( $a$ ) et du délai entre les émissions ( $t$ ). Cet angle est donné par :

$$\theta = \arcsin \frac{ct}{a} \quad (1)$$

Pour une sonde comprenant un vecteur de transducteurs donné, le pas est fixé. La vitesse du son étant déterminée par le milieu à imager, la seule variable contrôlable pour faire varier l'angle est le temps entre les émissions de chaque transducteur.

### 1.2.1.1 Valeurs de délai

Afin de bien cibler les requis en ce qui concerne les délais, il faut d'abord estimer le nombre et les valeurs des angles nécessaires à l'imagerie par ondes planes. Tel que mentionné plus tôt, il y a toujours un compromis à faire entre la fréquence d'acquisition et le nombre d'angles émis.

Plusieurs travaux de recherche visent ainsi à diminuer au minimum le nombre d'angles sans compromettre la qualité d'image (contraste, résolution). Toutefois, ce n'est pas une tâche simple : le nombre et les valeurs des angles dépendent également de la profondeur à imager, de l'espace entre deux transducteurs, de leur fréquence d'excitation, de leur nombre [5]. Par exemple, à 10 mm de profondeur, l'intensité reçue diminue de seulement 5 dB entre 0 et 45 °, mais chute de 27db entre 0 et 9 ° à 100 mm de profondeur [6]. Comme la puce développée dans le cadre de cette recherche vise à répondre à un maximum de besoins, une revue de littérature est nécessaire pour cerner les valeurs courantes. Ainsi, Montaldo, et al. [4] utilisent entre 5 (pas de 2°) et 45 angles (pas de 0,5 °) pour atteindre soit une fréquence d'acquisition élevée ou une qualité d'image semblable à un B-mode de quatre profondeurs focales (tout en restant dix fois plus rapide). Ils mentionnent également que le nombre minimal d'angles pour l'élastographie est 12. Pour l'imagerie fonctionnelle du cerveau, Mace, et al. [7] utilisent une plage d'angle de -7 ° à 8 °, avec un pas de 1°. Dans le cas d'imagerie avec microbulles, le contraste augmente linéairement avec la racine du nombre d'angles utilisés et le pas minimal entre les angles pour que les images soient indépendantes est de 0,5° [8]. Enfin, pour la microscopie par ultrasons, Errico, et al. [9] utilisent seulement trois angles, soient -3°, 0° et 3° pour générer leurs images composées. De ces quelques articles, il ressort que le système intégré devrait pouvoir générer des angles de -22° jusqu'à 22° en permettant un espacement de 0,5°.

Le pas entre les transducteurs est également très variable dans la littérature et les systèmes commerciaux. Idéalement, il faut que le pas soit inférieur à une demie longueur d'onde ( $\lambda/2$ ) pour ne pas former de lobes lors de la reconstruction, mais plusieurs systèmes utilisent un pas égal à une longueur d'onde, parfois plus. La fréquence centrale d'excitation varie également sur une plage importante en fonction de la profondeur à imager et de la résolution souhaitée. Traduire les angles en délai n'est donc pas aisé. Le tableau suivant donne quelques valeurs permettant d'analyser les besoins en délai en fonction du pas entre les transducteurs.

Tableau 2.1 : Exemples d'angles formés en fonction de l'espacement entre les transducteurs et le délai entre chaque canal

Délai (ns)	Angle formé		
	Pas de 75 microns (10 MHz @ $\lambda/2$ ou 20 MHz @ $\lambda$ )	Pas de 150 microns (5 MHz @ $\lambda/2$ ou 10 MHz @ $\lambda$ )	Pas de 300 microns (2.5 MHz @ $\lambda/2$ ou 5 MHz @ $\lambda$ )
1	1,2	0,6	0,3
2	2,4	1,2	0,6
5	5,9	2,8	1,5
10	11,8	5,9	2,9
20	2,4	11,8	5,9
60	-	38	17,9

### 1.3 Organisation du mémoire

Ce mémoire est organisé en huit chapitres, incluant cette introduction. Dans le prochain chapitre, une brève revue de la littérature permet de bien cerner les enjeux relatifs à l'implémentation du circuit intégré et les systèmes semblables sont évalués. Ensuite, dans le troisième chapitre, la première puce réalisée dans cette maîtrise est présentée. Le chapitre quatre détaille les travaux relatifs à la deuxième puce. Ces deux chapitres de travaux préliminaires sont séparés en trois sections présentant : ligne à délai, les étages de sortie et les ATIs. Pour chacune de ces composantes, l'architecture, l'implémentation et les résultats sont présentés. Le chapitre cinq est une reproduction de l'article scientifique soumis à la fin de ce projet, qui détaille la troisième et dernière puce conçue. Le chapitre six contient les notes et observations supplémentaires sur le système de réception de la puce et sur l'interface de contrôle et d'acquisition développés pour interagir avec le circuit intégré. Ensuite, le chapitre sept présente la discussion et les réflexions sur le travail effectué. Finalement, le dernier chapitre conclut le travail en rappelant les aspects importants de cette maîtrise et en posant quelques recommandations.

## CHAPITRE 2 REVUE DE LITTÉRATURE

Ce chapitre présente premièrement les méthodes conventionnelles de gestion de délais appareils d'imagerie ultrasonores. Ensuite, une nouvelle approche est proposée pour résoudre certains problèmes et défis. Par la suite, les autres éléments à intégrer sur la puce (étage de sortie et amplificateur) sont mis de l'avant et une brève description des meilleurs systèmes présents dans la littérature est faite. Finalement, les objectifs de cette maîtrise sont annoncés.

### 2.1 Méthodes de gestion des délais utilisées conventionnellement

Une recherche extensive a dû être réalisée pour déterminer quelles méthodes sont utilisées aujourd'hui pour gérer les délais de l'ordre de quelques nanosecondes requis par l'imagerie par ondes planes.

Dans la littérature, plusieurs exemples de circuits contrôlant l'émission d'ondes ultrasonores sont présentés. L'échographie étant très utilisée et présente depuis longtemps dans l'industrie, plusieurs systèmes commerciaux sont disponibles et leur mode de fonctionnement est bien connu. Bien entendu, l'histoire de l'échographie fait en sorte que la majorité des travaux ont un intérêt porté vers l'imagerie en mode B (ligne par ligne). Les délais requis pour ce type d'imagerie sont très différents de ceux de l'imagerie par ondes planes : pour focaliser l'énergie de l'onde de pression en une ligne ou un point, les transducteurs doivent être activés avec des délais formant un arc de cercle.

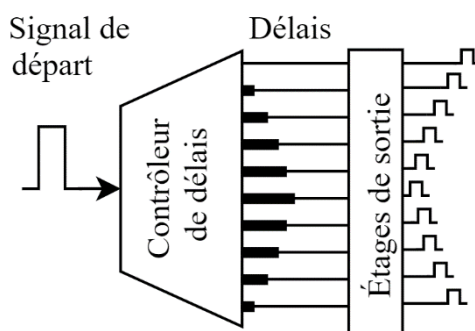


Figure 2.1 : Délais en arc de cercle requis par l'imagerie en mode B

Pour chaque ligne acquise, les délais doivent être reprogrammés. Il faut donc que chaque canal possède une mémoire programmable. L'imagerie par onde plane quant à elle emploie un délai égal entre chaque canal et pourrait donc être réalisée à partir d'un seul registre programmable.

Néanmoins, héritant de l'échographie conventionnelle, l'imagerie par onde plane utilise dans tous les cas trouvés une forme de mémoire pour chaque canal dans lequel sont programmés le délai et la forme de l'onde à émettre.

Plusieurs types de circuits sont proposés pour contrôler ces mémoires programmables. Le premier groupe utilise des FPGAs (matrices de portes programmables, ou *Field Programmable Gate Array*) pour générer un signal propre à chaque canal [10, 11]. Les signaux sont envoyés vers des puces spécialisées les convertissant en impulsions à haute tension. Cette approche est très facile à implémenter puisque les horloges internes des FPGAs peuvent atteindre des centaines de mégahertz et que les registres sont disponibles dans bibliothèques standards [12] et donc faciles à implémenter. Cependant, comme au moins un fil est nécessaire par canal, leur nombre de même que le nombre de puces externes deviennent rapidement importants à mesure que le nombre de canaux augmente. Une deuxième façon de commander individuellement les transducteurs est de fournir à un circuit intégré spécialisé une ou plusieurs horloges à haute fréquence créées sur un FPGA [13-15]. La solution intégrée la plus performante de ce type trouvée lors de cette revue de littérature est implémentée en 180nm et permet de former des impulsions de 32V avec une résolution temporelle de 5ns [13]. Cette approche diminue drastiquement le nombre de fils requis puisque leur nombre ne dépend pas du nombre de canaux. Le principal défi relié avec cette architecture est le transport d'une horloge à haute fréquence entre le FPGA et la sonde ultrasonore où se trouve la puce à haute tension. Une solution intermédiaire présentée par Dusa, et al. [16] en 2015 consiste en un circuit implémenté en UMC 130nm fonctionnant à 1,2 et 3,3V permettant d'introduire un délai aussi court que 1,25ns entre chaque canal d'émission. Une puce à haute tension est utilisée par la suite pour convertir les signaux en impulsions de plus grande amplitude. Pour atteindre cette performance, un oscillateur externe à 100 MHz commande une boucle à verrouillage de phase multipliant l'horloge à 800MHz. Cette puce étant placée très près des transducteurs, les problèmes reliés à haut transport de l'horloge sont allégés. En revanche, cette puce intermédiaire augmente le nombre de composants requis.

La nécessité d'utiliser des puces différentes pour la génération des délais et la conversion de niveaux logiques en haute tension provient du fait que l'intégration de sorties à haute tension sur puce limite la fréquence des mémoires utilisées. En effet, si les derniers nœuds technologiques permettent aux processeurs modernes de fonctionner à plusieurs gigahertz, les nœuds technologiques supportant des dizaines de volts sont plus anciens et donc limités en fréquence.

Utiliser une horloge près de la fréquence maximale permise par une technologie implique aussi souvent une consommation électrique élevée. Une question émerge de ces observations : quel est l'impact de la fréquence de l'horloge sur la qualité du front d'onde formé ?

À première vue, les angles possibles sont donnés par

$$\theta_{1,2\dots n} = \arcsin\left(\frac{a}{K*c*t_{horloge}}\right) \quad (2)$$

où  $K$  est un entier,  $a$  est le pas entre deux éléments,  $c$  la vitesse du son dans le milieu,  $t_{horloge}$  la période de l'horloge. L'utilisation de registres à décalage implique que le délai et la période de l'impulsion utilisent la même horloge. Pour cette raison, il n'est pas possible d'ajuster  $t_{horloge}$  sans influencer sur la fréquence d'émission du transducteur. Comme celle-ci doit être exacte, il faut faire un compromis sur la précision du délai. Ainsi, il faut de créer des angles intermédiaires entre les valeurs décrites par l'équation (2) en arrondissant à l'entier le plus près le nombre de coups d'horloge correspondant au délai nécessaire pour chaque canal. Ce partage de l'horloge cause inévitablement des erreurs d'interpolation lors de la génération des délais.

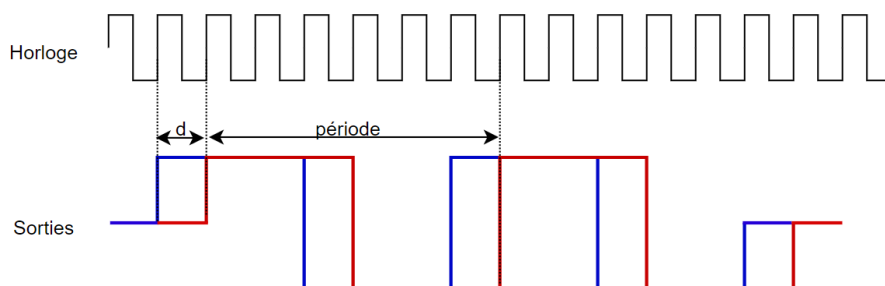


Figure 2.2 : Limitations provenant du partage de l'horloge dans un système de registre à décalage. La sortie en rouge ne peut être décalée que d'un nombre entier de coups d'horloge par rapport à la sortie en bleu.

Cette erreur sur les délais cause des artéfacts d'ombrage dans les images reconstruites à partir d'émission d'ondes planes et diminue donc le contraste, surtout lorsque la source de la réflexion de l'écho est peu profonde par rapport aux transducteurs [17]. Bo Stuart *et al.* ont ainsi démontré que la résolution kystique à 20dB peut être diminuée de plus d'un facteur deux lorsque les délais sont approximés. Lorsque la fréquence de l'horloge de contrôle est élevée (par exemple plus de 100MHz) et que la fréquence centrale des transducteurs est plus basse (tel que 5MHz), les erreurs de quantifications disparaissent pratiquement dans les applications utilisant des images composées

[18] et en échographie conventionnelle [19]. Il faut donc que l'horloge soit d'une fréquence beaucoup plus importante que l'émission pour résoudre ce problème provenant du fonctionnement des registres à décalage. Cette observation tient aussi pour les systèmes commerciaux : par exemple, l'outil de recherche Vantage™ de Verasonics utilise une horloge de 250MHz pour permettre une précision de 4ns sur les délais [20]. Les circuits intégrés tels que le HV7351 de Microchip Technologies© supportent une horloge de 200MHz pour gérer les délais[21]. Ce besoin rend ardue l'intégration du contrôleur de délais formant le front d'onde et les étages de sortie.

## 2.2 Approche proposée

Pour se libérer de la quantification des délais et permettre une intégration facile entre le générateur de front d'onde et les étages de sortie à haute tension, le projet propose de découpler la fréquence centrale d'émission et le délai entre chaque canal. À cette fin, une solution analogique est explorée, permettant de créer des délais très fins sans avoir besoin d'une horloge à haute fréquence.

D'autres travaux traitants de cette question ont déjà été publiés. Par exemple, Hatfield et Chai [19] ont conçu un circuit intégré dont le délai entre les canaux est régi par un registre, mais dont l'émission est réalisée grâce à un circuit monostable en boucle ouverte. Cette architecture est requise pour la programmation d'un délai différent pour chaque canal. Or, ce choix nécessite une boucle à délai verrouillée, qui est un circuit complexe, et un multiplexeur d'horloge 64 :1 pour chaque canal, ce qui peut consommer un espace considérable. Pour l'imagerie par onde plane, il est plus simple d'envoyer une impulsion à la puce, qui la transmet par la suite de canal en canal en insérant un délai entre chaque, grâce à une ligne à délai analogique.

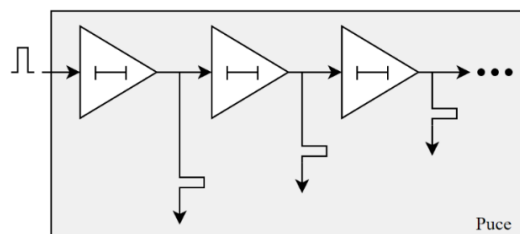


Figure 2.3 : Insertion de délais égaux entre chaque canal pour former une onde plane

### 2.2.1 Lignes à délai

Les lignes à délai sont très présentes dans les circuits électroniques. Elles sont utilisées dans les applications de mesure du temps, tel que des convertisseurs temps-numérique (lignes à délai



Vernier), ou dans les systèmes de génération, manipulation et redressement d'horloge comme les VCOs, les PLLs et les DLLs [22].

Les deux principaux défis concernant les lignes à délais analogiques en électronique intégrée sont la gigue et le compromis entre l'étendue, la résolution et la linéarité du délai [23]. Dans le cas présent, la gigue du signal ajoutera une incertitude sur l'angle du plan formé par la puce, pouvant être vu comme un bruit sur la valeur de l'angle. Les circuits CMOS étant capables de générer une gigue de seulement quelques dizaines de picosecondes [23], le bruit sur l'angle pourra être presque imperceptible sur un délai de plusieurs nanosecondes si la conception de la ligne à délai est conçue de façon le minimiser.

Le compromis entre étendue, résolution et linéarité doit être fait en choisissant l'architecture optimale pour cette application. Les lignes à délai peuvent être implémentées de façon à fournir une sortie unique ou multiple. Ici, comme chaque canal nécessite sa sortie, la ligne doit pouvoir en fournir plusieurs. De plus, puisque le délai entre chaque sortie doit pouvoir prendre un grand nombre de valeurs sur une large plage (32 valeurs sur 60ns par exemple), chaque bloc de délai devra lui-même être composé de plusieurs éléments de délais ajustables (voir Figure 2.4).

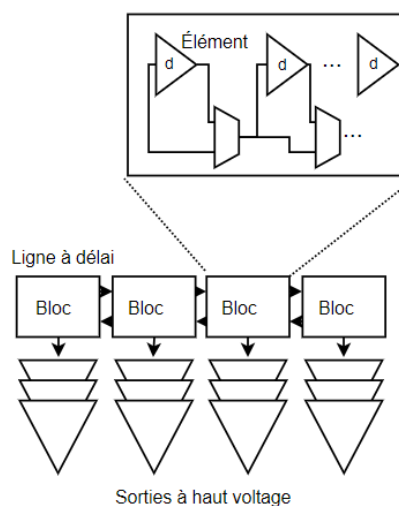


Figure 2.4 : Ligne, blocs et éléments de délai. Un bloc est requis pour chaque canal d'émission. Ce bloc est lui-même composé de plusieurs éléments sélectionnables grâce à des multiplexeurs.

## 2.2.2 Élément de délai

L'une des façons les plus simples d'introduire un délai dans un circuit est d'utiliser une source de courant et un condensateur. La charge de ce dernier est donnée par :

$$\frac{dV}{dt} = \frac{I}{C} \quad (3)$$

Deux méthodes sont populaires pour implémenter ce type de délai : l'inverseur limité en courant et l'inverseur à capacité court-circuitée. La première méthode utilise un courant variable pour charger une capacité fixe, tandis que la deuxième emploie un courant fixe avec une capacité variable. Comme les capacités variables en continu sont difficiles à implémenter en technologie CMOS, des condensateurs de poids binaires sont plutôt implémentés pour offrir plusieurs combinaisons de capacités [24, 25] et donc de délai. L'objectif de ce travail est de créer une ligne à délai variable en continu plutôt qu'offrant des valeurs discrètes, l'approche par inverseur limité en courant est donc plus adaptée.

Une méthode simple pour implémenter cet élément de délai est de placer un condensateur entre deux inverseurs ().

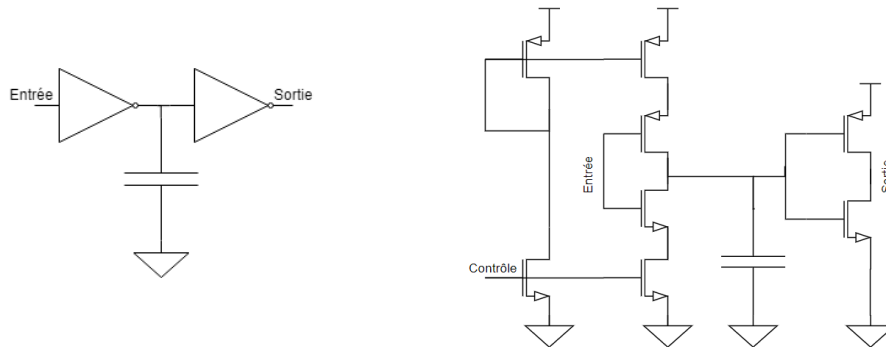


Figure 2.5 : Unité de délai simple. À gauche, les deux inverseurs sont schématisés. À droite, les transistors du circuit sont montrés.

Puisque les transistors MOS formant le premier inverseur sur la figure précédente agissent comme sources de courant lors de la transition, la capacité ne se charge pas immédiatement et suit l'équation (3). Lorsque la tension aux bornes de la capacité dépasse le seuil de transition du second inverseur, la sortie bascule et prend la valeur de l'entrée. La tension de polarisation *Contrôle* sur la Figure 2.5 permet d'ajuster le courant chargeant et déchargeant la capacité et donc de contrôler le

délai de l'élément. En utilisant un miroir de courant, les fronts montants et descendants du signal subissent le même délai, et le cycle efficace est conservé.

Pour augmenter le délai maximal sans affecter la taille d'un pas, il est possible de mettre en cascade plusieurs éléments identiques ou d'utiliser une combinaison d'éléments introduisant des délais différents [23]. L'appareillement des délais est plus facile à réaliser lorsque plusieurs copies du même élément sont implémentées pour former un délai plus long [24]. De plus, l'utilisation de plusieurs étages de délais plus courts permet d'augmenter la fréquence maximale du signal se propageant dans la ligne à délai [25]. En effet, un étage basé sur un principe d'inverseur ne peut pas transmettre une impulsion plus courte que son délai.

Il faut bien sûr tenir compte du fait que l'allongement d'une ligne à délai augmente la gigue à la sortie et qu'une mise en cascade importante peut ainsi dégrader la performance de la ligne à délai. Si la gigue de chacun des éléments est non corrélée, la gigue en sortie augmente avec la racine carrée du nombre d'étages utilisés dans la ligne à délai [23].

### **2.2.3 Erreur sur les délais**

Plusieurs phénomènes peuvent dégrader la performance de la ligne à délai et ses éléments. Les erreurs de conception ou de placement (utilisation de longueurs de traces différentes pour deux circuits devant produire le même délai par exemple) peuvent être limitées. En revanche, les variations lors de la fabrication, inévitables en circuits intégrés, sont la principale source de réduction de performances des lignes à délai [26]. Lors de la fabrication, deux types de défauts peuvent survenir, influençant le délai : les variations de procédés et les variations géométriques [27].

Les variations de procédés sont principalement dues à l'inégalité des dépôts de dopant ou aux variations d'épaisseur de l'oxyde formant la grille des transistors. Elles peuvent apparaître non seulement d'une gaufre de silicium à l'autre, mais également d'un « coin » à l'autre de celle-ci. Les gaufres peuvent en effet présenter un gradient de déposition pour une ou plusieurs couches. Ces variations de procédé affectent la vitesse et la consommation électrique du circuit en changeant la tension de seuil ou le courant de drain des transistors. Ceux-ci sont considérés comme lents lorsque leur tension de seuil est plus élevée. Lorsqu'ils sont dits rapides grâce à leur tension de seuil plus basse, le courant de drain augmente et la consommation aussi. Le tableau suivant présente

les coins pouvant être simulés pour estimer les impacts des variations de procédés et vérifier le bon fonctionnement du circuit dans les différents « coins ».

Tableau 2.1 : Pires coins dans les circuits intégrés

Coin	Transistor P	Transistors N
Pire vitesse	Lent	Lent
Pire consommation	Rapide	Rapide
Type 0	Rapide	Lent
Type 1	Lent	Rapide

Comme l'objectif principal du circuit est de pouvoir générer des délais précis, il faut tenir compte de la plage de valeur des délais après fabrication. En effet, il est impossible de prévoir dans quel « coin » le circuit sera fabriqué. Pour balancer cet effet, il est possible d'ajouter des points de polarisation externes ajustables à l'aide de jeu de résistances ou de potentiomètres. Une solution plus élégante est de générer sur puce des sources de courants et tensions invariables en procédé, température et tension d'alimentation (PVT) et de s'en servir comme référence.

L'autre type de défaut, dû aux variations géométriques, survient lorsque deux composantes (transistors, condensateurs ou résistances) ayant été conçues avec les mêmes dimensions ne sont pas identiques une fois fabriqués. Cela s'explique par des erreurs lors de l'alignement des masques de photolithographie, par de différentes vitesses de gravure, etc.

Une formule simple peut être employée pour estimer l'impact sur le délai des variations géométriques :

$$d = \frac{CV}{I} \quad (4)$$

$$\frac{\Delta d}{d} = \frac{\Delta C}{C} + \frac{\Delta V}{V} + \frac{\Delta I}{I} \quad (5)$$

$$\frac{\Delta d}{d} = \frac{0,45(\% * um)}{\sqrt{W_{cap}L_{cap}}} + \frac{0,022(\% * um)}{\sqrt{W_{inv2}L_{inv2}}} + \frac{1(\%um)}{\sqrt{W_{source}L_{source}}}$$

Où  $d$  est le délai introduit par l'élément,  $C$  est le condensateur formé avec du polysilicium (CPOLY),  $V$  est la tension à atteindre ( $V_{TH}=600mV$  pour un PMOS) et  $I$  est le courant provenant du premier inverseur agissant en source de courant (pire cas, PMOS). Les valeurs sont données

pour la technologie CMOS 0.35 $\mu\text{m}$  à haute tension d'AMS. L'erreur sur les délais provenant des défauts géométriques sera donc en fonction des dimensions des capacités et transistors placés en source de courant dans le circuit.

La méthode de simulation Monte-Carlo permet d'évaluer l'impact de ces variations géométriques en faisant varier aléatoirement les paramètres géométriques du design. Le principal inconvénient de cette technique est le temps requis pour obtenir des résultats statistiquement significatifs : des dizaines de simulations peuvent être nécessaires.

### **2.3 Autres éléments à intégrer sur puce**

Le générateur de front d'onde est indépendant du type de transducteur utilisé. Seul l'espacement entre les cellules d'émission/réception doit être connu pour la conception de ce module. En revanche, pour le reste de la puce, le type de transducteur devient important. En effet, plusieurs types de transducteurs existent et présentent des propriétés mécanoélectriques particulières.

Les transducteurs de type piézoélectrique sont bien connus en échographie et apparaissent dès les années 1950 [28]. Basés sur des céramiques, ces composés se déforment en présence d'un champ électrique. Lorsqu'une tension alternative est appliquée aux bornes d'un élément piézoélectrique, le transducteur émet dans son milieu une onde de pression à la fréquence commandée. Ces transducteurs sont très simples à fabriquer, étant constitués d'un seul bloc de matière.

D'un autre côté, les CMUTs (*capacitive micro-machined ultrasonic transducers*, ou transducteurs ultrasonores micro-machinés) sont plus récents et très prometteurs pour l'imagerie ultrasonore. Ces transducteurs sont formés de deux membranes (une rigide et l'autre flexible) séparées par un vide de moins d'un micron [29] connectées à des terminaux électriques. Ce montage forme un condensateur à plaques parallèles. Lorsqu'une tension électrique est appliquée entre les deux bornes, la force électrostatique amène la membrane flexible à se déformer en s'approchant la rigide. Une tension alternative appliquée à la fréquence de résonance du CMUT maximise l'amplitude de cette déformation. Il est possible d'augmenter la sensibilité de ces transducteurs en faisant s'effondrer la membrane grâce à un fort champ électrique continu [30, 31]. Ensuite, pour émettre une onde ultrasonore, une impulsion de plusieurs dizaines de volts doit être appliquée pour faire vibrer la membrane.

Les CMUTs présentent une bande passante plus large que les éléments piézoélectriques utilisés traditionnellement, ce qui améliore les résolutions axiales et latérales du système d'imagerie. Les CMUTs possèdent également une meilleure efficacité de transduction [32], c'est-à-dire que moins d'énergie est perdue lors de la conversion entre les domaines électriques et mécaniques. Finalement, leur fabrication peut être moins coûteuse tout en permettant une plus grande flexibilité. Les techniques de fabrication requises sont par ailleurs très près de celles utilisées par les technologies CMOS, ce qui facilite l'intégration des deux composantes [33]. Les meilleurs éléments piézoélectriques comme le titano-zirconate de plomb, au contraire, demandent des températures de déposition de plus de 600°C [34] et doivent donc être fabriqués séparément des circuits CMOS. Pour ces raisons, le circuit conçu dans le cadre de cette maîtrise sera ajusté pour remplir les besoins des CMUTs.

### 2.3.1 Étage de sortie

La charge électrique d'un élément CMUT est modélisée sous sa plus simple forme par un condensateur de quelques dizaines de picofarads (entre 0.09 et 40pF [35]) placé en parallèle avec une résistance [36] de plusieurs centaines de kilohms, bien que ces valeurs varient grandement dans la littérature en fonction de l'application. En effet, les éléments formant la sonde ultrasonore sont formés d'un nombre variable de cellules (CMUT individuel) en fonction de la sensibilité et la résolution recherchées. L'amplitude des tensions alternatives varie également en fonction de la distance entre les membranes, la rigidité de la membrane flexible, etc. Ces variations dans les paramètres rendent difficile la réalisation d'un étage de sortie compatible avec toutes les sondes ultrasonores disponibles.

Bien que la force électrostatique agisse dans une seule direction (rapprochant les membranes), il est plus efficace d'utiliser une excitation symétriquement (impulsion positive, puis négative) [33, 36, 37], à la fréquence de résonance de l'élément. Certains travaux vont même jusqu'à atteindre neuf niveaux pour mieux approximer une forme sinusoïdale [38]. Pour atteindre une puissance maximale lors de l'émission à partir de transducteurs de type CMUT, une stratégie consiste à placer une tension continue près du point d'effondrement. Lorsque la différence de potentiel est augmentée par la première partie de l'impulsion, le CMUT s'effondre rapidement. Ensuite, la deuxième partie de l'impulsion vient libérer la membrane, qui quitte son état effondré, en émettant un maximum de pression acoustique [37] (voir Figure 2.6).

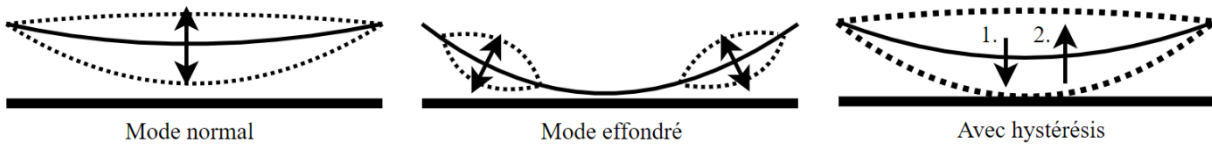


Figure 2.6 : Modes d'opération des transducteurs de type CMUT

### 2.3.2 Amplificateur de transimpédance

Le rôle de l'amplificateur de transimpédance est de convertir un signal de courant en signal de tension. En effet, les transducteurs utilisés en imagerie ultrasonore (soit piézoélectriques ou CMUTs) émettent un courant lorsqu'ils sont déformés sous une pression mécanique, comme au retour d'un écho. La vaste majorité des convertisseurs analogue-numérique (CAN) demandent en revanche un signal en tension à leur entrée, d'où le besoin de l'ATI.

La forme la plus simple de transimpédance est une résistance. De fait, simplement avec la loi d'Ohm, le courant sera converti en tension. Cependant, les transducteurs ne possèdent pas une impédance de sortie infinie comme une source de courant idéale : l'utilisation d'une résistance pour convertir le courant en tension peut ainsi faire diminuer l'amplitude du signal de sortie. De plus, la tension aux bornes du transducteur varierait directement avec la sortie en courant. L'amplificateur de transimpédance idéal possède une impédance d'entrée nulle, afin que tout le courant provenant de la source y pénètre. Pour y parvenir, plusieurs circuits actifs sont disponibles et détaillés dans la littérature. La majorité consiste en un amplificateur de tension à gain très élevé, dont la sortie et l'entrée sont connectées par un élément résistif [11, 39, 40]. La valeur du gain de l'ATI est donnée directement par la résistance de l'élément de rétroaction et l'impédance d'entrée devient cette valeur divisée par le gain en boucle ouverte de l'amplificateur de tension.

Comme mentionné en 2.3.1, les paramètres électriques des CMUTs varient considérablement. S'il est possible de surdimensionner l'étage de sortie afin qu'il soit compatible avec plus de géométries et agencements de CMUTs, le circuit de réception est beaucoup plus sensible. En effet, il faut s'assurer d'une grande sensibilité (gain) pour maximiser le signal reçu, sans jamais saturer un étage de la chaîne d'acquisition. Pour cette raison, les ATIs sont généralement conçus pour une matrice de CMUT spécifique [35, 39]. D'autres utilisent un gain variable [11, 41, 42], ce qui leur permet en plus de compenser pour la perte de signal due à l'absorption dans les tissus. Cependant, ces circuits sont plus complexes et difficiles à implémenter.

## 2.4 Objectifs

Cette maîtrise peut être séparée en quatre objectifs distincts. Premièrement, il faudra implémenter sur puce un système générant les signaux nécessaires à la formation d'ondes planes basé sur le principe de ligne à délai. Celle-ci devra être bidirectionnelle pour pouvoir former des ondes dont l'angle est soit positif, ou négatif. Pour s'adapter aux différentes configurations de transducteurs, les blocs de délai devront être ajustables de façon analogique. Pour faciliter l'intégration avec les circuits numériques, 32 valeurs devront pouvoir être formées via cinq bits de contrôle. Deuxièmement, le prototype conçu avec le procédé CMOS d'AMS 0.35 $\mu\text{m}$  à haute tension devra intégrer les étages de sorties à haute tension nécessaires pour commander des transducteurs de type CMUT. L'amplitude des sorties à haute tension devra atteindre 40V ou +/-20V pour profiter des tensions permises par la technologie.

Pour faciliter l'intégration avec des vecteurs de transducteurs comprenant des dizaines d'éléments, la puce devra comprendre un maximum de canaux et pouvoir être mise en chaîne. Troisièmement, la puce devra inclure les amplificateurs de transimpédance nécessaires à la conversion en tension du courant provenant des transducteurs. Comme le gain, bande passante et autres caractéristiques électriques nécessaires au design final ne sont pas connues, le système de réception fera office de preuve de concept. Quatrièmement, une interface usager devra être conçue pour permettre de contrôler la puce et d'acquérir les signaux électriques provenant de la sortie des amplificateurs de transimpédance.



## CHAPITRE 3 PREMIÈRE ITÉRATION – ICVPMCMT

Ce chapitre détaille la conception de la première puce, dont l'identifiant est ICVPMCMT. Cette présentation se fait en trois parties, c'est-à-dire la ligne à délai, les étages de sortie à haute tension ainsi que les amplificateurs de transimpédance. Chacune de ces trois sections est subdivisée en trois. D'abord, l'architecture est présentée pour montrer le fonctionnement général du module. Ensuite, les transistors et composants passives (résistances et condensateurs) sont dimensionnés dans la section sur l'implémentation à l'aide de calculs et simulations. Après, les simulations du module complet et les mesures post-fabrication sont comparées dans la section des résultats. Finalement, suivant les détails des trois modules, une réflexion critique sur la puce terminera le chapitre.

### 3.1 Présentation générale de la première puce

L'objectif principal de la fabrication de la première puce n'était pas d'atteindre les meilleures performances ou de trouver la topologie parfaite pour l'application, mais plutôt de permettre d'explorer et traverser une première fois toutes les nombreuses et délicates étapes de conception d'un circuit intégré. Il a été établi au tout début de la maîtrise que le circuit allait être fabriqué dans la technologie d'AMS 0,35 $\mu$ m HV puisque cette technologie présente un bon compromis entre vitesse et support pour les hautes tensions. De plus, cette technologie était alors subventionnée par CMC Microsystems. Une ronde de fabrication était disponible le 18 octobre 2017. Comme il n'y a que quelques (typiquement deux) rondes de fabrication par année, un premier essai a été soumis à cette date. Le début de cette maîtrise étant le 4 septembre, un peu plus d'un mois a été disponible pour se familiariser avec l'échographie par ondes planes, la conception de circuits intégrés et la suite logicielle Cadence ainsi que pour dessiner les masques de la puce. Il va sans dire que les erreurs étaient possibles, tant en ce qui a trait aux choix d'architectures qu'à l'implémentation des circuits. Néanmoins, cette première version a permis de fabriquer une puce suffisamment fonctionnelle pour en retirer des apprentissages et produire les versions subséquentes.

La puce intègre ainsi six canaux d'émission à haute tension avec leur ligne à délai correspondante et quatre amplificateurs de transimpédance multiplexés dans une sortie. Plusieurs blocs de tests permettent également de tester des copies des sous-modules.

## 3.2 Ligne à délai

L'architecture choisie permet de transporter un seul bit. Or, l'étage de sortie pouvant prendre trois valeurs (-20, 0 ou 20V), deux bits sont nécessaires pour décrire un état. Ainsi, deux lignes à délai identiques sont utilisées en parallèle dans ICVMPCMT pour propager les signaux UP et DN. La sortie de l'étage à haute tension commandera une impulsion négative ou positive si DN ou UP sont actifs respectivement.

Chacune de ces lignes à délai bidirectionnelles est composée de blocs de délai (un par canal d'émission). Chacun de ces blocs de délai est connecté à un étage de sortie et est lui-même formé d'éléments de délais (identifiés par des  $d$  dans la Figure 2.4). Cette hiérarchie (la logique est simplifiée dans la figure) est importante pour bien comprendre les sections qui suivent.

### 3.2.1 Architecture

Il a été mentionné plus tôt que les angles formés doivent s'étendre de  $[-\theta, +\theta]$ . Pour cela, la ligne à délai doit être bidirectionnelle afin que le signal puisse se propager à partir de n'importe quel côté de la puce vers l'autre. Cette ligne à délai s'inspire des travaux de Yang [43].

Pour simplifier l'implémentation, chaque bloc de délai possède à son entrée une porte logique OU (Figure 3.1). Ainsi, peu importe si le signal arrive du bloc précédent (entrée A) ou suivant (entrée B), il sera propagé dans celui-ci. À la sortie du bloc, un bit de direction (Dir) est employé pour que le signal sorte du bloc sur A\_d ou B\_d (voir Figure 3.1). Le signal C est commun à tous les blocs et permet d'envoyer un signal à tous les étages de sortie et permet d'obtenir une impulsion simultanée sur tous les canaux d'émission, formant un front d'onde d'angle nul.

À l'intérieur du bloc, les éléments de délai à croissance géométrique D0, D1 et D2 sont sélectionnés par trois bits. Cette architecture est donc mixte : les tensions de contrôle  $V_N$  et  $V_P$  (voir Figure 3.2) peuvent ajuster l'étendue de chaque bloc de délai et Sel<sub>0-2</sub> permettent de sélectionner quels éléments sont actifs.

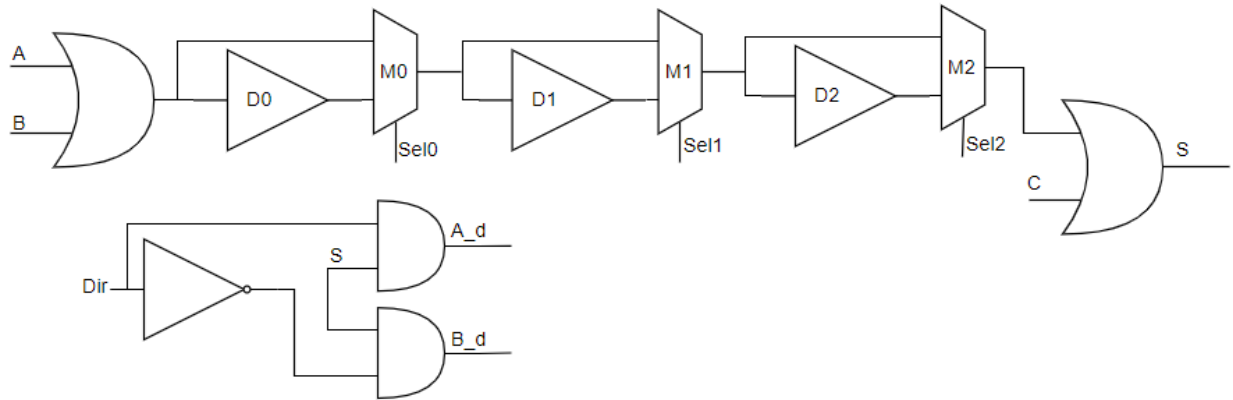


Figure 3.1 : Architecture d'un bloc de délai dans ICVPMCMT

### 3.2.2 Implémentation

Les éléments de délai sont constitués de deux inverseurs, dont le premier est limité en courant, ainsi que d'une capacité. Afin de pouvoir générer huit délais différents à partir d'un nombre minimal de signaux digitaux, les capacités sont ajustées pour avoir un poids binaire et donc de former respectivement des délais de 1 ns, 2 ns et 4 ns.

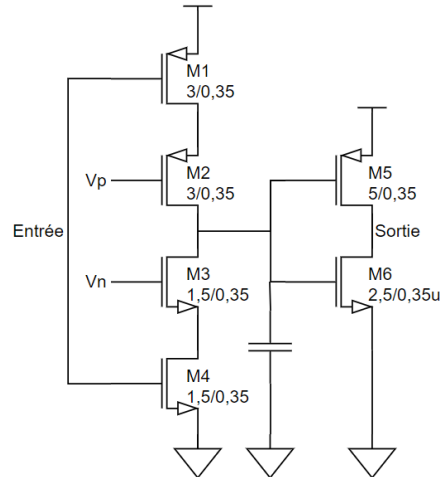


Figure 3.2 : Élément de délai dans ICVPMCMT

L'entrée est placée sur les grilles des transistors près de l'alimentation ( $M_{1,4}$ ). Cela permet d'amener le plus rapidement possible les tensions des sources de  $M_{2,3}$  aux alimentations et ainsi de polariser ceux-ci en source de courant. Les points de polarisation  $V_P$  et  $V_N$  sont contrôlés par une tension externe à la puce et permettent d'ajuster indépendamment le retard sur la montée ou la

descente du signal. Les simulations ont permis de fixer les valeurs des condensateurs à 50fF, 160fF et 245fF afin que leurs délais respectent les poids géométriques binaires visés.

Déjà, il est possible d'observer plusieurs problèmes avec ce design. Ces problèmes n'étaient pas connus par manque d'expérience lors de la conception de la première puce. D'abord, tous les transistors utilisent la longueur minimale permise par la technologie, soit  $0,35\mu\text{m}$ . Bien que ce choix a été fait pour diminuer la taille du design, il est peu recommandable, car plus les détails sont fins en fabrication, plus l'erreur relative est importante. Cela aura pour effet de créer des délais de durées dépareillés en fonction de l'erreur sur la largeur et longueur du canal des transistors  $M_{2,3}$ . Ensuite, les paires de transistors  $M_{1,2}$  et  $M_{3,4}$  possèdent les mêmes dimensions. Il aurait été préférable d'augmenter le ratio largeur/longueur des transistors  $M_{1,4}$  afin qu'ils ne puissent pas limiter eux aussi le courant chargeant la capacité du nœud médian. Enfin, c'est une meilleure pratique d'implémenter des condensateurs de capacités variées en utilisant des multiples d'un condensateur de taille unitaire. Cela maximise l'appariement des condensateurs lors de la fabrication et donc limite les erreurs sur le délai.

Un autre désavantage apparaît lorsque des délais plus longs sont produits à l'aide d'un inverseur plus lent plutôt que la mise en série de plusieurs inverseurs de taille unitaire. En effet, la durée de l'impulsion se propageant dans l'inverseur doit être supérieure à la durée du délai pour ne pas disparaître. Si le signal à la sortie n'a pas encore basculé et que l'entrée change à nouveau de valeur, aucun changement ne se produira sur la sortie. Comme les condensateurs sont ajustés pour engendrer un délai de 1 ns, 2 ns et 4 ns respectivement, la période minimale du signal dépend de quel élément de délai est utilisé. Toutefois, le système pourra supporter des fréquences élevées puisque même l'élément de délai le plus long permet en théorie de propager des signaux d'une période de 8ns, soit 125MHz. Ce problème pourra devenir important si cette architecture est mise à l'échelle pour créer des délais de plusieurs dizaines de nanosecondes.

### **3.2.3 Résultats**

#### **3.2.3.1 Simulations**

La majorité des simulations de délai présentées dans cette section démontrent les résultats pour une variation de  $V_N$  seulement, les résultats pour  $V_P$  étant très similaires. Bien entendu, il faut appairer les deux tensions de polarisation pour éviter que le cycle efficace du signal ne varie.

La première étape consiste à vérifier que les points de polarisation  $V_N$  et  $V_P$  permettent de couvrir une plage de délais assez grande pour qu'il ne soit pas nécessaire d'interpoler les délais. Pour cela, il faut que le délai pour une sélection de bits donnée puisse être doublé en ajustant la tension analogique externe, créant un chevauchement dans les délais créés par chaque bit. Il est également important que  $d\text{Délai}/dV$  ne soit pas trop grand. En gardant ce rapport plus petit, le bruit sur les tensions de polarisation ne causera pas de gigue importante sur la sortie. La prochaine figure montre le délai engendré par chaque bit avec une variation de  $V_N$ . La plage utile se situe entre  $1,2 < V_N < 3,3V$  et permet de faire varier le délai entre 1,1 et 3,1ns pour le bit le moins significatif. Cette figure montre également un chevauchement de la valeur des délais pour différentes combinaisons de bits.

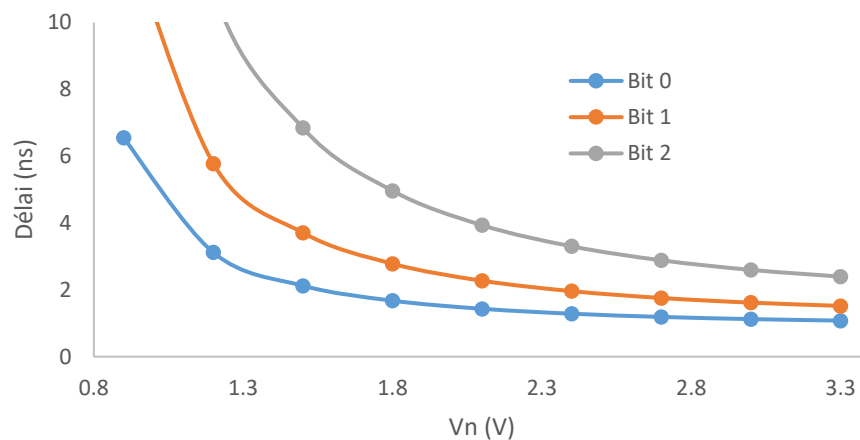


Figure 3.3 : Simulation de l'influence de  $V_N$  sur le délai

La relation entre les bits doit aussi suivre une croissance géométrique, c'est-à-dire que les délais des bits 0, 1 et 2 doivent avoir un rapport de 1, 2 et 4. La prochaine figure démontre le comportement de ce rapport en fonction de la polarisation  $V_N$ .

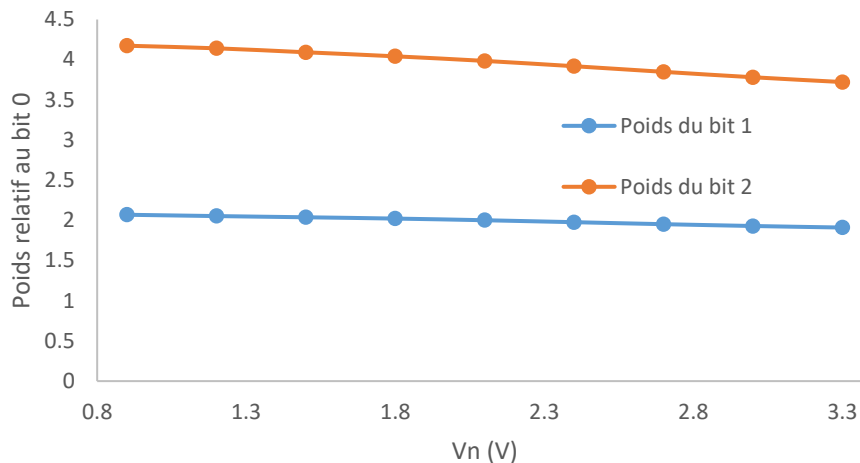


Figure 3.4 : Évolution du rapport entre les bits avec une variation de  $V_N$

Pour des tensions de polarisation fixes, les différentes combinaisons de bits permettent à l'utilisateur de changer rapidement le délai introduit entre chaque canal. Le graphique suivant montre le délai avec et sans les valeurs des résistances et capacités parasites simulées après le placement des composants.

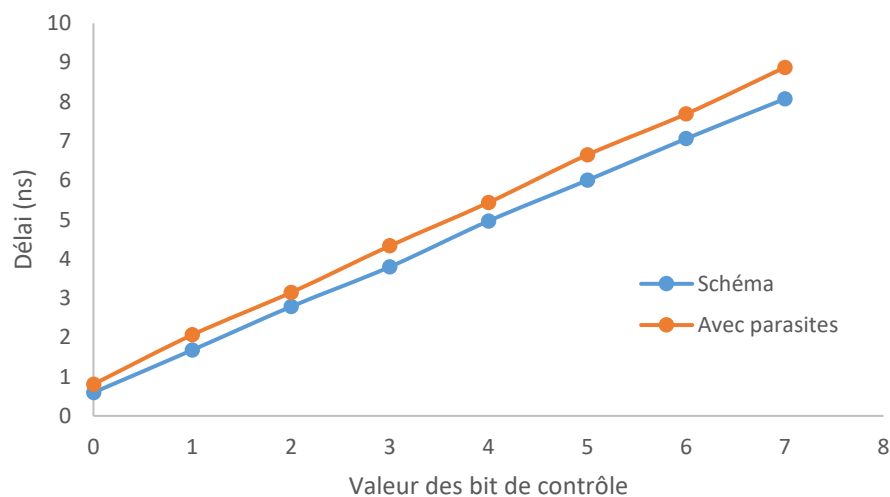


Figure 3.5 : Comparaison des délais avec et sans capacités parasites

Ensuite, il est important de vérifier comment se comportent les éléments de délais lorsque la tension d'alimentation est modifiée. Deux simulations sont réalisées : la première générant  $V_N$  avec un diviseur de tension (ou potentiomètre), c'est-à-dire que sa valeur sera également modifiée par une variation de la tension d'alimentation. La deuxième simulation maintient la valeur de  $V_N$  fixe.

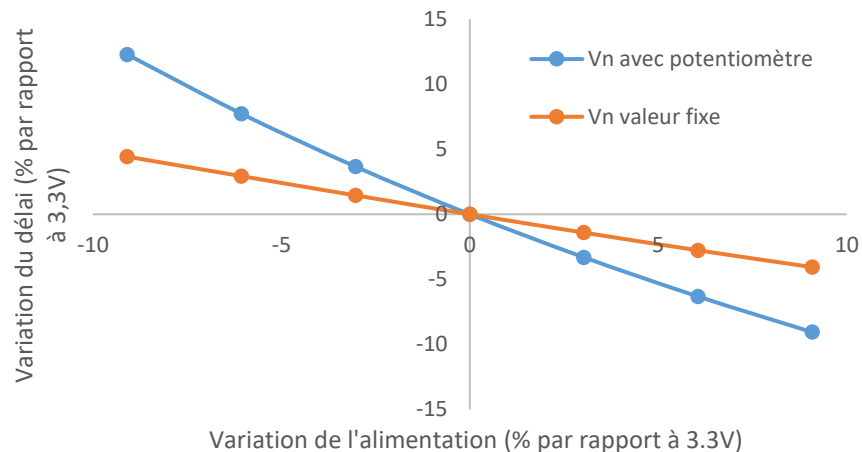


Figure 3.6 : Influence de l'alimentation sur les délais

La ligne à délai pouvant être vue comme un convertisseur numérique-temps, ses performances sont résumées dans le tableau suivant. Pour ces tests,  $V_N$  est fixé à 1,8V (à moins que sa valeur soit explicitement mentionnée). Les mesures sont faites à partir de simulations avec extraction des parasites (résistances et capacités). Comme le gain est ajustable à partir de  $V_N$  et  $V_P$ , il n'est pas possible de déterminer l'erreur de gain et l'erreur pleine échelle.

Tableau 3.1 : Performance de la ligne à délai dans ICVPMCMT

Paramètre	Performance simulée (post-placement)
Résolution	3 bits
Plage de sortie	0,8-11,7ns @ $V_n = 1,5V$
	0,8-4ns @ $V_n = 3,3V$
Erreur pleine échelle	N/A
Erreur de gain	N/A
Erreur de décalage	+0,7 BMS
Erreur de non-linéarité différentielle	0,1 BMS
Erreur de non-linéarité intégrale	0,09 BMS
Réjection de l'alimentation ( $V_N$ fixe)	-6.7dB
Jigue	Non simulée

### 3.2.3.1 Tests

La majorité des tests sont réalisés à l'aide d'un oscilloscope MDO4104-6 de Tektronix à quatre canaux. Les mesures des délais sont faites à partir de l'outil de mesure intégré permettant de voir la moyenne du délai entre deux signaux pour les quelques dernières secondes. À chaque mesure, les signaux sont générés, puis la moyenne est réinitialisée. Après quelques secondes, la mesure est notée.

La première étape est de vérifier la relation entre la tension de polarisation  $V_N$  est le délai induit. Pour bien illustrer ce rapport, les trois bits sont actifs et le délai entre les sorties du premier et deuxième étage de sortie est mesuré.

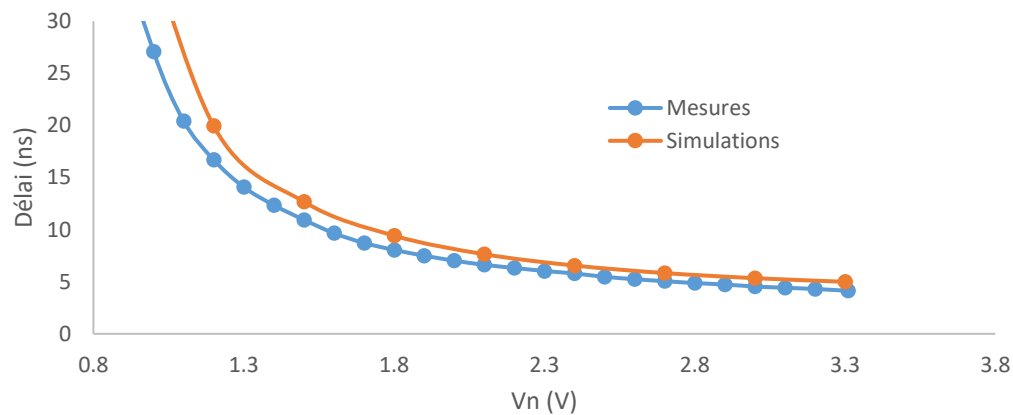


Figure 3.7 : Délai maximal d'un bloc de délai en fonction de  $V_N$

Les résultats de ce test concordent avec les simulations, bien que les mesures sur l'oscilloscope montrent un délai légèrement plus court.

Le prochain graphique montre la sensibilité du cycle efficace aux valeurs de  $V_N$  et  $V_P$  sur un seul bloc de délai, pour un  $V_N$  fixe à 1,6V et un cycle efficace à l'entrée de 50% à 20MHz. Une modification du cycle efficace mène à une déformation de l'impulsion et est donc indésirable.



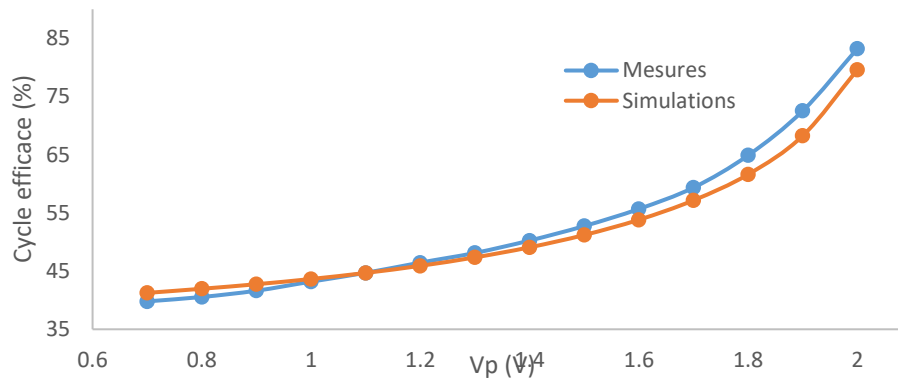


Figure 3.8 : Sensibilité du cycle efficace aux variations de  $V_p$

Les résultats de mesure et de simulation démontrent que pour respecter une plage de cycle efficace de moins de 5% (45 à 55%), la tension  $V_p$  doit être située entre 1,1 et 1,6V. En effet, chaque bloc modifie le cycle efficace puisqu'il introduit des délais différents sur les fronts montants et descendants. Ainsi, l'effet sera de plus en plus marqué à mesure que le signal traverse la puce : l'impulsion sera allongée ou réduite d'un certain temps à chaque bloc.

Pour que le cycle efficace à la sortie des cinq blocs de délais de la puce soit situé entre 45 et 55%, il faut que chaque bloc introduise une différence de moins de 0,5ns (49 à 51%) à 20MHz. Sur le graphique précédent, cela correspond à une plage de tension de 99,5mV centrée à 1,449V. Il est relativement facile d'ajuster un potentiomètre pour satisfaire cette plage. À fréquences d'excitation plus faibles, il devient encore plus aisé de respecter cette condition, puisque la différence de délais entre les fronts montants et descendants devient de plus en plus petite par rapport à la durée de l'impulsion.

Le prochain test concerne la mesure de la gigue à la sortie. Pour observer le pire cas, les trois unités de délais sont utilisées et la tension  $V_N$  est gardée à une valeur de 1,6V. Les déviations standards du délai entre quatre étages de sortie, soit 76, 160 et 131ps, démontrent une variation de moins d'un pour cent sur le délai total. Ce bruit est acceptable pour un tel système.

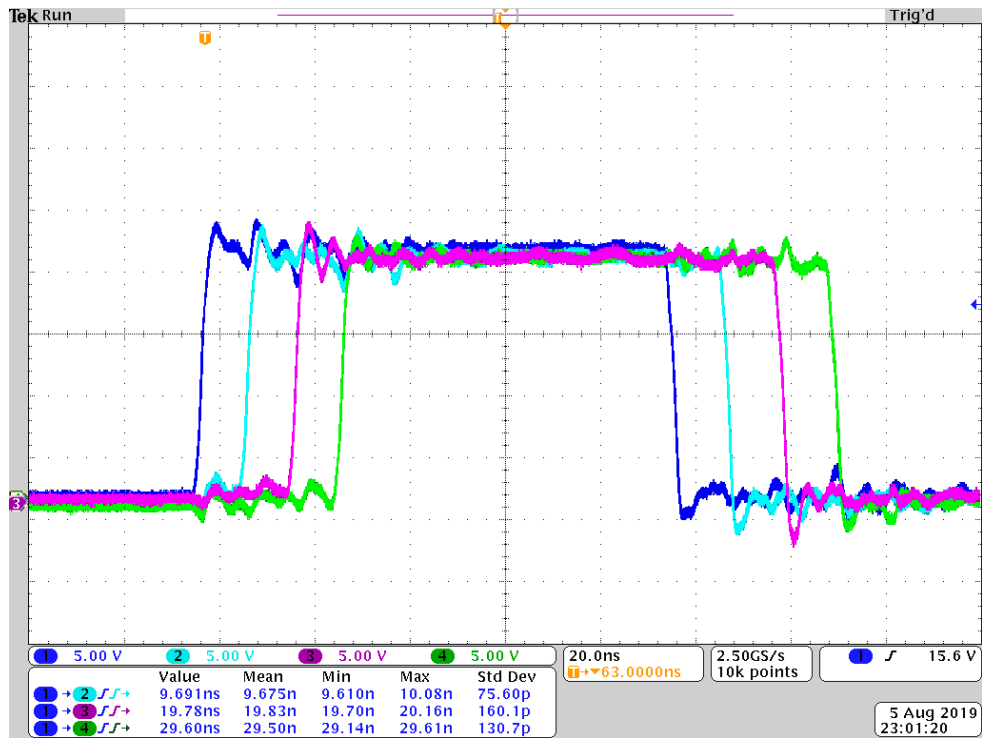


Figure.3.9 : Capture d'écran démontrant les variations standards des délais

Le dernier graphique de cette section démontre les délais entre les sorties de la puce pour toutes les combinaisons de bits. Les valeurs  $\pm 0$  sont différentes : bien qu'aucun élément de délai ne soit utilisé, il y a tout de même un délai dans la logique et les multiplexeurs.

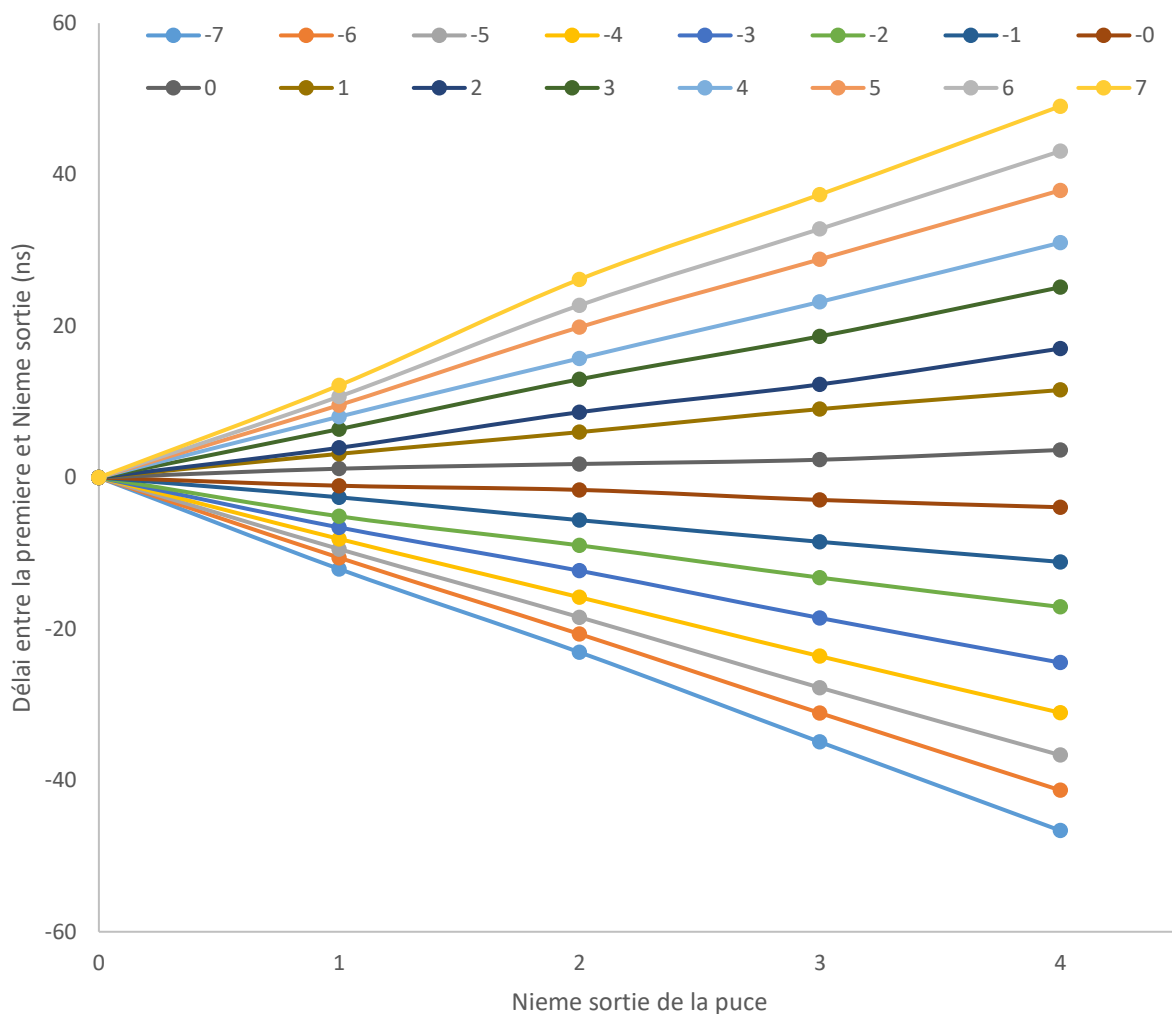


Figure 3.10 : Plans formés par la puce en fonction des différentes valeurs de bits

Bien que les fronts d'onde formés soient relativement plats, l'espace entre les délais formés pour chaque bit varie davantage. Cela est dû aux éléments de délai non unitaires (condensateurs de 50, 160 et 245fF) et devra être amélioré dans les designs suivants.

### 3.3 Étage de sortie

L'étage de sortie d'ICVPMCMT est conçu pour avoir trois niveaux, c'est-à-dire  $-20/0/+20$  V. Cependant, une erreur dans la compréhension des diodes de protection empêche le fonctionnement prévu. Dans les transistors isolés à basse tension, le puits profond N (DNTUB) est polarisé séparément du corps (RPTUB) (voir Figure 3.11). Ainsi, il est possible de fixer DNTUB à 0V, comme le substrat, et d'avoir un corps à une tension négative. Un convertisseur de niveau a donc été conçu pour passer de  $0/+3.3$ V à  $0/-20$ V. En revanche, dans les transistors isolés à haute tension, le DNTUB forme le drain du transistor. Si une tension négative est appliquée au drain, un large courant entre celui-ci et le substrat causera potentiellement la destruction du circuit. Il n'est donc pas possible d'utiliser les transistors à haute tension de la librairie standard pour des tensions négatives.

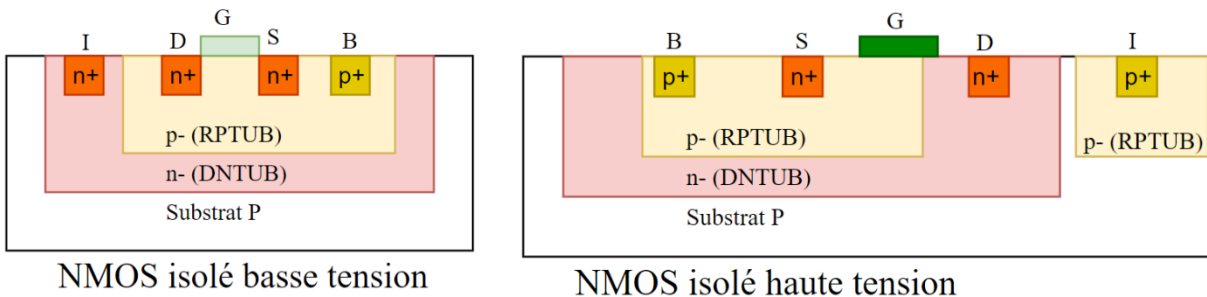


Figure 3.11 : Diodes de protection dans la technologie AMS 0,35um HV

Cette erreur a des répercussions importantes sur le fonctionnement de la puce, limitant celle-ci à des impulsions de  $0/+20$ V seulement et éliminant complètement la partie responsable des émissions d'impulsions négatives. L'architecture du convertisseur de niveau négatif et son étage de sortie ne seront pas présentés puisqu'il est impossible de les faire fonctionner.

#### 3.3.1 Architecture et implémentation

Les sections « Architecture » et « Implémentation » ont ici été jointes puisque les simulations menant à l'optimisation ne sont pas montrées.

Tout d'abord, avant de les transformer en signaux à haute tension, il faut s'assurer qu'UP et DN ne soient jamais actifs en même temps, sans quoi il y aura un court-circuit important dans la branche de sortie. Ainsi, deux portes logiques permettent au signal de passer seulement si l'autre est inactif (non montrées sur la Figure 3.12).

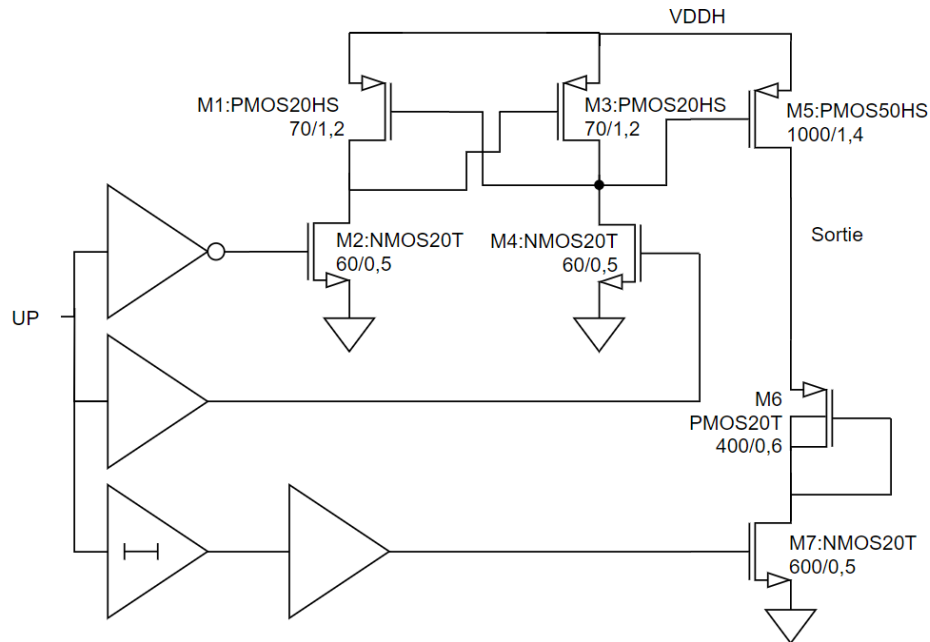


Figure 3.12 : Implémentation de l'étage de sortie dans ICVPMCMCMT (dimensions en microns, noms de transistors standard dans la librairie d'AMS 0.35 $\mu$ m HV)

La figure précédente montre l'implémentation de l'étage de sortie à haute tension. Premièrement, le signal UP et son complément sont utilisés pour commander les branches du convertisseur de niveaux formé par les transistors à haute tension  $M_{1-4}$ . Ce convertisseur de niveau est simple et efficace : la topologie croisée fait en sorte qu'il y a toujours un des NMOS qui n'est pas en conduction, ce qui amène son drain à VDDH. Cela cause donc un arrêt du flot du courant dans l'autre branche, puisque le PMOS qui l'alimente est alors désactivé. La sortie du convertisseur de niveau sera donc soit de 0 ou VDDH (20V). Ce signal peut alors commander la grille de M5.

Lorsqu'il est possible, il est préférable de ne pas utiliser de transistors dont le nom termine par H ou HS, signifiant que leur grille peut supporter une tension par rapport à la source de 20V. En effet, ces transistors possèdent un canal plus long et doivent donc être beaucoup plus larges pour compenser cette augmentation. Il faut privilégier les transistors identifiés par la lettre T, qui supportent une tension grille-source maximale de 3,3V et qui sont beaucoup plus petits. Pour commander le transistor M7, seulement 3,3V sont nécessaires, mais il faut ajouter un élément de délai ajoutant quelques nanosecondes pour que le signal arrive en même temps que celui commandant M5.

### 3.3.2 Résultats

#### 3.3.2.1 Simulations

Pour dimensionner les transistors de ce circuit, il faut d'abord déterminer la charge placée en sortie et la fréquence cible à laquelle le circuit doit pouvoir opérer. Au début de cette maîtrise, un autre étudiant du groupe de recherche avait pour mandat de concevoir et fabriquer des transducteurs de type CMUT. C'est selon les dimensions de son design que la charge a été estimée, en approximant les CMUTs comme des condensateurs à plaques parallèles. La charge capacitive a été estimée à 30pF, ce qui est similaire aux valeurs trouvées dans la littérature. Afin d'atteindre une fréquence de 25MHz, un courant de 150mA a été fixé. Ce requis a nécessité une largeur de 1mm pour M5 (voir Figure 3.13). M7 étant moins long et de type N, une dimension plus faible était nécessaire. Cependant, de l'espace restant lors du placement et routage a permis d'augmenter la largeur à 600 $\mu$ m, ce qui permet un courant de 250mA.

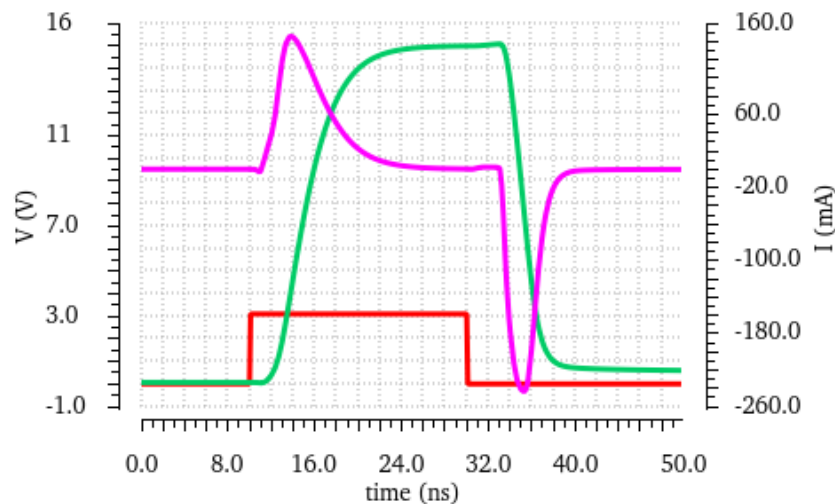


Figure 3.13 : Simulation d'un étage de sortie dans ICVPMCMT avec une charge de 50pF. Le signal UP est montré en rouge, la sortie en tension est en vert et le courant dans la charge est présenté en rose.

#### 3.3.2.2 Tests

Afin de tester cette architecture partiellement dysfonctionnelle, les terminaux contrôlant l'impulsion négative et son alimentation sont fixés à la masse. Cela permet de mesurer les performances de la partie positive de l'étage de sortie et ainsi indirectement mesurer la performance

des lignes à délai en mesurant plusieurs sorties à la fois. La figure suivante montre la sortie d'un des étages de sortie connectée à une charge de 100pF (+/-10%) et à la sonde (3.9pF). Les temps de montée et descente, respectivement 12,19 et 12,83ns montrent que le système serait en mesure de produire des impulsions de 20V en 50ns, soit à 20MHz, même avec la charge importante connectée à sa sortie.



Figure 3.14 : Capture d'oscilloscope d'une sortie à haute tension. Le courant entrant dans la charge est montré en vert, la tension en bleu.

### 3.4 Amplificateur de transimpédance

Par manque de temps, il n'a pas été possible de concevoir un amplificateur de transimpédance pour cette première puce. L'architecture et implémentation ont été prises directement d'un amplificateur pour photocourant, sans modifications. Cet amplificateur a été conçu par Sreenil Saha, également sous la supervision de Pr Lesage et Pr Sawan. Il est inspiré des travaux de Phang [44].

#### 3.4.1 Architecture

L'amplificateur est constitué de trois branches (voir Figure 3.15). Les trois sont polarisées par la tension  $V_P$  (différente du  $V_P$  utilisé dans la ligne à délai), externe au circuit. La première branche absorbe le courant provenant des transducteurs et l'ajoute au courant commandé par MP1. Cet ajout de courant dans MN2 fera augmenter sa tension de grille et par conséquent, celle de MN3. Cette perturbation augmente alors le courant commandé par MN3 et fera diminuer la tension au drain de

MP2 et MN3. Cette variation agissant sur la grille de MN4, le courant commandé par ce transistor chutera, faisant augmenter la tension de sortie. Cette boucle de rétroaction positive a pour but d'augmenter le gain de l'amplificateur. Le rôle de MN1 est d'abaisser la tension à l'entrée du circuit, ce qui peut être très utile dans les applications à basse tension. Dans le cas présent, cet ajout n'est pas absolument essentiel.

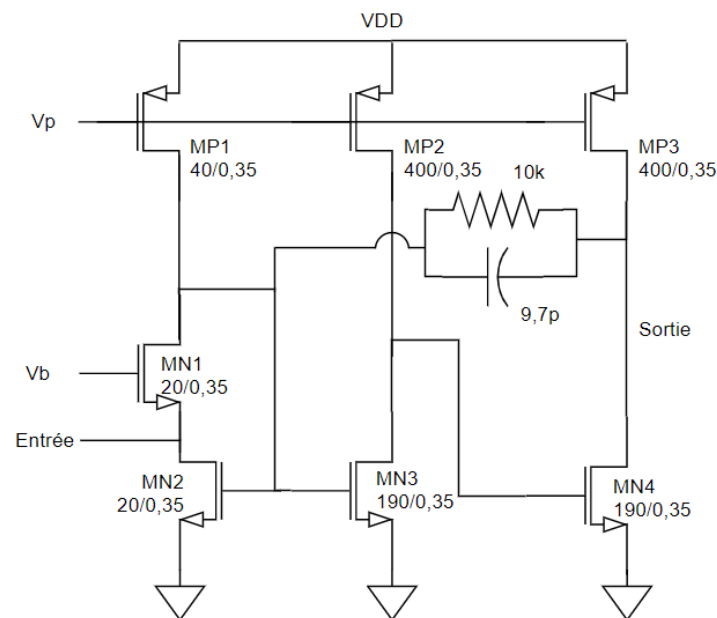


Figure 3.15 : Amplificateur de transimpédance dans ICVPMCMT

### 3.4.2 Simulations et mesures

Dans un circuit intégré, les traces d'alimentation doivent respecter les recommandations de la fonderie. Pour cette technologie, le courant maximal supporté est de  $0,67\text{mA}/\mu\text{m}$ . Ainsi, les amplificateurs demandant  $85\text{mA}$  chacun en simulation auraient eu besoin de traces de  $127\mu\text{m}$  chacun. Une erreur lors de l'intégration des amplificateurs a mené à l'utilisation de traces de  $2\mu\text{m}$  pour alimenter les quatre ATIs.

Lorsque l'amplificateur est alimenté, le courant cause une perte tension dans les traces trop étroites et donc résistives. Cela empêche l'amplificateur de bien se polariser. Comme il n'est pas polarisé correctement, le courant diminue, ce qui fait diminuer la perte de tension dans les traces. Lorsque la tension retourne à un niveau suffisamment élevé, le cycle recommence. Ce comportement fait osciller la sortie et empêche toute mesure. Comme les résultats après fabrication ne sont pas disponibles, les simulations ne sont pas présentées.



### 3.5 Réflexions sur ICVPMCMT

L'objectif de cette première version était de se familiariser avec la conception de circuits intégrés. Dans cette itération, tout n'était pas fonctionnel, mais suffisamment de modules l'étaient pour former les ondes planes recherchées. Ainsi, la ligne à délai, bien qu'imprécise, répond comme prévu et permet de décaler temporellement les signaux contrôlant chaque étage de sortie. Même si les impulsions négatives n'étaient pas fonctionnelles, il a été possible de vérifier le fonctionnement du convertisseur de niveaux faisant passer les signaux de contrôle de 3,3 à 20V. L'étage de sortie est également assez puissant pour alimenter une charge capacitive de quelques dizaines de picofarads. Seuls les amplificateurs n'étaient pas en mesure de remplir leur rôle et n'ont pas pu être évalués.

Dans la prochaine itération, les objectifs seront de concevoir un système d'impulsion à trois niveaux, parfaire la ligne à délai et modifier les traces d'alimentation des amplificateurs de transimpédance.

## CHAPITRE 4 DEUXIÈME ITÉRATION – ICVPMCM2

### 4.1 Présentation générale de la deuxième puce

La date de soumission de cette deuxième puce, nommée ICVPMCM2 était le 25 avril 2018, soit environ deux mois après la réception de la première. L'erreur dans l'étage de sortie d'ICVPMCM2 a été réalisée avant de recevoir la puce, il a donc été possible de retravailler ce module dès décembre. La ligne à délai a également été complètement revue pour utiliser un système calibré, espérant minimiser l'impact des imperfections de fabrication. La topologie des amplificateurs de transimpédance a été changée pour une autre consommant moins de courant et par conséquent, nécessitant des traces moins larges.

Ce chapitre présente en premier lieu la nouvelle ligne à délai. En deuxième lieu, la conception et les tests de l'étage de sortie sont décrits. La nouvelle implémentation des ATIs est ensuite mise de l'avant. Le chapitre termine avec une revue des points forts de cette puce et des éléments à améliorer pour la troisième.

### 4.2 Ligne à délai

En microélectronique analogique, une des meilleures façons de s'assurer des performances d'un circuit est de baser son comportement sur des ratios de dimensions plutôt que sur des valeurs absolues. En effet, la différence entre la valeur prévue par le dessin de masques et la valeur après fabrication peut atteindre 10%, tandis que l'erreur relative de deux capacités après fabrication peut être limitée à 0,2% avec un placement judicieux [45]. Pour cette puce, le circuit générant le délai a donc été pensé pour profiter de cette stratégie.

Comme l'étage de sortie possède toujours trois états possibles, deux bits de contrôle sont nécessaires. Pour ne pas avoir besoin de deux lignes à délai, le délai est plutôt appliqué sur une horloge contrôlant des bascules D qui sont chargées de transmettre les bits au prochain bloc de délai.

## 4.2.1 Architecture

La première section de ce module est un circuit convertissant le délai entre l'horloge à l'entrée (*clkIn*) et celle à la sortie (*clkOut*) en une tension continue (voir Figure 4.1).

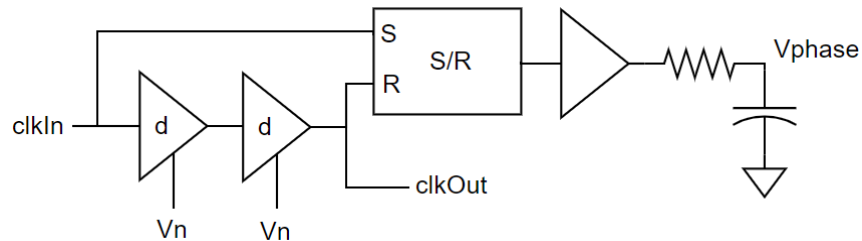


Figure 4.1 : Conversion de délai en tension

Ensuite, cette tension est comparée avec une tension de référence  $V_{ref}$ , contrôlée à partir d'un convertisseur numérique analogique (CAN) externe à la puce (Figure 4.2). Pour effectuer cette comparaison, deux comparateurs identiques sont utilisés et une rampe permet d'évaluer la différence entre  $V_{ref}$  et  $V_{phase}$  à chaque cycle. Un détecteur de phase permet alors de générer le signal DN si  $V_{ref}$  est supérieur à  $V_{phase}$  ou UP dans le cas inverse. Cela aura pour effet d'ajuster  $V_n$ , qui contrôle le délai entre l'horloge d'entrée et de sortie.

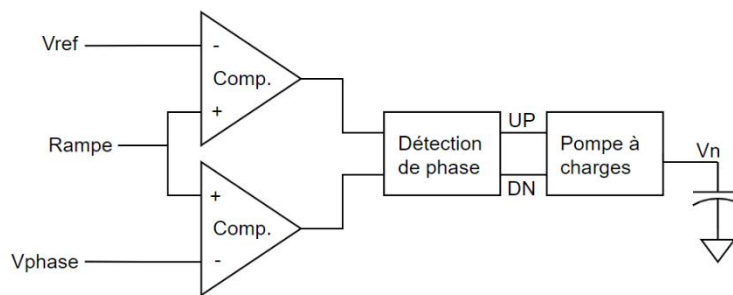


Figure 4.2 : Circuit de comparaison des tensions  $V_{ref}$  et  $V_{phase}$

Le circuit atteint donc un point d'équilibre où la valeur de  $V_n$  génère un délai qui produit une tension  $V_{phase}$  égale à  $V_{ref}$  et ce, sans utiliser de valeur absolue de composants. Seuls les deux comparateurs doivent être identiques.

Pour contrôler les délais sur les fronts montants et descendants de l'horloge à partir d'une seule tension de contrôle ( $V_n$ ), les éléments de délais identifiés par  $d$  dans la Figure 4.1 sont un peu plus complexes (voir Figure 4.3) que ceux présents dans la première puce.

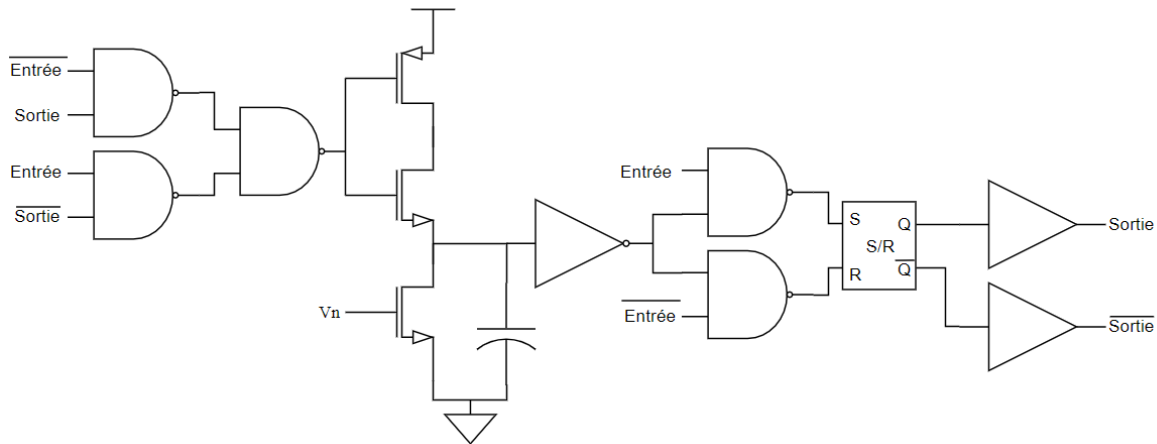


Figure 4.3 : Élément de délai dans ICVPMCM2

Sur la figure précédente, le premier groupe de trois portes NON-ET permet de détecter une transition de l'horloge d'entrée. L'implémentation de ces trois portes correspond à la fonction logique  $Y = (\overline{\text{Entrée}} \cdot \text{Sortie}) + (\overline{\text{Sortie}} \cdot \text{Entrée})$ . Le premier terme de cette équation détecte les fronts descendants, tandis que le deuxième est activé par les fronts montants. Comme les portes NON-ET (une seule branche) sont plus rapides que les portes ET ou OU (deux branches par porte), cette implémentation est préférée. Cette fonction logique permet à l'inverseur de toujours fonctionner de la même façon, peu importe de quelle transition il s'agit. Le signal sera retardé par la capacité devant se vider par le transistor placé en source de courant contrôlé par  $V_n$ . L'inverseur placé à la suite permet de rétablir une transition rapide qui commandera les deux portes NON-ET. Celles-ci permettent de distinguer quelle transition est arrivée à l'entrée. Une bascule S/R permet de transmettre à l'horloge de sortie la nouvelle valeur de l'entrée. Les tampons de sortie permettent ensuite à l'horloge de sortie et son complément de commander des charges plus importantes.

Comme le système de détection de phase ne peut pas gérer des délais de plus d'un cycle d'horloge, seulement deux éléments de délais sont requis puisque chacun d'eux peut générer un délai d'une demi-période.

## 4.2.2 Simulations

Les simulations montrent le comportement souhaité, tel que l'indique la Figure 4.4. Au début, lorsque  $V_n$  est à la masse, les deux éléments de délai ne fonctionnent pas. Cela a pour effet de faire augmenter  $V_{phase}$  et donc  $V_n$ . Lorsque  $V_n$  atteint une valeur suffisante, l'horloge apparaît à la sortie. Comme les deux éléments de délai sont basés sur des inverseurs, le délai est assuré d'être plus court qu'une période, il n'y aura donc pas de problème de verrouillage sur le mauvais front d'horloge, qui peut apparaître dans l'implémentation de PLL ou DLL par exemple. Après quelques microsecondes, le circuit se stabilise et  $V_{phase}$  devient égal à  $V_{ref}$ .

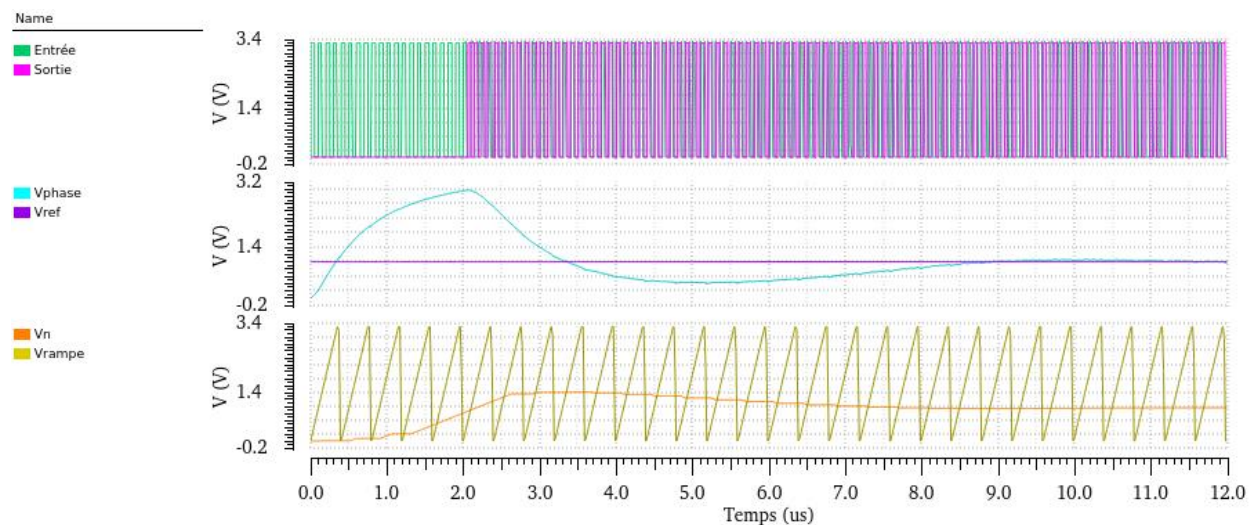


Figure 4.4 : Simulation du bloc de délai dans ICVPMCM2

Pour cette démonstration, la valeur de  $V_{ref}$  est fixée à 1V et l'alimentation est de 3,3V. Cette fraction de 30,3% devrait mener, avec une horloge d'une période de 100ns à un délai de 30,3ns, ce qui est démontré par la figure Figure 4.5.

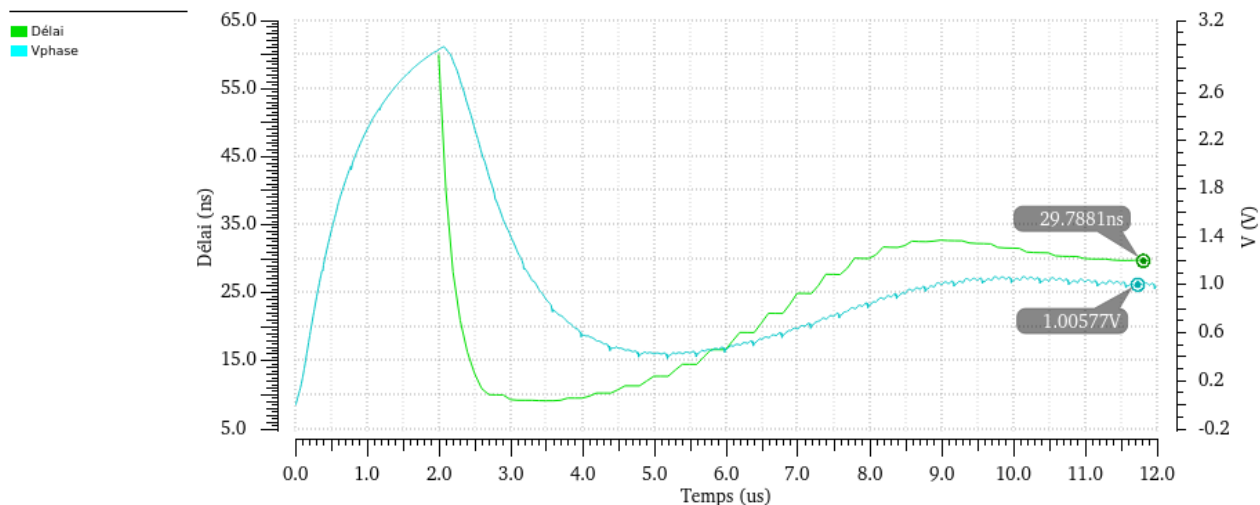


Figure 4.5 : Vérification des délais et tension  $V_{phase}$  produits par un bloc de délai dans ICVPMCM2

### 4.2.3 Résultats

Les résultats de ce circuit après fabrication ne sont pas concluants. En effet, la gigue sur l'horloge de sortie est très importante, comme si le signal n'arrivait pas établir un régime permanent. Le bruit présent sur la rampe externe pourrait aussi causer ce type de problèmes.

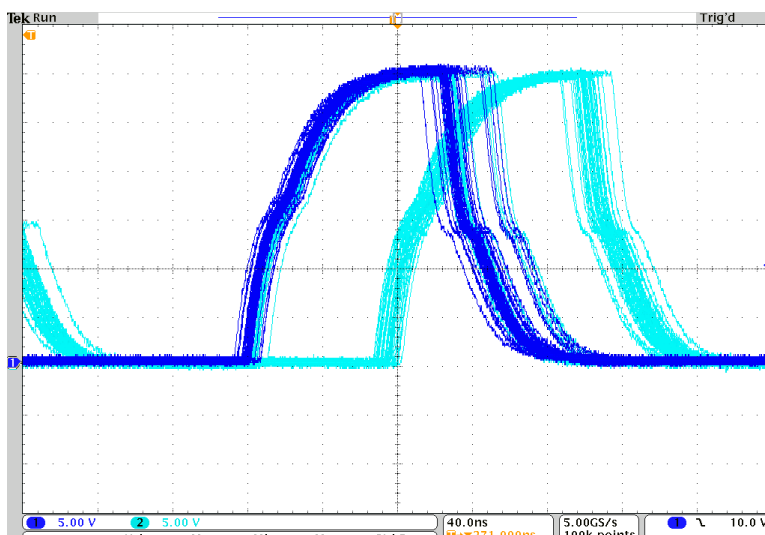


Figure 4.6 : Gigue importante sur le signal à la sortie d'ICVPMCM2

Si ce circuit présente un comportement ne dépendant pas des valeurs précises de ses composants, il possède plusieurs facteurs limitants. Par exemple, deux circuits de passe-bas sont nécessaire

(après le la pompe à charge et la bascule S/R) pour convertir des impulsions en signal continu. Ces filtres demandent des composantes passives consommant une superficie importante. Le circuit de délai demande ici  $0.062\text{mm}^2$  dont près du tiers est requis par les composantes passives. Ensuite, le circuit ne peut pas créer de délai supérieur à la période de l'horloge. Comme l'horloge doit fonctionner au double de la fréquence d'émission, le délai maximal est donné par une demi-période de l'émission.

Enfin, le circuit requiert un générateur de rampe externe et plusieurs points de polarisation. De plus, la tension de référence étant analogique, il faut installer un convertisseur numérique analogique externe. Bien qu'il soit possible d'intégrer toutes ces composantes sur puce, il vaut mieux qu'elles soient externes pour les premiers tests, ce qui permet de vérifier le comportement sous différentes conditions.

## 4.3 Étage de sortie

### 4.3.1 Architecture

Comme la technologie AMS 0.35 $\mu$ m HV ne permet pas de fabriquer facilement des transistors de type N à haute tension dont le corps est à une tension inférieure au substrat, il a été décidé que les trois niveaux de sortie seraient respectivement de 0, 20 et 40V. Comme les transducteurs de type CMUT sont essentiellement capacitifs, la tension médiane VDDM sera le point de repos et le signal oscillera autour d'environ 20V. Cette nouvelle architecture demande une refonte complète de l'étage de sortie.

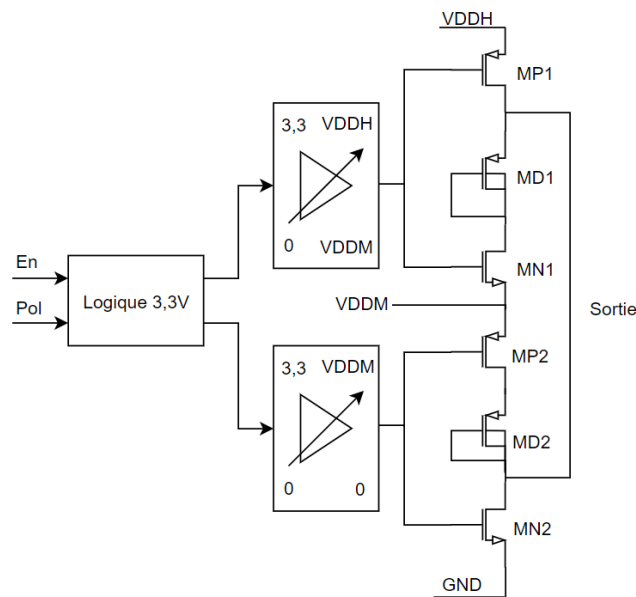


Figure 4.7 : Architecture de l'étage de sortie dans ICVPMCM2

Dans la figure précédente, MP1 et MN1 forment un inverseur pouvant amener le nœud de sortie soit à VDDH (typiquement 40V) ou VDDM (typiquement 20V). Le transistor MD1, configuré en diode, protège le transistor MN1 contre une inversion de la polarité de ses terminaux. De façon similaire, MP2 et MN2 peuvent forcer la sortie à GND ou VDDM et MD2 protège MP2. Les transistors montés en diode limitent le retour à VDDM puisqu'ils ne sont plus en conduction lorsque la différence entre la tension de sortie VDDM tombe en deçà de leur tension de seuil [46]. Deux convertisseurs de niveaux sont requis pour générer les tensions contrôlant les grilles des deux inverseurs. Le premier, générant un signal entre 0 et VDDM, est emprunté à ICVPMCM2. Le deuxième fournissant un signal entre VDDM et VDDH est nouveau.



### 4.3.2 Implémentation

La taille des transistors de la branche de sortie a été réduite. En effet, ICVPMCMT étant en mesure d'exciter une charge de 120pF à plus de 20MHz et les transducteurs de type CMUT étant en général sous les 40pF, il n'est pas nécessaire de fournir autant de courant. De plus, les nouvelles estimations des transducteurs fabriqués par l'étudiant évaluaient la charge capacitive à moins d'un picofarad. Pour le design de l'étage de sortie d'ICVPMCM2, un condensateur de 4pF (simulation de la sonde de l'oscilloscope) et un terminal de connexion IO50PNT seront connectés en guise de charge.

Le premier convertisseur de niveaux est constitué de deux inverseurs croisés (Figure 4.8). Elle est reprise de la première puce. Cette architecture simple présente une consommation statique nulle puisque'un des deux transistors dans chaque branche est toujours en circuit ouvert.

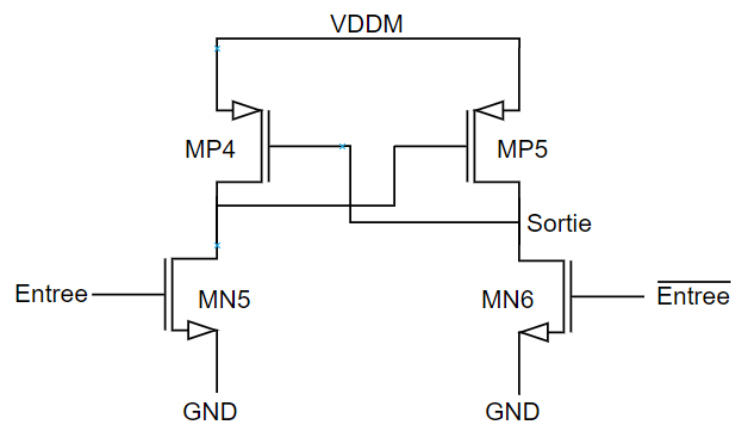


Figure 4.8 : Convertisseur de niveaux 0/3,3V vers 0/VDDM dans ICVPMCM2

Le deuxième convertisseur de niveaux est réalisé à partir d'un diviseur de tension formé par deux diodes (voir Figure 4.9) et présente donc une consommation statique lorsque l'entrée est à un niveau logique actif. La littérature présente des solutions pour empêcher la consommation statique, mais ces solutions sont souvent coûteuses en superficie, nécessitant plusieurs transistors à haute tension supplémentaires. Il serait possible par exemple d'utiliser deux convertisseurs de niveaux contrôlant avec des impulsions une bascule S/R située entre VDDM et VDDH. D'autres utilisent un ensemble de transistors ouvrant le circuit lorsque la sortie atteint le niveau commandé par l'entrée. Or, ces solutions utilisant plus de transistors consomment souvent plus de courant lors de leur transition. Comme les signaux d'excitation ultrasonore possèdent une durée de cycle efficace

très réduite (une impulsion de 100ns, correspondant à une impulsion de 5MHz, sur une période de plusieurs dizaines de microsecondes reste bien en deçà de 1% de cycle efficace). Le système a donc été pensé pour être en position inactive la majorité du temps et ne consommer du courant que lors de l'émission de l'impulsion. Un compromis doit alors être fait entre la vitesse de transition du nœud entre MD3 et MD4 : un courant plus important mène à une transition rapide, mais une consommation plus importante. Le courant est fixé à 3,45mA ce qui permet des temps de montée et de descente de 1,41 et 1,16ns. Il est important de garder ces temps courts afin qu'ils ne génèrent pas une sortie en retard par rapport à l'autre convertisseur de niveaux.

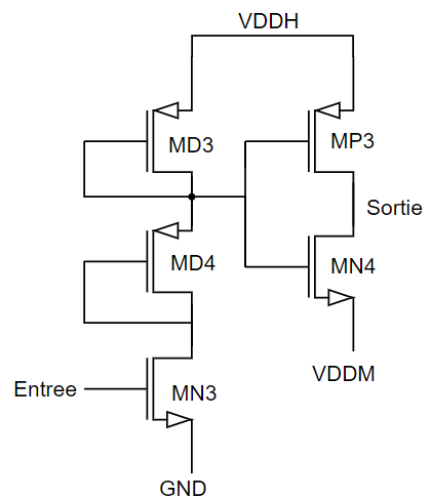


Figure 4.9 : Convertisseur de niveaux 0/3,3 vers VDDM/VDDH

Comme les convertisseurs de niveaux sont formés de transistors de faibles dimensions pour réduire leur consommation, leurs sorties ne sont pas en mesure de commander directement les transistors de sortie. Il faut donc placer entre eux des inverseurs à croissance géométrique pour augmenter le courant disponible (non montrés sur les Figure 4.8 et Figure 4.9). Dans le cas du deuxième convertisseur de niveaux, il faut également s'assurer que le nombre d'inversions reste pair, afin qu'une entrée de niveau logique haut (consommant du courant) corresponde à une sortie finale à VDDH. Ainsi, un seul inverseur est nécessaire entre GND et VDDM et deux inverseurs sont placés entre VDDM et VDDH.

La différence de délai entre les deux convertisseurs de niveaux peut causer un important courant de court-circuit [47] et il est impossible à éliminer complètement, puisque les différents coins de la gaufre de silicium engendrent des délais dans les convertisseurs de niveaux variant légèrement d'une puce à l'autre. Une solution simple est de minimiser le temps de propagation. Ainsi, même

si les deux chemins ne présentent pas exactement le même temps de propagation, le temps où les deux parties de l'étage de sortie ne commandent pas le même état est court et ne causera pas de courant de court-circuit sur une longue période.

Tableau 4.1 : Temps de propagation des convertisseurs de niveaux dans ICVPMCM2

<b>Conv. De niveaux et tampon correspondant</b>	<b>Entrée front montant (ns)</b>	<b>Entrée front descendant (ns)</b>
VDDM/VDDH	1,56	3,23
0/VDDM	0,97	1,09

Le temps de propagation le plus long est celui commandant une transition de la sortie vers VDDM depuis VDDH et pourrait ainsi allonger l'impulsion d'environ une nanoseconde et demie. Cette transition s'effectue également lorsque la sortie passe de VDDH à 0V. Dans ce cas, la transition sera initiée par le convertisseur 0/VDDM et il n'y aura ni courant de court-circuit, ni de modification de la durée de l'impulsion. Le seul scénario causant un courant de court-circuit important serait que les deux convertisseurs de niveaux commandent la sortie à 0 et VDDH en même temps. Cette situation ne crée pas de court-circuit de plus de 600ps et limite donc la puissance perdue.

Le bloc de logique à 3,3V (Figure 4.7) placé devant les convertisseurs de niveaux convertit les signaux En/Pol en commande pour la branche de sortie.

Le tout tient dans une surface de 0,0394mm<sup>2</sup>, ce qui est en deçà des autres systèmes implémentés en 0,35µm présents dans la littérature. Bien que le système soit ajusté pour exciter un transducteur de faible dimension à haute fréquence, il lui est également possible de générer des impulsions de 5MHz sur une charge de 40pF. Cela est possible grâce à un placement judicieux des composants et à une architecture simple.

### 4.3.3 Simulations

La prochaine simulation présente le comportement de l'étage de sortie après extraction des parasites, avec une charge de 4pF (semblable à une sonde d'oscilloscope) et un terminal à haute tension de la librairie standard de type IO50PNT. En effet, ceux-ci présentent une charge capacitive non négligeable, consommant ici environ la moitié du courant provenant de l'étage de sortie.

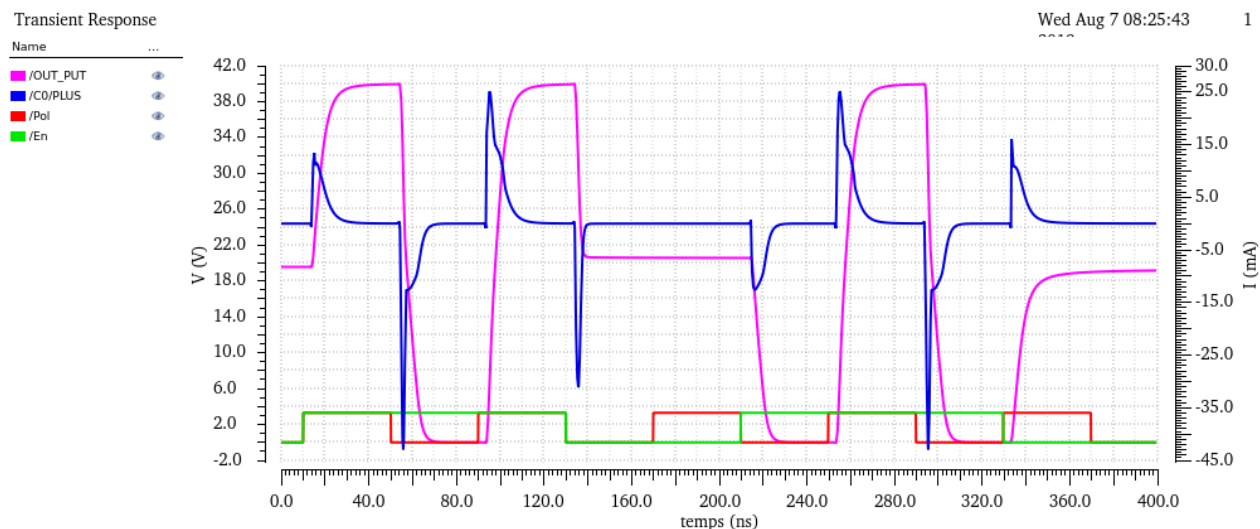


Figure 4.10 : Simulation du comportement de l'étage de sortie d'ICVPMCM2

La Figure 4.10 montre un courant maximal lors d'une montée est de 25,1mA et 42,9mA lors d'une descente. Les temps de montée et de descente (entre 10 et 90%) sont respectivement 9,39 et 7,75ns, ce qui devrait suffire à produire une fréquence d'émission de 29 MHz.

#### 4.3.4 Tests

Le test pour évaluer les performances de ce circuit après fabrication est très simple. La charge capacitive étant simplement la sonde de l'oscilloscope, la forme d'onde de tension peut y être affichée. Une sonde de courant permet de mesurer la sortie du circuit. Les valeurs obtenues sont très près des simulations. Les pics de courant montrés sur la figure suivante montrent les valeurs pour des excursions à partir et vers VDDM. Pour les comparer aux simulations de la Figure 4.10, il faut regarder le premier et le dernier pic de courant, qui débutent et terminent à VDDM.



Figure 4.11 : Génération d'onde arbitraire avec ICVPMCM2

## 4.4 Amplificateur de transimpédance

Après avoir essayé d'améliorer l'amplificateur présenté dans le chapitre précédent, il a été conclu que cette topologie n'était pas adéquate pour l'application visée par le projet, surtout en ce qui concerne sa consommation. Une différente approche est utilisée pour le circuit présenté dans ce chapitre. Cette deuxième topologie a la particularité d'être entièrement autopolarisée, c'est-à-dire qu'aucun point de polarisation externe n'a besoin d'être fourni à la puce pour qu'elle opère correctement.

### 4.4.1 Architecture et implémentation

L'objectif primaire de cette puce étant la simplification du design et de son interface, l'idée d'un amplificateur de transimpédance autopolarisé est très intéressante. La topologie utilisée provient une fois de plus d'un système habituellement utilisé pour l'amplification de photocourant [48]. Le circuit présente trois inverseurs placés en cascade avec un retour résistif depuis la sortie jusqu'à l'entrée (Figure 4.12). La mise en cascade des trois inverseurs forme un amplificateur de tension à gain très élevé et la fermeture de la boucle par une résistance crée la conversion de courant en tension recherchée. Le seul point d'équilibre de ce montage est atteint lorsque les entrées et sorties

des inverseurs atteignent la même tension. En dimensionnant correctement les PMOS et NMOS, ce point peut être centré à mi-chemin entre l'alimentation et la masse. Le bruit dans les amplificateurs de transimpédance est largement dû au bruit thermique de la résistance fermant la boucle. Ce bruit est donné par [49] :

$$\overline{I_{n,tn}^2} \approx \frac{4kT}{R_f} \quad (6)$$

En augmentant le gain de transimpédance, le bruit est alors diminué à la sortie.

La connexion de trois inverseurs un à la suite de l'autre crée un oscillateur. Pour contrer ce comportement, un transistor de type N connecté en diode est ajouté après chaque inverseur. Lorsque le signal à l'entrée est élevé, le courant provenant de MP1 traverse MN1 et la tension à leur drain diminue, il y a donc moins de courant traversant MN2. À l'inverse, si la tension à l'entrée diminue et que MP1 commande un fort courant, MN2 pourra en absorber une partie. Cela diminue le gain, mais permet une opération stable en permettant au courant provenant de MP1 de traverser soit MN1 ou MN2.

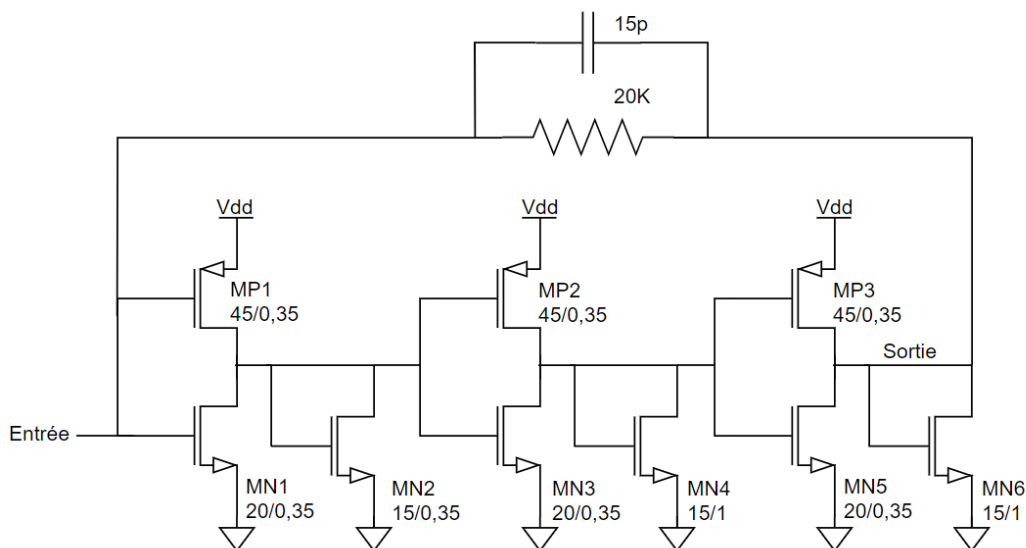


Figure 4.12 : Amplificateur de transimpédance basé sur un triplet d'inverseurs

Les transistors sont dimensionnés pour que l'amplificateur consomme moins de 10mA. Le gain est fixé à 20kΩ, ce qui permettra de tester la topologie. Lorsque les caractéristiques précises des transducteurs seront connues, il sera possible de changer la valeur de la résistance de rétroaction. Pour atteindre cette valeur en utilisant un minimum d'espace, la résistance est formée à partir de la

couche RDIFFP (*resistor diffusion p-type*), qui présente une résistance de  $138,6\Omega/\mu\text{m}$  et un appariement meilleur que les résistances faites de poly1 ou poly2. Certains types de résistances en circuit intégré atteignent des valeurs plus élevées (par exemple RPWELLR avec  $43\text{k}\Omega/\mu\text{m}$ ), mais présentent une mauvaise uniformité : chaque canal aurait ici un gain différent.

#### 4.4.2 Simulations et tests

Les résultats de simulation et de tests après fabrication sont résumés dans le Tableau 4.2. Les simulations sont réalisées après placement des composantes et extraction des parasites.

Le gain est très similaire en simulation et après fabrication. Par contre, la bande passante est réduite, ce qui provient probablement de capacités parasites.

Les marges de gain et de phase permettent d'évaluer la stabilité d'un circuit. Ici, les résultats révèlent un comportement stable. Comme prévu, le circuit réel se comporte de la bonne façon et répond aux impulsions d'ondes carrées sans produire d'oscillations.

Les impédances d'entrée et de sorties doivent être aussi basses que possible. Pour diminuer celle d'entrée, il faut soit diminuer le gain de transimpédance ou bien augmenter le gain en boucle ouverte. Ces deux solutions doivent cependant être utilisées avec prudence : diminuer le gain de transimpédance peut conduire à une perte du signal et augmenter le gain en boucle ouverte peut conduire à une instabilité. Les valeurs une fois testées sont similaires. La capacité à l'entrée doit être faible : une capacité trop importante (se rapprochant de la valeur de capacité d'un élément de réception) peut mener à une perte de bande-passante : à haute fréquence, le courant peut être court-circuité dans la capacité parasite plutôt qu'entrer dans l'amplificateur.

La consommation est un paramètre important de cet amplificateur, puisque c'est la mesure qui a empêché la topologie précédente de fonctionner. Bien que plus élevée que prévu, la consommation est de loin inférieure à celle de l'amplificateur proposé dans ICVPMCMT.

Les erreurs sur l'appariement du gain ont été simulées de deux façons. Premièrement, les erreurs liées aux variations géométriques ont été estimées par simulations Monte-Carlo avec 200 échantillons. Ensuite, une simulation aux quatre « coins » du circuit a permis d'évaluer les variations dues aux variations dans les quantités de dopant et d'épaisseurs de déposition. Il est clair que les variations proviendront surtout du deuxième type de défaut. En réalité, il y a une plus grande différence en ce qui concerne la fréquence de coupure du circuit que dans le gain. Cette observation,

liée à la mesure de diaphonie moins performante que prévu laisse croire à une erreur de routage. En effet, les traces à la sortie des amplificateurs sont longues et parallèles entre elles, ce qui peut entraîner des défauts capacitifs.

La mesure de la réjection de l'alimentation est peu performante, comme prévu. Néanmoins, l'utilisation d'une alimentation dédiée peut limiter l'impact de cette limitation, de même que le bruit en sortie. La mesure du bruit est ici probablement limitée par la sonde de l'oscilloscope, qui une fois directement connectée à la masse présente un bruit RMS de 3mV.

Tableau 4.2 : Performances de l'ATI dans ICVPMCM2

Paramètre		Simulation	Mesure
Gain boucle ouverte (V/V)		48	-
Marge de gain (dB)		16,5 @ 2,23 GHz	-
Marge de phase (degrés)		51,8 @ 676 MHz	-
Gain (k $\Omega$ en moyenne) @ 1MHz		19,7	20
Bande passante -3dB (MHz)		613	11,75 (moy.)
Impédance entrée/sortie ( $\Omega$ )		464/13,3	522/5k
Capacité à l'entrée (fF)		18,1	-
Consommation (mW)		31	70
Err. De gain (%)	Var. géo.	0.02	-
	Var. procédé	24,8	-
Diaphonie		-42,5	-26,5
PSRR (@ DC) (dB)		-7.9	-3
Plage de sortie @ -1dB (V)		1,39	1,5
Tension centrale		1,39	1,4
Bruit ( $\mu$ V RMS)		857,2	3500



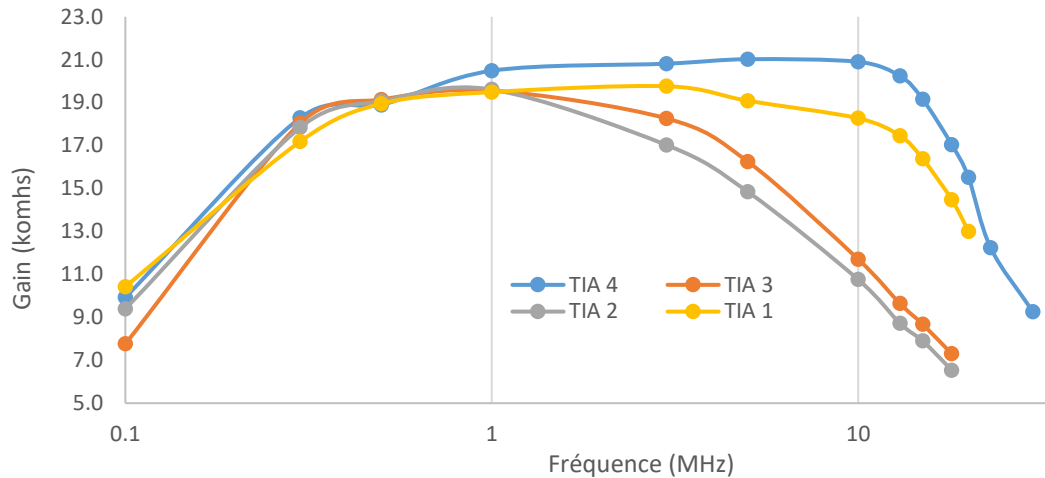


Figure 4.13 : Gain et bande passante des quatre ATIs intégrés dans ICVPMCM2

L'appariement des gains de différents canaux est montré sur la Figure 4.13. Il est probable que le routage des signaux sur la puce ait affecté la bande passante des canaux 2 et 3 en ajoutant des capacités parasites, puisque ce comportement s'est répété sur les trois puces testées.

#### 4.5 Réflexions sur ICVPMCM2

Cette puce a permis de vérifier le fonctionnement d'un nouvel étage de sortie. Elle lance également sur une bonne voie l'implémentation d'un amplificateur de transimpédance. Seule la ligne à délai est à revoir, montrant beaucoup de gigue.

## **CHAPITRE 5    ARTICLE 1 : PHASE ERROR-FREE PLANE WAVE EMISSION CMOS IC FOR ULTRAFAST ULTRASOUND IMAGING**

### **5.1 Mise en contexte**

Cet article est soumis le 27 septembre 2019 au journal Transactions on Ultrasonics, Ferroelectrics, and Frequency Control. Il relate la conception et les tests de la troisième et dernière puce, ICEPMALCMT, conçue dans le cadre de cette maîtrise. Ce circuit intégré reprend les meilleurs éléments des deux puces précédentes, c'est-à-dire la ligne à délai d'ICVPMCMT et les étages de sorties et amplificateurs de ICVPMCM2. Le nombre de canaux est augmenté à 32 en réception et 16 en émission et la taille des transistors de sortie est augmentée pour être en mesure de commander des charges capacitives. Un élément de délai fonctionnant avec calibration est également implémenté sur la puce pour permettre des délais plus longs. Toutefois, les modules en réception n'étant pas aussi performants que prévu, ils ne sont pas détaillés dans l'article. Ils feront plutôt l'objet du Chapitre 6.

# Phase Error-free Plane Wave Emission CMOS IC for Ultrafast Ultrasound Imaging

Antoine Létourneau<sup>1</sup>, Mohamad Sawan<sup>1,2,3</sup> and Frédéric Lesage<sup>1,4</sup>

<sup>1</sup>*Dept. of Electrical Engineering, Polytechnique Montréal, Montréal, Canada*

<sup>2</sup>*School of Engineering, Westlake University, Hangzhou 310024, China*

<sup>3</sup>*Institute of Advanced Study, Westlake Institute for Advanced Study, Hangzhou 310024, China*

<sup>4</sup>*Montreal Heart Institute, Research Center, Montréal, Canada*

[antoine.letourneau@polymtl.ca](mailto:antoine.letourneau@polymtl.ca)

**Abstract**—This work concerns the design and implementation of an ultrasonic plane waves generator using AMS 0.35 $\mu\text{m}$  HV CMOS process. The proposed chip features 16-emission channels and includes tunable delay elements to solve the quantization effect in conventional shift-register based beamformer for tilted plane wave emission. A 6-bits control interface allows 32 delay steps in both positive and negative tilt-angle values, with a least significant bit (LSB) ranging from 2 to 4ns, tunable via external analog voltages. The lower three bits are used to control fine delay steps via a tunable open-loop circuit, while two other bits allow to control delay elements using a calibration signal. In addition, the most significant bit sets the direction of the angle (positive or negative). The use of bidirectional pads for control signals allows for simple daisy chaining of multiple chips, increasing the channel count of the system. Experimental results demonstrate the proposed three-level output stages can provide peak current of 700mA driving up to 500pF load to 0, 20 and 40V at 20MHz with active return to the median voltage.

**Keywords**—*ultrasound, beam forming, plane wave imaging, delay line.*

## 5.2 Introduction

Echography has seen a resurgence of novel applications, mostly due to increased frame rates afforded by plane wave imaging. The idea behind reconstructing an image from a single ultrasound emission is not new and was first introduced back in 1977 by Bruneel *et al.* [7]. However, the increasing computational power of modern computers has recently enabled real-time reconstruction of those single emission images. While ultrafast ultrasound imaging increases frame rates by more than a hundredfold, the image quality of a single acquisition is lower than B-mode

imaging [50]. To achieve the same contrast in plane wave imaging as in conventional imaging, compound images must be formed with steered pressure planes [4]. When all transducers are addressed at the same time, a pressure wave parallel to the array is transmitted. To steer the wave front, each element is driven with a delay with respect to its neighbor (Figure 1). The resulting angle is given by:

$$\theta = \arcsin \frac{ct}{a} \quad (7)$$

where  $c$  is the speed of sound in the medium,  $t$  is the time delay and  $a$  is the pitch between two elements.

As transducer's center frequency increases, the wavelength decreases, and shorter delays are required to address  $\lambda$  and  $\lambda/2$  pitch transducers. Clocking systems such as phase-locked loops (PLLs) can create clock phases but require complex clock selection circuits when each transducer needs its own phase [12]. Moreover, the delay range being oftentimes larger than a clock cycle, counters are needed to extend it. Integrated clock generation circuits can also consume significant power and area while introducing switching noise in the receiving part of the circuit. Furthermore, generating and sending phases from an FPGA's PLL to the IC requires many cables which is undesirable.

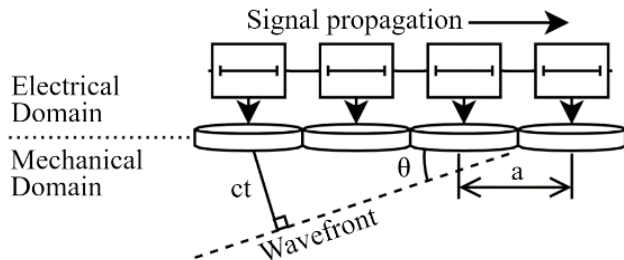


Figure 5.2: Plane wave construction

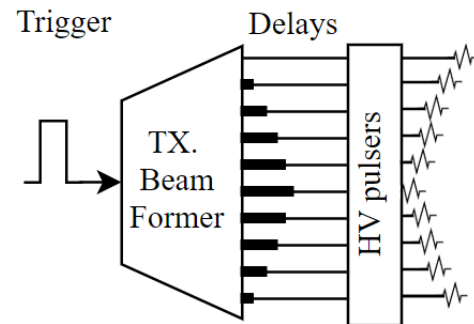


Figure 5.1: Arc-shaped delays in B-Mode imaging

Focusing the acoustic pressure in B-mode ultrasonic imaging requires delays distributed in an arc centered at the scanned line (Figure 2). Thus, the delay steps between channels are not linear and the transmit beam-former must feature channel-by-channel delay programming for each scanned line and focusing depth. Those delays are either programmed in a channel specific shift register or a counter and the waveform is sent to the high voltage output stage after a defined number of clock cycles[17]. While this is essential for B-Mode imaging, a much simpler delay line can be used for

beam-forming in plane wave imaging as all channel-to-channel delays are equal. However, with plane wave imaging, inheriting from conventional B-Mode, registers and counters are still used in their beamformers.

This standard architecture also suffers from a major limitation: the waveform and delay are related to the same clock. Therefore, the ultrasonic pulses and delay must have a period that follow  $p_{pulse} = k_{pulse} * p_{clk}$  and  $d = k_{delay} * p_{clk}$ , where  $p_{pulse}$  is the pulse period,  $d$  is the delay and  $p_{clk}$  is the period of their common clock.  $k$  being integer, the solutions to these equations are discrete. Of course,  $p_{clk}$  can be very short, leading to higher  $k$  values and longer registers. The quantization of the delay implies that only a few angles will be created without interpolation of the delay values thus introducing imperfections in the wave front. The quantization of this delay can degrade the resulting image quality by introducing shadow artifacts in plane wave imaging. Stuart, et al. [17] concluded that the best option to solve this problem is to decouple the delay from the waveform generation by adding hardware and software phase control for each element, and that such a system is not readily available. This can also be mediated by using a high frequency clock ( $>100\text{MHz}$ ) and long pitch ( $0.308\mu\text{m}$ ) [18]. Research systems such as the Verasonics Vantage uses a  $250\text{MHz}$  clock to reduce the quantization effect [20].

Implementing a beamformer in a CMOS IC (Integrated Circuit) with high voltage capabilities allows for compact integration with the transducers, especially with capacitive micromachined ultrasonic transducers (CMUT) since they can be connected to the CMOS circuit by flip-chip bonding. Integrating both the beamformer and output stages on the same chip reduces wires and parts count, therefore cutting on the assembly cost of the final system. To solve the issue of delay quantization without carrying high frequency clocks in wires or generating them on chip, a simple delay chain is proposed in this work.

The two main challenges in delay chains design are jitter and the tradeoffs between resolution, range and linearity [23]. Here, jitter induces noise on the wavefront's angle and must be kept minimal. A common practice to partially alleviate the second challenge is to split the delay in two parts: a coarse delay, oftentimes equal to a clock period and a fine delay, which can be a phase interpolation or a tap out of a DLL. Previous work has been done to bring the fine delay down to discrete steps of 1 ns [1, 16] in ultrasound transmit beamforming applications. Others have worked on mixed solutions [19] employing DLLs for delay generation and an open-loop circuit for pulse shaping. No

implementation was found of an analog or mixed solution, which could allow any delay value within a given range. A simple solution proposed here is a delay line featuring one output for each channel. The delay between each of these channels is controlled by a group of binary weighted delay elements which can be digitally selected. Using analog delay elements tunable from one value to its double, the delay range for each bit combination overlaps and effectively creates a continuous interval from the minimal to maximal delay. By tuning the delay elements to match the transducer geometry, this architecture creates a quantization error-free delay. Waveforms sent to this delay chain are passed from channel to channel, effectively creating a plane wave whereas the delay between channels is fully decoupled from the emission's frequency. Having a digital control over the delay line allows easier integration with external circuits such as FPGAs.

The next section of this paper briefly presents the design of each main functional block of an IC implementing this strategy. Measurements are then provided to evaluate the performance of the fabricated circuit.

## 5.3 Circuits and System Design

### 5.3.1 Global architecture

The IC is split into three main elements: a bidirectional delay line, high voltage output stages and input/output pads. AMS's 0.35 $\mu\text{m}$  HV CMOS process is chosen for the ease of integration of low and high voltage transistors. The pads are selected from the standard library and offer ESD protection for the internal circuit.

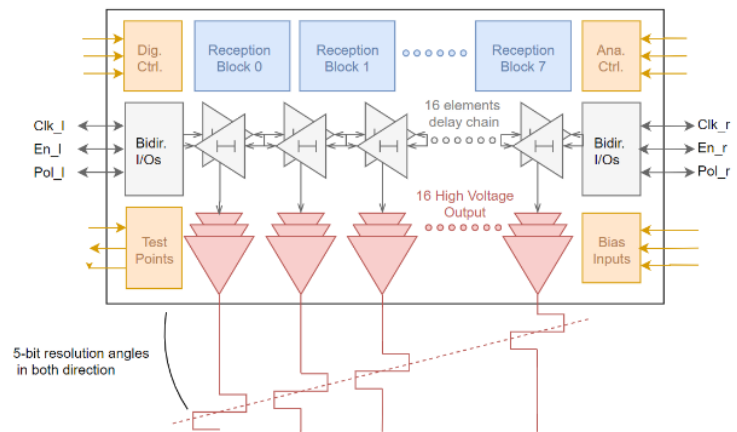


Figure 5.3: Floor plan of the proposed IC

### 5.3.2 HV pulsers

Since the relationship between the electrostatic force on a CMUT and the driving electrical voltage is not linear, there is no need for the implementation of a linear amplifier. A much simpler solution, requiring no biasing and static power consumption, is to use a high voltage inverter, allowing a two-level output. The literature presents many topologies for two levels pulsers for both piezoelectric transducers or CMUT. However, the use of three level pulsers improves the power transmission and resulting image quality due to symmetry [33, 36, 37]. The downside of the multilevel approach is the larger area required for the high voltage part of the circuit increasing the cost of the integrated circuit. A careful layout can, however, reduce considerably the required area.

The pulser design is presented in Figure 5.4 and the output branch transistor's dimensions are detailed in Table 1. Four high voltage transistors were required to drive the output to VDDH or ground and provide an active sink or source to VDDM. Two more transistors were used as diodes to protect the MPN1 and MP2 from reversed bias. All transistors in this stage were scaled to drive large capacitive loads, possibly consisting of many CMUT elements. The current was fixed to 300mA via simulation.

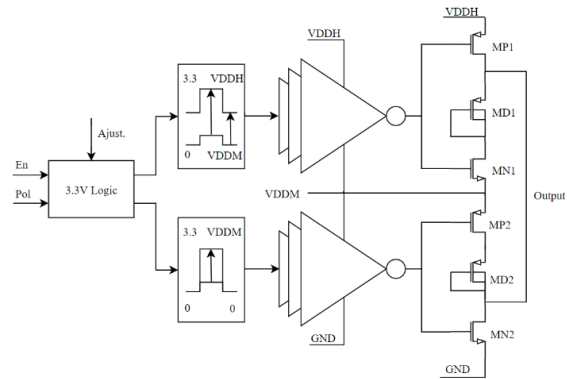


Figure 5.4: High voltage output stage's schematics

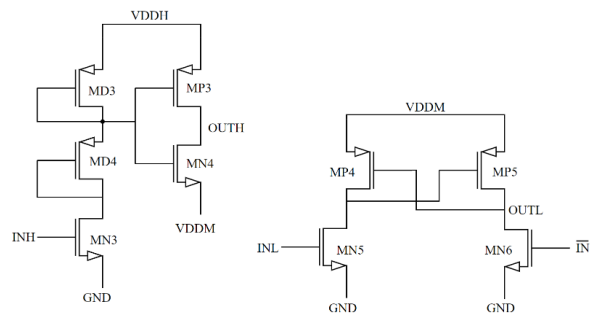


Figure 5.5: Voltage shifters. On the left, INH signal (0/3.3V logic) is shifted to VDDM/VDDH. On the right, INL

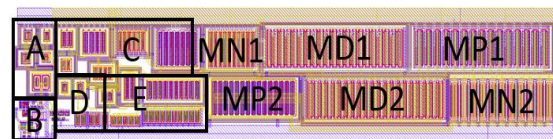


Figure 5.6: High voltage output stage's layout

Driving the output transistors requires 0-20V and 20-40V so two different level shifters were designed to shift 3.3V logic to those levels. A tapered inverter chain was used between the level shifters and the output transistors to increase their switching speed (shown on Figure 5.4).

When INH is high (Figure 5.5), the gates of MP3 and MN4 are brought to VDDM, effectively driving OUTH to VDDH. This state is consuming static power, but is only active when the output of the pulser has to be driven to VDDH. The duty cycle of ultrasound emission circuits being very short, the average power consumption remains low. The cross-coupled topology of the low level voltage shifter does not consume static power.

The output stage's dimensions, including level shifters and protection diode are  $965 \times 210 \mu\text{m}^2$ . The width was chosen to match a high voltage I/O pad from the standard cell library in AMS 0.35 $\mu\text{m}$  HV, thus facilitating the integration of multiple output stages on the same IC. In Figure 5.6, A) represents the high-level voltage shifter, B) is the low voltage logic block, C) is the high-level tapered inverter chain, D) is the low-level voltage shifter and E) its tapered inverter chain.

Table 5.1 : Output stage transistor sizes

MOS	Type	Width ( $\mu\text{m}$ )	Length ( $\mu\text{m}$ )
MP1	PMOS50H	1500	1.4
MN1	NMOSDI20H	1000	0.5
MP2	PMOS20H	1500	1.4
MN2	NMOS50H	1100	1
MD1-2	PMOS50HS	1000	2.8
MD3	PMOS20H	20	3
MD4	PMOS20H	20	4
MN3	NMOS50T	50	0.5
MP3	PMOS20H	20	1.1
MN4	NMOSI20H	10	0.5
MP4-5	PMOS20H	20	1.1
MN5-6	NMOS20T	50	0.5

### 5.3.3 Delay

To individually address each channel with an equal delay, we designed a delay line consisting of 16 identical blocks. The delay magnitude for each block is set by five bits: three bits use an open-loop circuit for fine delay adjustments and two use a calibrated circuitry to ensure better matching on coarse delays. One more bit is used to control the direction of the delay line and is therefore responsible for the sign of the angle. Both delay implementations are continuously variable and detailed below.



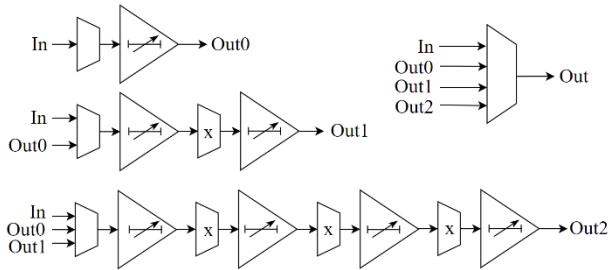


Figure 5.7: Multiplexing of the three fine delay elements. Dummy multiplexers (with x mark) were inserted for better matching. The overall delay is given by  $D_{total} = N * (d_{element} + d_{mux}) + d_{output\ mux}$ , where N is an integer set by the bit combination.

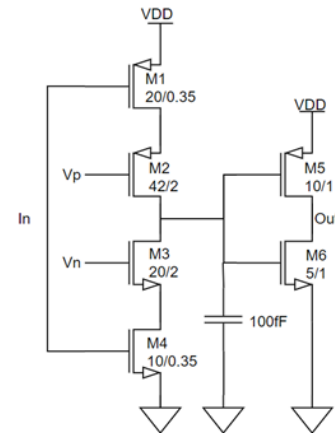


Figure 5.8 : Inverter-based delay element

The multilevel pulsing approach described earlier implies that more than one bit is needed to define the state of an output stage. Here, the two bits (3.3V) required, are defined as Enable (*En*) and Polarity (*Pol*). When *En* is high, the output of the pulser is either driven to VDDH with *Pol* being high or otherwise to ground. Keeping *En* low locks the pulser's output to VDDM. This bit combination prevents a short-circuit between VDDH and ground in the output branch.

Those two state bits must propagate at the same speed in the circuit to keep the first and last pulses at the desired length. To do so, a clock signal is sent by an external FPGA to drive flip-flops carrying *En* and *Pol* signals. The flip-flops being clocked on a rising edge, this synchronizing signal must run at least at twice the emission frequency. This clock can be active only while the circuit is emitting since the IC does not use this clock as an input for a PLL or DLL. Its period can also vary from cycle to cycle, allowing for more complex waveforms. Triggering flip-flops only on positive edges allows for more robust implementation as the high voltage waveform is not affected by the clock's duty cycle.

Better linearity is achieved in a digital-to-time converter when implementing a unit size delay element and copying it with increasing geometric ratio rather than designing and matching elements with different delays[24]. Moreover, using multiple shorter delay elements (when using inverter-based delay) to create a longer delay overcomes the limitation of minimal pulse width of inverters.

Indeed, an inverter can't transmit a pulse shorter than its delay because its output still hasn't changed when the input returns to its initial state. The fine delay element in this design is therefore copied twice and four times for the second and third bit of the delay magnitude (Figure 5.7).

In the fine delay circuit (Figure 5.7), every delay element is based on a dual current source starved-inverter (Figure 5.8). Both PMOS and NMOS current sources' dimensions are scaled much higher than the node's minimal dimensions, ensuring better matching across the die. The two bias voltages are set externally so that each chip can be tuned to the desired delay. The flip-flops being clocked on the rising edge,  $V_N$  is responsible for the delay between elements.  $V_P$  tunes the delay on the falling edge of the clock and therefore, must be carefully tuned to preserve the clock's duty cycle.

Three bits being implemented with seven copies of the starved-inverter and each chip featuring 16 channels, the duty cycle's sensitivity to  $V_P$  can get unpractically high especially when all three bits are selected. To address this issue, only bits 0, 1 and 2 rely on the starved-inverter, limiting the number of series starved-inverters to 112 per IC. A second scheme was implemented for longer delays, activated by selecting a combination of bits 3 and 4. For matching purposes, a block capable of introducing a delay eight times longer than the starved-inverter circuit was implemented once to introduce the delay required by bit 3 and copied twice for bit 4.

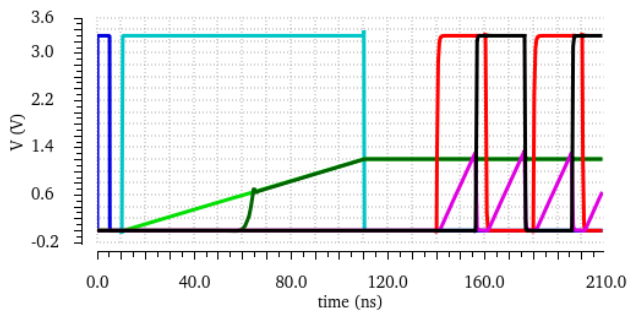


Figure 5.10: Voltage shifters. On the left, INH

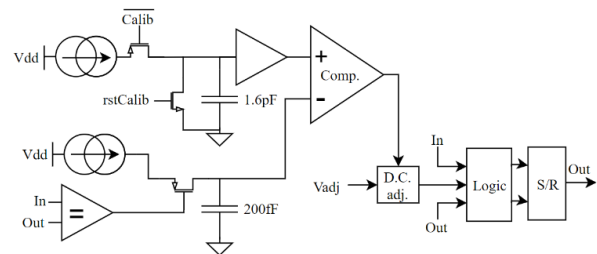


Figure 5.9: Coarse delay's schematics

This coarse delay circuit requires both a calibration signal and a reset. First, *rstCalib* (Figure 5.9) sinks any charges present on the large capacitor. Then, a calibration pulse is sent, charging this capacitor close to  $V_{DD}/2$ . Its voltage is then copied through a buffer so no kickback of the comparator can affect its value. The circuit then waits for an input state change by comparing the input and output of the circuit. When they have different values, a down pulse is applied to the lower PMOS, charging the smaller C capacitance from a current source matched to the calibration circuit. The

voltage ramp rises until a point where the comparator's output trips. A logic gate combination determines if the incoming edge was rising or falling and triggers an S/R latch accordingly. A duty cycle adjustment block is added to compensate for any difference in rising or falling edge delay in the edge detection circuit, the logic or the S/R latch. Following the capacitor ratio, the delay becomes:

$$d = \frac{t_{calib}}{8} + t_{comp} + t_{logic} \quad (8)$$

By having a fast comparator and minimal logic, the delay is almost solely dependent on the duration of  $t_{calib}$ . Having this ratio allows for longer calibration pulses and therefore, more precision on the inserted delay. These delay elements are designed to introduce between 12 to 20ns and are minimally dependent on PVT parameters because of current source and capacitor matching. Figure 5.10 shows a complete simulation of the calibration and test process.

## 5.4 Experimental Results

### 5.4.1 Test Platform

The graphs and measures presented in 5.4 are all from tests ran on the IC after fabrication using a custom platform and an oscilloscope (MDO4104-6 from Tektronix). The custom test platform controlling the IC features a ZEM5310 FPGA from *Opal-Kelly* alongside various voltage regulation circuits powering everything from a benchtop dual output power supply (40V and 20V). This main board is connected to a PC running a custom software giving the user access to various settings such as emission frequency, waveform customization, repetition frequency, angle control and more.

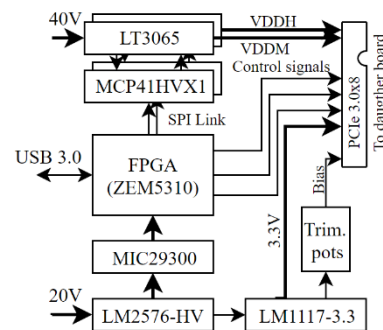


Figure 5.11: Control board's high-level schematics

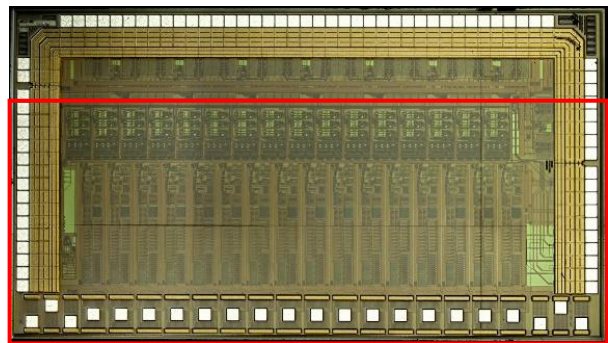


Figure 5.12: Photograph of the microchip. The portion of the circuit presented in this paper is highlighted in red

Table 5.2 : Output stage comparison

Parameter	Llimós Muntal, et al. [33]	Chen, et al. [36]	Holen and Ytterdal [46]	Muntal, et al. [51]	This work
Technology node ( $\mu\text{m}$ )	.35	0.18	0.18	0.35	0.35
Levels (V)	50/75/100	0/15/30	-70/0/70	60/80/100	0/20/40
Load (pF)	15	40	-	30	500
Frequency (MHz)	5	5	5	5	20
Conso. (mW/channel @ 50% duty cycle, no load)	188	77.6	152.5	200	192
Area per channel ( $\text{mm}^2$ )	.938	0.33 (with RX circuit)	0.0246	0.099	0.203

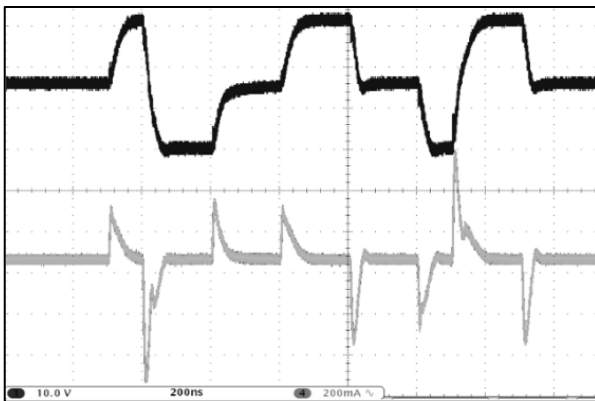


Figure 5.14 : Example of a custom waveform with 500pF load. Top waveform is the voltage output, bottom is the current entering the load.

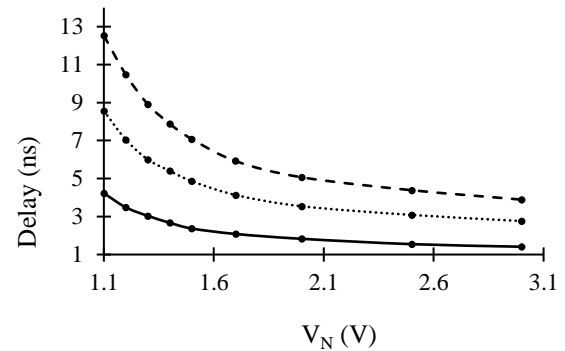


Figure 5.13 : Average channel-to-channel delay when varying  $V_N$ . Bit combinations are shown in: solid: 001, dots line: 010, dashes line: 011.

Table 5.3 : Average  $N^{\text{th}}-1$  to  $N^{\text{th}}$  delay and std. dev. across the ic

Active bits	Av. delay (ns)	Std. Dev. (ns)
001	3.81	0.37
010	6.62	0.32
100	12.15	0.34
111	20.35	0.39

Table 5.4 Delay increment and ratio

Active bit	Av. delay incr. (ns)	Ratio to bit 0
001	2.71	1
010	5.53	2.03
100	11.05	4.06
111	19.25	7.08

This control board features a PCIe 3.0x8 female connector which carries power and control signals for the IC. A daughter board with gold fingers carries the chip and test points. This allows multiple chips to be tested and compared easily by swapping their daughter boards.

### 5.4.2 HV pulsers

The output stage can drive loads of hundreds of picofarads, making the IC compatible with most of the micromachined ultrasonic transducers present in the literature. Current spikes while switching to or from the median voltage reach 225mA. Full swings can source or sink up to 700mA when VDDH is set to 40V. The transistors used as protection diodes in the output branch allow for an active return to  $VDDM \pm 0.3V$ .

Table 2 compares this work against previous implementations of three-level pulsers. Our design, while being similarly sized to others, can drive much larger loads at high frequency and is therefore suitable for integration with a broader range of transducer's configuration.

### 5.4.3 Open-Loop Delay (fine delay)

To assess the range of the fine delay elements, the delay from the first to the second output of the IC was measured using a built-in function of the oscilloscope. Fig. 5.13 shows a range from less than 2ns to more than 4ns per LSB, effectively creating an overlap between each bit combination.

Next, delay matching was evaluated by measuring the delay from output to output with different bit combinations (Table 3). A linear regression of the measured delays shows an offset of 1.1ns, attributable to propagation of signal in the flip-flops and the multiplexers controlling the direction

of the plane-wave. Subtracting this value from the total delay, the contribution of each bit can be determined, and shows an almost perfect ratio to the first bit (Table 4).

In order to daisy chain multiple chips, the clock signal must retain its integrity.  $V_N$  controlling the rising edge's delay (hence the effective delay on *En* and *Pol* because of the positive edge-triggered flip-flop) and  $V_P$  the falling edge, the duty cycle can be adjusted by carefully tuning  $V_P$ . To test the output clock's duty cycle sensitivity to  $V_P$ , a short clock cycle of 100ns was applied on the input and was delayed by activating the three least significant bits. With longer delays ( $V_N = 1.5V$ ), the output clock's duty cycle sensitivity to  $V_P$  reaches 0.7%/mV. When using shorter delays ( $V_N = 2.1V$ ), the sensitivity decreases to 0.2%/mV. By using trimmer potentiometers or precise resistors, keeping the duty cycle within  $50\pm 5\%$  is easily achievable.

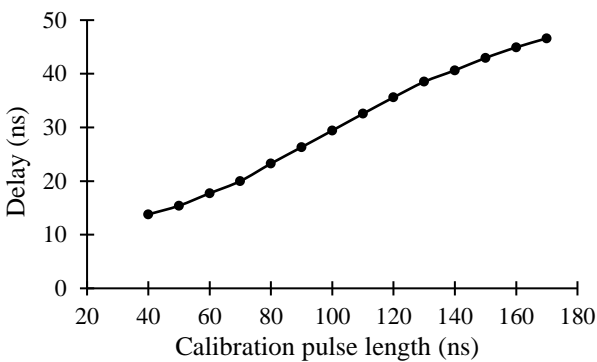


Figure 5.15 : Average channel-to-channel delay when varying the calibration pulse's length

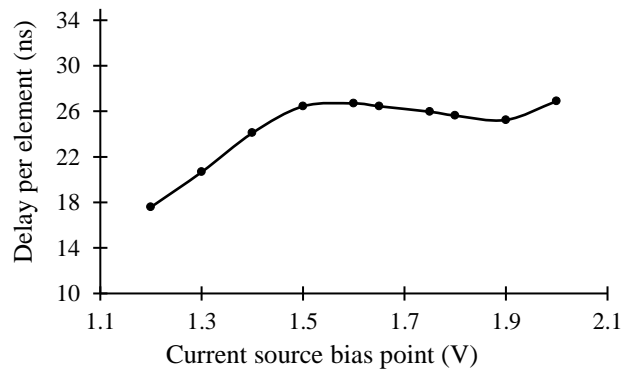


Figure 5.16 : Measured delay variation between first and second output stages when varying the PMOS's gate voltage in the current sources shown in Figure 5.9.

Every CMOS gate introduces jitter and this design uses many of them in its delay elements, multiplexers and logic. While the three least significant bits were activated, the total jitter between the input and output clock of the chip was found to be less than 200ps over the total induced delay of 326ns.

#### 5.4.4 Calibrated delay (coarse delay)

The calibrated delay must be eight times longer than the LSB's delay. By varying the calibration pulse's length, the range of 16 to 32ns is close to linear, as shown on Fig.5.15. The delays introduced by selecting bit 3, 4 and both showed an average ratio of 1, 1.995 and 2.97 with respect to bit 3's delay. Matching across channels showed a standard deviation of 1.1ns when set to 15.3ns delay per channel.

The calibration of the circuit should stabilize the delay when the bias voltage controlling the current source varies. This was tested by sweeping the voltage from 1.2 to 2V and the delay was shown to be stable (+/-5%) from 1.5 to 1.9V.

Next, the circuit was tested for the stability of the voltage created on the 8C capacitor. After the calibration pulse, the voltage was monitored and showed a -1.14V/s ramp, corresponding to an 877T $\Omega$  parasitic resistance across the 1.6pF capacitor. Ultrafast frames being acquired in less than a millisecond, a calibration for every compound image is enough to keep the voltage within a millivolt.

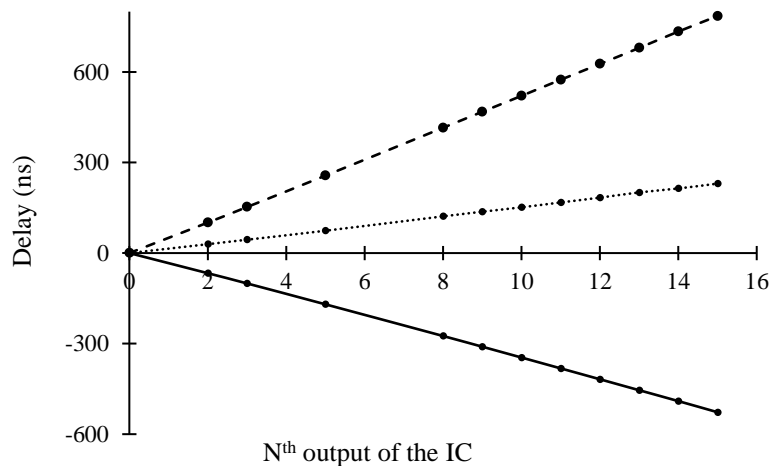


Figure 5.17 : Delay at the N<sup>th</sup> output of the circuit with three combinations of bit 3 (dashes: 111111, solid: 101000, dots: 010100). MSB on the left is the sign bit, followed by the two calibrated delay and the three open-loop delay. Not all outputs were probed due to space constraint on the printed circuit board.

### 5.4.5 Overall Digital-to-Time Converter

The combination of the two delay elements types allowed for 64 programmable values, with a gain range of 2 to 4ns/LSB. The delay at 12 outputs of the IC are shown in Fig. 5.17 for three different combinations of bits.

Figure 5.18 shows the integral non-linearity for each bit combination after matching open-loop and calibrated delays from the first output of the chip to the last. The error stays below 0.25LSB. Spikes on multiples of 8 indicate that both delay element types are not perfectly matched. The summary of the digital-to-time converter's performance is presented in Table 3.

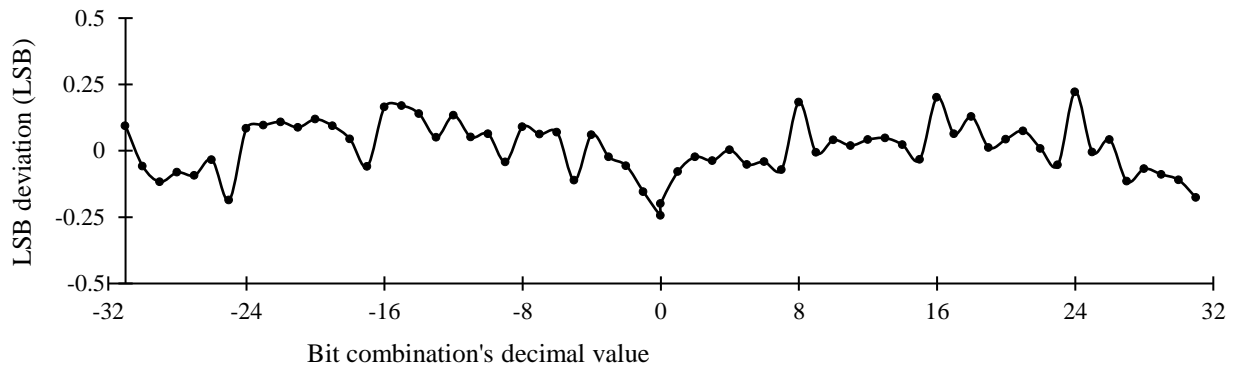


Figure 5.18: Digital-to-Time Converter's integral non-linearity (INL) from channel 0 to 15.

Tableau 5.5 : Digital to time converter's performance

Parameter	Value
Resolution	1 sign bit, 5 magnitude bits
LSB range	2 to 4 ns
Jitter at full range	0.78 ns
Gain error	None (adjustable gain)
Offset error	1.1 ns
INL	0.24 LSB
DNL	0.43 LSB



Output clock's integrity (jitter and duty cycle) is suitable for the daisy-chaining of multiple chip in future projects. The jitter at full range correspond to a  $0.03^\circ$  RMS noise on a transducers array with a  $150\mu\text{m}$  pitch. Duty cycle was also kept within 5% of error. To further validate the possibility of daisy-chaining, the delay in the pads were indirectly measured. First, the input delay and output stage propagation time were estimated by measuring the time between the input clock's rising edge and the output of the first channel and subtracting the average channel-to-channel delay. Then, by measuring the delay between the last output stage of the chip and the rising edge of the output clock, the pad delay (0.87ns) and propagation time in the output stages (7.5ns) were computed. Adding the delays of the input and output pads lead to an estimated total delay of 1.73ns from one IC to the next when daisy-chaining.

## 5.5 Conclusion

This work demonstrates the successful implementation of a simple beamformer for plane-wave imaging. The delays blocks addressing each channel are built using open-loop fine delay elements and calibrated coarse delay elements. Both types showed good matching across the chip. The IC can control 16 channels and allows for daisy-chaining in higher channel count application. The six bits digital control (one for sign, five for magnitude) and the adjustable gain from 2 to 4ns/LSB cover a continuous interval and are fully decoupled from the emission frequency, effectively creating quantization error-free plane wave.

The excellent matching of the open-loop delay suggests that the beamformer could be implemented with copies of this circuit only. This would take out the need for a reset and calibration signal. A current mirror could be implemented to generate  $V_P$  on-chip. A simple duty cycle correction circuit could complement this modification and provide an even more robust implementation. Three-level high voltage output stages were also integrated on-chip. While being similarly sized to other work, they showed an improvement in current driving strength.

## 5.6 Acknowledgments

Authors would like to thank Sreenil Saha for his precious insights on AMS  $0.35\mu\text{m}$  HV CMOS process and Maxime Thibault from Poly-Grames for his patience and talent in the wirebonding process. This project was supported by the government of Canada through the NSERC and the government of Québec through the FRQNT.

## 5.7 References

Les références de ce chapitre ont été fusionnées à celles du mémoire pour éviter les redondances.

## CHAPITRE 6 AUTRES NOTES SUR ICEPMALCMT

L'article présenté dans la section précédente couvre le système de ligne à délai responsable de la formation des ondes planes ainsi que l'étage de sortie. Le chapitre présent vise à mettre de l'avant les autres éléments relatifs à ICEPMALCMT. Ainsi, le système de réception intégré sur la puce sera présenté, suivi des systèmes de contrôle et d'acquisition matériels et logiciels mis en place pour tester le circuit intégré.

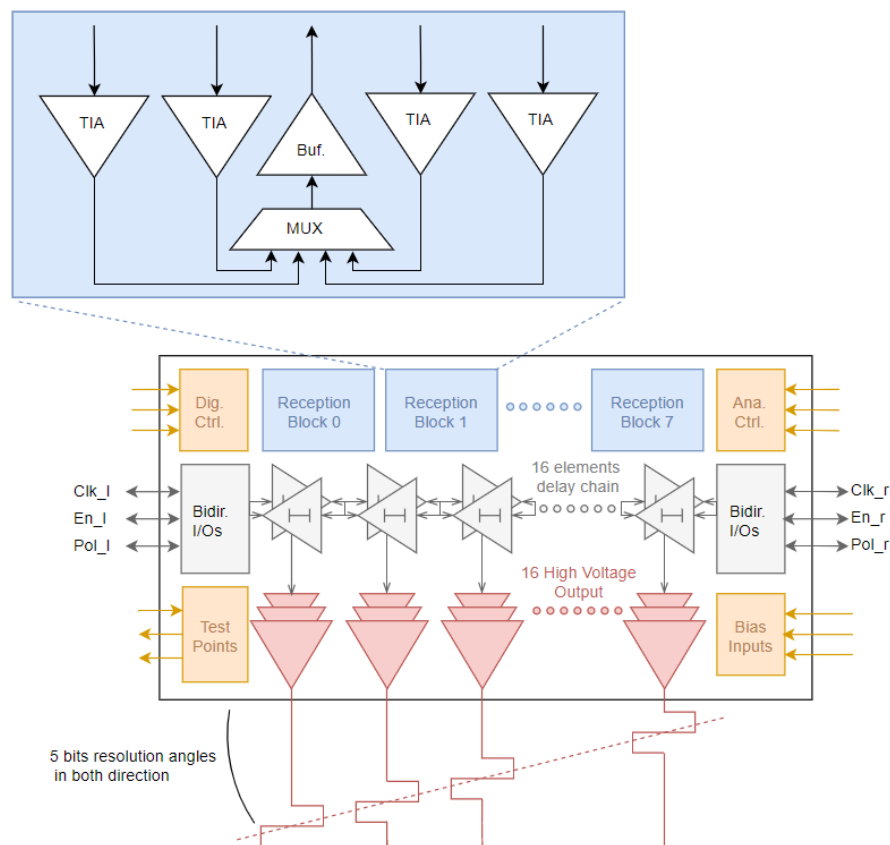


Figure 6.1 : Schéma haut niveau d'ICEPMALCMT

### 6.1 Système de réception

Tout comme dans les puces précédentes, un système de réception a été intégré à la puce. Cette section présente ses composantes. L'ATI basé sur la triple chaîne d'inverseur conçu pour la deuxième puce est repris et amélioré. Pour diminuer l'impédance de sortie de la puce, un amplificateur suiveur est placé à la sortie de chaque groupe de quatre ATIs. Un multiplexeur amélioré permet de réduire la diaphonie.

### 6.1.1 ATI amélioré

L'ATI basé sur la chaîne d'inverseurs est repris dans cette puce. Cependant, ses caractéristiques sont améliorées. Ainsi, le gain est augmenté de  $20k\Omega$  à  $50k\Omega$  en changeant la valeur de la résistance de rétroaction. La bande passante doit aussi être améliorée pour atteindre au moins  $30MHz$  et ainsi pouvoir acquérir les signaux provenant de transducteurs à haute fréquence. Pour limiter la consommation de la puce, un système de sélection permet à un seul ATI par groupe de quatre d'être actif à la fois (*Seul*) ou d'éteindre tous les ATIs de la puce (*Tous*). Pour limiter la diaphonie, une porte de transmission est ajoutée à la suite de chaque ATI. La Figure 6.2 montre ces ajouts.

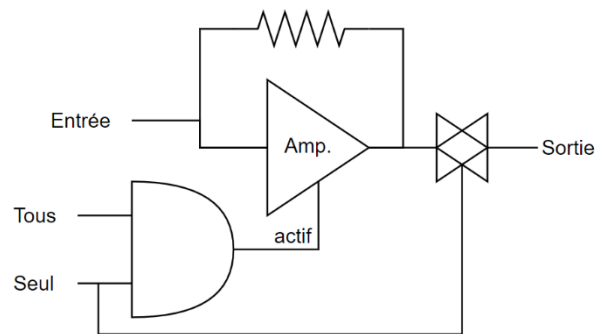


Figure 6.2 : Circuit de sélection de l'ATI dans ICEPMALCMT

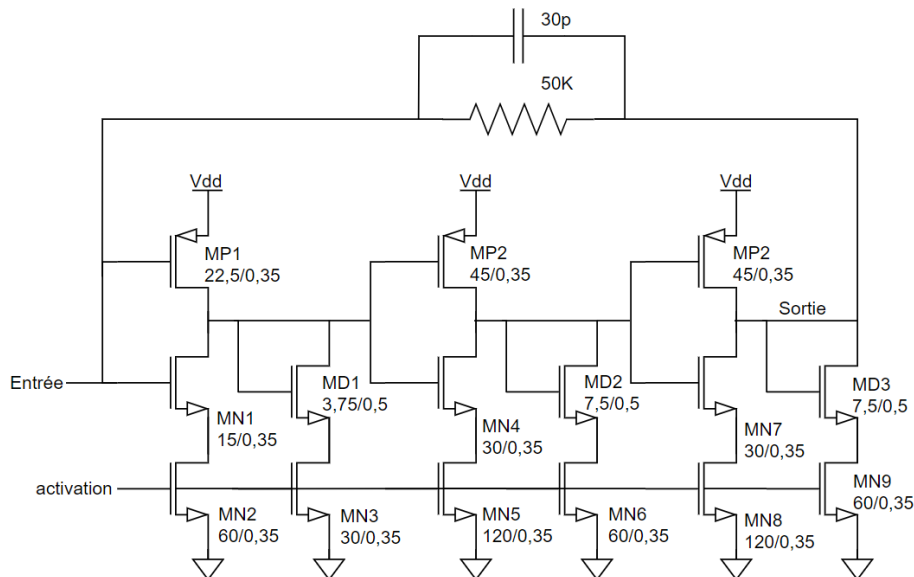


Figure 6.3 : Amplificateur de transimpédance dans ICEPMALCMT

Des transistors de type NMOS sont ajoutés pour activer ou désactiver les trois branches du circuit. La rétroaction de  $50\text{k}\Omega$  et  $30\text{fF}$  permet de couvrir une bande passante de  $106\text{ MHz}$  et augmente les marges de gain et de phase. Les dimensions des composantes sont montrées sur la Figure 6.3 (la porte logique et la porte de transmission ne sont pas montrées sur cette figure).

### 6.1.2 Amplificateur suiveur

L'ATI implémenté sur la puce précédente montre une impédance de sortie plus importante que prévue en simulation. Cela pose un problème, puisque les convertisseurs analogiques/numériques tels que l'AFE5816 de Texas Instruments présentent normalement une impédance d'entrée de  $5\text{k}\Omega$ . Il faut donc que l'impédance de sortie du circuit soit significativement plus basse que cette valeur pour que le signal ne perde pas d'amplitude. Pour s'assurer de résoudre ce problème, un amplificateur suiveur est ajouté entre les ATIs et la sortie de la puce (Figure 6.4).

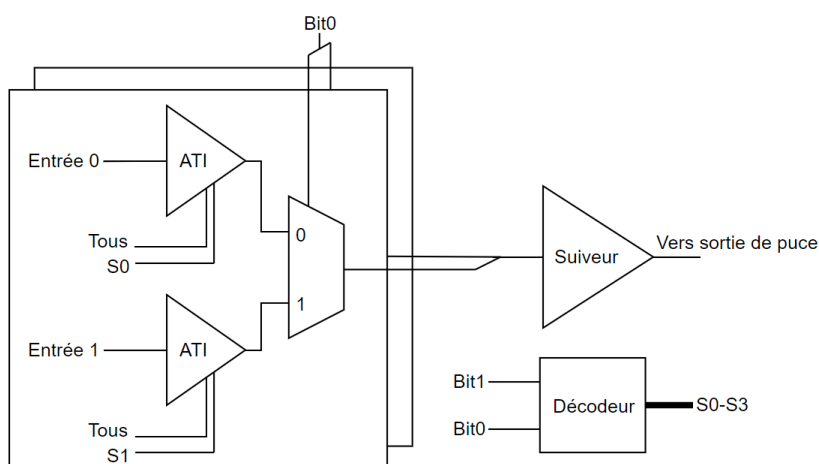


Figure 6.4 : Bloc de réception dans ICEPMALCMT

La disposition du circuit est montrée sur la Figure 6.5. Les quatre ATIs occupent  $0,02\text{mm}^2$  chacun, l'amplificateur suiveur  $0,011\text{ mm}^2$ , les multiplexeurs  $0,008\text{mm}^2$ , les traces d'alimentation  $0,05\text{ mm}^2$ , et les terminaux d'entrée/sortie  $0,011\text{ mm}^2$  chacun.

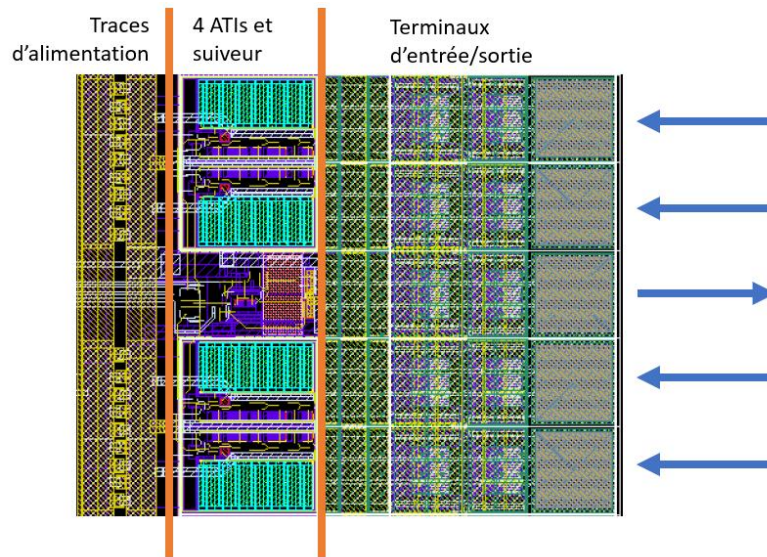


Figure 6.5 : Placement des composants du circuit de réception.

### 6.1.3 Multiplexeur

Afin de réduire le nombre de fils nécessaires entre la puce et le circuit de contrôle, les amplificateurs sont groupés quatre par quatre et leurs sorties sont multiplexées pour qu'avec 32 canaux de réception, seulement 8 fils soient requis pour se connecter au CAN. Bien entendu, ce compromis réduira par quatre la fréquence d'acquisition maximale théorique puisque quatre émissions seront requises pour lire les signaux provenant de tous les transducteurs. En revanche, il sera démontré dans la section 6.2.2 que la fréquence d'acquisition du système n'est pas limitée par ce système, mais plutôt par la vitesse de transfert entre le circuit de contrôle et l'ordinateur.

### 6.1.4 Simulations et tests

Afin de s'assurer d'une implémentation réussie, de nombreuses simulations ont été réalisées. Cette section en présente quelques-unes. Premièrement, une simulation incluant l'ATI, l'amplificateur suiveur et un modèle du terminal de sortie permettent d'évaluer l'amplitude en sortie (Tableau 6.1). Le gain apparent est conservé jusqu'à une charge de sortie de moins de  $5\text{ k}\Omega$ , ce qui correspond aux besoins de la puce. Dépasser ces besoins serait peu judicieux : pour commander des charges plus importantes, il aurait fallu augmenter les dimensions des transistors de l'amplificateur suiveur. Comme huit copies de ce circuit sont implémentées sur la puce, toute augmentation a des répercussions importantes.

Tableau 6.1 : Simulation de l'impact de l'ajout de l'amplificateur suiveur

Charge en sortie (k $\Omega$ )	Gain apparent (k $\Omega$ ) en simulations	
	Sans suiveur	Avec suiveur
0,5	10,9	32,7
5	36	49,4
50	47,9	49,9
500	49,7	49,9

Tableau 6.2 : Comparaisons entre les simulations et les mesures de l'ATI

Paramètre	Simulation	Mesure
Gain boucle ouverte (V/V)	226	-
Marge de gain (dB)	22.5 @ 1,06 GHz	-
Marge de phase (degrés)	57,8 @ 200 MHz	-
Gain (k $\Omega$ )	49,9	48,7
Bande passante -3dB (MHz)	66	1
Impédance entrée/sortie ( $\Omega$ )	297/328	500/6,04k
Consommation (mW)	27	62,3
Err. Appariement du gain (%)	<0.01	-
Bruit (mV RMS) intégré à 2xBP	1,98	1,94
PSRR (@ DC) (dB)	0	0,4
Plage de sortie @ -1dB (V)	1,46	2,32
Tension centrale	1,436	1,42
Diaphonie (dB)	-69,4	<-58
Temps de démarrage (ns)	160	-

Pour mesurer indépendamment les performances des ATIs et de l'amplificateur suiveur, des multiplexeurs sont ajoutés dans un des blocs de réception. Les résultats après fabrication sont comparés aux simulations dans le Tableau 6.2. Bien que le gain ait effectivement augmenté par rapport à ICVPMCM2, plusieurs indices de performance sont notablement inférieurs à ce qui était prévu. Premièrement, la bande passante est nettement moins élevée que ce que laissent supposer les simulations. La figure suivante montre les simulations dans tous les « coins » de la gaufre de silicium. La bande passante minimale est toujours de plus de 30 MHz. Ces simulations sont réalisées en incluant tous les éléments utilisés lors de la mesure du circuit réel (détaillé à la Figure 6.5).

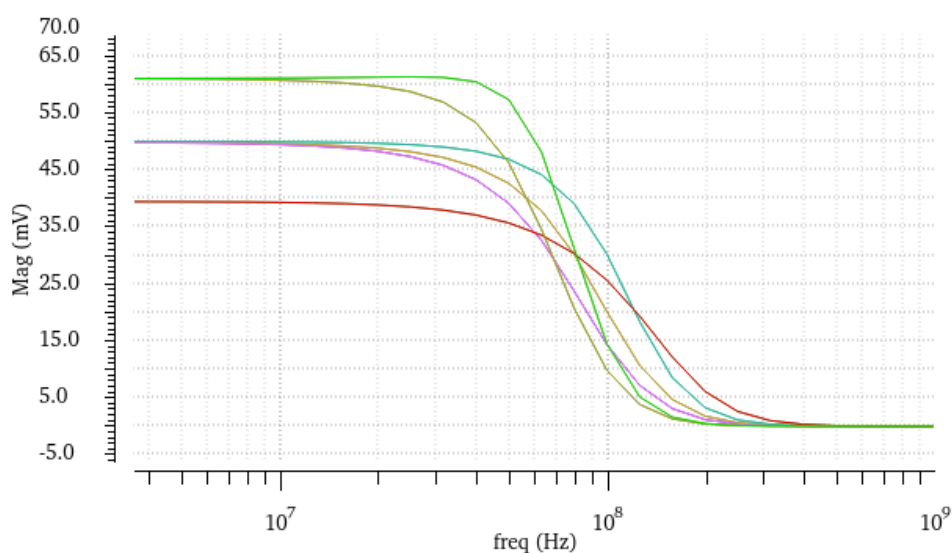


Figure 6.6 : Simulation du gain et de la bande passante du module de réception dans ICEPMALCMT dans différents coins de la gaufre

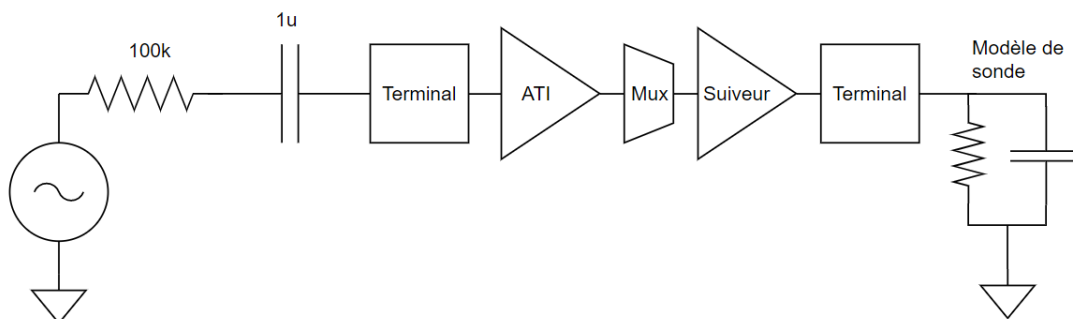


Figure 6.7 : Circuit simulé sur la Figure 6.6



La mesure de performance de l'amplificateur suiveur démontre que sa bande passante est de plus de 30 MHz, ce qui prouve que la bande passante du système de réception n'est pas limitée par les terminaux d'entrée et sortie ni les multiplexeurs, mais bien par l'ATI. L'amplificateur suiveur fonctionne, bien que l'apparition d'un pic de résonance à 20 MHz indique la présence d'un pôle. Un ajustement dans la rétroaction permettrait de résoudre ce problème dans une puce future.

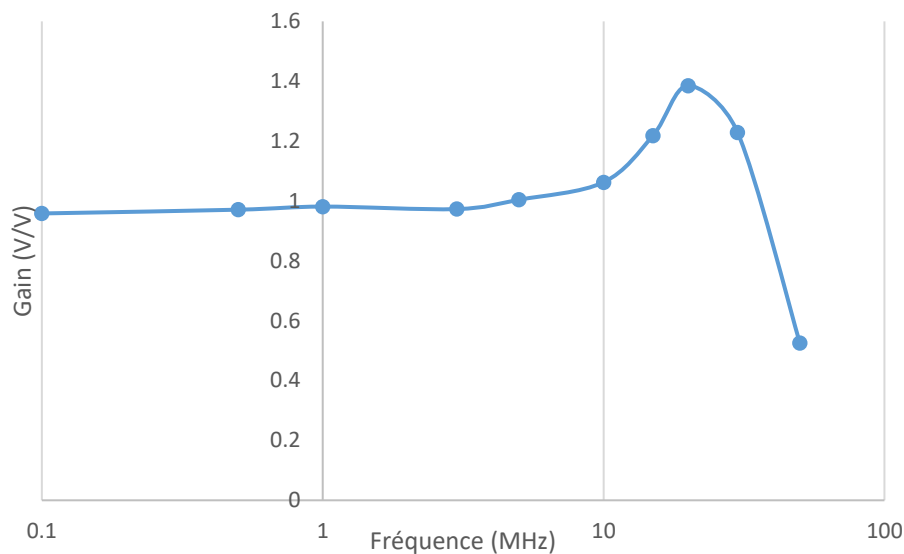


Figure 6.8 : Réponse en fréquence l'amplificateur suiveur

La mesure du bruit et de la diaphonie a posé un problème. En effet, la sonde de l'oscilloscope affiche un bruit RMS de 3,5mV lorsque mise à la masse et 4mV, lorsque connectée à la sortie d'un ATI dont l'entrée est laissée flottante. Cette petite différence suggère qu'un oscilloscope moins bruyé serait plus adéquat pour cette mesure. Néanmoins, le bruit peut être estimé à 1,94mV grâce à la formule (9). Pour s'assurer de minimiser le bruit, la tension d'alimentation de la ligne à délai est physiquement séparée de celle alimentant le système de réception.

$$RMS_{Total} = \sqrt{RMS_{oscilloscope}^2 + RMS_{ampli}^2} \quad (1)$$

La mesure de diaphonie est également limitée puisqu'un signal inférieur à 4mV ne peut pas être détecté. Comme aucun signal n'est visible même lorsque le signal d'un amplificateur adjacent est à pleine échelle, les multiplexeurs atténuent au moins de 58dB.

Enfin, un problème survient lorsque l'ATI et l'amplificateur suiveur sont utilisés en même temps : le circuit se met à osciller, tel que montré sur la Figure 6.9. Le test de l'amplificateur suiveur seul ne montre pas d'oscillation. Ce comportement n'apparaît d'ailleurs pas dans les simulations. Cette dégradation de la performance est la raison pour laquelle le circuit de réception n'a pas été inclus dans l'article présenté au chapitre précédent.

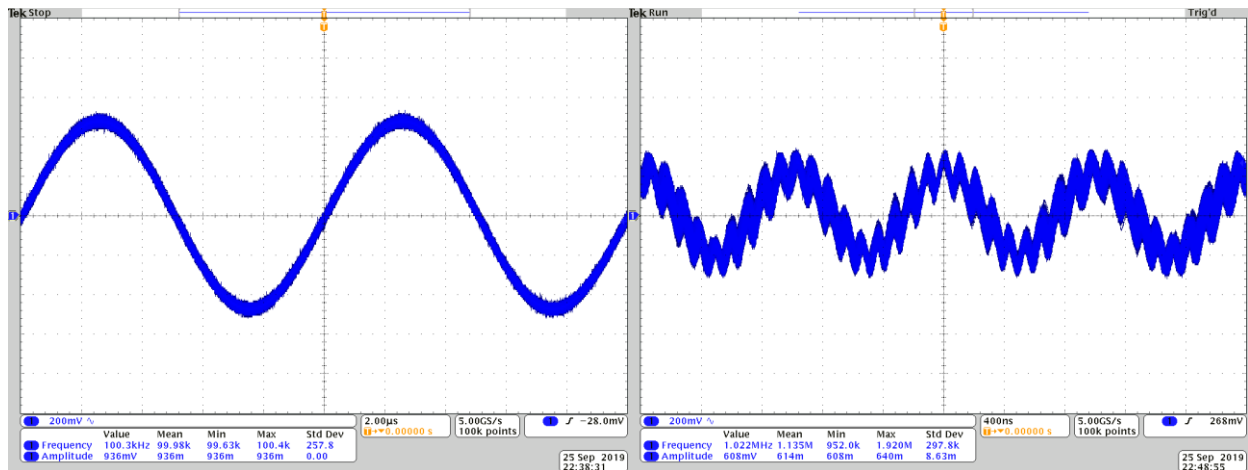


Figure 6.9 : À gauche, comportement de la sortie de l'ATI. À droite, la sortie lorsque l'ATI et l'amplificateur suiveurs sont mis en série

## 6.2 Système de contrôle et d'acquisition

Le système d'acquisition et de contrôle est composé d'un ordinateur fonctionnant sous Windows, d'une carte d'acquisition et d'un circuit de support pour la puce. D'autres appareils sont nécessaires pour faire fonctionner le système, tels que des générateurs de tension, ou pour mesurer ses performances, tels qu'oscilloscope et multimètre. Les circuits seront d'abord présentés, puis l'interface logicielle sera détaillée.

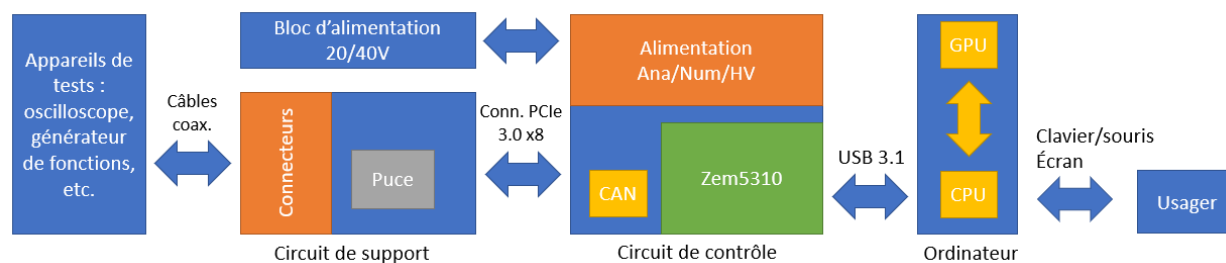


Figure 6.10 : Vue simplifiée du système entourant ICEPMALCMT

### 6.2.1 Circuits imprimés

Deux circuits sont conçus pour le système de contrôle et d'acquisition : le premier est un circuit de support sur lequel la puce est connectée par fil d'or, le second est un circuit supportant l'alimentation, la génération des signaux de contrôle et la numérisation des signaux. Fixer la puce sur un circuit à part permet d'en tester plusieurs plus facilement et offre la possibilité de changer la configuration en modifiant ce circuit pour y ajouter d'autres puces en série ou en ajoutant des transducteurs.

#### 6.2.1.1 Circuit de support

La puce est fixée sur un circuit imprimé à haute résolution (75 microns) à l'aide de fils d'or. Habituellement, ces connexions par fils d'or sont réalisées dans un boîtier, qui permet également de protéger la puce. Ce boîtier peut ensuite être soudé sur un circuit imprimé à plus basse résolution avec les méthodes de soudures standard. Cependant, le boîtier nécessaire pour la puce offrant plus de 100 points de connexion se détaille à plus de 150 de dollars (prix de CMP) et aurait quand même nécessité un circuit imprimé à quatre couches. L'utilisation d'un circuit à haute résolution permet de réduire les coûts, même s'il reste relativement dispendieux, à environ 100\$. En revanche, si

plusieurs puces sont éventuellement installées sur chaque circuit imprimé, les économies deviennent substantielles.

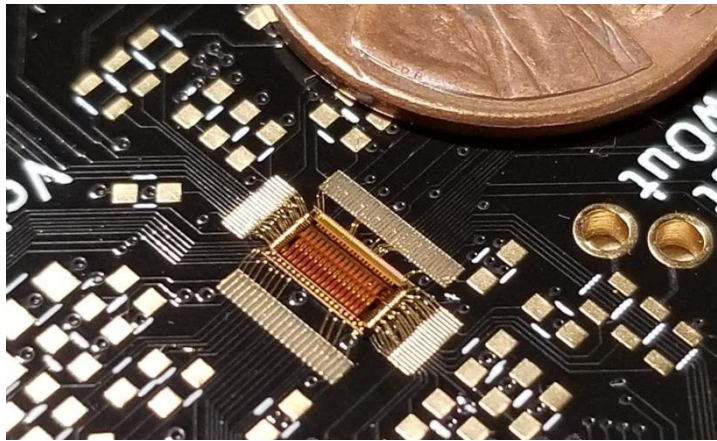


Figure 6.11 : ICEMPALCMT reliée par fil d'or à un circuit imprimé à haute résolution plaqué d'or. Une pièce d'un cent américaine montrée pour comparer la taille.

D'un côté du circuit de support se trouvent des connecteurs de type UMC (coaxiaux de taille réduite) pour connecter les appareils de test. De l'autre, des traces sont laissées à nues afin de former la partie mâle d'un connecteur PCIe 3.0x8. Ce connecteur, bien connu pour son utilisation sur les cartes mères de PC et les cartes graphiques, supporte des vitesses de transferts allant jusqu'à 8 GT/s. Comme les signaux les plus rapides nécessaires à la puce ne dépassent pas quelques dizaines de mégahertz, ce connecteur peu dispendieux est idéal. De plus, il est physiquement séparé en deux groupes de connexions, l'une qui servira ici à alimentation et aux signaux numériques et l'autre qui supportera les signaux analogiques sortant de la puce.

### 6.2.1.2 Circuit de contrôle

Le circuit de contrôle supporte un AFE5816 de Texas Instruments® et un FPGA ZEM5310 d'Opal-Kelly®. À eux deux, ces composantes forment un système d'acquisition rapide. L'AFE5816 est un circuit intégré de réception analogique spécialement conçu pour les systèmes ultrasonores. Il présente 16 canaux possédant chacun leur convertisseur analogique/numérique distinct, capable de numériser un signal sur 12 bits à une fréquence de 80 millions d'échantillons par seconde. Ces signaux sont transmis par signaux standards LVDS (*Low Tension Differential Signal*) sur les fronts montants et descendants de l'horloge. Ici, comme une seule puce est utilisée sur le circuit de support, seulement huit CANs sont utilisés. Très peu de modifications seraient en revanche

nécessaires pour permettre au système de supporter deux puces à la fois (64 canaux multiplexés dans 16 CANs).

Le ZEM5310 est le centre de contrôle. Il permet d'envoyer les bits de contrôle (sélection du délai, signaux d'horloge, de polarité, d'activation, de multiplexage, etc.) à la puce ainsi que de communiquer par protocole SPI (*Serial Peripheral Interface*) avec les résistances programmables définissant les tensions  $V_{\text{effondrement}}$ , VDDH et VDDM et avec l'AFE5816. En effet, l'AFE5816 possède plusieurs modes de fonctionnement et options qu'il faut programmer avant le début des acquisitions. Le ZEM5310 est également responsable de lire les signaux LVDS et de transmettre les valeurs du CAN à l'ordinateur.

Le reste du circuit de contrôle comprend plusieurs modules d'alimentation. En effet, plusieurs tensions sont requises pour alimenter le système. Comme les convertisseurs alternatifs continus disponibles dans le laboratoire offraient des sorties de 20 et 40V, toutes les tensions en deçà de 20V sont obtenues en passant d'abord par une alimentation à découpage (LM2576-HV). L'AFE5816, l'élément le plus sensible et très gourmand, possède sa propre alimentation à découpage et ses régulateurs linéaires. Toutes les autres composantes partagent un second LM2576-HV auquel est mis en série un régulateur linéaire pour chaque tension requise. Le circuit de contrôle inclut également un CA02N-5, qui génère une tension programmable de 0 à -200V. Cela pourra être utile lors de l'intégration avec les CMUTs pour générer la tension de polarisation permettant de faire effondrer la membrane flexible. Le tableau Tableau 6.3 présente toutes les tensions requises par le système.

Tableau 6.3 : Alimentations requises pour le système

Composante	Tension d'alim. Numérique (V)	Tension d'alim. Analogique (V)
AFE5816	1,2 / 1,8	1,8 / 1,9 / 3,15
ICEPMALCMT	3,3 / VDDM (~20V) / VDDH (~40V)	3,3
ZEM5310	5	-
Résistances prog.	3,3 / 20	-
Régulateurs HV	40	-
CA02N-5	5	-

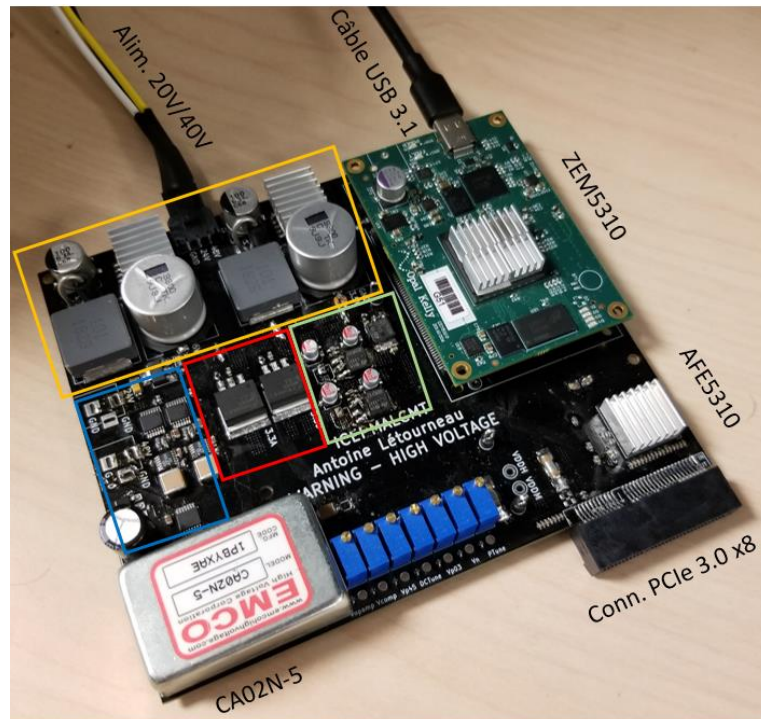


Figure 6.12 : Circuit de contrôle. En jaune : l'alimentation à découpage, en vert : régulateurs linéaires analogiques pour l'AFE5816, en rouge : les régulateurs linéaires pour ICEPALCMT, en bleu : résistances programmables et régulateurs linéaires à haute tension. Note : certains éléments sont placés sous le ZEM5310 (son régulateur linéaire et les régulateurs pour les tensions d'alimentation numériques du CAN).

## 6.2.2 Interface logicielle

Comme la conception d'une interface logicielle est un objectif secondaire de la maîtrise, moins de détails sont donnés sur les codes C et la description matérielle VHDL que sur la conception de la puce. Bien que quelques mois aient été requis pour la conception de l'interface, beaucoup de travail reste à faire pour reconstruire une image. Ainsi, aucun algorithme de reconstruction n'a été implémenté et les efforts ont plutôt été dirigés vers l'optimisation de vitesse d'acquisition.

La fréquence d'acquisition est limitée par plusieurs facteurs. Tout d'abord, la profondeur à imager impose une limite à la fréquence d'acquisition d'images puisque le système doit attendre le retour des échos depuis le milieu. Pour une profondeur de 2cm (trajet de 4cm pour l'onde de pression), le temps minimal pour une acquisition est de 26 $\mu$ s et limite donc la fréquence à 38,5kHz. Or, les 32 amplificateurs de la puce ICEPALCMT étant multiplexés dans 8 sorties, il faut attendre quatre

fois ce temps pour acquérir les signaux de tous les transducteurs, limitant la fréquence d'acquisition à environ 9,5kHz. Pour une image relativement petite (2048 valeurs\* 32canaux \* 2 octets) de 128Ko, une bande passante de près de 1,3Go/s est nécessaire entre le FPGA et l'ordinateur, il devient donc impératif de compresser le signal puisque le module de transfert USB3.1 du ZEM5310 possède une limite de 320Mo/s [52]. Dans le temps imparti pour cette maîtrise, il n'a pas été possible d'implémenter sur FPGA un module de compression des données.

Ainsi, le FPGA reconstruit les mots de 12 bits provenant du CAN en les plaçant sur deux octets chacun. Comme la librairie d'Opal-Kelly (gérant le transfert entre le FPGA et l'ordinateur) fonctionne avec des mots de 8 bits, placer les valeurs sur deux octets plutôt que 12 bits simplifie les opérations. Ces valeurs sont placées dans une première pile FIFO (*First In First Out*) par le module d'acquisition, codé en VHDL. Un second module vide la pile en plaçant ces valeurs dans une mémoire vive de type DDR3 et s'assure qu'une seconde pile soit toujours pleine. Lorsque le nombre d'éléments dans la mémoire vive et dans la deuxième pile est suffisamment élevé, l'ordinateur récupère l'ensemble des données. L'objectif ici est de minimiser le nombre de transferts et d'augmenter leur taille. En effet, chaque paquet de données doit être encapsulé par la librairie d'Opal-Kelly et ce processus ralentit considérablement le taux moyen de transferts. Opal-Kelly cite des vitesses de 60Ko/s pour des paquets de 128 octets et jusqu'à 320Mo/s pour des paquets de 8Mo. En pratique, des paquets de 512Ko sont formés, permettant d'atteindre une vitesse de transfert de plus de 200Mo/s : une taille plus élevée présentait des problèmes lors des transferts sur le FPGA entre les piles FIFO et la mémoire vive.

Une façon simple de compresser les signaux serait de combiner les bits de quatre valeurs sur 48 bits et de reformer sur GPU les quatre valeurs 2 octets chacune plutôt que d'envoyer directement les valeurs sur deux octets. À 320Mo/s, sans compression, il serait possible de transférer entre le ZEM5310 et le PC les signaux d'environ 2500 images/s (2048x32 pixels). Cependant, comme la mémoire vive ne peut pas écrire et lire en même temps dans les piles FIFO, l'acquisition se fait en deux temps : les données sont toutes écrites dans la mémoire, puis sont lues par l'ordinateur. Durant la lecture, il ne peut donc pas y avoir d'émission d'ondes planes puisque la mémoire vive est occupée et ce temps est donc perdu. Il est en théorie possible de transférer 128 mots de 128 bits depuis ou vers la mémoire, et ce, en une seule transaction. Cette limite n'a pas été possible à atteindre et un maximum de 16 mots de 128 bits est transféré par transaction avec la mémoire vive. Ce problème n'a pas pu être résolu, même avec le support de la compagnie. Peut-être que

l'augmentation de la taille des blocs à 128 mots permettrait au système d'alterner rapidement entre écriture et lecture et ainsi acquérir des données ultrasonores en continu.

Sur le PC, un programme en C écrit sur Qt Creator 4.10 permet à l'utilisateur de contrôler différents paramètres d'acquisition, d'affichage et d'enregistrement. Lorsqu'une commande d'acquisition est faite par l'utilisateur, un fil d'exécution envoie un signal au FPGA, lui signifiant de commencer les acquisitions. Il lit ensuite en boucle le bit changeant de valeur lorsque celle-ci est terminée. À ce moment, une fonction de la librairie FrontPanel d'Opal-Kelly permet de transférer un bloc de 512Ko sur la mémoire du PC et fournir au fil d'exécution un pointeur vers le bloc de 512Ko. Ce pointeur est ensuite passé à un second fil d'exécution. Celui-ci renvoie un signal au premier fil pour recommencer une acquisition. Ensuite, les valeurs sont copiées sur la mémoire vive du GPU grâce aux fonctions de la librairie ArrayFire et le pointeur est détruit. Une fois sur le GPU, les manipulations matricielles sont beaucoup plus rapides. ArrayFire permet de paralléliser facilement les opérations en utilisant un maximum de cœurs sur le processeur graphique. Les signaux peuvent ainsi être désentrelacés, puis moyennés au besoin. Une fois les manipulations terminées et une fois toutes les 20ms, une matrice correspondant à une image est envoyée dans un troisième fil d'exécution qui affiche à l'écran les signaux lus par la puce. La fréquence atteinte est de 920 images/s (2048\*32 pixels, sur 12 bits).



## CHAPITRE 7 DISCUSSION GÉNÉRALE

À la suite des travaux effectués dans le cadre de cette maîtrise, il est important de faire le point sur les éléments ayant fonctionné et ceux qui devront être améliorés dans le cas où le projet serait repris. Comme ICEPMALCMT est la dernière itération, ses performances seront critiquées dans cette discussion. Ensuite, les tests effectués avec des transducteurs seront présentés.

### 7.1 Critique d'ICEPMALCMT

#### 7.1.1 Ligne à délai

Les tests réalisés sur la ligne à délai d'ICEPMALCMT révèlent que le meilleur système pour former les délais est celui basé sur l'inverseur limité en courant. En effet, celui-ci est très simple et ne demande l'ajustement que de deux potentiomètres. Avec certaines modifications simples, tels que la génération d'une des deux tensions à l'intérieur de la puce grâce à un miroir de courant et l'ajout d'un système corrigeant automatiquement la durée de cycle efficace de l'horloge, un seul point de polarisation pourrait être utilisé pour ajuster la puce.

L'utilisation de copies d'éléments de délai pour générer des délais plus longs fonctionne très bien telle que montrée dans l'article et l'appareillement des transistors est suffisant pour assurer des délais égaux d'un côté à l'autre de la puce.

Lors de la fabrication, deux transistors ayant été dimensionnés également ne présenteront pas toujours les mêmes caractéristiques électriques : il peut y avoir une différence dans la concentration de dopants dans leur canal ou des variations géométriques dues à l'alignement des masques, au temps de gravure, etc. Pour accroître la performance d'un circuit, il faut appareiller certains transistors, souvent en paires. Dans ce cas-ci, les transistors formant les sources de courant de toutes les unités de délai doivent être identiques, et ce, partout sur la puce. Dans le cas d'ICVPMCMT, l'utilisation de faibles dimensions augmente l'erreur relative sur chaque transistor. L'augmentation des dimensions des transistors formant les sources de courant dans ICEPMALCMT a effectivement permis de réduire cette erreur.

Si l'approche par inverseur limité en courant est fonctionnelle et simple à opérer, il n'en est pas autant de la technique utilisant la calibration. Celle-ci nécessite deux entrées numériques (*rstCalib* et *Calib*), et deux points de polarisation ( $V_{OPAMP}$  et  $V_{P45}$ ). Bien que la relation entre la durée de la

calibration et la durée du délai soit linéaire, le ratio entre les deux est plus près de quatre que de huit. La raison de cette déviation par rapport aux simulations est encore inconnue.

De plus, le système ne propose pas une réduction de taille significative par rapport à celui composé d'inverseurs limités en courant pour un délai égal (voir Figure 7.1). Il est également plus sensible aux variations de ses points de polarisation, qui peuvent l'empêcher complètement de fonctionner, ou bien génère des délais avec une gigue plus importante. La comparaison entre les deux systèmes démontre que celui basé sur les inverseurs introduit des délais avec une déviation standard plus faible. Enfin, la perte de charges sur le transistor servant à la calibration oblige la répétition de celle-ci plusieurs fois par seconde.

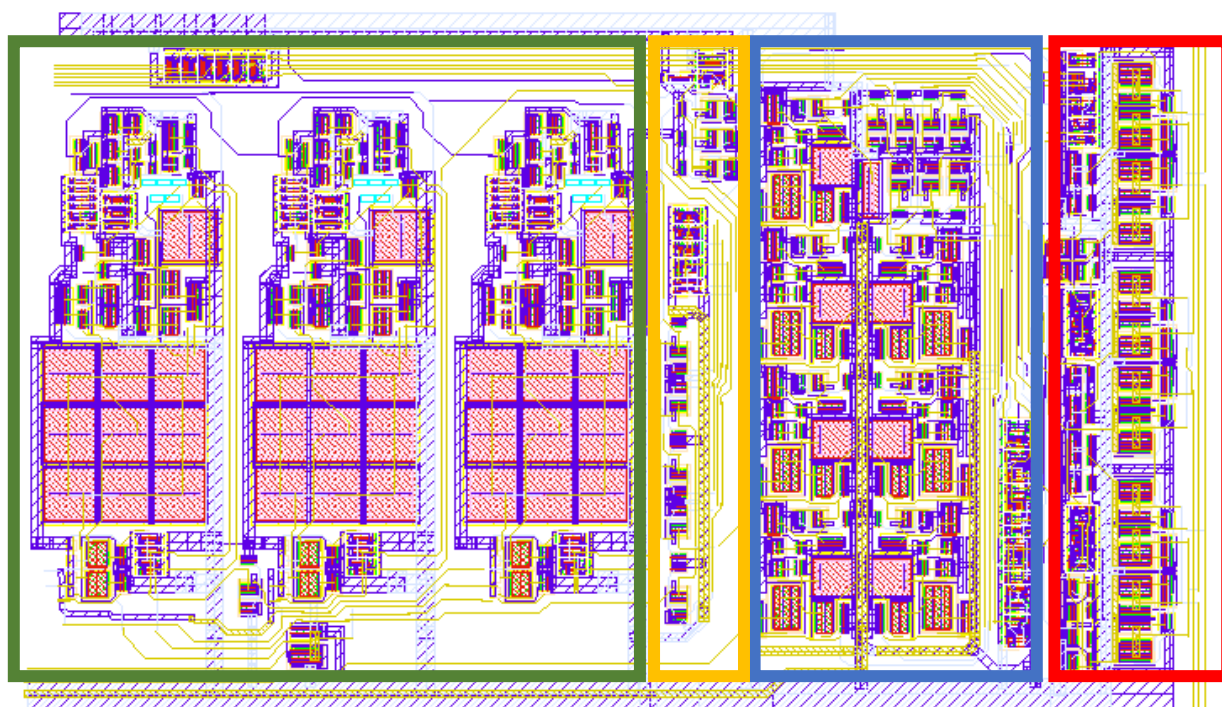


Figure 7.1 : Dessin des masques d'un bloc de délai. (Vert : bits 3 et 4, Jaune : logique et multiplexage des bits 3 et 4, Bleu : bits 0 à 2 et leurs multiplexeurs, Rouge : contrôle de la bidirectionnalité et flip-flops transportant les signaux En et Pol)

Par ailleurs, l'utilisation de deux systèmes de délais requiert une mise au point plus difficile puisque les deux doivent être ajustés pour ne pas causer d'erreur de non-linéarité. Un système formé d'inverseurs limités en courant seulement serait plus simple et plus performant.

Il est important de comparer la méthode utilisée avec les autres solutions proposées dans la littérature. La comparaison avec des travaux récents n'est pas aisée : en effet, les dernières lignes à délais reportées dans la littérature se concentrent sur des plages de délai beaucoup plus courtes, requise par les interfaces entre les systèmes numériques (par exemple entre les puces de mémoire et un processeur) ou bien pour les télécommunications utilisant des fréquences dans les gigahertz. Sheng, et al. [53] ont recensé plusieurs circuits permettant de générer des fronts d'ondes ultrasonores. Leur article, publié en 2019, recense les dernières approches publiées (entre 2009 et 2019). Le tableau suivant résume leur recherche et y ajoute quelques éléments.

Tableau 7.1 : Comparatif entre le générateur de fronts d'onde proposé et la littérature

Paramètre	[53]	[1]	[54]	[55]	[15]	[56]	[16]	[13]	Ce travail
Technologie ( $\mu\text{m}$ )	0,18	0,35	0,35	0,35	1,5	0,13	0,13	0,18	0,35
Approche	Num.	Ana.	Hybride	Ana.	FPGA+ Num.	Num.	Num.	Num.	Ana.
No. canaux	64	8	8	9	224	1	16	7	16
Résolution (ns)	0,535	1,75	1	40	5	$\geq 2$	1,25	5	2 à 4
Délai max (ns)	562,6	35	51k	240	-	2k	164k	320	64 à 128
Aire ( $\text{mm}^2$ )	0,2	0,36	-	0,25	-	0,014	-	-	1,264
Fréq. horloge (MHz)	200 à 500	-	20	-	100	500	800	200	$\leq 30$
Intégration haute tension	Non	Non	Non	Non	Oui (25V)	Non	Non	Oui (32V)	Oui (40V)

Le tableau précédent montre que les systèmes numériques permettent de générer des délais beaucoup plus longs que les systèmes analogiques. Cette performance n'est cependant pas requise par les générateurs de fronts d'ondes pour l'imagerie par ondes planes tel que montré dans la

section 1.1.2.1. En effet, les délais qui sont requis d'un canal à l'autre sont toujours inférieurs à 100ns pour les différents cas de figure présentés dans cette section.

Le système proposé dans cette maîtrise est plus simple à implémenter qu'un système numérique comportant des registres et une boucle à verrouillage de phase multipliant l'horloge d'entrée. Toutefois, les systèmes numériques sont typiquement moins sensibles aux variations de procédé, à la température et à la tension d'alimentation. Ils présentent également une excellente linéarité entre la valeur de délai programmée et la sortie réelle. Leur comportement, une fois implémenté, est donc plus stable et prévisible. Un système d'échographie ultrasonore bénéficie de ces qualités, surtout lorsque produit à la chaîne. Il est donc possible de dire que si l'approche analogique simplifie la conception de la puce, elle complexifie cependant l'implémentation du reste du système en requérant des points de polarisation pour l'ajustement, une alimentation stable et même une température fixe.

L'analyse du tableau précédent montre également que les systèmes analogiques sont tous faits sur des procédés de 0,35 ou 1,5 $\mu$ m. Les systèmes numériques quant à eux, sont implémentés sur des nœuds de taille inférieures. Cela leur permet bien entendu de fonctionner à une fréquence plus élevée et ainsi atteindre une meilleure résolution. Par contre, seul ce travail et celui de Wygant, et al. [15] incluent des étages de sortie à haut voltage à la puce générant les fronts d'ondes avec une résolution de 5ns. Il semble donc que 0,18 $\mu$ m soit un bon compromis entre la résolution temporelle pouvant atteindre près de 0,5ns avec une approche numérique et la tension maximale de 32V tel que montré dans le tableau précédent. Cependant, ces deux caractéristiques n'ont pas été réunies sur la même puce. Chen, et al. [36] ont également implémenté un étage de sortie atteignant 30V avec une technologie 0,18 $\mu$ m, ce qui semble indiquer la limite de tension de ce nœud. Pour atteindre 40V ou plus, 0,35 $\mu$ m est probablement la meilleure route à suivre. Pour déterminer les requis en tension, il faut étudier cas par cas les caractéristiques électromécaniques des transducteurs utilisés.

### 7.1.2 Étage de sortie

L'étage de sortie d'ICEPMALCMT fonctionne très bien et est compétitif par rapport aux autres étages de sortie à trois niveaux de la littérature en permettant un courant beaucoup plus élevé tout en restant dans la moyenne en ce qui concerne la superficie. Augmenter le courant sans affecter la taille est un véritable défi : les transistors de la branche de sortie doivent être plus larges et leur grille présente donc une capacité plus grande. Pour garder une vitesse de transition adéquate, il faut donc élargir les transistors de la chaîne d'inverseurs à haute tension les contrôlant et même en ajouter pour les connecter aux convertisseurs de niveaux. Il faut donc être très prudent lors du dimensionnement de ce circuit, puisque même une faible augmentation du courant requis peut se traduire en une augmentation considérable de la superficie. L'implémentation des mêmes circuits de sortie avec des tailles différentes dans ICVPMCM2 et ICEMPALCMT permet d'évaluer l'augmentation de la superficie de l'étage de sortie en fonction du courant requis. Le tableau suivant présente la taille des circuits et la moyenne des pics de courant lors de transitions à partir ou vers VDDM.

Tableau 7.2 : Pics de courant et taille de circuits

Circuit	Taille par canal (mm <sup>2</sup> )	Pics de courant simulés (mA)	Pics de courant mesurés (mA)
ICVPMCM2	0.045	24	6.9
ICEPMALCMT	0.203	413	382

L'étage de sortie de ICVPMCM2 permet, grâce à ses pics de 6.9mA, de créer des rampes de tension de 0.23V/ns sur un condensateur de 30pF et donc peut en théorie exciter un transducteur à 2.88MHz sur 40V. En revanche, ces valeurs étant relativement inférieures à celles des simulations, la taille des transistors a été largement augmentée dans ICEPMALCMT pour être assurer une compatibilité avec un plus grand éventail de transducteurs.

### 7.1.3 Système de réception

Le système de réception est le point faible de la puce. Les problèmes qu'il présente sont nombreux. Premièrement, la bande passante de l'ATI est limitée à 1 MHz, et ce, même lorsqu'un amplificateur suiveur est placé en série à sa sortie. Ensuite, la mise en cascade de ces deux circuits cause des oscillations peut-être dues à l'apparition d'un pôle induit par les multiplexeurs. Enfin, l'ATI intégré

dans ICEPMALCMT est très susceptible au bruit sur l'alimentation. Pour réaliser les tests, il aura fallu couper l'alimentation du CAN. Cette composante, même si elle utilise des régulateurs de tension linéaires dédiés, introduit du bruit dans le reste du circuit. Malgré ces problèmes, il a été démontré que l'ajout de multiplexeurs a permis d'augmenter l'isolation du signal entre chaque canal de réception. Aussi, l'implémentation d'un amplificateur suiveur a permis diminuer l'impédance de sortie de cette puce par rapport à ICVPMCM2, tout en conservant la plage de sortie et en ayant une bande passante supérieure à 30 MHz.

## 7.2 Tests avec transducteurs

Bien entendu, former une image en connectant le système proposé (interface de contrôle et puce CMOS) à une matrice de transducteurs aurait terminé cette maîtrise sur une note positive. Bien que plusieurs tests aient été réalisés avec des transducteurs, aucun n'a montré des résultats probants. Le circuit devait à l'origine être connecté à des CMUTs fabriqués à l'École Polytechnique de Montréal, mais ce test n'a pas pu être réalisé puisque ces transducteurs n'ont jamais été terminés. Trois matrices de transducteurs fonctionnant selon le principe piézoélectrique ont donc été testées et les observations sont brièvement reportées dans cette section.

### 7.2.1 Matrice de PMUT

En partenariat avec Alexandre Robichaud de l'École de Technologie Supérieure, un premier test a été réalisé avec une matrice de transducteurs piézoélectriques micromachinés [57]. Le montage était constitué de la matrice de PMUTs montée sur un plateau contrôlé par une vis micrométrique,

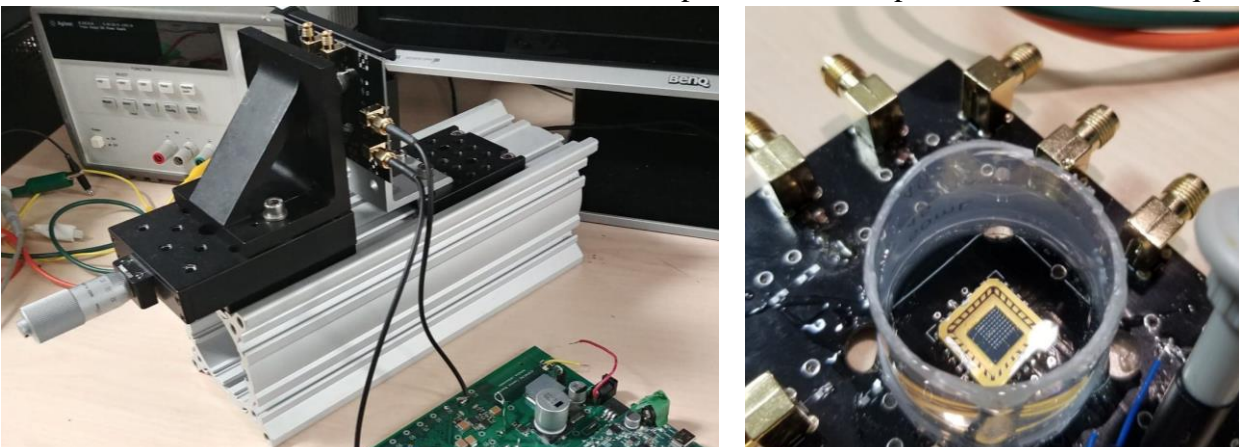


Figure 7.2 : À gauche, montage sur plateau avec vis micrométrique. À droite, test avec transducteurs immergés

permettant de faire varier précisément la distance entre les transducteurs et une surface réfléchissante. Un premier canal était connecté à un étage de sortie de la puce, un second à l'entrée d'un amplificateur de transimpédance.

Les transducteurs utilisés pour ce test ayant un facteur de qualité très élevé, ils résonnent fortement lorsqu'excités à leur fréquence de résonance. Pour tenter de mitiger ce problème, ils ont aussi été testés sous l'eau doublement distillée, sans succès (aucun signal écho). Les deux figures suivantes montrent les signaux recueillis avec et sans surface réfléchissante ainsi que la différence entre les deux (la différence a été centrée à la moyenne des deux signaux pour mieux une meilleure visualisation). Aucun écho n'est visible. En revanche, il est évident que les transducteurs sont effectivement excités entre les échantillons 0 et 500 et qu'ils vibrent d'eux-mêmes par après. Dans les travaux conduits par Robichaud *et al.*, l'écho est visible dans la différence entre le signal avec et sans surface réfléchissante.

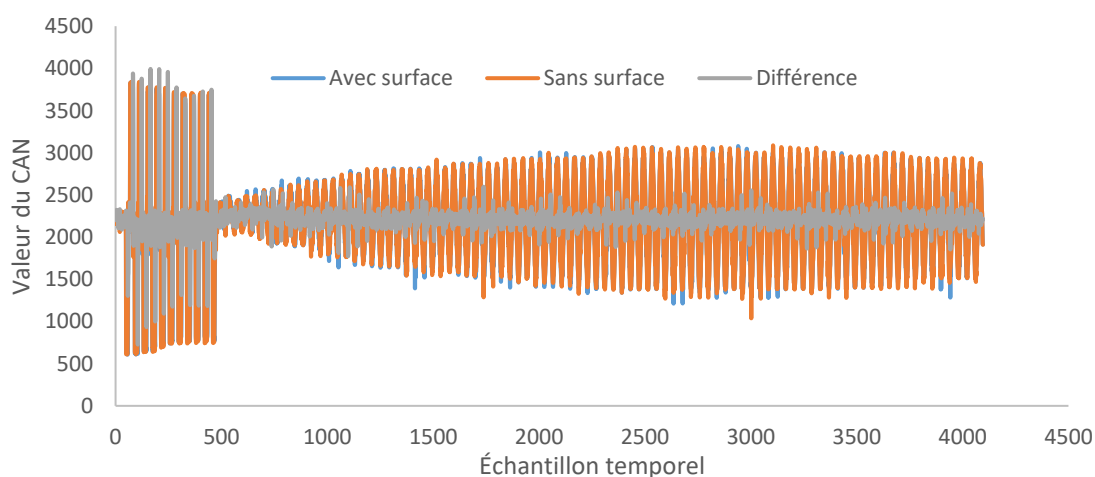


Figure 7.3 : Signal provenant du transducteur de réception (Émission et réception avec

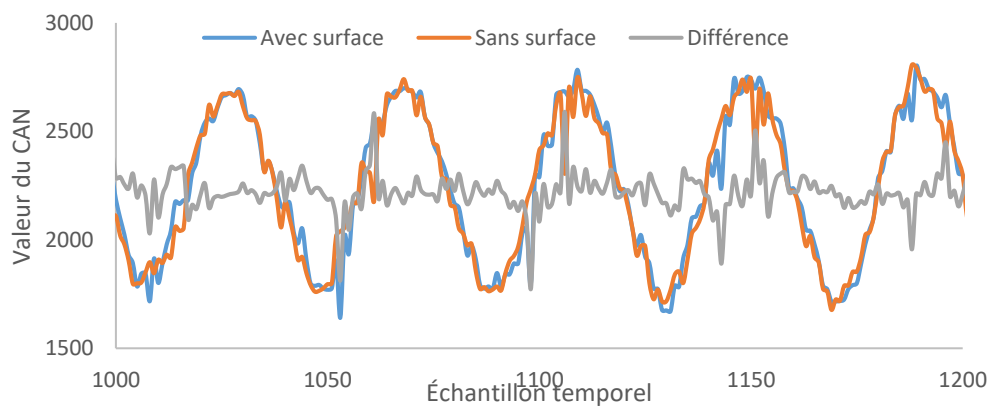


Figure 7.4 : Agrandissement du signal de la Figure 7.2 : À gauche, montage sur plateau

### 7.2.2 Sonde monoélément et CL15-7

Deux sondes commerciales ont été utilisées pour tenter de détecter un signal écho. En premier lieu, deux sondes monoélément ont été utilisées dans l'eau : la première en émission, la deuxième en réception. Ce test ayant été réalisé au début de l'été 2019, seules les deux premières puces étaient disponibles pour interagir avec les sondes. La deuxième puce n'étant pas en mesure de fournir assez de courant pour commander la sonde, il n'a pas été possible de l'utiliser. Même en utilisant la première, la charge importante limitait la fréquence maximale à environ 2,5MHz. En utilisant la première puce, seulement 20V étaient disponibles pour exciter l'élément piézoélectrique. Il est possible de supposer que le courant plus important de ICEPMALCMT et l'amplitude plus grande de ses étages de sortie pourraient générer un signal assez fort pour détecter un écho. Or, comme la bande passante des amplificateurs de transimpédance est limitée à 1MHz pour cette puce, il est probable qu'aucun signal n'aurait été détecté. Il serait intéressant d'exciter un transducteur monoélément avec ICEPMALCMT et d'enregistrer la réponse d'un second transducteur avec un système commercial pour valider l'efficacité de l'étage de sortie.

Un autre test a été réalisé avec une sonde linéaire CL15-7 de Philips en soudant des fils directement sur le connecteur et en connectant ces fils à la puce. Il semble toutefois que les terminaux du connecteur ne soient pas directement reliés à un élément. Une observation de la déformation de la tension et du courant requis suggère la présence de circuits d'adaptation d'impédance utilisant des résistances, bobines et capacités. Une analyse plus poussée de la sonde CL15-7 et des signaux la contrôlant habituellement serait requise pour rendre la rendre compatible avec le système mis au point dans cette maîtrise.



## CHAPITRE 8 CONCLUSION ET RECOMMANDATIONS

Au terme de ce projet, trois puces ont été conçues et testées, chacune d'elle permettant de peaufiner le design. Le dernier circuit intégré, ICEPMALCMT, possède 32 canaux en réception, multiplexés dans huit amplificateurs suiveurs ainsi qu'une ligne à délai permettant de gérer des signaux contrôlant 16 étages de sortie à haut voltage puissant à trois niveaux de tension. L'interface de contrôle simple de la puce nécessite une horloge d'une fréquence double de celle d'émission plutôt que des signaux à des centaines de mégahertz requis par les générateurs de front d'onde conventionnels fonctionnant grâce à des principes de délais programmables propres à chaque canal. La puce est ainsi capable d'introduire des délais intercanal ajustables de façon analogique et contrôlables à partir de six bits. Il est donc démontré que cette méthode permet de découpler la durée des délais de la fréquence d'excitation des transducteurs, formant effectivement des ondes planes ne nécessitant pas d'approximation dans la génération des délais.

En parallèle, un système de contrôle et d'acquisition a permis de tester les caractéristiques électriques de la puce. Ce système comporte deux circuits imprimés. Le premier, fabriqué à haute résolution et plaqué en or, supporte la puce et y est connecté par fils d'or. Le deuxième intègre un FPGA, un CAN multicanal spécialisé dans l'acquisition de signaux ultrasonore ainsi que plusieurs modules d'alimentation. Ce circuit imprimé permet de contrôler la puce, d'acquérir les signaux analogiques et de les acheminer à un ordinateur grâce à un lien USB3. Pour interagir avec les circuits, une interface utilisant plusieurs fils d'exécution parallèles et exploitant les performances calculatoires d'un processeur graphique a été conçue.

Le temps aura manqué pour terminer les tests et valider l'intégration avec les transducteurs. La réception de la puce à quelques semaines de la fin de la maîtrise aura limité le nombre de tests réalisés avec ce circuit intégré. Néanmoins, les tests électriques montrent de bonnes performances pour le système d'émission.

Bien que plusieurs modules fonctionnent, il faut mentionner certains points non résolus. Le principal défaut du système est la faible bande passante des amplificateurs de transimpédance intégrés sur la puce. Il n'a pas été possible de comprendre d'où vient la disparité entre les performances simulées sur Cadence et les résultats mesurés à l'oscilloscope. L'impédance de sortie plus élevée que prévu pour ce circuit est probablement liée à la même cause. Pour éviter de faire face à ce problème, il aurait fallu utiliser une architecture d'ATI plus standard ayant déjà fait ses

preuves avec les CMUTs. Avoir voulu innover trop rapidement n'aura pas été fructueux. En effet, les amplificateurs sont des circuits très sensibles et plusieurs sont le résultat de maîtrises ou doctorats complets.

Pour poursuivre ce projet, plusieurs avenues sont possibles. Hormis la recherche d'une nouvelle architecture pour l'ATI, certains tests pourraient être réalisés pour mieux caractériser le reste de la puce. Par exemple, il serait possible de refaire les tests d'émission/réception avec des transducteurs ayant à la fois un facteur de qualité moins élevé que les PMUTs utilisés ici et une charge capacitive inférieure aux monoéléments. Aussi, il serait intéressant d'émettre avec la puce sur plusieurs canaux et vérifier à l'aide d'une autre sonde commerciale la qualité des ondes planes formées. Par ailleurs, des simulations réalisées avec la librairie Field II sur Matlab pourraient permettre d'évaluer l'impact de l'introduction de délai dû la mise en série de plusieurs puces sur la qualité des images formées. Pour améliorer le système en mesurant précisément et en temps réel les angles formés par la puce, il serait possible de mesurer sur le FPGA le temps que prend le signal à traverser la puce et revenir à celui-ci. En effet, la sortie de la puce est en permanence connectée au FPGA par les terminaux d'entrées et sortie bidirectionnels permettant à la puce de former les angles positifs et négatifs. Il serait même possible d'ajouter au circuit de contrôle un convertisseur numérique-analogique générant la tension requise pour former un angle exact.

Cette maîtrise m'aura permis d'apprendre les étapes de conception et de test des circuits intégrés. Mes connaissances en programmation en C et en langage de description matérielle VHDL ont également aussi été grandement bonifiées. J'ai pu transmettre ces acquis aux autres étudiants du groupe de recherche PolyStim en rédigeant des tutoriels sur les méthodes de simulations et en discutant avec eux de leurs projets. J'ai ainsi pu les conseiller dans certains choix et leur fournir des exemples de circuits ayant fonctionné ou bien échoué.

## RÉFÉRENCES

- [1] G. Gurun, J. S. Zahorian, A. Sisman, M. Karaman, P. E. Hasler, and F. L. Degertekin, "An analog integrated circuit beamformer for high-frequency medical ultrasound imaging," *IEEE Trans Biomed Circuits Syst*, vol. 6, no. 5, pp. 454-67, Oct 2012, doi: 10.1109/TBCAS.2012.2219532.
- [2] D. Garcia, L. Le Tarnec, S. Muth, E. Montagnon, J. Porée, and G. Cloutier, "Stolt's fk migration for plane wave ultrasound imaging," *IEEE transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 60, no. 9, pp. 1853-1867, 2013.
- [3] M. Tanter and M. Fink, "Ultrafast imaging in biomedical ultrasound," *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control*, vol. 61, no. 1, pp. 102-119, Jan 2014, doi: 10.1109/tuffc.2014.2882.
- [4] G. Montaldo, M. Tanter, J. Bercoff, N. Benech, and M. Fink, "Coherent plane-wave compounding for very high frame rate ultrasonography and transient elastography," *IEEE transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 56, no. 3, pp. 489-506, 2009.
- [5] J. Jensen, M. B. Stuart, and J. A. Jensen, "Optimized plane wave imaging for fast and high-quality ultrasound imaging," *IEEE transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 63, no. 11, pp. 1922-1934, 2016.
- [6] Z. Alomari, S. Harput, S. Hyder, and S. Freear, "Selecting the number and values of the cpwi steering angles and the effect of that on imaging quality," in *2014 IEEE International Ultrasonics Symposium*, 2014: IEEE, pp. 1191-1194.
- [7] E. Mace, G. Montaldo, B. F. Osmani, I. Cohen, M. Fink, and M. Tanter, "Functional ultrasound imaging of the brain: theory and basic principles," *IEEE Trans Ultrason Ferroelectr Freq Control*, vol. 60, no. 3, pp. 492-506, Mar 2013, doi: 10.1109/TUFFC.2013.2592.
- [8] O. Couture, M. Fink, and M. Tanter, "Ultrasound contrast plane wave imaging," *IEEE transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 59, no. 12, pp. 2676-2683, 2012.
- [9] C. Errico *et al.*, "Ultrafast ultrasound localization microscopy for deep super-resolution vascular imaging," *Nature*, vol. 527, no. 7579, pp. 499-502, Nov 26 2015, doi: 10.1038/nature16066.
- [10] P. Tortoli, L. Bassi, E. Boni, A. Dallai, F. Guidi, and S. Ricci, "ULA-OP: an advanced open platform for ultrasound research," *IEEE Trans Ultrason Ferroelectr Freq Control*, vol. 56, no. 10, pp. 2207-16, Oct 2009, doi: 10.1109/TUFFC.2009.1303.
- [11] P. Behnamfar, R. Molavi, and S. Mirabbasi, "Transceiver design for CMUT-based super-resolution ultrasound imaging," *IEEE transactions on biomedical circuits and systems*, vol. 10, no. 2, pp. 383-393, 2015.
- [12] P. R. Smith, D. M. Cowell, B. Raiton, C. V. Ky, and S. Freear, "Ultrasound array transmitter architecture with high timing resolution using embedded phase-locked loops," *IEEE*

- transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 59, no. 1, pp. 40-49, 2012.
- [13] H.-Y. Tang *et al.*, "Miniaturizing ultrasonic system for portable health care and fitness," *IEEE transactions on biomedical circuits and systems*, vol. 9, no. 6, pp. 767-776, 2015.
- [14] A. Bhuyan *et al.*, "Integrated circuits for volumetric ultrasound imaging with 2-D CMUT arrays," *IEEE Trans Biomed Circuits Syst*, vol. 7, no. 6, pp. 796-804, Dec 2013, doi: 10.1109/TBCAS.2014.2298197.
- [15] I. O. Wygant *et al.*, "An integrated circuit with transmit beamforming flip-chip bonded to a 2-D CMUT array for 3-D ultrasound imaging," *IEEE transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 56, no. 10, pp. 2145-2156, 2009.
- [16] C. Dusa, S. Kalalii, P. Rajalakshmi, and O. Rao, "Integrated 16-channel transmit and receive beamforming ASIC for ultrasound imaging," in *2015 28th International Conference on VLSI Design*, 2015: IEEE, pp. 215-220.
- [17] M. B. Stuart, J. Jensen, T. Di Ianni, and J. A. Jensen, "Image quality degradation from transmit delay profile quantization," in *2015 IEEE International Ultrasonics Symposium (IUS)*, 2015: IEEE, pp. 1-4.
- [18] A. M. Moubark, Z. Alomari, S. Harput, and S. Freear, "Comparison of spatial and temporal averaging on ultrafast imaging in presence of quantization errors," in *2015 IEEE International Ultrasonics Symposium (IUS)*, 2015: IEEE, pp. 1-4.
- [19] J. V. Hatfield and K. S. Chai, "A beam-forming transmit ASIC for driving ultrasonic arrays," *Sensors and Actuators A: Physical*, vol. 92, no. 1-3, pp. 273-279, 2001.
- [20] P. Kaczkowski, "Arbitrary waveform generation with the verasonics research ultrasound platform," *Verasonics, Kirkland, WA, USA, Tech. Rep*, 2016.
- [21] Microchip, "8-channel, +/-70V, 3A Programmable High-Voltage Ultrasound-Transmit Beamformer," ed: Data sheet HV7351, 2015.
- [22] M. J. Figueiredo and R. L. Aguiar, "Noise and jitter in CMOS digitally controlled delay lines," in *2006 13th IEEE International Conference on Electronics, Circuits and Systems*, 2006: IEEE, pp. 1356-1359.
- [23] B. I. Abdulrazzaq, I. Abdul Halin, S. Kawahito, R. M. Sidek, S. Shafie, and N. A. Yunus, "A review on high-resolution CMOS delay lines: towards sub-picosecond jitter performance," *Springerplus*, vol. 5, p. 434, 2016, doi: 10.1186/s40064-016-2090-z.
- [24] P. Andreani, F. Bigongiari, R. Roncella, R. Saletti, and P. Terreni, "A digitally controlled shunt capacitor CMOS delay line," *Analog Integrated Circuits and Signal Processing*, vol. 18, no. 1, pp. 89-96, 1999.
- [25] N. Angeli and K. Hofmann, "A low-power and area-efficient digitally controlled shunt-capacitor delay element for high-resolution delay lines," in *2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, 2018: IEEE, pp. 717-720.
- [26] T. E. Rahkonen and J. T. Kostamovaara, "The use of stabilized CMOS delay lines for the digitization of short time intervals," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 8, pp. 887-894, 1993.

- [27] Z. Al Tarawneh, "The effects of process variations on performance and robustness of bulk CMOS and SOI implementations of C-elements," Newcastle University, 2011.
- [28] D. M. Mills and L. S. Smith, "Real-time in-vivo imaging with capacitive micromachined ultrasound transducer (cMUT) linear arrays," in *IEEE Symposium on Ultrasonics, 2003*, 2003, vol. 1: IEEE, pp. 568-571.
- [29] O. Oralkan *et al.*, "Capacitive micromachined ultrasonic transducers: Next-generation arrays for acoustic imaging?," *IEEE transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 49, no. 11, pp. 1596-1610, 2002.
- [30] P. Behnamfar, "On the design of high-voltage analog front-end circuits for capacitive micromachined ultrasonic transducers (CMUT)," University of British Columbia, 2014.
- [31] K. Brenner, A. S. Ergun, K. Firouzi, M. F. Rasmussen, Q. Stedman, and B. P. Khuri-Yakub, "Advances in Capacitive Micromachined Ultrasonic Transducers," *Micromachines*, vol. 10, no. 2, p. 152, 2019.
- [32] A. S. Ergun, G. G. Yaralioglu, and B. T. Khuri-Yakub, "Capacitive micromachined ultrasonic transducers: Theory and technology," *Journal of aerospace engineering*, vol. 16, no. 2, pp. 76-84, 2003.
- [33] P. Llimós Muntal, D. Ø. Larsen, I. H. H. Jørgensen, and E. Bruun, "Integrated reconfigurable high-voltage transmitting circuit for CMUTs," *Analog Integrated Circuits and Signal Processing*, vol. 84, no. 3, pp. 343-352, 2015, doi: 10.1007/s10470-015-0601-4.
- [34] X. Jiang *et al.*, "Ultrasonic fingerprint sensor with transmit beamforming based on a PMUT array bonded to CMOS circuitry," *IEEE transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 64, no. 9, pp. 1401-1408, 2017.
- [35] M. Sautto, A. S. Savoia, F. Quaglia, G. Caliano, and A. Mazzanti, "A Comparative Analysis of CMUT Receiving Architectures for the Design Optimization of Integrated Transceiver Front Ends," *IEEE Trans Ultrason Ferroelectr Freq Control*, vol. 64, no. 5, pp. 826-838, May 2017, doi: 10.1109/TUFFC.2017.2668769.
- [36] K. Chen, H.-S. Lee, A. P. Chandrakasan, and C. G. Sodini, "Ultrasonic Imaging Transceiver Design for CMUT: A Three-Level 30-Vpp Pulse-Shaping Pulser With Improved Efficiency and a Noise-Optimized Receiver," (in English), *IEEE Journal of Solid-State Circuits*, vol. 48, no. 11, pp. 2734-2745, Nov 2013, doi: 10.1109/jssc.2013.2274895.
- [37] B. Bayram, O. Oralkan, A. S. Ergun, E. Hæggestrom, G. G. Yaralioglu, and B. T. Khuri-Yakub, "Capacitive micromachined ultrasonic transducer design for high power transmission," *IEEE transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 52, no. 2, pp. 326-339, 2005.
- [38] M. Terenzi *et al.*, "Flexible hardware architecture for the generation of ultrasound pulses in medical imaging," in *2016 IEEE International Ultrasonics Symposium (IUS)*, 2016: IEEE, pp. 1-4.
- [39] Y. Kansu, "A transimpedance amplifier for capacitive micromachined ultrasonic transducers," bilkent university, 2015.

- [40] J. Lim, C. Tekes, F. L. Degertekin, and M. Ghovanloo, "Towards a Reduced-Wire Interface for CMUT-Based Intravascular Ultrasound Imaging Systems," *IEEE Trans Biomed Circuits Syst*, vol. 11, no. 2, pp. 400-410, Apr 2017, doi: 10.1109/TBCAS.2016.2592525.
- [41] L. Safar and M. S. Zaki, "Design and simulation of Differential Transimpedance Amplifier (TIA) Based on 0.18  $\mu\text{m}$  CMOS Technology-eng," *AL Rafdain Engineering Journal*, vol. 21, no. 4, pp. 121-131, 2013.
- [42] G. Gurun, P. Hasler, and F. Degertekin, "Front-end receiver electronics for high-frequency monolithic CMUT-on-CMOS imaging arrays," *IEEE Trans Ultrason Ferroelectr Freq Control*, vol. 58, no. 8, pp. 1658-68, Aug 2011, doi: 10.1109/TUFFC.2011.1993.
- [43] W. Yang, "Neuromorphic CMOS circuitry for active bidirectional delay lines," in *1996 IEEE International Symposium on Circuits and Systems. Circuits and Systems Connecting the World. ISCAS 96, 1996*, vol. 3: IEEE, pp. 473-477.
- [44] K. Phang, "CMOS optical preamplifier design using graphical circuit analysis," *University of Toronto*, 2001.
- [45] M. Sawan, "Composants actifs : analyses DC, AC et capacitive," in *ELE6308 - Microélectronique analogique et mixte*, ed. Montréal: Polytechnique Montréal, 2018.
- [46] A. L. Holen and T. Ytterdal, "A High-Voltage Cascode-Connected Three-Level Pulse-Generator for Bio-Medical Ultrasound Applications," in *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2019: IEEE, pp. 1-5.
- [47] D. Zhao *et al.*, "High-voltage pulser for ultrasound medical imaging applications," in *2011 International Symposium on Integrated Circuits*, 2011: IEEE, pp. 408-411.
- [48] D. Singh, A. Shankar, and M. Kumar, "A Study on Transimpedance Amplifier in 0.35  $\mu\text{m}$  CMOS Technology," *International Journal of Computer Applications*, vol. 51, no. 21, 2012.
- [49] J. P. L. A. D. Carvalho, "Design of a Transimpedance Amplifier for an Optical Receiver," 2017.
- [50] J. Bercoff, "Ultrafast ultrasound imaging," in *Ultrasound imaging-Medical applications: InTech*, 2011.
- [51] P. L. Muntal, D. Ø. Larsen, K. Færch, I. H. Jørgensen, and E. Bruun, "Integrated differential high-voltage transmitting circuit for CMUTs," in *2015 IEEE 13th International New Circuits and Systems Conference (NEWCAS)*, 2015: IEEE, pp. 1-4.
- [52] Opal-Kelly, "FrontPanel User's Manual," ed, 2015.
- [53] D. Sheng, J.-W. Lin, Y.-H. Wang, and C.-C. Huang, "High-Resolution All-Digital Transmit Beamformer for High-Frequency and Wearable Ultrasound Imaging Systems," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2019.
- [54] G. I. Athanasopoulos, S. J. Carey, and J. V. Hatfield, "Circuit design and simulation of a transmit beamforming ASIC for high-frequency ultrasonic imaging systems," *IEEE transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 58, no. 7, pp. 1320-1331, 2011.

- [55] Z. Yu, M. Pertijs, and G. Meijer, "Ultrasound beamformer using pipeline-operated S/H delay stages and charge-mode summation," *Electronics letters*, vol. 47, no. 18, pp. 1011-1012, 2011.
- [56] B. I. Abdulrazzaq, I. A. Halin, L. Lini, R. M. Sidek, and N. A. M. Yunus, "A Programmable CMOS Delay Line for Wide Delay Range Generation and Duty-Cycle Adjustability," *PERTANIKA JOURNAL OF SCIENCE AND TECHNOLOGY*, vol. 25, pp. 123-131, 2017.
- [57] A. Robichaud, D. Deslandes, P.-V. Cicek, and F. Nabki, "A novel topology for process variation-tolerant piezoelectric micromachined ultrasonic transducers," *Journal of Microelectromechanical Systems*, vol. 27, no. 6, pp. 1204-1212, 2018.