ÉCOLE POLYTECHNIQUE DE MONTRÉAL

GROUPE DE RECHERCHE EN MICROÉLECTRONIQUE

RAPPORT ANNUEL

1996-1997

DÉCEMBRE 1997

TABLE DES MATIÈRES

REMERCIEMENTS 1

INTRODUCTION 1

COLLABORATIONS EN 96 - 97 1

OBJECTIFS DU GROUPE 2

COMPOSITION DU GROUPE 2
- Liste des membres réguliers 2
- Liste des membres associés 2
- Liste d'autres professionnels 3

PROGRAMME DE RECHERCHE EN VLSI 3
- Domaines 3
- Activités des membres réguliers 3

ÉTUDIANTS AUX CYCLES SUPÉRIEURS 10
- Titre des projets et diplômes en cours de chaque étudiant 12
- Description détaillée des projets d'étudiants 15

SUBVENTIONS ET CONTRATS 91
- Subventions, contrats et conventions de recherche individuelles 91
- Subventions, contrats et conventions de recherche de groupe 92
- Équipement prêté par la SCM 94
- Équipement appartenant au groupe 94
- Logiciels 95

PUBLICATIONS ET RÉALISATIONS 96
- Articles de revues acceptés pour publication 96
- Articles de revues publiés de septembre 1996 à août 1997 96
- Articles de revues publiés de septembre 1995 à août 1996 97
- Articles de conférences publiés de septembre 1996 à août 1997 98
- Articles de conférences publiés de septembre 1995 à août 1996 100
- Brevets 102

INDEX DES AUTEURS 103

REMERCIEMENTS

Nous désirons remercier tous les membres du GRM (Groupe de Recherche en Microélectronique) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche pour sa préparation et sa diffusion.

INTRODUCTION

Le Groupe de Recherche en Microélectronique (GRM) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 1996 – 1997, 87 étudiants inscrits à la maîtrise ou au doctorat et une dizaine de postdoc, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GRM. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) et auprès du Fonds pour la formation de Chercheurs et l'Aide à la Recherche du Québec (FCAR), ainsi qu'au programme de prêt d'équipement de la Société Canadienne de Microélectronique. Ils participent aussi à trois projets réalisés dans le cadre de Micronet, le centre d'excellence en Microélectronique et à un projet de IRIS dans le cadre du centre d'excellence en vision. Citons aussi les projets réalisés avec des partenaires industriels, BNR/NT NHC Communications, MiroTech et AMI, ainsi que ceux réalisés pour le Ministère de la Défense. Il est à noter finalement que la plupart des professeurs membres réguliers du GRM sont impliqués dans la réalisation d'un projet de grande envergure subventionné par le programme Synergie du gouvernement du Québec Ce projet qui s'appelle PULSE implique trois partenaires industriels: Genesis, Miranda et MiroTech. Le groupe tend vers un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 96-97

L'année 96 – 97 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GRM et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs Savaria et Audet de l'Université du Québec à Chicoutimi (Méthodes de conception de circuits tolérants aux défectuosités); la collaboration entre Savaria et Massicotte de l'Université du Québec à Trois-Rivières (Modélisation d'échantillonneurs rapides); Savaria et Thibeault de l'École de Technologie Supérieure (Méthode de restructuration laser); Savaria et Aboulhamid de l'Université de Montréal (Parallélisation de boucles et compilation de description synthétisable à partir de spécification en langage C); Savaria et Blaquière de l'Université du Québec à Montréal (Conception de réseaux de neurones et conception logiciel-logiciel); Raut et Sawan (circuits en mode courant), Davidson de l'UQAM et Sawan (processeur spécialisés et FPDs), Bennis de l'ETS et Sawan (circuits de prédiction) Homsy de l'Univerisité de Montréal et Sawan (systèmes ultrasoniques), Fortier de l'Université d'Ottawa et Sawan (stimulateur de Cortex), Van der Puije de l'Université de Carleton et Sawan (électrodes implantables), De plus, R. Maciejko travaille sur la modélisation et la caractérisation des lasers à semi-conducteurs avec R. Leonelli, Université de Montréal, sur l'étude de la Photoluminescence de monostructures avec D. Morris, Université de Sherbrooke et de la Photoluminescence résolue en temps et échantillonnage électro-optique. Notons la collaboration avec plusieurs membres du centre Poly-Grames notamment les professeurs Savaria, Laurin et Wu (interconnexions de circuits VLSI à très haute vitesse) Sawan et Bosisio (circuits mixtes VLSI et micro-ondes), Sawan et Ghannouchi (Applications des circuits DSPs en micro-ondes), notons aussi la collaboration avec le GRBB (Groupe de Recherche en Biomatériaux et Biomécanique), entre les professeurs Sawan et Yahia (Électrodes et Matériaux implantables).

OBJECTIFS DU GRM

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique a pour objectif général de «promouvoir et de regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».

Plus spécifiquement, le Groupe de Recherche en Microélectronique poursuit les objectifs suivants

- Regrouper dans une entité visible et identifiée les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GRM;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique relève du directeur du département de génie électrique et de génie informatique et se compose des membres réguliers et membres associés suivants:

Liste des membres réguliers:

- **Dr Yvon Savaria:** professeur titulaire au département de génie électrique et de génie informatique, directeur du Groupe de Recherche en Microélectronique, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de testabilité, à l'intégration ULSI et aux applications de ces technologies.
- **Dr Guy Bois:** professeur adjoint au département de génie électrique et de génie informatique, qui s'intéresse à l'aspect algorithmique de la conception de circuits intégrés, en particulier, à la synthèse de très haut niveau et à la synthèse de masques.
- **Dr Jean-Louis Houle:** professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse aux applications du VLSI et aux architectures parallèles pour le traitement des signaux et des images.
- **Dr Bozena Kaminska:** professeure agrégée au département de génie électrique et de génie informatique, qui s'intéresse à la conception pour la testabilité, aux problèmes de testabilité, à la synthèse de haut niveau ainsi qu'aux interconnexions optiques.
- **M. Bernard Lanctôt:** professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse aux méthodes de conception et au développement de logiciels de conception VLSI.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recheche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Mohamad Sawan:** professeur agrégé au département de génie électrique et de génie informatique, qui s'intéresse à la synthèse, la conception et la réalisation de circuits mixtes (numériques-analogiques) et à leurs applications dans les domaines industriel et biomédical, spécifiquement, les stimulateurs et capteurs sensoriels.

Liste des membres associés:

- **Dr David Haccoun:** professeur titulaire au département de génie électrique et de génie informatique, qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et directeur du Groupe de recherche en physique et technologie des Couches Minces (GCM). Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de laser dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration par laser pour la microélectronique.

Liste d'autres professionnels et chercheurs

De plus, les personnes suivantes collaborent ou ont collaboré aux travaux du groupe à divers titres:

- M. Tahar Ali Yahia: associé de recherche.
- M. Zahir Boukari: associé de recherche.
- M. Hervé Daniel: associé de recherche
- M. Ding Hong: associé de recherche.
- M. Rachid Kermouche: associé de recherche.
- M. Khalid Khoumsi: associé de recherche
- M. Ivan Kraljic: chercheur
- M. Paul Marriott: associé de recherche
- M. Claude Villeneuve: associé de recherche
- M. Nahan Xiong: chercheur
- M. Jean Bouchard: technicien du laboratoire VLSI.
- M. Réjean Lepage: technicien du laboratoire GRM.

Ces personnes forment le Groupe de Recherche en Microélectronique de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la Microélectronique.

PROGRAMME DE RECHERCHE EN VLSI

Domaines

Les programmes de recherche et de formation de chercheurs en VLSI de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie VLSI en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défectuosités;

- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, en biomédical par la réalisation de micro stimulateurs implantables et dans la réalisation d'échantillonneurs rapides;

- Les logiciels de synthèse, de conception et de test assistés par ordinateur;

- Les dispositifs électroniques et électro-optiques ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse par chaque membre de ses activités au sein du GRM.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, sur l'accélération des calculs, sur la cosynthèse et le codesign de systèmes électroniques et sur les techniques d'autotest et de tolérance aux pannes et aux défectuosités. Le second axe couvre des thèmes divers comme la conception d'un classificateur de haute performance, la conception d'organes de calcul pour un système de vision 3D, la conception d'un décodeur de Viterbi, la réalisation d'échantillonneurs rapides et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Un premier thème est la conception de circuits de haute vitesse. Nous concentrons nos efforts sur les technologies CMOS et bipolaires au silicium. Nous élaborons des méthodes pour concevoir, modéliser et automatiser la conception de réseaux de distribution d'horloge et de circuits synchrones rapides. Nos travaux exploitent aussi les techniques de synchronisation à une phase (True Single Phase Clocking (TSPC)). De plus, nous utilisons les lignes à délai verrouillable (Delay Locked Loop (DLL)) pour produire des bases de temps ultra-rapides, nécessaires aux applications de haute performance. Enfin, nos travaux récents portent sur l'impact du placement et du routage sur le fonctionnement à haute vitesse et sur les méthodes de tests adaptés pour ces circuits.

Un autre axe de recherche poursuivi est l'élaboration de méthodes pour concevoir des coprocesseurs dédiés à des applications intensives en calcul. De tels coprocesseurs peuvent être synthétisés puis chargés au besoin dans une batterie de réseaux logiques programmables afin de réaliser un amalgame performant, fruit d'un compromis matériel logiciel.

Nous travaillons aussi à l'élaboration de méthodes qui permettent de concevoir des circuits auto-testables. Nos recherches portent sur la technologie bipolaire CML, dont le comportement en présence de défectuosités présente des particularités intéressantes.

Applications

Dans le cadre de cet axe plus appliqué, nous avons étudié les techniques de mise en œuvre de réseaux de neurones artificiels et nous avons proposé de nouvelles règles d'apprentissage pour les réseaux ART. Ce type de réseau est envisagé pour la classification en temps réel des signaux radars.

Nous avons débuté des travaux sur la conception de modules d'un système de vision 3D qui exploite le principe de caméra à balayage autosynchronisé proposé au conseil national de recherche du Canada. Nos efforts se concentrent sur un problème de correction d'artefacts associés à des sauts de réflectance ainsi que sur la transformation en temps réel d'un système de coordonnées de mesures polaires vers un estimé de profondeur cartésien.

Nous exploitons les techniques de conception de circuits rapides afin de concevoir des circuits d'échantillonnage ultra-rapides. Nos efforts portent sur la conception d'échantillonneurs précis. Plus spécifiquement, nous développons des méthodes de traitement de signal pour compenser les imprécisions introduites par la bande passante limitée, les couplages parasites et les variations paramétriques.

Nos travaux portent enfin sur l'accélération des calculs dans les applications de traitement des signaux. Un premier axe de recherche porte sur l'utilisation d'une architecture d'accélérateur de calcul reconfigurable appliqué aux télécommunications et à la corrélation optique. Le second porte sur les architectures adaptées pour le traitement vidéo.

Activités du professeur Bois

Le professeur Bois conduit des recherches dans le domaine de la Microélectronique, principalement dans la conception d'algorithmes pour la synthèse automatique de circuits intégrés. Ces recherches sont divisées en trois thèmes:

1. Cosynthèse ou cocompilation logiciel/matériel.
2. La synthèse d'horloges rapides pour circuits VLSI et ULSI.
3. La synthèse des masques.

1. Codesign et cosynthèse logiciel/matériel

L'objectif premier de cette recherche est de proposer une approche pour accélérer la vitesse de calcul en traitement du signal (DSP) et de l'image. Considérant trop lent l'utilisation d'un processeur commercial (e.g. *Motorola, Texas Instrument,* etc.), jusqu'à tout récemment deux approches existaient pour accélérer: a) l'approche des circuits intégrés, très performante mais très dispendieuse en frais de développement pour des volumes modérés, b) l'approche multiprocesseur, beaucoup moins dispendieuse à cause de sa souplesse au niveau programmation mais beaucoup moins performante. En assistant le processeur commercial d'un réseau de logique reconfigurable (FPGAs) jouant le rôle d'accélérateur, nous obtenons une troisième approche, qui est celle du système dédié reconfigurable de haute performance. Ce dernier offre un excellent compromis, c'est-à-dire la performance des circuits intégrés à coût abordable.

Le second objectif de cette recherche est de développer une méthode de partionnement logiciel/matériel pour la synthèse de systèmes dédiés reconfigurables de haute performance. Ce partitionnement se fait à deux niveaux: le premier niveau concerne le partitionnement entre le processeur commercial et le réseau de logique reconfigurable, alors que le deuxième concerne uniquement le partitionnement du réseau de logique reconfigurable. Bien que nos travaux aient débuté depuis peu au premier niveau de partitionnement, au deuxième niveau nous travaillons au développement d'une librairie matérielle (par analogie à librairie logicielle pour DSP). Plus précisément, à chaque opération spécialisée (convolution, FFT, etc.) exécutée sur le réseau de logique reconfigurable correspond une représentation binaire qui configure le(s) FPGA(s) afin d'exécuter la fonctionnalité requise.

2. Synthèse d'horloges rapides

Des travaux sur la synthèse d'horloges performantes se poursuivent. Ces travaux traitent de l'impact des variations du procédé de fabrication sur les systèmes intégrés synchrones de haute performance. Nous travaillons à un meilleur modèle des biais de synchronisation dans les circuits VLSI et ULSI de haute performance. Nous travaillons aussi sur la manière optimale d'effectuer les compromis entre la bande passante, le délai, le biais de synchronisation, la surface consommée et la puissance dissipée. Ceci devrait conduire d'ici peu à une méthode automatique de synthèse des systèmes d'horloge.

3. Synthèse de masques

Il existe un champ d'application où les outils traditionnels au niveau masque (placement et routage, générateur de cellules feuilles, extracteur, etc.) ne sont plus efficaces (e.g. les fréquences d'horloge plus grande que 400 MHz). Nous nous intéressons donc ici au développement d'un outil de conception, correctement intégré, pour automatiser et supporter la conception efficace de circuits ou de portions de circuits CMOS opérant à haute fréquence. Plus précisément, nous travaillons actuellement au développement d'un outil de placement de routage automatique pour circuits VLSI CMOS de haute performance. Ces travaux sont réalisés en collaboration avec monsieur Yvon Savaria qui s'intéresse à l'élaboration des méthodes pour concevoir et modéliser la conception de circuits rapides. Ils sont également réalisés en collaboration avec la compagnie montréalaise Design Workshop Inc. Notez finalement qu'à moyen terme, nous souhaitons pouvoir intégrer certains résultats du point 2) à notre méthode de conception.

Activités du professeur Houle

La recherche du professeur Jean-Louis Houle découle de résultats acquis. Afin d'assurer une bonne continuité, nous maintenons l'orientation de travaux fondamentaux et leurs relations à une classe limitée d'applications. Le travail est donc en deux volets:

1. Algorithmes et architectures pour multiprocesseurs à objectifs spécifiques;

2. Conception, simulation et évaluation de performances de prototypes pour le traitement en temps-réel de signaux de contrôle dans de très grands réseaux électriques.

Dans le premier volet, nous développons des outils informatiques pour évaluer la fonctionnalité et la performance de processeurs spécialisés par analyse et simulation. Nous avons déjà des architectures de processeurs élémentaires (PE) que nous devons optimiser. Ces PE seront ensuite interconnectés en structures parallèles pour des applications spécifiques.

Dans le deuxième volet, l'application principale est l'étude de grands réseaux électriques qui requièrent des équations algébriques de réseaux et des équations différentielles pour modéliser différents équipements électrotechniques. La simulation en temps réel rigide (« hard real-time ») de phénomènes de stabilité transitoire nécessite des processeurs parallèles pour exécuter indépendamment les uns des autres, mais ils sont synchronisés. Des graphes de précédances et des graphes de communications sont utilisés. Puisque l'assignation des tâches est de complexité NP, des algorithmes de type A* modifiés doivent être mis au point.

Les deux volets comportent des aspects fondamentaux nécessaires aux prototypes de laboratoire, qui sont testés à l'Institut de recherche d'Hydro-Québec. L'originalité des travaux est dans l'adaptation de la structure du réseau d'ordinateurs à celle du réseau électrique. L'importance est dans l'augmentation de l'efficacité de grands réseaux électriques.

Le professeur Jean-Louis Houle dirige des projets d'implantation en VLSI d'architectures parallèles pour le traitement temps réel de signaux et d'images. Il s'intéresse à la réalisation en FPGA d'algorithmes pour des applications spécifiques en utilisant en particulier des transformées en ondelettes (wavelets). Il travaille aussi sur des algorithmes parallèles pour le traitement de matrice creuses (sparse) appliquées à l'analyse dynamique de la sécurité des grands réseaux électriques ainsi qu'à la simulation de leur instabilité transitoire. Il codirige trois étudiants de cycles supérieurs à l'IREQ et six autres au laboratoire GRM (au total 5 doctorats et 4 maîtrises).

Collaborations universitaires et industrielles:

Des collaborations avec le professeur Jacob Davidson de l'Université du Québec à Montréal se poursuivent sous forme de codirection de recherche au 2ième et 3ième cycles. En particulier, un étudiant de M.Sc.A., Philippe Guénette en stage chez FOCAM Technologies Inc. A conçu un circuit analogique programmable et reconfigurable en BiCMOS, 0,8mm en FPAA (Field Programmable Analog Array). Ce circuit est en fabrication à la SCM.

Le professeur Jean-Paul Longuemard de l'École Centrale de Paris continue de collaborer dans le domaine des essais non-destructifs qui ont amené un design de processeurs spécialisés en parallèle pour le calcul de la transformée rapide en ondelettes. Des démarches sont en cours avec la Société Prate Design de France sur la conception et réalisation de systèmes micro-électroniques et informatiques appliqués à des domaines médicaux et industriels.

Activités du professeur Kaminska

Les activités de recherche de la professeure Bozena Kaminska pour 1996-1997 sont principalement concentrées sur les domaines suivants:

- Technologie d'interconnexion et de commutation grande vitesse destinée aux réseaux de communication à fibres optiques et optoélectroniques avec une attention plus marquée aux services à large bande. En particulier, elle concentre ses efforts dans les domaines de l'interconnexion optique entre les organes d'entrée et les réseaux à fibres optiques. La conception de circuits à haute vitesse est basée sur des technologies rapides GaAs de la société TriQuint Semiconductors, Oregon. Notre matrice de commutation fabriquée et testée avec une fréquence maximale qui dépasse 3.4 GHz est destinée aux protocoles multiples de communication. Nous avons réalisé également des récepteurs optiques et différentes autres structures à haute vitesse et haute performance. Ces travaux sont réalisés en collaboration avec nos partenaires industriels, NHC Communications, Conseil National de Recherche et OPCOM.

- Test et conception de circuits analogique et mixte, analogique et numérique. Notre but est de développer un ensemble d'outils qui permettent d'intégrer la conception et le test.

Collaboration industrielle

Les partenaires industriels principaux de nos activités sont:

- NHC Communication Inc. et hfOPTEX Inc. Nous travaillons ensemble sur les matrices de commutations ainsi que sur le système optoélectronique.

- OPMAXX Inc. est notre collaborateur dans le domaine de test de circuits analogiques et mixtes.

Le concept de développement aide à la conception axée sur la vérification systématique et de génération de vecteurs de test pour les circuits analogiques et mixtes durant toutes les phases de la conception. Cet ensemble d'outils aide à concevoir des circuits et systèmes analogiques et mixtes facilement testables, "manufacturables" et auto-testable en cas de besoin. Ils peuvent être utilisés pour déterminer l'ensemble minimal de vecteurs de test permettant une couverture de panne maximale. Le projet est constitué de cinq éléments:

- Un outil d'aide à la conception et l'optimisation des circuits et système microélectronique en utilisant l'analyse de sensibilité.
- Un outil de génération de vecteurs de test pour les circuits analogiques.
- Un outil de génération de vecteurs de test pour les circuits mixtes.
- Un outil d'aide à la conception pour la manufacturabilité en intégrant la conception et le test à toutes les phases de production.
- Un outil d'insertion automatique de BIST pour les circuits mixtes.

Activités du professeur Lanctôt

Le professeur Lanctôt agit en tant que représentant de l'École auprès de la Société Canadienne de Microélectronique (SCMC). Il est membre et vice-président du Conseil d'administration de cette société ainsi que de son Comité exécutif. Il a présidé, au cours de 1994, le Comité d'Affectation des Ressources de la SCMC, ainsi que plusieurs autres comités depuis 1989.

Activités du professeur Maciejko

Le professeur Romain Maciejko dirige le laboratoire d'optoélectronique. Sa recherche porte sur l'application à la photonique des matériaux nouveaux, plus spécialement les semi-conducteurs, pour fabriquer de nouveaux composants. Sa recherche a deux volets: un côté théorique et un côté expérimental. Le volet théorique comprend l'étude de la réponse ultra-rapide des semi-conducteurs, notamment le transport des porteurs de charge à l'aide d'un simulateur Monte Carlo produit dans son laboratoire. Nous travaillons particulièrement à la simulation des lasers DFB. On a aussi développé une banque de programmes pour simuler des composants optoélectroniques: La méthode de propagation des faisceaux (BPM), la simulation des guides optiques par la méthode des éléments finis, le calcul de bandes dans les semi-conducteurs à l'aide de l'hamiltonien de Kohn-Luttinger, la résolution de l'équation de Schrödinger pour les puits quantiques simultanément avec l'équation de Poisson et d'autres programmes de moindre importance.

Le volet expérimental comprend des activités de fabrication de composant et des activités de caractérisation. La fabrication se fait à partir de couches épitaxiées (nanostructures) obtenues d'autres laboratoires (NORTEL). La caractérisation comprend l'étude de la photoluminescence résolue en temps à l'aide d'un laser titane-saphir femto seconde construit par nous-mêmes. Nous avons fait des études à des températures cryogéniques et nous utilisons un système de comptage de photons ultrasensible pour la détection. Cette caractérisation nous permet d'étudier les processus sur des échelles de temps de l'ordre de 50 femto secondes. De plus, nous avons fabriqué un commutateur optoélectronique ultra-rapide utilisant la photoconduction activée par un laser d'impulsions ultra-brèves. Nous utilisons l'échantillonnage électro-optique pour caractériser des circuits in situ grâce à des effets photoréfractifs.

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon sept grandes priorités:

1. la conception VLSI et le test des circuits intégrés numériques et analogiques
2. la conception des systèmes pour l'acquisition, l'analyse et la génération des signaux ainsi que le traitement d'images;
3. les appareillages médicaux et plus particulièrement les micro stimulateurs et capteurs sensoriels implantables et non-implantables;
4. la conception et la réalisation des circuits mixtes (numérique-analogique) et les différentes technologies d'intégration (PCB, SMT, MCM, etc…);
5. les circuits intégrés reprogrammables FPGA (Field Programmable Gate Arrays), FPAD (Field Programmable Analog Devices) FPMA (Field Programmable Mixed-Arrays) et les systèmes reconfigurables.
6. les systèmes ultrasoniques portables;
7. la synthèse de haut niveau des circuits électroniques analogiques et mixtes.

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels suivants:
1. la création des outils de haute performance servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions
2. la mise au point de fonctions et de systèmes complets servant à des applications industrielles variées.

La plupart de ces outils regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités en sciences et génie. Autrement dit, ce type de projet pluridisciplinaire implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc… Nous nous intéressons présentement à développer un bon nombre de systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la récupération d'une vision acceptable chez les non-voyants; un système de stimulation dédié à la récupération de mouvements simples de bras paralysés qui est basé sur un modèle de mouvements naturels; un dispositif détecteur de volume d'urine dans la vessie, en se servant d'une technique ultrasonique. Nous nous intéressons au développement d'un circuit non-implantable miniaturisé dédié aux enfants énurétiques; un système de télémétrie pour le test et la surveillance des activités des neurostimulateurs implantables; un moniteur miniaturisé allant dans un compte-gouttes, qui sert à une surveillance précise de son utilisation sans que son utilisateur ne s'en rende compte; un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électrique pour évaluer les pressions d'estomac, de poumons et de l'EMG à plusieurs niveaux.

Ces systèmes dédiés à des applications médicales doivent être très performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. De plus, et pour répondre aux besoins des applications industrielles, nous élargissons nos activités de recherche et nous nous intéressons à la conception et à la réalisation des fonctions et systèmes analogiques et mixtes. A titre d'exemple, nous développons deux catégories de circuits de conversion analogique à numérique (rapide et à haute précision) qui nécessitent la plupart des fonctions analogiques de base, soit un amplificateur opérationnel à large bande passante et un convertisseur numérique/analogique (DAC), etc. Nous travaillons à la mise au point d'un système de linéarisation des amplificateurs de puissance dédiés aux applications en communication cellulaire et ce système est basé sur un circuit DSP (TMS320C40). Nous proposons des filtres passe-bande reconfigurables et à bande passante très élevée. Des amplificateurs reconfigurables, des préamplificateurs à très faible niveau de bruit et à large bande passante, des PLL (Phase-Look Loop) à grande plage d'opération et des circuits intégrés mixtes programmables font aussi l'objet de nos travaux de recherche. Nous traitons des circuits en mode courant et en courant commuté. Dans le cadre de l'implant visuel, nous nous intéressons à la réalisation d'un capteur d'image et de traitement complet de l'image reçue, sur la même puce de silicium CMOS. Pour plus de détails sur les différents projets, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport.

Le professeur Sawan est co-fondateur de l'IFESS (International Function Electrical Stimulation Society), membre de l'AUE (Association for Urology and Engineering) et membre de plusieurs comités de programme de conférences nationales et internationales. À l'École Polytechnique, le professeur Sawan est fondateur du laboratoire de recherche PolySTIM (Laboratoire de neurotechnologie) et coordonnateur de la section électronique et énergie du département de génie électrique et génie informatique.

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées à l'équipe durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Abderrahman, Abdessatar	Ph.D.	B. Kaminska	E. Cerny
Abou-Khali, Michel	Ph.D.	K. Wu	R. Maciejko
Achard, Éric	M.Sc.A.	Y. Savaria	Y. Blaquière
Achour, Chokri	Ph.D.	J.-L. Houle	J. Davidson
Ahmad, Galaly	Ph.D.	B. Kaminska	
Antaki, Bernard	M.Sc.A.	Y. Savaria	
Arabi, Karim	Ph.D.	B. Kaminska	
Assi, Ali	Ph.D.	M. Sawan	
Ayad, Ahmed	M.Sc.A.	B. Kaminska	
Beauchamp-Parent, Alexandre	M.Sc.A.	M. Sawan	
Beaudin, Sylvain	M.Sc.A.	M. Bois	R. Marceau
Belabbes, Nacer-Eddine	Ph.D.	B. Kaminska	M. Sawan
Bélanger, Normand	Ph.D.	Y. Savaria	
Belhaouane, Adel	Ph.D.	Y. Savaria	B. Kaminska
Ben Salem, Brahim	Ph.D.	B. Kaminska	
Boubezari, Samir	Ph.D.	B. Kaminska	E. Cerny
Bourret, Sylvain	M.Sc.A.	M. Sawan	
Boyogueno Bendé, André	Ph.D.	B. Kaminska	
Brais, Louis-Philippe	M.Sc.A.	M. Sawan	
Calbaza, Dorin-Emil	M.Sc.A.	Y. Savaria	
Cantin, Marc-André	M.Sc.A.	Y. Blaquière	Y. Savaria
Cantin, Pierre-Luc	M.Sc.A.	M. Sawan	
Chabini, Nourreddine	M.Sc.A.	M. Aboulhamid	Y. Savaria
Chen, Jianyao	Ph.D.	R. Maciejko	
Contandriopoulos, Nicolas	M.Sc.A.	Y. Savaria	Y. Blaquière
Crampon, Marie-Agathe	M.Sc.A.	M. Sawan	
Deslauriers, Yann	M.Sc.A.	Y. Savaria	
Djemouai, Abdelouahab	Ph.D.	M. Sawan	
Ehsanian-Mofrad, Mehdi	Ph.D.	B. Kaminska	
El-Hassan, Fadi	M.Sc.A.	Y. Savaria	M. Sawan
Fares, Mounir	Ph.D.	B. Kaminska	
Fortin, Guillaume	M.Sc.A.	B. Kaminska	
Fouzar, Youcef	Ph.D.	Y. Savaria	
Gadiri, Abdel Karim	Ph.D.	Y. Savaria	
Gagnon, Mathieu	M.Sc.A.	B. Kaminska	
Gagnon, Yves	M.Sc.A.	M. Meunier	Y. Savaria
Granger, Éric	Ph.D.	Y. Savaria	
Güçlü, Alev Devrim	M.Sc.A.	R. Maciejko	
Guénette, Philippe	M.Sc.A.	J.-L. Houle	J. Davidson
Haddad, Mohamed	M.Sc.A.	B. Kaminska	G. Bois
Harb, Adnan	M.Sc.A.	M. Sawan	
Harvey, Jean-François	M.Sc.A.	M. Sawan	
Herling, Mihail	M.Sc.A.	G. Bois	
Jecklen, Ernesto	Ph.D.	M. Sawan	
Kassen, Abdallah	Ph.D.	J.-L. Houle	J. Davidson
Khali, Hakim	Ph.D.	Y. Savaria	J.-L. Houle
Kochnari, Ahmad	M.Sc.A.	B. Kaminska	
Lavoie, Michel	Ph.D.	J.-L. Houle	J. Davidson
Lestrade, Michel	M.Sc.A.	R. Maciejko	
Madani, Massoud	M.Sc.A.	M. Sawan	

ÉTUDIANTS AUX CYCLES SUPÉRIEURS (suite)

Mallette, Sylvain	M.Sc.A.	M. Sawan	
Marche, David	M.Sc.A.	B. Kaminska	
Motto, Alexis	M.Sc.A.	R. Marceau	
Moujoud, Abderrafia	Ph.D.	R. Maciejko	
Nekili, Mohamed	Ph. D.	Y. Savaria	G. Bois
Oudghiri, Houria	Ph.D.	B. Kaminska	
Ouici, Khalid	Ph.D.	M. Sawan	
Patenaude, Serge	M.Sc.A.	Y. Savaria	
Pera, Florin	M.Sc.A.	Y. Savaria	G. Bois
Petrican, Paul	M.Sc.A.	M. Sawan	
Poiré, Pascal	M.Sc.A.	Y. Savaria	
Rabel, Claude-Eddy	Ph.D.	M. Sawan	
Rahal, Ali	Ph.D.	R. Bosisio	M. Sawan
Reid, Benoit	Ph.D.	R. Maciejko	
Rejeb, Chedly	Ph.D.	R. Maciejko	
Ridouh, Kamel	M.Sc.A.	G. Bois	
Robin, Simon	M.Sc.A.	M. Sawan	
Ryel, Kim	M.Sc.A.	R. Maciejko	
Saab, Khaled	M.Sc.A.	B. Kaminska	
Sahraoui, Nadjiba	Ph.D.	G. Bois	
Shadilatab, Manoucher	M.Sc.A.	M. Sawan	G. Bois
Shaiek, Boubahar	M.Sc.A.	B. Kaminska	
Soufi, Mohamed	Ph.D.	Y. Savaria	
Sylla, Iboun Tainiya	Ph.D.	B. Kaminska	
Vaillancourt, Pierre	M.Sc.A.	M. Sawan	
Wong, Tony	Ph.D.	J.-L. Houle	
Yuan, Peijian	M.Sc.A.	G. Bois	Y. Savaria

ÉTUDIANTS RÉCEMMENT INSCRITS

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Assaad, Maher	Ph.D.	Y. Savaria	
Boyer, Stéphane	M.Sc.A.	M. Sawan	
Djebbar, Abderrahmane	M.Sc.A.	G. Bois	
Donfack, Colince	M.Sc.A.	Y. Savaria	
Hodroj, Jihad	M.Sc.A.	B. Kaminska	
Le Chapelain, Bertrand	M.Sc.A.	Y. Savaria	G. Bois
Michaud, Guy	M.Sc.A.	J.-L. Houle	
Romain, Luc	M.Sc.A.	M. Sawan	
Roy, Martin	M.Sc.A.	M. Sawan	
Voghell, Jean-Charles	M.Sc.A.	M. Sawan	

Titres des projets et diplômes en cours de chaque étudiant

Cette section du document contient une liste de projets avec le nom des personnes concernées. Par la suite, nous fournissons plus de détails sur chacun des projets en insistant sur les réalisations.

Nom de l'étudiant - diplôme en cours - le titre de son projet

Abderrahman, A.	Ph.D.	Génération de tests robustes pour les circuits analogiques linéaires.
Abou-Khali, M.	Ph.D.	Modélisation du transport des porteurs de charge dans les dispositifs photoniques et à puits quantiques par la méthode Monte-Carlo.
Achard, E.	M.Sc.A.	Système de correction d'erreurs en temps réel dans le cas de la vision 3-D par ordinateur.
Achour, C.	Ph.D.	Architecture VLSI pour la compression d'images par ondelettes.
Ahmad, G.	Ph.D.	Spécification à haut niveau, test structurel et fonctionnel avec LIMSoft.
Antaki, B.	B. Ing.	Conception pour la testabilité de circuits logiques CML (Current-Mode Logic) haute fréquence.
Arabi, K.	Ph.D.	Conception pour la fiabilité des systèmes biomédicaux implantables.
Assi, A.	Ph.D.	Techniques de conception de circuits analogiques intégrés à haute performance en CMOS.
Ayad, A.	M.Sc.A.	Conception d'un circuit échantillonneur-bloqueur à haute performance.
Beauchamp-Parent, A.	M.Sc.A.	Dispositif ultrasonore miniaturisé dédié à l'évaluation du volume vésical pour le traitement de l'incontinence nocturne.
Beaudin, S.	M.Sc.A.	Simulation rapide avec PULSE de la stabilité transitoire dans les réseaux de transport d'énergie électrique.
Bélanger, N.	Ph.D.	Outils et méthodes pour le traitement parallèle de calculs sur des tableaux.
Belhaouane, A.	Ph.D.	Modélisation d'un échantillonneur rapide et reconstitution d'un signal à partir d'un nombre fini d'intervalle.
BenSalem, B.	Ph.D.	Modélisation du "mismatch" dans les circuits analogiques.
Boubezari, S.	Ph.D.	Analyse de testabilité et insertion de points test au niveau transfert de registres.
Bourret, S.	M.Sc.A.	Stratégie de stimulation des membres supérieurs et sa réalisation à l'aide d'un microstimulateur implantable.
Boyogueno Bendé, A.	Ph.D.	Conception et test des circuits optoélectroniques pour le traitement en parallèle du signal optique en technologie GaAs.
Brais, L.-P.	M.Sc.A.	Égalisateur adaptatif numérique haute performance pour signaux QAM
Calbaza, D. -E.	M.Sc.A.	Conception d'un circuit de synthèse numérique de fréquence.
Cantin, M.-A.	M.Sc.A.	Mise en œuvre d'un réseau de neurones artificiels selon l'algorithme Fuzzy ART.
Cantin, P.-L.	M.Sc.A.	Interface universelle pour capteurs.
Chabini, N.-E.	M.Sc.A.	Estimation des performances d'applications exprimées en ANSI C en vue d'être implémentées sur un système SIMD.
Chen, J.	Ph.D.	Modélisation et analyse d'un semi-conducteur laser DFB couplé par gain.
Contandriopoulos, N.	M.Sc.A.	Partitionnement logiciel/logiciel automatique sur des architectures parallèles hétérogènes.
Crampon, M.-A.	M.Sc.A.	Étage de sortie de stimulateurs implantables incluant des électrodes à armature en alliage à mémoire de forme.
Deslauriers, Y.	M.Sc.A.	Conception d'un circuit qui insère/extrait des données ancillaires dans une trame vidéo.
Djemouai, A.	Ph.D.	Interface transcutanée bidirectionnelle dédiée aux implants neuro-musculaires.

Titres des projets et diplômes en cours de chaque étudiant (suite)

Ehsanian-Mofrad, M.	Ph.D.	Convertisseur analogique-numérique de type intervalle à haute résolution et à grande vitesse.
El-Hassan, F.	M.Sc.A.	Implantation du décodeur de Viterbi sur une plate-forme mixte matériel logiciel.
Fares, M.	Ph.D.	Conception de circuits CMOS mixtes très rapides destinés aux systèmes de communication.
Fortin, G.	M.Sc.A.	Conception de circuits en AsGa pour la transmission de données par fibre optique.
Fouzar, Y.	Ph.D.	Boucles à verrouillage de phase (PLL) à très large bande passante.
Gadiri, A.	Ph.D.	Échantillonnage parallèle multi seuils, théorie et applications.
Gagnon, M.	M.Sc.A.	Conception d'un récepteur optique en CMOS.
Gagnon, Y.	M.Sc.A.	Restructuration pour faisceau laser des circuits intégrés VLSI.
Granger, É.	Ph.D.	Réseaux de neurones artificiels pour la catégorisation de signaux radars.
Güçlü, A.D.	M.Sc.A.	Étude théorique des dispositifs à puits quantiques par la méthode Monte Carlo.
Guénette, P.	M.Sc.A.	Circuits analogiques programmables et reconfigurables en microélectronique.
Haddad, M.	M.Sc.A.	Réalisation mixte logicielle/matérielle d'un protocole de communication pour réseaux locaux.
Harb, A.	M.Sc.A.	Système électronique intégré implantable dédié à la surveillance des activités neuromusculaires urinaires.
Harvey, J.-F.	M.Sc.A.	Acquisition et traitement d'images dédiées à un implant visuel.
Herling, M.	M.Sc.A.	Conception et réalisation d'une interface graphique pour un environnement intégré de développement d'un processeur parallèle de type SIMD.
Jecklen, E.,	Ph.D.	Technique de linéarisation numérique des amplificateurs de puissance.
Kassen, A.	Ph.D.	Compression d'images par la transformée en cosinus discrète (TCD).
Khali, H.	Ph.D.	Algorithmes et architectures spécialisés pour un système optique autosynchronisé à précision accrue.
Kochnari, A.	M.Sc.A.	Test de courant de repos (I_{DDQ}) basé sur l'analyse de testabilité et sur l'insertion des points de test pour les circuits séquentiels.
Lavoie, M.	Ph.D.	Calculs de stabilité de réseaux en temps réel pour architectures de processeurs parallèles.
Lestrade, M.	M.Sc.A.	Modélisation et caractérisation de diodes lasers.
Madani, M.	M.Sc.A.	Système multidisciplinaire servant au remplacement complet de la vessie.
Mallette, S.	M.Sc.A.	Conception, réalisation et expérimentation in vivo d'un générateur d'impulsions multicanal dédié à la simulation du cortex moteur.
Marche, D.	M.Sc.A.	Outil automatique de génération de vecteurs de test pour les circuits analogiques.
Motto, A.	M.Sc.A.	Simulation instantanée des transitoires électromagnétiques dans les grands réseaux électriques. Faisabilité de l'architecture PULSE.
Moujoud, A.	Ph.D.	Échantillonnage électro-optique.
Nekili, M.	Ph.D.	Synthèse de réseaux de distribution d'horloge en présence de variations des procédés de fabrication.
Oudghiri, H.	Ph.D.	Algorithme de partitionnement hardware/software au niveau système.
Ouici, K.	Ph.D.	Conception et réalisation d'un amplificateur opérationnel CMOS programmable dédié à des capteurs implantables.

Titres des projets et diplômes en cours de chaque étudiant (suite)

Patenaude, S.	M.Sc.A.	Modélisation des pannes dans les circuits numériques rapides en technologie bipolaire ECL et CML.
Pera, F.	M.Sc.A.	Méthodes de routage et modélisation pour circuits intégrés rapides.
Petrican, P.	M.Sc.A.	Réalisation d'un détecteur ultrasonique dédié à l'évaluation du volume urinaire chez les enfants énurésiques.
Poiré, P.	M.Sc.A.	Conception d'un système de post traitement vidéo pour un corrélateur optique.
Rabel, C.-E.	Ph.D.	Conception et réalisation d'un FPMA («Field Programmable Mixed-Signal (Digital-Analog) Array»)
Rahal, A.	Ph.D.	Étude et conception de sources de fréquence intégrée en ondes millimétriques.
Reid, B.	Ph.D.	Étude de la dynamique ultra-rapide des porteurs dans les nanostructures.
Rejeb, C.	Ph.D.	Étude des processus de transfert ultra-rapides des porteurs dans les hétérostructures.
Ridouh, K.	M.Sc.A.	Développement d'une librairie de cellules paramétrables et d'un générateur de macro-cellules pour la conception de circuits intégrés à haute fréquence.
Robin, S.	M.Sc.A.	Nouvel implant urinaire dédié à la stimulation neuronale sélective.
Ryel, K.	M.Sc.A.	Étude théorique sur des cristaux photoniques bidimensionnels pour un système *InGaAsPInP* dans l'infrarouge proche et dans le visible.
Saab, K.	M.Sc.A.	Outil automatique de génération de vecteurs de test pour les circuits analogiques.
Sahraoui, N.	Ph.D.	Ordonnancement et allocation d'applications multidimensionnelles pour la synthèse d'accélérateurs à logique reconfigurable.
Shaditalab, M.	M.Sc.A.	Conception et réalisation sur FPGA d'une transformée rapide de Fourier (TRF) reconfigurable basée sur une architecture parallèle et pipeline.
Shaiek, B.	M.Sc.A.	Implantation de BIST basé sur la stratégie de test par oscillation.
Soufi, M.	Ph.D.	Caractérisation et amélioration de la testabilité séquentielle pseudo-aléatoire des circuits VLSI.
Sylla, I.T.	Ph.D.	Analyse de la testabilité des circuits RF.
Vaillancourt, P.	M.Sc.A	Étude de la propagation des ondes électromagnétiques d'un lien radiofréquence de transfert d'énergie dédié à un implant de stimulation du cortex visuel
Wong, T.	Ph.D.	Répartition automatique des tâches dans la simulation en temps réel des réseaux électriques.
Yuan, P.	M.Sc.A.	Développement d'un algorithme de compression d'images pour une architecture parallèle de type SIMD.

Description détaillée des projets d'étudiants

ABDERRAHMAN, Abdessatar **DIPLÔME: Ph.D.**

TITRE:

Génération de tests robustes pour les circuits analogiques linéaires.

RÉSUMÉ:

Le test des circuits analogiques intégrés est un problème difficile et coûteux. On se propose d'élaborer une méthode permettant de générer un ensemble de tests de qualité maximale.

PROBLÉMATIQUE:

Le test des circuits analogiques intégrés est un problème difficile. Cette difficulté émane de la complexité naturelle de ces circuits impliquant un spectre continu de défauts. Cela est dû à la variation continue dans le temps des quantités physiques qui caractérisent ces circuits. Il en résulte une absence de modèle adéquat de défaut similaire à un modèle numérique "collé à". Les effets de masquage causés par les tolérances des paramètres ainsi que l'incertitude que ces derniers induisent sur les caractéristiques de ces circuits compliquent encore plus le problème du test analogique. En outre, la non-linéarité de ces caractéristiques ainsi que le manque d'accessibilité aux nœuds internes rendent ce problème plus complexe.

La génération de vecteurs de test vise à minimiser le coût du test de production tout en assurant une qualité de test maximale. Nous nous proposons donc de mettre en œuvre un algorithme qui permet de générer un ensemble minimal de tests assurant une couverture individuelle maximale pour les composants de circuits analogiques linéaires.

MÉTHODOLOGIE:

Pour assurer une couverture de défauts individuelle maximale, il faut déterminer pour chaque composant la plus petite (responsivité la plus grande) déviation positive (responsivité négative) détectable. Ceci doit être accompli en tenant compte de l'effet maximal de masquage dû à la tolérance des composants. Pour atteindre ce but, le problème de génération de test a été formulé comme une série de problèmes d'optimisation.

RÉSULTATS:

Mise en œuvre d'un algorithme qui génère un ensemble de tests de qualité maximale pour le test de circuits analogiques. Initialement, nous avons résolu les problèmes d'optimisation formulés à l'aide d'une méthode de programmation non-linéaire, en l'occurrence la programmation quadratique séquentielle (SQP) disponible dans l'outil de mathématiques MATLAB. Cependant, de telles méthodes d'optimisation ne peuvent pas garantir que la solution trouvée est globale. Cela peut donc conduire à une sélection erronée de tests affectant ainsi la qualité de l'ensemble de tests générés. De plus, ces méthodes ne sont pas automatiques et dépendent de plusieurs paramètres qui doivent être choisis par un usager expérimenté. Nous avons alors élaboré une nouvelle méthode basée sur la programmation logique de contraintes (CLP), qui permet de résoudre les problèmes d'optimisation formulés comme une série de problèmes de satisfaction de contraintes. Cette méthode est automatique et génère des bornes étroites, infaillibles et garanties à l'intérieur desquelles se trouvent les optimums (minimum et maximum) globaux d'une fonction non-linéaire.

ABOU-KHALI, Michel **DIPLÔME: Ph.D.**

TITRE:

Modélisation du transport des porteurs de charge dans les dispositifs photoniques et à puits quantiques par la méthode Monte-Carlo.

RÉSUMÉ:

Le projet consiste à développer et valider un modèle numérique pour la simulation du transport des porteurs de charge. Le programme porte sur la simulation des dispositifs réels et sur le traitement animé des résultats numériques. Le modèle englobe entre autre les effets quantiques sur les hétérojonctions par un calcul autoconsistant.

PROBLÉMATIQUE:

La simulation du transport des porteurs de charge nécessite la connaissance des distributions moyennes de l'état énergétique des porteurs dans le temps ainsi que dans l'espace de phase. La distribution de vitesse, l'occupation des bandes d'énergie et la densité de porteurs sont des exemples de quantités physiques importantes à analyser par le modèle. De plus, puisque la distribution des porteurs modifie le potentiel effectif et le champ électrique dans le dispositif, il est donc nécessaire de suivre simultanément cette variation.

MÉTHODOLOGIE:

La méthode utilisée pour modéliser le transport inclut l'étude de la dynamique des porteurs, leur interaction avec le réseau cristallographique ainsi que leur interaction avec d'autres porteurs. Les porteurs sont considérés comme des particules classiques: leur dynamique est dominée par l'influence des forces extérieures, qui modifient leur énergie et leur parcours. D'autre part, les interactions physiques sont connues sous forme de différents types de diffusion et sont exprimés par un taux et une probabilité déterminée en fonction de l'énergie. L'application de cette méthode dans des dispositifs réels exige une considération détaillée de la déformation des bandes, des niveaux d'énergie quantifiés, de leurs fonctions d'onde correspondantes ainsi que de la distribution des porteurs dans chaque niveau. Cela est réalisé par le calcul autoconsistant de la méthode Monte-Carlo, de la solution de l'équation de Poisson et de la solution de l'équation de Schrödinger, ce qui forme un ensemble connu sous le nom «Ensemble de Monte-Carlo ».

RÉSULTATS:

Un modèle unipolaire a été réalisé et la vitesse de dérive des électrons dans le GaAs, l'InP et l'AlInAs purs a été calculée. Les résultats sont en bon accord avec d'autres calculs numériques et des mesures expérimentales. L'application de la méthode à la simulation d'un transistor à haute mobilité (HEMT), d'un varactor à barrière quantique (QBV) et du temps de capture dans des puits quantiques a été fait. On a pu tirer la courbe caractéristique courant/voltage du transistor (la courbe I/V) à l'état stationnaire. Dans le cas du varactor, la capacité de la zone d'appauvrissement a été déduite en fonction du voltage appliqué. On a fait la comparaison du caractère oscillatoire du temps de capture calculée en fonction de la largeur du puits avec d'autres méthodes numériques. Les oscillations obtenues sont en bon accord avec les résultats publiés. Une application directe du schéma proposé a permis la publication du calcul de temps de capture dans une structure GRINSCH (Graded-index Separate-Confinement Heterostructure) pour les diodes lasers.

ACHARD, Éric **DIPLÔME: M.Sc.A.**

TITRE:

Système de correction d'erreurs en temps réel pour un système de vision 3-D par ordinateur.

RÉSUMÉ:

La vision par ordinateur constitue un domaine d'application de haute performance principalement dans le cas d'applications temps-réel comme la robotique. Dans le cas des systèmes optiques, une attention toute particulière est donnée à l'exactitude et à la précision des données mesurées en prévision des traitements ultérieurs. Le projet consiste à concevoir un système qui permet d'effectuer la correction d'erreurs pour des débits de données de 1 million de points 3-D par seconde.

PROBLÉMATIQUE:

Dans un système optique de mesure, les caractéristiques physiques et géométriques des objets à étudier peuvent influencer grandement l'exactitude des mesures. Lorsque les surfaces à analyser sont uniformes, le signal capté au niveau du détecteur optique dans un système basé sur une illumination laser active est de type gaussien. Cependant, une variation de réflectance ou de profondeur peut entraîner une déformation du spot laser engendrant ainsi une erreur de mesure. Le but du projet est de concevoir un circuit intégré qui corrige cette erreur en temps réel.

MÉTHODOLOGIE:

- Identification des goulots d'étranglement de l'algorithme;
- Optimisation de l'algorithme;
- Recherche d'architectures pour l'implantation de l'algorithme;
- Implantation de certaines de ces architectures;
- Détermination de celles qui obtiennent le meilleur rapport performance-coût.

RÉSULTATS:

Une étude approfondie de l'algorithme nous a rapidement démontrée que son implantation dans un circuit intégré serait difficilement réalisable dû à la dimension des circuits de multiplication et de division à virgule flottante. Une implantation du système basée sur trois DSP ainsi qu'un générateur d'adresses couplé avec des tables de référence a donc été réalisée et simulée. Cette version du système nous a permis de découvrir qu'un goulot d'étranglement existe au niveau des communications entre les processeurs. Une version logicielle a donc été développée afin d'être exécutée sur deux DSP: le TMS320C40 de Texas Instruments et le ADSP-21060 de Analog Devices. Le ADSP-21060 a atteint les performances désirées. Finalement, une implantation sur FPGA a été étudiée. Elle utilise un format de nombre à virgule fixe et a facilement passé le cap des 1 million de points par seconde.

ACHOUR, Chokri **DIPLÔME: Ph.D.**

TITRE:

Architecture VLSI pour la compression d'images par ondelettes.

RÉSUMÉ:

La compression d'images par ondelettes (CIO) est un outil puissant pour plusieurs applications où la compression par transformée en cosinus discrète (TCD) est limitée. Par l'utilisation d'une architecture VLSI, l'algorithme de compression d'images par ondelettes peut être mis en œuvre en un circuit ASIC plus facilement que ceux utilisés par la transformée en cosinus discrète.

PROBLÉMATIQUE:

Dans le domaine de compression d'images numériques en temps réel, on utilise généralement la transformée en cosinus discrète (TCD). Cependant, cette méthode présente certains inconvénients. D'une part, elle requiert un certain nombre d'opérations mathématiques de l'ordre de n^2 multiplications. D'autre part, elle a besoin d'un volume de mémoire assez grand. Une représentation qui tient compte de ces limites est celle de la compression d'images par ondelettes (CIO). Cette dernière offre plusieurs avantages ; un ratio élevé de compression, une excellente qualité d'image et une méthode de décompression progressive.

Les processeurs de traitement de signal "digital signal processors" (DSP) sont conçus autour d'architectures d'utilisation généralisée et ne sont pas optimisés pour un algorithme en particulier tel que la CIO. La conception d'une architecture VLSI spécialisée pour la CIO (avec une option d'une solution en co-design) permet de rendre parallèle autant que possible les calculs de l'algorithme, afin d'augmenter la vitesse de traitement.

MÉTHODOLOGIE:

Les étapes nécessaires à la réalisation d'un circuit VLSI pour la compression d'images par ondelettes (CIO) sont les suivantes:

- Étude de l'algorithme de la TO-2D. Des simulations à l'aide du logiciel MATLAB sont effectuées pour déterminer les éléments pertinents à la réalisation de l'architecture interne du processeur (multiplieur, additionneur, registres).
- Modélisation des blocs principaux du processeur. Cette étape permet la réalisation de l'architecture interne du processeur en tenant compte, dans un premier temps, de son mode de fonctionnement et dans un deuxième temps, du rapport vitesse-surface.
- Mise en œuvre du processeur dans un circuit intégré programmable FPGA (Field Programmable Gate Array) de la compagnie Xilinx.

RÉSULTATS:

Une architecture VLSI de la CIO a été simulée à l'aide de quatre processeurs élémentaires (PE) avec des signaux de 16 bits. Chaque PE est une unité de traitement indépendante qui calcule une convolution entre les échantillons du signal et une ondelette analysante. Le résultat de chaque PE, coefficients de l'ondelette, est envoyé vers un bus de sortie de 32 bits. Un modèle réduit de l'architecture de la CIO comprenant deux PE de 8 bits a été mis en œuvre dans le FPGA de Xilinx-XC4010.

AHMAD, Galaly **DIPLÔME: Ph.D.**

TITRE:

Spécification à haut niveau, test structurel et fonctionnel avec LIMSoft.

RÉSUMÉ:

LIMSoft est un outil automatique pour le test de circuits analogiques. Il offre la possibilité de calculer la sensibilité dans le but de réaliser des circuits résistants aux défauts et permet de générer les vecteurs de test. L'analyse peut se faire dans les domaines fréquentiel, temporel et DC.

PROBLÉMATIQUE:

Bien qu'il soit possible d'utiliser la sensibilité de la tension ou du courant de sortie du circuit pour déterminer les déviations permises des composants, il est plus pratique de vérifier directement les paramètres fonctionnels (gain, offset,…) du circuit par rapport aux déviations des composants.

Pour couvrir tous les circuits analogiques, il est désirable de trouver l'ensemble minimum des paramètres qui garantissent une bonne couverture du circuit sous test pour chaque catégorie de circuits.

MÉTHODOLOGIE:

En utilisant différentes classes de circuits (Amp, OP, PLL, DAC,…) nous essaierons de trouver les relations entre les paramètres des circuits et leurs structures.

Nous essaierons d'utiliser chaque circuit sans modification si possible. Si la sensibilité de quelques paramètres ne peut être obtenue directement, nous essaierons de développer une interface entre le circuit et LIMSoft qui pourrait convertir ces paramètres en courant ou tension pour laquelle la sensibilité est facile à obtenir avec l'outil.

RÉSULTATS:

Nous avons commencé par l'étude des paramètres d'un amplificateur opérationnel. On a obtenu des relations entre la plupart de ses paramètres et la tension ou le courant à la sortie. Maintenant on essaie d'appliquer ces équations pour évaluer la validité de cette approche.

ANTAKI, Bernard **DIPLÔME: M. Sc. A.**

Titre:

Conception pour la testabilité de circuits logiques CML (Current-Mode Logic) haute fréquence.

RÉSUMÉ:

La première étape consiste à caractériser les circuits haute fréquence pour en identifier les pannes possibles ainsi que leur fréquence d'occurrence dans une bibliothèque de cellules. En seconde étape, il nous faudra trouver des méthodes de détection de pannes qui fournissent une bonne couverture en dégradant aussi peu que possible les performances des circuits. En dernière étape, nous devrons proposer une bibliothèque de cellules améliorées au plan de la testabilité. Un stage de 4 mois en entreprise a permis d'avoir un accès direct aux données industrielles nécessaires à nos recherches.

PROBLÉMATIQUE:

Bien que les circuits ECL (très similaires au CML) soient connus depuis longtemps, l'intérêt de les utiliser dans les circuits VLSI est survenu plus récemment (10 dernières années). En effet, les courants de polarisation requis par chaque cellule en rendaient l'usage difficile. Toutefois, avec la miniaturisation des transistors et un ensemble d'améliorations technologiques, les courants ont diminué et l'intégration VLSI de circuits ECL et CML est devenue possible. Avec les technologies bipolaires modernes, des fréquences au-delà du GHz sont à notre portée. Néanmoins, les techniques de test spécifiques à ces technologies n'ont pas encore été développées. Quelques auteurs ont tenté d'appliquer des méthodes couramment utilisées en CMOS, mais ils se sont vite rendu compte que les circuits ECL et CML possèdent des modes de pannes qui leurs sont propres.

MÉTHODOLOGIE:

En se basant sur les problèmes rencontrés par certains auteurs, avec le test des circuits ECL, nous développerons des outils de caractérisation qui fonctionnent à partir de représentations extraites des dessins de masques développés avec l'outil CADENCE. Les représentations sont simulées avec HSPICE ou SPECTRE. Par la suite, une étude probabiliste sera appliquée aux résultats pour estimer l'importance de certains types de pannes pour cette technologie. En identifiant les pannes les plus probables et qui somme toute donnent une couverture de la plupart des défectuosités, nous pourrons établir et construire des méthodes de test pratiques et efficaces pour combler les lacunes des techniques actuelles.

RÉSULTATS:

Une recherche bibliographique a été faite et un ensemble de pannes typiques a été assemblé. Des outils de caractérisation de pannes sont en développement. Un outil qui automatise les simulations est aussi en développement.

Ce projet vise l'intégration des éléments proposés dans une méthode de test qui satisfait les normes industrielles. Le projet devrait aussi produire un outil de caractérisation flexible permettant d'étudier le comportement de bibliothèques de cellules vis-à-vis d'un ensemble de défectuosités injectées, ainsi que l'efficacité de méthodes de tests développées pour augmenter la couverture de pannes de ces librairies.

ARABI, Karim **DIPLÔME: Ph.D.**

TITRE:

Conception pour la fiabilité des systèmes biomédicaux implantables.

RÉSUMÉ:

Le but de cette thèse est d'établir une approche globale permettant de vérifier l'état des systèmes implantables et celui du patient via un lien de télémétrie. Des techniques efficaces pour la conception des prothèses implantables télétestables et fiables seront donc développées. La même approche doit assurer la biotélémétrie des paramètres biologiques et cliniques. Les informations récupérées permettront, entre autres, la localisation des pannes des circuits électroniques et des électrodes, la calibration des convertisseurs numériques/analogiques, la surveillance de la batterie et la mesure des paramètres cliniques.

PROBLÉMATIQUE:

Suivant le développement initial du stimulateur cardiaque (pacemaker), il y a 35 ans, plusieurs systèmes implantables ont été mis au point pour traiter différentes anomalies. Aujourd'hui une grande variété de systèmes implantables commercialisés aide à améliorer l'état de santé de nombreux patients ainsi qu'à sauver plusieurs vies. Il s'agit du stimulateur cardiaque, de la prothèse cochléaire, de la prothèse respiratoire, des stimulateurs de muscles paralysés, du stimulateur pour contrôler la douleur, des systèmes implantables pour injecter un médicament, etc. La plupart des systèmes implantables existants ne sont pas testables une fois implantés, ce qui diminue leur fiabilité. De plus, les techniques de télémétrie qui servent à vérifier l'état du patient sont complexes et requièrent une grande surface de silicium. La nécessité de mettre au point une méthode simple et pratique pour vérifier l'état du patient et celui du système implantable est alors évidente.

MÉTHODOLOGIE:

Afin d'améliorer la fiabilité des systèmes implantables en utilisant la télémétrie, nous procédons de la manière suivante:

- Étudier les systèmes télétestables en général en vue de les appliquer aux systèmes biomédicaux implantables
- Développer des méthodes efficaces et simples pour le test intégré des circuits mixtes et spécifiquement des circuits implantables.
- Développer une technique de télémétrie afin de surveiller l'état du patient et du système implanté.
- Définir un nouveau protocole de communication bidirectionnelle et fiable qui assure la transmission de données entre le médecin et l'implant.

L'intégration des circuits électroniques sera basée sur la technologie CMOS ou BiCMOS.

RÉSULTATS:

Nous avons établi une méthode permettant de vérifier l'état du patient, celui de l'implant et de ses électrodes. Les résultats sont très encourageants. Des approches efficaces pour prévenir les pannes dans les circuits électroniques implantables ont été aussi développées.

ASSI, Ali **DIPLÔME: Ph.D.**

TITRE:

Techniques de conception de circuits analogiques intégrés à haute performance en CMOS

RÉSUMÉ:

Ce travail se divise en deux parties: dans la partie A, le travail se situe dans la catégorie des techniques de réduction de la tension de décalage dans les amplificateurs opérationnels à réaction en courant ("Current Feedback Operational Amplifvier" CFOA). Dans la partie B, il s'agit d'un bloc analogique de base: le convertisseur tension-courant ("Voltage-to-Current-Transducer" VCT), ou encore appelé circuit de transconductance. Une nouvelle architecture est proposée pour les applications à hautes fréquences.

PROBLÉMATIQUE:

Le traitement de signal numérique évolue rapidement, cette évolution grandissante dans l'industrie des circuits intégrés a donné aux circuits analogiques un rôle aussi important que celui de circuits numériques. Les circuits analogiques doivent assurer efficacement l'interface avec le monde extérieur qui est de nature analogique. Bref, les circuits analogiques doivent fonctionner efficacement avec des standards numériques sévères exigés par une technologie qui est fondamentalement optimisé pour des applications numériques. Cette situation a créé de nouveaux défis, auxquels les concepteurs de circuits analogiques doivent faire face.

MÉTHODOLOGIE:

Ce travail traite ce problème selon deux axes. Dans la partie A, une méthode pour réduire la tension de décalage dans les CFOA en technologie CMOS est proposée. Cette méthode utilise deux techniques fréquemment utilisées par les concepteurs des circuits analogiques dans plusieurs applications différentes. Ces deux techniques sont: l'intégration de l'erreur et la rétroaction de courant. En plus, l'utilisation de cette méthode permet d'annuler l'erreur de gain qui provient de l'étage d'entrée du CFOA. Une discussion sur les architectures des CFOAs en technologie CMOS récente est donnée, suivie par la proposition d'une nouvelle architecture d'un CFOA en technologie CMOS procédé 0.8-micron, muni d'un circuit interne pour réduire la tension de décalage.

Dans la partie B, une nouvelle architecture d'un circuit de transconductance pour les applications à haute fréquence est proposée. Une bande passante large avec une bonne linéarité est obtenue en éliminant les nœuds internes dans le circuit et par l'utilisation d'une structure différentielle. Le circuit de transconductance est fabriqué, et deux applications (filtre passe-bande et opamp mode courant) sont données pour illustrer son succès.

RÉSULTATS:

Pour la partie A, les mesures effectuées sur des prototypes du CFOA conçu, démontre le succès de cette méthode pour la réalisation des CFOAs en technologie CMOS à large bande passante, avec des tensions de décalage réduites et sans erreur de gain.

Pour la partie B, les mesures sur les prototypes du circuit sont très satisfaisantes et ouvre la porte sur son utilisation dans les applications à hautes fréquences.

AYAD, Ahmed **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un circuit échantillonneur-bloqueur à haute performance.

RÉSUMÉ:

Le projet consiste à étudier les applications générales et les différentes architectures des circuits échantillonneurs bloqueurs.

Ce type de circuits est très utile pour les systèmes de communication et en particulier pour les convertisseurs analogiques-numériques.

PROBLÉMATIQUE:

La prolifération du traitement de signal a entraîné un besoin grandissant de convertisseurs analogiques-numériques. Simultanément, l'échantillonneur-bloqueur a aussi reçu de plus en plus d'attention. Ce circuit précède les convertisseurs analogiques-numériques pour réduire la distorsion due à la capacité non linéaire de la jonction et aux erreurs résultant de l'horloge et de la variation du délai de propagation du signal d'entrée. Ils sont souvent utilisés à l'entrée analogique-numérique pour convertir l'information analogique en une tension constante sur un intervalle de temps de déclenchement.

MÉTHODOLOGIE:

Les échantillonneurs-bloqueurs permettent l'interface entre le monde analogique et les systèmes de traitement de signaux et doivent donc atteindre une précision et une vitesse compatibles avec les performances globales. Des échantillonneurs-bloqueurs monolithiques ont été conçus pour opérer à une fréquence d'échantillonnage supérieure à 100 MHz, en utilisant la technologie bipolaire ou BiCMOS, mais la fréquence d'échantillonnage atteinte en CMOS n'a pas dépassé 50 MHz. Aujourd'hui, la majeure partie de la production des semiconducteurs se fait en CMOS. L'un des buts de ce projet est donc de concevoir un échantillonneur-bloqueur plus rapide en CMOS.

RÉSULTATS:

Quelques expériences basées sur des simulations ont déjà été effectuées. Les résultats préliminaires qui ont été obtenus concernant les parties séparées du circuit, sont très encourageants.

Comme l'échantillonneur-bloqueur sera en mode différentiel, il nécessite un amplificateur opérationnel différentiel à la sortie pour éviter les problèmes qui peuvent être causés par les circuits qui sont à la sortie. Un amplificateur opérationnel a été conçu pour accomplir cette tâche.

Test du circuit en utilisant la méthode de la sensibilité. Cette méthode nous permet de savoir comment peut varier le signal de sortie vis-à-vis de la variation de la valeur des composants.

BEAUCHAMP-PARENT, Alexandre **DIPLÔME: M.Sc.A.**

TITRE:

Dispositif ultrasonore miniaturisé dédié à l'évaluation du volume vésical pour le traitement de l'incontinence nocturne.

RÉSUMÉ:

L'incontinence nocturne est un malaise très répandu chez la population infantile. En effet, 20% des enfants âgés de 4 ans et plus en sont atteints. Ce problème constitue une source d'anxiété, particulièrement à l'âge adolescent où les contacts sociaux prennent une toute autre dimension.

Il existe deux types de thérapie pour corriger ce malaise: la médication et le conditionnement par une alarme. À moyen et long terme, la thérapie offrant le plus de succès est celle du conditionnement par une alarme. Ainsi, notre but est de proposer une nouvelle approche de cette thérapie. Nous croyons pouvoir réduire la durée de cette thérapie en plus d'éliminer les pertes d'urine normalement requises pour déclencher les dispositifs avec alarme.

PROBLÉMATIQUE:

Actuellement, les dispositifs utilisés lors d'une thérapie de conditionnement par une alarme réveillent l'enfant durant la miction. Ainsi, une perte d'urine survient après le réveil. L'objectif de la thérapie étant d'associer le besoin d'uriner avec le réveil, nous croyons qu'il serait avantageux de réveiller l'enfant avant la miction. Pour y arriver, nous évaluerons le volume de la vessie par ultrasons. Afin de concevoir un dispositif portable dont le coût de production est comparable à celui des alarmes actuellement sur le marché, nous devons limiter la complexité de l'architecture utilisée. Une version préliminaire du dispositif a été proposée précédemment par notre équipe, mais n'offre pas la bonne précision désirée. Ainsi, les recherches effectuées dans le cadre de ce projet auront pour but de déterminer la précision de l'évaluation du volume vésical avec un seul cristal ultrasonore.

MÉTHODOLOGIE:

Le dispositif ultrasonore que nous concevons pour réveiller l'enfant avant la miction utilise un seul cristal excité dans le mode "pulsé". L'évaluation du volume vésical est une approximation linéaire d'une distance caractéristique mesurée entre le mur avant et arrière de la vessie. En effet, il suffit d'orienter le cristal de manière à ce que la direction de propagation du faisceau d'ultrasons traverse la vessie selon un chemin critique défini comme étant celui où la distance caractéristique subit la plus grande variation à une augmentation du volume de la vessie.

Nous concevons une architecture programmable afin de pouvoir ajuster tous les paramètres d'évaluation selon chaque enfant. Ainsi, nous utilisons un micro-contrôleur qui commande précisément chaque étage du dispositif en plus d'offrir la possibilité de filtrer numériquement les échos reçus entre autres pour éliminer les réflexions multiples.

RÉSULTATS:

Un premier prototype est monté sur plaquettes expérimentales et mesure la distance entre les parois d'impédance différente du milieu de propagation. La prochaine étape de nos recherches consiste à vérifier le fonctionnement du dispositif sur des enfants souffrant d'incontinence nocturne. Le but sera de prouver qu'il est possible d'évaluer, avec une précision suffisante, le volume de la vessie afin de réveiller l'enfant peu de temps avant qu'il urine.

BEAUDIN, Sylvain **DIPLÔME: M.Sc.A.**

TITRE:

Simulation rapide avec PULSE de la stabilité transitoire dans les réseaux de transport d'énergie électrique.

RÉSUMÉ:

L'objet de la présente recherche consiste à exploiter le parallélisme de la technologie PULSE (SIMD), doté de multiples processeurs élémentaires, pour la simulation de la stabilité transitoire dans les réseaux de transport d'énergie électrique et d'en valider le concept. En particulier, on vise la réalisation d'un prototype de simulateur rapide qui pourrait évidemment conduire à une technologie de commande de processus en temps réel.

PROBLÉMATIQUE:

À cause de considérations économiques et environnementales, ainsi que de nouvelles opportunités de vente et d'achat d'électricité dans un marché de plus en plus déréglementé, il devient nécessaire pour l'industrie du transport d'énergie d'optimiser les capacités de transits. Présentement la détermination des limites de transits se fait généralement en temps différé, avec comme seul exercice d'assurer la gestion de l'exploitation et de la planification, et ce, principalement à cause des limitations des calculateurs numériques actuels.

Alors, la nécessité d'augmenter les transits de puissance sur les corridors oblige aujourd'hui les compagnies d'électricité à avoir recours à des stratégies d'exploitation de plus en plus complexes. Il est donc devenu important d'introduire la détermination de ces capacités de transit dans l'environnement des centres de commande des réseaux. De plus, le développement d'une technologie de simulation beaucoup plus rapide que la réalité pourrait évidemment conduire à une technologie de commande de processus en temps réel.

MÉTHODOLOGIE:

- Analyse des besoins:
  - Étude des algorithmes existants et identification des parties critiques à la performance du système.
- Développement d'un système de simulation:
  - Parallélisation et optimisation de la technique de simulation employée
- Implémentation sur MATLAB:
  - Validation du système proposé au moyen d'un réseau simple de transport d'énergie à 9 barres.
- Implémentation sur PULSE (modèle SIMD).
  - Validation du système proposé sur le simulateur PULSE avec le réseau de transport d'énergie à 9 barres.
- Analyse de performance et optimisation
  - Comparaisons de performances entre les modèles SIMD et SISD.

RÉSULTATS:

À ce jour, une solution numérique entièrement matricielle a été développée pour la simulation de la stabilité transitoire dans les réseaux de transport d'énergie électrique. Conjointement, une technique rapide de multiplication/addition matrice/vecteur fut également élaborée pour la technologie PULSE (SIMD).

Enfin, la validation et la performance du concept ont pu être établies sur le simulateur PULSE au moyen d'une simulation de 600 pas en stabilité transitoire, pour le réseau proposé de transport d'énergie électrique à 9 barres, avec un temps d'exécution de 22 ms (résultats préliminaires).

BÉLANGER, Normand **DIPLÔME: Ph.D.**

TITRE:

Outils et méthodes pour le traitement parallèle de calculs sur des tableaux.

RÉSUMÉ:

Développer des outils permettant d'accélérer le calcul pour les applications qui traitent des tableaux.

PROBLÉMATIQUE:

L'accès aux tableaux constitue souvent un goulot d'étranglement que l'on cherche à briser en créant un générateur d'adresses efficace.

Les travaux visant la parallélisation automatique utilisent des algorithmes et des heuristiques dont la complexité temporelle est très élevée. On souhaiterait trouver des alternatives de complexité plus faible.

La compilation d'applications décrites dans un langage de haut niveau et visant une architecture SIMD (donc spécialisée) est une tâche difficile. On voudrait faire progresser les connaissances dans ce domaine.

MÉTHODOLOGIE:

Un générateur d'adresses qui supporte les transformations linéaires a été proposé. On vise à le généraliser pour supporter plus d'applications.

Dans le but de permettre l'intégration d'algorithmes de parallélisation dans les compilateurs sans ralentir ces derniers indûment, des algorithmes de faible complexité temporelle ont été proposés.

On vise à créer un compilateur pour des architectures SIMD qui permette de supporter efficacement les convolutions puisque ces dernières représentent une grande proportion des algorithmes de traitement d'images.

RÉSULTATS:

Un générateur d'adresses qui supporte les transformations linéaires a été implanté. Il a été généralisé de façon à supporter les transformations quadratiques dont les paramètres sont des nombres rationnels et de façon à supporter le "clipping".

On a montré que les algorithmes de parallélisation peuvent accélérer l'exécution des programmes mais que le manque de maturité d'un compilateur HPF utilisé peut mitiger (ou même annuler) ce gain.

Un langage visant à supporter la description d'algorithmes de traitement structuré de tableaux a été proposé et un compilateur implanté. On a montré comment utiliser des instructions vectorielles et des tampons circulaires pour permettre de générer du code qui calcule un élément de tableau-résultat à l'aide d'une seule instruction vectorielle (i.e. cela produit du code très performant).

BELHAOUANE, Adel **DIPLÔME: Ph.D**.

TITRE:

Modélisation d'un échantillonneur rapide et reconstitution d'un signal à partir d'un nombre fini d'intervalles.

RÉSUMÉ:

Cette recherche porte principalement sur une classe particulière d'échantillonneurs entrelacés que l'on nomme échantillonneurs parallèles. Il s'agit de trouver une méthode de reconstitution qui minimise l'erreur introduite par la non-uniformité ainsi que celle introduite par le nombre fini d'échantillons décrivant le signal. Pour arriver à reconstruire précisément le signal capturé par un échantillonneur parallèle, il est aussi nécessaire de modéliser et de corriger les imperfections des échantillonneurs bloqueurs qu'il comporte.

PROBLÉMATIQUE:

La reconstitution d'un signal à partir de ses échantillons est un problème classique en théorie du traitement des signaux. Les échantillonneurs rapides sont souvent réalisés à partir d'un décalage, dans le temps, de plusieurs échantillonneurs à vitesse moyenne. Cette technique, connue sous le nom d'échantillonnage entrelacé, augmente considérablement la vitesse, par contre, elle introduit une erreur significative dans les instants d'échantillonnage. De plus, on dispose souvent d'un nombre fini d'échantillons. Par conséquent, on est souvent confronté au problème de la reconstitution d'un signal à partir d'un nombre fini d'échantillons non-uniformes.

Un ensemble de difficultés prévisibles découle du caractère aléatoire et des interactions entre les divers mécanismes qui introduisent des erreurs et des distorsions. Ce travail cherche à reconstruire des signaux fortement corrompus obtenus de technologies de pointe poussées à leurs limites. De plus, les algorithmes de reconstitution à développer opèrent souvent près des limites fondamentales prédites par la théorie du traitement des signaux.

MÉTHODOLOGIE:

Ce travail de recherche comprend les éléments suivants:

- Recherche bibliographique pour estimer l'état actuel des recherches et nous positionner par rapport à d'autres résultats de travaux de recherche;
- Développement d'un algorithme de reconstitution d'un signal à partir de ses échantillons;
- Compensation d'une erreur d'échantillonnage déterministe régulière et prévisible;
- Compensation d'une erreur d'échantillonnage aléatoire et périodique connue;
- Modélisation de la non-linéarité d'un échantillonneur bloqueur rapide par une famille de fonctions de transfert;
- Test d'un circuit échantillonneur réalisé en BATMOS;
- Tirer avantage de la périodicité de l'erreur produite par l'échantillonnage parallèle;
- Conception d'un circuit échantillonneur en NT25.

RÉSULTATS:

Les résultats montrent que pour certaines catégories de défauts, le signal peut être reconstitué exactement et, pour le reste, une amélioration est possible. Nous visons la compensation des erreurs d'échantillonnage déterministes (régulière et prévisible, ainsi qu'aléatoire périodique connue). Nous avons entre autre établi un rapport entre la qualité de reconstruction et le produit amplitude-fréquence de la déviation. De plus, nous avons modélisé la non-linéarité d'un échantillonneur bloqueur rapide par une famille de fonctions de transfert.

BENSALEM, Brahim **DIPLÔME: Ph.D.**

TITRE:

Modélisation du «mismatch» dans les circuits analogiques.

RÉSUMÉ:

Le projet consiste en premier lieu à étudier le problème de «mismatch» dans les circuits analogiques VLSI. En deuxième lieu, le modèle sera intégré dans un outil d'aide à la conception pour la manufacturabilité (D.F.M.).

PROBLÉMATIQUE:

La réduction incessante d'échelle dans la fabrication des circuits intégrés VLSI rend impossible que le circuit fabriqué rencontre les spécifications. Des transistors de même taille et appartenant au même circuit auront des valeurs nominales différentes. Cette différence est appelée «mismatch».

Pour les circuits de haute précision et fonctionnant à des vitesses élevées, une réduction de l'ampleur de ce phénomène est rendue d'une importance capitale.

MÉTHODOLOGIE:

Nous nous proposons de modéliser ce phénomène comme étant un processus stochastique. La multitude des causes du «mismatch» et la difficulté de prédire avec exactitude l'effet individuel de chaque cause rend inévitable le recours à un modèle stochastique. Le modèle est censé fournir au concepteur une estimation réaliste du «mismatch» entre les différents composants du circuit selon leur taille et leur disposition géométrique dans le circuit.

Ce modèle servira par la suite à l'amélioration du rendement. Une optimisation du rendement selon les contraintes générées suite à l'étude du "mismatch" sera mise à la disposition du concepteur.

RÉSULTATS:

Des modèles du «mismatch» à partir des paramètres du processus jusqu'aux paramètres de performance des composants ont été réalisés. Une interface avec l'environnement de design CADENCE a aussi été réalisée. Cette interface permet le calcul systématique de l'effet du mismatch sur les paramètres de performance. L'outil développé interagit avec Hspice et avec un programme de calcul de la sensibilité.

BOUBEZARI, Samir **DIPLÔME: Ph.D.**

TITRE:

Analyse de testabilité et insertion de points test au niveau du transfert de registres.

RÉSUMÉ:

Notre travail consiste à faire l'analyse de la testabilité et l'insertion de points de test dans les circuits numériques décrits au niveau RTL VHDL synthétisable, pour les outils de synthèse existants sur le marché actuel comme Synopsys, Mentor Graphics, Cadence, etc. Nous supposons la technique de "full scan" où l'analyse de testabilité et l'insertion de points de test concernent seulement la partie combinatoire. Dans une première étape de notre travail, nous procédons à l'analyse et à l'identification des structures VHDL synthétisables par les outils de synthèse existants et établissons la correspondance matérielle de ces structures après la synthèse. Cette dernière analyse nous permet d'identifier tous les modules séquentiels (full scan) et combinatoires ainsi que les entrées/sorties primaires et pseudo-primaires des modules combinatoires. L'étape suivante consiste à propager des mesures de testabilité à travers les structures VHDL identifiées dans la première étape afin d'identifier les parties les plus difficiles à tester du circuit. Enfin, la dernière étape utilise ces mesures de testabilité pour modifier le code VHDL ou insérer des points de test afin d'améliorer la testabilité du circuit.

PROBLÉMATIQUE:

L'importance et l'avantage de prévoir la testabilité des circuits VLSI à une étape avancée de leur processus de conception, a été établie récemment dans la littérature. En effet, à cause de la complexité croissante des circuits VLSI, il est devenu de plus en plus difficile d'estimer la testabilité des circuits après la synthèse du circuit au niveau portes. Les techniques classiques utilisent toujours un circuit décrit sous forme d'interconnexions de portes logiques ou de modules fonctionnels relativement petits en terme de complexité. Par conséquent, ces techniques classiques ne permettent d'estimer la testabilité du circuit qu'après la synthèse de ce dernier. Cependant, ces techniques semblent limitées à cause de la complexité croissante des circuits VLSI. De plus, l'insertion de points de test est très complexe après la synthèse du circuit. Donc, il est de plus en plus important de considérer la testabilité du circuit à une étape plus avancée de la synthèse afin de minimiser la complexité du test.

MÉTHODOLOGIE:

La méthode que nous proposons permet d'abord d'explorer la relation entre la description VHDL des circuits et leur correspondance matérielle après la synthèse en utilisant un des outils de synthèse. Dans cette étape, nous devons analyser toutes les descriptions VHDL synthétisables et leur correspondance matérielle après la synthèse. Cette dernière analyse nous permettra d'identifier les éléments séquentiels et combinatoires du circuit qui seront synthétisés. Une structure interne sera générée après cette analyse pour pouvoir propager la testabilité du circuit à travers la description VHDL. Après quoi, une modification du code VHDL sera nécessaire dans les parties les plus difficiles à tester.

RÉSULTATS:

- Analyse des structures VHDL synthétisables en utilisant les outils de synthèse Synopsys et Mentor Graphics.
- Identification des modules séquentiels et combinatoires après l'analyse du code VHDL.
- Propagation des mesures de testabilité après identification des parties du circuit les plus difficiles à tester.
- Validation de l'approche proposée en utilisant les outils de synthèse.

BOU*RRET, Sylvain* **DIPLÔME: M.Sc.A.**

TITRE:

Stratégie de stimulation des membres supérieurs et sa réalisation à l'aide d'un microstimulateur implantable.

RÉSUMÉ:

Le projet consiste à développer une stratégie de stimulation pour les membres supérieurs (épaule, bras, avant-bras). Cette stratégie sera utilisée dans un microstimulateur implantable. Elle devrait permettre de rétablir un mouvement fonctionnel et humanoïde chez les tétraplégiques ayant subi des lésions au niveau de la moelle épinière.

PROBLÉMATIQUE:

La commande de mouvements à partir de microstimulateurs implantables est extrêmement complexe. Les réactions des muscles aux différentes stimulations sont mal connues (le modèle du muscle est loin d'être au point), les résultats de la stimulation d'un seul complexe nerveux touchent plusieurs muscles et la coordination entre les différents muscles pour effectuer un mouvement donné sont inconnus.

MÉTHODOLOGIE:

Le présent projet tente de résoudre le problème de la coordination entre les muscles. Dans un premier temps, un modèle de bras (MATLAB) sera utilisé afin de déterminer l'importance de divers paramètres sur le mouvement. Une fois cette étude complétée, une série d'expériences sera effectuée sur des sujets réels afin de valider les résultats de simulation. De plus, les expériences devraient emmener une donnée supplémentaire, l'EMG. C'est cette dernière donnée qui devrait permettre l'établissement de la stratégie de stimulation finale.

RÉSULTATS:

Une source de courant commandable permettant d'effectuer une stimulation neuromusculaire a été développée. Cette dernière, réalisée en technologie BiCMOS 0.8um, peut fournir un courant de 4 mA à une charge de 1kohm soit l'impédance caractéristique d'un nerf.

Les premiers résultats de simulation nous permettent de croire qu'il existe des liens étroits entre le niveau d'activité des muscles et des paramètres précis définissant le mouvement. Aussi, pensons-nous pouvoir mettre au point sous peu une première ébauche de stratégie de stimulation.

B*OYOGUENO BENDÉ, André* **DIPLÔME: Ph.D.**

TITRE:

Conception et test des circuits intégrés optoélectroniques pour le traitement en parallèle du signal optique en technologie GaAs.

RÉSUMÉ:

Des circuits intégrés optoélectroniques pour les architectures parallèles ayant des entrées/sorties optiques sont des composants indispensables pour la réalisation du traitement en parallèle d'un signal optique. Dans le cadre de ce projet de recherche, nous allons proposer et réaliser sous forme monolithique des circuits intégrés dédiés aux transmissions optiques multi-longueurs d'onde en utilisant des techniques de design optimisées basées sur les transmissions par fibre optique en technologie GaAs.

PROBLÉMATIQUE:

La disponibilité des composants optoélectroniques tels que les lasers à semiconducteurs monomodes et les photodétecteurs rapides de même que la nécessité de transmettre de grandes quantités d'informations d'un point à un autre ont suscité de nouvelles applications en transmissions optiques. Ces nouvelles applications nécessitent des techniques de transmission à haut débit et par conséquent, une demande accrue en bande passante. Afin de tirer avantage de l'énorme capacité de transmission des fibres optiques, on utilise de plus en plus des techniques de multiplexage/démultiplexage pour transmettre le maximum d'information dans un même canal.

Au cours des dernières années, l'attention a été portée vers des techniques de transmission parallèle. Quelques réalisations ont été rapportées dans la littérature au cours des dernières années. Leurs principales limitations sont l'absence de gain optique et une efficacité de conversion très faible. Nous voulons surmonter ces limitations en apportant des techniques novatrices de conception basées à la fois sur les courants et les tensions.

MÉTHODOLOGIE:

- Choix d'une architecture appropriée et simulation sur Pspice afin de caractériser et optimiser les différents blocs;
- Développement d'un prototype en technologie GaAs 0.6 microns, réalisant la réception, le traitement optique et la transmission de 4 canaux de transmission utilisant une matrice d'interconnexion optique 4 x 4;
- Extension du design à des architectures plus denses;
- Réalisation des dessins de masques avec "Cadence" fabrication du circuit intégré et test de l'architecture définitive.

RÉSULTATS:

Des simulations sont en cours et une soumission pour fabrication est en préparation. Le design est axé actuellement sur la minimisation du bruit à l'entrée de chaque étage récepteur.

BRAIS, Louis-Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Égalisateur adaptatif numérique haute performance pour signaux QAM.

RÉSUMÉ:

Les liens de communication modernes demandent des taux de transfert de plus en plus importants. Une méthode présentement très utilisée pour atteindre des densités spectrales élevées est la modulation d'amplitude en quadrature de phase (QAM). Cependant, la complexité de l'appareillage requis pour la mise en œuvre de ce type de modulation pose des problèmes particuliers.

Ce projet consiste en la réalisation d'un filtre adaptatif de haute performance par la famille de CPLD Flex 10K d'Altera. Le prototype conçu devra réaliser l'égalisation de données binaires transmises au travers d'un lien radio point à point SDH/SONET utilisant une modulation 128QAM. Pour obtenir une fréquence d'opération satisfaisante, on doit développer une architecture pipeline efficace.

PROBLÉMATIQUE:

Les signaux à haut taux de signalement utilisés dans les systèmes de communication à grand débit sont déformés lorsque transmis sur d'importantes distances. Les effets dispersifs de l'espace de propagation des ondes électromagnétiques créent de l'interférence nuisible lors de la transmission. On a donc une réponse impulsionnelle du canal dont l'étalement temporel est supérieur au temps de transmission d'un symbole. Il en résulte une diaphonie entre symboles adjacents reçus au récepteur.

On choisit de compenser pour ces effets indésirables en insérant un égalisateur dans le système de réception. Celui-ci doit en quelque sorte réaliser la convolution du signal reçu avec l'inverse de la réponse impulsionnelle du canal. Il doit également être adaptatif, c'est-à-dire capable de s'ajuster automatiquement vis-à-vis des caractéristiques changeantes du canal.

Nous procéderons à la réalisation d'un égalisateur numérique de grande vitesse. Pour cela, une architecture pipeline efficace et rapide doit être développée. On doit également identifier le ou les algorithmes adaptatifs convenant le mieux à une telle architecture.

MÉTHODOLOGIE:

Afin d'être en mesure de tester plusieurs réalisations différentes, on intègre l'égalisateur adaptatif à l'intérieur de composants logiques programmables. La famille de CPLD Flex 10K d'Altera a été sélectionnée à cette fin. On choisit de synthétiser les architectures développées à partir de modèles AHDL paramétrisables. L'utilisation de paramètres permet d'ajuster les caractéristiques de l'architecture obtenue. Les étapes de synthèse, de simulation logique et d'intégration sont réalisées à l'aide du logiciel Max+PLUS II. Les vecteurs de simulation sont générés à partir de modèles Matlab du système ou à partir d'échantillons tirés d'un démodulateur 128QAM. Des programmes Matlab permettent de simuler le canal selon le modèle de Rummler tout en tenant compte d'autres facteurs comme le bruit blanc Gaussien.

RÉSULTATS:

Depuis le début du travail au mois de mai, nous avons étudié les méthodes de modulation (QAM), les réalisations pipelines de filtres adaptatifs et l'organisation interne des composants de la famille Flex 10K. Une réalisation de type LMS de l'égalisateur est maintenant prête à être intégrée et simulée. De plus, la conception de la carte prototype est amorcée depuis septembre et doit être complétée d'ici décembre.

CALBAZA, Dorin-Emil **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un circuit de synthèse numérique de fréquence.

RÉSUMÉ:

Le projet consiste à étudier les applications générales et les différentes architectures des circuits de synthèse numérique de fréquence. Ce type de circuit est très utile pour les systèmes de communication, en particulier les circuits pilotés par une horloge dont la fréquence et la phase doivent être recouvrées.

PROBLÉMATIQUE:

La prolifération des circuits synchrones a entraîné un besoin grandissant de circuits capables de fournir une horloge précise. Parmi ces circuits, les circuits de synthèse numérique de fréquence sont de plus en plus utilisées. Ces circuits sont utilisés pour générer un signal d'une fréquence bien déterminée à partir d'un signal d'horloge d'une grande précision. Ils sont souvent utilisés dans les circuits où il y a un besoin de plusieurs signaux de fréquences différentes mais dont les relations de phase sont précisées et déterminées.

MÉTHODOLOGIE:

Les circuits de synthèse numérique permettent d'exprimer les relations de phase avec une résolution de 2^{-n} fois la période de référence, où **n** est le nombre de bits dans l'accumulateur de phase, nombre qui atteint 32 bits ou plus. De plus, le signal de sortie est en synchronisme avec l'horloge, par conséquent l'erreur de phase cumulative augmente avec le temps. Cependant, ces circuits ne peuvent générer que des signaux dont la fréquence est liée à la fréquence de référence par un rapport de 2^{-n}. De plus, l'erreur de phase instantanée, la jigue, peut devenir inacceptable. Le but de ce projet est donc de concevoir des circuits de synthèse numérique capables de générer des fréquences données par le entre deux nombres entiers, à partir de la fréquence d'horloge.

RÉSULTATS:

Les calculs préliminaires faits pour différents circuits proposés donnent des résultats encourageants quant à la faisabilité de produire les fréquences désirées avec la précision souhaitée.

CANTIN, Marc-André **DIPLÔME: M.Sc.A.**

TITRE:

Mise en œuvre d'un réseau de neurones artificiel selon l'algorithme Fuzzy ART.

RÉSUMÉ:

Les réseaux de neurones auto-organisateurs permettent d'organiser des ensembles d'objets de façon autonome, en temps réel, sans connaître d'avance le nombre de groupes à former. Le traitement effectué par l'algorithme Fuzzy ART de Carpenter, Grossberg et Rosen, permet d'organiser rapidement les ensembles d'objets qui lui sont présentés par des catégorisations stables.

PROBLÉMATIQUE:

L'algorithme Fuzzy ART n'a pas été formulé en fonction d'une implantation VLSI, il doit donc être redéfini à cette fin. Cet algorithme redéfini doit donner exactement le même résultat que l'algorithme Fuzzy ART et doit respecter les contraintes d'implantation physique.

MÉTHODOLOGIE:

La tâche consiste à d'abord reformuler l'algorithme Fuzzy ART de façon à ce qu'il devienne séquentiel. La mise en œuvre de l'algorithme séquentiel permet la synthèse d'une architecture système exploitant le parallélisme disponible sans causer une augmentation indue de la complexité et pouvant fonctionner à haute vitesse. L'architecture doit être implantée entre autre dans un circuit intégré dédié. Finalement, une exploration de différentes plates-formes (Locigiel (DSP), Logiciel-Matériel (FPGA)) permettra d'y effectuer une comparaison globale des résultats obtenus.

RÉSULTATS:

Un algorithme reformulé fut développé pour permettre la mise en œuvre efficace de l'algorithme. Une architecture système fut proposée, et une mise en œuvre ASIC de l'algorithme reformulé fut développé pour des applications à haute vitesse. Une autre réalisation sous la forme d'une partition logiciel (DSP) - matériel (FPGA) est en voie d'être implantée.

CANTIN, Pierre-Luc **DIPLÔME: M.Sc.A.**

TITRE:

Interface universelle pour capteurs.

RÉSUMÉ:

Le marché des capteurs connaît une importante croissance. Cette croissance est entre autre stimulée par la volonté de mieux gérer notre environnement, de mieux exploiter nos ressources ou d'améliorer les performances des systèmes en général. Les progrès des procédés microélectroniques et des outils de conception permettent aujourd'hui l'intégration de systèmes de traitements numériques très complexes. Ces progrès permettent aussi une intégration commune avec des systèmes analogiques. On réfère à des systèmes à signalisation mixte (analogique et numérique). Par contre, la conception d'une interface analogique est souvent coûteuse et fastidieuse. La conception analogique ne bénéficie pas encore d'outils et de technologies permettant un prototypage rapide contrairement à la conception de systèmes numériques (e.g. FPGAs, VHDL). Afin d'accroître et de faciliter la conception d'applications utilisant des capteurs, notre projet s'intéresse à la conception d'une interface universelle (programmable) pouvant satisfaire un vaste ensemble de capteurs différents par leur nature. Nous tenterons dans un premier temps de satisfaire les capteurs de nature plus conventionnelle par opposition aux technologies micro-machinées.

PROBLÉMATIQUE:

L'ensemble des capteurs qui nous intéressent (gauges de contrainte, RTDs, LVTDs, Thermistors, capteurs de gaz…) requièrent différents modes d'excitation et de conditionnement de signal. La bande passante moyenne pour leurs applications se limite à 100 kHz. Cela ne constitue pas une contrainte sévère. Toutefois, l'amplitude des signaux à conditionner varie de quelques micro-Volts à quelques Volts. L'interface devra donc offrir une large gamme de gain, présenter peu de bruit et d'offset à l'entrée. La précision de l'interface constitue la principale contrainte. Le problème se résume à concevoir une chaîne de conditionnement programmable (gain, bande passante), de définir suffisamment de fonctionnalité afin de produire un composant utile dans plusieurs applications de capteurs.

MÉTHODOLOGIE:

- Revue de littérature portant sur les différentes méthodes d'excitation et de conditionnement de signal;
- Définition d'une architecture pouvant satisfaire notre ensemble de capteurs;
- Revue de littérature pour chaque sous-système
- Entrée schématique au moyen de ViewDraw (ViewLogic) et simulation avec Hspice (MetaSoftware)
- Planification du plan de masse et des dessins de masques au moyen de L-Edit (tanner) et/ou Vituroso (Cadence).
- Simulation post-layout au moyen de Hspice et/ou Meta-Circuit.

RÉSULTATS:

Une architecture système a été définie suite à une revue de littérature portant sur les méthodes de conditionnement de signal. Ensuite, sur la base de cette architecture, nous avons ciblé les circuits pouvant permettre de réaliser la fonctionnalité désirée et de rencontrer les différentes spécifications de performance. A ce stade, la conception et la simulation des circuits sont complétées. Nous sommes à l'étape de la conception des masques destinés à la fabrication du circuit intégré dédié (ASIC).

CHABINI, Noureddine **DIPLÔME: M.Sc.A.**

TITRE:

Estimation des performances d'applications exprimées en ANSI C en vue d'être implémentées sur un système SIMD.

RÉSUMÉ:

Les outils d'estimation des performances aident les concepteurs d'ordinateurs et les programmeurs à choisir l'architecture la plus convenable et à optimiser l'implémentation des applications. Ces outils permettent la réduction de l'espace mémoire requis de même que l'accélération des traitements. Notre objectif est le développement d'un estimateur de performance pour des applications, en ANSI C, implémentées sur un système SIMD.

PROBLÉMATIQUE:

Ce mémoire, réalisé dans le cadre du projet PULSE, se concentre sur la modélisation d'une machine de type SIMD, appelée PULSE. Elle comporte quatre processeurs de type VLIW. La flexibilité de cette machine rend difficile la tâche du programmeur, car celui-ci se trouve devant plusieurs alternatives d'implémentation des algorithmes. Cette difficulté se présente aussi dans le cas où on connaîtrait la tâche de chaque processeur. Par conséquent, l'expérience du programmeur est, à ce jour, la seule solution pour implémenter efficacement une application sur la machine PULSE. Afin d'évaluer l'efficacité d'une telle implémentation, nous avons planifié le développement d'un outil d'estimation des performances.

MÉTHODOLOGIE:

Nous avons développé un outil d'estimation de performance appelé C_PerfEstim. À partir d'une application décrite en C selon la norme ANSI, sous forme d'un graphe de flot de donnée et de contrôle, et d'une description d'architecture d'un processeur de type VLIW selon un format prédéterminé, C_PerfEstim produira des données d'ordonnancement, des données d'allocation et des bornes inférieures et supérieures sur le nombre de cycles requis.

RÉSULTATS:

Présentement, l'outil est complet et fonctionnel. Des résultats préliminaires démontrent l'efficacité des méthodes sur lesquelles est basé C_PerfEstim.

CHEN, Jianyao **DIPLÔME: Ph.D.**

TITRE:

Modélisation et analyse d'un semi-conducteur laser DFB couplé par gain.

RÉSUMÉ:

Le projet est de développer un modèle numérique détaillé et universel pour une simulation exacte et efficace d'un semi-conducteur laser avec une contre-réaction distribuée (DFB). En incluant les caractéristiques de lasers DFB pratiques comme la modulation multi-électrodes, le décalage de phase multiple, la condition de facettes asymétriques, le couplage distribué complexe et l'émission spontanée, les propriétés des semi-conducteurs lasers DFB sont explorées pour de nouvelles améliorations.

PROBLÉMATIQUE:

La contre-réaction distribuée fournit une approche effective pour obtenir une oscillation unique et longitudinale d'un semi-conducteur laser. À cause de la non-uniformité de la distribution du champ dans la cavité du laser, les caractéristiques de dépendance spatiale ont une influence significative sur le comportement statique et dynamique du laser DFB. De plus, le couplage complexe et la modulation multi-électrode donnent assez de flexibilité pour améliorer la performance du laser. Notre but est d'examiner l'inter-réaction entre les porteurs et les photons dans différents cas et, de rechercher une conception optimale pour une vitesse élevée, une puissance élevée, un taux de suppression élevé et une intensité indépendante de la fréquence de modulation. Nous aurons donc atteint une performance élevée à faible coût pour une application en télécommunication optique.

MÉTHODOLOGIE:

En se basant sur l'analyse de la fonction de Green et les équations d'ondes couplées, la non-uniformité spatiale induite par les porteurs de charge et les fluctuations des photons peut être traitée comme une source d'excitation distribuée pour le champ optique dans la cavité du DFB. De nouvelles équations à taux multi-ondes, incluant du bruit, peuvent être développées pour donner une simulation exacte de la performance du laser et ce, en deçà et au-delà du seuil.

RÉSULTATS:

Utilisant les équations d'onde couplées, un simulateur autoconsistant a été développé pour l'étude, au-dessus du seuil, du fonctionnement statique et dynamique des lasers DFB unimodaux. Le modèle a aussi été utilisé avec succès pour étudier les effets des inhomogénéités spatiales sur la fréquence de résonance et sur la distorsion harmonique des lasers DFB. Récemment, le modèle a été utilisé pour analyser, pour la première fois, les lasers DFB multimodaux et avec électrodes multiples en configuration «push-pull ».

La modélisation va se poursuivre avec l'élaboration d'un simulateur de lasers DFB multimodaux au-dessous et au-dessus du seuil. Une modélisation plus précise nous permettra d'atteindre une meilleure compréhension des performances dynamiques des lasers DFB. Il est aussi prévu de déterminer le design optimal pour les lasers DFB de la nouvelle configuration «push-pull » ainsi que de comparer avec des résultats expérimentaux.

CONTANDRIOPOULOS, Nicolas **DIPLÔME: M.Sc.A.**

TITRE:

Partitionnement logiciel/logiciel automatique sur des architectures parallèles hétérogènes.

RÉSUMÉ:

Le sujet de ma maîtrise vise à développer des méthodes de partitionnement automatiques pour une architecture parallèle ciblée. L'architecture est celle définie dans le projet PULSE, dédiée aux traitements numériques (du type vidéo) en temps réel. Ce projet a pour but de transformer un algorithme décrit par un code séquentiel en vue de l'exécuter sur une architecture multiprocesseur parallèle.

PROBLÉMATIQUE:

Le projet PULSE prévoit la mise en œuvre d'une architecture multiprocesseur hétérogène constituée de processeurs SIMD intégrés dans des ASIC et de microprocesseurs commerciaux. L'objectif principal de ce projet consiste à exécuter en temps réel des algorithmes de traitement numérique. Une constituante essentielle est d'assigner les tâches à chaque processeur avec comme but de maximiser les performances du système pour un algorithme séquentiel donné. Ce partitionnement des tâches sur les différents processeurs est un problème difficile. Il s'agit donc de développer des outils et méthodes automatiques pour assister la mise en œuvre d'applications complexes.

MÉTHODOLOGIE:

Dans un premier temps, le problème est analysé par un partitionnement manuel d'algorithmes types. Il s'agit d'expérimenter les stratégies efficaces pour le partitionnement d'algorithmes sur l'architecture cible. Dans un second temps, une interface est développée pour permettre d'analyser, d'une manière dynamique, les performances de différents partitionnements d'un même algorithme, et ainsi valider les méthodes. Enfin, les méthodes de partitionnement validées seront insérées dans un outil de partitionnement automatique.

RÉSULTATS:

Des partitionnements manuels ont été réalisés et ainsi une expérience pratique a été acquise. L'interface permettant l'analyse dynamique des performances de diverses mises en œuvre des algorithmes sur le système PULSE a été réalisée. Actuellement, nous mettons au point des heuristiques et méthodes pour partitionner automatiquement des algorithmes sur les différents processeurs en tenant compte de leurs rôles et de leurs spécificités.

CRAMPON, Marie-Agathe **DIPLÔME: M.Sc.A.**

TITRE:

Étage de sortie de stimulateurs implantables, incluant des électrodes à armature en alliage à mémoire de forme.

RÉSUMÉ:

Ce projet comprend deux volets. Il s'agit, d'une part, de réaliser une électrode de stimulation nerveuse sous la forme d'une gaine de silicone englobant une structure en alliage à mémoire de forme et d'autre part, de concevoir un générateur d'impulsions de courant sous forme de rampes biphasées. Cette source de courant permet de tester le comportement des électrodes dans différents modes de fonctionnement de l'implant urinaire.

PROBLÉMATIQUE:

Bien qu'il existe déjà des systèmes complets de stimulation de l'appareil urinaire, les électrodes utilisées demeurent complexes à implanter car difficiles à fixer autour du nerf concerné. On cherche donc à réaliser un nouveau type d'électrodes capables de se refermer d'elles-mêmes autour du nerf, de façon définitive, dès qu'elles sont placées à la température interne de l'organisme.

Pour évaluer de façon complète ces électrodes, il nous faut disposer d'un générateur d'impulsions dont nous pouvons facilement faire varier les divers paramètres. Ce générateur émet des impulsions en courant sous forme de train à une fréquence donnée. De plus, il doit être en mesure de superposer deux signaux de même type de fréquences différentes en respectant certaines règles de priorité.

MÉTHODOLOGIE:

La source de courant comprend une partie numérique qui génère les signaux appropriés à partir d'un ensemble de compteurs et une partie analogique constituant l'étage de sortie. On compare, pour la partie numérique, une structure destinée à être programmée sur FPGA et un design intégré au niveau VLSI. Cette partie est commandée par l'utilisateur qui rentre sur un PC les caractéristiques des signaux à générer: Durée et amplitude de l'impulsion, fréquence de répétition des impulsions, durée du train d'impulsions et fréquence de répétition des trains. De même, pour la partie analogique qui comprend un amplificateur de courant et un système de commutation, on compare une solution à base de composants discrets et une solution intégrée réalisée avec la technologie BiCMOS.

RÉSULTATS:

L'électrode peut s'adapter à des nerfs dont le diamètre est compris entre 1mm et 1.5mm ce qui est le cas de la branche du nerf sacré que l'on cherche à stimuler. Elle se referme à une température approximative de 37°C.

Le générateur de stimuli peut émettre simultanément deux signaux de même type mais de fréquences différentes. L'utilisateur choisit ces fréquences de 10Hz à 10 kHz, il choisit la durée des impulsions entre 100 et 500 us et leur amplitude de 0 à plusieurs mA.

DESLAURIERS, Yann **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un circuit qui insère/extrait en temps réel des données ancillaires dans une trame vidéo.

RÉSUMÉ:

Le projet consiste à étudier et à proposer une architecture flexible basée sur le meilleur compromis possible entre une réalisation matérielle et logicielle et destinée à insérer/extraire des données ancillaires dans un signal vidéo.

PROBLÉMATIQUE:

Une des contraintes dans l'élaboration est que l'on désire avoir un très bon synchronisme entre la fréquence du signal vidéo et celle des échantillons audio que l'on désire extraire. Plus précisément, on désire avoir une jigue de phase entre ces deux fréquences qui ne doit pas excéder l ns. Une architecture basée uniquement sur une implémentation logicielle ne peut rencontrer la contrainte de temps exprimée ci-haut. Cependant, en terme de flexibilité, une partie de cette architecture à avantage à être réalisée à l'aide d'un micro-contrôleur.

MÉTHODOLOGIE:

Notre objectif consiste à définir une architecture où les parties de la fonctionnalité du système nécessitant une grande performance sont réalisées en matériel dédié et le reste est implémenté dans un micro-contrôleur relativement simple.

RÉSULTATS:

Ce projet qui vient de démarrer depuis seulement quelques mois n'a pas encore produit de résultats substantiels.

DJEMOUAI, Abdelouahab **DIPLÔME: Ph.D.**

TITRE:

Interface transcutanée bidirectionnelle dédiée aux implants neuro-musculaires.

RÉSUMÉ:

Le but du présent travail est la conception et la réalisation VLSI d'une interface radiofréquence de communication et de transfert d'énergie pour des stimulateurs neuro-musculaires implantables. Le rôle de ces stimulateurs (implants) est la récupération totale ou partielle de la fonctionnalité d'organes biologiques. Ces implants devront être miniatures, de faible puissance de consommation et fonctionner avec des tensions d'alimentation très faible. De plus, comme ces stimulateurs sont implantés sous la peau, la communication et l'énergie nécessaire pour leur bon fonctionnement devront être effectuées à distance. Donc, l'interface (lien inductif) devrait assurer:

- Le transfert de l'énergie nécessaire à l'alimentation de l'implant.
- Une transmission bidirectionnelle de données entre l'extérieur et l'implant.

Pour évaluer les performances de l'interface, l'estimation des pertes du lien inductif et les pertes dans la peau est indispensable. Une telle estimation est nécessaire pour caractériser efficacement l'interface et de déterminer la gamme de fréquences à utiliser pour la transmission. Dans cette gamme de fréquences, les pertes devront être très faibles afin d'optimiser le rendement en puissance du lien.

PROBLÉMATIQUE:

Le recours aux implants biomédicaux (stimulateurs) intégrés a été depuis longtemps considéré comme une solution alternative pour la récupération de la fonctionnalité des organes humains paralysés. Cependant, l'alimentation de ces implants représente un handicap majeur dans leur design. Comme ces stimulateurs sont destinés pour un fonctionnement à long terme, leur alimentation devrait être effectuée à distance. Ceci est indispensable afin d'éviter le recours aux batteries et aux opérations chirurgicales nécessaires pour les recharger. Souvent le même lien (interface) d'alimentation est aussi utilisé comme moyen de communication avec l'implant. Donc, le développement d'une telle interface représente une étape cruciale dans la conception des implants biomédicaux. C'est dans cet axe que nous menons des recherches pour développer et concevoir des interfaces d'alimentation et de communication pour permettre un fonctionnement correct et de longue durée pour des stimulateurs intégrés.

MÉTHODOLOGIE:

La première étape à suivre est de revoir toutes les approches utilisées auparavant dans le domaine des interfaces de transfert d'énergie et de communication pour les implants intégrés. Puis en exploitant les moyens que nous disposons au laboratoire, il faut développer et implanter les méthodes pour pallier aux inconvénients déjà rencontrés dans ce domaine.

RÉSULTATS:

- Évaluation des pertes électromagnétiques dans la peau et de l'interface inductif.
- Caractérisation de l'interface inductif (détermination du rendement global).
- Conception et réalisation de l'étage de puissance et de transmission RF de l'interface (en cours).

EHSANIAN-MOFRAD, Mehdi **DIPLÔME: Ph.D.**

TITRE:

Convertisseur analogique-numérique de type intervalle à haute résolution et à grande vitesse.

RÉSUMÉ:

Le projet consiste à faire la conception d'un convertisseur analogique-numérique à haute résolution. La nouvelle technique "subranging" va être utilisée dans la conception. Le design va être implanté en technologie BiCMOS ou CMOS. La résolution est de 12 à 15 bits. La vitesse de conversion est de 1 à 2 GHz.

PROBLÉMATIQUE:

Un des principaux problèmes des circuits convertisseurs analogiques-numériques à grande vitesse est la résolution. La résolution est normalement sacrifiée en augmentant la vitesse. L'architecture flash est la solution générale pour les convertisseurs à haute résolution et à grande vitesse. Par ailleurs, le coût des comparateurs augmente exponentiellement en fonction de l'augmentation du nombre de bits. De plus, cela fait augmenter certains éléments parasites qui influencent la résolution et la vitesse.

Notre objectif est de trouver l'architecture appropriée pour permettre la réalisation intégrée d'un système d'acquisition des données à grande vitesse. Viennent ensuite les phases d'implantation et d'essai afin de déterminer les performances et les exigences des autres blocs du système. Le circuit de type intervalle peut être une solution optimale et nouvelle à ce problème. L'entrée de ce circuit est numérique et les signaux de sortie sont numériques et analogiques. La sortie numérique est de m bits, couplés aux bits les plus significatifs. La sortie analogique est transférée à l'entrée du convertisseur analogique-numérique de faible résolution afin de produire les bits les moins significatifs.

MÉTHODOLOGIE:

Pour atteindre ces objectifs, les étapes suivantes doivent être faites:

- Tous les circuits requis doivent être conçus, fabriqués et testés individuellement;
- Le circuit au complet doit être analysé pour trouver les erreurs;
- Le circuit au complet doit être conçu et fabriqué en tenant compte des résultats des étapes 1 et 2 en utilisant la technologie CMOS;
- La technique du mode courant en CMOS devrait être utilisée pour la reconception du convertisseur.

RÉSULTATS:

Selon les résultats de simulation que nous avons obtenus récemment, nous pouvons concevoir un convertisseur analogique-numérique de 12 bits de résolution, en d'autres termes un rapport signal à bruit de 72 dB. Nous avons remarqué aussi que nous pouvons faire la conversion d'un signal analogique dont la fréquence peut atteindre 10 MHz.

La précision du convertisseur dépend de la précision des composants, de la technologie et du mode courant ou tension. Le mode courant a été utilisé afin de régler certains problèmes du mode tension. Le potentiel du mode courant nous permet d'avoir un convertisseur A/D avec 12 bits de résolution en utilisant une structure "subranging".

EL-HASSAN, Fadi **DIPLÔME: M.Sc.A.**

TITRE:

Implantation d'un décodeur de Viterbi sur une plate-forme mixte matériel logiciel.

RÉSUMÉ:

Dans les systèmes de communication numérique, le codage convolutionnel joue un rôle important pour la réception de haute performance. La présence d'erreurs parmi les symboles reçus conduit à la nécessité d'un décodeur qui détecte puis corrige les symboles entachés d'erreurs. L'algorithme de Viterbi est souvent appliqué pour le décodage convolutionnel dans plusieurs domaines intéressants, comme les communications par satellite, où il est nécessaire de recevoir de l'information précise avec le moins d'erreurs possibles en dépit de rapports signal à bruit relativement faibles.

MÉTHODOLOGIE:

Le décodeur de Viterbi va être implémenté sur la carte XCIM de la compagnie MiroTech. Après la définition de l'architecture, on utilise le langage VHDL (VHSIC Hardware Description Language) afin d'élaborer les différents blocs et de les synthétiser dans l'environnement de Synopsys. L'implantation sera faite sur des FPGA de la société Xilinx qui sont incorporés à la carte XCIM.

PROBLÉMATIQUE:

L'intégration de décodeurs de Viterbi devant fonctionner à débit élevé est difficile dans le cas des codes de grande longueur de contrainte K. Parmi les difficultés rencontrées, on note la récursivité des ACS (ADD-COMPARE-SELECT) et la mise à jour de la mémoire des chemins survivants du treillis représentant l'encodeur convolutionnel. La reconfigurabilité des FPGA réduit le temps de production des circuits intégrés denses. La carte XCIM de la compagnie MiroTech, qui contient deux FPGA utilisables par l'usager, sert à accélérer la vitesse de calcul d'une carte DSP-C40. On vise à implanter un décodeur de Viterbi de haute performance sur les deux FPGA (XILINX). Les principales difficultés rencontrées sont la bande passante limitée entre les organes de calcul et la mémoire et les ressources limitées des deux FPGA.

RÉSULTATS:

Les résultats préliminaires sont encourageants car nous sommes arrivés à définir une architecture qui peut rencontrer nos objectifs. Nous travaillons à la mise en œuvre de cette architecture sur la plate forme retenue.

FARES, Mounir **DIPLÔME: Ph.D.**

TITRE:

Conception de circuits CMOS mixtes très rapides destinés aux systèmes de communication.

RÉSUMÉ:

L'objectif de ce travail est de développer des techniques de conception de circuits CMOS analogiques très rapides et de faible consommation de puissance. Ces circuits seront destinés surtout aux applications de communication, où la vitesse et la faible consommation de puissance sont des paramètres critiques.

PROBLÉMATIQUE:

Les systèmes de communication actuels demandent des circuits analogiques et numériques ultra-rapides, miniatures et dissipant un minimum de puissance. Ceci vise à augmenter la bande passante de ces systèmes et aussi à favoriser la tendance vers des systèmes portatifs opérés à partir de batterie. À cause de ces contraintes sévères, la technologie bipolaire est très souvent utilisée, surtout pour les composants analogiques. Ceci a pour effet d'augmenter la dissipation de puissance de ces circuits et de rendre difficile l'intégration complète de ces systèmes, puisque les circuits numériques sont généralement implantés en CMOS.

Dans ce travail, nous allons concevoir des circuits analogiques CMOS très rapides et de faible consommation, destinés à des systèmes de communication. Ainsi, nous allons être capables d'intégrer sur le même substrat les fonctions analogique et numérique, tout en minimisant la puissance dissipée.

MÉTHODOLOGIE:

Ce projet sera réalisé selon la méthodologie suivante:

- Étude des architectures et topologies des circuits analogiques le plus souvent utilisés en communication: PLL, DAC, ADC, filtre, amplificateur de puissance, etc.
- Développement de techniques de conception de circuits analogiques de faible consommation de puissance.
- Application à la conception de PLL.
- Application à la conception des filtres.
- Application à la conception d'amplificateurs de puissance.
- Intégration des fonctions numériques.
- Étude de la testabilité du système.
- Considération du bruit.

RÉSULTATS:

Comme résultat, nous allons appliquer les techniques développées ci-haut dans la conception d'une interface de communication CMOS complément intégrée. Ce système sera fabriqué et testé.

FORTIN, Guillaume **DIPLÔME: M.Sc.A.**

TITRE:

Conception de circuits en AsGa pour la transmission de données par fibre optique.

RÉSUMÉ:

Les circuits de modulation de diodes laser sont composés d'un bloc de modulation du courant du laser pour la transmission des données et d'un bloc de régularisation de la puissance optique. Deux types de modulateurs ont été réalisés en AsGa, un pour les diodes à émission latérale et un pour les diodes à émission de surface (VCSEL).

Les méthodes de contrôle de la puissance optique des diodes laser sont nombreuses mais la littérature contient peu de mentions de leur implantation en VLSI. Une étude des principales méthodes de contrôle de la puissance optique a été complétée et un circuit de régularisation de la puissance optique moyenne a été conçu et fabriqué. Ce circuit ajuste le courant DC fourni au laser (courant de seuil) pour stabiliser la puissance optique moyenne.

Un multiplexeur 2 à 1 fonctionnant à plus d'un gigabit/s a également été conçu et fabriqué.

PROBLÉMATIQUE:

Le développement des réseaux de communication par fibre optique à grande vitesse (622 Mbit/s et plus) demande des circuits électroniques rapides pour assurer la transmission, la régénération et la réception des données. Plusieurs circuits de modulation de diodes laser pouvant opérer à 622 Mbit/s et plus ont déjà été réalisés dans les technologies AsGa et silicium bipolaire. La plupart de ces circuits ne permettent cependant que la modulation du courant d'alimentation du laser, le contrôle de la puissance étant assuré par un circuit externe. Le développement d'un circuit monolithique permettant le contrôle complet de la diode laser présente un avantage important au plan de l'intégration et de la réduction des coûts.

MÉTHODOLOGIE:

Les technologies GaAs 1 µm (QED/A) et 0.6µm (QED/A2 et TQTRx) de TriQuint Semiconductors ont été utilisées. Les simulations ont été effectuées sur Pspice et le dessin des masques sur Cadence EDGE et Cadence 4.2.2.

RÉSULTATS:

Les simulations des circuits conçus indiquent qu'ils permettent des taux de transmission de 622 Mbit/s à 5 Gbit/s, ce qui correspond aux performances recherchées.

FOUZAR, Youcef **DIPLÔME: Ph.D.**

TITRE:

Boucles à verrouillage de phase (PLL) à très large bande passante.

RÉSUMÉ:

Le projet vise la conception et la réalisation d'une nouvelle structure de boucle à verrouillage de phase « Phase-Locked Loop ». L'objectif principal est de regrouper deux aspects: concevoir des PLLs à très large bande passante et réduire au maximum l'erreur de synchronisation (Jitter). Nous nous intéressons présentement aux applications des DLL (Delay Locked Loop) parallèlement avec les PLL.

PROBLÉMATIQUE:

Nous nous intéressons dans le cadre de ce projet aux applications nécessitant des fréquences d'opération très grandes, mais pour lesquelles la référence de phase externe est une horloge de fréquence modérée (de l'ordre de 50 MHz)

La stabilité des moments de synchronisations dérivés du processus de multiplication de fréquence peut introduire une jigue qui limite la performance maximale atteignable.

MÉTHODOLOGIE:

La méthodologie suivie dans ce projet consiste à d'abord maîtriser le processus de conception des PLL à faible jigue, pour ensuite étendre au cas des DLL. Nous explorerons par la suite les manières d'exploiter les DLL afin de contrôler des circuits synchrones avec une densité très élevée de moments de synchronisation, afin d'en arriver à formaliser une nouvelle méthode de conception pour les circuits de très haute performance.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

GADIRI, Abdelkarim **DIPLÔME: Ph.D.**

Titre:

Échantillonnage parallèle multi seuils, théorie et applications.

RÉSUMÉ:

Ce travail repose sur un nouveau concept d'échantillonnage parallèle multi seuils de signaux très rapides dans un système de transmission de données. La technique utilisée a pour intérêt d'atteindre une résolution extrêmement fine et inhabituelle en technologie CMOS pour un échantillonnage en temps de réel et ce sans avoir recours à une horloge de très haute vitesse. Parmi les utilisations possibles dont peut faire l'objet cette technique, on peut citer les instruments de mesures digitaux, les PLLs numériques et les systèmes de recouvrement d'horloge et de données.

PROBLÉMATIQUE:

L'échantillonnage des signaux à très haute vitesse est une fonction importante dans les systèmes de communication. Ces systèmes incluent les PLLs numériques et les systèmes de recouvrement d'horloge et de données. L'échantillonnage des signaux se fait généralement en appliquant les signaux de données à l'entrée d'une bascule contrôlée par une horloge de très haute vitesse. La sortie de la bascule fournit un échantillon de la valeur du signal de données à chaque fois qu'une impulsion d'horloge est appliquée. Il existe des limitations quant à la résolution possible lorsqu'on utilise des bascules. Ces limitations peuvent être minimisées en utilisant une bascule ultra-rapide réalisée avec une technologie avancée. Cependant, le coût d'une telle bascule est élevé et elle peut devenir tout simplement irréalisable pour un taux d'échantillonnage donné. Précisons aussi que des horloges de haute vitesse peuvent être difficiles et coûteuses à générer et à distribuer dans un circuit intégré. Les techniques conventionnelles de recouvrement de données et d'horloge utilisent une horloge de haute vitesse et des bascules rapides, mais le taux d'échantillonnage de ces méthodes est borné par la fréquence de l'horloge. Le but de ce travail est donc de proposer un système de recouvrement de données et d'horloge à l'aide de notre technique d'échantillonnage parallèle multi-seuils.

MÉTHODOLOGIE:

Dans un système de transmission, les données et l'horloge sont combinées de manière à former un seul train d'impulsions. À la réception, le rythme de l'horloge doit être alors récupéré pour régénérer ensuite les données à la cadence de l'horloge. Pour cela, le système que nous proposons repose sur un échantillonneur parallèle atteignant une fréquence supérieure à 2 giga-événements par seconde en technologie CMOS. La méthodologie adoptée pour mener notre étude est comme suit:

- Validation du concept d'échantillonnage parallèle multi-seuils;
- Proposition d'une technique d'optimisation du circuit échantillonneur;
- Application du circuit dans un système de réception avec recouvrement d'horloge et régénération de données;
- Proposition d'un algorithme et une architecture pour le traitement des échantillons;
- Réalisation d'un prototype intégré.

RÉSULTATS:

- Validation par simulation du concept d'échantillonnage parallèle multi-seuils;
- Développement d'une technique d'optimisation de l'échantillonneur;
- Développement d'une technique d'auto-calibration de l'échantillonneur;
- Traitement des échantillons pour corriger les interférences inter symboles (ISI).

GAGNON, Mathieu **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un récepteur optique en CMOS.

RÉSUMÉ:

Le récepteur sera utilisé pour réaliser l'interface entre un circuit MOS analogique et des fibres optiques de plastique. Plusieurs méthodes de régénération (différentielles, mode courant, avec détection de pics) seront utilisées pour en déterminer les performances. La linéarité de la réponse, la tolérance à une grande plage de conditions d'opération ainsi que la compatibilité avec les technologies existantes seront évaluées. Une nouvelle méthodologie de test des canaux optiques a été développée et sera aussi intégrée à ce projet.

PROBLÉMATIQUE:

Comme les circuits intégrés sont de plus en plus rapides, les plots d'entrée/sortie conventionnels et les interconnexions limitent la performance des systèmes. Afin que ces derniers soient rapides, il faut donc réussir à transmettre l'information entre les circuits intégrés de façon plus efficace. Cela doit être fait sans engendrer des coûts d'emballage trop importants, ou nécessiter trop d'espace sur les circuits intégrés. De plus, l'approche retenue doit être compatible avec les technologies utilisées couramment. La technologie des fibres optiques de plastique peut répondre aux exigences de communications plus rapides. Cependant, peu de récepteurs efficaces ont été réalisés pour ce genre d'applications, et aucun ne répond à tous les critères énoncés.

MÉTHODOLOGIE:

Les circuits existants seront revus et les caractéristiques voulues déterminées. Des simulations seront faites pour assurer l'invariance de la réponse du circuit aux différentes conditions d'opération possibles. Des caractérisations sur des structures de test de photorécepteurs seront faites. Cela nous permettra d'avoir des modèles plus précis pour les photodiodes. La testabilité du circuit, dans un contexte de système opto-électronique, sera évaluée. Finalement, le prototype sera fabriqué et testé.

RÉSULTATS:

Des structures de photorécepteurs ont été fabriquées et leur réponse optique a été partiellement testée. Une approche de test a été développée et les simulations de cette approche ont été réalisées, démontrant sa faisabilité. Afin de fabriquer les circuits dans une technologie disponible, la configuration d'outils de design a été réalisée: interface de dessin de masque, outils d'extraction et de vérification automatisés, configurations programmables de dispositifs de base, interface de simulation, etc. Ces outils ont été utilisés pour réaliser, entre autres, une version électrique d'une matrice de commutation, en partie par l'auteur.

GAGNON, Yves **DIPLÔME: M.Sc.A.**

TITRE:

Restructuration par faisceau laser des circuits intégrés VLSI.

RÉSUMÉ:

La complexité et par conséquent les dimensions sans cesse croissantes des nouveaux microcircuits conduisent inévitablement à une diminution du rendement à la fabrication. Les développements récents en microchirurgie des circuits par faisceau laser pourraient permettre dans certains cas la restructuration de circuits intégrés défectueux de façon rentable.

PROBLÉMATIQUE:

- Proposer des modifications à apporter au design de puces présentement en développement de façon à les rendre restructurables.
- Investiguer les possibilités de créer des liens par laser sans ajouter des structures supplémentaires au circuit mais en utilisant les structures déjà présentées (transistors, lignes métalliques).
- Faire l'analyse probabiliste de l'augmentation de rendement découlant de l'utilisation de ces techniques et de leur rentabilité potentielle.

MÉTHODOLOGIE:

L'orientation principale consiste à permettre le contournement de modules défectueux et l'activation de modules substituts en ajoutant le minimum de structures aux circuits. L'exercice conduira finalement à énoncer des règles fondamentales pour la conception de circuits restructurables.

Mise sur pied d'une procédure expérimentale permettant d'observer la modification des paramètres électriques sous différentes conditions d'exposition au faisceau laser. Un des buts est de créer des liens électriques entre les trois électrodes d'un transistor MOSFET.

Implanter sur le logiciel MATLAB un modèle de coût permettant d'évaluer la rentabilité du processus de restructuration.

RÉSULTATS:

L'analyse probabiliste a permis de démontrer que la restructuration est viable économiquement sous certaines conditions, mais que les améliorations au rendement des procédés de fabrication futurs tendent à réduire ces avantages pour les tableaux de processeurs

Des progrès intéressants ont eu lieu au niveau de la conception et des expérimentations en vue de créer des liens électriques sur des MOSFET déjà intégrés.

GRANGER, Éric **DIPLÔME: Ph.D.**

TITRE:

Réseaux de neurones artificiels pour la catégorisation de signaux radars.

RÉSUMÉ:

Ce projet vise dans son ensemble la conception d'un système permettant la catégorisation automatique des impulsions de signaux radars selon leur émetteur. Les réseaux de neurones artificiels (RNA) auto-organisateurs ont été proposés pour effectuer cette tâche, qui exige un débit très élevé. En effet, les entrées séquentielles d'un tel RNA sont typiquement catégorisées de façon autonome, stable et rapide, sans connaître a priori le nombre de groupes à former. Toutefois, en dépit de la qualité des méthodes disponibles, il est nécessaire de poursuivre les recherches avant de pouvoir utiliser ces RNA de façon pratique comme systèmes de catégorisation de signaux radars. L'objectif du projet consiste à étudier la théorie régissant les RNA auto-organisateurs afin de proposer des modèles améliorés pour l'application radar, et d'explorer les architectures VLSI permettant d'implanter efficacement ces RNA comme systèmes de catégorisation de signaux radars.

PROBLÉMATIQUE:

Pour l'instant, ce projet a pour objectif d'améliorer les capacités d'un RNA nommé Fuzzy ART. Une comparaison de plusieurs types de RNA (voir la partie résultats) a révélé que le Fuzzy ART est un candidat prometteur pour des applications de catégorisation à haute vitesse. Malgré l'efficacité de ses calculs, Fuzzy ART donne des résultats moins précis que d'autres RNA. De plus, ses résultats varient selon l'ordre de présentation des séquences d'entrées. Les deux phénomènes précédents ont été reliés à des conflits internes du Fuzzy ART: lorsqu'une nouvelle entrée au RNA est localisée près de l'interface entre deux ou plus régions de décisions de catégories. Le choix d'une seule catégorie pour cette entrée constitue une décision incertaine, à cause de l'apprentissage irréversible qui peut être néfaste.

MÉTHODOLOGIE:

Dans un premier temps, il s'agit de détecter les entrées qui sont perçues par le RNA comme incertaines. Ensuite, pour tenter de réduire les effets associés aux décisions incertaines, deux types d'approches sont considérées:

- Modifier la façon dont Fuzzy ART apprend afin de protéger les connaissances qu'il a acquises contre les effets des décisions incertaines.
- Modifier la façon dont Fuzzy ART prend des décisions pour des cas incertains.

RÉSULTATS:

Une comparaison de quatre RNA auto-organisateurs qui ont du potentiel pour des applications de catégorisation à débit élevé a été effectuée. Les résultats ont permis de conclure que le RNA Fuzzy ART est un excellent candidat pour ces types applications en termes d'efficacité de calculs, tandis que le Self-Organizing Feature Map, donne des résultats plus précis. Le choix d'un de ces deux RNA dépend de l'application spécifique. Il reflète un compromis entre la qualité des résultats et l'efficacité des calculs.

La mise en œuvre VLSI numérique du RNA Fuzzy ART a été étudiée. Cet algorithme a été simulé avec un ensemble de données constituées d'impulsions radars réelles afin de quantifier ses performances. Afin d'obtenir des solutions efficaces pour la mise en œuvre du RNA avec un circuit dédié VLSI, l'algorithme a été reformulé. Ensuite, une architecture de système Fuzzy ART qui implante cet algorithme pour des applications à grand débit a été proposée. Un modèle d'estimation surface-temps permet de choisir les configurations d'architecture et d'évaluer la vitesse de traitement, ainsi que la surface qui leur est associée, étant donné l'ensemble de contraintes de l'application.

GÛÇLÛ, Alev Devrim **DIPLOME: M.Sc.A.**

TITRE:

Études théorique des dispositifs à puits quantiques par la méthode Monte Carlo.

RÉSUMÉ:

De nos jours, grâce à leur performance supérieure et aux pertes peu élevées qu'elles occasionnent, les diodes lasers à puits quantiques sont de plus en plus employés dans le domaine des télécommunications. La caractérisation de ces dispositifs nécessite cependant une meilleure compréhension des phénomènes physiques qu'ils mettent en jeu.

PROBLÉMATIQUE:

Dans les structures à puits quantiques, la région active est de l'ordre du nanomètre. Les porteurs de charge confinés à ces distances manifestent ainsi des propriétés quantiques. Afin de caractériser les performances de ces composants, nous devons approfondir nos connaissances des phénomènes tels que la capture électronique, la modification de la structure de bande et le transport de charge. Une étude basée sur la mécanique quantique s'avère donc nécessaire.

MÉTHODOLOGIE:

Pour étudier les dispositifs à semi-conducteur, une méthode semi-classique très puissante, le simulateur Monte Carlo, a été mise au point. Cependant, pour faire une étude théorique plus poussée des nanostructures, il faudra inclure l'aspect quantique des phénomènes physiques dans le simulateur et comparer les résultats à ceux obtenus soit expérimentalement, soit à l'aide d'un simulateur classique. La structure de bande dans les régions des puits sera calculée par la méthode k.p et sera intégrée dans le simulateur Monte Carlo.

RÉSULTATS:

Plusieurs simulations ont été effectuées pour comparer le simulateur Monte Carlo à un simulateur classique des équations de diffusion et d'entraînement. Aussi, des résultats de photoluminescence des échantillons de diodes lasers ont été reproduits par le simulateur Monte Carlo.

GUÉNETTE, Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Circuits analogiques programmables et reconfigurables en microélectronique.

RÉSUMÉ:

L'intérêt croissant porté aux circuits analogiques et les avantages évidents qu'offrent les circuits programmables, flexibilité, temps de conception des prototypes et coût avantageux pour un faible volume, nous amènent vers les circuits analogiques programmables.

PROBLÉMATIQUE:

La majorité des circuits analogiques disponibles sur le marché sont des circuits dédiés, et bien qu'il y ait une demande pour les circuits analogiques programmables, il y en a très peu sur le marché.

Le but du projet est de concevoir un circuit analogique programmable, reconfigurable et flexible permettant son utilisation dans des applications d'acquisition de données, d'instrumentations, de traitement de signaux, etc.

La conception d'un circuit analogique programmable et reconfigurable offrant une grande flexibilité tout en occupant une surface restreinte constitue un véritable défi.

MÉTHODOLOGIE:

Le circuit sera conçu pour la technologie à 0,8 micron de BiCMOS de Northern Telecom, avec les outils de Cadence Design System et ce pour une utilisation industrielle, soit pour une intervalle de température variant de –40 à 85°C, à une alimentation de 5 volts.

La conception nécessitera les simulations AC, DC et transitoires pour caractériser chacun des éléments du circuit et pour en vérifier la fonctionnalité. Les caractéristiques telles le bruit, la distorsion harmonique, la marge de phase, la largeur de bande et le gain seront mesurés. Ces simulations seront effectuées à diverses températures dans l'intervalle requis.

Pour vérifier la fonctionnalité de l'ensemble, des simulations seront effectuées sur chacun des blocs indépendamment et ensuite sur l'ensemble des blocs interconnectés.

Le circuit comportera une matrice analogique programmable, un convertisseur numérique à analogique de 8 bits, un convertisseur analogique à numérique de 8 bits, un filtre à capacités commutées, un circuit logarithmique, un circuit exponentiel et des registres de programmation. La matrice programmable sera composée de quatre rangées de quatre amplificateurs opérationnels à gain et configuration programmable, d'un filtre d'entrée passif et d'un amplificateur de sortie à gain unitaire et configuration programmable.

Pour permettre une grande flexibilité, certains circuits de traitement offriront la possibilité de contrôle externe par le biais de composants discrets.

RÉSULTATS:

Jusqu'à présent, chacun des blocs qui compose le circuit intégré semble fonctionner correctement en simulation, un bon gain, une bonne marge de phase et un comportement tel qu'anticipé. Le circuit sera fabriqué à la fin de novembre 1997, avec la technologie de 0,8 micron BiCMOS de Northern Telecom grâce à l'espace octroie par la Société Canadienne de Microélectronique. Nous serons plus en mesure d'évaluer correctement le projet avec une Caractérisation du prototype.

HADDAD, Mohamed Tahar **DIPLÔME: M.Sc.A.**

TITRE:

Réalisation mixte logicielle/matérielle d'un protocole de communication pour réseaux locaux.

RÉSUMÉ:

Partitionnement des fonctions de couches 2 et 3 de Frame Relay selon des fonctions de coût prédéfinis. Ce partitionnement vise à maximiser la proportion des fonctions réalisées en matériel et conséquemment à en améliorer le débit. L'architecture résultante doit être compatible avec les topologies existantes des réseaux locaux.

PROBLÉMATIQUE:

Les champs de conception, spécification et synthèse de systèmes mixtes matériel/logiciel (M/L) sont en pleine expansion et de plus en plus populaires. La complexité des systèmes hétérogènes M/L nécessite de nouvelles approches qui supportent à la fois les comportements complexes et les communications de haut niveau.

Le problème principal dans les approches courantes d'implémentation mixtes M/L réside dans l'intégration des deux solutions obtenues. L'usage d'un modèle fixe de communication M/L restreint l'applicabilité de cette approche. La non-disponibilité de modèles de communication de haut niveau mène à entamer la conception avec une description trop détaillée. La solution est. Incontestablement, de trouver un modèle d'abstraction des protocoles de communications complexes durant le processus de conception. Nous devons être en mesure de supporter un modèle de communication à différents niveaux d'abstraction dans l'intention de retarder autant que possible la sélection du protocole de communication qui sera utilisé. Bien entendu, le but ultime est de permettre la réutilisation de modèles de communication existants pour permettre la synthèse M/L.

MÉTHODOLOGIE:

Ce travail comprend les points suivants:

- Un pré-partitionnement préliminaire est effectué. Deux grands blocs sont nettement séparés: un bloc matériel et un autre logiciel. Le premier sera exprimé en VHDL alors que le second le sera en C. Les deux blocs viendront remplir les différents constituants du système et ils seront générés par SDS.
- Au fur et à mesure de l'avancement du projet, ce partitionnement sera révisé relativement à des fonctions de coûts bien définis.
- La validation de l'ensemble s'effectuera en simulant chaque bloc séparément, la simulation de l'ensemble suivra.
- Avant la synthèse du circuit, les performances (débit) seront comparées à celles d'un LAN opérant sous Frame Relay.
- La synthèse des différents blocs en FPGA et en technologie CMOS 1,2 μm conclura ce travail.

RÉSULTATS:

Les résultats obtenus par ce travail reflètent une amélioration du débit des communications variant entre 22 jusqu'à 49 fois le débit obtenu par une implémentation conventionnelle de Frame Relay.

HARB, Adnan **DIPLÔME: Ph.D.**

TITRE:

Système électronique intégré implantable dédié à la surveillance des activités neuromusculaires urinaires.

RÉSUMÉ:

Ce travail consiste à concevoir et à réaliser un circuit électronique implantable destiné à corriger les dysfonctions urinaires. Une nouvelle méthode pour mesurer le volume vésical sans nuire à la vessie est proposée. L'effet des fibres C apparaissant après la lésion de la colonne vertébrale sera étudié.

PROBLÉMATIQUE:

En Amérique du Nord, plus de deux millions de personnes souffrent de dysfonctions urinaires. Parmi les solutions suggérées, le stimulateur nerveux implantable est la plus prometteuse. Ce type d'implants ne remplace cependant pas toutes les fonctions du système urinaire. Un détecteur du volume vésical est nécessaire. Il formera, avec le stimulateur électrique, une boucle fermée permettant de mieux contrôler la stimulation. Un autre aspect de dysfonctions urinaires est dû aux fibres C. Après la rupture de communications entre le cerveau et la vessie, ces fibres tendent à contracter le détrusor d'une façon continue. Ce phénomène nuit à la bonne opération du système urinaire.

MÉTHODOLOGIE:

L'objectif du projet est de concevoir et réaliser un implant électronique urinaire qui réalise les fonctions suivantes:

- La mesure du volume vésical: les méthodes proposées dans la littérature sont imprécises, non fiables ou partiellement implantables ou bien elles peuvent engendrer des dommages à la vessie.
  Nous proposons d'utiliser une méthode naturelle qui consiste à obtenir l'information sur le volume vésical à partir des nerfs sensoriels qui, dans la situation normale, acheminent l'information au cerveau. L'information acquise sera comparée à des références avant de prendre la décision sur la stimulation.
  Des tests in vivo chez les animaux seront abordés pour déterminer les références et étudier des signaux des nerfs sensoriels: variation avec le volume vésical, etc.
- L'élimination de l'effet des fibres C: une étude expérimentale sera menée pour comprendre l'aspect électrique de ce phénomène. Les résultats devront servir à introduire cette fonction dans la conception de l'implant.
- La microstimulation: le microstimulateur contient cinq blocs principaux: 1. la réception (énergie et commande), 2. l'acquisition des signaux nerveux, 3. le traitement des commandes, 4. le traitement des signaux nerveux et 5. les générateurs des signaux de stimulation. Dans ce travail, nous visons à concevoir complètement le deuxième et le quatrième bloc, et améliorer les travaux sur les autres blocs déjà effectués au sein de l'équipe PolySTIM.

Après la conception et la stimulation du circuit, les plans de masques seront préparés pour la fabrication. La technologie sera choisie selon les performances recherchées pour l'implant (faible consommation, faible surface, etc.) Le circuit fabriqué sera testé pour vérifier son bon fonctionnement.

RÉSULTATS:

La littérature récente a montré que les signaux nerveux concernés sont de l'ordre de 0.4 à 1µV. Ceci nous a mené à réviser notre préamplificateur déjà conçu. La nouvelle conception est capable de traiter des signaux aussi faibles que 0.4µV sans distorsion. Le circuit fonctionne à 3.3 V avec une faible consommation. L'optimisation du bruit est la phase en cours.

Les paramètres des électrodes tripolaires de mesure sont définis ainsi que le type des électrodes; ces dernières ont été développées au sein de notre équipe PolyStim. Elles seront utilisées conjointement avec la carte en élément discret qu'on a déjà réalisée pour mesurer in vivo des signaux des nerfs sensoriels afin de déterminer leurs variations en fonction du volume vésical.

HARVEY, Jean-François **DIPLÔME: M.Sc.A.**

TITRE:

Acquisition et traitement d'images dédiées à un implant visuel.

RÉSUMÉ:

Il y a plus de 100 000 personnes totalement aveugles au Canada et aux États-Unis. De ce nombre, seulement 15% peuvent se déplacer à l'aide d'un chien-guide ou d'une canne blanche et seulement 20% peuvent lire le braille. Notre but est de permettre aux non-voyants de retrouver une vision limitée mais fonctionnelle.

PROBLÉMATIQUE:

Pour permettre aux non-voyants de récupérer une vision fonctionnelle, nous utilisons un implant de type cortical, c'est-à-dire que la stimulation s'effectue directement dans le cerveau. Le stimulateur visuel est divisé en deux parties: le système externe et le système interne (ou partie implantable). Le but du présent projet est de concevoir et de réaliser un prototype de système externe. Il s'agit donc de concevoir un système capable de transformer une scène réelle en information de stimulation.

MÉTHODOLOGIE:

L'image est acquise grâce à une puce CCD (*charged coupled device*) qui convertit une image à sa surface en image de 336 x 244. Chaque pixel a une valeur analogique entre 0 et 400 mV. Les pixels sont ensuite numérisés et envoyés à une unité de traitement. Ces opérations sont gérées par un FPGA, principalement au niveau de la génération des signaux de synchronisation du CCD. Une fois dans l'unité de traitement, l'image doit être réduite à une résolution de 25 x 25, les dimensions de l'image qui sera implantée dans le cerveau. La réduction est effectuée en calculant des moyennes locales sur l'image initiale. Cette méthode est un compromis entre la vitesse et la perte d'information. La dernière étape de traitement d'image est une égalisation d'histogramme qui permet une bonne répartition des intensités de gris.

RÉSULTATS:

Le premier prototype est présentement fonctionnel mais n'a pas la puissance nécessaire pour effectuer ces opérations en temps réel. Un deuxième prototype est en phase de design et est basé sur une carte PC/ISA. Il nous permettra une grande flexibilité pour tester et valider les stratégies de stimulation.

Nous entreprenons aussi la conception d'un capteur d'image CMOS regroupant tous les éléments nécessaires à l'intégration sur une puce de l'ensemble de la partie externe à l'implant visuel.

HERLING Mihail **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'une interface graphique pour un environnement intégré de développement d'un processeur parallèle de type SIMD.

RÉSUMÉ:

Ce projet est consacré à la conception et à la réalisation d'une interface homme/machine, hautement graphique, pour un environnement intégré de développement (éditeur, assembleur et simulateur), destiné à faciliter et accélérer le développement du logiciel sur la machine PULSE, une machine SIMD (Single Instruction Multiple Data).

PROBLÉMATIQUE:

On désire avoir un ensemble d'outils pour faciliter la programmation de PULSE V2 (Version 2). L'architecture, l'assembleur et le compilateur C (C-PULSE) de PULSE V2 étant définis, il s'agit de concevoir une interface qui permettra à l'usager de développer ses applications en suivant les opérations traditionnelles pour processeurs scalaires: édition de code en C, appel du compilateur, édition de lien, faciliter de déverminage (point d'arrêts, trace, etc.). Pour accélérer ce développement, l'emphase doit surtout être mise sur les facilités de déverminage. En effet, puisqu'il s'agit d'une machine parallèle de type SIMD, donc plusieurs processeurs fonctionnant en parallèle, la quantité de registres (mémoires) à examiner peut augmenter très rapidement.

MÉTHODOLOGIE:

Puisque notre environnement de développement sera sur Windows, nous utiliserons la méthode offerte par Visual C++, les MFC (Microsoft Foundation Classes) et les AppWizards (assistants). Il s'agit essentiellement de classes qui interfacent Windows d'une manière relativement simple. Par exemple, avec quelques lignes de code, il est possible de constituer une interface incluant les objets standards de Windows: barres de défilement, barre d'outils, fenêtres partagées, etc. Notez que malgré la publicité qui vente la facilité d'utilisation des MFC, il faut considérer un temps d'apprentissage non négligeable, surtout que l'on prévoit en faire un usage intensif et très complet. Par conséquent, cette méthode fournira les besoins graphiques requis à ce projet, ce qui permettra de se concentrer davantage sur les aspects ergonomie (relation homme/machine) propres au développement du logiciel sur machines parallèles.

RÉSULTATS:

Le travail en est à ses débuts. Pour l'instant nous procédons à l'apprentissage des MFC et des AppWizards (assistants). Nous avons élaboré les premières boîtes de dialogue pour l'éditeur. Finalement, nous sommes à définir les besoins ergonomiques.

JECKLEN, Ernesto **DIPLÔME: Ph.D.**

TITRE:

Technique de linéarisation numérique des amplificateurs de puissance.

RÉSUMÉ:

Ce projet traite d'une technique de linéarisation des amplificateurs de puissance micro-ondes par la méthode de prédistorsion numérique adaptative et de développement des algorithmes exécutés par un circuit de traitement de signal numérique «DSP».

PROBLÉMATIQUE:

Pour une meilleure efficacité énergétique ou afin d'obtenir le maximum de puissance à la sortie, les amplificateurs de puissance sont généralement conditionnés à travailler dans la région non linéaire. Selon la méthode de modulation utilisée, les inconvénients de ces conditions ont pour effet de générer des distorsions (AM-AM; AM-PM) qui dégradent la performance du système. Par conséquent, minimiser ces distorsions nous amène à l'utilisation des techniques de linéarisation analogiques et numériques.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes:

- Calcul des intervalles de variation des paramètres selon les spécifications d'un amplificateur de puissance; ceux-ci permettront de connaître les paramètres du signal d'excitation, l'échantillonnage et la quantification de la puissance.
- Simulation du système composé des parties analogiques (radio fréquence) et numérique « DSP », en utilisant un logiciel de traitement numérique de signaux «SPW» (Signal Processing Work System). Cette simulation permettra de connaître des résultats en fonction de différents algorithmes.
- Analyse des résultats à travers des valeurs des paramètres et graphiques obtenus, ce qui nous permettra d'évaluer les avantages et les inconvénients par rapport aux différentes techniques de linéarisation.
- Validation de l'ensemble du système sur une machine Pentium ayant une carte de développement DSP C40 et les modules de conversion N/A et A/N nécessaires.

RÉSULTATS:

Des résultats préliminaires des simulations ont été obtenus et on peut noter que la technique offre une bonne réduction des bruits d'inter modulation (AM-AM, AM-PM).

KASSEN, Abdallah **DIPLÔME: Ph.D.**

TITRE:

Compression d'images par la transformée en cosinus discrète (TCD).

RÉSUMÉ:

Le but du projet est d'étudier et améliorer les performances d'un algorithme de compression d'images et d'effectuer sa mise en œuvre dans un circuit ITGE (intégrés à très grande échelle).

PROBLÉMATIQUE:

Le domaine de la compression d'image connaît aujourd'hui un essor considérable dû à ces multiples applications telles que: le disque compact, la téléconférence, le vidéo téléphone, les systèmes multimédia et l'autoroute électronique. Dans toutes ces applications le taux de compression et la largeur de la bande passante de la ligne de transmission sont des contraintes qui déterminent la norme de compression à utiliser.

La transformée en cosinus discrète (TCD) est une des étapes les plus importantes pour la compression d'images. Son importance augmente avec le développement d'algorithmes de plus en plus rapide pour une implantation efficace dans un circuit (ITGE), qui peut effectuer la TCD en temps réel.

MÉTHODOLOGIE:

Les différentes étapes de l'amélioration de l'algorithme de compression d'images et de sa mise en œuvre dans un circuit ITGE sont les suivantes:

- Étude de l'algorithme de la compression d'images qui demande une étude approfondie des algorithmes de compression TCD:
- Simulation de l'algorithme qui démontre que l'algorithme TCD choisi est fonctionnel et réalisable.
- Modélisation et mise en œuvre de l'algorithme dans un circuit ITGE pour permettre de réaliser l'architecture de l'algorithme TCD par synthèse en utilisant le langage VHDL.

RÉSULTATS:

La modélisation, la simulation et la mise en œuvre de l'algorithme TCD dans un circuit ITGE (en utilisant la librairie LSI-LOGIC) ont été établies.

L'implantation de cet algorithme dans un circuit FPGA a été présenté au 3e colloque canadien sur les circuits intégrés programmables (FPD'95).

KHALI, Hakim **DIPLÔME: Ph.D.**

TITRE:

Algorithmes et architectures spécialisés pour un système optique autosynchronisé à précision accrue.

RÉSUMÉ:

La vision par ordinateur constitue un domaine d'application de hautes performances principalement dans le cas d'applications temps-réel telle que la robotique. Dans le cas de systèmes optiques, une attention toute particulière est donnée à l'exactitude et à la précision des données mesurées en prévision des traitements ultérieurs. Notre projet consiste à élaborer des algorithmes et des architectures de correction d'erreurs pour des débits de données variant entre 1 et 10 millions de points 3-D par seconde.

PROBLÉMATIQUE:

Dans un système optique de triangulation par balayage d'une scène à l'aide d'un faisceau laser, les caractéristiques physiques et géométriques des objets à étudier peuvent influencer grandement l'exactitude des mesures. Lorsque les surfaces à analyser sont uniformes, le signal capté sur le détecteur optique est de type gaussien. Cependant, une variation de réflectance ou de profondeur peut entraîner une déformation du spot laser engendrant ainsi une erreur de mesure. Notre but est de modéliser cette erreur en fonction d'une variation des formes géométriques et physiques de l'objet à analyser et d'élaborer des algorithmes pour la correction d'erreurs en temps réel.

MÉTHODOLOGIE:

Dans un premier temps, nous allons modéliser la forme du spot laser en fonction d'une variation de réflectance uniquement. Ensuite, nous effectuerons le même travail pour une variation de profondeur uniquement, puis les deux combinés. Dans un second temps, nous étudierons et modéliserons la variation de l'erreur de mesure sur des objets dont nous connaissons les caractéristiques physiques et géométriques. Cette modélisation nous amènera à établir les algorithmes de correction et les architectures correspondantes. Dans un troisième temps, nous devrons valider les modèles développés sur un système optique existant.

RÉSULTATS:

Pour la correction d'artefacts, nous avons développé deux types d'algorithmes de correction: l'un des deux corrige à partir d'informations recueillies sur la caméra durant une phase de calibration, tandis que l'autre corrige à partir de certaines propriétés mathématiques d'une fonction gaussienne. Les résultats obtenus présentent une précision supérieure par rapport à la précision actuelle du système optique. De plus, en raison d'une utilisation accrue de tables dans l'algorithme de transformation des données optiques en coordonnées cartésiennes, nous avons développé un estimateur de performance basé sur la loi d'Amdhal afin de prédire le facteur de vitesse que nous pourrions obtenir pour une implémentation de l'algorithme à partir de tables versus une implémentation purement logicielle.

KOCKNARI, Ahmad **DIPLÔME: M.Sc.A.**

TITRE:

Test du courant de repos (I_{DDQ}) basé sur l'analyse de testabilité et sur l'insertion de points de test pour les circuits séquentiels.

RÉSUMÉ:

Le test I_{DDQ} utilise les mesures de testabilité en plaçant tous les nœuds à 0 et à 1. Avec une couverture de 100% des pannes pseudo-collés, I_{DDQ} peut accomplir une couverture élevée pour d'autres types de pannes. Pour les circuits ayant des problèmes de contrôlabilité, on insère des points de test.

PROBLÉMATIQUE:

Les méthodes conventionnelles pour atteindre une couverture de panne sont basées sur le modèle collé classique, mais ce modèle ne permet pas de déceler efficacement la présence de certaines pannes comme les courts-circuits de l'oxyde de grille et les pannes multiples. On propose le test I_{DDQ} en utilisant les mesures de testabilité pour atteindre une couverture de panne élevée pour les circuits séquentiels. Si, pour certains circuits, une bonne couverture ne peut pas être garantie, on utilisera le concept de l'insertion des points de test.

En principe, le test des circuits séquentiels est difficile, dû à la forme cyclique de ces derniers; mais en combinant le test I_{DDQ} avec les mesures de testabilité et l'insertion de points de test, on atteindra une excellente couverture de panne. Ainsi on couvrira aussi bien les défauts simples que les défauts comme les courts-circuits de l'oxyde de grille et les défauts multiples.

MÉTHODOLOGIE:

Un programme en langage C est implanté afin d'estimer les couvertures de panne avec les mesures de testabilité. On utilise un modèle itératif pour les circuits séquentiels. Afin d'amener un nœud séquentiel à une valeur connue, dans le contexte pseudo-aléatoire et en supposant qu'il a une valeur inconnue, on propose de calculer trois contrôlabilités: C_o (h,t), C_1 (h,t) et C_x (h, t). Ces valeurs représentent la probabilité que h ait une valeur logique 0, 1 et x (inconnu) respectivement, après que t vecteurs pseudo-aléatoires aient été appliqués. Étant donné que la somme de ces trois termes est toujours égale à 1, seulement C_o et C_1 sont calculés et C_x est déduit des deux autres.

Au temps t = 0, le circuit est dans l'état inconnu et $C_o = C_1 = 0$ pour toutes les bascules ($C_x = 1$). Cependant, on a accès aux entrées en tout temps t, donc $C_o = C_1 = 0.5$ pour les entrées primaires. Nous utilisons des formules pour calculer C_o(h,t) et C_1(h,t), lesquelles dépendent des portes utilisées. Par exemple, les contrôlabilités calculées pour une entrée d'une bascule au temps t seront les contrôlabilités de la sortie de la bascule au temps t + 1.

RÉSULTATS:

On a simulé le programme pour les circuits séquentiels ISCAS89, et on a obtenu de très bonnes couvertures de panne pour l'ensemble des circuits. Pour 50% de ces circuits, une couverture de plus de 95% est obtenue après 1 ou plusieurs d'itérations. Pour certains circuits ayant des problèmes de contrôlabilité, on insère quelques points de test et ainsi on obtient presque 100% de couverture avec très peu de surface additionnelle.

LAVOIE, Michel **DIPLÔME: Ph.D.**

TITRE:

Calculs de stabilité de réseaux en temps réel pour architectures de processeurs parallèles.

RÉSUMÉ:

La simulation des phénomènes de stabilité transitoire des réseaux de production et de transport d'énergie électrique requiert une grande capacité de traitement afin de pouvoir simuler des phénomènes rapides. Des algorithmes et architectures parallèles et des processeurs très performants sont les principaux éléments de solution. Quelques heuristiques sont aussi primordiales.

PROBLÉMATIQUE:

Les algorithmes de solution de calcul matriciel contemporains qu'ils soient directs ou itératifs, sont tous séquentiels et trop lents pour espérer atteindre le temps réel même sur les processeurs hyperscalaires actuels. Les matrices représentatives des réseaux électriques sont des matrices très creuses et correspondent à des topologies de réseaux plus ou moins radiales. En simulation numérique temps réel, l'approche partitionnée facilite la distribution de la modélisation des différents composants entre plusieurs processeurs. Le projet consiste à développer un algorithme numérique parallèle exécutable en temps réel permettant de solutionner l'équation matricielle Ax - b où A est une matrice d'admittances d'ordre 100 creuse à 95%, b est un vecteur de courants très creux de longueur 100 et x et le vecteur voltage des inconnus de longueur 100. Un algorithme capable de distribuer correctement la solution des matrices entre les microprocesseurs d'une architecture parallèle a permis d'attendre des résultats inédits et imprévus.

MÉTHODOLOGIE:

La première étape a consisté à programmer les algorithmes les plus rapides dans notre environnement de travail et de vérifier que nous pouvions retrouver les temps d'exécution publiés ou mieux. Au cours de la seconde étape, nous avons vérifié quelques hypothèses de travail en programmant de nouveaux algorithmes et en comparant le temps d'exécution versus la précision de la réponse. Les algorithmes retenus séparent le réseau en sous-réseaux solutionnables simultanément par des processeurs différents. La dernière étape a consisté à convertir l'algorithme pour utiliser un stockage économique et les techniques de matrices creuses. Les algorithmes retenus sont exécutables sur une architecture de processeurs parallèles et permettent de solutionner en temps réel l'équation matricielle Ax = b. Les intrants de chaque processeur sont la matrice d'admittance et le vecteur courant détaillés d'un sous-réseau et un équivalent NORTON pour chacun des autres sous-réseaux. Les extrants sont le vecteur tension détaillé et l'équivalent NORTON du sous-réseau propre à ce processeur.

RÉSULTATS:

Algorithme d'ordonnancement avec ou sans contraintes de la matrice du réseau. Parallélisation de la solution de l'équation matricielle Ax = b par la méthode des équivalents exacts dans le cas particulier où cette équation est appliquée aux réseaux de transport d'énergie électrique. Développement des fonctions de manipulation de matrices creuses complexes en utilisant des techniques spécifiquement adaptées aux matrices creuses. Conversion des matrices carrées creuses en format "stockage économique (sé)". Algorithme de factorisation LU opérant sur le format sé. Résolution de l'équation matricielle Ax = b en 3 millisecondes pour une matrice d'ordre 50 en utilisant un processeur Sun SPARC ULTRA I 140 Mhz.

LESTRADE, Michel **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation et caractérisation de diodes lasers.

RÉSUMÉ:

Les techniques de simulation des diodes lasers sont aujourd'hui très sophistiquées. Néanmoins, leur utilisation requiert une bonne connaissance de différents paramètres empiriques. Il s'avère donc utile de pouvoir évaluer ces paramètres de façon expérimentale plutôt que de se fier sur des résultats publiés se rapportant à d'autres composants se voulant similaires.

PROBLÉMATIQUE:

L'introduction de structures à puits quantiques dans les lasers à semiconducteurs a permis un grand nombre de progrès technologiques importants. Ces composants sont toutefois toujours soumis à certains paramètres mal connus ou difficilement quantifiables tels le taux de recombinaison non radiative et la dépendance en température. Toutefois, ces paramètres pourraient être évalués de façon expérimentale.

MÉTHODOLOGIE:

Nous cherchons à évaluer certains paramètres clés des lasers à semiconducteurs en étudiant leur spectre d'émission ainsi qu'en analysant leur courbes L-I, V-I et V-(dV/dI). Nous pourrons ensuite comparer ces résultats à ceux publiés et étudier leur effet sur les méthodes de simulation couramment employées.

RÉSULTATS:

Travail préliminaire; résultats à venir.

MADANI, Massoud **DIPLÔME: M.Sc.A.**

TITRE:

Système multidisciplinaire servant au remplacement complet de la vessie.

RÉSUMÉ:

Le but de ce travail est la conception, la réalisation et le test d'une nouvelle prothèse qui engendre et contrôle une vessie artificielle.

PROBLÉMATIQUE:

Le but de la chirurgie moderne est de préserver l'état naturel ou de le reconstituer quand c'est possible. La nécessité de remplacement de la vessie est due à la dysfonction de celle-ci telle que la cystite interstitielle, la dysfonction des neurogènes, l'estropie ou le carcinome de la vessie. Les patients atteints de telles dysfonctions sont généralement munis de conduits, de poches continentes ou d'ureterosigmoidostomie. Mais, les problèmes physiques et psychologiques qui leur sont associés ont dirigé les recherches vers le remplacement du système urinaire inférieur par une vessie en plastique. Une vessie de plastique devrait avoir les caractéristiques suivantes: préserver la fonction rénale; permettre un emmagasinage continent et adéquat de l'urine; permettre un vidange volontaire avec aucun résidu; facile à construire, à insérer et à préparer; bio-compatible et ne se dégrade pas avec le temps; résiste à l'incrustation et à l'infection.

Deux modèles plastiques ont été explorés: le modèle dynamique et le modèle à volume fixe. La vessie dynamique est définie comme une vessie prothétique qui se dilate, se contracte et se vide de son urine. Le modèle à volume fixe nécessite un estomac externe qui comprend une membrane perméable à l'air et imperméable à l'eau. Ceci permet à maintenir la pression interne du système à la pression atmosphérique et rend le remplissage et l'évacuation plus facile. Toutefois, ces deux modèles doivent être encore améliorés s'ils doivent remplacer complètement la partie inférieure du système urinaire. Ils ne peuvent pas encore préserver complètement les fonctions rénales qui assurent une bonne continence, un vidange volontaire sans aucun résidu d'urine et aucun problème d'infection.

MÉTHODOLOGIE:

Nous proposons, avec l'usage de la technologie des circuits intégrés, un système implantable qui contrôle une pompe électronique, une vessie électronique et la pression négative générée par le réservoir. Ce système devra regrouper un capteur pour une mesure continue de la pression et du débit du système urinaire. L'implant sera contrôlé et alimenté de l'extérieur par une porteuse encodée de fréquence radio. Pour le modèle à volume fixe, nous proposons d'ajouter un circuit intégré qui contrôle une valve électronique située dans le réservoir adjacent à l'urètre. De plus, cet implant serait capable de signaler au patient, via un stimulus et une alarme auditive, que le volume d'urine a atteint un certain niveau prédéterminé. Ce principe de fonctionnement nous permettra aussi de proposer une solution aux patients souffrant de l'impuissance.

RÉSULTATS:

Avant d'entreprendre une version miniaturisée implantable, nous procédons actuellement à la mise au point d'un prototype en se servant de composants discrets variés.

MALLETTE, Sylvain **DIPLÔME: M.Sc.A.**

TITRE:

Conception, réalisation et expérimentation in vivo d'un générateur d'impulsions multicanal dédié à la stimulation du cortex moteur.

RÉSUMÉ:

Le projet consiste à concevoir un générateur d'impulsions de courant (monopolaires et bipolaires) destiné à la stimulation du cortex moteur. Le système est constitué de huit canaux complètement indépendants. Il est contrôlé par un PC et il est réalisé à partir de circuits intégrés programmables (FPGAs).

PROBLÉMATIQUE:

L'étude du système nerveux moteur par stimulations électriques permet de caractériser et modéliser de façon précise cette partie du système nerveux. Ainsi, une telle étude permet de mieux comprendre la motricité des êtres vivants. Le générateur d'impulsions constitue le composant principal permettant de mener à terme une telle étude. La flexibilité et la performance d'un générateur d'impulsions sont des qualités recherchées et essentielles puisqu'elles permettent d'accroître la précision et la qualité du modèle ainsi développé.

Ce projet consiste à concevoir, à réaliser et à tester (in vivo) un générateur d'impulsions de courant multicanal destiné à la stimulation du cortex moteur. Le générateur d'impulsion sera entièrement contrôlé par un micro-ordinateur ce qui augmentera grandement sa facilité d'utilisation et sa flexibilité. La performance du générateur d'impulsion sera assurée par l'importante variété de stimuli qu'il sera possible de générer.

La principale difficulté de ce projet tient à l'originalité de son architecture. De fait, le système possédera un degré élevé d'intégration et il sera conçu à l'aide de composants programmables de type FPGA. De plus, le système sera commandé par micro-ordinateur. Les paramètres de stimulation très variés augmenteront la complexité de la conception.

MÉTHODOLOGIE:

Le système se divise en deux parties: un bloc numérique et un bloc analogique. La partie numérique est complètement conçue à l'aide de composants programmables de type FPGA (un FPGA par canal). Pour ce qui est de la partie analogique, chacun des huit canaux est constitué d'un convertisseur numérique à analogique suivi d'une source de courant programmable. Le tout est entièrement monté sur une carte (PCB) qui sera installé dans une fente d'expansion ISA d'un PC. À partir du PC, il est possible de spécifier, pour chaque canal et de façon indépendante, l'allure des impulsions de courant désirée; c'est-à-dire qu'on peut définir l'amplitude du signal, la durée de chaque impulsion et la fréquence instantanée du train d'impulsions.

RÉSULTATS:

Le générateur d'impulsions peut générer, de façon indépendante sur chaque canal, des impulsions de courant monopolaires ou bipolaires ayant une amplitude variable (256 valeurs différentes entre 0-255µA, 0-1,275mA ou 0-12.75mA) une durée variable (32 valeurs entre 100-1650µsec) et une fréquence variable (256 valeurs entre 0.5-127.5Hz, 2-255Hz, 2-510Hz ou 5-1275Hz). Tous ces paramètres sont programmables à partir d'un PC, et ce, dans un environnement Windows.

MARCHE, David **DIPLÔME: M.Sc.A.**

TITRE:

Outil automatique de génération de vecteurs de test pour les circuits analogiques.

RÉSUMÉ:

La sensibilité est une mesure d'observabilité des composants pour les circuits analogiques. Le but de ce projet est d'automatiser l'étude de sensibilité pour obtenir des vecteurs de test pour les circuits analogiques.

PROBLÉMATIQUE:

Pour de petits circuits, cette analyse pourrait se faire manuellement, mais pour des circuits plus importants, la nécessité d'automatiser le calcul des sensibilités se fait sentir.

MÉTHODOLOGIE:

Il existe une méthode programmable pour calculer les sensibilités de façon automatique: la méthode du circuit adjoint. Pour chaque circuit, il faut générer un circuit adjoint. On peut ensuite déduire les sensibilités par rapport aux éléments en mesurant les courants et tensions dans le circuit et son adjoint.

RÉSULTATS:

L'outil d'analyse de sensibilité LIMSoft devrait offrir les possibilités suivantes:

- *Analyse automatique de la sensibilité* d'un circuit analogique quelconque continu dans le temps. Cette analyse se fait soit dans le domaine temporel, soit dans le domaine fréquentiel ou dans le domaine de tension continue (transitoire, AC ou DC) et elle décrit l'effet de la variation des composantes par rapport aux valeurs nominales (vieillissement, tolérance, température, humidité, etc.) sur les performances du système.

- *Génération des vecteurs de test pour des pannes douces* ("soft faults"). La génération des vecteurs est basée sur l'analyse de la sensibilité des paramètres de sortie par rapport à toutes les composantes du circuit.

- *Génération d'un dictionnaire réaliste de pannes catastrophiques* fondé sur l'analyse du dessin des masques du circuit.

- *Génération des vecteurs de test pour des pannes catastrophiques* ("hard faults") basée sur le calcul du gradient.

MOTTO, Alexis **DIPLÔME: Ph.D.**

TITRE:

Simulation instantanée des transitoires électromagnétiques dans les grands réseaux électriques. Faisabilité sur l'architecture PULSE.

RÉSUMÉ:

Cette thèse se rapporte à une étude de faisabilité ayant trait à la simulation «plus vite que le temps réel » ou instantanée des transitoires électromagnétiques dans les grands réseaux électriques. Quelques hypothèses sont faites en vue de relaxer le problème original afin de faciliter la mise en œuvre de l'application, sur une structure PULSE. Cela amène à la résolution de systèmes d'équations linéaires dynamiques et fortement creux. Des comparaisons sont faites entre les méthodes dites directes et les méthodes dites itératives. Par ailleurs, la méthode de parallélisme spatial qui serait la plus prometteuse pour PULSE est analysée. Les contraintes d'une telle approche sont également discutées.

PROBLÉMATIQUE:

Au nombre des phénomènes dynamiques d'intérêt pour les ingénieurs de réseaux, les transitoires électromagnétiques représentent sans conteste le plus grand défi, à cause de la complexité des modèles et de la performance des ressources informatiques, nécessaires en vue d'obtenir des résultats plausibles. Les commentaires de la conférence ICDS'97 (International Conference on Digital Power System Simulators) sont éloquents: *Real-time simulation of electromagnetic phenomena is still beyond the computation capabilities of modern parallel microprocessors and Workstation».* Ce qui justifie l'originalité et les retombées économiques de ce projet qui a pour objet d'analyser les forces et les faiblesses de la nouvelle technologie PULSE.

MÉTHODOLOGIE:

Il ne suffit pas de réaliser un simulateur, encore faut-il exploiter ses avantages, surtout dans un marché très compétitif. Aussi l'art de l'ingénieur suggère-t-il de ne pas inventer ces deux étapes en tandem. D'où le besoin de procéder à une revue de littérature systématique et conséquente, en vue de déterminer une formulation mathématique qui soit plus efficace pour PULSE, et qui satisfasse les critères d'adéquation de l'application, entre autres, la précision, la flexibilité et la généralité.

RÉSULTATS:

L'auteur estime que l'objectif de départ n'est pas réalisable compte tenu des contraintes de l'architecture PULSE, par rapport aux attentes en matière de simulation des transitoires électromagnétiques, voire de la dynamique des grands réseaux électriques en général. Toutefois, plusieurs applications dans les réseaux électriques peuvent bénéficier de la technologie PULSE, pourvu qu'elles présentent des caractéristiques communes aux applications de traitement de signaux pour lesquelles PULSE a été spécialement conçu, c'est-à-dire, des applications dont la dynamique peut être modélisée comme un flot «ininterrompu » de données à travers un processus à paramètres numériques invariants ou presque. Notamment, le besoin d'accélérer le traitement et l'analyse des signaux de mesure de toutes les variables d'états des machines électriques, qui sont acheminées au centre de conduite d'un réseau, mérite une investigation.

MOUJOUD Abderrafia **DIPLÔME: Ph.D.**

TITRE:

Échantillonnage électro-optique

RÉSUMÉ:

L'échantillonnage électro-optique est une technique pour mesurer des signaux électriques ultra-rapides, grâce à sa grande sensibilité et son temps de résolution très court. Un système optique sophistiqué est nécessaire en plus d'une source laser produisant des impulsions femtoseconde avec un taux de répétition élevé.

PROBLÉMATIQUE:

Plusieurs problèmes se posent lors de la génération et la caractérisation des signaux électriques. Citons par exemple le type de matériel semi-conducteur utilisé, l'atténuation et la dispersion du signal à partir du point où il est généré jusqu'au point ou se fait la mesure et la sensibilité du cristal électro-optique. Tous ces facteurs doivent être analysés pour améliorer les performances.

MÉTHODOLOGIE:

Utilisant notre système expérimental, nous étudions la génération des signaux électriques ultra-rapides produits par des composants à semi-conducteurs basés sur de nouveaux concepts et de nouvelles structures. Des impulsions électriques < 10 ps sont nécessaires pour les grandes vitesses de modulation des diodes lasers. Des lignes de transmission à faible dispersion doivent être fabriquées et étudiées. Pour accorder l'étude théorique et expérimentale un simulateur doit être développé.

RÉSULTATS:

Le système électro-optique (à la base de $LiTaO_3$) activé par une source laser Ti-saphire produisant des impulsions d'environ 35 fs est déjà en place. Des composants optoélectronique à base de InP sont déjà fabriqués. Comme premier résultat; des signaux électriques très courts de largeur à mi-hauteur de l'ordre de 6 ps ont déjà été obtenus.

NEKILI, Mohamed **DIPLÔME: Ph.D.**

TITRE:

Synthèse de réseaux de distribution d'horloge en présence de variations des procédés de fabrication.

RÉSUMÉ:

Notre thèse tente de dépasser le cadre de la modélisation indirecte et simpliste (rencontrée dans la littérature actuelle) de l'effet des variations des procédés de fabrication (VPF) sur le biais de synchronisation (BS) dans les systèmes intégrés synchrones, et propose des approches aussi bien analytique, algorithmique et au niveau circuit, que des attitudes au niveau conception, afin de rendre la structure de distribution d'horloge la plus tolérante (ou si possible insensible) aux VPF.

PROBLÉMATIQUE:

Le biais de synchronisation (BS) est actuellement parmi les principaux facteurs limitatifs de la performance des systèmes intégrés synchrones. Si le BS dû à des asymétries dans la conception de systèmes intégrés synchrones, aux variations de température, aux fluctuations de l'alimentation et à des phénomènes électriques est bien traité dans la littérature, celui dû aux variations des paramètres géométriques et électriques du procédé de fabrication (VPF) est, par contre, très peu exploré. L'impact des VPF sur le BS (et la fiabilité en général) peut être handicapant pour des systèmes synchrones de grande dimension ou opérant à grande vitesse.

MÉTHODOLOGIE:

L'effet des VPF est d'abord étudié à l'aide d'une modélisation analytique simple de l^{er} ordre sous forme de variations spatiales de la constante de temps du transistor. Il s'agit de déterminer dans quelle mesure les VPF peuvent désynchroniser une structure de distribution d'horloge a priori équilibrée. Sur la base de ces résultats préliminaires, il faut ensuite concevoir une validation expérimentale qui permette d'établir une cartographie des VPF aux niveaux dés et tranches. En fonction des résultats expérimentaux, on peut alors étudier le comportement d'architectures VLSI et WSI typiques, et imaginer des techniques algorithmiques et au niveau circuit afin d'optimiser les performances (BS, puissance, fréquence d'opération,…) d'arbres d'horloge en présence de VPF.

RÉSULTATS:

Un exemple typique d'architecture régulière, une matrice de processeurs à charges identiques, a été traitée à l'aide d'une approche analytique aux niveaux d'intégration VLSI et WSI. L'une des conclusions de cette analyse est la progression quadratique du BS en fonction de la taille du système. Par ailleurs, nous avons montré que les arbres d'horloge avec tampons (buffer) permettent (dans le cas de degrés de pipeline extrêmes) d'atteindre la limite des fréquences d'opération permises en théorie. Cet avantage, néanmoins, engendre une contrainte de dissipation de puissance, que nous avons évaluée et pour laquelle nous avons proposé deux solutions. Une caractérisation expérimentale des VPF a été conçue et validée avec une technologie de NORTEL. Nous avons observé des phénomènes aussi bien déterministes qu'aléatoires qui semblent expliquer les VPF ressentis aux échelles des dés et des tranches de silicium. Sur le plan algorithmique enfin, nous avons conçu une méthodologie de compensation au niveau circuit des effets de VPF sur le BS d'architectures synchrones irrégulières.

OUDGHIRI, Houria **DIPLÔME: Ph.D.**

TITRE:

Algorithme de partitionnement hardware/software au niveau système

RÉSUMÉ:

Le projet de notre thèse consiste à développer un environnement de conception automatique qui permet d'explorer différentes possibilités d'implémentation pour un même système en entrée. Cet environnement de travail au niveau système propose en sortie un ensemble d'alternatives pour l'implémentation du système. Ces alternatives sont ournies avec des évaluations de performance et de coût afin de permettre au concepteur de sélectionner l'implémentation qui satisfait le mieux les contraintes imposées.

PROBLÉMATIQUE:

Avec la croissance de la complexité des systèmes digitaux, il y a eu, ces dernières années, l'émergence d'une nouvelle idée qui consiste à implémenter les systèmes digitaux en deux parties, une partie matérielle pour les fonctions les plus critiques du point de vue vitesse et une partie logicielle pour les fonctions moins critiques. Un tel partitionnement permet la réduction du coût global par rapport à une implémentation complètement matérielle. Néanmoins, un tel processus est difficile à automatiser du fait, premièrement, de l'inexistence d'un modèle assez général pour supporter aussi bien une modélisation logicielle que matérielle et, deuxièmement, qu'un algorithme de partitionnement hardware/software automatique doit être capable d'extraire, à partir de la description d'entrée et de l'architecture ciblée, tous les paramètres nécessaires à une prise de décision. Ces paramètres sont le temps d'exécution et le coût de chaque implémentation, ainsi que le coût de l'interface requise entre les deux partitions logicielle et matérielle.

MÉTHODOLOGIE:

Le problème du partitionnement hardware/software pour la cosynthèse d'un système a été traité selon les étapes suivantes:

- Un modèle hiérarchique est considéré pour le système en entrée. La hiérarchie permet de considérer différents niveaux de complexité pour le même système.
- Une analyse de ce modèle consiste à extraire des paramètres tel que le type de fonctions utilisées, la fréquence d'utilisation de chacune des fonctions ainsi que toutes les dépendances et les interactions entre les différents blocs du système.
- La dernière étape consiste alors à faire le partitionnement en utilisant la théorie des graphes. Un graphe de dépendance est utilisé où les nœuds sont les blocs du système et les arcs entre les nœuds sont pondérés par le degré de dépendance entre les blocs. Ce graphe est finalement partitionné en deux cliques selon une heuristique de partitionnement.

RÉSULTATS:

Toutes les étapes du projet ont été implémentées en C++. L'étape de validation a été réalisée en considérant une architecture cible. Cette architecture est constituée de deux processeurs concurrents, PULSE et le processeur standard C40. Des algorithmes de traitement de signal ont été mappés sur cette architecture et une évaluation de leur performance a été réalisée.

OUICI, Khalid **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un amplificateur opérationnel CMOS programmable dédié à des capteurs implantables.

RÉSUMÉ:

De nos jours, l'intérêt envers les circuits analogiques à faible dissipation de puissance et à faible tension d'alimentation monte de façon très significative, cela est dû à l'augmentation des équipements portables dans les différents marchés tels que les télécommunications, les ordinateurs et de façon générale les appareils sans fils.

La conception de notre amplificateur va servir à amplifier des signaux bio-électriques qui sont de l'ordre de quelques dizaines de micro volts. Dans notre application, une large bande passante n'est pas nécessaire, par contre, une très faible dissipation de puissance et un gain élevé sont exigés. Notre ampli-op sera réalisé à l'aide de l'outil Analog Artist de Cadence sur un procédé BiCMOS 0.8 µm.

PROBLÉMATIQUE:

À faible tension d'alimentation (0 à 1.5V), les configurations empilées tel que le cascade sont à éviter. Cependant, les structures à multi-étages sont donc utilisées pour atteindre des gains DC assez élevées. De plus, la structure multi-étages permet de concevoir et optimiser les différentes parties indépendamment les unes des autres. Le point clef concernant l'étage de sortie est d'atteindre un balancement du signal de sortie sur toute la gamme de la tension de sortie DC (Vout_dc) doit être mise à Vdd/2. L'étage d'entrée est très critique lorsque la tension d'alimentation est réduite, l'offset et les bruits sont difficiles à contrôler. La plus grande difficulté réside dans le fait que tous les transistors doivent opérer en région de saturation.

MÉTHODOLOGIE:

En se basant sur des éléments de base tels que les miroirs de courant, étage différentiel d'entrée (transconductance) et un étage de sortie, et à l'aide de l'outil Analog Artist de Cadence, nous avons réalisé un amplificateur de haute performance pour des applications biomédicales. Étant donné que les signaux biologiques ne sont pas à très haute vitesse, une très grande bande passante n'est pas nécessaire, par contre un gain élevé et une faible dissipation de puissance le sont. Pour mieux maîtriser l'architecture, nous avons simulé les différents éléments de base, ensuite nous avons simulé des parties du circuit global, l'étape suivante était de rassembler toutes les parties du circuit et atteindre nos spécifications. Ensuite, nous avons réalisé les dessins de masques et puis nous avons envoyé notre circuit à la CMC pour la réalisation physique et enfin le test et la vérification des résultats de simulation.

RÉSULTATS:

Les résultats provenant de ce travail de recherche sont nombreux et très satisfaisants, en particulier une consommation de puissance de 36 µW, un gain DC en boucle ouverte de 110 dB, une surface occupée de 0.15 mm^2, un taux de rejet en mode commun 92 dB, un taux de rejet de la tension d'alimentation de l06.5 dB et enfin, la faisabilité d'un amplificateur opérationnel programmable en boucle fermée ayant un gain variant de 10 dB à 55 dB, opérant à une tension d'alimentation de 1.5 V.

PATENAUDE, Serge **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation des pannes dans les circuits numériques rapides réalisés en technologie bipolaire ECL et CML.

RÉSUMÉ:

Dans la première partie de notre projet, nous voulons observer, définir, caractériser et modéliser les pannes non-conventionnelles rencontrées dans des circuits VLSI ECL-CML (emitter coupled logic-current mode logic). En deuxième lieu, nous voulons utiliser les modèles et algorithmes ainsi développés pour les confronter à des bibliothèques de cellules de base existantes. La technologie qui fait l'objet de l'étude a été récemment introduite par la SMC (Société canadienne de microélectronique) sous le nom de NT25. Cette recherche se fait dans le cadre d'un contrat avec Nortel.

PROBLÉMATIQUE:

Les circuits ECL-CML sont d'un intérêt certain pour les applications nécessitant des vitesses d'opération dépassant les quelque gigahertz (GHz). Ces vitesses sont difficilement atteignables en CMOS. Les propriétés de la technologie bipolaire et la nature différentielle de ces familles logiques les rendent par contre plus difficile à tester que les circuits CMOS conventionnels. En effet, les modèles « collé-à » utilisés de manière systématique dans les tests des circuits des circuits VLSI CMOS ne permettent pas de modéliser correctement certaines classes de pannes rencontrées dans les circuits ECL-CML bipolaires. De plus, il existe un vide dans la littérature sur le sujet, d'autant plus que les circuits bipolaires sont très souvent utilisés dans des applications analogiques plutôt que numériques. Dans ce travail, nous tentons d'élaborer des règles générales décrivant les pannes rencontrées dans ces circuits (marges de bruits réduites, pannes de complémentarité, pannes différentielles, délais,…).

MÉTHODOLOGIE:

À l'aide des logiciels disponibles (Cadence, Synopsys, HSpice, Spectre …), nous voulons développer des outils automatiques de caractérisation des pannes non-conventionnelles et les utiliser sur des circuits VLSI réalisés en technologie NT25, pour ainsi établir des couvertures de panne associées à nos modèles. Les modèles et les outils sont modifiés systématiquement jusqu'à l'obtention d'un ensemble de pannes réalistes et de couvertures acceptables. Deux circuits de test sont également prévus pour des fins de confirmation et validation.

RÉSULTATS:

Les modèles de panne sont présentement en développement, les outils sont en cours de développement. Un des outils (repérage de panne réaliste dans un dessin des masques) est terminé partiellement et est opérationnel (en phase de rodage). Deux rapports détaillés ont été livrés, dont un est une revue de littérature exhaustive sur le sujet et l'autre un ensemble de résultats préliminaires sur une analyse de l'impact des défectuosités d'une bibliothèque de cellules.

L'étude exhaustive des bibliothèques de cellule reste à faire. Des outils d'analyse de panne sont en cours de développement.

PERA, Florin **DIPLÔME: M.Sc.A.**

TITRE:

Méthodes de routage et modélisation pour circuits intégrés rapides.

RÉSUMÉ:

Le but de cette étude est de développer de nouvelles techniques de conception pour des circuits intégrés digitaux fonctionnant à des fréquences d'horloge au-dessus de 200 MHz. Ces techniques seront utiles pour le logiciel de design de circuits intégrés « DW-2000 » afin d'automatiser le processus de génération de masque dans des conditions haute fréquence. De la même façon, les modèles développés seront nécessaires pour l'extraction des éléments parasites à partir des dessins de masques en assurant une simulation dont la précision est adéquate dans les conditions mentionnées.

PROBLÉMATIQUE:

Dans les circuits intégrés rapides (ex.: fréquence d'horloge au-dessus de 200 MHz) des phénomènes liés à la propagation des signaux de haute fréquence dans un environnement fortement dispersif et non-linéaire font que, les modèles simplifiés de type C ou RC, utilisés pour l'extraction des éléments parasites, ne sont plus adéquats. Ensuite, pour automatiser le processus de routage dans ces conditions, on a besoin de nouvelles méthodes et règles de dessin ainsi que de nouvelles configurations pour réaliser les interconnexions.

MÉTHODOLOGIE:

On étudie la propagation des signaux rapides sur de longues interconnexions et la diaphonie entre deux traces voisines dans des conditions de haute fréquence (signaux logiques avec des périodes 0,5 ns à 1 ns et temps de commutation de l'ordre de 50-200ps). Un nouveau modèle pour de longues lignes dans des circuits intégrés a été développé ainsi que de nouvelles configurations pour réaliser les interconnexions, configurations qui améliorent la propagation des signaux rapides. Un autre élément qui a également été étudié est le bruit sur les barres d'alimentation dans des conditions de commutation forte et rapide, car il peut affecter le fonctionnement du circuit. Dans ce cas-ci, on a aussi conçu deux structures pour réduire ce bruit. Pour la validation de tous ces modèles et structures, on a développé deux circuits « démonstrateurs » en utilisant la technologie Mitel 1.5µm. Les méthodes de test sont aussi originales, elles permettent de réaliser des mesures dans des cas réels (pas de sonde sur l'élément de test) et en utilisant un équipement standard.

RÉSULTATS:

Les circuits ont été fabriqués via la SCM et nous avons procédé aux tests. Des techniques de mesure par oscillateur en anneau et par comparaison de phase se sont avérées efficaces pour caractériser des différences de temps de propagation sur des fils ou dans la logique de l'ordre d'une fraction de ns. L'élaboration de ces techniques de mesure nous fournit des outils de base pour valider des règles de conception de circuits de haute performance. Plusieurs manières pour réaliser des interconnexions dont le délai est moindre que les interconnexions normales ont été proposées et essayées. Les techniques considérées incluent un ensemble de combinaisons de couche ou une seconde couche inférieure pouvait être utilisée comme blindage ou être commandée par un second amplificateur. Les essais réalisés sur certaines de nos structures de test se sont avérées non concluant. Ceci est en parti attribuable au fait que nos démonstrateurs, qui expérimentent plusieurs structures de ligne, n'implantent que des lignes relativement courtes (1 ou 2 mm). La structure constituée d'un puits sous une interconnexion réalisée sur métal 2 (procédé à double métal) a donné les plus petits délais de propagation. Dans le cas des structures pour mesurer la diaphonie, les travaux devront être poursuivis afin de comprendre pourquoi les structures proposées et implantées n'ont pas donné des résultats concluant. Un vice de conception nous empêche de distinguer le cas ou la diaphonie est négligeable du cas où le détecteur n'arrive pas à répondre à des transitoires trop rapides.

PETRICAN, Paul **DIPLÔME: M.Sc.A.**

TITRE:

Réalisation d'un détecteur ultrasonique dédié à l'évaluation du volume urinaire chez les enfants énurésiques.

RÉSUMÉ:

Conception, réalisation et tests élaborés d'un appareil ultrasonique dédié au conditionnement des activités de la rétention urinaire chez les enfants énurésiques.

PROBLÉMATIQUE:

L'incontinence urinaire nocturne (énurésie) affecte 20% des enfants âgés de plus de 4 ans, ce pourcentage diminuant de 15% chaque année. L'incontinence urinaire nocturne pourrait être traitée par l'intermédiaire d'un appareil de conditionnement qui avertirait l'enfant dès que l'urine aurait atteint le niveau de seuil préétabli en fonction de la capacité de sa vessie. Dans ce cadre, nous développons un circuit miniaturisé capable de détecter un seuil préétabli et d'alarmer les patients. Plus spécifiquement, l'appareil mesurera le niveau d'urine dans la vessie et parviendra à réveiller le patient quand ce niveau aurait atteint le seuil établi.

MÉTHODOLOGIE:

Nous procédons à la réalisation d'un circuit miniaturisé en technologie de montage en surface (surface mount), car il doit être placé sur le patient durant la nuit. Les tests sur le prototype se déroulent selon les trois étapes suivantes:

- Essais en laboratoire chez les patients lorsque immobiles au laboratoire.
- Essais en clinique externe d'urologie avec appareil fixé sur les enfants.
- Essais de l'appareil miniaturisé chez un patient ambulatoire.

Cette dernière étape est essentielle pour la validation complète de cet appareil.

RÉSULTATS:

Des tests sur 42 enfants ont été effectués à l'hôpital Sainte-Justine. La moyenne d'âge de patients est de 8 ans. La vessie pleine a été détectée dans tous les cas. Dans presque 50% des cas, l'appareil détectait le PVR (volume résiduel post-miction) qui variait de 10 ml à 100 ml Nous estimons toutefois avoir une erreur d'évaluation de 25%, cette erreur restant dans les limites du raisonnable. Nous avons proposé aussi un support pour la partie électronique et les piles, afin que le patient ne soit pas dérangé par ceux-ci durant son sommeil et que la sonde garde sa place.

POIRÉ, Pascal **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un système de post-traitement vidéo pour un corrélateur optique.

RÉSUMÉ:

La corrélation est une technique qui permet de mesurer le taux de similitude existant entre deux signaux. Un corrélateur optique peut ainsi détecter la présence d'un objet à rechercher dans une image d'entrée et ce à la vitesse de la lumière. Pour ce faire, un filtre spatial (F.S.) dérivé de l'objet à identifier est reproduit sur un modulateur spatial de lumière dans le système. La corrélation 2-D est obtenue en multipliant la transformée de Fourier (T.F.) de l'image d'entrée par le F.S. et en appliquant une T.F. inverse sur ce produit. En sortie, le plan de corrélation possède un pic intense et étroit à l'emplacement de l'objet lorsqu'il est présent en entrée.

PROBLÉMATIQUE:

Un corrélateur optique peut traiter énormément d'informations en temps réel. La principale difficulté vient de l'analyse du résultat de la corrélation. Les plans de corrélation, principalement composés de pics lumineux, doivent être analysés à la même vitesse que le traitement du corrélateur, afin d'éviter une surcharge croissante du post-traitement. De plus, le système doit être capable de décider de la présence ou de l'absence de l'objet recherché dans l'image d'entrée. La proposition d'un algorithme basé sur la comparaison de mesures à des paramètres devra être réalisée afin que la prise de décision soit le plus efficace possible. La finalité du projet dépendra de la technologie choisie pour le système de post-traitement.

MÉTHODOLOGIE:

- Recherche bibliographique sur les corrélateurs optiques, la T.F. 2-D, les F.S., les modulateurs spatiaux de lumière et les mesures de performance des corrélateurs optiques.
- Proposition et simulation de mesures d'évaluation de pic de corrélation.
- Proposition d'un algorithme de post-traitement d'un corrélateur optique.
- Choix d'une technologie pour la réalisation.

RÉSULTATS:

Une importante recherche bibliographique sur les corrélateurs optiques a été réalisée, ce qui a permis de faire une synthèse sur le sujet des corrélateurs. Une banque d'images représentant des plans de corrélation d'un corrélateur optique A. Vander Lugt a été mise sur pied. Des mesures d'évaluation de pics de corrélation ont été proposées et appliquées sur la banque d'images.

RABEL, Claude-Eddy **DIPLÔME: Ph.D.**

TITRE:

Conception et réalisation d'un FPMA (Field Programmable Mixed-Signal (Digital-Analog) Array).

RÉSUMÉ:

Le projet vise à réaliser un FPMA reconfigurable dynamiquement dédié aux applications « codesign », et pour le prototypage de systèmes complexes contenant un processeur, une partie logicielle et une partie matérielle, numérique, analogique ou mixte.

PROBLÉMATIQUE:

Les composants programmables connaissent actuellement une évolution technologique remarquable qui leur permet d'obtenir de très bonnes performances tout en améliorant leur flexibilité et, ceci, avec une surface de plus en plus grande. Ce qui les rend très intéressant pour le développement de prototype rapide et permet de réduire le temps de conception, le temps de fabrication ainsi que le coût de production. Toutefois, malgré l'augmentation de la surface des FPGAs, leur densité d'intégration de portes logiques demeure plus petite qu'un ASIC ayant une surface comparable. Ceci est dû à la grande quantité de cellules mémoires (SRAM) lesquelles occupent une large surface additionnelle. La capacité logique peut être augmentée significativement en utilisant la reconfiguration dynamique.

De plus, la tendance en VLSI est actuellement d'intégrer des fonctions numériques et analogiques sur la même puce afin de réduire le nombre de circuits intégrés, le nombre d'interconnexions et les dimensions d'un système. Ceci permet de bénéficier du haut niveau d'intégration, réduisant ainsi le coût d'un système. De plus, une réduction de la puissance consommée et une augmentation de vitesse sont également obtenues. Ces caractéristiques sont particulièrement intéressant pour les circuits analogiques où le prototypage a été pendant longtemps effectué à l'aide de composants discrets. Ces derniers introduisent des inductions et des capacités parasites beaucoup plus importantes qu'un circuit intégré. Ces parasites augmentent les sources d'erreurs qui peuvent être indésirables pour les applications à haute vitesse.

MÉTHODOLOGIE:

Pour permettre une reconfiguration dynamique très rapide, dans ce travail de recherche, on propose une nouvelle architecture de circuits intégrés programmables mixtes, appelés PARC. Ce dernier utilise une architecture à grain fin et il est basé sur la technologie de mémoires (SRAM). Il contient un FPGA et un processeur RISC. Ce dernier est conçu pour accélérer la reconfigurabilité du FPGA et réaliser des applications « codesign », et/ou le prototypage de systèmes complexes contenant un processeur, une partie logicielle et une partie matérielle. La partie analogique programmable sera bientôt également intégrée dans la même puce.

Généralement, un système complet, est constitué d'un circuit numérique auquel un circuit analogique est interfacé. Donc, similairement à ces systèmes, le FPMA est divisé en trois parties: un FPGA incluant un processeur RISC, un FPAA et une interface. Le FPGA est décrit avec VHDL et le modèle SPICE est utilisé pour les autres parties.

RÉSULTATS:

Les modèles des différentes sous-unités du FPGA ont été simulés avec les outils CAO de Synopsys. Finalement, le circuit est mis en œuvre dans une librairie de technologie BiCMOS de 0.8 micron.

RAHAL, Ali **DIPLÔME: Ph.D.**

TITRE:

Étude et conception de sources de fréquence intégrée en ondes millimétriques.

RÉSUMÉ:

Le but de ce travail de recherche est de développer une source de fréquence stable et fiable pour des applications en bande Ka et V, soit de 38 de 60 GHz.

PROBLÉMATIQUE:

La révolution des systèmes de communication spatiale a suscité les dernières années un besoin grandissant pour les fréquences micro-ondes. Les bandes spectrales allouées entre 2 et 18 GHz sont presque saturées pour servir les nouvelles applications, la tendance est vers l'utilisation des ondes millimétriques (38, 60 et 94 GHz), où un système à bande relativement étroite peut accommoder les services de plusieurs systèmes de basse fréquence. La réussite de ces systèmes repose sur le développement de composants électroniques à haute performance. Plus particulièrement, les générateurs de fréquence qui représentent le cœur des systèmes de communication. Présentement, au-delà de 18 GHz les sources de fréquence à diodes Gunn sont les plus utilisées. Ces diodes sont connues pour leur faible rendement et leur sensibilité thermique ce qui complique la stabilisation de la source.

MÉTHODOLOGIE:

Dans le cadre de cette thèse, nous proposons la mise au point d'une nouvelle source stable et à haute efficacité. Cette source sera principalement basée sur l'intégration d'un oscillateur micro-onde à faible bruit couplé à un nouveau multiplicateur de fréquence (Tripleur). Le multiplicateur sera conçu en utilisant des nouvelles diodes varacteurs à caractéristique symétrique opérant à zéro volt DC. Les difficultés majeures que nous prévoyons rencontrer sont surtout dans les mesures des non-linéarité de la diode, qui est essentiellement un élément réactif. La caractérisation d'un monoport à plusieurs harmoniques ainsi que le montage nécessaire pour ces mesures, constituent une des originalités de ce travail. Une autre difficulté que nous aurons à surmonter, est la conception et la réalisation des circuits d'adaptation à large bande, qui doivent présenter à la diode des charges optimales à la fréquence fondamentale et aux harmoniques. Nous procédons à la caractérisation et à la modélisation d'un vecteur. Ensuite, nous compléterons les étapes de simulation, construction, optimisation et tests.

RÉSULTATS:

Nous avons effectué les mesures DC et paramètre S (jusqu'à 40 GHz) afin de caractériser la diode. Un modèle électrique équivalent est construit et des simulations non-linéaires (moyennant la technique harmonic-Balance) ont été effectuées. Suite à ça, deux prototypes sont conçus (60 GHz et 93 GHz) et les mesures effectuées concordent bien avec le résultat prévu par simulation. Le travail continu dans le sens de l'évaluation expérimentale à large signal de la diode et on prévoit la construction d'autres prototypes à 38 et à 60 GHz.

REID, Benoît **DIPLÔME: Ph.D.**

TITRE:

Étude de la dynamique ultra-rapide des porteurs dans les nanostructures.

RÉSUMÉ:

Les alliages III-IV utilisés pour la fabrication des composants photoniques à puits quantiques fournissent des performances très élevées. Néanmoins, une étude du transport des porteurs s'avère nécessaire dans les structures à puits quantiques. La performance est de plus liée à la géométrie, ce qui multiplie les possibilités.

PROBLÉMATIQUE:

L'introduction de puits quantiques dans les lasers à semi-conducteurs a permis d'en améliorer les performances. Cependant, dans bien des cas, les résultats sont moins probants que ceux prédits par les modèles. Récemment, plusieurs modèles ont montré l'influence du transport de charge sur différentes propriétés des diodes lasers à puits quantiques. On peut citer, entre autres, l'influence du transport sur la bande passante de modulation et sur le comportement en température des diodes. Il est donc important de bien comprendre les différents aspects du transport des charges dans les hétérostructures lasers.

MÉTHODOLOGIE:

Nous étudions expérimentalement le transport des porteurs dans les diodes lasers à puits quantiques par la photoluminescence standard et la photoluminescence résolue en temps. La résolution temporelle se fait par la technique dite d'*upconversion.* Ce montage nécessite la construction d'un laser à impulsions ultra brèves. Les études théoriques se feront à l'aide d'un simulateur Monte Carlo – Poisson. Finalement, il faudra effectuer des mesures sur des échantillons à puits quantiques appropriés.

RÉSULTATS:

Un laser Tisaphir produisant des impulsions d'environ 35 fs à un taux de répétition de 80 MHz a été construit. Le système de photoluminescence résolue en temps a été monté. Ce système nous permet d'obtenir une résolution temporelle de 100 fs. Des mesures ont été effectuées sur différents échantillons de diodes lasers émettant à 1.55 μm et l.3 μm. Un programme a été mis au point pour calculer la structure de bandes de ces hétérostructures et plusieurs simulations Monte Carlo ont été effectuées dans le but de comprendre les résultats de la photoluminescence. L'influence du couplage colombien entre les électrons et les trous a été étudiée.

Pour la suite, nous voulons finaliser la compréhension des résultats pour produire une thèse sur l'injection des électrons et des trous dans les puits quantiques en régime statique et transitoire.

REJEB, Chedly **DIPLÔME: Ph.D.**

TITRE:

Étude des processus de transfert ultra-rapides des porteurs dans les hétérostructures.

RÉSUMÉ:

Grâce à leurs performances remarquables, les hétérostructures III – V sont utilisées dans plus d'une application. Toutefois, ces performances et la dynamique des porteurs à l'intérieur de ces hétérostructures sont étroitement corrélées. Améliorer ces performances exige la compréhension de la dynamique ultra-rapide de transfert et de transport des porteurs.

PROBLÉMATIQUE:

Les hétérostructures III – V sont d'une grande importance dans la fabrication de composants optoélectroniques. Avec ces matériaux, il est possible de concevoir des commutateurs électro-optiques ultra-rapides. De plus, grâce à leurs propriétés optiques et de transport, ces composés sont utilisés dans les structures lasers. Ces matériaux sont d'une grande importance pour les systèmes de communication. Les performances des composants optoélectroniques sont contrôlées par la dynamique ultra-rapide des porteurs et sont souvent limitées par la vitesse de transfert de ces porteurs entre puits quantiques et barrières. La connaissance détaillée des processus de transfert et de capture (dans les puits) est alors d'une grande nécessité pour la conception de composants optoélectroniques ou photoniques ultra-rapides.

MÉTHODOLOGIE:

Nous étudions les propriétés optiques et de transport des structures laser à puits quantiques par photoluminescence standard (PLS) et photoluminescence résolue dans le temps (PLRT). La dynamique ultra-rapide des porteurs est sondée par la technique dite de conversion vers des fréquences supérieures. Afin de mieux comprendre les processus de transfert, identifier et évaluer certains paramètres qui les contrôlent, les résultats obtenus sont analysés et confrontés à des modèles théoriques.

RÉSULTATS:

Nous avons effectué des mesures de PLRT sur des échantillons d'$In_{1x}Ga_xAs_{1y}P_y$ émettant à 1.55 et à 1.3µm respectivement. Le laser Ti-saphire utilisé opérait en régime pulsé (λ= 740 nm), avec un taux de répétition de 82 MHz et une largeur temporelle de l'impulsion de 100 fs. Ces mesures reflètent le transfert ultra-rapide des porteurs des barrières vers les puits. Nous avons aussi effectué des mesures de PLS sur ces mêmes structures.

Pour la suite, nous allons analyser les données obtenues et les comparer à certains modèles théoriques. Nous continuerons d'étudier la dynamique de transfert et de transport des porteurs en effectuant des mesures de PLRT et PLS à des températures, puissances et longueurs d'onde d'excitation diverses.

RIDOUH, Kamel **DIPLÔME: M.Sc.A.**

TITRE:

Développement d'une librairie de cellules paramétrables et d'un générateur de macro-cellules pour la conception de circuits intégrés à haute fréquence.

RÉSUMÉ:

Le présent projet vise d'abord le développement et l'intégration d'une librairie de cellules entièrement paramétrable, construites à partir d'une structure Mer-de-porte (Sea-of-Gates). Finalement, à partir des cellules que cette librairie, nous désirons adapter un outil de placement et routage (P&R) existant (conçu pour des fréquences standards, e.g. inférieur à 200 MHz), afin de concevoir un générateur de macro-cellules pour la conception de circuits intégrés à haute fréquence.

PROBLÉMATIQUE:

Lorsqu'un concepteur de circuits intégrés décide de s'aventurer à des vitesses de fonctionnement excédant 400 MHz, il doit généralement utiliser des techniques de conception manuelle au niveau polygone. De plus, il existe un champ d'application ciblant une cadence d'horloge entre 400 MHz et 1 GHz, que les technologies actuelles CMOS peuvent atteindre dans certaines classes d'application et d'architecture. Considérant qu'uniquement certains modules, bien délimités d'un circuit complet, fonctionnent à plus de 400 MHz, nous souhaitons, à partir d'un outil de P&R développé en collaboration avec la société Design Workshop, développé un générateur universel pour ce type de modules. Nous parlons de fonction universelle, par opposition aux générateurs spécialisés pour un seul type de module, comme par exemple l'oscillateur. Les autres modules, ceux fonctionnant à moins de 400 MHz, pourront être développés à l'aide des générateurs conventionnels.

MÉTHODOLOGIE:

Trois points importants sont à développer:

- À partir d'une image de base indépendante de la fonderie, c'est-à-dire une structure d'un pré-diffusé de type mer de portes sur laquelle nous retrouvons les transistors et qui définit les ressources de routage disponible, nous allons d'abord procéder à l'élaboration des cellules essentielles. Par conséquent, de manière compatible avec l'image, il s'agit de concevoir un ensemble de cellules de base (portes élémentaires, bascules, amplificateurs) et de structures rapides (compteurs en anneaux, machine à états rapides, VCO numériques simples, etc.).
- Ensuite afin de rendre paramétrable ces cellules les points suivants seront considérés:
  - Une même cellule doit être accessible par différentes technologies (à 2 couches de métal)
  - La taille des transistors doit être un paramètre choisi par le concepteur ou par un outil spécialisé: aussi bien les transistors de type P que de type N;
  - La taille des alimentations, dans la région p et dans la région P, doit aussi être un paramètre à choisir
  - Le nombre de canaux entre la région P et la région N doit également être un paramètre.
- Finalement, à partir de l'outil de P&R conventionnel, c'est-à-dire dont les métriques de fonctions objectives sont conventionnelles (e.g. la surface et le délai), nous allons explorer de nouvelles métriques, à partir de modèles, afin de supporter la haute fréquence. Les modèles proviendront de projets conjoints. Puisque nous parlons de générateur universel, nous serons intéressé à comparer les résultats avec ceux du générateur spécialisé.

RÉSULTATS:

Le générateur de cellules de base et des structures rapides est complété. Nous avons conçu un circuit test (Mitel 1.5µm) que nous avons ensuite soumis pour fabrication. Le circuit sera testé dès son retour. Finalement nous débuterons le troisième point des objectifs.

ROBIN, Simon **DIPLÔME: M.Sc.A.**

TITRE:

Nouvel implant urinaire dédié à la stimulation neuronale sélective

RÉSUMÉ:

Au Québec seulement, des milliers de personnes souffrent de défaillance du système urinaire. Le problème sur lequel nous travaillons est celui de la rétention urinaire des personnes ayant subi des lésions au niveau de la colonne vertébrale (paralysie). Notre but est de remplacer les systèmes actuels (les sacs par exemple) et de restaurer les fonctions vitales du système urinaire de façon à améliorer la qualité de vie.

PROBLÉMATIQUE:

L'approche est la suivante: l'utilisation d'un stimulateur neuro-musculaire miniaturisé implantable. Ce stimulateur, à l'aide d'un contrôleur externe, stimule le nerf S2 partant de la colonne et allant jusqu'au muscle de la vessie et du sphincter. Une nouvelle technique de stimulation sélective est proposée pour provoquer l'écoulement tout en évitant la contraction simultanée du muscle de la vessie et du sphincter, qui entraîne une pression excessive indésirable.

MÉTHODOLOGIE:

Le système de stimulation que nous proposons est composé de deux parties principales soient l'implant et le contrôleur externe. Il s'agit d'un système versatile et fonctionnel qui répond au problème complexe de la neurostimulation tout en étant simple d'utilisation pour l'usager. C'est l'unité externe qui contrôle la stimulation tout en assurant l'alimentation en énergie de l'implant via une interface à couplage magnétique à haute fréquence. Lors de chaque stimulation, tous les paramètres sont transmis à l'implant par le contrôleur. Les données sont encodées de façon à conserver un synchronisme entre le contrôleur et l'implant tout en y assurant leur validité. Le contrôleur externe est portatif et très simple d'utilisation. Un écran à cristaux liquides permet de sélectionner les paramètres envisagés.

L'implant est constitué d'un circuit imprimé circulaire d'environ 3,5 centimètres de diamètre. L'implant est composé de trois blocs soient l'entrée, le traitement et la sortie. Un circuit intégré programmable non volatile (FPGA) est utilisé pour contenir toute la partie numérique de traitement. Le circuit est moulé dans une substance dure pour assurer sa rigidité et ensuite encapsulé dans un produit bio-compatible. Une électrode spéciale est utilisée au niveau du nerf et des connecteurs étanches de notre conception sont utilisés pour relier l'électrode à l'implant.

RÉSULTATS:

Notre système est totalement fonctionnel et il est à l'essai en ce moment au département d'urologie de l'Université McGill. Nous avons aussi conçu la partie de contrôle et de génération des stimulus sur un circuit intégré de technologie BiCMOS 0.8 micron. Ce circuit a été fabriqué par l'entremise de la Société Canadienne de Microélectronique. Nous travaillons présentement à tester ce circuit intégré, les résultats préliminaires semblent intéressants.

RYEL, Kim **DIPLÔME: M.Sc.A.**

TITRE:

Étude théorique sur des cristaux photoniques bidimensionnels pour un système *InGaAsPinP* dans l'infrarouge proche et dans le visible.

RÉSUMÉ:

Récemment, des structures diélectriques périodiques ont été proposées pour éliminer la propagation des ondes électromagnétiques sur une certaine bande de fréquences (bande interdite photonique). Ces nouveaux matériaux sont appelés des cristaux photoniques. Ceux-ci sont le siège de nouveaux phénomènes comme le confinement de la lumière et l'élimination de l'émission spontanée. Ainsi, les cristaux photoniques pourraient bouleverser le domaine des lasers, des radars et des télécommunications optiques.

PROBLÉMATIQUE:

Récemment, de nombreuses études théoriques et expérimentales ont été effectuées sur des cristaux photoniques bidimensionnels, puisqu'il est beaucoup plus difficile de fabriquer des cristaux photoniques tridimensionnels. De plus, la majorité de ces études ont été faites sur des matériaux dont les constantes diélectriques ne dépendent pas de la fréquence et ne possèdent pas une partie imaginaire. Or, la plupart des matériaux utilisés pour la fabrication des cristaux photoniques ne satisfont pas ces deux propriétés dans la région visible du spectre électromagnétique. Nous avons décidé d'étudier le comportement d'un cristal photonique composé de tiges cylindriques $In_{1-x}Ga_xAs_yP_{1-y}$ sur un substrat *InP* pour des longueurs d'ondes de l'infrarouge proche et du visible.

MÉTHODOLOGIE:

Pour ce faire, la méthode théorique la plus appropriée pour ce genre d'études est la technique de la matrice de transfert introduite par J B Pendry et A Mackinnon. La technique consiste à discrétiser les équations de Maxwell sur un maillage. La structure de bande d'un cristal photonique de dimensions infinies est calculée en obtenant les valeurs propres de la matrice de transfert pour une cellule unitaire. Le spectre de transmission d'un cristal photonique de dimensions finies est alors déterminé en transformant la matrice de transfert sur une base d'onde plane. Les constantes diélectriques des matériaux $In_{1-x}Ga_xAs_yP_{1-y}$ sont calculées en utilisant le modèle d'Adachi.

RÉSULTATS:

Notre étude consiste à analyser le spectre de transmission pour diverses compositions de tigres cylindriques pour des réseaux carrés et triangulaires par rapport aux rayons des tiges et par rapport à l'angle d'incidence de l'onde électromagnétique.

SAAB, Khaled **DIPLÔME: Ph.D.**

TITRE:

Outil automatique de génération de vecteurs de test pour les circuits analogiques.

RÉSUMÉ:

La déviation des caractéristiques d'une composante dans un circuit analogique se reflète par la déviation d'un ou de plusieurs paramètres de sortie. La relation qui existe entre les deux est définie par la sensibilité. L'étude de la sensibilité a été adaptée pour l'analyse de la testabilité ainsi que pour la génération des vecteurs de test de circuits analogiques.

PROBLÉMATIQUE:

Pour de petits circuits, cette analyse pourrait se faire manuellement, mais pour un circuit de taille moyenne qui peut comprendre plusieurs milliers de composantes, une certaine automatisation est nécessaire. Pour les pannes catastrophiques (i.e. des pannes dues à un ajout ou à un manque de métal dans le circuit intégré), l'analyse de la sensibilité devient inadéquate.

MÉTHODOLOGIE:

Pour les fautes douces, la technique de calcul de sensibilité par la méthode des circuits adjoints s'avère appropriée. En effet, la méthode des circuits adjoints permet de calculer la sensibilité du paramètre de sortie par rapport à toutes les composantes du circuit en deux simulations SPICE seulement.

Pour les pannes catastrophiques, une approche basée sur le calcul du gradient sera utilisée. Cette méthode permet de combiner l'efficacité de la méthode des circuits adjoints (nombre réduit de simulation) à une analyse de premier ordre des fautes catastrophiques.

RÉSULTATS:

À l'état actuel, l'outil d'analyse de sensibilité LIMSoft offre les possibilités suivantes:

- Analyse automatique de la sensibilité et du gradient d'un circuit analogique quelconque continu dans le temps. Cette analyse se fait soit dans le domaine temporel, soit dans le domaine fréquentiel ou dans le domaine de tension continue (transitoire, AC ou DC).
- Génération d'un dictionnaire réaliste de fautes catastrophiques fondée sur l'analyse du «layout» du circuit.

SAHRAOUI, Nadjiba **DIPLÔME: Ph.D.**

TITRE:

Ordonnancement et allocation d'applications multidimensionnelles pour la synthèse d'accélérateurs à logique reconfigurable.

RÉSUMÉ:

Dans les applications scientifiques et de traitement du signal, une grande fraction du temps d'exécution total est attribué à l'exécution de sections critiques composées de boucles imbriquées. Ces boucles présentent un potentiel de parallélisme très élevé et par conséquent, exploiter le parallélisme inhérent à cette structure répétitive, peut réduire de façon significative le temps d'exécution total d'une application. Dans ce projet, nous explorons de nouvelles techniques de transformation de boucles pour extraire un maximum de parallélisme. Ces techniques seront par la suite, adaptées à du parallélisme à grain fin et à la synthèse de circuits reconfigurables.

PROBLÉMATIQUE:

La conception de circuits intégrés pour accélérer l'exécution des sections de code critiques demande un investissement important en frais non récurrents. Par contre, l'utilisation d'accélérateurs reconfigurables conçus à partir de circuits FPGA permet d'obtenir une performance s'approchant de celle d'un circuit intégré, mais sans avoir à se soucier du volume de production pour amortir les frais non récurrents. De plus, considérant que pour les applications visées les algorithmes évoluent rapidement, l'aspect *reprogrammable* de ces circuits est très attrayant.

D'autre part, considérant qu'une grande quantité d'application à accélérer existe actuellement sous forme de programmes écrits en langage C (réalisation logicielle), il s'agit de voir laquelle des deux approches de synthèse suivantes donne les meilleurs résultats:

- Transformation du C en VHDL, pour ensuite aller vers un format d'entrée pour synthèse FPGA (i.e. un format *netlist* SNF
- Passage direct du C à un format d'entrée pour FPGA.

Notez que l'approche 1 comporte une étape intermédiaire de plus que l'approche 2, mais elle permet d'utiliser les outils de synthèse commerciaux existants (Synopsys, Autologic ™. etc.).

MÉTHODOLOGIE:

Nous explorons de nouvelles méthodes de restructuration de boucles pouvant être adaptées à du parallélisme à grain fin et à la synthèse de circuits reconfigurables. Le formalisme mathématique de ces méthodes repose sur des techniques de programmation linéaire ou en nombre entier. Nous focaliserons en particulier sur une technique dite de *retiming multidimensionnelle,* prouvée et démontrée optimale. Cette technique est récente et son application pour synthétiser des circuits sous des contraintes de ressources (cas des FPGA) nous semble prometteuse. Un algorithme d'ordonnancement dérivé de cette technique est en cours de développement. Finalement, nous prévoyons d'expérimenter nos résultats avec la carte XCIM™ de la société MiroTech.

RÉSULTATS:

Le projet est actuellement à sa phase de démarrage. Une étude bibliographique complète sur les techniques de transformation de boucles a été achevée. La technique de *retiming* multidimensionnelle est en cours d'étude.

SHADITALAB, Manoucher **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation sur FPGA d'une transformée rapide de Fourier (TRF) reconfigurable basée sur une architecture parallèle et pipeline.

RÉSUMÉ:

Ce travail consiste à concevoir et à réaliser sur FPGA reconfigurables la fonction TRF avec un taux d'échantillonnage paramétrisable illimité. Plus précisément, il s'agit d'une réalisation matérielle pour la carte XCIM^{TM} de la compagnie MiroTech. L'implantation orientée matérielle de la «TRF radix 2» est axée sur le fait que les données sont dirigées en parallèle vers un FPGA, en format mot, depuis une SRAM externe. L'accélération de calcul en utilisant les ressources matérielles minimales par rapport à des implantations de la fonction TRF qui existent sur le marché, démontrent que la méthode adoptée est efficace et robuste.

PROBLÉMATIQUE:

L'algorithme radix 2 qui a été adopté par plusieurs compagnies de FPGAs tel que XILINX et ACTEL, est un algorithme basé sur l'architecture de type DALUT (Distributed Arithmetic Look Up Table). Cette méthode offre une vitesse de calcul supérieure à celle d'un microprocesseur DSP. Cependant, dès que le taux d'échantillonnage du signal dépasse 1024 échantillons, la taille du circuit et le coût du matériel deviennent très élevés pour justifier l'accélération de calcul de la fonction TRF sur FPGAs.

MÉTHODOLOGIE:

Dans un premier temps, nous traitons l'algorithme de TRF radix 2 en deux parties. La première partie consiste à réaliser le chemin des données (datapath) qui a comme but d'intégrer tous les composants de type multiplexeurs, démultiplexeurs, multiplieurs, additionneurs, soustracteurs et tous les registres nécessaires à l'architecture pipelinée.

La deuxième partie est la partie de contrôle. L'unité de contrôle (UC) se compose de trois machines à états finis (FSM) fonctionnant en parallèle. L'UC gère l'algorithme de TFR ainsi que les écritures et les lectures de la RAM (changement du sens des données). Il faut noter que sur le bus qui relie les FPGAs et les 64 bits de données, on ne peut pas lire et écrire en même temps. L'UC gère aussi les unités d'interface avec la RAM situées sur le FPGA contenant le chemin des données.

RÉSULTATS:

La TRF a été réalisée en VHDL, puis synthétisée à l'aide de l'outil de synthèse Synario^{TM}. La deuxième étape consiste à générer un format *netlist* XNF pour ensuite l'implanter sur des FPGAs. Dans cette deuxième étape, le chemin des données et l'unité de contrôle ont été placées et routées. La première version de l'ensemble de tous les modules a été implantée sur deux FPGAs de série XC4000e_13. Notons finalement que l'unité de contrôle ainsi que le chemin des données ont été testées au niveau de simulation fonctionnelle.

SHAIEK, Boubaker **DIPLÔME: M.Sc.A.**

TITRE:

Implantation de BIST basé sur la stratégie de test par oscillation.

RÉSUMÉ:

Le projet en question consiste à tester tout circuit analogique et ce en le bouclant sur lui-même dans le but de le faire entrer en mode d'oscillation. Après quoi, on mesure la fréquence d'oscillation: si celle-ci est à l'intérieur d'une marge que le concepteur définit après simulation, le circuit passe le test, sinon il échoue et à ce moment l'adresse du bloc défaillant sera enregistrée dans une RAM qui est accessible en lecture pour l'usager grâce à deux boutons UP et DOWN qui contrôlent le défilement de la RAM. Une fois que le test d'un bloc est fini, on passe à un autre bloc fonctionnel, jusqu'à la fin de tous les blocs. Il est à noter que lors de l'enregistrement de huit adresses de blocs défaillants le test s'arrête même si tous les blocs ne sont pas testés.

PROBLÉMATIQUE:

Dans le domaine de l'intégration à grande échelle, il est très important de nos jours d'inclure dans les circuits que nous concevons d'autres circuits pour vérifier si notre conception fonctionne et sinon pour quelles raisons. Alors que pour les circuits numériques des techniques très performantes ont été développées, pour les circuits analogiques les techniques employées varient d'un circuit à l'autre ce qui fait qu'il n'y a pas de technique fiable et qui ne change pas d'un circuit à un autre. On propose l'implantation d'une technique qui est assez généralement valide pour un circuit analogique.

MÉTHODOLOGIE:

Le problème de l'implantation du BIST basé sur la stratégie de test par oscillation a été traité selon les étapes suivantes:

- Une routine écrite en langage C capable de lire un fichier SPICE, où le concepteur décrit son modèle analogique, et d'insérer automatiquement des commutateurs pour assurer un mode de fonctionnalité normale ou un mode de test. Le programme est capable d'insérer un circuit additif dans le cas ou le circuit à tester est de premier ordre.
- Une partie matérielle constituée d'un fréquencemètre numérique écrit en VHDL qui permet de mesurer la fréquence de chaque bloc fonctionnel et de la comparer à une signature déjà mémorisée dans une ROM. Le même fréquencemètre assure le choix du bloc à tester ainsi que le passage automatique d'un bloc à tester à un autre, sans oublier la sauvegarde des adresses défaillantes dans une RAM.
- La dernière étape consiste à générer le layout du fréquencemètre et de le simuler pour voir si les performances (fréquence maximale mesurée) ne se sont pas dégradée.

RÉSULTATS:

Le programme d'insertion de BIST écrit en langage C est réalisé et testé sur quelques fichiers SPICE. La description comportementale en VHDL du fréquencemètre ainsi que la synthèse sont réalisés et simulés avec succès. L'opération de traduction des fichiers de Synopsys vers Cadence version 9504 pour l'extraction du layout est finie et il ne reste que l'extraction du layout ainsi que la simulation définitive.

SOUFI, Mohamed **DIPLÔME: Ph.D.**

TITRE:

Caractérisation et amélioration de la testabilité séquentielle pseudo-aléatoire des circuits VLSI.

RÉSUMÉ:

Cette thèse a comme objectif l'étude, la caractérisation et le développement de nouvelles méthodes d'insertion de points de test et de points d'initialisation pour les circuits séquentiels dans un contexte de test pseudo-aléatoires.

PROBLÉMATIQUE:

Tous ces problèmes sont NP-Complet. Dans cette thèse, nous analyserons ces problèmes et nous proposerons plusieurs heuristiques d'insertion de points de test et d'initialisation pour remédier aux problèmes de test des circuits séquentiels.

MÉTHODOLOGIE:

Nous étudierons le processus d'initialisation dans les circuits séquentiels. Nous proposerons un modèle basé sur des chaînes de Markov modifiées pour modéliser les circuits séquentiels. Ceci nous permettra de montrer que l'initialisation avec des vecteurs pseudo-aléatoires est faisable dans plusieurs cas. Pour les circuits résistant à l'initialisation par des vecteurs pseudo-aléatoires, nous développerons des heuristiques de remise à 0 partielle afin de les transformer en circuits faciles à initialiser.

Une nouvelle mesure de testabilité dite mobilité sera introduite. Nous montrerons que la mobilité est en mesure de couvrir des problèmes de testabilité séquentiels qui ne sont pas couverts par les mesures de testabilité classiques. Nous insistons ici qu'il ne s'agit pas de limitations reliées aux hypothèses d'indépendance souvent utilisées dans les mesures de testabilité classiques, mais plutôt de limitations reliées à la nature séquentielle des circuits séquentiels. La mobilité est basée sur le concept de probabilité de transition. Nous développerons également dans cette thèse une méthode basée sur la mobilité pour estimer la dissipation de puissance dans les circuits CMOS séquentiels.

Finalement, nous aborderons le problème de l'insertion des points de test dans les circuits séquentiels. En utilisant la mobilité et une analyse probabiliste des problèmes de détection, nous développerons un ensemble d'heuristiques d'insertion capables de transformer les circuits séquentiels résistants aux vecteurs pseudo-aléatoires en circuits faciles à tester par des vecteurs pseudo-aléatoires.

RÉSULTATS:

Nous avons déjà réalisé plusieurs publications sur le problème d'initialisation des circuits séquentiels ainsi que sur l'effet des points d'initialisation sur la testabilité.

Dans d'autres publications, nous avons apporté quelques contributions sur le test à haute vitesse. Nous avons complété cette thèse sur le problème de l'insertion des points de test dans les circuits séquentiels.

SYLLA, *Iboun Taimiya* **DIPLÔME: Ph.D.**

TITRE:

Analyse de la testabilité des circuits RF.

RÉSUMÉ:

L'objectif de notre projet est d'effectuer une analyse de la testabilité des circuits RF; cette analyse devrait aboutir à l'élaboration de méthodes ce test des circuits RF. Ainsi, le projet se divise en deux temps forts soit une partie analyse et une partie élaboration de la méthodologie.

PROBLÉMATIQUE:

Au cours des dernières années, les progrès réalisés dans la technologie des circuits intégrés analogiques et mixtes (analogiques/numériques) et leurs applications dans le domaine des télécommunications (téléphones sans fil et cellulaires compacts) ont introduit un marché potentiel pour les systèmes RF. De ce fait, la testabilité des circuits intégrés RF est devenu un enjeu de taille pour l'ingénieur. Cette testabilité est limitée par trois principaux problèmes:

- L'adaptation 50 Ohms
- La linéarité des circuits
- La fiabilité des tests

MÉTHODOLOGIE:

La méthode que nous proposons consiste dans un premier temps à réaliser une interface de test haute fréquence qui permettra de tester les circuits à haute fréquence dans un environnement 50 Ohms.

Dans un deuxième temps, il sera question d'effectuer une analyse des systèmes RF linéaires et nonagénaires afin de pouvoir déduire pour chacune de ces classes de circuits une méthode de test appropriée.

Dans un troisième temps, le travail consistera en la transformation des approches développées sous forme d'outils CAO destinés à l'analyse de la testabilité, à la génération des signaux d'entrée de test (vecteurs de test) et aux simulations de pannes afin d'assister les ingénieurs à apporter les améliorations nécessaires durant les différentes phases de développement d'un système RF intégré l'automatisation de ces différentes méthodes élaborées afin de pouvoir disposer de méthodes de test fiables.

RÉSULTATS:

Une interface de test haute fréquence a déjà été réalisée. Pour réaliser cette interface, une cellule intégrée dans le circuit à tester a été conçue. Deux méthodes de test ont aussi été élaborées, une première destinée aux circuits linéaires qui se base sur l'utilisation des paramètres et une deuxième destinée aux circuits non-linéaires qui est basée sur l'analyse de la fonction de transfert en puissance.

VAILLANCOURT, Pierre **DIPLÔME: M.Sc.A.**

TITRE:

Étude de la propagation des ondes électromagnétiques d'un lien radiofréquence de transfert d'énergie dédié à un implant de stimulation du cortex visuel.

RÉSUMÉ:

Il y a plus de 100 000 personnes totalement aveugles au Canada et aux États-Unis. De ce nombre, seulement 15% peuvent se déplacer de façon autonome et seulement 20% peuvent lire le braille. Notre but est de permettre aux non-voyants de retrouver une vision limitée mais fonctionnelle.

PROBLÉMATIQUE:

Afin de permettre aux non-voyants de retrouver une vision fonctionnelle, nous utilisons un système comprenant un implant cortical stimulant directement le cortex visuel du patient. Cet implant devrait être actif pendant de très longues périodes et générer des stimulations de façon continue. Étant donné la consommation d'énergie requise par la stimulation et des limites des systèmes d'accumulation de charge, l'implant devra être alimenté au moyen d'un lien radiofréquence à transfert d'énergie par couplage inductif. Le rendement de ce type de lien étant assez faible, la majorité de l'énergie rayonnée se propage librement dans l'espace et une portion de cette énergie est absorbée par les tissus de la tête. Puisque l'exposition prolongée aux radiations électromagnétiques peut engendrer des complications médicales, il est primordial de connaître et de contrôler la propagation de l'énergie du lien radiofréquence.

METHODOLOGIE:

Puisque nous devons calculer la propagation des ondes électromagnétiques du lien de transfert d'énergie dans un espace non-uniforme dont la géométrie est très complexe, c'est-à-dire une tête humaine, nous ne pouvons pas employer les méthodes analytiques traditionnelles. Nous utilisons donc la méthode numérique "Finite-Difference Time-Domain" qui calcule la propagation selon les équations différentielles discrétisées de Maxwell. Cette méthode nous permet de connaître les champs électriques et magnétiques pour tous les points de l'espace tridimensionnel en tout moment.

À partir de ces résultats, nous cherchons à optimiser les paramètres du lien de transfert d'énergie qui sont la fréquence de la porteuse, la taille des antennes inductives, leurs positions respectives et l'impédance d'entrée du circuit de l'antenne réceptrice afin de réduire la quantité d'énergie absorbée localement par les tissus biologiques. Dans un premier temps, nous étudions le comportement d'une antenne émettrice seule afin d'observer l'interaction entre la porteuse et les tissus. Dans un deuxième temps, nous ajouterons l'antenne réceptrice afin de modéliser le lien complet et de calculer l'énergie maximale des points chauds qui se forment dans le cerveau ainsi que l'énergie disponible pour l'implant.

RÉSULTATS:

La modélisation d'une antenne émettrice et d'un cerveau simplifié "boxbrain" ont été réalisés. Les résultats de l'étude du lien pour la gamme de fréquence allant de 20MHz à 200MHz montrent que plus la fréquence de la porteuse augmente, plus l'énergie de la porteuse pénètre profondément dans les tissus. Le modèle de l'antenne réceptrice est complété et un modèle de cerveau plus réaliste est en développement.

WONG,. Tony **DIPLÔME: Ph.D.**

TITRE:

Répartition automatique des tâches dans la simulation en temps réel des réseaux électriques.

RÉSUMÉ:

La coordination des activités à l'intérieur d'un système distribué est normalement assurée par une politique de répartition des tâches. La répartition des tâches permet une utilisation équitable des ressources et améliore le rendement du système. De plus, un ordonnancement efficace peut diminuer le temps d'exécution des tâches en profitant du parallélisme (implicite ou explicite) du programme parallèle.

PROBLÉMATIQUE:

La simulation en temps réel de grands réseaux électriques exige une très grande puissance de calculs. L'utilisation de l'ordinateur parallèle peut simplifier le travail en exploitant le parallélisme implicite et explicite du problème. L'objectif de cette recherche consiste à trouver une méthode de répartition des tâches capables de distribuer efficacement les calculs dans le réseau des processeurs.

MÉTHODOLOGIE:

Le problème de répartition des tâches peut être vu comme un problème de recherche heuristique dans lequel il est nécessaire de trouver une politique de gestion capable de respecter toutes les contraintes spatiales et temporelles imposées. La méthode de répartition des tâches proposée repose sur le principe ode la complétude de l'algorithme A* et sur l'admissibilité des heuristiques. Une approche pragmatique doit être envisagée pour tenir compte de la limitation de la mémoire disponible pour la recherche heuristique. L'ensemble de ces considérations donnera lieu à une nouvelle méthode de répartition des tâches. Cette nouvelle méthode, basée sur un algorithme de recherche heuristique, doit être en mesure d'effectuer le découpage dynamique de l'espace de solution. Ainsi, il est possible de diminuer son temps d'exécution et d'obtenir une complexité temporelle et spatiale bornée.

RÉSULTATS:

Une méthode de répartition automatique des tâches a été réalisée pour le simulateur en temps réel HyperSim d'IREQ. Le répartiteur des tâches est basé sur un nouvel algorithme de recherche DPSM (Dynamic Pruning Search Method). Le DPSM est une méthode de recherche heuristique capable de tenir compte de la mémoire disponible tout en conservant les caractéristiques de la complétude et l'optimalité de l'algorithme A*.

L'analyse et la présentation dans un cadre formel des heuristiques utilisées. La coordination d'une gestion d'exceptions dans la méthode de répartition des tâches. Les exceptions sont des cas où la solution d'une répartition ne peut être obtenue. L'étude de faisabilité sur la proposition automatique de topologies d'interconnexions pour faciliter la répartition des tâches.

YUAN, Peijian **DIPLÔME: Ph.D.**

TITRE:

Développement d'un algorithme de compression d'images pour une architecture parallèle de type SIMD.

RÉSUMÉ:

La compression de l'image animée est un domaine de recherche en pleine croissance. Le nombre d'applications industrielles en fait foi: la vidéoconférence, la vidéophonie, la télévision numérique, la télévision haute définition (HDTV), etc. Le problème de la compression d'image est un besoin très élevé en nombre d'opérations par seconde (GOPs), de sorte que les architectures de processeurs d'ordinateurs contemporains (e.g. RISC) ne suffisent pas. Dans ce projet, nous explorons l'implantation de la compression d'image sur la machine PULSE du GRM, une architecture parallèle programmable de type SIMD (Single Instruction Multiple Data) conçue au GRM.

PROBLÉMATIQUE:

Pour faciliter le développement de produits utilisant la compression des standards ont été définis: la recommandation H.261 pour la vidéoconférence et MPEG (Moving Pictures Experts Group) pour la compression de l'image animée. On retrouve deux opérations de base dans ces standards: la transformation en cosinus (DCT pour Discrete Cosine Transform) et la prédiction du mouvement (motion estimation). Ces deux opérations, et plus particulièrement la deuxième, sont les plus exigeantes en terme de nombre de calcul à effectuer. Par exemple, alors que le standard H.261 peut demander jusqu'à 1.2 GOPS, 50% de ce besoin provient de la prédiction du mouvement. Il est donc impératif d'exploiter le parallélisme inhérent à cette opération répétitive, pour réduire de façon significative le temps d'exécution.

L'étape suivante sera d'extraire le parallélisme de l'opération DCT toujours en considérant l'architecture SIMD.

MÉTHODOLOGIE:

Plusieurs approches utilisant des architectures complètement dédiées sur circuits intégrés ont été proposées. Ces solutions demandent un investissement important en frais non-récurrents. Dans notre cas, l'approche se base sur une architecture beaucoup plus générale de type SIMD, programmable par logiciel. Considérant que dans l'application visée les algorithmes évoluent très rapidement, l'aspect programmable est donc ici très attrayant. Par conséquent, la machine PULSE est utilisée pour développer et comparer des algorithmes de compression. Nous concentrons d'abord nos efforts sur les algorithmes de prédiction du mouvement. Tous ces algorithmes ont pour noyau l'opération de reconnaissance de patrons (pattern matching) dans une image. Or, c'est de cette opération de recherche de patron que provient le besoin élevé de calcul, puisqu'elle est de complexité n^2 (avec n assez grand) et puisqu'elle doit être répétée des milliers de fois par seconde afin d'atteindre la contrainte minimale de l'animation (au moins 25 images/sec.). Deux solutions s'offrent, premièrement, extraire le parallélisme de l'opération de base en cherchant à minimiser le nombre de processeurs élémentaires utilisés sur PULSE et deuxièmement, extraire le parallélisme de l'opération de base simplifiée, c'est-à-dire une heuristique de recherche de complexité n ou $n \log n$ plutôt que n^2.

RÉSULTATS:

Trois versions de l'opération de reconnaissance de patrons pour la prédiction de mouvement sont en cours de développement, soit la méthode complète nommée FSM (*Full Search Method*) et deux heuristiques: la méthode CDS (*Conjugate Direction Search*) et CSA (*Cross Search Algorithm*). La méthode CSA semble la plus prometteuse jusqu'à maintenant, en termes d'utilisation de processeurs élémentaires.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés ci-haut sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels).

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme, Titre	Montant annuel	Période de validité
• Bois, G.	CRSNG individuelle Méthodes de partitionnement logiciel/matériel pour la conception de systèmes dédiés de haute performance	l5,000.00 $	1997 - 2000
• Haccoun, D.	CRSNG individuelle	27,300.00 $	1996 - 2000
• Houle, J.-L.	CRSNG individuelle "Algorithmes et architectures pour système à multiprocesseurs spécifiques"	18,350.00 $	1996 - 2000
• Houle, J.-L.	Hewlett Packard "Étude temps réel de réseaux électriques	80,000.00 $	1993 - 1997
• Kaminska, B.	CRSNG Coop "Advanced Optical Switching Systems"	140,000.00 $	1996 - 1999
• Kaminska, B.	CRSNG BNR/NT "Analog Circuit Manufacturability Analysis and Test Specification	89,000.00 $	1995 - 1998
• Kaminska, B.	Micronet, Centre d'Excellence "Design for Manufacturability"	13,500.00 $	1996 - 1997
• Kaminska, B.	CRNSG - Operating Grant "Testability of VLSI Circuits and Systems.	28,080.00 $	1994 - 1997
• Savaria, Y.	CRSNG individuelle "Méthodes de conception et test pour les circuits intégrés CMOS ultra-rapides"	34,850.00 $	1996 - 2000
• Savaria, Y.	Micronet "Design of Hardware/ Software Systems for Video Processing"	30,000.00 $	1997 - 1998
• Savaria, Y.	IRIS, "Computational Sensing for Vision and Robotics"	27,700.00 $	1996 - 1998
• Savaria, Y.	Nortel "Fault Modeling and Testability Methods forNT25 Bipolar Technology"	36,400.00 $	1996 - 1998
• Savaria, Y.	Ministère de la Défense Nationale "Study of Neural Networks for Clustering Radar Signal DREO"	25,000.00 $	1994 - 1997
• Savaria, Y.	Ministère de la Défense Nationale "Study of Algorithms and Architectures for Clustering Radar Signal"	21,000.00 $	1994 - 1997
• Sawan, M.	Nortel, "Design of a Digital Adaptive Time Domain Equalizer"	22,425.00 $	1997 - 1998
• Sawan, M.	Micronet, CRSNG, "High Performance CMOS Mixed-Signal Building Blocks"	36,000.00 $	1997 - 1998

Subventions, contrats et conventions de recherche individuelles (suite)

Chercheur	Organisme, Programme, Titre	Montant annuel	Période de validité
• Sawan, M.	Alliance Medical Inc. "Détecteur Ultrasonique du volume urinaire"	18,200.00 $	1994 - 1996
• Sawan, M.	Fondation de Polytechnique, "Lien de communication bidirectionnel dédié aux stimulateurs miniaturisés implantables".	12,000.00 $	1995 - 1996
• Sawan, M.	Alliance Medical Inc., "Design of Miniaturized Ultrasonic Devices"	21,000.00 $	1997 - 1998
• Sawan, M.	Ministère de l'Éducation du Québec "Soutien à l'organisation d'une conférence internationale"	10,000.00 $	1997 - 1998
• Sawan, M.	CRSNG individuelle "Circuits et technologies mixtes pour micro-stimulateurs et capteurs implantables"	19,000.00 $	1995 - 1999
• Sawan M.	CRSNG stratégique "Stimulateurs et capteurs implantables dédiés à la récupération des fonctions neuro-musculaires"	71,250.00 $	1995 - 1998

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme, Programme, Titre	Montant annuel	Période de validité
• Cerny, E., Savaria, Y., et 17 autres	FCAR centre, Groupe de Recherche Interuniversitaire en Architectures des Ordinateurs	125,000.00 $	1995 - 1998
• Currie, J.F., Meunier, M., et 4 autres	FCAR Équipe "Dispositifs micro-électroniques" (infrastructure)	40,000.00 $	1996 - 1999
• Elhilali, M., Sawan, M., Et 2 autres	Fondation Canadienne des Maladies du Rein "Modulation of Bladder Function Through Neurostimulation"	40,000.00 $	1995 - 1997
• Kaminska, B., Savaria, Y.,	Micronet, Centre d'Excellence "High-Speed Optical Active Inter-connects for on-Chip Access"	39,100.00 $	1994 - 1997
• Lacroix, S., Meunier, M.,	CRSNG Stratégique "All-Fiber Non Linear Devices"	97,500.00 $	1995 - 1998
• Maciejko, R., Savaria, Y., Masut, R.A.,	CRSNG équipement "Replacement Laser Tuber for an Ultrafast Photonic System"	40,543.00 $	1996 - 1997
• Martinu, L., Meunier, M.,	CRSNG Équipement "Variable Angle Spectroscopic Ellipsometer"	144,995.00 $	1996 - 1997
• Meunier, M., Ivanov, D.,	CRSNG Stratégique "PLD of Superionic Conductors"	111,690.00 $	1996 - 1999
• Meunier, M., Sacher, E.,	CRSNG Stratégique "Photon-Assisted Cleaning"	93,244.00 $	1994 - 1997
• Meunier, M., et 4 autres	CRSNG Equipement "PLD Upgrade"	52,879.00 $	1996 - 1997
• Sacher, E., Meunier, M., Martinu, L.,	CRSNG Stratégique, "Cu/Fluoro-polymer"	88,500.00 $	1994 - 1997
• Plamondon, R., Sawan, M.,	CRSNG, Appareillage, "Système de capture et d'analyse des Mouvements tridimensionnels.	78,972.00 $	1997 - 1998

Subventions, contrats et conventions de recherche de groupe (suite)

Chercheurs	Organisme, Programme, Titre	Montant annuel	Période de validité
• Savaria, Y., Houle, J.-L., Kaminska, B., Sawan, M.,	FCAR, "Méthodes de conception des systèmes VLSI et ULSI"	46,500.00 $	1997 - 2000
• Savaria, Y., Houle, J.-L., Sawan, M., Kaminska, B., Bois, G., Meunier, M.,	Ministère de l'Enseignement Supérieur des Sciences du Québec Genesis, Miranda et Mirotech "PULSE: Parallel Ultra Large Scale Integrated Engine"	1,400,000.00 $	1996 - 1997
• Savaria, Y., Bois, G.,	Société Canadienne de Micro-électronique, Fabrication de puces	4, 000.00 $	1996 - 1997
• Savaria, Y., Bois, G.,	CRSNG, R&D Coop, Design Workshop "Conception, caractérisation, placement et routage de circuits numériques de haute performance".	81,000.00 $	1996 - 1997
• Savaria, Y., Sawan, M., Bois, G., Kaminska, B., Houle, J.-L., Maciejko, R.,	École Polytechnique de Montréal, Fonds interne GRM	30,000.00 $	1996 - 1998
• Savaria, Y., Bois, G., Sawan, M., Aboulhamid, M.,	CRSNG Stratégique, "Hardware/ Software Co-design of Reconfigurable Computational Accelerators"	97,900.00 $	1997 - 1998
• Sawan, M., Bois, G., Bosisio, R, Currie, J., Ghannouchi, F., et 7 autres	Société Canadienne de Micro-électronique, Prêt d'appareillage	48,543.00 $	1996 - 1997

- **Équipement prêté par la SCM**

3 x SUN Sparcstation 5-85, 64 Mb	1 x UNIBIT 2, 1 Gb external drive	1 x Keithley Source Measurement
1 x SUN Sparcstation 5-85, 112 Mb	1 x HP Main Frame E1401 A 20 Msa/s Digitizer	1 x VXI Test Fixture
1 x SUN Sparcstation 20, 64 Mb	1 x HP Command module E1406A	1 x Test Head 1000
2 x SUN 1.3Gb external drive	1 x HP 20 Msa/s A/D E1429B	1 x SMU Test head
3 x SUN 2.1 Gb external drive	1 x Analog DBS 8750 Arbitrary Waveform Synthetizer	1 x Model 28 T11a Active probe
1 x SUN 4.0 Gb external drive	1 x HP E1450A 160 MHz Timing Module	1 x Power supply (for model 28)
1 x SUN 150 Mb external tape dr.	1 x HP E1445A Arbitrary, Function Generator	4 x Model 40A (T13) Micro. (4R)
1 x SUN 644 Mb external CDROM drive	1 x HP E1452A 20 MHz Pattern, I/O Module	2 x MH5 alessi Micropositioner (L)
1 x SUN CDROM 12 x	1 x HP E6623A Programmable, DC Power Supply	2 x MH5 alessi Micropositioner (R)
1 x SUN Entreprise Ultra 1 128 Mb	2 x GGB picaprobe model 28	1 x MMM-01 alessi Microwave, Mount (40A)
1 x SUN Entreprise Ultra 1 256 Mb	1 x GGB picaprobe power supply	2 x MMM-02 alessi Microwave, Mount (40A)
2 x SUN Multipack 16 Gb	1 x HP E1493-60001 (con. Bord)	2 x MMM-04 alessi Microwave, Mount (40A)
1 x SUN Multipack 8 Gb	3 x HP E 1454 A (cable)	4 x MAC-02 alessi Magnetic Base
3 x SUN Ultra 1 128 Mb		8 x Picoprobe 40A-GSG-150-P
1 x HP 1600 mm EIA 19" rack		4 x Microwave Probe MH5-2848
1 x HP Worksation 745i, 32 Mb		1 x SUN GPIB interface Controller
1 x TENEX 2.1 Gb external drive		
3 x TENEX 4.0 Gb external drive		
1 x UNIBIT 5.0 Gb external tape Dr		

Équipement appartenant au groupe

1 x SUN Sparcstation IPX, 56 Mb	1 x HP printer paintjet Color
1 x SUN Sparcstation IPX, 40 Mb	2 x HP printer Deskjet 650 C
1 x SUN Sparcstation 1 28 Mb	2 x DEC printer LA 50
1 x SUN Sparcstation 1,8 Mb	1 x HP printer deskwriter C
1 x SUN Sparcstation 1+, 16 Mb	1 x MAC printer deskwriter C
2 x SUN Sparcstation 2, 64 Mb	29 x APC BK600 UPS
5 x SUN Sparcstation 10 64 Mb	1 x Rapid prototyping board V.2
1 x HP Workstation 712/60 64 Mb	1 x HP Semi-Cond. P.A. 4145A
2 x SUN Sparcstation 5-70 32 Mb	1 x Miranda Research Expresso
1 x SUN Sparcstation 5-70 64 Mb	1 x MiroTech Cage VME et Pc
7 x SUN Sparcstation 4-110 32 Mb	1 x HP function Generator 8111A
1 x SUN Sparcstation 4-170 32 Mb	1 x HP oscilloscope 1741A 100MHz
3 x SUN Sparcstation 5-85 64 Mb	1 x TEKTRONICS Analyseur Logique 3002
1 x SUN Sparcstation 5-110 96 Mb	1 x PHILIPS oscilloscope 0-25 MHz PM3212
1 x SUN Sparcstation 5-110 64 Mb	1 x HP Power supply 6202B
1 x SUN Ultra 1 256 Mb	1 x WENTHWORT Prober
1 x SUN IPC 24 Mb	1 x SUN 76" data center cabinet
1 x SUN IPC 36 Mb	4 x PC DX 33, 16 Mb
2 x OSS 2.1 GB external drive	1 x PC DX 66 - 16 Mb
2 x OSS 4.0 GB external drive	1 x PC P133, 16 Mb
2 x SUN 150 MB external tape drive	1 x PC DX 100, 16 Mb
1 x UNIBIT 5.0 GB external tape drive	1 x PC portatif DX4-100, 16 Mb
2 x SUN 14 GB external tape drive	1 x PC DX4-100, 20 Mb
1 x Colorado Tracker 700MB external tape drive	1 x PC DX50, 16 Mb
2 x SUN 644 MB external CDROM drive	1 x PC Pentium Pro200 64 Mb
1 x HP 4 x external CDROM drive	5 x PC Pentium 120, 32
1 x HP printer laserjet IIP	2 x PC Pentium 100, 16 Mb
2 x HP printer laserjet 4m+	1 x PC Pentium 100 64 Mb
1 x HP printer laserjet 5m	2 x PC Pentium 90, 32 Mb
1 x HP printer HP5L	1 x PC Pentium 90, 16 Mb
1 x HP printer 1200/C	1 x PC Pentium 75, 16 Mb
1 x SUN printer sparcprinter 12 pp	1 x PC Pentium 166, 32 Mb
1 x HP printer plotter 7580B	

Logiciels

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont du domaine public, obtenus d'autres universités ou de banques de logiciel. Le logiciel MENTOR a été donné à l'École par la compagnie Mentor Graphics, tandis que les logiciels EDGE/CADENCE de la société Cadence. Citons parmi les principaux logiciels qui sont d'usage courant

MENTOR Graphics B.1 - design_arch. Sta - ic_layout_ex.sta - sds.sta - vhdlarch.sta - autologic_ic.sta - dsp.sta - idea.sta - sds_base.sta - vhdlentry.sta - ic_layout.sta - ideafpga.sta - tdfpga.sta - seamless Synopsys Octtools	• Logic Modeling • CADENCE 9504 (environnement intégré par la conception des circuits VLSI) • Artist de Cadence (Design des circuits analogiques et mixtes) • ALLEGRO (conception de PCB et MCM) • HSPICE (simulateur) • Amical • DW2000 (Édition de masque, fourni par Design Workshop) • FrameMaker 4 et 5 (Logiciel de traitement de texte) • Matlab (logiciel pour le traitement mathématique) • Osf Motif • Publisher • SPW • Xilinx

-

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

[A- 1] ARABI, K., KAMINSKA, B., «Design for Testability of Embedded Integrated Operational Amplifiers» accepté dans *IEEE Journal of Solid-State Circuits*

[A- 2] ARABI, K., KAMINSKA, B., «Testing Analog and Mixed-Signal Integrated Circuits Using Oscillation Test Method», accepté dans *IEEE Trans. On CAD of IC&S.*

[A- 3] ARABI, K., SAWAN, M., "Electronic Design and Realization of a New Multiprogrammable Microimplant for Neuromuscular Electrical Stimulation" accepté dans *IEEE Trans. On Rehabilitation Engineering,* 1997.

[A- 4] ASSI, A., SAWAN, M., ZHU, J., "An Offset Compensation Method for CMOS Current-Feedback OP AMP", accepté dans *IEEE Trans. On Circuits and Systems,* 1997.

[A- 5] BOSI, B., BOIS, G., SAVARIA, Y., « Reconfigurable Pipelined 2D Convolvers for Fast Digital Signal Processing », accepté au *IEEE Transactions on VLSI*, juin 1997.

[A- 6] DJEMOUAI, A., SAWAN, M., «Prosthetic Power Supplies» *publication invitée.* Acceptée dans *Encyclopedia of Electrical and Electronics Engineering,* John Wiley & Sons, 1997.

[A- 7] MEUNIER, M., IZQUIERDO, R., TABBAL, M., EVOY, S., DESJARDINS, P., BERNIER, M.H., BERTOMEU, J., EL YAAGOUBI, N., SUYS, M., SACHER, E., YELON, A., « Laser induced deposition of tungsten and cooper », accepté dans *Mat. Science and Eng.,* 1997.

[A- 8] NEKILI, M., SAVARIA, Y., BOIS, G., «Spatial Characterization of Process Variations via MOS Transistor Time Constant in VLSI & WSI», accepté dans *IEEE Journal of Solid-State Circuits,* 1997.

[A- 9] POPOVICI, D., KELMBERG-SAPIEHA, J.E., CZEREMUSZKIN, G., SACHER, E., MEUNIER, M., MARTINU, L., « Copper metallization of TEFLON AF1600 using evaporation and sputtering for multi-level interconnect devices » accepté dans *Microelectronics Engineering,* 1997.

[A- 10] PROVOST, B., SAWAN, M., "A New Bladder Volume Monitoring Device Based on Impedance Measurement", accepté dans *Med. Biol. Eng. Comput.,* 1997.

[A- 11] ROBIN, S., SAWAN, M., ABDEL-GAWAD, M., ABDEL-BAKY, T.M., ELHILALI, M.M., "Implantable Selective Stimulation System Dedicated for Low Pressure Micturition", accepté dans *Medical & Biological Engineering & Computing,* mai 1997.

[A-12] TABBAL, M., MEUNIER, M., IZQUIERDO, R., BEAU, B., YELON, A., « Laser chemical vapor deposition of W. Schottky contacts on GaAs using WF_6 and SiH_4 accepté *J. Appl. Phys.*, 1997.

[A-13] TU, L.M., SHAKER, H.S., ROBIN, S., ARABI, K., HASSOUNA, M., SAWAN, M., ELHILALI, M.M., "Reduction of Bladder Outlet Resistance by Selective Sacral Root Stimulation Using High-Frequency Blockade in Dogs: An Acute Study" accepté dans *The Journal of Urology,* 1997.

[A-14] WONG,T., HOULE, J.-L., "Heuristic Research Method to Map Computer Rasks in Parallel Real-Time Electrical Network Simulations", *15th IASTED International Conference on Applied Informatics,* février 18-20, 1997, Innsbruck, Australia, accepté pour publication.

Articles de revues publiés de septembre 1996 à août 1997

[P- 1] ABDERRAHMAN, A., SAVARIA, Y., KAMINSKA, B., «Analyse, estimation et réduction du bruit de commutation simultanée», *Revue Canadienne de Génie électrique*, octobre 1996, vol. 21, no 4, pp. 133-143.

[P- 2] ALLARD, M., BOUGHABA, S., MEUNIER, M., «Laser micromachining of free-standing structure in Sio2 covered silicon», Appl. Surf. Science, 109-110, 189, 1997.

[P- 3} ARABI, K., KAMINSKA, B., « A New BIST Scheme Dedicated to Digital-To-Analog and Analog-to-Digital Converters », IEEE Design & Test of Computer, automne 1996, pp. 40-49.

[P- 4] ARABI, K., SAWAN, M., "Implantable Multiprogrammable Microstimulator Dedicated to Bladder Control", Med. Biol. Eng. Comput., No 34, 1996, pp. 9-12.

[P- 5] ARABI, K., KAMINSKA, B., « Oscillation Built-In Self-Test of Mixed Signal IC with Temperature and Current Monitoring », *JETTA Special issue on On-line Testing,* décembre 1997.

[P- 6] ASSI, A., SAWAN, M., "An Offset Compensation Technique to Improve the CMOS Current-Feedback Op-Amp Performances", *Analog Integrated Circuits & Signal Processing Journal,* 1996.

[P- 7] BELHAOUANE, A., SAVARIA, Y., KAMINSKA, B., MASSICOTTE, D., « Reconstruction Method for Jitter Tolerant Data Acquisition System», *JETTA*, vol. 9, 1996 pp. 177-185.

[P- 8] BELZILE, J., GAGNON, F., HACCOUN, D., "Analysis and Performance of Bidirectional Decoding on Fading Channels», *IEEE Trans. On Comm.,* septembre 1996.

[P- 9] BOIS, G., CERNY, E., «Efficient Generation of Diagonal Constraints for 2D Mask Compation», *IEEE Transactions on CAD,* vol. 15, no. 9, septembre 1996.

Articles de revues publiés de septembre 1996 à août 1997 (suite)

[P- 10] BOUGHABA, S., WU, X., SACHER, E., MEUNIER, M., « liquid Explosive Evaporative Removal of Submicron Particles from Hydrophilic Oxidized Silicon Surfaces », *J. Adhesion,* 61, pp. 293-301, 1997.

[P-11] EHSANIAN, M., KAMINSKA, B., « A BiCMOS Wideband Operational Aplifier with 900 MHz Gain-Bandwidth and 90 dB DC Gain » *Analog Integrated Circuits and Signal Processing Kluwer Publ.*, Vol. 11, no. 1, septembre 1996, pp. 63-72.

[P-12] GRANGER, E., SAVARIA, Y., BLAQUIÈRE, Y., CANTIN, M.A., LAVOIE, P., «A VLSI Architecture for Fast Clustering with Fuzzy ART Neural Networks», *Journal of Microelectronics Systems Integration,* vol. 5, no. 1, mars 1997, pp. 3-18.

[P-13] HEROUX, J.B., BOUGHABA, S., RESSEJAC, I., SACHER E., MEUNIER, M., « CO_2 laser-assisted removal of Submicron Particles from solid surfaces », *journal of Applied Physics,* 79, pp. 2857-2862, 1996.

[P-14] HEROUX, J.B., BOUGHABA, S., SACHER, E., MEUNIER, M., CO_2 laser-assisted particle removal from silicon surface» *Canadian Journal of Physics,* 74, pp. 5685-5689 1996.

[P-15] IZQUIERDO, R., HANUS, F., LANG, T., IVANOV, D., MEUNIER, M., LAUDE, L., CURRIE, J.F., YELON, A., « Pulsed laser deposition of NASICON thin films », *Appl. Surf. Science,* pp. 96-98, 855-858, 1996.

[P-16] JECKLEN, E.G., GHANNOUCHI, M., SAWAN, M., "Adaptive Digital Predistorter for Power Amplifiers with Real Time Modeling of Memoryless Complex Gains", *Transactions on Microwave Theory and Techniques,* 1996.

[P-17] NEKILI, M., BOIS, G., SAVARIA, Y., «Pipelined H-Trees for High-Speed Clocking of Large Integrated Systems in Presence of Process Variations», *IEEE Transactions on VLSI,* vol. 5, no 2, juin 1997, pp. 161-174.

[P-18] RABEL, C.E., SAWAN, M., DAVIDSON, J., "PARC: Pyramidal Architecture FPGA Dedicated to Fast Dynamic Configuration Applications" *IEEE Design and Test of Computer,* mai 1997.

[P-19] RAYAPATI, V.K., KAMINSKA, B., « Dynamic Reconfiguration Schemes for Megabit BiCMOS SRAMs and Performance Evaluation », *Microelectronics and Reliablity, Elsevier Science Publ.*, vol. 37, no. 5, 1997, pp. 785-794.

[P-20] ST-AMAND, R., SAWAN, M., SAVARIA, Y., "Design and Optimization of a Low DC Offset Current-Source Dedicated for Implantable Miniaturized Stimulators"*Analag Integrated Circuits and Signal Processing Journal,* vol. 11, 1996, pp. 47-61.

[P-21] SAAB, K., BEN HAMIDA, N., MARCHE, D., KAMINSKA, B., « LIMSoft Automated Tool for Sensitivity Analysis and Test Vector Generation » *IEE Proceedings Circuits, Devices and Systems*, vol. 143, no. 6, décembre 1996.

[P-22] SAWAN, M., ARABI, K., PROVOST, B., "Implantable Volume Monitor and Miniaturized Stimulator Dedicated to Bladder Control", *Artificial Organs Journal,* vol. 21, no. 3, 1997, pp. 219-222.

[P-23] SAWAN, M., HASSOUNA, M., LI, J.S., DUVAL, F., ELHILALI, M.M., "Stimulators Design and Subsequent Stimulation Parameter Optimization for Controlling Micturition and Reducing Urethral Resistance, *IEEE Trans. On Rehabilitation Eng.,* vol. 4, no. 1, 1996, pp. 39-46.

[P-24] SHEN, B., ALLARD, M., BOUGHABA, S., IZQUIERDO, R., MEUNIER, M., « Laser micromachining of silicon three-dimensional structures », *Canadian Journal of Physics,* 74, pp. 557-561 1996.

[P-25] TABBAL, M., IZQUIERDO, R., MEUNIER, M., PEPIN, C., YELON, A., « Growth mechanisms in excimer laser induced deposition of W on GaAs from WF_6 and H_2 », *Appl. Surf. Science,* 108, pp. 417-424 1997.

[P-26] VILLERMAUX, F., TABRIZIAN, M., YAHIA, L.H., MEUNIER, M., PIRON, P.L., « Excimer laser treatment of NiTi shape memory alloy biomaterails » *Appl. Surf. Science*, pp.109-110, 62 1997.

Articles de revues publiés de septembre 1995 à août 1996

[P- 27] ABDERRAHMAN, A., CERNY, E., KAMINSKA, B., "Optimization-Based Multifrequency Test Generation for Analog Circuits", *Journal of Electronic Testing: Theory and Applications, JETTA,* Kluwer Academic Publishers, vol. 13, 1996, pp. 59-73.

[P- 28] ABOU-KHALIL, M., GOANO, M., CHAMPAGNE, A., MACIEJKO, R., "Capture and Escape in Quantum Wwlls as Sacttering Events in Monte Carlo Simulation" *IEEE Photon, Technol. Lett.,* vol. 8, no. 1, janvier l996 pp. 1-3,

[P-29] AOURID, M., KAMINSKA, B., "Minimization of the 0-1 Linear Programming Problem Under Linear Contraints by Using Neural Networks: Synthesis and Analysis", *IEEE Trans. On Circuits and Systems I: Fundamental Theory and Applications,* vol. 43, no 5, mai 1996, pp. 421-425.

Articles de revues publiés de septembre 1995 à août 1996 (suite)

[P-30] ARABI, K., SAWAN, M., "Implantable Multiprogrammable Microstimulator Dedicated to Bladder Control", *Med. Biol. Eng. Comput., no. 34, 1996, pp. 9-12.*

[P-31] AUDET, D., SAVARIA, Y., "High-Speed Interconnections Using True Single-Phase Clocking", *Journal of Microelectronic System Integration,* vol. 3, no. 4, décembre 1995, pp. 247-257.

[P-32] BELABBES, N., GUTERMAN, A., SAVARIA, Y., DAGENAIS, M., "Ratioed Voter Circuit for Testing and Fault-Tolerance in VLSI Processing Arrays", *IEEE Transactions on Circuits and Systems, Fundamental Theory and Applications,* vol. 43, no. 2, février 1996, pp. 143-152.

[P-33] BELHAOUANE, A., SAVARIA, Y., KAMINSKA, B., "A Correction Method for Data Acquisition System Subject to Deterministic Jitter", *Journal of Electronic Testing: Theory and Applications, JETTA,* Kluwer Academic Publishers, vol. 13, 1996.

[P-34] BLAQUIÈRE, Y., DAGENAIS, M., SAVARIA, Y., "Timing Analysis Speed-Up Using a Hierarchical and a Multi-Mode Approach", *IEEE Transactions on CAD,* février 1996, pp. 244-255.

[P-35] BLAQUIÈRE, Y., GAGNÉ, G., SAVARIA, Y., EVEQUOZ, C., "A New Efficient Algorithm-Based SEU Tolerant System Architecture", *IEEE Transactions on Nuclear Science,* décembre 1995, pp. 1599-1606.

[P-36] BOUBEZARI, S., KAMINSKA, B., "A Nes Reconfigurable Test Vector Generator for Built-In Self-Test Applications", *Journal of Electronic Testing: Theory and Applications,* vol. 8, 1996, pp. 153-164.

[P-37] CHAMPAGNE, A., MACIEJKO, R., MAKINO, T., "Enhanced Carrier Injection Efficiency from Lateral Current Injection in Multiple-Quantum-Well DFB Lasers", *Photonic Technology Letters,* vol. 8, no. 6, juin 1996.

[P-38] CHEN, J., MACIEJKO, R., MAKINO, T., "High Resonance Frequency of Push-Pull Distributed Feedback Lasers", *J. Appl. Phys.,* vol. 79, 1996, pp. 8914.

[P-39] CHEN, J., MACIEJKO, R., MAKINO, T., "Second-Order Harmonic Distorsion in Am Response of Gain-Coupled DFB Lasers", *Intl. Journal of Optoelectronics,* vol. 10, 1996, pp. 139.

[P-40] CHEN, J., MACIEJKO, R., CHAMPAGNE, A., MAKINO, T., "Relaxation Oscillation Frequency of DFB Lasers with Gain Coupling" *IEEE Journal Quantum Electron.,* vol. 31, 1995, pp. 1443.

[P-41] RAHAL, A., BOSISIO, R.G., ROGERS, C., OVEY, J., SAWAN, M., MISSOUS, M., "A W-Band Medium Power Multi-Stack Quantum Barrier Varactor Frequency Tripler", *IEEE Microwave and Guided Wave Letters,* vol. 5, no. 11, 1995, pp. 368-370.

[P-42] RAYAPATI, V.N., KAMINSKA, B., "Interconnect Propagation Delay Modeling and Validation for 16-Mega Bit CMOS SRAM Chip", *IEEE Trans. On Components, Packaging and Manufacturing Technology,* part B, vol. 19, no. 3, août 1996, pp. 605-614.

[P-43] REID, B., ABOU-KHALIL, M., MACIEJKO, R., "Doping Effects on Carrier Caputre in a Single Quantum Well by Ensemble Monte Carlo", *Canadian Journal of Physics,* 1995.

[P-44] ST-AMAND, R., SAWAN, M., SAVARIA, Y., "Design and Optimization of a Low DC Offset Current-Source Dedicated for Implantable Miniaturized Stimulators", *Analog Integrated Circuits & Signal Processing Journal,* vol. 11, 1996, pp. 47-61.

[P-45] SAWAN, M., HASSOUNA, M., LI, J.S., DUVAL, F., ELHILALI, M.M., "Stimulators Design and Subsequent Stimulation Parameter Optimization for Controlling Micturition and Reducing Urethral Resistance", *IEEE Trans. On Rehabilitation Eng.,* vol. 4, no. 1, 1996, pp. 39-46.

[P-46] SLAMANI, M., KAMINSKA, B., "Multifrequency Testability Analysis for Analog Circuits", *IEEE Trans. On Circuits and Systems,* Part II, février 1996, pp. 134-139.

[P-47] SOUFI, M., SAVARIA, Y., KAMINSKA, B., "On Producing Reliable Initialization and Test of Sequential Circuits with Pseudo-Random Vectors", *IEEE Trans. On Computers,* vol. 44 no. 10, octobre 1995, pp. 1251-1255.

[P-48] TRONC, P., MANI, IL., REID, B., MACIEJKO, R., LEROUX, M., LAZZARI, J.L., SEGURA-FOILLANT, C., "X, L and T Lines in Low Temperature Photoluminescence Spectra of $Al_{0.47}$ $Ga_{0.52}$ $As_{0.035}$ $Sb_{0.965}$ alloys", *Physica Status Solidi*, 1996, pp. 453-460.

[P-49] VENKATAPATHI, RAYAPATI, N., KAMINSKA, B., "Interconnect Propagation Delay Modeling and Validation for 16-Mega Bit CMOS SRAM Chip", *IEEE Trans. On Components, Packaging and Manufacturing Technology,* part B, vol. 19 no. 3, août 1996, pp. 1-10.

Articles de conférences publiés de septembre 1996 à août 1997

[C- 1] ABDERRAHMAN, A., CERNY, E., KAMINSKA, B., « CLP-Based Multifrequency Test Generation for Analog Circuits », *IEEE VLSI Test Symposium,* avril 1997.

[C- 2] ANTAKI, B., PATENAUDE, S., TROGNON, L., SAVARIA, Y., « A Study on Split-Output TSPC CMOS Circuits », *ISCAS'97*, Hong Kong, juin 1997, pp. 1892-1895.

Articles de conférences publiés de septembre 1996 à août 1997 (suite)

[C- 3] ARABI, K., KAMINSKA, B., « Parametric and Catastrophic Fault Coverage of Oscillation Built-In Self-Test », *IEEE VlSI Test Symposium,* avril 1997.

[C- 4] ARABI, K., KAMINSKA, B., « Efficient and Accurate Testing of Analog-to-Digital Converters Using Oscillation-Test Method », *European Design & Test Conference,* Paris, France, mars 1997.

[C- 5] ARABI, K., KAMINSKA, B., « A New Technique to Monitor the Electrode and Lead Failures in Implantable Microstimulators and Sensors » *18th Annual Int. Conf. IEEE Engineering in Medicine and Biology Society,*31 octobre- 3 novembre 1996, The Netherlands.

[C- 6] ARABI, K., KAMINSKA, B., « A Practical and Low-Cost Test Method to Design Reliable Implantable Systems », *18th Annual Int. Conf. IEEE Engineering in medicine and Biology Society,* 31 octobre – 3 novembre 1996, The Netherlands.

[C- 7] ARABI, K., KAMINSKA, B., « Design for Testability of Integrated Operational Amplifiers Using Oscillation Test Strategy, » *IEEE Int. Conf. On Computer Design (ICCD),* Austin, octobre 1996.

[C- 8] ASSI, A., SAWAN, M., RAUT, R., "A New Tunable CMOS Transconductor Dedicated to VHF Continuous-Time Filters" *Great Lake Symposium on VLSI,* Urabana-Champain, mars 1997.

[C- 9] AUDET, D., GAGNON, N., SAVARIA, Y., «Implementing Fault Injection and Tolerance Mechanisms in Multiprocessor Systems », *IEEE Workshop on Defect and Fault Tolerance in VLSI*, Boston, novembre 1996, pp. 310-317.

[C-10] BÉLANGER, N., ANTAKI, B., SAVARIA, Y., «An Algorithm for Fast Array Transfers» *HPCS'97*, Winnipeg, juillet 1997, pp. 117-126.

[C-11] BEN HAMIDA, N., SAAB, K., MARCHE, D., KAMINSKA, B., « LimSoft: Automated Tool for Design and Test integration of Analog Circuits », *IEEE Int. Test Conference,* Washington, octobre 1996, pp. 571-580.

[C-12] BOUGHABA, S., HÉROUX, J.B., CURCIO, M., SACHER, E., MEUNIER, M., "Removal of surface contaminants with laser-based cleaning technology" *Proceeding of the 27th annual meeting of the Fine Particle Society,* 1996.

[C-13] BOUGHABA, S., SACHER, E., MEUNIER, M., "CO_2 lasercleaning of hydrophilic oxidized silicon surfaces:, *Proceedings of the MRS-Boston,* vol. 397, pp. 497-502, 1996.

[C-14] BOURRET, S., SAWAN, M., PLAMONDON, R., "Programmable High-Amplitude Balanced Stimulus Current-Source for Implantable Microstimulators" *IEEE-EMBS'97,* Chicago, 1997.

[C-15] CHAMPAGNE, A., CHEN, J., MACIEJKO, R., MAKINO, T., « Fine-Scale Analysis of Gain-Coupled MQW DFB lasers », paper FA3, *LEOS Summer Topical Meetings 1997,* Montréal, Qc. 1-15 août 1997.

[C-16] CHEN, J., MACIEJKO, R., MAKINO, T., « High Side Mode Suppresion in Gain-Coupled DFB Lasers », paper ThB3, *LEOS'96*, Boston, Mass. 18-21 novembre 1996.

[C-17] DJEMOUAI, A., VAILLANCOURT, P., SAWAN, M., SLAMANI, M., "Performance Optimization of a Radio-Frequency Coupling Technique" *IFESS'97*, Vancouver, 1997.

[C-18] HARVEY, J.F., SAWAN, M., "Image Acquisition and Reduction Dedicated to a Visual Implant", *IEEE-ENBS 18th Int. Conf.,* Amsterdam, novembre 1996.

[C-19] HACCOUN, D., GHERBI, Z., "On the application of Very Low Error Control Coding to CDMA", Proceedings, 1997, *Can. Conf. On Elect. & Comp. Eng.,* St-John's NFLD, mai 1997, pp. 466-469.

[C-20] HACCOUN, D., LEFRANÇOIS, S., MEHN, É., "Reverse Link CDMA Capacity using Very Low Rate Convolutional Codes", Japon-Canada, *International Workshop on Multimedia Wireless Communications and Computing*, Victoria, B.C., septembre 1996, pp. 35-36.

[C-21] HRYTZAK, R., SAVARIA, Y., GOSLIN, G., «Reconfigurable Computing Greatly Simplifies Systems Development *», DSP World Spring Design Conference,* mars 1997, pp. 271-286.

[C-22] IZQUIERDO, R., BERGERON, A., MEUNIER, M., IVANOV, D., CURRIE, J.F., YELON, A., «Pulsed laser deposition of NASICON and sodium nitride thin films for the fabrication of gas sensors », *Proceedings of the Electrochemical Society,* 1996.

[C-23] KAMINSKA, B., FORTIN, G., SOKOLOSWKA E., ROY, C., « Switched Optical Transmission: Exploration of Trade-Offs Between Packaging Options, » *IEEE Multi-Chip Module Conference,* Santa Cruz, CA, février 1997.

[C-24] KHALI, H., SAVARIA, Y., HOULE, J.-L., « Computational Limits of Homogeneous Acceleration Using Lookup Tables », *HPCS,97,* Winnipeg, juillet 1997, pp. 345-351.

[C-25] LAVOIE, P., CRESPO, J.-F., SAVARIA, Y., « Multiple Categorization Using Fuzzy Art », *ICNN'97*, juin 1997, pp. 1983-1988.

[C-26] MEUNIER, M., IZQUIERDO, R., SHEN, B., BERGERON, A., ALLARD, M., BOUGHABA, S., LECLERC, S., LECOURS, A., IVANOV, D., CURRIE, J.F., YELON, A., « Applications of laser processing to sensors and actuators » *Proceedings of the MRS-Boston,*Vol. 397, pp. 305-3l6, 1996.

Articles de conférences publiés de septembre 1996 à août 1997 (suite)

[C-27] OUDGHIRI, H. , KAMINSKA, B., RAJSKI, J., « A Hardware/Software Partitioning Technique with Hierarchical Design Space Exploration », *Custom Integrated Circuits Conference*, mai 1997.

[C-28] OUICI, K., SAWAN, M., "Low-Power High-Gain Operational Amplifier Dedicated to Implantable Sensors" *ICECS'97,* Cairo, December 1997.

[C-29] PERA, F., SAVARIA, Y., BOIS, G., « Time Delay Measurement Methods for Integrated Transmission Lines and High Speed Cell Characterization », *ISCAS'97*, pp. 293-296.

[C-30] POPOVICI, D., KLEMBERG-SAPIEHA, J., CZEREMUSZKIN, G., MARTINU, L., MEUNIER, M., SACHER, E., « The deposition of copper onto teflon AF1600: An XPS comparison of vapor deposition and sputtering » *Proceedings fo the Electrochemical Society,* 1996.

[C-31] POPOVICI, D., PIYAKIS, K., SACHER, E., MEUNIER, M., « Constant step height copper deposition from Cu(hfac)(TMVS) induced by excimer laser radiation », *Proceedings of the MRS-Boston,* vol. 397, pp. 643-648, 1996.

[C-32] POPOVICI, D., SACHER, E., MEUNIER, M., MARTINU, L., LEONARD, D., BERTRAND, P., « The spontaneous reaction of Cu(hfac)(TMVS) vapor with DuPont Teflon AF1600 », *Proceedings fo the Electrochemical Society,* 1996.

[C-33] ROBIN, S., SAWAN, M., HARVEY, J.-F., ABDEL-GAWAD, M., ABDEL-BAKY, T.M., ELHILALI, M.M., "A New Implantable Microstimulator Dedicated to Selective Stimulation of the Bladder", *IEEE-EMBS'97*, Chicago, 1997.

[C-34] SAVARIA, Y., BOIS, G., POPOVIC, P., WAYNE, A., «Computational Acceleration Methodologies: Advantages of Reconfigurable Acceleration Subsystems », *SPIE's Photonics East*, Boston, novembre 1996, pp. 195-207.

[C-35] SAWAN, M., ROBIN, S., PROVOST, B., EID, Y., ARABI, K., "A Wireless Implantable Electrical Stimulator Based on Two FPGAs", *ICECS'96,* Greece, octobre 1996.

[C-36] SHI, M.K., SACHER, E., MEUNIER, M., « Excimer laser removal of organic contaminants from silicon wafer surfaces, *Proceeding of the Adhesion Society,* 20, 385, 1997.

[C-37] SIMARD-NORMANDIN, M., BEAUDOIN F., MEUNIER, M., 'Metallic contamination from particles on the backside of wafers », *Proceeding of the 27th annual meeting of the Fine Particle Society,* 1996.

[C-38] VAILLANCOURT, P., DJEMOUAI, A., HARVEY, J.-F., SAWAN, M., "EM Radiation Behavior Upon Biological Tissues in a Radio-Frequency Power Transfer Link for a Cortical Visual Implant", *IEEE-EMBS'97,* Chicago, 1997.

[C-39] VILLERMAUX, F., TABRIZIAN, M., MEUNIER, M., PIRON, M., YAHIA, L'H., « Laser treatment on NiTi shape memory alloy », *Proceedings of the Fifth World Biomaterial Congress.*

Articles de conférences publiés de septembre 1995 à août 1996

[C-40] ADAMS, D.M., MAKINO, T., CHAMPAGNE, A., CHEN, J., MACIEKJO, R., "Yield Enhancementdue to Carrier-Injection behavior in Truncated-Well Gain-Coupled DFB's". *CLEO'96,* Anahein, USA, June 1996.

[C-41] ARABI, K., KAMINSKA, B., "Oscillation-Test Strategy for Analog to Digital Converter Testing" *IEEE VLSI Test Symposium,* Princeton 1996, pp. 476-482.

[C-42] ARABI, K., SAWAN, M., "VLSI Implementation of a New Communication Protocol for Externally Controlled Implanted Devices", *ICM'95*, Malaisie, décembre 1995.

[C-43] ARABI, K., SAWAN, M., "A Monolithic Miniaturized Programmable Implant for Neuromuscular Stimulation, *IEEE-EMBS 17th Int. Conf.,* Montréal, septembre 1995.

[C-44] ARABI, K., SAWAN, M., "A Novel CMOS Digital Clock and Data Decoder for Implanted Systems" *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.

[C-45] ARABI, K., SAWAN, M., "A Secure Communication Protocol for Externally Controlled Implantable Devices", *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.

[C-46] ARABI, K., SAWAN, M., "Multiprogrammable Stimulus Waveform Generator for Neuromuscular Electrical Stimulation*", IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.

[C-47] AUDET, D., GAGNON, F., SAVARIA, Y., "Quantitative Comparisons of TMR Implementations in a Multiprocessor System" *2nd IEEE On-Line Testing Workshop*, Biaritz, 8-10 juillet 1996, pp. 196-199.

[C-48] BARADA, H.M., SAWAN, M., HASSOUNA, M., TU, L.M., ELHILALI, M.M., "Sphincteric Fatigue Strategy for Bladder Control: Preliminary Chronic Results in an Animal Model", *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.

Articles de conférences publiés de septembre 1995 à août 1996 (suite)

[C-49] BELHAOUANE, A., SAVARIA, Y., KAMINSKA, B., "A Reconstruction Method for Data Acquisition Systems with Randomly Distributed Jitter", *IEEE 2nd International Mixed Signal Testing Workshop,* mai 1996, pp. 119-122.

[C-50] BENHAMIDA, N., SAAB, K., MARCHE, D., KAMINSKA, B., "LIMSoft: Automated Tool for Design and Test Integration" *2nd IEEE International Mixed Signal Testing Workshop, IMSTW'96 Proceedings,* mai 1996, pp. 56-71.

[C-51] BEN HAMIDA, N., AYARI, K., KAMINSKA, B., "Testing of DAC Using Linear Modelling and Sensitivity Computation" *2nd IEEE International Mixed Signal Testing Workshop, IMSTW'96 Proceedings,* mai 1996, pp. 127-137.

[C-52] BLAQUIERE, Y., GAGNÉ, G., SAVARIA, Y., ÉVÉQUOZ, C., "Cost Analysis of a New Algorith Based Soft Error Tolerant Architecture", *IEEE Workshop on Defect and Fault Tolerance in VLSI,* Lafayette, novembre 1995, pp. 189-197.

[C-53] BOIS, G., SAVARIA, Y., POPOVIC, P., "DSP Embedded System Design Based on Reconfigurables Architectures", *Forum on Embedded System Design, Symposium on Microelectronics Research and Development in Canada,* juin 1996.

[C-54] BOYER, A., SAWAN, M., ""Stimuli Generator Dedicated for an Implantable Visual Miniaturized Stimulator", *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.

[C-55] CHEN, J., MACIEJKO, R., MAKINO, T., "Threshold Condition of Single-Mode Gain-Coupled DFB Lasers" *ICAPT'96,* Montréal, juillet 1996.

[C-56] CHEN, J., MACIEJKO, R., MAKINO, T., "Mode Proximity and Frequency Response of Push-Pull DFB Lasers," *CLEO'96,* Anahein, U.S.A., juin 1996.

[C-57] EHSANIAN, M., KAMINSKA, B., "A New Digital Test Approach for Analog to Digital Converter Testing", *IEEE VLSI Test Symposium,* Princeton, 1996 pp. 60-65.

[C-58] EHSANIAN, M., KAMINSKA, B., "A BiCMOS Wideband Op. Amp. With 900 MHz Gain -Bandwidth and 90 dB DC Gain, *ISCAS'96,* Atlanta, mai 1996, vol. 1, pp. 171-174.

[C-59] EHSANIAN, M., KAMINSKA, B., "A New on Chip Digital BIST for Analog to Digital Converters", *ESRET'95*, Bordeaux, France, octobre 1995.

[C-60] FAYOMI, C.J.B., SAWAN, M., BENNIS, S., "Parallel Implementation of Information Filter with Unknown Noise Statistics", *ICM'95,* Malaisie, décembre 1995.

[C-61] FAYOMI, C.J.B., SAWAN, M., BENNIS, S., "Parallel VLSI Implementation of a New Simplified Architecture of Kalman Filter", *CCGEI'95*, Montréal, septembre 1995.

[C-62] FAYOMI, C.J.B., BENNIS, S., SAWAN, M., "Filter information avec estimation des bruits de mesure et du processus", *Int. Conf. On SBMHS,* Paris, septembre 1995.

[C-63] FORTIN, G., KAMINSKA, B., "Design of a 2-5 Gbit/s GaAs Laser Driver for Optical Communication", *The 10th International Symposium on High Performance Computers,* juin 1996.

[C-64] GADIRI, A.K., SAVARIA, Y., KAMINSKA, B., "An Optimized CMOS Compatible Photoreceiver" *CCGEI'95,* Montréal, septembre 1995, pp. 215-217.

[C-65] GRANGER, É., BLAQUIÈRE, Y., SAVARIA, Y., "A VLSI Architecture for Fast Clustering with Fuzzy ART Neural Networks", *NICROSP'96 International Workshop for Identification Control Robotics and Signal/Image Processing,* Venise, août 1996, pp. 117-125.

[C-66] HARB, H., SAWAN, M., HAROUN, B., "A High Resolution Two-Stage ADC Based on a New Calibration Method", *NWSCAS'96,* Iowa, août 1996.

[C-67] JECKLEN, E.G., GHANNOUCHI, F.M., SAWAN, M., "Adaptive Digital Predistorter for Power Amplifiers with Real Time Modeling of Memoryless Complex Gains", *IEEE-MTT-S,* juin 1996.

[C-68] JECKLEN, E.G., GHANNOUCHI, F.M., SAWAN, M., "Technique de prédistorsion adaptative pour amplificateurs de puissance, *CCGEI'95,* Montréal, septembre 1995.

[C-69] KHALI, H., SAVARIA, Y., HOULE, J.L., BERALDIN, J.A., BLAIS, F., RIOUX, M., "A VLSI Chip for 3D Camera Calibration" *CCGEI'95,* Montréal, septembre 1995, pp. 120-123.

[C-70] LAVOIE, P., CRESPO, J.-F., SAVARIA, Y., "On the Stability of Fuzzy Art", *18th Biennial Symposium on Communications,* Kingston, 2-5 juin 1996, pp. 185-188.

[C-71] LEJMI, S., KAMINSKA, B., AYARI, B., "Synthesis and Retiming for the Pseudo-Exhaustive BIST Testing of Synchronous Sequential Circuits", *IEEE International Test Conference,* Washington, octobre 1995, pp. 683-692.

[C-72] LEJMI, S., BOIS, G., SAVARIA, Y., "On the Effects of Retiming Applied to Self-Checking Sequential Circuits", *2nd IEEE International On-Line Testing Workshop*, France, août 1996, pp. 96-99.

[C-73] MALLETTE, S., SAWAN, M., FORTIER, P.A., "Implementation of a Multichannel PC-Controlled Stimulus Generators", *4th Canadian Workshop on Field Prog. Devices (FPD'96),* Toronto, mai 1996.

Articles de conférences publiés de septembre 1995 à août 1996 (suite)

[C-74] MALLETTE, S., SAWAN, M., FORTIER, P.A., “A New Multichannel PC-Controlled Stimulator Developed for Primary Motor Cortex Investigations”, *IEEE-EMBS 17th Int. Conf.,* Montréal, septembre 1995.

[C-75] MOUNIER, S., SAWAN, M., “A Hamming Decoder for Single Error Detection and Correction”, *FPD’96,* Toronto, mai 1996.

[C-76] PROVOST, B., SAWAN, M., “Implantable Bladder Volume Monitoring Devices”, *IFESS’96,* Cleveland, mai 1996.

[C-77] PROVOST, B., SAWAN, M., “A New Implantable Tomography Approach to Bladder Volume Monitoring”, *IEEE-EMBS 17th Int. Conf.,* Montréal, septembre 1995.

[C-78] REID, B., ABOU-KHALIL,M., MACIEJKO, R., “On the Ambipolar Carrier Capture in Quantum Wells,” *APS March Meeting,* St.Louis, Missouri, 18-22 mars 1996.

[C-79} ROBIN, S., SAWAN, M., “A Hand-Held Controller Dedicated to Implantable Stimulators”, *FPD’96,* Toronto, mai 1996.

[C-80] RZESZUT, J., KAMINSKA, B., SAVARIA, Y., “A New Method for Testing Mixed Analog and Digital Circuits”, *Asian Test Sympsium*, novembre 1995, Bangalore, India, pp. 127-132.

[C-81] SAVARIA, Y., BOIS, G., POPOVIC, P., WAYNE, A., “Compute Acceleration Methodologies: Advantages of Reconfigurable Architecture”, *Conference High-Speed Computing, Digital Signal Processing Using FPGAs, part os SPIE’s Photonic East’96 Symposium,* Boston

[C-82] SAWAN, M., ST-AMAND, R., SAVARIA, Y., “Design and Optimization of Programmable Biphasic Current-Sources”, *ICECS’95*, Amman, décembre 1995, pp. 169-173..

[C-83] SOKOLOWSKA, E., KAMINSKA, B., BELABBES, N., “Integrated Analog Switch Matrix with Large Input Signal and 46 dB Isolation at 1 Ghz”, *An International IFIP-IEEE Conf. On Broadband Communications,* avril 1996, pp. 418-429.

[C-84] SOUFI, M., ROCHON, S., SAVARIA,Y., KAMINSKA, B., “Design and Performance of CMOS TSPC Cells for High Speed Pseudo Random Testing” *Proceedings of the 14th IEEE VLSI Test Symposium,* Princetown, NJ, avril 1996, pp. 368-373.

[C-85] ZHU, J., FAYOMI, C.J.B., SAWAN, M., “A New Current-Mode 2-bit Pipelined ADC’s Cell”, *CCGEI’95,* Montréal, septembre 1995.

Brevets

[B-1] JECKLEN, E.G., GHANNOUCHI, F.M., SAWAN, M., "Non Iterative Digital Predistortion Technique for Power Amplifiers Linearization", *Application aux USA,* 1997.

[B-2] PETRICAN, P., SAWAN, M., MENASSA, K., "Miniturized Ultrasound Bladder Volume Monitor" *Application aux USA,* 1997.

INDEX DES AUTEURS

Abderrahman, Abdessatar 15
Abou-Khalil, Michel 16
Achar, Éric 17
Achour, Chokri 18
Ahmad, Galaly 19
Antaki, Bernard 20
Arabi, Karim 21
Assi, Ali 22
Ayad, Ahmed 23
Beauchamp-Parent, Alexandre 24
Beaudin, Sylvain 25
Bélanger, Normand 26
Belhaouane, Adel 27
BenSalem, Brahim 28
Boubezari, Samir 29
Bourret, Sylvain 30
Boyogueno Bendé, André 31
Brais, Louis-Philippe 32
Calbaza, Dorin-Emil 33
Cantin, Marc-André 34
Cantin, Pierre-Luc 35
Chabini, Noureddine 36
Chen, Jianyao 37
Contandriopoulos, Nicolas 38
Crampon, Marie-Agathe 39
Deslauriers, Yann 40
Djemouai, Abdelouahab 41
Ehsanian-Mofrad, Mehdi 42
El-Hassan, Fadi 43
Fares, Mounir 44
Fortin, Guillaume 45
Fouzar, Youcef 46
Gadiri, Abdelkarim 47
Gagnon, Mathieu 48
Gagnon, Yves 49
Granger, Éric 50
Gûçlû, Alev Devrim 51
Guénette Philippe 52
Haddad, Mohamed Tahar 53
Harb, Adnan 54
Harvey, Jean-François 55
Herling, Mihail 56
Jecklen, Ernesto 57
Kassem, Abdallah 58
Khali, Hakim 59
Kocknari, Ahmad 60
Lavoie, Michel 61
Lestrade, Michel 62
Madani, Masoud 63
Mallette, Sylvain 64
Marche, David 65
Motto, Alexis 66
Moujoud, Abderrafia 67
Nekili, Mohamed 68
Oudghiri, Houria 69
Ouici, Khalid 70

INDEX DES AUTEURS (suite)

Patenaude, Serge 71
Pera, Florin 72
Pétrican, Paul 73
Poiré, Pascal 74
Rabel, Claude-Eddy 75
Rahal, Ali 76
Reid, Benoit 77
Rejeb, Chedly 78
Ridouh, Kamel 79
Robin, Simon 80
Ryel, Kim 81
Saab, Khaled 82
Sahraoui, Nadjiba 83
Shaditalab, Manoucher 84
Shaiek, Boubaker 85
Soufi, Mohamed 86
Sylla, Iboun Taimiya 87
Vaillancourt, Pierre 88
Wong, Tony 89
Yuan, Peijian 90