

Titre: Rapport annuel 2002-2003
Title:

Auteurs: Groupe de recherche en microélectronique
Authors:

Date: 2003

Type: Rapport / Report

Référence: Groupe de recherche en microélectronique. (2003). Rapport annuel 2002-2003
(Annual Report).

Citation: https://www.grm.polymtl.ca/PAGES/Rapports_Annuels/tous_rapports_annuels.html

Document en libre accès dans PolyPublie

Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/3233/>
PolyPublie URL:

Version: Version officielle de l'éditeur / Published version

Conditions d'utilisation: Tous droits réservés / All rights reserved
Terms of Use:

Document publié chez l'éditeur officiel

Document issued by the official publisher

Institution: École Polytechnique de Montréal

Numéro de rapport:

Report number:

URL officiel: https://www.grm.polymtl.ca/PAGES/Rapports_Annuels/tous_rapports_a_nuels.html
Official URL:

Mention légale:

Legal notice:

ÉCOLE POLYTECHNIQUE
DE MONTRÉAL

GROUPE DE RECHERCHE EN
MICROÉLECTRONIQUE

RAPPORT ANNUEL

2002 - 2003

DÉCEMBRE 2003

TABLE DES MATIÈRES

REMERCIEMENTS	4
INTRODUCTION.....	4
COLLABORATIONS EN 2002-2003	4
OBJECTIFS DU GRM	5
COMPOSITION DU GROUPE	5
LISTE DES MEMBRES RÉGULIERS	5
LISTE DES MEMBRES ASSOCIÉS	6
LISTE DES CHERCHEURS POST DOCTORAUX ET AUTRES PROFESSIONNELS.....	6
PROGRAMME DE RECHERCHE EN VLSI.....	6
DOMAINES.....	6
ACTIVITÉS DES MEMBRES RÉGULIERS.....	6
ACTIVITÉS DU PROFESSEUR SAVARIA.....	7
ACTIVITÉS DU PROFESSEUR AUDET	8
ACTIVITÉS DU PROFESSEUR BOIS	9
ACTIVITÉS DU PROFESSEUR BOYER.....	10
ACTIVITÉS DU PROFESSEUR BRAULT	11
ACTIVITÉS DU PROFESSEUR KHOUAS.....	12
ACTIVITÉS DU PROFESSEUR MACIEJKO	13
ACTIVITÉS DU PROFESSEUR MARTEL.....	14
ACTIVITÉS DU PROFESSEUR SAWAN	15
ÉTUDIANTS AUX CYCLES SUPÉRIEURS	16
ÉTUDIANTS RECEMMENT INSCRITS.....	18
TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT	19
DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS.....	23
SUBVENTIONS ET CONTRATS.....	122
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES.....	122
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE DE GROUPE	124
ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA) AU GRM ET À LA POLYTECHNIQUE.	127
ÉQUIPEMENT APPARTENANT AU GROUPE (WWW.GRM.POLYMTL.CA)	128
NANOROBOTIQUE.....	129
LOGICIELS	130
PUBLICATIONS ET RÉALISATIONS	131
ARTICLES DE REVUES ACCEPTÉS POUR PUBLICATION.....	131
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2002 À AOÛT 2003.....	131
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2001 À AOÛT 2002.....	131
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2001 À AOÛT 2002 (SUITE).....	132
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2002 À AOÛT 2003.....	132
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2002 À AOÛT 2003 (SUITE).....	133
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2002 À AOÛT 2003 (SUITE).....	134
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2002 À AOÛT 2003 (SUITE).....	135

ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2001 À AOÛT 2002.....	135
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2001 À AOÛT 2002 (SUITE).....	136
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2001 À AOÛT 2002 (SUITE).....	137
AUTRES PUBLICATIONS (INVITATION).....	137
AUTRES PUBLICATIONS (INVITATION) (SUITE)	138
CHAPITRE DE LIVRES	138
BREVETS	138
INDEX DES AUTEURS	139

REMERCIEMENTS

Nous désirons remercier tous les membres du GRM (Groupe de Recherche en Microélectronique) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à sa diffusion sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche.

INTRODUCTION

Le Groupe de Recherche en Microélectronique (GRM) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 2002 – 2003, 116 étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GRM et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) et auprès du Fonds Québécois de la recherche sur la nature et les technologies (NATEQ). Ainsi qu'au programme de Recherche Orientée en Microélectronique, platonique et télécommunication. Ils ont participé à trois projets réalisés dans le cadre de Micronet, le centre d'excellence en Microélectronique et ST-Microélectronique. Citons aussi les projets réalisés avec des partenaires industriels, Gennum, Hyperchip, LTRIM, PMC-Sierra, Victhom. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 2002-2003

L'année 2002 - 2003 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GRM et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs, Savaria, Badia, (Université de Montréal) Desjardins et Rochefort (nanoélectronique), Savaria, Bois et Aboulhamid de l'Université de Montréal (vérification); Savaria et Cherkaoui (configuration et vérification de routeurs réseau), Savaria, Desjardins et Rochefort, (nanoélectronique), Savaria, Gagnon et Thibeault (architecture de multiégaliseurs), Savaria et Meunier (technologie de calibration par laser de circuits analogiques), Savaria et Thibeault de l'École de Technologie Supérieure (Méthode de test et conception de systèmes WSI); Savaria et Wang de Concordia (conception d'un circuit tolérant aux pannes et conception d'un convertisseur A/D virgule flottante), Sawan, Gagnon, Savaria, Wang, (Mise en œuvre de convertisseurs analogique à numérique performants), Sawan et Boukadoum de l'UQAM (circuits à ultrasons), Sawan et Roberts de McGill (convertisseurs rapides), Sawan et El-Gamal (circuits à fréquences radio). De plus, R. Maciejko travaille sur la modélisation et la caractérisation des lasers à semi-conducteurs avec R. Leonelli, Université de Montréal, sur l'étude de la Photoluminescence de mono structures avec D. Morris, Université de Sherbrooke et de la Photoluminescence résolue en temps et échantillonnage électro-optique. Notons la collaboration avec plusieurs membres du centre PolyGrames, notamment les professeurs Savaria et Laurin (interconnexions de circuits VLSI à très haute vitesse), Sawan et Ghannouchi (Applications des circuits DSPs en micro-ondes), Sawan et Meunier (microélectrodes). Ajoutons que sur le plan de la mise en œuvre de dispositifs microélectroniques médicaux, le professeur Sawan collabore avec le Dr M. Elhilali de l'Université McGill (implant urinaire), le Dr F. Bellemare de l'Université de Montréal (cathéter ophagien), le Dr D. Guitton de l'Université McGill (implant visuel cortical) et le Dr J. Faubert de l'École d'optométrie de l'Université de Montréal (capteurs optiques). Enfin, notons que les professeurs Martel, Meunier, Savaria et Sawan sont titulaires de Chaires du Canada.

OBJECTIFS DU GRM

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique a pour objectif général de «promouvoir et regrouper les activités de recherche en Microélectronique à l’École Polytechnique de Montréal».

Plus spécifiquement, le Groupe de Recherche en Microélectronique poursuit les objectifs suivants :

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d’échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GRM;
- Faciliter l’accès à la technologie Microélectronique aux autres chercheurs de l’École et de l’extérieur de l’École susceptible d’en profiter.

Ces objectifs n’ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique relève du directeur du département de génie électrique et se compose des membres réguliers, membres associés et d’autres professionnels et chercheurs:

Liste des membres réguliers

- **Dr Yvon Savaria:** professeur titulaire au département de génie électrique, titulaire d'une chaire de recherche du Canada en Conception de systèmes microélectroniques intégrés, directeur du Groupe de Recherche en Microélectronique, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de tolérance aux pannes et de testabilité, à la conception et la vérification des systèmes sur puce (SOC), à la conception des circuits numériques, analogiques et mixtes et aux applications de ces technologies.
- **Dr Yves Audet:** professeur adjoint au département de génie électrique, ses travaux de recherche portent sur les circuits intégrés analogiques, les capteurs d'images CMOS et les interconnections photoniques pour système VLSI.
- **Dr Guy Bois:** professeur agrégé au département de génie informatique qui s'intéresse à la conception des systèmes embarqués, plus particulièrement à leurs spécification, modélisation, partitionnement logiciel/matériel, synthèse, vérification fonctionnelle et prototypage.
- **Dr François Raymond Boyer:** professeur adjoint au département de génie informatique qui s'intéresse aux architectures et méthodes de conception des circuits VLSI. Il s'intéresse notamment à l'optimisation des systèmes exploitant des horloges multiphasé.
- **Dr Jean-Jules Brault:** professeur au département de génie électrique et directeur du Laboratoire de Réseaux Neuronaux (LRN), qui s'intéresse aux diverses architectures et applications des machines neuronales, virtuelles ou électroniques, de même qu'au développement de leurs algorithmes d'apprentissage.
- **Dr Abdelhakim Khouas:** professeur adjoint au département de génie électrique dont les domaines de recherche portent sur le test et la conception en vue du test (chemin de SCAN, BIST, JTAG) des circuits intégrés numériques, analogiques et mixtes, le développement d'outils de CAO pour la microélectronique, le prototypage de systèmes numériques et la synthèse sur FPGA.
- **Dr Sylvain Martel:** professeur adjoint au département de génie informatique et titulaire d'une chaire de recherche du Canada dont le domaine de recherche est principalement la conception de micro et nano systèmes électromécaniques, incluant la nanorobotique pour les applications au niveau moléculaire et atomique en touchant plusieurs aspects comme l'instrumentation, l'électronique, les ordinateurs et ainsi que les systèmes reconfigurables. En nanorobotique, nous exploitons les découvertes fondamentales en nano sciences par la conception de nanorobots capable de travailler au niveau du nanomètre pour créer de nouveaux systèmes, produits et applications.

- **Dr Mohamad Sawan:** professeur titulaire au département de génie électrique et détenteur d'une chaire de recherche du Canada sur les dispositifs médicaux intelligents, qui s'intéresse à la conception et la réalisation de circuits mixtes (numériques, analogiques, optiques et RF) et à leurs applications dans les domaines industriel (communication sans fil) et biomédical, (stimulateurs et capteurs sensoriels)

Liste des membres associés

- **Dr David Haccoun:** professeur titulaire au département de génie électrique qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI. Il collabore avec MM Savaria et Sawan sur l'implantation de codeurs -décodeurs.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et titulaire d'une chaire de recherche du Canada en micro-ingénierie et nano-ingénierie des matériaux par laser. Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique et avec Mohamad Sawan sur les micro-électrodes.

Liste des chercheurs post doctoraux et autres professionnels

- | | |
|-----------------------|------------------------|
| • M. Ali Awada | chercheur postdoctoral |
| • M. Marc Belleau | associé de recherche |
| • M. Aissa Boudjella | associé de recherche |
| • M. Stéphane Boyer | associé de recherche |
| • M. Bogdan Nicolescu | chercheur postdoctoral |

De plus, les personnes suivantes collaborent aux travaux du groupe à divers titres:

- | | |
|----------------------|---|
| • M. Réjean Lepage: | technicien et chef d'équipe du laboratoire GRM. |
| • M. Martin Paré: | technicien du laboratoire GRM. |
| • M. Alexander Vesey | technicien du laboratoire GRM |

Ces personnes forment le Groupe de Recherche en Microélectronique de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la Microélectronique.

PROGRAMME DE RECHERCHE EN VLSI

Domaines

Les programmes de recherche et de formation de chercheurs en VLSI de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie VLSI en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défectuosités;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, et en biomédical par la réalisation de micro stimulateurs implantables;
- Les logiciels de synthèse, de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques, ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse par chaque membre de ses activités au sein du GRM.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, de circuits de synthèse d'horloge, la conception de circuits analogiques précis, les plates-formes SOC et la vérification des systèmes électroniques. Il englobe aussi les techniques d'autotest et de tolérance aux pannes et aux défauts. Le second axe couvre des thèmes divers comme la conception d'un estimateur de fréquence, la conception de systèmes de radio configurable, la conception de décodeurs convolutionnels, la conception d'une plate-forme SOC pour la réalisation de processeurs réseau et de systèmes de traitement vidéo, la réalisation de circuits de synthèse d'horloge, la conception de circuits analogiques précis et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Nos travaux sur les méthodes de conception explorent diverses architectures pour la synthèse d'horloge exploitant des accumulateurs de phase qui commandent la sélection de phases dérivées d'une horloge de référence à l'aide de lignes à délais. Ils portent aussi sur l'exploration d'une nouvelle architecture de PLL qui découpe les caractéristiques de capture et de maintien. Du côté des circuits analogiques précis, nous explorons les architectures des références de tension, celles des comparateurs de phase précis et sans zone morte de même que nous explorons les architectures de convertisseurs A/D applicables aux systèmes vidéo de haute performance. Nos recherches portent notamment sur la possibilité de calibrer ces circuits par la création locale de résistances de valeurs programmables.

Nous explorons la notion de plate-forme SOC comme façon de développer efficacement des circuits dérivés pour une classe d'application. Une telle plate-forme est composée de modules paramétrables, réutilisables et compatibles entre eux qui forment la base d'une architecture flexible pour la classe d'application ciblée.

En ce qui a trait aux méthodes de vérification, nous explorons le potentiel des langages de vérification (HVL) et des méthodes qui y sont associées. Nous avons expérimenté la méthode de création de banc d'essai suivant une approche de programmation par aspect et nous explorons la possibilité d'assister la création d'aspects couverture et de vérificateur d'assertion qui consomment beaucoup de temps dans la phase de vérification. Nous explorons aussi une méthode pour déterminer l'ordre le plus efficace pour vérifier un système composé de plusieurs modules et une méthode pour analyser une spécification de haut niveau afin d'y détecter les contradictions et les situations pour lesquelles le comportement n'est pas spécifié.

En ce qui a trait aux techniques de tolérance aux pannes, nous les explorons dans le cadre d'un projet qui vise à détecter les pannes transitoires par des méthodes logicielles.

Applications

Dans le cadre de cet axe, nous explorons un ensemble d'applications. Une des applications étudiée est l'estimation en temps réel de la fréquence d'un signal radar. Cette application permet d'explorer les méthodes de dimensionnement automatique des chemins de données .

Nous explorons les architectures possibles pour la mise en œuvre des systèmes de traitement vidéo et nous appliquons la méthode de dimensionnement automatique afin de produire des implémentations valides. Ce projet sert de véhicule pour appliquer et raffiner les notions de plate-forme SOC. Le projet intéresse la société Gennum.

Nous travaillons aussi à développer des mécanismes d'interconnexion intrapuce de type Network on Chip (NoC), des bus de haute performance compatibles à la norme AMBA et des mécanismes d'interconnexion interpuce adaptés du Hypertransport.

Activités du professeur Audet

Les activités du professeur Audet sont reliées aux capteurs photoniques, fabriqués en procédé CMOS, visant deux champs d'applications spécifiques soient : les capteur d'images intégrés et les détecteurs photoniques de haute performance pour système VLSI à interconnections optiques.

1. Les capteurs d'images CMOS

Ce programme de recherche adresse la problématique de conception et de fabrication de capteurs d'images CMOS de grande surface, qui permettrait d'obtenir une caméra numérique de résolution spatiale comparable à celle d'une caméra avec pellicules chimiques photosensibles. On vise un capteur ayant une matrice de pixel de 36 x 24 mm de surface pour atteindre la compatibilité avec la gamme des lentilles développées pour la photographie SLR 35 mm.

Outre la réalisation d'un capteur d'images de grande surface, les techniques de conception de pixels redondants avec autocorrection développées sont aussi utiles à la réalisation de capteurs d'images employés dans des environnements hostiles comme l'espace, les mines, les réacteurs nucléaires, ...etc., là où une caméra peut-être exposée à des radiations, des températures et des pressions extrêmes pouvant endommager le capteur. Ainsi, les propriétés d'autocorrection de l'architecture redondante permettront à la caméra de transmettre des images plus longtemps dans ces milieux hostiles où le remplacement et la réparation sont difficiles, voire impossibles.

2. Les détecteurs photoniques

Ici on s'intéresse au développement de technique de propagation de signaux par modulation photonique, tant sur un même circuit intégré qu'entre puces d'un même système, de façon à éliminer les interconnections métalliques critiques qui limitent la performance des systèmes. Des taux de propagation supérieurs à 1 Gb/s sont visés.

Bien que la recherche sur les interconnections photoniques ait favorisé jusqu'à maintenant les dispositifs III-V pour la conversion de signaux électriques à signaux photoniques, la diminution constante de la taille des structures fabriquées sur technologie CMOS pourrait avantager les dispositifs photoniques au silicium notamment au niveau des photos détecteurs. Avec la diminution de la taille des structures, les capacités parasites des composants actifs diminuent également de sorte qu'un faisceau lumineux de moindre énergie est requis pour activer une cellule photo-détectrice au silicium et une réponse plus rapide peut être obtenue. Les avantages d'un photo détecteur au silicium pouvant être intégrés à même une puce VLSI sont considérables, même si les performances sont moindres qu'un photo-détecteur en technologie III-V. Citons entre autre la simplicité du procédé de fabrication CMOS comparé aux technologies hybrides III-V – CMOS et l'élimination des circuits liés à l'intégrité des signaux d'horloge en amplitude et en phase, tels que les répéteurs et les circuits de verrouillage de phase (PLL). À l'heure actuelle, dû aux problèmes de délais associés aux interconnections métalliques, il est de plus en plus difficile d'assurer la synchronisation entre les différents modules d'un système VLSI, de sorte que les techniques de propagation de signaux asynchrones sont maintenant envisagées pour relier des modules sur une même puce, ajoutant à la complexité du système. Les interconnections photoniques assureront la performance des systèmes VLSI sans ajouter à leurs complexités.

Activités du professeur Bois

Le professeur Bois conduit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux : contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous, la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommé co-design.

Le professeur Bois travaille au développement de méthodes modernes de conception et de vérification conjointe logiciel/matériel. Plus particulièrement, ses travaux visent à solutionner quatre problèmes importants:

1. Des outils permettent la spécification et la modélisation d'un système embarqué avec des langages niveau système (e.g. SystemC). En particulier, nous sommes à développer une plate-forme à haut niveau nommée SPACE (SystemC Partitioning of Architectures for Co-design of Embedded Systems). À partir d'une spécification entièrement décrite en SystemC, SPACE permet la simulation et l'estimation de performance au niveau transactionnel, afin de faciliter l'exploration architecturale et le partitionnement logiciel/matériel.

Également nous travaillons à l'exploration architecturale de processeurs réseaux utilisant un jeu d'instruction configurable (processeur XTensa de Tensilica) et au développement de réseaux intégrés sur puces dans un environnement logiciel/matériel multiprocesseur. Ici, le travail est effectué en collaboration avec la société STMicroélectronique et est réalisé sur leur plate-forme nommée StepNP.

2. Finalement, toutes ces plates-formes permettent le raffinement graduel de la spécification afin d'implémenter le système. En terme de plate-forme pour l'implémentation, nous travaillons au développement d'architectures parallèles à base de FPGA. En particulier, une mèche 2D basée sur le Virtex-II Pro (2VP30) de la société Xilinx est en cours de développement. Chaque élément de calcul est une carte compatible PCI composée de quatre connexions Gigabit Ethernet link (1000 BaseT).
3. Notre effort de réutilisation se fait principalement au niveau des standards de bus. Nous travaillons à la conception d'un bus-sur-puce générique, paramétrisable, permettant plusieurs maîtres et plusieurs esclaves. Nous travaillons également à la génération d'adaptateurs. Les protocoles utilisés sont l'AHB de AMBA, OCP de Sonics et CoreConnect de IBM.
4. Nous nous intéressons aux méthodes pour faire la vérification fonctionnelle des systèmes embarqués. Plus précisément, nos projets de recherche s'intéressent aux problèmes d'assertions et de couverture de code à partir d'une description haut niveau. En particulier, nous explorons les (nouveaux) langages (standard) tels que e et PSL.

Les principaux partenaires industriels qui collaborent à ces différents projets sont Amirix, STMicroélectronique et PMC Sierra, alors qu'au niveau universitaire les principaux collaborateurs sont les professeurs Aboulhamid (DIRO de l'Université de Montréal, ainsi que Boyer et Savaria de l'École Polytechnique.

Activités du professeur Boyer

Le professeur Boyer conduit des recherches incluant les domaines de la microélectronique, de la compilation et du traitement de signal. Plus spécifiquement, il s'intéresse au design, à synthèse et à l'optimisation des systèmes conjoints logiciel/matériel dédiés, ainsi qu'au développement d'architectures prenant partie d'un nouveau type d'horloge.

L'horloge à période variable est un concept nouveau, découlant de ses recherches au doctorat, qui pourrait avoir une grande influence sur notre manière de voir les circuits synchrones par rapport aux circuits asynchrones ainsi qu'avoir des nouvelles applications. L'idée est de permettre de moduler la longueur des cycles d'horloges pour pouvoir suivre précisément un ordonnancement. Cet ordonnancement peut être fait à l'avance mais aussi à l'exécution, pour pouvoir traiter de manière optimale les expressions conditionnelles et pour pouvoir tenir compte de d'autres facteurs qui ne sont pas connus lors de la compilation (ou synthèse). À l'exception des circuits asynchrones, les circuits ont présentement une horloge fixe qui limite la possibilité d'ordonnancement. Pour obtenir le meilleur ordonnancement possible, il faut relâcher les contraintes de l'horloge et ce nouveau type d'horloge permet beaucoup plus de flexibilité.

La conception de systèmes dédiés demande à la fois de déterminer la structure matérielle et le logiciel devant s'exécuter sur ce matériel. Une approche conjointe logicielle/matérielle est nécessaire pour la conception et l'optimisation d'un tel système. Pour des systèmes dédiés, les outils doivent permettre la spécialisation (paramétrisation) des composantes. Puis la partie logicielle doit être compilée pour une architecture parallèle possiblement hétérogène (avec des processeurs de plusieurs types différents) et comportant des instructions spéciales. Ses recherches se situent sur différents plans, dont l'automatisation de la séparation logiciel/matériel, la compilation parallélisante pour un système hétérogène configurable, une diminution du temps associé à l'assemblage et test du système, pour un temps de mise en marché minimum.

Application au traitement audio :

Traitement de signal et isolation de la voix dans des prothèses auditives numériques

Le domaine de la prothèse auditive numérique est en expansion, dû au fait que la miniaturisation des processeurs le permet mais aussi au fait que la demande en prothèses auditives augmente (la population vieillit) et que les gens recherchent une qualité supérieure. Des études montrent que l'utilisation de plusieurs microphones est présentement la méthode qui a le plus de succès pour augmenter la discrimination des sons et améliore l'intelligibilité. Par contre, le traitement fait sur ces sources pourrait être amélioré. L'idée du traitement en étude est de faire une analyse de phase, en utilisant des FFT sur les différentes sources, pour réduire les bruits de l'environnement par rapport à la voix venant de l'avant. Le circuit complet de traitement, avec entrée analogique, traitement numérique et sortie analogique ainsi qu'une source électrique, doit être très petit et avoir une faible consommation d'énergie pour avoir une bonne autonomie. Pour ces raisons, un système sur puce («System on Chip» ou SoC) mixte numérique/analogique sera développé.

Les principaux partenaires qui collaborent sur ces recherches sont le professeur E.M. Aboulhamid (Diro, Université de Montréal), sur l'algorithme, la simulation et la vérification, le professeur Y. Savaria (génie électrique, École Polytechnique), sur le côté matériel, le professeur G. Bois (génie informatique, École Polytechnique), dont le domaine de recherche est la conception de systèmes embarqués (dédiés), le professeur A. Saucier (mathématiques, École Polytechnique), sur l'analyse et le traitement de signal.

Les partenaires industriels sont: STMicroelectronics (systèmes dédiés pour les traitements réseaux) et ACE (compilation recirable).

Activités du professeur Brault

Le professeur Brault dirige le LRN (Laboratoire de Réseaux Neuronaux.) Ses recherches visent plus spécifiquement à l'application les algorithmes d'apprentissage (AA) à des problèmes d'inférence sur des données expérimentales en utilisant des machines neuronales (MN), virtuelles ou électroniques. Le champ d'application des AA/MN est très vaste puisque les MN sont des approximatrices universels utilisés tant en classification, en régression qu'en estimation de fonction de densité. D'autre part, vu l'homogénéité des traitements réalisés par les MN, ils peuvent être intégrés relativement aisément sur des circuits électroniques.

Les principales difficultés que l'on rencontre dans le design de ces machines proviennent du fait qu'elles sont habituellement adaptées itérativement et que l'information est massivement distribuée dans les interconnexions du RN. Parmi ces difficultés, notons, quel type de neurones utilisés (déterministes ou stochastiques, modèle de McCulloch-Pitts ou Hodgkin-Huxley), combien de neurones (capacité à capter au problème) quel type d'interconnexions (avec ou sans récurrence), quel paradigme/loi d'apprentissage (supervisé ou non, correction d'erreurs, minimisation d'entropie, etc.), quelle fonction de coût minimisé, etc. Tous ces «hyperparamètres» doivent évidemment conduire à la conception d'une machine capable de bien généraliser (intrapoler ou extrapolier) à partir de nouvelles données.

Les MN qui retiennent particulièrement notre attention sont les RN stochastiques causels (réseaux bayesiens). Ce type de système comporte habituellement un très grand nombre de variables stochastiques et les techniques d'optimisation comme le recuit simulé, sont souvent jugées inutilisables à cause des temps de calcul ou de la mémoire requise pour leur mise en œuvre. En effet, pour valider un réseau bayésien, on doit générer un très grand nombre de cas (vecteurs de tests) en fonction d'une distribution de probabilité multi variables. On se frappe alors au problème de la «malédiction de la dimensionnalité». Une modification possible est l'ajout d'aspects déterministes dans le processus d'optimisation conduisant par exemple au recuit déterministe RD (Deterministic Annealing).

Concernant les aspects électroniques de ces projets, nous étudions les différents aspects du recuit déterministe (RD) afin de les appliquer en temps réel à l'aide de circuits électroniques mixtes. Nous étudions également la conception de circuits échantillonneurs en fonction d'une distribution de probabilité d'un espace approximé par un ensemble fini de vecteurs obtenus préalablement par RD. Finalement, nous modifions les circuits logiques traditionnels, pour les rendre probabilistiques.

Le professeur Brault collabore entre autre avec deux professeurs du GRM soit Mohamad Sawan (implant dans l'aire cortical de la vision: valider un modèle informatique de réseaux biologiquement réalistes) et Yvon Savaria (étudier une application possible de l'informatique quantique aux réseaux de neurones probabilistes).

Activités du professeur Khouas

Le professeur Khouas conduit des activités de recherche dans le domaine de la microélectronique, et principalement dans le domaine de la conception en vue du test «Design for Testability DFT» des circuits intégrés et des systèmes sur puce «System on Chip SOC» et dans le domaine des outils de CAO pour la conception, la vérification et le test des circuits intégrés.

La demande croissante de nouveaux produits électroniques de plus en plus petits, à bas prix et de faible consommation dans toutes les applications de l'électronique a stimulé la croissance rapide des systèmes intégrés sur puce «System on Chip Soc». Les SOC intègrent des parties analogiques, numériques, mixtes (analogique-numérique), des mémoires et des microprocesseurs sur le même circuit intégré. Les technologies modernes de fabrication de circuits intégrés permettent cette intégration de plusieurs modules sur la même puce, ce qui permet d'avoir des circuits plus performants, plus rapides, plus petits et à faible coût. Par contre, à cause de cette intégration croissante, le test de ces SOC devient de plus en plus difficile et surtout de plus en plus coûteux, ce qui risque de ralentir leur croissance au cours des prochaines années.

L'objectif des travaux de recherche du professeur Khouas est de développer de nouvelles méthodes de test pour les SOC afin de maintenir un coût de test relativement faible par rapport au coût de fabrication. La voix la plus prometteuse pour réduire le coût de test est l'utilisation des méthodes de conception en vue du test. Le but principal de ces méthodes DFT est de rendre les circuits facilement testables en modifiant leur conception. Pour les SOC, l'augmentation de la surface due au matériel ajouté (cellules et routage) et l'augmentation du temps d'application des vecteurs de test sont les deux inconvénients majeurs des méthodes de conception en vue du test existant. Ses travaux de recherche visent à optimiser ces deux paramètres en explorant les trois axes de recherche suivants :

Optimisation de la surface engendrée par les mécanismes d'accès au test des modules internes «Test Access Mechanism TAM»; la norme IEEE P1500 qui est en cours de développement permettra de normaliser et donc de faciliter le test des SOC, mais elle engendrera des contraintes et des coûts additionnels. Cette norme laisse au concepteur du SOC le choix du mécanisme TAM et c'est précisément le TAM qui représente la plus grande partie de la surface additionnelle.

Développement des méthodes de compression/décompression de vecteurs de test : ces techniques permettent de réduire le temps d'application des vecteurs de test et d'assouplir les exigences en terme de mémoire, de nombre de canaux et de vitesse sur les testeurs.

Développement d'un outil d'aide au test pour les SOC: avec la complexité croissante des SOC qui intègrent de plus en plus de modules, le choix des techniques de DFT permettant d'optimiser la surface additionnelle et le temps d'application des vecteurs de test en tenant compte de toutes les contraintes sur les différents modules IP et sur le système est une tâche qui devient de plus en plus complexe et pour laquelle des outils automatiques sont nécessaires. Notre but est d'élaborer un outil d'aide à l'insertion et à l'optimisation des techniques de conception en vue du test pour les SOC.

Activités du professeur Maciejko

Le professeur Romain Maciejko dirige le laboratoire d'optoélectronique. Il est aussi de projet à l'Institut Canadien pour les Innovations en Photonique (Centre d'excellence). Il a à son actif une vingtaine d'années de recherche dans le domaine des fibres optiques et de l'optoélectronique, avec 6 années passées au Laboratoire de Technologie Avancée, BNR, Ottawa, dont 3 années comme manager au Département des Applications des Fibres Optiques. À l'École Polytechnique, il a mis sur pied le laboratoire d'Optoélectronique. Avec ses chercheurs et ses étudiants gradués, il poursuit ses recherches sur les lasers à semi-conducteurs, sur la modélisation numérique et la fabrication des dispositifs photoniques à semi-conducteurs, sur la modélisation numérique et la fabrication des dispositifs photoniques à semi-conducteurs, sur les phénomènes ultra-rapides en photonique, sur la photoluminescence résolue en temps en régime femto seconde, sur la modélisation du transport de la charge électrique dans les semi-conducteurs à l'aide de la méthode Monte Carlo et sur les commutateurs optoélectroniques à photoconduction. Sa recherche a deux volets: un côté théorique et un côté expérimental.

Le volet théorique comprend l'étude de la conception et de la performance de différents composants basés sur les hétéro structures à puits quantiques conventionnels ou contraints. Nous travaillons particulièrement à la simulation des lasers à puits quantiques multiples de type Fabry-Pérot et DFB ainsi que sur les amplificateurs optiques à semi-conducteurs. On a développé une banque de programmes: simulateurs laser pour l'industrie (NORTEL), un simulateur Monte Carlo à multi particules, la méthode de propagation des faisceaux (BPM), la simulation des guides optiques par la méthode des éléments finis, le calcul de bandes dans les semi-conducteurs à l'aide de l'hamiltonien de Kohn-Luttinger, la résolution de l'équation de Schrödinger pour les puits quantiques simultanément avec l'équation de Poisson et d'autres programmes de moindre importance.

Le volet expérimental comprend des activités de fabrication de composant et des activités de caractérisation. La fabrication se fait à partir de couches épitaxiées (nanostructures) obtenues d'autres laboratoires (NORTEL). La caractérisation comprend l'étude de la photoluminescence résolue en temps à l'aide d'un laser titane-saphir femto seconde construit par nous-mêmes. Nous avons étudié la réponse ultra-rapide des semi-conducteurs, notamment le transport de porteurs de charge. Nous avons fait des études à des températures cryogéniques et nous utilisons un système de comptage de photons ultrasensible pour la détection. Cette caractérisation nous permet d'étudier les processus sur des échelles de temps de l'ordre de 50 femto secondes. De plus, nous avons fabriqué un commutateur optoélectronique ultra-rapide utilisant la photoconduction activée par un laser d'impulsions ultra-brèves. Nous utilisons l'échantillonnage électro-optique pour caractériser des circuits in situ grâce à des effets photoréfractifs.

Depuis plusieurs années, nous avons eu des collaborations soutenues avec les laboratoires des Technologies Nortel à Ottawa, impliquant entre autre chose, l'embauche de plusieurs de nos étudiants de façon permanente et l'engagement d'un stagiaire pour 8 mois. On sait que ce laboratoire est un des chefs de file dans le domaine de la photonique au niveau mondial.

De plus, dans notre collaboration avec le Dr E Berolo du Centre de Recherche sur les Communications du Canada à Ottawa (CRC), nous avons identifié les amplificateurs optiques à semi-conducteurs (AOS) comme un dispositif-clé offrant beaucoup de possibilités pour les futurs systèmes, en particulier la conversion en longueur d'onde pour les systèmes DWDM; c'est ce dernier aspect qui a intéressé d'une façon toute particulière les laboratoires CRC.

Nous avons aussi eu un projet entre notre laboratoire et celui du professeur Claude Albert de Montpellier, subventionné par le programme France-Québec. Il y a eu plusieurs échanges de stages entre les deux laboratoires. De par le passé, nous avons eu des professeurs visiteurs, dont le professeur R. Chisleag de Bucarest et le professeur Pierre Tronc de L'ESPCI de Paris (là où les Currie ont découvert le radium). Ce dernier est venu nous visiter régulièrement, presque à chaque année, pour faire des études de luminescence sur des matériaux à puits quantiques. Une de ses étudiantes au doctorat est venue faire un stage de 3 mois au laboratoire d'optoélectronique. Ces travaux ont mené à 5 publications conjointes.

Activités du professeur Martel

Les activités du professeur Martel se situent principalement dans la recherche et le développement de systèmes miniatures intelligents et plus particulièrement dans le domaine de la nanorobotique. L'objectif actuel consiste à développer des nanorobots avec une infrastructure conçue pour supporter une flotte d'une centaine de ces nanorobots capables d'opérer très rapidement et de façon autonome au niveau moléculaire et jusqu'au niveau des atomes.

Pour ce genre de projets, nous devons développer plusieurs systèmes électroniques et microélectroniques spécialisés pour supporter, contrôler et implanter plusieurs tâches complexes incluant par exemple :

Système en temps réel et de très haute performance de positionnement, de navigation et communication à infrarouge pour plates-formes nanorobotique ;

Système de positionnement miniature de résolution atomique basé sur les techniques de microscopie à effet tunnel ;

Systèmes et instruments miniatures de manipulation, mesure, synthèse et fabrication au niveau moléculaire ;

Système de contrôle embarqué pour déplacement de nanorobots, etc.

Notre intérêt est donc le développement de divers circuits miniatures (analogique et numérique) de haute performance en utilisant diverses approches, techniques, outils de conception et systèmes de vérification/validation surtout niveau système sur puces (SoC).

La miniaturisation, précision, vitesse et le rendement en temps réel sont des aspects très importants et critiques dans la plupart des systèmes électroniques développés pour ce genre de projet. Les systèmes à concevoir sont aussi généralement très complexes et exigeants et font appel à plusieurs technologies qui doivent être intégrées dans des systèmes micro-mécatroniques avec instruments intégrés de très haute précision et opérant à de très grandes vitesses.

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon les grandes priorités suivantes: la conception, la réalisation et le test des circuits intégrés numériques, analogiques, mixtes et à fréquences radio; la conception des systèmes pour l'acquisition et le traitement de signal et d'image; la mise en œuvre de divers appareillages médicaux et plus particulièrement des microstimulateurs et capteurs sensoriels implantables et non-implantables et des systèmes optiques et ultrasoniques portables; l'assemblage et l'encapsulation de dispositifs électroniques; le prototypage rapide se servant de circuits intégrés programmables et de systèmes reconfigurables.

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels soient la réalisation de modules et de systèmes complets servant à des applications industrielles variées tel que les télécommunications, et la mise en œuvre de dispositifs médicaux servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions.

Pour répondre au besoin grandissant des applications en microélectronique nécessitant des systèmes miniatures, nos activités de recherche se trouvent orienter vers la conception et la réalisation des fonctions et systèmes analogiques, mixtes (analogique - numérique) et aux circuits et systèmes à fréquences radio. À titre d'exemple, nous nous intéressons aux trois catégories de convertisseurs analogique à numérique (ADC): rapide, à haute précision et à très basses alimentation et consommation. Nous proposons des filtres reconfigurables et à bande passante élevée, des préamplificateurs à très faible niveau de bruit et à large bande passante, des amplificateurs variés programmables, des régulateurs de tension, des PLL (Phase-Locked Loop) à grande plage d'opération, des FLL (Frequency-Locked Loop) à réponse très rapide. Aussi, des nombreux autres circuits intégrés mixtes font l'objet de nos travaux de recherche dans le cadre des applications médicales : capteurs et microstimulateurs, conversion optique – électrique, ultrasons, microélectrodes, techniques de mesures intégrés, etc. Ajoutons que nous menons des travaux dans le domaine de communications sans fil, plus spécifiquement nous travaillons à la mise au point de systèmes complets, soient des mélangeurs, des MODEM, des ADC des amplificateurs de puissance avec techniques de linéarisation dédiées, etc.

Les systèmes dédiés à des applications médicales doivent être performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. La plupart de ces applications pluridisciplinaires regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités connexes en sciences et génie. Ceci implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc. Nous nous intéressons présentement à mettre en oeuvre un bon nombre de ces systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (réception et incontinence); un implant visuel dédié à la création d'une vision acceptable chez les non-voyants; un système de stimulation dédié à la récupération de mouvements simples de bras paralysés; un dispositif capteur de signaux neuronaux dans le but de mesurer le volume d'urine dans la vessie et de commander le mouvement des membres artificiels remplaçant des membres amputés. Nous prévoyons apporter des solutions aux dysfonctionnements dans le domaine de la respiration (apnée) chez les nourrissons et chez les adultes, de l'enurésie nocturne, etc. À titre d'exemple, nous proposons un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons. Nous poursuivons nos travaux sur les techniques de télémétrie pour le test et la surveillance des activités des neurostimulateurs implantables.

Titulaire d'une Chaire de recherche du Canada sur les dispositifs médicaux intelligents, le professeur Sawan est co-fondateur de l'IFESS (International Functional Electrical Stimulation Society), Fellow de l'IEEE, Fellow de l'Académie Canadienne du génie, membre de l'«Association for Urology and Engineering» et membre de plusieurs comités d'organisation et de programme de conférences nationales et internationales. Fondateur de la conférence internationale IEEE-NEWCAS. À l'École Polytechnique, le professeur Sawan est fondateur du laboratoire de recherche PolySTIM (Laboratoire de neurotechnologies) et directeur du regroupement stratégique en microélectronique du Québec (ReSMiQ),

Pour plus de détails sur les différents travaux cités ci-dessus, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport et à consulter notre site web au <http://www.polystim.polymtl.ca>

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées au GRM durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Achigui, Hervé	M.Sc.A.	M. Sawan	
Amezzane, Ilham	M.Sc.A.	M. Sawan	
André, Walder	M.Sc.A.	S. Martel	
Aubray, Laurent	M.Sc.A.	Y. Audet	
Ba, Aguibou Hamady	M.Sc.A.	M. Sawan	
Bendali, Abdelhalim	M.Sc.A.	Y. Savaria	
Benny, Olivier	M.Sc.A.	G. Bois	F. Boyer
Bertola, Marc	M.Sc.A.	G. Bois	
Boyer, Stéphane	M.Sc.A.	M. Sawan	
Boyogueno Bendé, André	Ph.D.	M. Sawan	
Buffoni, Louis-Xavier	M.Sc.A.	M. Sawan	
Bui, Hung Tien	Ph.D.	Y. Savaria	
Cantin, Marc-André	M.Sc.A.	Y. Savaria	Y. Blaquière
Carniguian, Sylvain	M.Sc.A.	M. Sawan	
Catudal, Serge	M.Sc.A.	Y. Savaria	
Charest, Luc	M.Sc.A.	M. Aboulhamid	G. Bois
Chebli, Robert	Ph.D.	M. Sawan	
Chevalier, Jérôme	M.Sc.A.	G. Bois	M. Aboulhamid
Chouchane, Tahar	M.Sc.A.	M. Sawan	
Chouia, Younes	M.Sc.A.	M. Sawan	
Chureau, Alexandre	M.Sc.A.	Y. Savaria	M. Aboulhamid
Coudyser, Michael	M.Sc.A.	J.-J. Brault	
Coulombe, Jonathan	Ph.D.	M. Sawan	
De La Fosse, Jacques-André	M.Sc.A.	S. Martel	
Désilets, Tommy	M.Sc.A.	M. Sawan	
Deslauriers, François	M.Sc.A.	G. Bois	Y. Savaria
Djebbi, Moncef	M.Sc.A.	M. Sawan	
Djemouai, Abdelouahab	Ph.D.	M. Sawan	
Dubois, Martin	M.Sc.A.	Y. Savaria	D. Haccoun
Dubois, Mathieu	M.Sc.A.	Y. Savaria	G. Bois
Duval, Olivier	M.Sc.A.	Y. Savaria	
El Sankary, Kamal	Ph.D.	M. Sawan	
Epassa Habib, D. Gabriel	M.Sc.A.	F. Boyer	Y. Savaria
Fayomi, Christian	Ph.D.	M. Sawan	G. Roberts
Filion, Luc	M.Sc.A.	G. Bois	
Fortin, Marc-Antoine	M.Sc.A.	S. Martel	
Fouzar, Youcef	Ph.D.	M. Sawan	Y. Savaria
Gervais, Jean-François	M.Sc.A.	M. Sawan	
Ghattas, Hany	M.Sc.A.	Y. Savaria	
Ghattas, Nader	M.Sc.A.	Y. Savaria	
Gilson, Mathieu	M.Sc.A.	J.J. Brault	M. Sawan
Gorse, Nicolas	Ph.D.	M. Aboulhamid	Y. Savaria
Gosselin, Benoit	M.Sc.A.	M. Sawan	
Grou-Szabo, Robert	M.Sc.A.	Y. Savaria	
Harb, Adnan	M.Sc.A.	M. Sawan	
Hasan, Syed, Rafay	Ph.D.	M. Nekili	Y. Savaria
Hashemi, Aghcheh Body	M.Sc.A.	M. Sawan	Y. Savaria
Hu, Yamu	Ph.D..	M. Sawan	
Hubin, Mortimer	M.Sc.A.	G. Bois	R. Roy

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Hung, Dang	M.Sc.A.	M. Savan	Y. Savaria
Izouggaghen, Badre	M.Sc.A.	Y. Savaria	A. Khouas
Kabbaj, Samir	M.Sc.A.	Y. Audet	
Kassem, Abdallah	Ph.D.	M. Savan	M. Boukaddoum
Kumar, Padmapriya	M.Sc.A.	Y. Savaria	
Laazari Yassir	M.Sc.A.	M. Savan	
Lafrance, Louis -Pierre	M.Sc.A.	Y. Savaria	
Landry, Alexandre	M.Sc.A.	M. Nekili	Y. Savaria
Langlois, Hughes	M.Sc.A.	Y. Savaria	
Larab, Abdelzaiz	M.Sc.A.	A. Khouas	
Lavigueur, Bruno	M.Sc.A.	G. Bois	M. Aboulhamid
Layachi, Mohamed	M.Sc.A.	Y. Savaria	A. Rochefort
Lepage, Réjean	M.Sc.	Y. Savaria	O. Cherkaoui
Lemire, Jean-François	M.Sc.A.	G. Bois	M. Aboulhamid
Lu, Meng	M.Sc.A.	Y. Savaria	C. Wang
Lu, Zhijun	M.Sc.A.	M. Savan	
Mbaye, Mama Maria	M.Sc.A.	Y. Savaria	S. Pierre
Mc Fadden, David	M. Ing.	J.J. Brault	M. Chouteau
Monté-Genest, Ginette	M.Sc.A.	Y. Savaria	C. Thibeault
Morin, Benoit	M.Sc.A.	G. Bois	R. Roy
Morin, Dominic	M.Sc.A.	Y. Savaria	M. Savan
Mounaim, Faycal	Ph.D.	M. Savan	
Nguyen, Anh Tuan	M.Sc.A.	G. Bois	F. Boyer
Normandin, Frédéric	M.Sc.A.	M. Savan	
Nsame, Pascal	Ph.D.	Y. Savaria	
Pepga Bisou, Jean	M.Sc.A.	Y. Savaria	
Peterson, Kevin	M.Sc.A.	Y. Savaria	
Picard, Daniel	M.Sc.A.	Y. Savaria	
Pieraut, Francis	M.Sc.A.	J.-J. Brault	
Pierron, Loïc	M.Sc.A.	G. Bois	
Pigeon, Sébastien	M.Sc.A.	M. Savan	M. Meunier
Provost, Ghislain	M.Sc.A.	M. Savan	
Py, Jean-Sébastien	M.Sc.A.	M. Savan	
Qin, Lisheng	M.Sc.A.	M. Savan	
Qiu, Bing	M.Sc.A.	Y. Savaria	C. Wang
Quinn, David	M.Sc.A.	G. Bois	S. Chamberlain
Regimbal, Sébastien	M.Sc.A.	Y. Savaria	G. Bois
Renaud, Mathieu	M.Sc.A.	Y. Savaria	A. Khouas
Richard, Jean-François	M.Sc.A.	Y. Savaria	
Robert, Manuel	M.Sc.A.	Y. Savaria	
Rondonneau, Mathieu	M.Sc.A.	G. Bois	
Simard, Virginie	M.Sc.A.	M. Savan	
Tanguay, Bruno	M.Sc.A.	Y. Savaria	M. Savan
Trabelsi, Abdelaziz	M.Sc.A.	Y. Savaria	Y. Audet
Tremblay, Jean-Marc	M.Sc.A.	Y. Savaria	
Trépanier, Annie	M.Sc.A.	M. Savan	
Trépanier, Jean-Luc	M.Sc.A.	M. Savan	Y. Audet
Truang, Olivier-Don	M.Sc.A.	S. Martel	
Tsikhanovich, Alena	Ph.D.	M. Aboulhamid	G. Bois
Wang, Jiahong	M.Sc.A.	G. Bois	Y. Savaria
Wang, Junfeng	M.Sc.A.	M. Savan	A. Khouas
Wild, Guillaume	M.Sc.A.	M. Meunier	Y. Savaria
Yang, Michael	Ph.D.	J.-J. Brault	Y. Savaria

Étudiants récemment inscrits

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Dungen, J.	M.Sc.A.	J.-J. Brault	
Faucher, C.,	M.Sc.A.	J.-J. Brault	
Fournier, P.-A.,	M.Sc.A.	J.-J. Brault	
Ibrahim, Y.M.,	M.Sc.A.	J.-J. Brault	
Jahtar-Zadeh, Ebrahim	Ph.D.	M. Sawan	
Mahoney, Patrick	M.Sc.A.	G. Bois	R. Roy
Marrouche, Wissam	Ph.D.	M. Sawan	
Moussady, A.R.,	M. Ing.	J.-J. Brault	
Naderi, Ali	Ph.D.	M. Sawan	Y. Savaria
Paquet-Ferron, Dominique	M.Sc.A.	M. Sawan	
Provost, Simon	M.Sc.A.	G. Bois	
Roy, Jean-François	M.Sc.A.	M. Sawan	
Saheb, Jean-François	M.Sc.A.	M. Sawan	Y. Audet
Sehil, Mohamed	M.Sc.A.	M. Sawan	

Titres des projets et diplômes en cours de chaque étudiant

Cette section contient une liste de projets avec le nom des personnes concernées. Plus de détails sur chacun des projets se trouvent dans les descriptions individuelles des étudiants chercheurs.

<i>Nom de l'étudiant</i>	<i>Diplôme en cours</i>	<i>Le titre de son projet</i>
Achigui, H.	M.Sc.A.	Réalisation d'un système de détection des signaux précurseurs des crises épileptiques par oxymétrie.
Amezzane, I. ,	M.Sc.A.	Technique non invasive de détection d'apnée du nourrisson.
André. W.	M.Sc.A.	Conception d'un robot miniature pour opération au niveau moléculaire en utilisant la méthodologie des System-on-Chip.
Aubray, L.	M.Sc.A.	Conception de l'interface de test et de la matrice de pixels d'un détecteur d'empreintes digitales.
Ba, A.	M.Sc.A.	Stimulations combinées dédiées au rétablissement de l'évacuation chez les patients souffrant de dysfonctions urinaires.
Bendali, A.	M.Sc.A.	Conception de circuits analogiques de précision utilisant des résistances ajustables intégrées.
Benny, O.,	M.Sc.A.	Développement d'un modèle de communication à plusieurs niveaux d'abstraction en SystemC dans le contexte d'une plate-forme de codesign pour les systèmes sur puce.
Bertola, M.	M.Sc.A.	Conception, réalisation et étude d'une plate-forme générique basée sur le protocole AMBA.
Boyer, S.	M.Sc.A.	Design et tests in vivo d'un microstimulateur urinaire sélectif implantable.
Boyogueno Bendé, A.	Ph.D.	Méthode de conception du module de réception pour les communications par fibres optiques.
Buffoni, L.-X.,	M.Sc.A.	Conception d'un système de traitement d'image dédié à un implant visuel cortical.
Bui, H.T.,	Ph.D.	Généralisation et application de la technique « Shunt-Peaking » pour la conception des circuits numériques de très haute vitesse.
Cantin, M.-A.,	Ph.D.	Conversion matérielle automatique d'algorithmes de traitement de signal du format virgule flottante au format virgule fixe.
Carniguian, S.	M.Sc.A.	Égalisation de la consommation de puissance de l'implant visuel cortical par l'implémentation d'un algorithme de balayage adapté.
Catudal, S.	M.Sc.A.	Validation et vérification des modules de traitement vidéo.
Chebli, R.,	Ph.D.	Émetteur-récepteur sans fil intégré sur puce pour un système ultrasonique.
Chevalier, J.	M.Sc.A.	Partitionnement, vérification et raffinement de système logiciel/matériel conçu à haut niveau en SystemC.
Chouchane, T.	M.Sc.A.	Conception d'un mélangeur RF en technologie CMOS 0.18µm.
Chouia, Y.,	M.Sc.A.	Échantillonneur bloqueur à haute performance dédié à des CAN à très large bande..
Chureau, A.	M.Sc.A.	Conception d'interfaces en UML temps réel appliquées à la radio réalisée par logiciel.
Coudyser, M.	M.Sc.A.	Repérage de la direction d'arrivée d'un faisceau par rapport à un réseau d'antennes disposées sur deux axes et à l'aide d'un réseau de neurones.
Coulombe, J.,	Ph.D.	Simulateur visuel intra cortical implantable.
Dejmouai, A.	Ph.D.	Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables.
De La Fosse, J.A.	M.Sc.A.	Conception, fabrication, caractérisation et test d'un micromoteur MEMS (Projet Walking-die)
Désilets, T.	M.Sc.A.	Conception d'un système d'acquisition de la pression transdiaphragmatique et de l'électromyogramme du diaphragme intégré à un cathéter oesophagien.
Deslauriers, F.,	M.Sc.A.	Développement et analyse de réseaux intégrés sur puce dans un environnement logiciel/matériel multiprocesseurs.
Djebbi, M.	M.Sc.A.	Conception d'amplificateur en mode courant à décalage de tension réduit et application à la réalisation d'un filtre passe bande à fréquence centrale

<i>Nom de l'étudiant</i>	<i>Diplôme en cours</i>	<i>Le titre de son projet</i>
		programmable.
<i>Dubois, M.</i>	M.Sc.A.	Conception et implémentation d'un décodeur à seuil itératif auto configurable en temps réel pour des codes convolutionnels doublement orthogonaux.
<i>Dubois, M.</i>	M.Sc.A.	Modélisation hétérogène et conception d'une plate-forme SoC pour le traitement et la transmission des données de vidéo numériques.
<i>Duval, O.</i>	M.Sc.A.	Conception d'un dispositif microélectronique de test pour des composants nanoélectroniques.
<i>Elsankary, K.</i>	M.Sc.A.	Circuits CMOS mixtes (analogique, numérique et RF) dédiées à des systèmes de communication sans fil à très large bande.
<i>Epassa H, G.</i>	M.Sc.A.	Conception d'un circuit numérique à période d'horloge variable
<i>Fayomi, C.</i>	Ph.D.	Techniques de conception de circuits CMOS à basse tension d'alimentation dédiés aux convertisseurs analogiques /numériques.
<i>Filion, L.</i>	M.Sc.A.	Analyse, implantation et intégration d'une bibliothèque pour la spécification des systèmes embarqués dans une méthodologie de codesign.
<i>Fortin, M.A.</i>	M.Sc.A.	Système microélectronique d'un robot miniature capable d'opérer à l'échelle atomique.
<i>Fouzar, Y.</i>	Ph.D.	Contributions aux boucles à verrouillage de phase et aux liaisons séries à haute performance.
<i>Gervais, J.-F.</i>	M.Sc.A.	Échange bidirectionnel de données avec un implant électronique alimenté par lien inductif.
<i>Ghattas, H.</i>	M.Sc.A.	Conception d'un processeur embarqué de faible complexité dédié à une plate-forme SOC de processeurs réseaux.
<i>Ghattas, N.</i>	M.Sc.A.	Architecture qui teste et répare automatiquement les mémoires ayant une capacité ultra large.
<i>Gilson, M.</i>	M.Sc.A.	Entraînement de réseaux neuronaux récurrents à pulses pour modéliser un tissu neuronal biologique.
<i>Gorse, N.</i>	Ph.D.	Vérification à haut niveau d'abstraction, de la cohérence des requis dans les designs : une validation conceptuelle des requis.
<i>Gosselin, B.</i>	M.Sc.A.	Étage d'entrée à faible bruit et à faible consommation pour un système multicanal d'acquisition de signaux neuronaux.
<i>Grou-Szabo, R.</i>	M.Sc.A.	Plate-forme d'intégration reconfigurable spécialisée pour applications vidéo.
<i>Harb, A.</i>	Ph.D.	Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales.
<i>Hasan, S.R.</i>	Ph.D.	Conception d'un bus sur puce opérant à haute fréquence sans contention.
<i>Hashemi, S.</i>	M.Sc.A.	Module de conversion de puissance basé sur un multiplicateur de tension à haut rendement et d'un redresseur actif intelligent applicable aux implants biomédicaux.
<i>Hu, Y.</i>	Ph.D.	Techniques CMOS sans-fil dédiées aux liens électromagnétiques de dispositifs médicaux implantables.
<i>Hubin, M.</i>	M.Sc.A.	Une approche SOC d'un modèle multi-processeur de « Hardware Multithreading»
<i>Hung D.</i>	M.Sc.A.	Convertisseur analogique à numérique de type Flash à haut taux d'échantillonnages.
<i>Izouggaghen, B.</i>	M.Sc.A.	Caractérisation et modélisation des sources de gigue et d'étalement spectral dans un circuit de synthèse directe de phase «DDPS».
<i>Kabbaj, S.</i>	M.Sc.A.	Modélisation d'un capteur CMOS
<i>Kassem, A.</i>	Ph.D.	Techniques de conception système sur puce dédiées à l'imagerie par ultrasons.
<i>Kumar, P.</i>	M.Sc.A.	Méthodes de conception pour la testabilité des circuits CML bipolaires.
<i>Laaziri, Y.</i>	M.Sc.A.	Caractérisation et mesure d'impédance complexe de l'interface électrode-tissus nerveux.
<i>Lafrance, L.-P.</i>	M.Sc.A.	Implantation, comparaison et analyse des performances de l'estimateur fréquentiel Crozier sur différentes plates-formes.

<i>Nom de l'étudiant</i>	<i>Diplôme en cours</i>	<i>Le titre de son projet</i>
<i>Landry, A.,</i>	M.Sc.A.	Conception d'un bus à haute fréquence pour les plates formes SOC.
<i>Langlois, H.,</i>	M.Sc.A.	Optimisation paramétrique de circuits analogiques par l'intermédiaire des algorithmes génétiques.
<i>Larab, A.,</i>	M.Sc.A.	Conception d'un nouveau wrapper reconfigurable en IEE P1500 en structure de-test intégré pour le test des modules internes et des interconnexions d'un système sur puce.
<i>Lavigueur, B.</i>	M.Sc.A.	Exploration architecturale de processeurs réseaux utilisant un jeu d'instruction configurable à l'aide d'une plate-forme générique.
<i>Layachi, M.</i>	M.Sc.A.	Influence du couplage dans le transport électrique à travers les molécules organiques.
<i>Lepage, R.</i>	M.Sc.	Méthode co-design (logiciel/matériel) d'identification et d'auto classification des protocoles de haut niveau.
<i>Lemire, J.-F.,</i>	M.Sc.A..	Synthèse assistée de moniteurs d'assertions à partir d'une méthodologie d'encapsulation d'assertions dans une spécification exécutable.
<i>Lu, M.</i>	M.Sc.A.	Conception d'un démonstrateur WSI (Wafer Scale Integration).
<i>Lu, Z.</i>	M.Sc.A.	Conception d'un convertisseur analogique à numérique Sigma Delta CMOS à basse alimentation et faible consommation d'énergie.
<i>Mbaye, M.M.</i>	M.Sc.A.	Interconnexion Firewire-Ethernet.
<i>Mc Fadden, D.,</i>	M. Ing.	Reconnaissance de formes hyperboliques dans les applications radar par transformée en ondelettes, recuit simulé et réseaux de neurones.
<i>Morin, B.</i>	M.Sc.A.	Exploration d'une plateforme reconfigurable à mémoire distribuée.
<i>Morin, D.</i>	M.Sc.A.	Convertisseur analogique à numérique (CNA) pour des applications à la télévision haute définition.
<i>Mounaim, F.,</i>	M.Sc.A.	Système d'acquisition de signaux neuronaux pour l'estimation du volume et de la pression de la vessie.
<i>Nguyen, A.T.</i>	M.Sc.A.	Conception, implémentation et synthèse d'un système sur puce pour l'isolation de la voix dans des prothèses auditives numériques.
<i>Normandin, F.,</i>	M.Sc.A.	Réseau de capteurs optiques pour mesures en temps réel des variations de concentration d'oxygène dans les tissus.
<i>Nsame, P.</i>	Ph.D.	Techniques et méthodes de conception des systèmes intégrés de type SOC.
<i>Pepga Bisou, J.</i>	M.Sc.A.	Conception de haut niveau d'une plate-forme SoC et de son système d'interconnexions pour un convertisseur de protocoles réseaux générique.
<i>Peterson, K.,</i>	M.Sc.A.	Environnement de vérification en temps réel basé sur les assertions pour les systèmes matériels.
<i>Picard, D.</i>	M.Sc.A.	Conception et réalisation d'un prototype de circuit intégré à l'échelle de la tranche
<i>Pieraut, F.</i>	M.Sc.A.	Optimisation des réseaux de neurones de grande capacité : étude de leur inefficacité et exploration de solutions.
<i>Pierron, L.,</i>	M.Sc.A.	Étude de réseaux d'interconnexions pour systèmes sur puce.
<i>Pigeon, S.</i>	M.Sc.A.	Conception et fabrication d'une matrice de microélectrodes corticales implantables.
<i>Provost, G.,</i>	M.Sc.A.	Exploration architecturale et implémentation d'un décodeur itératif à seuil de code doublement orthogonal.
<i>Py, J.S.</i>	M.Sc.A.	Simulation des effets de la simulation corticale.
<i>Qin, L.</i>	M.Sc.A.	Conception et réalisation d'un CAN Delta-Sigma à bande passante et fréquences programmables.
<i>Qiu, B.</i>	M.Sc.A.	Le diagnostic et l'analyse du rendement dans l'architecture complexe d'interconnexion.
<i>Quinn, D.</i>	M.Sc.A.	Distribution d'une application de traitement de paquets pour une architecture multiprocesseur sur puce.
<i>Régimbal, S.</i>	M.Sc.A.	Automatisation de la couverture fonctionnelle des circuits numériques.
<i>Renaud, M.</i>	M.Sc.A.	Détecteurs de phase linéaires de précision à usage multiple.

<i>Nom de l'étudiant</i>	<i>Diplôme en cours</i>	<i>Le titre de son projet</i>
<i>Richard, J.-F.</i>	M. Ing.	Conception d'interfaces haut-voltage utilisant la technologie CMOS/DMOS.
<i>Robert, M.,</i>	M.Sc.A.	Convertisseur analogique à numérique en virgule flottante: principes de conception et applications spécifiques.
<i>Rondonneau, M.,</i>	M.Sc.A.	Encapsulation d'un système d'exploitation temps-réel dans une API SystemC afin d'intégrer une plate-forme de codesign en System C destinée au partitionnement des systèmes sur puces (SoC).
<i>Simard, V.,</i>	M.Sc.A.	Conception d'un module de traitement de signal et compression par transformées en ondelettes pour un système d'acquisition de signaux corticaux.
<i>Tanguay, B.</i>	M.Sc.A.	Chaîne de traitement numérique pour la radio reconfigurable par logiciel (SDR).
<i>Trabelsi, A.</i>	M.Sc.A.	Technique de calibration de circuits analogiques pour des applications de haute précision.
<i>Tremblay, J-M.,</i>	M.Sc.A.	Conception d'un circuit de conversion de protocoles pour la transmission de vidéo sur des réseaux haute vitesse
<i>Trépanier, A.,</i>	M.Sc.A.	Système mixte dédié à la capture d'image et à la récupéraiton de sa structure 3D.
<i>Trépanier, J.-L.,</i>	M.Sc.A.	Capteur d'image intégré à très large bande dynamique pour stimulateur cortical.
<i>Truang, O.D.</i>	M.Sc.A.	Intégration d'un SOC et d'un moteur électrostatique (MEMs) en vue de la conception du Walking-Die.
<i>Wang, J.,</i>	M.Sc.A.	Conception et implantation de la génération automatique de bancs d'essai réutilisables basés sur des règles.
<i>Wang, J.</i>	M.Sc.A.	Design et implémentation d'un module de synchronisation et de traitement des échos ultrasoniques.
<i>Wild, G.,</i>	M.Sc.A.	Caractérisation de résistances diffusées.
<i>Yang, M.</i>	Ph.D.	Application des algorithmes de Shor et Grover aux mémoires adressables pour leur contenu et aux machines stochastiques d'Hopfield et de Boltzmann.

Description détaillée des projets d'étudiants

ACHIGUI FACPONG , Hervé

DIPLÔME: M.Sc.A.

TITRE :

Réalisation d'un système de détection des signaux précurseurs des crises épileptiques par oxymétrie .

RÉSUMÉ :

Le but de projet est de réaliser un système portable devant permettre le monitoring de l'activité du cerveau humain par oxymétrie. De cette mesure en continu du taux d'oxygénation, le système devra identifier tout fonctionnement anormal du cerveau du patient. Le principe du système se repose sur la NIRS (*Near infrared spectroscopy.*)

PROBLÉMATIQUE :

L'épilepsie est une maladie qui touche plus de 1% (50 millions) de la population mondiale, dont plus de 300 000 canadiens. L'épilepsie est un trouble physique caractérisé par des changements soudains et brefs dans la façon de fonctionner du cerveau. Les systèmes cliniques utilisés jusqu'à présent pour détecter les signes précurseurs des crises nécessitent de gros appareillages, pour le traitement des données. Le patient est encore relié à un ordinateur qui effectue le traitement des données reçus des différents capteurs (EEG, MEG, fMRI, ...). Le but de ce travail sera de fournir aux cliniciens un système portable et autonome qui effectue la détection des signaux précurseurs des crises épileptiques.

MÉTHODOLOGIE :

L'implémentation d'un tel système de détection nécessite les étapes suivantes:

- Revue de la littérature portant sur :
 - Les techniques d'identification des crises épileptiques (EEG, EMG, MRI).
 - La spectrophotométrie des tissus.
- Définition des modèles de modules pour l'unité de détection.
- Simulation, validation et implémentation des modèles.
- Intégration progressive de tous les modules du détecteur dans la plateforme de simulation et de validation
- Simulation et validation du détecteur
- Optimisation et vérification du détecteur.
- Validation expérimentale du système.

RÉSULTATS :

La validation de cette implémentation sera faite par des simulations successives de chacun des modules du modèle qui sera réalisé dans la première étape de ce projet. Ensuite, une validation expérimentale, permettra d'observer les variations des concentrations d'oxygène dans un cerveau.

AMEZZANE, Ilham

DIPLOÔME: M.Sc.A.

TITRE :

Technique non invasive de détection d'apnée du nourrisson.

RÉSUMÉ :

L'objectif de ce projet est la réalisation d'un système non invasif de surveillance à domicile des apnées du nourrisson qui surviennent souvent durant le sommeil et qui peuvent entraîner le décès si l'entourage (parents ou infirmière) n'y est pas prévenu par des alarmes. Une apnée correspond à une interruption de la respiration de plus de 10 secondes. Celle-ci peut être obstructive, ce qui correspond à une poursuite des mouvements respiratoires, centrale avec une interruption complète des mouvements thoraciques et abdominaux ou mixtes (centrale puis obstructive). La survenue de plus de 5 apnées par heure de sommeil définit le Syndrome d'Apnées du Sommeil (SAS).

PROBLÉMATIQUE :

L'un des principaux problèmes associés à la surveillance des apnées du sommeil est dû au fait que toutes les techniques existantes et qui sont relativement fiables sont malheureusement invasives (masque naso-facial, électrodes d'impédance thoracique, plethysmographie inductive ...) ce qui par conséquent entraîne d'une part un inconfort et une limitation du mouvement pendant le sommeil et d'autre part une sensibilité aux artefacts de mouvement qui se traduisent souvent par de fausses alarmes (positives ou négatives). Nous nous proposons donc de réaliser un système de surveillance sans contact avec le bébé et qui est basé sur la détection du volume respiratoire, qui est le paramètre significatif de la mécanique ventilatoire, au lieu du mouvement thoracique.

MÉTHODOLOGIE :

Pour répondre aux objectifs fixés, nous envisageons de modéliser un dispositif qui comprend une enceinte où sera placée le bébé, dont le volume doit être déterminé de façon à ce que le capteur qui sera utilisé pour la détection des variations de pression soit suffisamment sensible, et dont les conditions : air, température et humidité sont contrôlables.

RÉSULTATS :

Les simulations de l'écoulement de l'air à l'intérieur de l'enceinte ont été effectuées.

ANDRÉ, Walder

DIPLÔME: M.Sc.A.

TITRE:

Conception d'un robot miniature pour opération au niveau moléculaire en utilisant la méthodologie des System-on-Chip.

RÉSUMÉ :

Nous proposons un dispositif capable de faire de l'assemblage moléculaire et du scan au niveau atomique. Nous allons concevoir un robot miniature dont les dimensions sont estimées à 3mm à 3 mm en utilisant la méthodologie des «System on Chip». Ce robot est un ordinateur en soi capable de travailler de manière autonome et d'effectuer du balayage au niveau atomique basé sur le microscope à effet tunnel (STM *Scanning tunneling microscope*.) Ce robot doit aussi être en mesure d'échanger les données avec l'ordinateur central pour le traitement. Pour le système d'actuation, nous avons choisi les MEMS. Les MEMS sont des senseurs électromécaniques miniatures et des actuateurs développés à partir du procédé de fabrication des technologies VLSI.

PROBLÉMATIQUE:

La conception d'un robot aux dimensions millimétriques s'avère une tâche difficile compte tenu de la nature et de la multiplicité des contraintes qui y sont rattachées. Un des principaux problèmes que nous avons dû repenser se situe au niveau de l'alimentation en puissance du robot. D'une part, en raison de ses faibles dimensions, le die ne peut incorporer une batterie d'alimentation, car cette dernière occuperait trop de place. D'autre part, la conversion de charge doit être évitée autant que possible. Ceci est pris en compte en maintenant un seul niveau de voltage à l'intérieur du design. Un autre problème est au niveau du système de communication à mettre en place entre le robot et l'ordinateur central. En effet, dans le contexte de la nanorobotique, trouver un système permettant d'établir la communication entre un robot qui se veut un élément miniature et un ordinateur central se révèle tout un défi. Bien qu'il existe déjà plusieurs protocoles de communication, ceux-ci doivent être modifiés pour pouvoir opérer à l'échelle millimétrique. À titre d'exemple, nous pouvons citer les systèmes de communication sans fil, le RS232, les ports UARTs, les bus I 2C et SPI. Outre le problème de communication, nous avons le problème de lier la programmation du robot. Le microcontrôleur dont on dispose ne contient pas de mémoire intégrée non volatile. Ceci pose un problème au moment d'initialiser le robot ou, en d'autres termes, au moment du *reboot*. Le robot doit donc s'appuyer sur un programme qui lui dicte les premières opérations. Le programme du microcontrôleur doit donc se trouver à l'extérieur du robot dans un EPROM, et son accès doit se faire à partir d'un fil branché au plancher. Dans la prochaine section, nous présentons la façon dont nous allons interfaçer le robot avec le EPROM par l'intermédiaire d'un bus à un fil connecté au plancher d'alimentation.

MÉTHODOLOGIE:

Le robot doit pouvoir communiquer avec un ordinateur central pour les fins de transmission et de réception de données. Par exemple, le robot (WALKING-DIE) doit pouvoir envoyer les résultats d'un scan à l'ordinateur central pour l'analyse. Ceci peut se faire en utilisant un port de communication. Le microcontrôleur utilisé a deux ports sériels qui sont des UARTs permettant la communication avec le périphérique. Deux fils sont donc nécessaires pour rendre possible la communication du robot avec son environnement, un pour la transmission (TDX) et l'autre pour la réception. À première vue, l'ajout de ces fils semble ne pas poser de problème sur le projet. Cependant, lors de la conception du plancher d'alimentation, les contraintes à respecter peuvent s'avérer sévères et rendre le design presque impossible. Ensuite, le déplacement du robot en serait affecté. En effet, plus le nombre de fils qui sortent du robot et qui traînent sur le plancher d'alimentation est grand, plus la vitesse de déplacement du robot diminue. À ce moment, on ne peut pas déterminer sa position avec précision, ce qui est l'encontre de la philosophie qui sous-tend la nanorobotique et qui préconise des mesures extrêmement précises. Pour éviter ces problèmes, nous avons implémenté un One Wire bus utilisant le port UART du microcontrôleur. Ce composant repose sur deux tampons à trois états (tristate buffers). Les deux ne sont jamais actifs en même temps. Le microcontrôleur est le maître. Il envoie un signal SELECT égal à 1 quand il veut transmettre et égal à 0 quand il veut recevoir des données.

RÉSULTATS:

Le robot est en fabrication. Pour l'instant, nous travaillons sur l'implémentation de la partie microélectronique qui est le cerveau du robot et la partie MEMS responsable de la mobilité du robot. C'est deux dies distincts qui seront attachés soit en utilisant le wire-bounding ou le flip-chips. Des études sont en cours présentement pour déterminer quelle méthode nous utiliserons.

AUBRAY, Laurent

DIPLOÔME: M.Sc.A.

TITRE:

Conception de l'interface de test et de la matrice de pixels d'un détecteur d'empreintes digitales.

RÉSUMÉ:

Le projet consistera en la conception de la matrice de pixels d'un détecteur d'empreintes digitales utilisant la résistivité du doigt comme élément de mesure. Une attention particulière sera portée à la protection contre les décharges électrostatiques. Également, une interface de test sera conçue afin de transférer les empreintes digitales recueillies vers un ordinateur afin de tester les algorithmes de reconnaissance de l'empreinte.

PROBLÉMATIQUE:

De nombreux détecteurs d'empreintes digitales existent actuellement sur le marché. On peut les regrouper en trois types principaux : optiques, capacitifs et thermiques. Chaque type a ses avantages et ses inconvénients, mais tous comportent un même désavantage les empêchant d'être vendus en grand nombre : leur coût et leur taille élevée. De plus, ils nécessitent tous un ordinateur afin d'effectuer le traitement des données. Ceci rend impossible leur miniaturisation à bon marché.

L'idée de capteur proposée par le GRM utiliserait la résistivité de la peau comme élément de mesure. Ceci permettrait d'utiliser une matrice de pixels entièrement en silicium, ce qui rend son intégration possible sur une puce microélectronique qui effectuerait également les opérations de traitement d'image, réduisant drastiquement son coût de production et sa taille. Il serait ainsi possible d'intégrer ce capteur dans des téléphones cellulaires, agendas électroniques, ordinateurs portables...

MÉTHODOLOGIE:

Le schéma électronique de la matrice de pixels au niveau transistor est déjà avancé, mais les protections contre les décharges électrostatiques ne sont pas implantées. Ceci, ainsi que la finalisation du schéma de la matrice, constituera la première partie du projet.

Des algorithmes de détection ont également été créés avec Matlab. Avant de les introduire sur une puce finale, il est important de pouvoir les tester à l'aide d'empreintes obtenues à partir du capteur développé. En effet, on ne peut s'assurer du bon fonctionnement des algorithmes à partir d'empreintes générées par un logiciel. La deuxième partie du projet consistera donc à développer une interface pour envoyer les empreintes digitales recueillies vers un ordinateur. Il sera alors possible de construire une base de données d'empreintes digitales pour tester les algorithmes.

RÉSULTATS:

Une matrice de pixels a déjà été conçue. Les simulations effectuées sont encourageantes. Les résultats simulés montrent clairement la forme de l'empreinte qui varie peu en fonction des différentes résistivités de peau, ce qui est un objectif important dans le projet. Aussi, des algorithmes de traitement d'images ont été conçus et testés sur des empreintes générées par un logiciel. Les algorithmes semblent fonctionnels et de taille raisonnable, ce qui permet d'envisager leur implémentation sur un microprocesseur on-chip. Il reste à tester les limites de ces algorithmes en fonction de la qualité d'image et des différences possibles entre deux images du même doigt, ce qui sera fait dans une phase ultérieure du projet.

BA, Aguibou

DIPLÔME: M.Sc.A.

TITRE :

Stimulations combinées dédiées au rétablissement de l'évacuation chez les patients souffrant de dysfonctions urinaires.

RÉSUMÉ :

Le projet vise à concevoir un microstimulateur implantable intégré permettant un contrôle permanent et volontaire de la miction ainsi qu'une réduction voir une suppression de l'incontinence.

PROBLÉMATIQUE :

Chez des patients qui ont subi une lésion de la moelle épinière, souvent apparaissent des dysfonctions vésicales, où le patient n'est plus en mesure de provoquer une miction volontaire lorsque sa vessie est pleine et souffre de complications vésicales liées à une hyperactivité réflexe du muscle de la vessie. Nous voulions concevoir un dispositif électronique implantable qui par la stimulation électrique neurale permettra de retrouver les fonctions vésicales de remplissage de la vessie. Le système devrait être implanté à l'intérieur du corps sous la peau du patient et un contrôleur externe permet de communiquer avec le stimulateur sous-cutané et de l'alimenter en énergie via un lien inductif opérant à haute fréquence.

MÉTHODOLOGIE :

La première partie des travaux a consisté à réaliser des prototypes sur PCB avec des composants programmables disponibles commercialement (FPGA et micro-contrôleur) afin de pouvoir les planter et ensuite valider les méthodes de stimulations utilisées. Une version intégrée de ce système a été conçue et fabriquée dans la technologie CMOS 0.18 micron. En plus de posséder toutes les fonctionnalités des stimulateurs précédemment réalisés en technologie discrète, ce nouveau système combine un nouveau type de stimulation sélective dite flexible permettant à l'usager de générer les formes d'ondes de stimuli de son choix. Le circuit contient aussi un bloc de mesure d'impédance permettant de caractériser l'interface électrode-nerf.

RÉSULTATS :

Un prototype implantable (4cm de diamètre) nous a permis de valider les fonctionnalités du stimulateur à travers des expérimentations chroniques sur des animaux.

La version intégrée a été soumise à des simulations exhaustives et a été testée matériellement après réception. Les tests ont montré que les hautes fréquences générées pouvaient atteindre 75KHz tandis que les basses variaient de 4.6Hz à 1.2KHz. Le système de stimulation peut générer des impulsions à une durée aussi grande que 853us avec une précision de 3us. 32 points composant une période d'un signal offre ainsi une grande variété de formes d'ondes de stimulation.

BENDALI, Abdelhalim

DIPLOÔME: M.Sc.A.

TITRE:

Conception de circuits analogiques de précision utilisant des résistances ajustables intégrées.

RÉSUMÉ:

Le projet consiste à étudier et à proposer des architectures flexibles de circuits analogiques dont l'ajustement de l'amplitude des signaux de sortie est basé sur la variation d'éléments résistifs intégrés. Le but est d'améliorer la précision de ces circuits, en tenant compte du meilleur compromis entre la complexité du circuit et ses performances.

Nous avons proposé et réalisé une référence de tension *bandgap* opérant à très basse tension d'alimentation fabriquée dans le procédé CMOS 0.18µm.

PROBLÉMATIQUE:

Dans les systèmes analogiques, on a souvent besoin des circuits de grande précision qui peuvent influencer grandement les performances de ces systèmes. L'une des approches utilisées est le recours à un réglage des résistances ajustables.

Parmi les contraintes au réglage des résistances intégrées, on retrouve le coût du procédé de fabrication, qui peut être élevé, la grande dimension de la résistance et l'erreur relative sur la valeur ajustée elle-même.

Des recherches récentes sur des éléments résistifs ajustables de haute précision, de la taille d'un transistor CMOS, ont ouvert de nouveaux horizons à leur utilisation.

Le but du projet est de tirer avantage de ces éléments précis et de proposer des méthodes de compensation et de réglage pour des circuits référence de tension.

MÉTHODOLOGIE:

Notre objectif premier consiste à définir les architectures et les parties de la fonctionnalité du circuit nécessitant un ajustement précis et qui, par ce fait, améliorent les performances du système. L'approche est la suivante :

- Identification des parties sensibles à l'ajustement de résistances dans les références de tension;
- Optimisation des circuits ciblés.

RÉSULTATS:

Une topologie de référence de tension CMOS a été proposée. Elle est basée sur l'utilisation d'un noyau *bandgap* et elle réalise une compensation en température du premier ordre. Le travail a été publié en mai 2002 pour la conférence ISCAS 2002 sous le titre : « Low-voltage bandgap reference with temperature compensation based on a threshold voltage technique ». Le travail de maîtrise a été achevé et présenté en 2003.

TITRE:

Développement d'un modèle de communication à plusieurs niveaux d'abstraction en SystemC dans le contexte d'une plate-forme de codesign pour les systèmes sur puce.

RÉSUMÉ :

Avant d'engager le développement d'un système sur puce, une étape de partitionnement doit être franchie, dans laquelle l'application est divisée en plusieurs modules matériels et logiciels à concevoir ou réutiliser. Un projet actuel au sein du groupe de recherche a pour but la conception d'une plate-forme qui pourra servir à la fois d'architecture de base et d'outil d'aide à la conception des systèmes numériques. Le sous projet qui sera présenté consiste à fournir un modèle de communication à plusieurs niveaux d'abstraction pour la plate-forme. Le raffinement des communications pourra se faire de façon transparente le plus possible.

PROBLÉMATIQUE :

Au niveau système, la conception d'une application embarquée peut être amorcée en premier lieu par l'élaboration d'un modèle purement fonctionnel, où l'on exprime la fonctionnalité désirée d'une application en termes de modules, de ports, d'interfaces, de processus et de canaux. L'étape subséquente consiste à partitionner les modules; c'est-à-dire de décider de la nature matérielle ou logicielle que prendra ces différents modules lors de la synthèse. L'objectif primordial de notre méthodologie est de permettre aux concepteurs de profiter pleinement de la plate-forme pour pouvoir développer leurs applications, sans avoir à modifier le système d'exploitation ou les composants généraux de la plate-forme. Pour ce faire, nous devons garantir que les modules écrits en SystemC pourront être implémentés en logiciel ou en matériel, et qu'à tout moment il sera possible de changer la nature d'un module facilement.

MÉTHODOLOGIE :

SystemC est un langage basé sur le C++ qui permet de modéliser à haut niveau et de simuler des systèmes matériels et logiciels. La réalisation d'une plate-forme en SystemC s'inscrit dans un vaste projet développé par le groupe de recherche CIRCUS (www.grm.polymtl.ca/circus). La réalisation d'un outil permettant la conception bout en bout de systèmes embarqués. À son niveau, la plate-forme en SystemC permettra d'effectuer efficacement la partition entre les modules logiciels et les modules matériels. Pour cela, un utilisateur pourra tester différentes configurations logicielles/matérielles et ce, sans avoir à faire de changements dans le code de ses modules. Ces configurations seront simulées par SystemC et une série d'estimateurs renseignera le concepteur sur le rendement de sa configuration, comme les délais, la puissance, et la surface. Parallèlement à la simulation, des outils de vérification l'assureront de la validité du système. Une fois sa configuration choisie et validée, l'utilisateur pourra raffiner son système en diminuant le niveau d'abstraction, pour se rapprocher graduellement de la plate-forme réelle.

RÉSULTATS :

Les exemples d'applications développés démontrent qu'un simulation au premier niveau d'abstraction est environ 50 fois plus rapide qu'au niveau plus bas, où un ISS (Instruction Set Simulator) et un canal de type TLM (Transactional Level Model) synchrone consomment plus de temps de simulation. Par contre, à ce niveau, les simulations informeront le concepteur du nombre de cycles d'horloges lors de l'exécution, ce qui lui permet d'estimer ses choix de partitionnement. Plusieurs applications et exemples sont en cours de développement et davantage de résultats sont attendus sous peu. Le mémoire a été présenté et accepté.

BERTOLA, Marc

DIPLOÔME: M.Sc.A.

TITRE :

Conception, réalisation et étude d'une plate-forme générique basée sur le protocole AMBA.

RÉSUMÉ :

Le but de ce projet est d'étudier les défis de la conception de systèmes-sur-puce en développant une plate-forme qui respecte le protocole AMBA AHB. Le processus de développement sert de contexte permettant l'identification à l'effet de divers choix architecturaux.

PROBLÉMATIQUE :

Avec les progrès de la technologie, il devient possible de développer des systèmes complets sur une même puce. Cette abondance de ressources vient introduire de nouvelles difficultés pour les concepteurs : la complexité des systèmes est maintenant si grande qu'il devient nécessaire d'adopter de nouvelles techniques de design. Ce travail est dirigé vers l'étude de nouveaux défis provenant de ces techniques : la conception d'adaptateurs (*wrappers*), la familiarisation avec le protocole de communication AMBA AHB et la division d'un système en une hiérarchie de bus.

MÉTHODOLOGIE :

La première étape était d'identifier les besoins que la .plate-forme devait satisfaire :

- utiliser le processeur ARM7/TDMI;
- contenir le matériel nécessaire pour supporter un système d'exploitation temps-réel (RTOS);
- être tolérant aux modifications;
- maximiser la bande passante disponible au microprocesseur;
- être structuré de façon à permettre la génération automatique.

La conception de la plate-forme consiste donc en un raffinement progressif d'une architecture initiale dans le but de répondre à ces besoins.

RÉSULTATS :

La première version de la plate-forme a été complétée en décembre 2002. Depuis, la plate-forme a été utilisée dans plusieurs laboratoires dans un cours des cycles supérieurs (INF6501 – Spécification et conception de systèmes embarqués). Cette expérience a été l'objet d'un article publié dans le contexte du Microelectronics Symposium on Education 2003, à Anaheim(Californie).

Les connaissances acquises lors de la conception des adaptateurs (*wrappers*) ont mené au développement d'une méthodologie de conception qui sera présentée lors du Euromicro Symposium on Digital System Design 2003, à Belek (près de Antalya, Turquie). La plate-forme sera bientôt disponible sur le site Web du CIRCUS. Le mémoire a été présenté et accepté.

BOYER, Stéphane

DIPLÔME: M.Sc.A.

TITRE:

Design et test in vivo d'un microstimulateur urinaire sélectif implantable.

RÉSUMÉ:

Au Québec seulement, des milliers de personnes souffrent de défaillance du système urinaire. Le problème sur lequel nous travaillons est celui de la rétention urinaire des personnes ayant subi des lésions au niveau de la colonne vertébrale (paralysie). Notre but est de remplacer les systèmes actuels (les sacs par exemple) et de restaurer les fonctions vitales du système urinaire de façon à améliorer la qualité de vie.

PROBLÉMATIQUE:

En utilisant un stimulateur neuromusculaire miniaturisé implantable et un contrôleur externe, on excite le nerf S2 partant de la colonne et allant jusqu'au muscle de la vessie et du sphincter pour évacuer l'urine. Une nouvelle technique de stimulation sélective est proposée pour provoquer l'écoulement tout en évitant la contraction simultanée du muscle de la vessie et du sphincter, qui entraîne une pression excessive indésirable.

MÉTHODOLOGIE:

Le système de stimulation que nous proposons est composé de deux parties principales soient l'implant et le contrôleur externe. Il s'agit d'un système versatile et fonctionnel qui répond au problème complexe de la neurostimulation tout en étant simple d'utilisation pour l'usager. C'est l'unité externe qui contrôle la stimulation tout en assurant l'alimentation en énergie de l'implant via une interface à couplage magnétique à haute fréquence. Lors de chaque stimulation, les paramètres sont transmis par le contrôleur à l'implant qui s'assure de leur validité par des algorithmes de détection d'erreurs. Le contrôleur externe est portatif et très simple d'utilisation. Un écran à cristaux liquides permet de sélectionner les paramètres désirés.

L'implant est constitué d'un circuit imprimé circulaire d'environ 3,5 centimètres de diamètre. L'implant est composé de trois blocs soient : l'entrée, le traitement et la sortie. Un circuit intégré programmable non volatile (FPGA) est utilisé pour contenir toute la partie numérique de traitement. Le circuit est moulé dans une substance dure pour assurer sa rigidité et ensuite isolé dans un produit bio-compatible. Une électrode spéciale est utilisée pour relier l'électrode à l'implant.

RÉSULTATS:

Le système réalisé avec des composants commercialement disponibles est totalement fonctionnel et il est à l'essai en ce moment au département d'urologie de l'Université McGill. La partie de contrôle et de génération des stimuli ainsi que la source de courant commandée ont été réalisés et testés. Ces modules ont été fabriqués sur un circuit intégré en CMOS 0.35micron par l'entremise de la Société canadienne de Microélectronique. La partie radiofréquence (RF) est actuellement en phase de design.

TITRE:

Méthode de conception du module de réception pour les communications par fibres optiques.

RÉSUMÉ:

Dans le domaine des transmissions en général et celui des transmissions par fibres optiques en particulier, les circuits électroniques sont conçus pour satisfaire un ensemble de critères et de performances spécifiques. Le but de notre recherche est d'analyser et de proposer des méthodes de conception du module de réception pour les systèmes de communication par fibre optique mettant en jeu des hautes fréquences d'opération.

PROBLÉMATIQUE:

Avec l'explosion des communications par fibres optiques et des communications sans fil, de même que la popularité de l'internet, la demande en bande passante devient de plus en plus forte. Les équipements de transmission et de réception sont de nos jours appelés à fonctionner à des débits de transmission de plus en plus élevés. Leur conception et leur fabrication deviennent de plus en plus complexes, car mettant en jeu des hautes fréquences d'opération.

Grâce à sa grande bande passante, la fibre optique est utilisée comme lien par excellence pour les communications à longues distances. Les fibres optiques mono modes à grande capacité de transmission ont déjà été développées mais leur bande passante demeure encore sous exploitée. Les principales limitations des systèmes de transmission par fibre optique sont l'atténuation et la dispersion dans la fibre optique, la gamme dynamique du module de réception, la bande passante et le bruit des circuits électroniques, les pertes de couplage dans les interfaces optoélectroniques de transmission et de réception. La mise en œuvre des amplificateurs optiques à fibre permet de réaliser de nos jours des systèmes de transmission dont la performance n'est plus que limitée par l'électronique aux interfaces optoélectroniques.

D'où la nécessité de développer des dispositifs optoélectroniques à haute performance répondant à la forte demande du marché des télécommunications. Ce développement repose d'une part sur l'amélioration des procédés de fabrication avec une modélisation plus accrue et d'autre part, sur la mise en œuvre de nouvelles méthodes de conception répondant aux nouvelles exigences permettant de tirer le maximum de performance dont dispose ces nouvelles technologies.

MÉTHODOLOGIE:

Nous présentons la conception du module de réception basée sur l'amplificateur à transimpédance; nous proposons deux méthodes de conception permettant d'étendre sa bande passante et d'améliorer son adaptation à un environnement 50 Ohms. Un effort particulier est accordé à la protection contre les décharges électrostatiques, au partionnement des sous circuits, à la sensibilité au bruit des alimentations et aux variations du procédé de fabrication. Grâce à la modélisation, nous proposons une méthodologie de simulation permettant de prédire le comportement du module dans un environnement réel de fonctionnement.

RÉSULTATS:

Trois types de configuration à transimpédance ont été proposés et publiés. Une modélisation permettant de mettre en exergue les effets parasites dus aux imperfections des différents couplages a été faite. Une méthode d'évaluation de la stabilité dans la bande passante d'intérêt a également été proposée. La rédaction de la thèse est en cours.

BUFFONI, Louis-Xavier

DIPLOÔME: M.Sc.A.

TITRE:

Conception d'un système de traitement d'image dédié à un implant visuel cortical.

RÉSUMÉ:

Ce projet s'inscrit dans le cadre du système visuel cortical (SVC), système dont le but est de rendre la vue à des aveugles par la stimulation électrique du cortex visuel cérébral. Il tente de faire le lien entre le capteur d'images et le stimulateur cortical, en envoyant à ce dernier que les informations visuelles pertinentes, extraites des images provenant du monde réel.

PROBLÉMATIQUE :

Depuis plusieurs années, il a été démontré qu'il était possible de créer la sensation de vision en stimulant électriquement le cortex visuel. Ces percepts sont communément appelés « phosphènes ». Le but d'un implant visuel cortical est de recréer des images compréhensibles en stimulant plusieurs phosphènes simultanément. Il n'existe cependant aucune étude qui se soit penchée sur la question, à savoir le contenu d'image qu'il est envisageable de générer par un implant visuel afin de rendre une vue fonctionnelle à un aveugle. Car il est évident qu'une image ne peut être entièrement reproduite sur le cortex : la résolution, le nombre de pixels, le nombre de niveaux de gris, et d'autres contraintes biomédicales rendent cela impossible. Le présent projet tente donc de répondre à cette question, et par la même occasion, fournir un premier lien entre un capteur d'images et l'implant.

MÉTHODOLOGIE :

Une recherche de la littérature a été effectuée afin de comprendre l'organisation des phosphènes dans le champ visuel. Un programme de visualisation de ces phosphènes a été implanté. Il fonctionne en temps réel et permet l'affichage de l'image entrée, l'affichage de l'image représentée sous forme de phosphènes telle qu'un aveugle la verrait et un lien vers un système matériel de traitement d'image.

L'étude des besoins en traitement d'image pour un SVC révèle qu'une place importante doit être laissée aux traitements de bas niveau. Afin de les rendre faisables rapidement, un accélérateur matériel de calcul a été implémenté.

L'étude porte présentement sur les algorithmes mathématiques à implémenter. Ces algorithmes sont de bas, moyen et haut niveau, Des tests sont effectués sur des images fixes. Lorsque la qualité sera jugée satisfaisante, ils seront implémentés dans un système embarqué comprenant un DSP (*digital signal processor*). Ce système sera branché au logiciel de visualisation décrit plus haut. La pertinence de l'accélérateur de calcul pourra ensuite être justifiée de manière quantitative. Tous les éléments seront finalement mis ensemble afin d'offrir un prototype de système de traitement d'image flexible permettant son intégration graduelle d'outil de test médical à un système portable.

RÉSULTATS :

Les algorithmes de traitement d'images sont en cours d'implémentation et sont évalués qualitativement. Une évaluation quantitative des résultats (vitesse, consommation de puissance) sera faisable lorsqu'ils seront implémentés en système embarqué. Cela permettra également d'évaluer exactement le gain de vitesse de l'accélérateur de calcul. Lorsque le système sera branché au logiciel de visualisation, une évaluation subjective du système complet sera possible, en temps réel.

BUI, Hung Tien

DIPLOÔME: Ph.D.

TITRE:

Généralisation et application de la technique «Shunt-Peaking» pour la conception des circuits numériques de très haute vitesse.

RÉSUMÉ :

Le but du projet est de trouver des manières de repousser les limites intrinsèques de la technologie CMOS. Pour atteindre des vitesses de plus en plus élevées, on a recours, entre autres, à des techniques inspirées de la technologie bipolaire et de la microélectronique à fréquences-radio. De plus, nous comptons proposer une manière systématique de concevoir des circuits numériques qui vont rouler à des vitesses beaucoup plus élevées que les circuits actuels. Pour prouver les théories que nous proposons, il est proposé de concevoir des modules qui font partie d'un transcepteur de très haute vitesse.

PROBLÉMATIQUE :

Avec l'arrivée des standards tels que le OC-192 et le OC-768, il est important de pouvoir réaliser des circuits pouvant traiter les données qui arrivent à des vitesses pouvant aller jusqu'à 10 Gb/s (OC-192) et même 40 Gb/s (OC-768). Certaines technologies, telles que le GaAs et le SiGe, permettent la réalisation de ces circuits de façon plus aisée. Cependant, ces technologies consomment beaucoup de puissance et coûtent cher.

Dans le passé, la technologie CMOS n'était pas communément utilisée dans la conception de circuits de haute performance puisqu'elle était trop lente. Cependant, avec la réduction à l'échelle, nous sommes désormais capables d'atteindre des vitesses de quelques GHz en $0.18\mu\text{m}$. Les chercheurs s'intéressent à la possibilité de réaliser des transcepteurs en CMOS, puisque cette technologie coûte moins cher, consomme moins de puissance et peut s'intégrer aux autres circuits CMOS sur une même puce.

Nous nous inspirons des techniques de la microélectronique à fréquences-radio pour proposer des approches et des méthodes de conception de circuits numériques plus rapides.

MÉTHODOLOGIE :

Pour atteindre nos objectifs, nous comptons procéder comme suit :

- Revue de littérature;
- Modélisation à haut-niveau avec Matlab/Simulink pour développer et valider la théorie de fonctionnement;
- Modélisation à bas niveau avec ADS (Agilent) et ASITIC pour les réalisations d'inductances et l'analyse du comportement électromagnétique des éléments du circuit;
- Modélisation au niveau circuit des portes logiques que nous proposons et simulation avec HSPICE/Spectre;
- Conception de circuits pour la réalisation de transcepteurs à haute vitesse.

RÉSULTATS :

- Une étude approfondie de l'état de l'art a été faite et une synthèse a été rédigée;
- La modélisation Matlab est en cours ainsi que la réalisation d'inductances;
- Une puce démontant nos résultats préliminaires a aussi été soumise pour fabrication: nous attendons qu'elle revienne pour la tester.

CANTIN, Marc-André

DIPLÔME: Ph.D.

TITRE:

Conversion matérielle automatique d'algorithmes de traitement de signal du format virgule flottante au format virgule fixe.

RÉSUMÉ:

La conversion d'un algorithme du format virgule flottante au format virgule fixe est une tâche fastidieuse et complexe. Un outil de conversion automatique d'un format à l'autre permettrait au concepteur d'accélérer le processus d'implantation matérielle d'un algorithme de traitement de signal.

PROBLÉMATIQUE:

Tandis que la majorité des algorithmes d'analyse et de traitement des signaux radars sont développés en virgule flottante, leur implantation requiert fréquemment des opérateurs à virgule fixe, afin de rencontrer les contraintes de coût et de performance. Dans le but de conserver les propriétés de l'algorithme original, d'éviter les erreurs de débordement ou la perte de précision, chaque opérande doit être représentée par un nombre de bits adéquat.

MÉTHODOLOGIE:

La tâche consiste à propager vers les entrées la tolérance d'erreur des sorties définies par l'usager, ce qui permettrait de minimiser à la fois le nombre de bits nécessaires pour représenter chaque opérande et la surface totale de l'implantation matérielle de l'algorithme. Également, un outil automatique qui convertit un programme à virgule flottante en un programme à virgule fixe, qui considère la contrainte matérielle et qui pourrait être étendu aux outils de conception VLSI, permettrait d'accélérer le processus d'analyse et d'implantation d'un algorithme.

RÉSULTATS:

Une méthode qui détermine automatiquement la résolution en bits des opérandes est proposée dans le but d'implanter l'algorithme IMOP. La méthode utilise un outil de simulation à point fixe qui permet de simuler à la fois en précision finie et infinie. La méthode obtient une solution en calculant l'écart entre le modèle à point fixe et le modèle à point flottant. Une procédure sélectionnée sur la base d'expérimentation, minimise cet écart entre les deux modèles, et obtient une solution optimale qui respecte les spécifications de l'utilisateur. Présentement, quatre procédures ont été élaborées et analysées, puis comparées avec cinq procédures existantes dans la littérature scientifique. Afin de comparer ces neuf procédures d'optimisation sur la base du nombre d'itérations et de la qualité de la solution finale obtenue, la méthode a été appliquée sur douze algorithmes DSP. Les résultats obtenus par la méthode, montrent que certaines procédures obtiennent une solution optimisée pour les douze bancs d'essai. Cette méthode s'est avérée efficace pour déterminer la résolution en bits des opérandes d'un algorithme de traitement des signaux radars, d'un algorithme pour le traitement des images et d'un décodeur servant à la communication digitale.

CARNIGUAN, Sylvain

DIPLOÔME: M.Sc.A.

TITRE :

Égalisation de la consommation de puissance de l'implant visuel cortical par l'implémentation d'un algorithme de balayage adapté.

RÉSUMÉ :

Ce mémoire s'inscrit dans le projet d'implant visuel cortical. Cette partie traite de la recherche d'un algorithme visant à faire le balayage des images à traiter de manière à éviter un trop grand nombre de stimulations simultanées de grande intensité. De sa validation par simulation, de son implémentation par une architecture dédiée et de sa vérification à l'aide d'outils de co-simulation.

PROBLÉMATIQUE :

Avec l'apparition de la vidéo dans de nouveaux systèmes intégrés tels que les téléphones 3G ou d'autres applications spécifiques, de nouveaux problèmes sont apparus et le bloc d'affichage est devenu, dans un système, une source importante de consommation d'énergie. Beaucoup de directions furent étudiées pour contrôler ou réduire la puissance d'énergie de la présente partie. Cependant, la plupart d'entre elles font appel à de nouvelles sortes d'affichage, comme les écrans OLED, ou à une réduction de l'alimentation. Une des applications qui est confrontée à ce problème est l'implant visuel cortical. En effet, lorsque se produisent plusieurs stimulations simultanées d'électrodes, un fort courant est exigé. Ceci implique des pics de consommation de courant qui ne peuvent être fournis par l'alimentation. Une solution à ce problème est de lisser en temps réel la consommation de puissance de l'affichage. Pour faire une telle chose, il est nécessaire de traiter l'image par la partie externe de l'implant pour éviter une consommation de puissance dans la partie interne. L'approche qui a été adoptée pour résoudre ce problème était la création d'un algorithme basé sur un balayage d'image adapté.

MÉTHODOLOGIE :

La première étape était la recherche dans la littérature existante des algorithmes de balayage d'image adapté et des techniques de traitement de l'image. La deuxième étape fut la recherche d'un algorithme ainsi que sa validation. Après avoir décomposé le problème, l'approche qui a été choisie fut de partir de solutions envisageables puis de définir à partir de recherches empiriques un premier algorithme. Pour valider partiellement cet algorithme, des étapes de simulation grâce à l'outil MATLAB furent choisies. Puis une recherche des fondements mathématiques de cet heuristic a été trouvée. Cette manière de procéder fut répétée jusqu'à arriver au meilleur algorithme. La validation finale de cet heuristic fut sa démonstration mathématique. L'étape suivante fut la recherche de l'architecture équivalente à cet algorithme et sa validation à l'aide d'outils de co-simulation tels que Specman e-elite et Modelsim.

RÉSULTATS :

Les simulations des algorithmes trouvés nous ont permis de dégager plusieurs résultats importants. Un de ces résultats est l'écart type en fonction de différentes tailles de matrices, qui nous permet de voir la dispersion des valeurs par rapport à la moyenne. L'efficacité des algorithmes OSS et SOSOS trouvés, est importante et ceci quel que soit la taille N de la matrice. En effet, l'algorithme SOSOS permet de réduire au maximum l'écart type. L'architecture a été codée en VHDL puis elle a été co-simulée à l'aide d'outils et testée avec Specman e-elite et Modelsim. Ces outils permettant de rendre possible une couverture fonctionnelle optimum de ce design. La prochaine étape sera l'intégration sur une plate-forme FPGA puis sa validation par différents tests.

TITRE:

Validation et vérification des modules de traitement vidéo.

RÉSUMÉ:

L'objectif de ce projet consiste à développer une méthode afin de valider et de vérifier des modules de traitement vidéo. Le problème de cet objectif est donc d'étudier les méthodes de vérification formelle et fonctionnelle les plus adéquates pour ce type d'application. Il s'agira de plus de concevoir des bancs d'essai de haut niveau pour des algorithmes de traitement vidéo comprenant une génération de stimulus autonome, une analyse de couverture fonctionnelle ainsi que des méthodes d'auto vérification. Il faudra aussi étudier les problèmes spécifiques de cette classe d'application, soit les cas limites du traitement vidéo, et évaluer les métriques fonctionnelles adéquates pour assurer la complétion de la vérification du module.

PROBLÉMATIQUE:

Les circuits numériques deviennent de plus en plus complexe au fil des ans. Cela implique qu'ils nécessitent alors plus de temps de vérification. Le milieu de la microélectronique est très peu avancé en matière de techniques de vérification, contrairement au milieu informatique. De ce fait, il s'agit donc d'adapter le savoir faire de plusieurs années d'expérience du domaine de l'informatique au domaine de la microélectronique afin de rendre la vérification de circuits numériques plus efficace.

MÉTHODOLOGIE:

Les étapes suivantes devront être réalisées dans ce projet :

- Implémenter le prototype d'un module de traitement vidéo;
 - Revue d'une littérature sur les métriques objectives de mesure de qualité d'image;
 - Développement d'un outil pour l'environnement de simulation de modules de traitement vidéo;
 - Implémenter en C/C++ un algorithme réducteur de bruit et raffiner ce dernier afin de l'implémenter en SystemC;
- Élaboration d'une méthode afin de valider et vérifier des modules de traitement vidéo et prouver celle-ci à l'aide du prototype développé antérieurement;
- Application de la méthode sur un design d'un module de traitement vidéo plus complexe, soit un réducteur de bruit configurable et programmable.

RÉSULTATS:

La première étape énumérée ci-haut est présentement en cours de réalisation.

CHEBLI, Robert

DIPLOÔME: Ph.D.

TITRE:

Émetteur-récepteur sans fil intégré sur puce pour un système ultrasonique.

RÉSUMÉ:

Les progrès en microélectronique ont eu un impact significatif sur la miniaturisation de systèmes électroniques dédiés à des applications médicales et surtout en échographie. Notre objectif est de proposer de nouvelles techniques pour réduire les dimensions de ces équipements et en particulier les étages d'émetteur-récepteur qui sont conventionnellement réalisés sur circuits imprimés. À savoir que la basse consommation de puissance, le faible bruit, l'encombrement, la meilleure qualité d'images sont parmi les défis de taille qui nécessitent d'innover à plusieurs niveaux de complexité. Nous proposons une nouvelle topologie permettant l'intégration des étages émetteur-récepteur conventionnels sur une puce de très faible dimension. L'émetteur regroupe une interface de commande RF et une sonde électronique sans fil à balayage sectoriel. Ce type de balayage sera réalisé avec un réseau annulaire de cristaux. Cette technologie offre une haute résolution latérale et une symétrique par rapport aux profondeurs. La sonde consiste en une pile d'alimentation, un convertisseur DC/DC (haute tension), un générateur d'impulsions et un amplificateur de puissance pour exciter le cristal. Le récepteur intègre un limiteur pour isoler ce dernier de l'impulsion de haute tension, un préamplificateur pour amplifier les signaux d'entrée à faible amplitude, un filtre passe-bande pour éliminer le bruit d'entrée, un AGC (Automatic Gain Compensator) pour compenser l'atténuation des signaux et éliminer le contraste d'image, un amplificateur logarithmique pour compresser les signaux amplifiés, un filtre passe-bas pour détecter leurs enveloppes et finalement un convertisseur analogique/numérique utilisé pour les numériser.

PROBLÉMATIQUE:

L'utilisation d'un amplificateur logarithmique permet de compresser les échos reçus de forte amplitude ce qui provoque la création des artéfacts sur l'écran du moniteur. Réalisation d'un convertisseur DC/DC à faible consommation de puissance et avoir un temps de stabilisation inférieur à la période de la répétition d'une impulsion.

MÉTHODOLOGIE:

La conception et l'intégration de l'ensemble du module émetteur-récepteur sur une puce nécessitent les étapes suivantes:

- Étudier les méthodes d'optimisation et les topologies de circuits intégrés à faible bruit et consommation de puissance;
- Simulation et caractérisation des modules en utilisant le logiciel MATLAB;
- Conception, fabrication, validation et test.

RÉSULTATS:

Nous avons proposé une nouvelle architecture d'un convertisseur DC/DC de tension de sortie supérieure à 200 V, basée sur l'utilisation des transistors CMOS à haut voltage fournis par la compagnie Dalsa Semiconductor. La réalisation de cette architecture est en cours.

CHEVALIER, Jérôme

DIPLOÔME: M.Sc.A.

TITRE :

Partitionnement, vérification et raffinement de système logiciel/matériel conçu à haut niveau en SystemC.

RÉSUMÉ :

Le projet consiste à concevoir une méthodologie pour le partitionnement et à construire une plate-forme à haut niveau en SystemC. Cette plate-forme permet la simulation et l'estimation au niveau transactionnel des systèmes co-design logiciel/matériel sur puce.

PROBLÉMATIQUE :

L'utilisation combinée de processeur d'usage général et de circuits spécialisés nécessite des méthodologies de conception nouvelles. Ces méthodes et techniques doivent notamment permettre au concepteur du système d'en effectuer la spécification et la modélisation sans se soucier du découpage logiciel/matériel, tout en l'aidant à effectuer ce partitionnement par la suite. Le projet consiste à concevoir une méthodologie pour le partitionnement et à construire une plate-forme à haut niveau en SystemC. Cette plate-forme permettra la simulation et l'estimation au niveau transactionnel des systèmes co-design. Les résultats de ces simulations permettront de valider les systèmes et d'obtenir un partitionnement adéquat. Par la suite, le système partitionné doit être raffiné aussi bien au niveau du code interne à chaque module qu'au niveau des communications en ayant pour cible sa synthèse et son intégration sur un FPGA contenant déjà une architecture commerciale (processeur et bus).

MÉTHODOLOGIE :

La démarche consiste d'abord à effectuer une revue des méthodologies de spécification et de partitionnement existantes pour le niveau transactionnel. La majorité de ces méthodes sont dédiées exclusivement au matériel, mais elles constituent une bonne approche pour construire une méthodologie pour le co-design. Suite à ces lectures, nous allons créer notre propre méthodologie. Elle doit permettre de construire et simuler une modélisation du système au niveau transactionnel. Le but étant de trouver le partitionnement idéal entre le logiciel et le matériel pour un système donné en simulant diverses configurations de ce système. Pour cela, notre méthodologie doit permettre le passage de module du logiciel au matériel et vice-versa sans avoir à y effectuer de changement.

Après avoir détaillé l'ensemble des contraintes à respecter sur le codage et la communication des modules, nous avons choisi d'implémenter cette méthodologie sous forme d'une plate-forme haut niveau en SystemC, utilisant un ISS avec un OS pour la partie logiciel et un bus pour la partie matériel. Cette architecture permettra d'obtenir une simulation réaliste du logiciel en fournissant les aspects interruption et exécution séquentiel pour les modules placés en logiciel. Pour la partie matérielle, nous retrouverons les notions d'exécution parallèle et de partage des communications.

Ensuite, une plate forme(et les modules de l'application) doit être raffinée en ayant pour cible sa synthèse et son intégration sur un FPGA contenant déjà une architecture commerciale (processeur et bus). La simulation et la vérification des étapes intermédiaires du raffinement se feront à l'aide de langages tels que le E et d'outils de co-simulation comme Seamless CVE et C-bridge.

RÉSULTATS :

La méthodologie de conception a été élaborée, les choix et les problèmes d'implémentation ont été résolus et la plate-forme de simulation en SystemC a été implémentée. Le mémoire n'a pas été complété à cause d'un passage direct au Ph.D., mais il se poursuivra dans le cadre du Ph.D.

TITRE :

Conception d'un mélangeur RF en technologie CMOS 0.18 μ m.

RÉSUMÉ :

Le développement rapide de l'industrie des communications sans fil engendre une forte demande pour des solutions de plus en plus intégrées de moins en moins chères et à faible consommation. En outre, cette croissance a conduit à la prolifération de différentes normes et services causant la saturation et un encombrement insupportable. Ainsi, cette explosion des réseaux de téléphones mobiles exige de nouveaux systèmes présentant de forts débits et à large bande. Ceci a poussé à l'émergence d'autres axes dans la conception qui demande de nouveaux défis pour réaliser les défis de la nouvelle génération des systèmes.

Pour répondre à ce besoin, ce travail consiste en la conception d'un mélangeur RF intégré en technologie CMOS 0.18 μ m. Sa fonction consiste à convertir des fréquences à travers un processus non linéaire de mélange de signaux. Cependant, cette non linéarité associée aux interférences génèrent des distorsions et des effets parasites indésirables qui limitent les performances du système et dégradent le signal désiré.

PROBLÉMATIQUE :

Les dispositifs et les circuits en radio-fréquence sont souvent réalisés avec des technologies coûteuses tels que le GaAs ou la technologie bipolaire. Cependant, de nombreux efforts cherchent à réaliser les circuits en radio-fréquence avec des technologies à moindre coût. Le choix de la technologie CMOS est une alternative qui est particulièrement motivé par ses performances, son bas coût et sa compatibilité avec les circuits numériques. Cependant, pour atteindre cet objectif, les critères dans la conception changent et imposent de nouveaux défis et de nouvelles structures.

Le mélangeur constitue un module critique dans un système de communication sur lequel est reporté la plus grande contrainte de linéarité et de distorsion. Ainsi, un ensemble de difficultés découle du caractère d'interaction des signaux et de sa non linéarité. Comme le mélangeur est destiné à opérer à de hautes fréquences, ces effets sont beaucoup plus nuisibles et prononcés et ont un impact direct sur la performance de l'ensemble du système. Sa réalisation implique souvent de faire un compromis entre ses performances tel que le gain de conversion, la linéarité, le bruit ou encore la consommation.

En outre, la tendance de l'intégration et de faible tension d'opération est moins évidente en haute fréquence pour réaliser des performances acceptables. Donc, la conception de ce module RF représente un défi pour réaliser la future génération des systèmes de communication.

MÉTHODOLOGIE :

La méthodologie prévue pour réaliser ce travail est la suivante :

- Étude bibliographique et comparaison des travaux réalisés en RF et sur les systèmes de communication;
- Revue de différentes techniques de conception des mélangeurs RF en CMOS;
- Définition des spécifications et choix de l'application;
- Choix et étude de la structure afin de localiser les facteurs limitatifs;
- Conception de l'architecture proposée;
- Fabrication de la puce chez TSMC;
- Analyse et comparaison des résultats.
- Conception et évaluation de l'ensemble du module.

RÉSULTATS :

Le résultat mélangeur RF a été conçu, simulé et fabriqué dans un procédé CMOS 0.18 μ m. Les simulations ont été effectuées sous Spectre RF et des résultats ont été obtenus pour confirmer la validation de la proposition.

TITRE

Échantillonneur bloqueur à haute performance dédié à des CAN à très large bande.

RÉSUMÉ:

Le présent projet est orienté vers la mise en œuvre d'un échantillonneur bloqueur à haute performance, étant dédié à une future génération de systèmes, le modèle en question sera validé par un circuit en technologie CMOS ($0.18\mu\text{m}$)

PROBLÉMATIQUE:

La demande croissante des dispositifs portatifs sans fil dans les différentes applications (médicales, divertissement, etc.) a attisé le besoin d'un système de télécommunication (émetteur/récepteur) intégrable dans une seule puce sans aucune autre composante externe. Ce système présente un défi concernant le prolongement de la vie de la batterie pour des applications portatives, soutenir des voix et des images sur de courtes et longues distances et enfin il doit avoir une augmentation dramatique de la fiabilité et une diminution du coût.

L'échantillonneur bloqueur est la partie essentielle qui élimine la majorité des bruits dans un CAN, nous souhaitons proposer un circuit qui atténue les effets du comportement non idéal des circuits CAN.

MÉTHODOLOGIE:

- Maîtriser les différentes architectures des circuits échantillonneur bloqueur;
- Étudier les circuits à faible consommation de puissance;
- Faire la conception d'un circuit en Verilog-A;
- Proposer de nouvelles techniques à haute performance;
- Simulation, design et implémentation de ce circuit.

RÉSULTATS:

Simulation et réalisation de «layout» d'un échantillonneur bloqueur à haute performance de 10 bits 50M échantillons/sec en technologie CMOS $0.18\mu\text{m}$. Le design sera soumis pour fabrication en mars 23004.

CHUREAU, Alexandre

DIPLOÔME: M.Sc.A.

TITRE :

Conception d'interfaces en UML temps réel appliquées à la radio réalisée par logiciel.

RÉSUMÉ :

Ce projet consiste à construire un modèle de système sur puce en UML (Unified Modeling Language) temps réel qui servira de base à une plate-forme de conception dédiée à une famille d'application.

PROBLÉMATIQUE :

La conception de systèmes sur puce exige une approche qui allie une vision système à une rigoureuse discipline de réutilisation. Une telle approche implique un mouvement bidirectionnel entre les niveaux d'abstraction, du plus abstrait au moins abstrait et vice-versa. Les outils de conception microélectroniques sont peu adaptés à la complexité de ces systèmes, limitant le mouvement entre les niveaux d'abstraction.

MÉTHODOLOGIE :

La conception basée interface répond aux exigences de conception de systèmes sur puce en encapsulant les détails d'implantation d'un module dans une coquille projetée à des niveaux d'abstraction supérieurs. Le UML temps réel est le véhicule idéal pour concrétiser cette approche. Deux modèles en UML temps réel sont construits afin de créer des recoupements : un modèle d'un processeur réseau et un modèle d'une radio réalisée par logiciel. Les capacités suivantes de la plate-forme doivent être vérifiées à l'aide de ces modèles: réutilisation de modules, vérification des modules et du système, évaluation de performance et raffinement vers une implantation.

RÉSULTATS :

Dans la première partie de ce projet, un modèle exécutable d'un processeur réseau a été construit. Ce modèle a permis d'établir les capacités du UML temps réel à modéliser un système sur puce. Les interfaces internes du canal de réception d'une radio numérique ont également été établies.

COUDYSER, Michael

DIPLÔME: M.Sc.A.

TITRE:

Repérage de la direction d'arrivée d'un faisceau par rapport à un réseau d'antennes disposées sur deux axes et à l'aide d'un réseau de neurones.

RÉSUMÉ:

L'étude propose un système de repérage de la direction d'arrivée d'un faisceau avec une précision angulaire de moins de un degré. Le système est composé d'un réseau d'antennes, qui reçoit un faisceau, et d'un réseau de neurones qui détermine l'angle d'incidence de ce faisceau par rapport au réseau d'antennes. La précision est mesurée pour un rapport signal bruit (RSD) de 10 db, comme celui que l'on rencontrera sur un dispositif embarqué dans un satellite. L'objectif de la recherche est donc d'élaborer et d'optimiser un réseau de neurones et différents systèmes de filtrage afin d'obtenir la meilleure résolution angulaire compte tenu du bruit. L'optimisation portera aussi bien sur la forme des entrées à fournir au réseau de neurones que sur l'architecture et sur l'entraînement du réseau de neurones.

PROBLÉMATIQUE:

Pour maximiser le transfert de puissance dans des applications sans fils, une solution consiste à utiliser des antennes très directives. Mais cela impose en contrepartie de pouvoir assurer un alignement suffisamment précis des antennes émettrice et réceptrice. Lorsque l'une des antennes est mobile, on doit avoir recours à un système de détection d'angle d'incidence qui, comme son nom l'indique, permet de déterminer l'angle d'incidence du signal source. De nombreux systèmes réalisant cette fonction ont été proposés où l'information sur l'angle d'incidence peut être extraite par comparaison d'amplitude ou de phase, voire les deux simultanément. Seul inconvénient, le calibrage de tels systèmes est souvent laborieux. Une méthode offrant davantage de souplesse pour le calibrage consiste à utiliser un réseau de neurones.

MÉTHODOLOGIE:

La méthode consiste à étudier les systèmes déjà existants pour analyser les performances et les particularités des solutions disponibles dans la littérature. Puis une étude théorique des réseaux de neurones permettra de choisir quelle structure nous allons développer. Le système complet sera développé et simulé à partir de Matlab en modélisant le plus fidèlement possible les problèmes de bruit et les disparités sur le gain des antennes. Le réseau d'antennes sera élaboré par une équipe du laboratoire PolyGrames, ce qui permettra de valider la forme des signaux provenant des antennes.

RÉSULTATS:

Le système élaboré se compose d'un réseau de 4 antennes relié à un réseau de neurones. La précision sur l'angle d'arrivée est de 1 degré pour un cône d'incidence d'une ouverture de 90 degrés par rapport à la verticale.

COULOMBE, Jonathan

DIPLOÔME: Ph.D.

TITRE:

Simulateur visuel intra-cortical implantable.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser un système intégré implantable visant à stimuler le cortex cérébral de patients aveugles. Après avoir réalisé un tel dispositif de dimension et de complexité réduites, une attention particulière sera apportée à la consommation en puissance ainsi qu'à la sécurité du dispositif par l'intégration de modules de surveillance et de contrôle de la stimulation. Différents prototypes de fonctionnalité et de complexité croissantes seront conçus, réalisés et testés in-vitro et in-vivo.

PROBLÉMATIQUE:

La réalisation d'un implant cortical au nombre de canaux de stimulation élevé demandera de relever un bon nombre de défis. Entre autres, mentionnons l'intégration de différents modules de circuits intégrés analogiques et numériques, l'interface entre les circuits et une matrice d'électrodes de grande densité, ainsi que l'encapsulation compacte et biocompatible de l'ensemble.

Une fois ces éléments développés adéquatement, une emphase importante doit être mise sur l'optimisation des modules électroniques. En effet, afin de réaliser un système possédant un grand nombre de canaux de stimulation parallèles, la consommation en puissance doit être minimisée de façon substantiellement, par rapport à ce qui est généralement fait pour les neurostimulateurs actuels. Cependant, les techniques conventionnelles visant à réduire la consommation peuvent facilement entraîner des dommages permanents sur les tissus stimulés. Un système de monitoring des charges et tensions de sortie, de contrôle et de compensation devra donc être conçu afin d'assurer l'efficacité et la sécurité de la stimulation. Des techniques novatrices permettant d'effectuer ses tâches de façon énergétiquement efficace devront être développées.

MÉTHODOLOGIE:

En un premier temps, l'objectif est de faire un implant comportant un nombre de sites de stimulation réduit, et ce de manière à maîtriser les techniques élémentaires qui seront nécessaires à la réalisation d'un système complexe (fabrication, assemblage, encapsulation, etc.). L'implant comporte une multitude de modules de stimulation indépendants, contrôlés par un module central d'interface, assurant l'alimentation du système au niveau électronique dans le but d'assurer l'efficacité et la sécurité du dispositif. Finalement, l'intégration des éléments développés sera réalisée. Le système électronique optimisé, de pleine dimension, devra être fabriqué et encapsulé avec le savoir-faire développé dans la première phase du projet.

RÉSULTATS:

Un prototype intégré de taille réduite du module de stimulation a été réalisé et testé avec succès. Un substrat flexible permettant d'assembler le stimulateur avec sa matrice d'électrodes a aussi été réalisé. Un prototype du module d'interface a été réalisé et testé avec succès, incluant un démodulateur novateur et performant, réalisé en composants discrets. Tous les éléments nécessaires à l'assemblage et à l'intégration du système (logiciel et matériel – discret, intégré, microfabrication, assemblage) ont démontré la faisabilité de la réalisation d'un prototype implantable sous peu.

DANG, Hung

DIPLÔME: M.Sc.A.

TITRE:

Convertisseur analogique à numérique de type Flash à haut taux d'échantillonnage.

RÉSUMÉ:

L'objectif de ce projet est de réaliser un convertisseur analogique à numérique optimal de type Flash sous la technologie CMOS18. Les points importants à considérer sont la précision, le taux d'échantillonnages, la consommation de puissance et la surface. Nous analysons de même les différentes méthodes existantes permettant de minimiser l'effet de tension de décalage qui affecte la linéarité du convertisseur. Nous nous concentrons aussi sur les techniques de décodage du code thermomètre au code binaire, permettant de minimiser l'occurrence d'erreurs.

PROBLÉMATIQUE:

Dans un cadre d'application radio configurable, le convertisseur doit rencontrer des spécifications minimales requises sur la précision et la bande passante: au moins 6-bits à un taux de un milliar d'échantillons par seconde ou supérieur.

L'état de l'art actuel propose l'architecture de types Flash pour atteindre de hauts taux d'échantillonnage. Sous la technologie CMOS18, il est raisonnable de viser une précision de 6-bits pour des fréquences égales ou supérieures à un million d'échantillons par seconde. La technique dite Averaging permet de réduire l'erreur sur la tension de décalages due au défaut d'appariement entre les transistors. Toutefois, les simulations sur Cadence montrent qu'il est plus facile d'obtenir le juste compromis entre le décalage et la bande-passante lorsqu'on ne considère pas la technique Averaging

MÉTHODOLOGIE:

Nous débutons avec une étude intensive de la littérature concernant les états d'art existants. Nous analysons les architectures proposées et proposons des améliorations possibles. Nous simulons les modules de l'architecture pour en déterminer les limitations et nous terminons avec la création d'un prototype.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

DEJMOUNAI, Abdelouhab

DIPLÔME: Ph.D.

TITRE:

Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables.

RÉSUMÉ:

Dans le présent travail, nous proposons une nouvelle technique destinée à améliorer les performances d'un système transcutané de transfert d'énergie pour des systèmes électroniques implantables (SEI). Le système utilisé est basé sur un lien à couplage inductif est aussi bien exploité pour le transfert de l'énergie que pour la transmission bidirectionnelle de données. La technique proposée consiste en l'utilisation d'un contrôleur intégré permettant d'ajuster automatiquement les niveaux de tension d'entrée et de sortie du lien à couplage inductif. Ce contrôle automatique a pour objectif de maintenir le niveau d'énergie à transférer à l'implant à un niveau bien déterminé et de réaliser la modulation des signaux nécessaires à la transmission des données. En contrôlant le niveau d'énergie à transférer le circuit de contrôle permet aussi de minimiser la sensibilité du lien aux fluctuations de la tension d'alimentation et de l'amplificateur de puissance. Le circuit de contrôle permet aussi de réduire les pertes d'énergie résultant de l'opération de la modulation des signaux à transmettre.

PROBLÉMATIQUE:

Le recours aux systèmes électroniques implantables (SEI) a été depuis longtemps considéré comme une solution alternative pour la récupération de la fonctionnalité des organes humains paralysés. Cependant, l'alimentation de ces systèmes représente un handicap majeur dans leur design. Comme ces SEI sont destinés pour un fonctionnement à long terme, leur alimentation devrait être assurée de l'extérieur du corps. Ceci est indispensable afin d'éviter le recours aux batteries et aux opérations chirurgicales nécessaires à leur remplacement. Souvent le même lien (interface) de transfert d'énergie est aussi utilisé comme moyen de transmission de données. Donc, le développement d'une telle interface représente une étape cruciale dans la conception des SEI. C'est dans cet axe que nous menons des recherches pour concevoir des interfaces de transfert d'énergie et de transmission de données pour des systèmes électroniques implantables.

MÉTHODOLOGIE:

- Étude bibliographique détaillée des systèmes existants de transfert d'énergie;
- Étude théorique détaillée, simulation et caractérisation d'un lien à couplage inductif;
- Proposition d'une méthode pour améliorer les performances d'un système de transfert d'énergie et de transmission de données à base d'un lien à couplage inductif;
- Conception et intégration d'un contrôleur pour des systèmes de transfert magnétique d'énergie et de données.

RÉSULTATS:

Conception et intégration d'un contrôleur pour des systèmes de transfert magnétique d'énergie et de données qui sont dédiés aux systèmes électroniques implantables. Le contrôleur est intégré en technologie CMOS 0,18µm et comprend principalement un modulateur de rapport-cyclique, une boucle à verrouillage de fréquence et un démodulateur ASK.

DELAFOSSÉ, Maurice Jacques-A.

DIPLÔME: M.Sc.A.

TITRE:

Conception, fabrication, caractérisation et test d'un micromoteur MEMS (Projet Walking-die).

RÉSUMÉ:

Le projet Walking-die vise la création d'un nano-robot dont les dimensions finales se situeraient en dessous des 5mm et les capacités seraient les suivantes : déplacement de précision nanométrique, équipements d'exploration et de manipulations atomiques, contrôle à distance, etc. À cette liste, nous prévoyons ajouter tout élément allant dans le sens de l'accroissement de l'autonomie du robot.

Ma principale tâche à l'heure actuelle consiste à concevoir et tester un micromoteur électrostatique en parallèle avec la définition d'un ensemble de requis en terme de puissance disponible et dissipée.

PROBLÉMATIQUE:

Partant de la génération actuelle de robot en développement au laboratoire de nanorobotique de l'École, j'ai décidé de concentrer mes efforts à éliminer les principaux points de dissipation de chaleur : les convertisseurs de tension utilisés pour alimenter les différents tubes piézo-électriques composant le robot. Pour ce faire, j'ai décidé d'opter pour un autre mode de déplacement : l'usage de roues. Cette approche demande une bonne estimation des requis en terme de friction et de puissance disponible (surtout le couple.) De plus, l'échelle d'opération demandera peut-être un environnement contrôlé dont les paramètres doivent être déterminés et respectés à volonté.

MÉTHODOLOGIE:

Sur suggestion de mon directeur de maîtrise, j'ai exploré l'avenue des MEMS pendant un à deux mois afin de déterminer ce que nous pourrions en tirer. Parallèlement à cela, j'ai schématisé les différents modes de déplacement que je connaissais et j'ai essayé d'en découvrir d'autres afin de les confronter les uns aux autres, mais aussi à mes requis en terme de capacité de déplacement du nouveau robot. Une fois notre choix arrêté, nous avons poursuivi notre survol de la littérature en l'axant plus précisément sur les micromoteurs électriques.

RÉSULTATS:

Les premiers échantillons de la version initiale du micromoteur ont été reçus mais sont soudés à la première couche de Poly (POLY 0.). Deux nouvelles versions ont été envoyées et sont en attente. Des plans sont maintenant en montage pour tirer un maximum des échantillons initiaux.

TITRE:

Conception d'un système d'acquisition de la pression transdiaphragmatique et de l'électromyogramme du diaphragme intégré à un cathéter oesophagien.

RÉSUMÉ:

Ce projet porte sur la conception d'un appareil de diagnostic médical réalisant l'acquisition simultanée de la pression transdiaphragmatique (Pdi) et de l'électromyogramme du diaphragme (EMGdi) en utilisant deux capteurs de pression microfabriqués et un nouveau type d'électrode oesophagiennes. Le traitement des signaux et leur numérisation seront effectués *in situ* et les données seront transmises sans fil jusqu'au système d'enregistrement grâce à un lien de type BlueTooth. Le système complet devra être intégré à un cathéter oesophagien ne dépassant pas 5mm de diamètre.

PROBLÉMATIQUE:

Afin de poser un diagnostic adéquat sur les dysfonctions du système respiratoire ou tout simplement d'en évaluer les performances physiques, un praticien a recours à plusieurs techniques dont la mesure de la Pdi et de l'EMGdi. La pression transdiaphragmatique permet de quantifier l'action mécanique du diaphragme tandis que l'EMGdi permet d'en évaluer l'activité électrique de telle sorte qu'en connaissance de ces paramètres, l'on peut établir la relation électromécanique du diaphragme et ainsi être en mesure de poser le bon diagnostic. La mesure de ces qualificatifs du système respiratoire se fait encore à l'heure actuelle par deux systèmes distincts qui utilisent des dispositifs encombrants : ballonnets de latex à insérer par voie nasale, capteurs de pressions extérieures, amplificateurs, etc. L'intégration et la miniaturisation de tous ces dispositifs engendreraient une moindre gêne pour le patient et pour le médecin. En outre, il faut recourir à des algorithmes complexes pour atténuer les effets du positionnement vertical des électrodes oesophagiennes et de la contamination cardiaque. Une géométrie d'électrode adaptée permettrait de se passer de tels algorithmes en filtrant le signal à la source.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes :

- Fabrication et validation d'un prototype de cathéter intégrant la nouvelle électrode et deux capteurs de pression micro fabriqués commerciaux. Cette étape comporte aussi le développement d'une méthode de branchement (*flip chip*) des capteurs de pression en silicium sur un circuit imprimé flexible pouvant être inséré dans le cathéter.
- Conception et réalisation d'une puce électronique permettant l'acquisition, le traitement et le transfert vers l'extérieur de signaux acquis.
- Conception du système de communication BlueTooth entre le cathéter et le système d'enregistrement de données à l'aide de composants commerciaux.
- Évaluation de la possibilité de concevoir et de fabriquer un nouveau capteur de pression plus adapté à nos besoins en utilisant les récents avancements dans la fabrication des MEMS.
- Intégration du système complet dans le cathéter.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

DESLAURIERS, François

DIPLOÔME: M.Sc.A.

TITRE :

Développement et analyse de réseaux intégrés sur puce dans un environnement logiciel matériel multiprocesseurs.

RÉSUMÉ :

À partir d'un nombre donné de ressources et d'une application donnée, il est important de déterminer quelle topologie dans un SoC (*System on Chip*) permettra de minimiser les temps de communication entre les ressources pour que celles-ci puissent consacrer plus de temps au traitement de l'application.

PROBLÉMATIQUE :

Grâce à la constante progression dans la technologie du transistor, il est possible d'intégrer sur une même puce des dizaines de ressources pour accélérer le traitement d'une application donnée. Une ressource peut être un processeur, un DSP, une mémoire, un bloc matériel ou un FPGA. Pour que ces ressources puissent communiquer entre elles, le modèle simple du bus n'est plus adéquat. Il faut orienter les communications interressources vers d'autres topologies (anneaux, arbres, etc). On assiste donc à l'émergence de différents réseaux intégrés sur puce, communément appelés NOC (Network on Chip).

MÉTHODOLOGIE :

- Concevoir et réaliser (ou simplement réaliser, dans certains cas) des modèles de NOC (SPIN, CrossBar, HotPotato, ROC, ROC hiérarchique) en utilisant SystemC
- Intégrer les différents NOC sur la plate-forme StepNP (System-Level Exploration Platform for Network Processors).
- Créer un générateur de trafic pour émuler des applications (ex: traitement de paquets, multimédia, etc.).
- Créer un interface graphique (PerNOC) pour compiler automatiquement les résultats de simulation.
- Analyser les différents NOC selon ces critères: débit, contention, espace, consommation de puissance, temps de transfert.
- Créer un outil pour déterminer quel NOC est le plus adéquat pour une application donnée selon un nombre de ressources données.

RÉSULTATS :

- Les NOC Hot Potato, CrossBar, ROC ont été modélisés en SystemC et intégrés dans les plate-forme StepNP;
- Les NOC *SPIN* et *ROC hiérarchique* sont en voie d'être modélisés et intégrés;
- L'interface graphique PerNOC est disponible dans une première version
- L'analyse va donc débuter sous peu.

TITRE:

Conception d'amplificateur en mode courant à décalage de tension réduit et application à la réalisation d'un filtre passe bande à fréquence centrale programmable.

RÉSUMÉ :

Ce projet traite en premier lieu, la technique de la moyenne pour réduire la tension de décalage de l'amplificateur en mode courant et sa conception en technologie CMOS. En deuxième lieu, une réalisation d'un filtre passe bande à fréquence centrale programmable automatiquement avec un circuit numérique.

PROBLÉMATIQUE :

Dans le domaine analogique, la tension de décalage est due à la variation du procédé de fabrication (transconductance, seuil de conduction), à l'irrégularité des dimensions des masques et à la difficulté de jumeler des transistors de type NMOS et PMOS. Elle réduit les performances dynamiques et statiques des amplificateurs tels que : diminution de la bande, déplacement de la fréquence de coupure, diminution de la plage dynamique de sortie, etc. La réalisation d'un filtre intégré d'un convertisseur analogique/numérique et bien d'autres applications sont basées sur des amplificateurs opérationnels. Le décalage des amp op limite les performances souhaitées par les concepteurs de systèmes électroniques.

MÉTHODOLOGIE :

- Revue de littérature des travaux traitant du problème de la tension de décalage;
- Choix d'une solution qui répond aux besoins du problème sans dégradation des performances de l'amplificateur;
- Analyse et simulation du circuit de compensation;
- Proposition et simulation d'une nouvelle architecture de l'ampop pour différentes valeurs de tension DC;
- Vérification et analyse des effets du circuit de compensation sur les performances de l'amplificateur tels que la distorsion harmonique, le produit gain bande passante et le bruit;
- Conception et simulation d'un filtre passe bande utilisant des CFOA.

RÉSULTATS :

Design, implémentation et fabrication d'une puce intégrant un CFOA et un module de réduction de la tension de décalage. Une comparaison des résultats obtenus par simulation et par mesure est en cours.

DUBOIS, Martin

DIPLÔME: M.Sc.A.

TITRE:

Conception et implémentation d'un décodeur à seuil itératif auto configurable en temps réel pour des codes convolutionnels doublement orthogonaux.

RÉSUMÉ:

Ce type de décodeur itératif auto configurable est d'un grand intérêt pour le domaine de la microélectronique et des télécommunications. Une architecture hautement configurable qui permet de minimiser la puissance dissipée et les ressources matérielles tout en maximisant la fréquence d'opération est d'un grand attrait. Une telle architecture de décodeur à seuil itératif hautement configurable est particulièrement appropriée à une intégration à des systèmes de communication à très haut débit d'information binaire. Le fait que le décodeur à seuil itératif auto configurable s'adapte en temps réel à l'état du canal est un autre des grands intérêts de ce projet de maîtrise car cela permet de maximiser les performances globales des systèmes de communication.

PROBLÉMATIQUE:

Le décodage à seuil itératif est une approche simple permettant de contourner les problèmes de latence et de complexité du décodage Turbo. La configurabilité devra être réalisée en fonction des mesures disponibles de l'état du canal et ce, en ajustant le nombre de connexions, le nombre de bits de quantification, le nombre d'itérations et le taux de codage. Une variation du taux de codage est possible en utilisant une technique connue appelée perforation et qui consiste à enlever périodiquement des symboles de parité. Évidemment, en plus de l'ensemble de ces paramètres, le rapport signal du bruit du canal influence la probabilité d'erreur par bit. La probabilité d'erreur par bit étant généralement un critère de performance, elle doit être prise en considération dans la conception d'un tel décodeur auto configurable.

MÉTHODOLOGIE:

La méthodologie de recherche est séparée en trois phases. La première phase consiste à obtenir une architecture hautement configurable en temps réel procurant une performance constante peu importe sa configuration.

La deuxième phase est de concevoir, développer et implémenter un algorithme d'ajustement des paramètres du décodeur en tenant compte des mesures disponibles de l'état du canal.

La dernière phase consiste à valider ce type d'architecture en émulant un système de communications intégrant le décodeur avec son architecture auto configurable.

RÉSULTATS:

Dans la première phase de la recherche, nous avons élaboré des solutions simples et efficaces pour réduire la dissipation de puissance. Un prototype sur FPGA permettra la réalisation et la validation de ce type de décodeur.

DUBOIS, Mathieu

DIPLOÔME: M.Sc.A.

TITRE :

Modélisation hétérogène et conception d'une plate-forme SoC pour le traitement et la transmission des données de vidéo numériques.

RÉSUMÉ:

L'utilisation d'une plate-forme SoC pour des applications de vidéo numérique a pour but d'améliorer la qualité et la rapidité de transmission des images. Dans le cadre de notre projet, nous explorons les possibilités d'améliorer et d'homogénéiser les communications entre les modules utilisant des protocoles de communication distincts. Cette analyse consiste à développer une modélisation d'un système à plusieurs niveaux d'abstraction afin de tirer les avantages de chacune de ces étapes.

Le résultat de cette modélisation de performance conduira à la proposition d'une nouvelle plate-forme SoC générique applicable aux traitements de transmission de données vidéo. Une partie de cette conception architecturale sera principalement inspirée d'une architecture de convertisseur de protocoles réseaux. Cette dernière ayant été développée dans le cadre du même projet de recherche. L'un de ces avantages est son système d'interconnexion des modules qui se distingue particulièrement par une séparation des domaines de contrôles et de données. Aussi, sa conception est basée sur l'implémentation de bus de communication AMBA AHB à accès partagés, ce qui lui donne une grande flexibilité.

En se basant sur le système d'interconnexion à bus partagés proposé dans la conception du convertisseur de protocoles réseaux, nous développerons une cellule AMBA de haute performance permettant d'avoir une valeur ajoutée à notre nouveau système. Cette approche sera étudiée pour la réalisation d'un module de filtrage de bruits vidéo.

PROBLÉMATIQUE:

La problématique est l'utilisation d'une architecture flexible à haut débit et supportant des applications de vidéo numérique en garantissant un transfert de données avec latence faible. Ce n'est pas le cas pour les systèmes existants présentement, car ceux-ci sont spécifiques à certaines classes d'application et manquent de flexibilité. Tout en respectant les contraintes temporelles, il est difficile dans un temps de conception restreint, d'avoir une architecture configurable et flexible supportant des algorithmes spécialisés pour certaines classes d'applications de traitements de données vidéo.

MÉTHODOLOGIE:

La modélisation et la conception d'une plate-forme SoC pour des applications de vidéo numériques nécessitent les étapes suivantes:

- Une revue de littérature portant sur: les méthodologies de conception, les plates-formes SoC de traitement de données vidéo, les algorithmes de réduction de bruit vidéo et les bus de communication de haute performance.
- L'exploration et l'évaluation des différents langages de programmation nécessaires à la réalisation des simulations aux différents niveaux d'abstraction.
- L'élaboration d'un environnement de simulation hétérogène.
- La réalisation d'une cellule de haute performance AMBA flexible et configurable.
- La conception d'un module basé sur un algorithme de réduction de bruit vidéo.
- La proposition d'une nouvelle architecture de la plate-forme SoC autour d'un squelette d'interconnexion utilisant des cellules AMBA et dotée d'un module de réduction de bruit.

RÉSULTATS:

Nous avons implémenté une première version de l'architecture de système ayant pour principale application la conversion de protocole réseau. L'analyse de cette architecture nous a permis de concevoir une nouvelle architecture plus flexible. Cette dernière est présentement en phase de test pour une application de traitement vidéo.

DUVAL, Olivier

DIPLOÔME: M.Sc.A.

TITRE:

Conception d'un dispositif microélectronique de test pour des composants nanoélectroniques.

RÉSUMÉ:

Ce projet est une première approche dans le département pour l'application physique de composants nanoélectroniques. En partenariat avec le département de génie physique, ce projet se veut une approche hybride entre les nouveaux dispositifs nanoélectroniques et la microélectronique classique.

PROBLÉMATIQUE:

- Modélisation systématique des composants nanoélectroniques
- Caractérisation des structures microélectroniques pour permettre l'hybridation;
- Réduction des sources d'imprécision dans les mesures de délai et d'impédance des nanostructures;
- Mesure proprement dite de paramètres électriques sur des nanostructures.

MÉTHODOLOGIE:

- Modélisation :
 - Utilisation de ISE TCAD pour l'extraction de paramètres BSIM3 à partir de résultats expérimentaux;
 - Utilisation de STAR-CMI Hspice pour l'ajout de librairies spécialisées.
- Au laboratoire de microfabrication, l'équipe de génie physique mesurera la composition exacte des structures présentes dans un circuit CMOS standard;
- Utilisation de la plateforme de test intégrée pour réduire les capacités parasites au contact de nanostructures;
- Utilisation d'outils de CAD disponibles au département pour la conception et la réalisation de la plate-forme de test;
- Test des propriétés électriques des nanostructures en utilisant la plateforme elle-même et les outils de test au laboratoire du groupe de recherche en microélectronique.

RÉSULTATS :

- Conception de la plate forme de test, qui est toujours en processus de fabrication;
- Extraction de paramètres BSIM3 avec TCAD effectuée, la modélisation est présentement orientée vers Hspice.
- Une première version de la plate-forme est présentement testée en caractérisation par l'équipe de microfabrication en génie physique.

ELSANKARY, Kamal

DIPLOÔME: Ph.D.

TITRE:

Circuits CMOS mixtes (analogique, numérique et RF) dédiées à des systèmes de communications sans fil à très large bande.

RÉSUMÉ :

Le présent projet est orienté vers la mise en œuvre d'une nouvelle architecture d'un système de communication sans fil à très large bande passante. Étant dédiée à une future génération de systèmes, l'architecture en question, sera validée par des circuits et fonctions mixtes (analogique, numérique et RF) en technologies CMOS (0.18 ou 0.13 µm). Cette technologie nous permettra d'atteindre nos objectifs de design en ce qui a trait à la basse consommation d'énergie et à l'intégration sur une seule puce.

PROBLÉMATIQUE :

La demande croissante des dispositifs portatifs sans fil dans les différentes applications (voix, médicales, capteurs, divertissement, etc.) a attisé le besoin d'un système de télécommunication (émetteur/récepteur) intégrable dans une seule puce sans aucune autre composante externe. Ce système présente un défi concernant de prolonger la vie de la batterie pour des applications portatives, soutenir des voix et des images sur de courte et longue distance et enfin il doit avoir une augmentation dramatique de la fiabilité et une diminution du coût. L'ouverture au public des bandes ISM (industriel, scientifique et médical) et UNII (Unlicensed national information infrastructure) aux différents utilisateurs du monde avec des différents types de modulations (OFDM, FHSS et DSSS) a révélé une autre contrainte à l'émetteur récepteur concernant le sujet de minimiser le bruit contribué par les applications accordées à ces bandes. Le semi-conducteur complémentaire d'oxyde de métal (CMOS) est le choix convenable pour permettre un mixage libre des fonctions analogiques et numériques à cause de son faible coût de fabrication et de sa supériorité pour les applications numériques. Cependant, pour la technologie submicronique profonde telle que 0.18um et moins, le design des blocs analogiques CMOS révèle beaucoup de faiblesse au sujet de modulation de canal, dégradation de mobilité de porteurs et divers bruits provenant de son substrat fortement dopé. Ces contraintes nécessitent d'analyser de nouvelles techniques pour la réalisation des blocs mixtes (analogique et numérique combinés) dédiés au système de communication sans fil moderne. Nous souhaitons proposer des techniques de conception afin d'atténuer les effets du comportement non idéal des circuits analogiques cohabités avec les circuits numériques.

MÉTHODOLOGIE :

- Maîtriser les différentes architectures des systèmes de télécommunication modernes;
- Étudier les circuits intégrés à faible consommation de puissance;
- Proposer de nouvelles techniques qui surmontent les contraintes précitées dans la problématique;
- Simulation, design et implémentation de ces circuits afin de les valider en créant un environnement de test convenable.

RÉSULTATS :

Les résultats obtenus à ce jour ont fait l'objet de quatre articles de conférence. Un prototype a été conçu dans le procédé 0.18µm et soumis pour fabrication.

EPASSA HABIB, Gabriel

DIPLÔME: M.Sc.A.

TITRE:

Conception d'un circuit numérique à période d'horloge variable.

RÉSUMÉ:

Ce projet consiste à concevoir un circuit complètement numérique qui permettra d'allonger ou de raccourcir dynamiquement la période d'une horloge de référence par un facteur quelconque : entier, fractionnaire ou une combinaison des deux, selon une requête générée soit par les instructions d'un programme dans un processeur, soit par les contraintes de temps dû à la charge de travail qui se présente dans une application quelconque, soit par un changement des conditions physiques externes (température, voltage...)

PROBLÉMATIQUE:

La diminution de la consommation d'énergie dans les processeurs est un sujet d'actualité, à cause du souci de gagner plus d'autonomie dans les batteries. Cependant, nous sommes toujours confronté à un compromis entre la performance et la consommation de puissance, cette dernière étant fonction de la vitesse d'exécution des applications. Un circuit tel que présenté ci-dessus serait donc une des multiples solutions matérielles permettant de réduire la vitesse d'exécution, donc la consommation d'énergie, des applications tout en respectant les critères de performance et de précision demandées pour des applications comme la HDTV, ou les communications sans-fil.

MÉTHODOLOGIE:

Une première étape est de réaliser un modèle simulable du circuit.

L'étape suivante est de mesurer la complexité d'un tel circuit après synthèse, puis de tester sa fonctionnalité avec un processeur dont les délais de chaque instruction sont connus.

Les étapes qui s'en suivront seraient d'appliquer l'utilisation de ce design aux autres aspects cités ci-dessus ainsi que d'étudier son effet, combiné avec la variation dynamique du voltage (DVS), sur la consommation d'énergie.

RÉSULTATS:

Des résultats de simulation de la version préliminaire ont été obtenus.

TITRE:

Techniques de conception de circuits CMOS à basse tension d'alimentation dédiés aux convertisseurs analogiques/numériques.

RÉSUMÉ:

Ce projet consiste à proposer des techniques de conception de circuits CMOS dédiés aux convertisseurs analogiques/ numériques (CAN). L'emphase est mise sur les méthodes de réduction de tension d'alimentation afin de permettre un fonctionnement adéquat pour des tensions avoisinant le seuil des transistors.

PROBLÉMATIQUE:

Les CAN et CNA assurent le lien entre les milieux analogique et numérique. Les applications utilisant ces convertisseurs sont diverses et variées. En télécommunication par exemple, les nouvelles applications exigent de très grandes résolutions à de très haute vitesse mais avec comme contraintes principales une très faible dissipation de puissance. En instrumentation, la résolution reste toujours un facteur clé, la plupart des applications se limitent à une résolution de l'ordre de 12 bits et plus. La demande grandissante des applications portatives exige une alimentation de l'ordre de 1.8 V ou moins avec une faible consommation de courant. De plus, la réduction rapide de l'échelle des nouveaux procédés de fabrication en technologie CMOS requiert une réduction de l'alimentation afin de garantir la fiabilité à long terme des circuits. Il en découle donc que les circuits électroniques contemporains destinés aux CAN et CAN doivent opérer à très basse alimentation afin de répondre aux applications portatives. Le but du présent projet est d'investiguer la faisabilité des circuits électroniques viables fonctionnant à très bas voltage et dédiés aux convertisseurs A/N.

MÉTHODOLOGIE:

Les différentes étapes du projet seront donc:

- Une revue de littérature pertinente au niveau des techniques de conception de circuits à bas voltage destinés aux convertisseurs A/N;
- Une étude de la fiabilité des circuits avec la réduction de l'échelle;
- Le développement des techniques de conception circuits CMOS à bas voltage;
- La conception d'un convertisseur A/N à approximation successive de 10 bits fonctionnant avec une alimentation de 1V
- Des tests expérimentaux afin de valider les performances pré dictées.

RÉSULTATS:

Les résultats obtenus ont fait l'objet de quatre articles de conférence et un article de journal. Des prototypes ont été conçus et fabriqués dans le procédé 0.18 μ m. Les tests expérimentaux répondent à nos attentes . Le but de ces tests est de démontrer la faisabilité des circuits CMOS analogiques à basse alimentation.

FILION, Luc

DIPLÔME: M.Sc.A.

TITRE :

Analyse, implantation et intégration d'une bibliothèque pour la spécification des systèmes embarqués dans une méthodologie de codesign.

RÉSUMÉ :

Ce projet consiste au développement d'une bibliothèque nommée Syslib pour la spécification des systèmes embarqués. On intègre également Syslib dans une méthodologie complète de codesign pour mieux orienter son utilisation. Des résultats seront obtenus en programmant plusieurs systèmes utilisant la bibliothèque Syslib.

PROBLÉMATIQUE :

Les méthodes utilisées aujourd'hui pour la conception de systèmes embarqués sont de plus en plus difficiles à cause de la complexité grandissante des circuits. Un mouvement vers les langages à haut niveau et orientés objets (par exemple le C++) est requis pour éviter une diminution de la productivité. Plusieurs groupes de recherche et compagnies ont optés pour cette voie, mais les bibliothèques disponibles ne répondent pas à tous les problèmes.

MÉTHODOLOGIE :

Le premier but de ce projet est de proposer une méthodologie de conception des systèmes embarqués qui utilise pour spécifications une bibliothèque système. Il s'agira d'étudier puis de rassembler les besoins pour cette bibliothèque. Puis, cette bibliothèque sera programmée en C++ orientée objet pour faciliter le raffinement progressif vers une solution finale d'implantation vers le matériel (en Cynlib) ou logiciel (en C/C++) .

Il s'agit d'abord d'analyser l'étape de l'entrée des spécifications dans les méthodologies existantes , d'examiner les bibliothèques disponibles et d'établir une liste de lacunes qu'elle possèdent. Il faudra ensuite passer au développement de Syslib au niveau fonctionnel. Comme certains autres groupes de recherche tentent de combler ce vide (SystemC, SpecC, etc.), une étude comparative devra être complétée. Enfin, il faudra valider la bibliothèque en trouvant des applications à développer, puis analyser les résultats obtenus en comparant, de façon quantitative et qualitative, ces applications programmées avec différentes bibliothèques.

RÉSULTATS :

Une fois la bibliothèque Syslib terminée, nous avons procédé à l'implantation de différents exemples de design, dont un exemple producteur-consommateur, un contrôleur mémoire, un *BlockMatcher* puis un décodeur JPEG. Tous ces exemples ont été codés avec Syslib et SystemC. Les conclusions montrent que la bibliothèque Syslib est plus performante au niveau des échanges de données et les fichiers produits sont beaucoup plus petits, plus adaptés pour l'embarquement des spécifications au niveau architectural. Syslib est tout aussi simple à utiliser que System C (ou d'autres). Nous concluons que si nous nous dirigeons vers le développement d'un système en utilisant une méthodologie à raffinement progressif, Syslib (ou SystemC) apparaît comme un choix qui diminuera le temps de conception. Le mémoire a été présenté et accepté.

FORTIN, Marc-Antoine

DIPLOÔME: M.Sc.A.

TITRE:

Système microélectronique d'un robot miniature capable d'opérer à l'échelle atomique.

RÉSUMÉ:

Ce projet consiste à fournir tout le soutien électronique nécessaire pour adapter, utiliser et intégrer la technologie de la microscopie à effet tunnel dans une plateforme mobile miniature de sorte à positionner celle-ci à l'échelle atomique à l'aide d'un système de positionnement global assuré par communication infrarouge.

PROBLÉMATIQUE :

Déjà à ce stade, nous anticipons des complications au niveau du positionnement. En effet, notre système de positionnement global ne permet qu'une résolution de plus ou moins 20 micromètres (20×10^{-6} m). Parallèlement, le positionnement atomique se fait à l'aide d'un microscope à effet tunnel (qui consiste, dans le cas du nanorobot «NanoWalker», en un piézoélectrique monté avec une pointe conductrice) permet un balayage de plus ou moins 2 micromètres et ce avec une précision allant au nanomètre (1×10^{-9} m), ce qui permet de distinguer les atomes. Il y a donc un grand gap à couvrir avant de pouvoir jumeler ces deux technologies et d'atteindre, de façon efficace, le positionnement atomique. Sans doute, aurons-nous recours à un MEMS capable de mouvements X-Y de ± 150 microns.

De surcroît, le bruit électronique, accru par une densité de circuits hors du commun et l'effet d'hystérésis risquent fort bien de compromettre les résultats en ajoutant de l'imprécision aux mesures effectuées.

MÉTHODOLOGIE :

Pour combler le gap de résolution entre les deux systèmes de positionnement nommés plus haut (positionnement global et positionnement atomique), le NanoWalker se servira d'une grille atomique composée de motifs atomiques gravés sur la surface de travail pour parvenir au positionnement atomique. Ces symboles permettront au NanoWalker de déterminer sa propre position de façon autonome à même la région indiquée par le positionnement global. Il lui sera ensuite possible de compter les atomes jusqu'à cerner l'atome voulu selon un algorithme mathématique optimisé pour la précision et la description du parcours suivi.

En parallèle, une optimisation des circuits électroniques et mécaniques pourront offrir la possibilité d'atteindre des résultats plus précis avec, notamment, une meilleure isolation des circuits et un asservissement adéquat des commandes mécaniques.

De plus, l'élaboration d'un modèle mathématique du piézoélectrique ainsi que d'un contrôleur non-linéaire nous permettra d'atteindre des résultats cohérents et plus précis.

RÉSULTATS :

Nous nous préparons à vérifier l'ensemble du circuit de contrôle du positionnement atomique indépendamment de la plate-forme du NanoWalker. Nous pourrons ainsi valider son bon fonctionnement avant de l'intégrer au circuit. De plus, les différentes parties du circuit sont présentement vérifiées sous forme de prototypes.

TITRE:

Contributions aux boucles à verrouillage de phase et aux liaisons séries à haute performance.

RÉSUMÉ:

Une boucle à verrouillage de phase (BVP) est généralement un circuit complexe. Le processus de conception d'une BVP comprend beaucoup de difficultés. Ces nombreuses difficultés proviennent du fait qu'une BVP est construite à base des blocs qui contribuent à un bruit considérable au signal de sortie. Par conséquent, chaque élément de base de la BVP exige une sélection prudente et des techniques de conception avancée. De plus, les caractéristiques de stabilité de phase et de fréquence des systèmes en boucles BVP doivent être spécifiées.

Il existe quelques méthodes pour concevoir des systèmes en BVP, mais il n'existe pas de résultats qui seraient universels et pertinents dans toutes les conditions et applications. Au contraire, il existe différents résultats selon les critères de performances et la nature du domaine d'applications.

Le sujet de cette thèse porte sur la modélisation et réalisation d'une BVP de haute performance. Cette BVP résout le problème de génération d'horloge à basse gigue de phase sous contraintes strictes (large plage de verrouillage, temps de verrouillage réduit avec réduction de la pointe de la gigue sur la phase de sortie). Cette BVP peut être avantageusement employée pour produire des horloges avec une faible gigue de phase dédiées aux systèmes SONET/SDH et dans des circuits de recouvrement de données pour OC-3/12/48 et STM 1/4/16.

PROBLÉMATIQUE:

Le problème de transmission de données entre divers circuits intégrés pose un défi véritable avec l'augmentation du débit de transmission de ces derniers. Pour cela, il faut avoir un système fiable et stable pour transmettre correctement les données et de les récupérer d'une façon fiable en minimisant le bruit introduit et les erreurs qui peuvent affecter le bon fonctionnement du système.

Dans le cadre de cette thèse, nous allons modéliser et concevoir des circuits CMOS très rapides et ayant une faible consommation d'énergie, dédiés à des systèmes de communication. Un circuit à boucle BVP a été réalisé en utilisant la technologie CMOS 0.18 µm. Ce circuit fabriqué nous permet de générer les différentes horloges à basse gigue de phase afin de satisfaire les besoins des standards SONET/SDH à multi-taux.

Ainsi, nous allons être capables de transmettre des données qui varient entre 155 Mb/S et 2.5 Gb/s à travers une ligne de transmission complètement en CMOS, tout en minimisant la puissance dissipée.

MÉTHODOLOGIE:

La méthodologie de conception adaptée pour notre travail est la suivante:

- Concevoir une BVP avec faible gigue de phase;
- Concevoir une BVP auto-calibrée à large plage de verrouillage avec le temps de verrouillage réduit;
- Concevoir des circuits CMOS très rapides et ayant une faible consommation d'énergie;
- Traitement de la gigue introduite dû à la différence de fréquences entre le transmetteur et le récepteur (technique de re-synchronisation dans les systèmes plésiochrones).

RÉSULTATS:

Un circuit intégré a été réalisé en utilisant la technologie CMOS 0.18µm. Le circuit a été reçu de la fabrication et il est actuellement sous test. Le circuit intégré inclut les sous-circuits suivants:

- Une BVP basée sur la technique de gain adaptée. Cette BVP offre une acquisition de fréquence/phase tout en ayant une faible gigue sur la phase de sortie.
- Une BVP auto-calibrée réalise une large plage de verrouillage avec gigue sur une phase de sortie réduite;
- Un convertisseur fréquence/courant rapide totalement linéaire à basses fluctuations sur le courant de sortie;
- Technique de reconfiguration des BVP dans le mode test.

GERVAIS, Jean-François

DIPLOÔME: M.Sc.A.

TITRE:

Échange bidirectionnel de données avec un implant électronique alimenté par lien inductif.

RÉSUMÉ :

De nos jours, il existe plusieurs dispositifs électroniques médicaux qui sont implantés dans le corps humain pour palier à une défaillance. Ces circuits ont besoin d'alimentation électrique et d'une façon de communiquer de l'information avec le monde extérieur. Pour éviter de multiples chirurgies, nous visons à transmettre énergie et données à distance. Le travail s'effectue selon les spécifications précises des implants développés par l'équipe PolyStim.

PROBLÉMATIQUE :

Les dispositifs implantés doivent pouvoir fonctionner en tout temps et sans restreindre la mobilité du sujet. C'est pourquoi l'efficacité de transmission est très importante : elle permettra de réduire la quantité de batteries externes nécessaires. De même manière, le circuit de réception de données doit être très modeste dans sa consommation de puissance. De plus, la transmission de données partant de l'implant doit se faire sans perturber l'arrivée de puissance.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Conception et réalisation d'un amplificateur à haut rendement pour l'émission;
- Conception et réalisation d'un prototype contrôleur/implant permettant de valider l'alimentation à distance ainsi que le transfert de données bidirectionnel;
- Caractérisation des limites de performance de la transmission utilisant des méthodes conventionnelles;
- Élaboration d'un système utilisant une modulation/démodulation alternative (par phase);
- Réalisation et caractérisation d'un système intégré effectuant la démodulation de phase.

RÉSULTATS :

Un amplificateur à haut rendement a été réalisé et testé. Ce dernier est beaucoup plus simple que les versions précédentes et l'efficacité est meilleure. Un prototype a été conçu et les fonctionnalités critiques ont été rencontrées, à savoir l'alimentation de l'implant par lien inductif et la transmission de données dans les deux directions. Le taux d'erreur a été observé et il est inférieur à 10 par million lors d'une communication demi-duplex. Aussi, un modèle de système de modulation/démodulation de phase a été élaboré et simulé. Les résultats montrent la nécessité d'avoir un index de modulation très faible, laissant la place uniquement à une modulation de type PSK avec deux niveaux de phase rapprochés. Un circuit intégré effectuant la démodulation d'un tel signal a été conçu et est présentement en fabrication.

GHATTAS, Hany

DIPLÔME: M.Sc.A.

TITRE:

Conception d'un processeur embarqué de faible complexité dédié à une plate-forme SOC de processeurs réseaux.

RÉSUMÉ :

Ce projet présente une brève étude de plusieurs processeurs réseau existant sur le marché. Il propose une architecture de plate-forme «SOC» capable de faire la conversion de protocoles, ainsi que plusieurs applications de télécommunication telle que la classification de paquets. Nous avons mis en œuvre un processeur embarqué fait sur mesure qui sera intégré dans cette plate-forme et utilisé pour la manipulation de paquets. Ce projet compare plusieurs versions de notre processeur embarqué avec le processeur ARM7, un processeur populaire dont le noyau est disponible sur le marché. Il démontre quelques avantages d'un processeur embarqué au cœur d'une plate-forme «SoC», consacrée à la transmission de paquets de vidéo numérique. Ce processeur, fait sur mesure, offre un rendement plus élevé et pourrait être facilement adapté à nos besoins; cependant, nous n'avons pas réussi à atteindre la densité du processeur ARM7 à cause de la bibliothèque de cellules disponibles et de la méthodologie de conception physique choisie.

PROBLÉMATIQUE :

Le monde des télécommunications a connu ces dernières années de nombreuses mutations, dues à la course effrénée vers des débits de transmission toujours plus élevés. Ainsi, de nombreuses recherches ont été réalisées dans le but de créer de nouveaux protocoles de communication capables de supporter des vitesses de transmission de données de plus en plus grandes. Cette constante innovation dans le domaine de la communication a entraîné une diminution de la durée de vie des produits qui deviennent dépassés au fur et à mesure qu'ils ne sont plus capables de traiter de nouveaux protocoles. Pour résoudre ce problème, l'industrie a fait appel à des interfaces réseaux spécialisées : les convertisseurs de protocoles.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Réalisation d'une architecture du processeur embarqué avec un jeu d'instructions dédié à la manipulation de données de paquets à haut débit;
- Réalisation d'un modèle exécutable et synthétisable du processeur embarqué dont le jeu d'instructions pourrait démontrer la conversion d'un protocole A (Firewire) en un protocole B (Gigabit Ethernet);
- Implantation du processeur réseau sur la plate-forme ARM-FPGA. Ceci a pour but de faire une simulation post-synthèse;
- Implantation du processeur embarqué au sein d'une version simplifiée de la plate-forme SOC du processeur réseau sur la plate-forme ARM-FPGA. Ceci a pour but de faire une simulation post-synthèse;
- Implantation du processeur embarqué sur un circuit intégré ASIC :
- Dresser une comparaison entre le processeur embarqué et le processeur embarqué ARM7 en vue de justifier son existence au sein de la plate-forme SOC;
- Tirer des conclusions et des recommandations pour une nouvelle version du processeur embarqué qui sera reconfigurable et améliorée pour répondre aux besoins d'une éventuelle nouvelle architecture d'une plate-forme SOC.

RÉSULTATS:

- Une version fonctionnelle et synthétisable d'un processeur embarqué, le «*General Formater*», est maintenant disponible;
- La simulation post-synthèse sur la plate-forme ARM-FPGA nous a permis de corriger quelques erreurs;
- Le développement d'un assembleur qui utilise le jeu d'instruction du processeur embarqué pour produire le microcode a été finalisé;
- Une conversion du protocole Firewire au protocole Gigabit Ethernet avec le jeu d'instructions est disponible. Ceci nous a permis de réviser le jeu d'instructions pour accommoder le processus de conversion;
- L'implantation du processeur embarqué sur un circuit dédié ASIC en technologie 0.35µm nous a permis de découvrir l'énorme grosseur de la surface du dé;
- La réalisation de deux autres versions du processeur embarqué, en occurrence, la version multi cycle et la version pipelinée avec deux étages;
- La comparaison entre les trois versions du processeur embarqué en terme de fréquence d'opération, surface de dé et puissance dissipée;
- La conversion de protocole Firewire à Ethernet en utilisant le processeur **ARM7**;
- La comparaison entre la dernière version de notre processeur embarqué et le processeur **ARM7**

GHATTAS, Nader

DIPLOÔME: M.Sc.A.

TITRE:

Architecture qui teste et répare automatiquement les mémoires ayant une capacité ultra-large.

RÉSUMÉ:

Ce projet présente une stratégie pour incorporer une validation et une réparation automatique dans les mémoires qui possèdent une ultra-haute capacité. Cette structure automatique permet aux mémoires de haute capacité d'appliquer des tests de vérification, de localiser les erreurs et de les réparer sans assistance externe d'un ingénieur ou d'un équipement de vérification. Le projet améliorera le rendement de la mémoire et réduira les coûts de production. L'efficacité de la structure automatique des tests de vérification et de réparation de la mémoire est supportée par une organisation de mémoire hiérarchique.

PROBLÉMATIQUE:

De nos jours, les puces SRAM utilisent la technologie sous-micron MOS pour atteindre une mémoire de haute capacité tout en maintenant la surface de la matrice sous les contraintes de la technologie. De plus, accroître la capacité de la mémoire aura pour conséquence une augmentation de la taille de la puce, à son tour, sera vulnérable aux pannes dues à la fabrication et diminuera ainsi le rendement. Par conséquent, une vérification et une tolérance aux pannes seront d'une grande nécessité dans le futur des puces de mémoire à grande capacité.

MÉTHODOLOGIE:

Les cellules de la mémoire redondantes sont introduites à plusieurs niveaux de la hiérarchie. Au plus bas niveau, les mots redondants sont introduits. Si la logique locale de réparation automatique peut réparer toutes les pannes au niveau local, le système de mémoire entière fonctionnera à pleine capacité. Cependant, si le bloc mémoire contient un nombre excessif d'erreurs qui ne peuvent être réparées automatiquement au niveau local, ce bloc ne doit pas être accessible durant le fonctionnement normal. Une tentative d'accéder à ce bloc doit être dirigée vers un bloc redondant fonctionnel.

RÉSULTATS:

Une puce prototype a été fabriquée et est présentement dans le processus d'être vérifiée.

GILSON, Mathieu

DIPLOÔME: M.Sc.A.

TITRE :

Entraînement de réseaux neuronaux récurrents à pulses pour modéliser un tissu neuronal biologique.

RÉSUMÉ :

Dans le cadre du projet de prothèse visuelle du laboratoire de microélectronique PolyStim, on a besoin d'un modèle du tissu neuronal biologique (couche 4 du cortex visuel primaire) afin de prédire le comportement du tissu en réponse à des stimulations de l'implant. On désire en effet déterminer des protocoles de stimulation adéquats pour restaurer une «véritable» vision partielle (générer des formes géométriques, intégrer le mouvement, la couleur, etc)

Le modèle de modélisation avec des réseaux de neurones récurrents à pulses de style biologique consiste en un réseau de neurones de style biologique à pulses (représentant les potentiels d'action). Son architecture s'inspire de la physiologie corticale et on ajuste les paramètres synaptiques (poids et délais) de manière que le comportement du réseau soit réaliste : en particulier rendre compte de l'organisation en colonnes corticales et comporter des neurones dédiés à certaines tâches spécifiques (reconnaissance de motifs de stimulation), en vue de tester n'importe quel protocole de stimulation.

PROBLÉMATIQUE :

L'entraînement de tels réseaux neuronaux récurrents à pulses (RNRP) est un problème d'optimisation non classique dans la mesure où l'on doit exploiter le grand nombre de signaux générés dans le réseau. La philosophie diffère d'algorithmes classiques sur les réseaux neuronaux comme la rétro-propagation, où l'optimisation inclut la recherche de l'architecture minimale pour éviter le surentraînement.

MÉTHODOLOGIE :

La première méthode testée vise à entraîner de petits réseaux récurrents en définissant dans le réseau des entrées et des sorties, et une fonction d'erreur pour comparer les trains de pulses en sortie. Un algorithme génétique recherche des paramètres synaptiques correspondant au minimum de cette fonction par rapport à des sorties de l'architecture du RNRP avec des paramètres synaptiques fixés (réseau-objectifs). On entraîne un RNRP avec deux fonctions d'erreurs basées sur des métriques sur les trains de pulses définies à priori, et qui devraient idéalement être cohérentes avec le codage de l'information visuelle au niveau cortical.

La deuxième méthode vise à combiner deux concepts, on reproduit le comportement auto adaptatif du cortex visuel primaire décrit par Hubel et Wiesel, avec un apprentissage de type hebbien inspiré des cartes auto-organisatrices de Kohonen. En parallèle, le RNRP se comporte comme une machine à états liquides (Maass), ce qui permet d'entraîner des neurones d'extraction à accomplir des tâches spécifiques. On connecte le RNRP à un modèle simple de rétine sensible à des barres lumineuses mobiles d'orientations diverses, pour tester la carte topographique auto-organisatrice à états liquides comme modèle du cortex.

RÉSULTATS :

La première méthode permet de copier l'activité du réseau-objectif au niveau des noeuds de sortie mais pas d'interpoler son activité globale. De plus, elle dépend des métriques utilisées lorsqu'elle est appliquée à la modélisation d'un tissu biologique pour être cohérente avec l'information codée dans les trains de pulses. La seconde méthode permet de rendre compte de plusieurs phénomènes physiologiques du cortex et constitue une base souple pouvant être raffinée de multiples manières en vue de mieux copier un tissu biologique.

GORSE, Nicolas

DIPLOÔME: Ph.D.

TITRE:

Vérification à haut niveau d'abstraction, de la cohérence des requis dans les designs: une validation conceptuelle des requis .

RÉSUMÉ:

Nous proposons de définir une approche nouvelle pour la modélisation et la validation conceptuelle automatique des requis à haut niveau d'abstraction. Cette approche consiste en une représentation formelle des requis suivie d'une validation basée sur un certain nombre de règles de cohérence. La détection des problèmes potentiels peut ainsi intervenir très tôt dans le cycle de développement, permettant un gain de temps et de qualité. La génération de scénario de test de plus bas niveau est envisagée de façon à pouvoir combler le fossé existant entre les différents niveaux de modélisation.

PROBLÉMATIQUE:

Les requis sont une phase essentielle et primordiale d'un cycle de développement, qu'il soit matériel ou logiciel. Les méthodologies actuelles ne contiennent pas ou très peu, de phase de validation automatique des requis. L'ajout d'une telle phase de validation, s'appuyant sur une formalisation des requis est important pour les raisons suivantes:

- L'expression des requis sous une forme formelle simple et accessible aux concepteurs permet une meilleure énonciation de ceux-ci ainsi qu'un meilleur partage des documents;
- Il est important de s'assurer que les requis soient complets et dénués d'erreur dans la mesure où toute erreur de conception peut se propager tout au long du cycle de développement pour n'être détectée que tard.

Une telle méthodologie permettrait donc une meilleure expression et un meilleur partage des informations, la détection rapide des erreurs de conception, ainsi que la génération de scénario de test permettant de s'assurer que les erreurs ont bien été évitées aux niveaux plus bas.

MÉTHODOLOGIE:

Modélisation:

- Identification des composants, propriétés et actions du système ;
- Modélisation à haut niveau d'abstraction sous forme de hiérarchie d'actions ;
- Modélisation des propriétés du système selon le même niveau d'abstraction.

Validation conceptuelle basée sur des règles de cohérence préalablement établies.

RÉSULTATS:

Une première version d'un prototype de vérification de cohérence implantant 34 règles a été programmée en Prolog. Les requis d'un modèle de Bus ont été formalisés à haut niveau et le prototype est actuellement en cours d'évaluation et de modification suivant les résultats obtenus sur l'exemple de bus modélisé.

GOSSELIN, Benoît

DIPLOÔME: M.Sc.A.

TITRE :

Étage d'entrée à faible bruit et à faible consommation pour un système multicanal d'acquisition de signaux neuronaux.

RÉSUMÉ :

Le présent projet vise à mettre en oeuvre un système d'acquisition multicanaux de signaux neuronaux intégré et implantable pour l'utilisation éventuelle *in vivo*. Un tel dispositif médical permettra entre autre d'acquérir chez des patients paraplégiques l'activité cérébrale destinée à des fonctions comme la vision pour les reproduire grâce à d'autres dispositifs médicaux intelligents (DMI).

PROBLÉMATIQUE :

Depuis quelques temps déjà, il a été démontré que l'activité des neurones du cortex cérébral peut être associée à certaines fonctions physiologiques comme la vue, le mouvement ou la mémoire. L'unité révélatrice dans l'étude des représentations corticales des fonctions physiologiques est la population de cellules. C'est dans ce contexte, qu'il est important de pouvoir enregistrer simultanément l'activité d'un grand nombre de cellules. L'objectif principal de ce projet est de concevoir un étage d'entrée programmable pouvant être jumelé à une matrice de microélectrodes. Éventuellement, l'information neuronale pourra être transmise à l'extérieur du corps, traitée, étudiée et utilisée pour poser un diagnostic ou pour actionner une autre prothèse.

MÉTHODOLOGIE :

Étant donné l'extrême sensibilité au bruit que représente la mesure de signaux neurologiques, une méthode de réduction du bruit a été adoptée. Les signaux d'entrée sont traités par modulation chopper pour réduire le bruit en basses fréquences et neutraliser la tension de décalage de l'électrode. À cause du nombre élevé de canaux nécessaires à la réalisation du système convoité, les techniques de conception à très faible consommation sont utilisées. Par conséquent, le système est alimenté par une très basse tension d'alimentation et ces transistors fonctionnent en région d'inversion faible. Aussi, le conditionnement des signaux captés est réalisé par filtrage dans le domaine logarithmique pour augmenter la plage dynamique et le rapport signal sur bruit (SNR) des signaux. L'étage d'entrée sera réalisé grâce au procédé de fabrication CMOS, en technologie 180nm.

RÉSULTATS :

Les simulations montrent que l'utilisation du système de modulation chopper permet de neutraliser efficacement le bruit en basses fréquences et la tension de décalage de l'électrode. Le bruit d'entrée après traitement ne dépend que du bruit thermique. De plus, ces mêmes simulations ont montré que le design consomme moins de $20\mu\text{W}$ par canal.

GROU-SZABO, Robert

DIPLOÔME: M.Sc.A.

TITRE:

Plate-forme d'intégration reconfigurable spécialisée pour applications vidéo.

RÉSUMÉ:

Le but de ce travail est de concevoir et réaliser l'implémentation, à un niveau d'abstraction matérielle, une plate-forme reconfigurable pour assister lors de l'implémentation de nouveaux algorithmes destinés au traitement vidéo.

PROBLÉMATIQUE:

Comment concevoir des architectures de traitement vidéo qui offrent la longévité dont nous nous sommes habitués avec les ordinateurs conventionnels? Lors de la conception de circuits ASIC pour des applications similaires dans une même entreprise, l'ingénieur est appelé à effectuer à nouveau certaines tâches qu'il a déjà faites auparavant.

Or, si certains choix architecturaux avaient été pris de façon plus judicieuse lors de la première intégration, les subséquentes itérations de conception pour d'autres applications différentes mais tout de même semblables auraient été plus faciles.

MÉTHODOLOGIE:

- Étudier les compromis qu'implique une plate-forme d'intégration reconfigurable optimisée pour implémenter des applications vidéo;
- Implémenter une première architecture micro-codée avec un processeur de type «VLIW» pour avoir une plate-forme flexible et dynamiquement reconfigurable;
- Développer des bibliothèques à haut niveau (SystemC ou UML) qui permettraient d'implémenter de nouveaux algorithmes rapidement.

RÉSULTATS:

Le projet est toujours dans la phase de conception et développement d'objectifs mais une interface graphique (GUI) permettant la visualisation rapide des images traitées est déjà terminée qui servira comme lien entre l'architecture et le monde réel. Une implémentation au niveau RTL avec la bibliothèque SystemC d'un filtre vidéo Wiener et d'un filtre Kalman sont présentement en cours de développement.

HARB, Adnan

DIPLÔME: Ph.D.

TITRE:

Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales.

RÉSUMÉ:

Ce travail consiste à proposer une méthode d'évaluation du volume urinaire et de concevoir et réaliser un circuit électronique intégré implantable destiné à corriger les dysfonctions urinaires. Les performances visées pour ce système découlent de la qualité du signal acquis (amplitude, interférence, etc.). De plus, étant approvisionné par de l'énergie transmise de l'extérieur et une petite pile implantée, ce système ne devrait pas consommer beaucoup d'énergie. En résumé, le circuit d'acquisition devrait jouir d'un niveau de bruit faible pour minimiser la taille du dispositif implanté.

PROBLÉMATIQUE:

Nous prévoyons capter des signaux neuronaux différentiels de très faible amplitude et à basse fréquence. Le signal sera ensuite traité pour en extraire de l'information. Pour l'implant électronique destiné à la restauration des fonctions urinaires, le circuit informerait le patient de l'état de son volume vésical et joue le rôle d'une boucle de retour pour le contrôle de la stimulation. Cette partie réalisera les fonctions suivantes : la détection du volume vésical; la communication de l'information détectée au contrôleur principal de l'implant; et l'estimation du temps nécessaire pour le remplissage de la vessie.

MÉTHODOLOGIE:

Nous avons procédé à l'examen des techniques de surveillance des activités neuronales et nous avons opté au prélèvement de l'électroneurogramme (ENG) relié à la vessie. L'incertitude dans cette approche est que nous ignorons l'allure des signaux qui innervent la vessie et la difficulté reliée à leur mesure car ils sont, en général, de très faible amplitude, de basse fréquence et sont contaminés par de l'interférence (l'électromyogramme « EMG, 60Hz, etc.»). Pour atteindre nos objectifs, nous avons divisé le travail en deux étapes : Concevoir et réaliser un système d'acquisition de signal par ordinateur pour déterminer le comportement du signal nerveux en fonction du volume de la vessie, concevoir et réaliser un circuit intégré CMOS qui est en mesure d'accomplir les fonctions du système d'acquisition ainsi que les fonctions de traitement du signal pour pouvoir générer l'information sur l'état du volume de la vessie. Le système intégré englobe un amplificateur d'instrumentation (amplificateur différentiel) à faible bruit, un circuit de traitement du signal analogique composé d'un redresseur, deux intégrateurs en série avec une remise à zéro; cette partie réalise la fonction RBI (Redressement et Bin-Intégration), un convertisseur analogique-numérique, et un bloc de contrôle de l'ensemble. La fonction RBI sera complétée après la conversion avec un additionneur. Le circuit sera ensuite implémenté et fabriqué en technologie CMOS. Des tests au laboratoire et in vivo suivent pour déterminer ses performances.

RÉSULTATS:

La première composante du circuit intégré a été conçue, réalisée et testée avec de bons résultats. Nous avons conçu le circuit de traitement. La conception des autres parties avec la technique des capacités commutées est complétée. L'architecture différentielle est adoptée pour améliorer le rapport signal sur bruit. Nous sommes dans la phase du test de puces fabriquées en parallèle à la rédaction de la thèse.

HASAN, Syed Rafay

DIPLOÔME: Ph.D.

TITRE:

Conception d'un bus sur puce opérant à haute fréquence sans contention.

RÉSUMÉ:

La majorité des systèmes sur puce, aujourd’hui, sont conçus à partir de modules déjà existants afin de réduire le temps nécessaire à la mise en marché du produit. Ces modules ont besoin d'un minimum de communication afin de communiquer entre eux. Le design d'un bus partagé haute vitesse sans contention est un requis pour les systèmes sur puce afin de permettre une bonne communication entre les différents modules du système. Nos recherches conduiront vers une nouvelle architecture beaucoup plus rapide que celles existantes aujourd’hui pour les systèmes sur puce.

PROBLÉMATIQUE:

Avec les percées technologiques en microélectronique, les transistors deviennent de plus en plus rapides. Cependant, les fils globaux (comme ceux d'un bus partagé) ne sont plus capables de suivre le rythme. À mesure que la grandeur des circuits intégrés augmentent, les délais occasionnés par les fils globaux limitent la fréquence des systèmes. De plus, en augmentant le nombre de module sur puce, l'arbitration et la contention du bus impose une sérieuse limite pour la fréquence. Les architectures que l'on retrouve dans la littérature présentement sont limitées à des fréquences de quelques centaines de mégahertz seulement. Le but de cette recherche est d'identifier les causes de ces limites et d'obtenir une solution.

MÉTHODOLOGIE:

Présentement, nous sommes à revoir la littérature. La prochaine étape sera de faire des simulations exhaustives sur les différentes topologies retenues. Le résultat des simulations devrait nous permettre de proposer une nouvelle architecture au niveau système. L'étape suivante sera d'implémenter les différentes composantes du bus au niveau circuit. Il sera nécessaire de les optimiser pour la fréquence ainsi que pour la puissance afin de faire de notre architecture un réseau d'interconnexions haute performance. Finalement, le bus sera implémenté sur silicium.

RÉSULTATS:

Puisque le travail technique n'a pas encore débuté, aucun résultat ni aucune publication n'a été obtenue.

TITRE:

Module de conversion de puissance basé sur un multiplicateur de tension à haut rendement et d'un redresseur actif intelligent applicable aux implants biomédicaux.

RÉSUMÉ :

Obtenir l'énergie requise pour alimenter un implant électronique est un défi significatif d'implémentation. Les tendances récentes favorisent des liens inductifs RF pour une telle application. Cependant, une chaîne efficace de conversion de puissance est fortement souhaitable. Ceci implique de présenter de nouveaux dispositifs et de construire de nouvelles architectures ainsi que l'étude de la fiabilité pour les éléments de circuit.

PROBLÉMATIQUE :

Les nouvelles technologies CMOS sous-microniques souffrent de la basse tension nominale tandis qu'une certaine tension plus élevée est encore exigée pour la stimulation d'un nerf. Par conséquent, le nouvel arrangement pour des éléments d'une chaîne de conversion de puissance est exigée afin d'empêcher d'excéder la chute de tension et la perte de puissance à travers les diodes conventionnelles. Il exige également une étude profonde de la fiabilité des dispositifs CMOS en état de courant et de tension d'effort. La nouvelle architecture possède l'avantage d'employer un redresseur actif intelligent qui remplace la diode conventionnelle. Ceci annule la chute de tension inhérente et constante d'une diode et améliore donc l'efficacité de puissance de l'architecture de manière significative. Le système requiert également un étage adaptatif de multiplication de tension afin de fournir assez de charge par phase de stimulation pour différents emplacements de stimulation d'une manière efficace. La fiabilité à long terme des dispositifs MOS en terme de performance et d'efficacité en condition d'effort conditionnel (courant et tension) serait d'un autre intérêt.

MÉTHODOLOGIE :

Nous avons rassemblé un nombre significatif de paramètres impliqués dans la conception appropriée de l'étape de multiplicateur de tension. Par la suite, nous avons étudié les limitations et les contraintes existantes et avons proposé une nouvelle architecture améliorant l'efficacité globale de puissance et éliminant le besoin de diode discrète. Une étude de fiabilité a été visée sur des dispositifs de CMOS. Une tentative énorme est également visée pour réaliser un redressement actif qui remplace le besoin de diode conventionnelle et élimine ses inconvénients.

RÉSULTATS :

Une nouvelle architecture pour la chaîne de conversion de puissance comprenant un redresseur actif a été présentée et le bloc de multiplication de tension à haut rendement a été également réalisé et le travail de réalisation d'un redresseur actif est en cours. Une puce électronique se composant de différents types et tailles de transistors MOS a été conçue afin d'explorer la fiabilité d'un tel dispositif sur des états d'effort. Les résultats de cette expérimentation montrent les limites d'un transistor MOS dans les applications de haute tension.

HU, Yamu

DIPLÔME: Ph.D.

TITRE:

Techniques CMOS sans-fil dédiées aux liens électromagnétiques de dispositifs médicaux implantables.

RÉSUMÉ:

De nos jours, il existe plusieurs dispositifs électroniques médicaux qui sont implantés dans le corps humain pour palier à une défaillance. Ces circuits ont besoin d'alimentation électrique et d'une façon de communiquer de l'information avec le monde extérieur. Pour éviter de multiples chirurgies, nous visons à transmettre énergie et données à distance. Le travail s'effectue selon les spécifications précises d'un implant cortical dédié à redonner la vue aux aveugles.

PROBLÉMATIQUE:

Les dispositifs implantés doivent pouvoir fonctionner en tout temps et sans restreindre la mobilité du sujet. C'est pourquoi l'efficacité de transmission d'énergie est très importante : elle permettra de réduire la quantité de batteries externes nécessaires. De même manière, le circuit implantable de réception de données doit être très modeste dans sa consommation de puissance. De plus, la transmission de données partant de l'implant doit se faire sans perturber l'arrivée de puissance.

MÉTHODOLOGIE:

Dans le but de transmettre de l'énergie à un implant avec une bonne efficacité, le système proposé ajuste la quantité de puissance envoyée selon les besoins. Ainsi, il faut que l'implant retourne de l'information sur l'état de sa tension d'alimentation. Celle-ci sera maintenue constante à l'aide d'un régulateur du côté du circuit externe. Ce dernier doit aussi être optimisé. Les différents types d'amplificateurs haute performance sont donc à l'étude. Du côté des données, la bidirectionnalité simultanée est nécessaire pour permettre une bonne régulation de puissance tout en gardant un bon débit de données entrantes (dans l'implant). Les normes et régulation étant limitantes, nous nous proposons d'effectuer la communication bidirectionnelle sur la même onde porteuse, à une fréquence permise. Au niveau de l'implant, ceci implique une modulation passive (modulation de charge), ainsi que la démodulation en phase. L'inverse doit se faire du côté du circuit externe. Les circuits qui se trouveront sur un implant doivent être simples et avoir une très basse consommation de puissance.

RÉSULTATS:

Pour l'instant, nous avons réalisé la référence de tension, le circuit régulateur de tension, le modulateur et le démodulateur PSK en CMOSP18. Les résultats de simulation ont montré la bonne fonctionnalité de l'ensemble. Le circuit intégrant les fonctions a été implémenté et fabriqué par la SCM.

TITRE:

Une approche SOC d'un modèle multi-processeur de «Hardware Multithreading»

RÉSUMÉ:

Ce projet élabore un modèle «hardware multithreading» en suivant les contraintes des systèmes sur puce. L'avènement de nouvelles technologies nous permet d'utiliser un large éventail de puces à grande surface, mais nous restreint à minimiser le plus possible la consommation de puissance. Une architecture de plusieurs processeurs d'une fréquence moindre est utilisée pour satisfaire les contraintes associées aux SOC. Cette approche devrait avoir pour effet de dissimuler la latence de communication des processeurs sur les bus, de diminuer la consommation de puissance et d'utiliser toute la superficie disponible sur la puce, comparativement à une architecture monoprocesseur standard.

PROBLÉMATIQUE:

Les systèmes embarqués doivent suivre certaines contraintes importantes. Effectivement, les concepteurs de systèmes sur puces, surtout sur *FPGA*, font face à certains problèmes de consommation de puissance. La fréquence étant un facteur important au niveau de cette consommation, il est difficile de la restreindre sans affecter la performance de la puce. La conception d'un modèle de «Hardware Multi-threading» multiprocesseur permet de réduire cette consommation, étant donné l'hypothèse que tous les processeurs de moindre fréquence consomment moins qu'un seul totalisant la même fréquence. Ce projet cherche donc à prouver cette hypothèse en implémentant un tel système sur une plate-forme contenant un Virtex 2 PRO.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes :

- Explorer les différentes possibilités de l'outil de Xilinx EDK;
- Réaliser un design de référence comportant plusieurs processeurs Microblaze;
- Concevoir une architecture multi-processeur capable d'élaborer le concept de Hardware multithreading;
- Comparer les résultats avec ceux obtenus lors des simulations logicielles.

RÉSULTATS:

La recherche venant de débuter, aucun résultat n'est encore disponible.

IZOUGGAGHEN, Badre

DIPLOÔME: M.Sc.A.

TITRE :

Caractérisation et modélisation des sources de gigue et d'étalement spectral dans un circuit de synthèse numérique directe de phase «DDPS».

RÉSUMÉ :

Cette décennie est marquée par le développement fulgurant que connaît le domaine des télécommunications, particulièrement, les communications sans fil. Cette croissance entraîne une forte demande pour des circuits de synthèse d'horloge de haute performance, entièrement intégrée sur une puce et à faible coût. L'horloge produite par ces circuits doit avoir une très faible gigue, atteindre des fréquences élevées et surtout avoir le minimum d'étalement spectral. Un excellent candidat qui répond à ces spécifications est le circuit de synthèse numérique directe de phase «DDPS». Cependant, le spectre du signal généré par ce circuit n'est pas pur. Le but de ce travail est d'identifier et de modéliser les sources d'étalement spectral dans le «DDPS» afin d'en améliorer les performances.

PROBLÉMATIQUE:

Dans les systèmes de communication sans fil, nous avons besoin de produire des horloges à haute fréquence qui sont des fractions exactes d'une horloge de référence. Ces horloges doivent impérativement avoir une faible gigue et un minimum d'étalement spectral. Le circuit de synthèse numérique directe de phase «DDPS», objet de cette étude, n'a pas un spectre fréquentiel pur. De plus, sa gigue temporelle reste aussi à améliorer.

MÉTHODOLOGIE :

Nous avons identifié les sources de gigue et d'étalement spectral dans le circuit de synthèse numérique directe de phase. Nous avons découvert que la source d'étalement spectral, la plus importante dans ce circuit est la troncature de la sortie de son accumulateur de phase. Ensuite, nous avons bâti un modèle analytique qui prédit la position et l'amplitude des raies spectrales indésirables causées par la troncature de phase. Afin de valider notre modèle analytique, nous avons construit un modèle MATLAB SIMULINK du circuit «DDPS» réel. Les résultats de simulation du modèle MATLAB confirme la validité des équations analytiques développées. Nous devrons par la suite, proposer et valider des solutions pour atténuer les effets de ces sources d'erreurs.

RÉSULTATS :

- Modèle analytique prédisant la position et l'amplitude des raies spectrales indésirables dues à la troncature de l'accumulateur de phase;
- Réalisation d'un modèle MATLAB SIMULINK du circuits «DDPS» réel.

TITRE:

Modélisation d'un capteur CMOS.

RÉSUMÉ;

Dans plusieurs années, nous ne pourrons plus utiliser les interconnexions électriques conventionnels, avec la réduction continue des circuits intégrés et l'accélération du transfert des données à l'intérieur même de la puce. Les interconnexions optiques semblent être une solution attractive pour remédier au futur problème.

PROBLÉMATIQUE:

Nous nous intéressons dans ce projet à l'interconnexion optique à l'intérieur du chip. Nous cherchons donc à remplacer toutes les connexions électriques conventionnelles par des interconnexions optiques. Nous voulons créer un capteur monolithique afin que son procédé de fabrication soit le même qu'un transistor CMOS afin de rendre les coups insignifiants pour ces nouvelles interconnexions. Différentes personnes travaillent sur ce projet. Pour ma part, je cherche à expliquer les limites de nos capteurs actuels, en tentant de comprendre le fonctionnement et les limites physiques de celui-ci. Une fois que les problèmes seront déterminés et expliqués, il sera alors possible de le modéliser entièrement afin de pouvoir prévoir son comportement pour différents choix de structures (forme géométrique) et différents choix de paramètres du capteur CMOS. Tout cela nous permettra ensuite de l'améliorer et de voir si son utilisation est intéressante pour le développement des interconnexions optiques.

MÉTHODOLOGIE

Il existe différentes étapes pour mener à bien ce projet:

- Caractériser les capteurs existants, tout en faisant une recherche bibliographique approfondie sur les capteurs CMOS et les interconnexions optiques ;
- Essayer de trouver théoriquement quelle serait la meilleure structure du capteur. Donc s'intéresser grandement à la physique des semi-conducteurs ;
- S'appuyer sur la modélisation d'un transistor CMOS et faire la modélisation de notre capteur pour pouvoir vérifier que notre projet pourrait fonctionner et trouver les meilleurs paramètres que nous devons appliquer à notre capteur.

RÉSULTATS:

Dans une première étape, nous avons caractérisé les anciens capteurs, du professeur Audet, qui était à notre disposition en tentant d'interpréter les résultats, tout en s'intéressant de plus près au phénomène physique. Je tente présentement de voir l'effet de la grille sur le canal de modulation et tenter de voir les avantages et les désavantages théoriques entre deux structures différentes, qui pourraient être les prochains capteurs que nous enverrons en mars prochain avec le groupe si les résultats théoriques permettent d'améliorer ceux existants.

KASSEM, Abdallah

DIPLÔME: Ph.D.

TITRE:

Techniques de conception système sur une puce dédiées à l'imagerie par ultrasons.

RÉSUMÉ:

Depuis quelques décennies, l'imagerie médicale est employée pour estimer le volume des organes du corps humain et afficher leur image sur un moniteur. La technique d'estimation utilisée dans cette affaire est basée sur la physique de base des ultrasons et notamment sur la propagation du faisceau ultrasonore et la détection des échos pour l'estimation de volume et l'affichage de l'image.

Les grandes dimensions des systèmes ultrasoniques utilisées, les basses performances que ces systèmes offrent, ainsi que les progrès soutenus en microélectronique nous motivent à miniaturiser de tels systèmes. Cette miniaturisation consiste en un défi de taille qui fait l'objet principal de plusieurs blocs de circuits mixtes (Analogique/Numérique) pour apporter une contribution de taille dans ce nouveau domaine d'application en microélectronique.

PROBLÉMATIQUE :

Nous proposons dans ce projet de recherche, une architecture d'un système ultrasonique en temps réel qui peut être miniaturisé sur un nombre réduit de puces. Cette architecture englobe cinq blocs principaux.

- Analogique qui sert à préamplifier les signaux d'entrée à faible amplitude, suivi par un ADC;
- Processus de «Beamforming» qui sert à déterminer l'image;
- Processus de filtrage et de compression d'image;
- Processus de «Scan Conversion» qui sert à préparer l'image pour l'affichage vidéo et finalement;
- Affichage de l'image examinée et visualisation sur un écran LCD.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Conception d'un convertisseur analogique/numérique fonctionnant à grand débit pour permettre un échantillonnage adéquat;
- Simulation de blocs critiques par le logiciel MATLAB pour valider le bon fonctionnement;
- Conception des blocs numériques en utilisant VHDL;
- Analyse des résultats en comparant entre les simulations MATLAB et ceux du VHDL;
- Implémentation et validation de l'ensemble du système.

RÉSULTATS :

La réalisation du convertisseur ADC et la modélisation du «Beamforming» et du «Scan Converter» ont été réalisées.

KUMAR, Padmapriya

DIPLÔME: M.Sc.A.

TITRE:

Méthodes de conception pour la testabilité des circuits CML bipolaires.

RÉSUMÉ:

Les technologies de type bipolaire, et en particulier, la technologie CML, sont peu étudiées et documentées. En ce qui concerne les méthodes de test pour les circuits conçus avec ces technologies, rien de spécifique n'existe et les méthodes conventionnelles, employées par exemple avec des circuits CMOS, ne sont pas suffisantes pour garantir une couverture de faute adéquate. À partir de propositions découlant de travaux antérieurs, quelques méthodes spécifiques à la technologie CML seront étudiées.

PROBLÉMATIQUE:

La majorité des techniques de détection de fautes reposent sur le fait qu'un défaut de fabrication se traduit souvent par un collage. Les collages dans un circuit CML représentent seulement une portion des fautes que l'on peut détecter. En effet, parmi les caractéristiques de la technologie CML, on note la capacité de régénération du signal d'un niveau de circuit à l'autre: Une porte avec un défaut voit son signal de sortie altéré, mais après un ou quelques niveaux suivants, le signal aura retrouvé sa valeur nominale; il y aura donc masquage de la faute. Donc, toute technique reposant sur l'évaluation du niveau des signaux aux ports de sortie est insuffisante.

Une technique de test pour les circuits CML doit, soit viser une détection plus fine, soit annuler l'effet du masquage.

MÉTHODOLOGIE:

Les méthodes envisagées reposent principalement sur deux mesures des signaux de sortie: l'amplitude du signal et la marge de bruit. Ces méthodes n'ont pas été caractérisées dans un contexte global et la procédure d'application pour le test n'a pas encore été élaborée. Les différentes étapes proposées pour atteindre l'objectif d'une méthode de test adaptée aux circuits CML sont:

- Caractérisation des méthodes proposées;
- Analyse de leur effet sur la couverture de fautes;
- Étude d'une proposition d'amélioration de certaines de ces méthodes;
- Proposition d'implantation au niveau masque;
- Évaluation des possibilités de modification après conception.

RÉSULTATS:

La première phase du projet consiste en l'étude du BAS (Bias Alteration Stressing). La deuxième phase consiste en l'étude de l'ITT (Imbalance Testing Technique). Nous explorerons les problèmes posés par l'ITT ainsi que leurs solutions. L'implémentation de ces méthodes de test a été analysée pour déterminer leur efficacité.

LAAZIRI, Yassir

DIPLOÔME: M.Sc.A.

TITRE:

Caractérisation et mesure d'impédance complexe de l'interface électrode-tissu nerveux.

RÉSUMÉ:

L'objectif principal de ce projet est de pouvoir modéliser le contact électrode tissu nerveux en tenant compte de tous les phénomènes électrochimiques pouvant subvenir de ce contact et de réaliser un circuit permettant de «surveiller» ce contact pour s'assurer du bon fonctionnement des électrodes.

PROBLÉMATIQUE:

Pour rester en contact avec le cerveau ou avec le nerf en général pendant des dizaines d'années, les électrodes doivent être biocompatibles. Mais en plus de cette notion de biocompatibilité, la notion de contact relève d'une importance vitale surtout pour les électrodes implantables vu la difficulté qu'il y a pour avoir le maximum de contact possible.

L'idée du circuit de la mesure d'impédance complexe doit agir en fait comme une mise sous surveillance électronique de ce contact et de prévenir en cas de détérioration des électrodes ou d'un mauvais contact.

La notion d'impédance complexe consiste à mesurer le module et la phase de l'impédance.

MÉTHODOLOGIE:

La caractérisation de l'interface permet d'évaluer, d'analyser et pourquoi pas prédire le comportement des électrodes in vivo surtout après leur implantation.

L'interface électrode-tissu présente un comportement digne d'intérêt, qu'il faut modéliser avec précision. Un modèle pourra tenir compte des différents phénomènes électrochimiques qui se produisent entre le métal et l'électrolyte et en plus pourra être utilisé lors des tests in vitro avant d'implanter tout le système pour des expériences in vivo.

La mesure d'impédance complexe est une étape incontournable dans ce processus puisqu'elle permettra de valider ou non le contact entre les tissus biologiques et l'électronique.

RÉSULTATS:

La modélisation de l'interface et ses simulations plus poussées sur MATLAB ont permis de différencier entre les modèles électroniques de l'interface selon telle ou telle application. Un modèle plus complet et surtout indépendant de l'application est en cours d'élaboration.

TITRE:

Implantation, comparaison et analyse des performances de l'estimateur fréquentiel Crozier sur différentes plates-formes.

RÉSUMÉ:

Pour nombre d'applications de communication numérique en temps réel, tels que radars et sonars, l'estimation fréquentielle représente une fonction importante et souvent déterminante pour l'efficacité de traitement. La performance d'un estimateur fréquentiel dépend de sa capacité à produire rapidement une estimation précise à partir d'un court segment de signal, et ce, pour des fréquences allant jusqu'aux taux de Nyquist. L'algorithme de Crozier est un de ces estimateurs fréquentiels qui répondent particulièrement bien à ces critères de performance. En plus d'avoir une complexité linéairement proportionnelle aux nombres d'échantillons, ce qui facilite son implémentation tant logicielle que matérielle, Crozier se distingue des autres estimateurs par un seuil SNR (Signal to Noise Ratio) plus faible et un rendement adéquat pour des fréquences proches de Nyquist..

PROBLÉMATIQUE:

L'importance des estimateurs fréquentiels tel que Crozier au sein de nombreuses et diverses applications, fait de sa méthode de traitement un sujet de recherche crucial. L'implémentation de cet estimateur doit non seulement garantir une grande efficacité de traitement mais aussi, une certaine facilité d'intégration et de réutilisation. L'intégration de l'estimateur doit aussi tenir compte de supports allant des processeurs de haute performance aux plates-formes de type système sur puce tout en considérant des formes d'implantations aussi diverses que matérielles, logicielles/matérielles et logicielles.

MÉTHODOLOGIE:

Deux approches ont été envisagées afin de réaliser une implémentation de l'estimateur Crozier et d'en analyser les performances. La première, de type logicielle, vise la puissance de calcul et l'accessibilité des processeurs commerciaux tels que Pentium III et IV. Diverses implantations ont été produites afin de mesurer, sur de telles machines, les performances de l'estimateur et d'évaluer les coûts associés à l'utilisation de jeux d'instructions optimisées.

La seconde, de type matériel, a pour objectif de créer un module réutilisable ou IP (Intellectual Property) qui pourra être intégrer à une plate-forme de type système sur puce reprogrammable. En plus d'une bonne puissance de calcul, le module créé offre une architecture cellulaire configurable qui facilite son intégration et sa réutilisation. Afin de valider l'implémentation, le module a été implanté sur la plate-forme de développement de système sur puce ARM Integrator.

RÉSULTATS:

Bien que l'implémentation matérielle offre la plus grande efficacité de calcul, les processeurs de la famille Pentium ont donné de surprenants résultats. Dans les deux cas, les performances sont excellentes. Les coûts initiaux relatifs à la conception et la réalisation sont, bien entendu, plus élevés pour l'implémentation matérielle. Toutefois, la nature réutilisable de cette implantation ainsi que l'avènement des technologies de système sur puces peuvent, dans certains cas, justifier cette approche.

TITRE:

Conception d'un bus à haute fréquence pour les plates formes SOC.

RÉSUMÉ:

Un système de bus partagé est un élément clef pour la réalisation d'un système sur puce (SOC). Afin d'amener la performance de plate formes SOC à un niveau supérieur, ce projet mettra l'emphase sur la recherche d'un réseau microélectronique d'interconnexions de haute performance pouvant soutenir une fréquence globale de plus de deux gigahertz pour les systèmes sur puces.

PROBLÉMATIQUE:

La densité croissante des circuits microélectroniques nous permet aujourd'hui de concevoir des systèmes entiers contenus sur une même puce. En raison de la grande complexité de ces circuits ainsi que du temps de développement limité, les systèmes de bus partagés jouent un rôle grandissant dans la conception des systèmes sur puces. La fréquence maximale que les réseaux d'interconnexions existants peuvent atteindre, à ce jour, est loin d'atteindre celle que les microprocesseurs modernes atteignent présentement limitant ainsi la performance globale des plates formes SOC. Nous croyons fermement qu'il est possible d'innover en ce domaine afin que cette disparité entre les bus partagés et les microprocesseurs de haute performance disparaissent.

MÉTHODOLOGIE:

En premier lieu, afin de faire de ce projet une réussite, nous devrons revoir les différentes architectures existantes afin d'en identifier une ou d'en créer une qui nous offrira les meilleures possibilités d'optimisation et de performance. Par la suite, nous devrons inventer de nouvelles méthodologies de conception de circuits de haute performance afin d'implémenter les différents modules composants notre bus partagé. Une implémentation rigoureuse au niveau transistor et physique sera nécessaire pour qu'il nous soit possible d'atteindre la fréquence d'opération visée. Finalement, nous devons valider notre concept à l'aide de simulations extensives ainsi qu'à l'aide de méthodes de vérification formelles.

RÉSULTATS:

Puisque le travail technique n'a pas encore débuté, aucun résultat ni aucune publication n'ont été obtenus.

LANGLOIS, HUGHES

DIPLOÔME: M.Sc.A.

TITRE:

Optimisation paramétrique de circuits analogiques par l'intermédiaire des algorithmes génétiques.

RÉSUMÉ:

Le projet consiste à concevoir un logiciel permettant d'optimiser une large gamme de circuits analogiques tels que :

- Amplificateurs opérationnels de grande précision;
- Références de tension de grande stabilité;
- Oscillateurs.

PROBLÉMATIQUE:

L'électronique analogique est un domaine relativement complexe en ce qui concerne le dimensionnement des composants afin de réaliser une fonction spécifique. Le problème du dimensionnement est normalement de type NP-complet.

La démarche analytique permet régulièrement de résoudre les tailles des composantes afin d'obtenir un circuit fonctionnel. Cependant, comme il est souvent le cas, l'analyse théorique doit se limiter à des relations et des modélisations des composants microélectroniques restreintes au premier ordre. En tenant compte des effets d'ordre supérieur, on obtient rapidement des équations transcendantes résolvables seulement par analyse numérique. À ce point, il devient préférable d'utiliser un simulateur de circuit qui est spécialisé dans cette tâche.

Le but est de trouver, pour un circuit de moyenne complexité (20-50 transistors), à topologie fixée, les tailles (paramétriques) des composants (résistance, condensateur, transistor,...) afin de rencontrer les spécifications désirées ainsi que d'autres fonctionnalités supplémentaires dictées par le concepteur. Pour ce faire, nous utilisons une démarche d'optimisation basée sur une méthode d'essai et erreur utilisant la grande précision d'un simulateur de circuits microélectronique.

Plus spécifiquement, nous utilisons ici un algorithme évolutif de type génétique jumelé au simulateur de circuit HSpice. Le but étant d'optimiser un circuit de manière à rencontrer les spécifications de fonctionnement dictées par le concepteur à travers une interface graphique.

MÉTHODOLOGIE:

Le projet sera réalisé en couvrant les étapes suivantes:

- Recherche bibliographique sur les méthodes d'optimisation;
- Recherche bibliographique sur les topologies de circuit;
- Programmation du logiciel et de son interface graphique;
- Réalisation matérielle des circuits optimisés.

RÉSULTATS:

Le logiciel est terminé et en cours d'utilisation. Une gamme de circuits de référence de tension de bonne performance ont été obtenus. Plusieurs de ces circuits seront proposés à la fabrication sous forme de ASIC.

LARAB, Abdelaziz

DIPLOÔME: M.Sc.A.

TITRE:

Conception d'un nouveau wrapper reconfigurable en IEE P1500 en structure de test intégré pour le test des modules internes et des interconnexions d'un système sur puce.

RÉSUMÉ:

Le premier objectif de ce projet est d'arriver à concevoir une nouvelle architecture de test pour les systèmes sur puce «System on Chip» (SOC) qui permet de faire du test intégré «Built In Self Test» (BIST) tout en respectant la norme IEEE P1500. Cette nouvelle architecture permet d'avoir les fonctionnalités et les avantages des deux approches (IEEE P1500 et BIST) avec un minimum d'augmentation de surface. Le deuxième objectif de notre travail est la réalisation d'un outil d'insertion automatique de wrappers, afin de faciliter l'utilisation de la nouvelle architecture proposée.

PROBLÉMATIQUE:

De nos jours, le développement technologique de l'industrie des semi-conducteurs permet de fabriquer des composants à plusieurs millions de transistors sur une même puce, mais cette intégration croissante pose un problème majeur qui est: comment garantir à moindre coût la qualité des circuits qui deviennent de plus en plus complexes. Des prévisions sur les coûts de conception et de test des circuits intégrés montrent qu'au cours de la prochaine décennie, le coût de fabrication si les deux tendances se maintiennent. C'est pourquoi, il est très important de revoir les stratégies de test, en particulier pour les SOC qui permettent d'intégrer un nombre de transistor de plus en plus croissant.. Pour résoudre ce problème, il existe plusieurs techniques de conception en vue de test «Design For Testability» (DFT), malheureusement, ces techniques engendrent plusieurs inconvénients, les plus importants sont : a) augmentation de la surface globale du silicium du circuit final, et b) dégradation des performances du circuit..

MÉTHODOLOGIE:

Après étude des différentes techniques de conception en vue de test utilisées dans la plupart des travaux de recherche dans le domaine du test des SOC, nous sommes arrivés à proposer une nouvelle architecture de test en combinant la norme IEEE P1500 qui est toujours en développement et la technique de BIST dans une même structure de test. Afin de réaliser notre idée de conception, nous avons proposé une nouvelle implémentation pour les cellules d'entrées/sorties qui constituent le wrapper en se basant sur l'architecture des cellules entrées/sorties du wrapper de la norme JTAG IEEE 1149.1. Pour le reste des composants, nous avons réutilisé les mêmes que ceux du JTAG. Pour la validation de l'architecture, nous avons utilisé le langage VHDL et l'outil Design Analyzer de Synopsys pour synthétiser autour d'un buffer à huit entrées et sorties deux types de wrappe. Le premier est un wrapper IEEE P1500 de base plus une structure de BIST et le deuxième est un wrapper formé selon notre architecture. Nous avons utilisé l'outil Modelsim de Mentor Graphics pour simuler et valider notre approche en testant toutes les configurations possibles et en comparant les résultats des deux architectures en terme de surface additionnelle, de dégradation des délais et de la qualité des tests (taux de couverture).

RÉSULTATS:

En comparant la nouvelle architecture de test proposée à l'architecture de base (wrapper structure BIST), nous avons obtenu un gain en surface de 13% sans aucune dégradation supplémentaire de performance ni de la qualité des tests. Il est aussi important de noter que l'architecture proposée peut être utilisée pour le test des modules internes des SOC ainsi que les interconnexions entre ces modules.

LAVIGUEUR, Bruno

DIPLOÔME: M.Sc.A.

TITRE :

Exploration architecturale de processeurs réseaux utilisant un jeu d'instruction configurable à l'aide d'une plate-forme générique.

RÉSUMÉ :

Ce projet traite de l'élaboration d'une plate-forme modulaire axée vers la création de processeurs réseaux. À partir de modèles décrits en SystemC représentant différents modules (tels des mémoires, des processeurs génériques ou encore des processeurs spécialisés) une plate-forme peut rapidement être construite. Ce prototypage rapide permet de vérifier les avantages et les inconvénients d'une architecture donnée. Plus particulièrement, les impacts des modifications au niveau du jeu d'instruction des processeurs seront étudiés.

PROBLÉMATIQUE :

Les dernières années ont vu une explosion de la bande passante requise pour de nombreuses applications réseaux. Cette augmentation continuera au cours des prochaines années pour répondre aux besoins d'application telles la téléphonie IP ou la vidéo numérique. Afin de pouvoir facilement répondre aux besoins de ces applications ainsi qu'aux besoins d'applications futures, les équipements réseaux ont aussi besoin d'être flexibles et configurables. Les processeurs réseaux constituent une bonne approche pour satisfaire à ces deux exigences.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Réaliser des modules de base en SystemC nécessaires pour l'élaboration des plates-formes, tel un simulateur ISS pour les processeurs Xtenso de Tensilica;
- Utiliser une interface standard pour faciliter la connexion entre différents modules;
- Créer une plate-forme simple d'un processeur réseau en utilisant un seul processeur configurable;
- Créer des instructions spécialisées pour le traitement de paquets;
- Explorer les gains possibles avec une plate-forme multiprocesseurs.

RÉSULTATS :

Une plate-forme de base d'un processeur réseau contenant un microprocesseur configurable a été réalisée. Certaines instructions spécialisées pour le traitement de paquets et l'encryption des données ont été implémentées et offrent de gains substantiels.

LAYACHI, Mohammed

DIPLOÔME: M.Sc.A.

TITRE:

Influence du couplage dans le transport électrique à travers les molécules organiques.

RÉSUMÉ :

La microélectronique approche des limites de la miniaturisation, d'où la nécessité de trouver des technologies de remplacement. C'est ce que le domaine de la nanotechnologie explore maintenant dans le but de réaliser des composants à l'échelle nanométrique.

PROBLÉMATIQUE :

La description du courant à travers une molécule est un problème complexe dont la modélisation se fonde sur la mécanique quantique. Lorsque la molécule est connectée entre deux macroscopiques électrodes en or, le système combiné est un exemple de dispositif mésoscopique. Ce dispositif opère sous l'influence d'un potentiel électrique externe qui conduit le courant à travers la molécule.

MÉTHODOLOGIE :

- Étude théorique des différentes méthodes de mécanique quantique pour traiter le problème;
- Calcul et simulation de la transmission au travers la molécule en utilisant un code simple relié à la méthode étudiée;
- Apporter les modifications nécessaires pour le code;
- Tester le code modifié sur certaines structures moléculaires;
- Faire les calculs de structures électroniques sur les modèles moléculaires et extraire les paramètres nécessaires;
- Injecter les résultats obtenus dans un code qui modélise la transmission et tracer cette dernière en fonction de l'énergie. La transmission est proportionnelle à la conductance, d'où on peut avoir le courant.

RÉSULTATS:

Dans la première étape, nous avons étudié la molécule modèle (benzène dithiol). Cette dernière possède des caractéristiques structurales et électriques analogique à un semi-conducteur classique. Ensuite, nous avons étendu l'étude pour voir l'effet de groupe sur les propriétés électriques d'un fil moléculaire constitué de plusieurs molécules auto assemblées. Le résultat a montré que la variation de l'énergie de la bande interdite est sensible à deux paramètres principaux: la distance intermoléculaire et le nombre de molécules auto assemblés. D'autre part et afin d'étudier le transport électrique à travers de telles structures, nous nous sommes intéressés à l'effet de l'introduction du métal sur la molécule organique. Ce dernier change drastiqueemnt la structure énergétique en s'introduisant dans la bande interdite de la molécule semi-conductrice, créant ainsi des états MIGS.

LEPAGE, Réjean

DIPLÔME: M.Sc.

TITRE:

Méthode co-design (logiciel/matériel) d'identification et d'auto classification des protocoles de haut niveau.

RÉSUMÉ:

Une méthode co-design d'identification des protocoles de haut niveau, tels que RTP, RTCP, SIP et SDP, a été développée. Elle utilise une mémoire CAM au niveau matériel et un algorithme logiciel d'identification dans un processeur embarqué qui met à jour la mémoire CAM pour permettre l'identification au niveau matériel.

PROBLÉMATIQUE:

Le processus d'identification de protocoles est en général simple pour les premières couches. Par exemple, pour la couche liaison des données, il suffit de lire le contenu d'un paquet d'une interface réseau connue et de comparer certains champs de son en-tête à des valeurs connues. On considère qu'il y a identification du protocole lorsqu'il y a une correspondance entre ces valeurs. La situation se complique lorsque le débit de traitement est très élevé et que l'on veut identifier les protocoles des couches supérieures.

MÉTHODOLOGIE:

Nous proposons une méthode d'identification par apprentissage applicable à la classification des paquets de haut niveau. L'analyse des données, jusqu'au niveau application de l'OSI, est nécessaire dans de nombreux contextes, par exemple: pour assurer la qualité de service ou pour l'interception des paquets lors de l'écoute électronique et diverses applications en sécurité informatique. La création de signatures générées à partir de cette analyse servira à notre identification. L'analyse du contenu des paquets sera accomplie pour identifier des paquets tels que ceux appartenant au protocole RTP qui est utilisé lors des sessions multimédias sur les réseaux IP.

RÉSULTATS:

Il est démontré qu'en comparant 6 octets seulement dans une mémoire CAM, à la vitesse du matériel, il est possible d'identifier environ 95% des paquets et des protocoles de haut niveau, tel que RTP, RTCP, SIP, SDP, dans un flot contenant de la vidéo numérique.

Certaines méthodes ainsi qu'une architecture logicielle/matérielle accélérant les points sensibles seront proposées et modélisées.

LEMIRE, Jean-François

DIPLOÔME: M.Sc.A.

TITRE :

Synthèse assistée de moniteurs d'assertions à partir d'une méthodologie d'encapsulation d'assertions dans une spécification exécutable.

RÉSUMÉ :

Le but de ce projet est de proposer une méthode pour accélérer et optimiser la conception d'assertions en langage *E* lors de l'implantation de bancs d'essais pour la vérification fonctionnelle de modèles matériels. Il s'agira d'étudier la possibilité d'encapsuler dans une spécification SDL des assertions et de proposer un outil qui permettra la migration automatique de ces assertions vers un langage de vérification matérielle (langage *E*). Ceci permettrait aux concepteurs de bancs d'essais de définir des assertions au niveau d'une spécification exécutable sans pour autant coder celles-ci à partir de primitives temporelles propres aux langages de vérification. Les moniteurs d'assertion créés automatiquement en langage *E* seraient optimisés pour la réutilisation.

PROBLÉMATIQUE :

La vérification fonctionnelle de modèles de conception matérielle est une des tâches les plus ardues du processus de conception. En effet, puisque la complexité des circuits microélectroniques contemporains augmente sans cesse, la vérification de modèles de conception matérielle est devenue un goulot d'étranglement dans tout processus de conception. Présentement, les obstacles auxquels les concepteurs font face sont la génération d'une grande quantité de stimuli efficaces, la découverte d'erreurs de conception en déployant le moins d'effort possible et l'émulation adéquate de l'environnement d'utilisation du design à l'intérieur d'un banc d'essais. C'est pour ces raisons que la vérification est aujourd'hui la cible de nouveaux outils et de nouvelles méthodologies. Ceux-ci ont pour but de réduire le temps du processus de vérification en permettant un parallélisme des efforts, des niveaux d'abstractions plus élevés ainsi que l'automatisation de certaines tâches.

MÉTHODOLOGIE :

Dans le but de justifier le bien fondé de ce projet et d'expliquer la problématique actuelle de la vérification fonctionnelle, un sondage sur les pratiques de vérification en entreprises sera effectué et les résultats seront présentés. Une étude sur la vérification basée sur les assertions sera effectuée dans le but de proposer une méthodologie d'implantation d'assertions en langage *e* qui permettra d'optimiser la réutilisation. Ensuite, une étude sur l'encapsulation d'assertions dans un langage de spécification exécutable (SDL) sera effectuée. Un modèle de génération automatique de moniteurs d'assertions en langage *e* à partir d'assertions encapsulées dans une spécification SDL sera implanté. Des exemples d'implantation et de vérification à l'aide de ce modèle seront développés.

RÉSULTATS :

Le mémoire portant sur ce sujet a été présenté et accepté par un jury le 7 juillet 2003 (date de la soutenance).

LU, Meng

DIPLOÔME: M.Sc.A.

TITRE :

Conception d'un démonstrateur WSI (Wafer Scale Integration).

RÉSUMÉ :

Ce projet vise à étudier plusieurs aspects de la conception de systèmes WSI. Ces aspects incluent les longues interconnexions, l'impact des gradients thermiques sur les biais de synchronisation, la tolérance aux pannes et les stratégies de test.

PROBLÉMATIQUE :

L'objectif de ce projet est de caractériser les biais de synchronisation induits par les gradients de température. La déviation maximale devrait être estimée. Un autre objectif est de développer une stratégie de configuration consacrée à une structure de débit élevé. Le dernier objectif de ce projet est de développer une configuration de contrôle et une stratégie de test des interconnexions.

MÉTHODOLOGIE :

Les déviations temporelles induites par les gradients thermiques devraient être étudiées par l'analyse théorique et caractérisées par la simulation. La stratégie de configuration préférée devrait être mise en application dans un prototype.

RÉSULTATS :

Il y a une déviation approximativement linéaire induite par le gradient de température. 70% de la déviation induite par le gradient de température est contribuée par la variation de résistance, qui est le phénomène dominant. Nous avons cependant démontré que le biais induit par le gradient de température est en fait négligeable pour des interconnexions locales ainsi que pour les bus globaux.

Basé sur un travail antérieur, on propose un arrangement de la logique de configuration. Des algorithmes de configuration et les procédures de test, de diagnostic et de configuration sont étudiés. Une puce prototype avec 3 x 3 cellules contrôlées par une chaîne de balayage IEEE 1149.1 a été conçue et fabriquée. Un test fonctionnel prouve que la puce fonctionne de la manière prévue.

La norme IEEE 1149.1 est exploitée pour exécuter la configuration et le test à l'échelle de la tranche. Une chaîne de balayage tolérante aux pannes basée sur cette norme a été proposée.

LU, Zhijun

DIPLOÔME: M.Sc.A.

TITRE :

Conception d'un convertisseur analogique à numérique Sigma Delta CMOS à basse alimentation et faible consommation d'énergie.

RÉSUMÉ :

Le projet consiste à concevoir un convertisseur analogique à numérique Sigma Delta basé sur la technologie CMOS 0.18 micron, à faible alimentation et consommation de puissance. La fréquence d'échantillonnage désirée est 2 MHz avec un rapport de sur échantillonnage de 100.

PROBLÉMATIQUE :

La conversion Sigma Delta devient la méthode la plus populaire pour réaliser un convertisseur analogique à numérique à haute résolution et à faible alimentation et consommation de puissance. La réalisation de ce convertisseur basé sur la technique des capacités commutées devient un problème sérieux pour les circuits à faible alimentation.

MÉTHODOLOGIE :

La méthode prévue pour compléter le présent projet comprendra les étapes suivantes :

- Étude bibliographique détaillée des topologies existantes ;
- Étude théorique détaillée, simulation et caractérisation du design pour satisfaire les spécifications;
- Proposition d'une méthode pour améliorer les performances ;
- Conception, implémentation, fabrication d'une puce et évaluation de l'ensemble du système proposé.

RÉSULTATS :

La conception du convertisseur est terminée. Nous avons reçu la puce fabriquée et nous effectuons les tests en parallèle à la rédaction du mémoire.

MBAYE, Mame Maria

DIPLOÔME: M.Sc.A.

TITRE:

Interconnexion Firewire -Ethernet.

RÉSUMÉ:

Le projet consiste à étudier les cas d'interconnexion entre les réseaux Firewire (IEEE 1394) et Ethernet (802.3) : le transport de datagrammes IPv4 et le transport de flots vidéo.

PROBLÉMATIQUE:

L'hétérogénéité des protocoles freine les communications entre différents types de réseaux. Les limites complexifiant l'interconnexion des réseaux sont : les mécanismes d'adressage, les formats de données, etc. Il est difficile de réutiliser les composantes actuelles ou de rajouter un nouveau protocole aux logiciels existants, de plus, le manque de flexibilité et la lenteur des traitements limitent l'utilisation des solutions actuelles.

MÉTHODOLOGIE:

Le premier but de ce projet est de proposer une solution logicielle qui effectuera le transport de datagrammes IPv4 d'un réseau Firewire à Ethernet. Cette solution logicielle permettra de valider l'architecture matérielle qui avait été proposée par M. Tremblay. Le second objectif de ce projet est de compléter cette architecture matérielle. Le dernier objectif de ce projet est de proposer une solution logicielle pour le transport de flots AV d'un réseau Firewire à Ethernet. Cette solution devra résoudre les problèmes d'adressage et de formats de données propres aux différents protocoles qui interviennent durant le processus d'initialisation et de transport des flots AV.

RÉSULTATS:

Tous les objectifs de ce projet de recherche ont été atteints. Les blocs de l'architecture matérielle ont été implémentés en VHDL. L'architecture a été déployée sur la plate-forme : «ARM Integrator». Un module logiciel a été développé pour la conversion de protocoles pour le transport de datagrammes IPv4. Son profilage sur un ARM7TDMI montre que le temps de traitement des petits paquets est excessif. En fait, les performances de l'architecture matérielle sont largement supérieures à celle de la solution logicielle. Cependant, elles pourraient être améliorées en rendant les traitements de l'architecture «multi-thread». Le logiciel de retransmission de flots vidéo a fait ressortir la nécessité de l'assemblage des paquets AV reçues avant leur retransmission. Le temps de retransmission des petits paquets est tellement excessif que le convertisseur a de la peine à recevoir tous les paquets Firewire transmis par la WebCam dans notre cas. L'envoi de très gros paquets n'améliore pas les performances du convertisseur. Cette analyse a aussi montré que les traitements associés à la résolution d'adresses n'ont pas d'impacts sur les performances du convertisseur.

MCFADDEN, David

DIPLOÔME: M. Ing.

TITRE:

Reconnaissance de formes hyperboliques dans les applications radar par transformée en ondelettes, recuit simulé et réseaux de neurones.

RÉSUMÉ:

L'objectif de ce projet consiste à la détection et à la localisation de formes hyperboliques dans des images radar. Ces patrons sont formés par la réflexion d'ondes radar à l'interface de deux matériaux. Ces ondes réfléchies sont captées par des antennes réceptrices à la surface du sol. La géométrie de l'analyse radar crée des formes hyperboliques sur les images reconstruites et dont la forme est caractéristique de la profondeur des objets enfouis et de la vitesse de propagation des ondes radar dans le sol. Le traitement de ces images est composé de trois parties. Tout d'abord, un filtrage est appliqué permettant d'éliminer le bruit et les réflexions parasites. Par la suite, trois techniques sont mises à l'épreuve; les transformées par ondelettes hyperboliques 3D, un réseau de Boltzmann avec recuit simulé en champ moyen puis un réseau de neurones avec la propagation arrière avec momentum comme algorithme d'apprentissage. Finalement, des techniques de regroupement de données (clustering) sont appliquées aux transformées précédentes. Selon le type d'hyperbole reconnu, la vitesse de l'onde dans le milieu en est déduite ainsi que la composition du sol.

PROBLÉMATIQUE:

Les images radar de sols ou de structures permettent de déceler la présence de matériaux aux propriétés différentes du sol qui les entourent ainsi que d'anomalies de toutes sortes. L'analyse d'images réelles représente un défi de taille quant à la quantité de données à analyser ainsi que sur la standardisation des résultats fortement influencés par l'expérience humaine. La plupart des analyses doivent être réalisées hors du chantier, en laboratoire et nécessitent plusieurs jours de travail. Le traitement de ces données en temps réel permettrait d'accélérer les décisions concernant la tâche à accomplir mais aussi de pouvoir traiter une quantité impressionnante de données guidant ingénieurs et opérateurs dans leur travail.

MÉTHODOLOGIE:

Un traitement en étages des données est employé. Dans un premier temps, la compréhension physique d'images radar est mise à profit afin d'extraire le bruit et prélever les principales réflexions. Par la suite, une famille d'ondelettes hyperboliques en trois dimensions a été développée et appliquée aux images. Finalement, le regroupement de données est utilisé afin de localiser les sommets des hyperboles de plus forte intensité. Les méthodes de reconnaissance par réseau de Boltzmann et recuit simulé de même que par réseau de neurones sont testées et comparées à la technique par ondelettes.

RÉSULTATS:

La méthode par ondelettes s'est avérée la plus avantageuse quant à la complexité des algorithmes, les temps de calcul ainsi que sur les taux de reconnaissance. La méthode de Boltzmann requiert un temps de traitement beaucoup trop long pour un usage à grande échelle même si la capacité de reconnaissance de ce réseau a clairement été démontrée. Les réseaux de neurones ont aussi donné de bons résultats. Ils nécessitent par contre beaucoup d'ajustements afin d'éliminer les fausses occurrences. De plus, l'atteinte d'une architecture idéale reste un travail d'essais et erreurs.

MORIN, Benoit

DIPLOÔME: M.Sc.A.

TITRE:

Exploration d'une plateforme reconfigurable à mémoire distribuée.

RÉSUMÉ:

Le projet consiste à adapter des paradigmes de développement du domaine des systèmes à mémoire distribuée, afin de satisfaire aux contraintes particulières d'une plate forme matérielle reconfigurable. Il s'agit donc d'exploiter de manière efficace sous forme de grappe plusieurs puces de types FPGA, tout en respectant des contraintes temps réel.

PROBLÉMATIQUE:

L'intégration à très grande échelle permet de nos jours d'obtenir des puces reprogrammables de type FPGA contenant un nombre élevé de portes logiques. Malgré ceci, il arrive que les besoins de performance dépassent les capacités des meilleures puces disponibles sur le marché. La mise en réseau de puces de ce type permet d'en augmenter la puissance de traitement équivalente. Afin de faciliter l'intégration de système de ce genre, des outils de parallélisation typiquement utilisés dans les systèmes informatiques à mémoire distribuée devront être adaptés.

MÉTHODOLOGIE:

Voici les étapes proposées:

- Intégration au sein d'une grappe à système à image unique du matériel reconfigurable;
- Implémentation d'un sous ensemble de la librairie de passage de messages MPI;
- Conception et implémentation d'un mécanisme de synchronisation de zones de mémoires partagées-distribuées (logiciel et matériel);
- Conception et implémentation d'une application de type temps réel exploitant l'ensemble des ressources de la plate forme matérielle.

RÉSULTATS:

Aucun résultat n'a encore été obtenu.

MORIN, Dominic

DIPLOÔME: M.Sc.A.

TITRE :

Convertisseur analogique à numérique (CNA) pour des applications à la télévision haute définition.

RÉSUMÉ :

Le but de ce projet est de concevoir un convertisseur analogique à numérique ayant des spécifications suffisantes exigées par l'industrie pour la télévision haute définition. Le convertisseur devra être implantable dans une technologie standard CMOS $0.18\mu\text{m}$. Il s'agira d'identifier les architectures et les techniques nécessaires à l'obtention des performances requises

PROBLÉMATIQUE :

La tendance de l'industrie à toujours vouloir augmenter la performance des systèmes amène de nouvelles difficultés aux concepteurs de CNA. En plus, les nouveaux procédés sous-microniques sont de plus en plus mal adaptés aux systèmes analogiques de précision. Ainsi, des techniques spécialisées doivent être utilisées pour atteindre les paramètres de linéarité et les critères fréquentiels demandés par les systèmes HDTV.

MÉTHODOLOGIE :

Dans le but d'identifier les techniques actuelles utilisées en industrie et en développement dans le milieu de la recherche, une revue intensive de littérature sera effectuée dès le début du projet. Des simulations mixtes au niveau transistor des différents modules critiques seront ensuite effectuées pour déterminer le type d'architecture et les techniques à utiliser. Les techniques permettant d'atteindre les performances requises seront étudiées ou développées. Un prototype sera manufacturé pour valider les performances attendues.

RÉSULTATS :

L'architecture et les techniques spécialisées ont été identifiées. Une technique d'auto calibration a été développée, celle-ci permet une amélioration considérable de la linéarité des CNA. Un circuit a été envoyé pour fabrication afin de vérifier la nouvelle technique de calibration et de caractériser des modules critiques de l'architecture choisie.

TITRE:

Système d'acquisition de signaux neuronaux pour l'estimation du volume et de la pression de la vessie.

RÉSUMÉ:

Ce projet a pour objectif de développer un dispositif de surveillance de l'état de la vessie. Il s'agit de trouver un moyen fiable de mesurer son volume et sa pression, indirectement en captant les différents signaux neuronaux qu'elle transmet. Ces signaux ont de très faibles amplitudes ($\sim 1\mu\text{V}$). Le système d'acquisition devra les amplifier avec le moins de bruit possible, filtrer toute interférence et opérer un traitement du signal adéquat pour extraire l'information utile.

PROBLÉMATIQUE:

En Amérique du Nord, plus de deux millions d'individus souffrent de dysfonctions urinaires. Un micro-stimulateur implantable permettant la réhabilitation des fonctions vésicales constitue une approche prometteuse. Cependant, la mesure du volume et de la pression de la vessie s'avère indispensable pour un contrôle optimum des paramètres de stimulation. Ceci permettra à un dispositif médical intelligent (DMI), comme l'implant urinaire développé par l'équipe PolySTIM, d'être un système asservi et autonome.

MÉTHODOLOGIE:

Ce dispositif de surveillance de l'état de la vessie constitue un projet de nature biomédicale et comporte plusieurs aspects :

- Le choix du nerf lié à la vessie;
- L'électrode qui constitue l'interface entre le nerf et le système d'acquisition. Elle devra reproduire sous forme électrique le signal neuronal ENG (électroneurogramme), fidèlement et avec le moins de bruit possible;
- L'amplification de signaux de basse fréquence ($<10\text{kHz}$) et de faible amplitude ($\sim 1\mu\text{V}$);
- Le filtrage de toute interférence interne (EMG électromyogramme) et externe (60Hz);
- Le traitement du signal (moyennage ou intégration binaire);
- L'extraction de l'information utile.

Ce dernier point est particulièrement primordial puisqu'il s'agit de déterminer une corrélation entre le signal neuronal et l'état de la vessie. Notre ambition est de réaliser ce système d'acquisition, de mener nos propres expérimentations afin de trouver une corrélation suffisamment élevée pour permettre une mesure fiable du volume et de la pression.

RÉSULTATS:

Une première revue de littérature a permis de découvrir les quelques techniques de mesure indirecte du volume et de la pression de la vessie. Elle nous a permis également de repérer les principaux aspects liés à ce projet. La corrélation avec la pression est démontrée dans la littérature mais il n'en est pas de même pour le volume. Le système d'acquisition est en cours de réalisation tout en poursuivant la revue de littérature.

NGUYEN, Anh Tuan

DIPLOÔME: M.Sc.A.

TITRE:

Conception, implémentation et synthèse d'un système sur puce pour l'isolation de la voix dans des prothèses auditives numériques.

RÉSUMÉ:

Ce projet cherche à développer un système sur puce temps réel pouvant augmenter l'intelligibilité de la parole en traitant le signal pour diminuer les bruits et isoler la voix. L'objectif secondaire de ce projet est de se servir de banc d'essai pour tester la plate-forme SPACE, un autre projet qui porte sur le développement d'une architecture d'aide au partitionnement matériel et logiciel destinée au développement des systèmes sur puces à partir d'un design haut niveau écrit en System C.

PROBLÉMATIQUE:

Un des critères importants dans le choix d'une prothèse auditive est sans doute la qualité de sa sortie. Malgré le fait que les prothèses auditives numériques offrent souvent un meilleur son que ses précurseurs analogiques, il n'est pas toujours clair que ceci a un impact direct sur l'intelligibilité de la parole, qui est le but premier de la prothèse. Comme mentionné, l'objectif principal de ce projet est de développer un système sur puce capable de supporter des contraintes de temps réel pouvant ainsi augmenter l'intelligibilité de la parole. En plus de produire un niveau d'intelligibilité supérieur, le circuit complet de traitement, avec entrée analogique, traitement numérique et sortie analogique, ainsi qu'une source électrique, doit être optimisé de façon que sa taille, sa consommation de puissance et sa latence soient réduites au maximum afin de pouvoir l'insérer dans une oreille, d'avoir une bonne autonomie et de permettre une réponse à temps réel.

MÉTHODOLOGIE:

En premier lieu, la partie numérique sera générée automatiquement à partir d'un langage de haut niveau. Le système aura une partie matérielle et un logiciel tournant sur celui-ci. Une approche co-design logiciel-matériel, permettant de faire des échanges entre les deux pour obtenir le compromis voulu est nécessaire. Le système sera modélisé en SystemC, un langage qui permet la facilité de modéliser les modules en logiciel ou en matériel. L'intégration des modules numériques en SystemC avec les parties analogiques est proposée afin d'être réalisée avec CoCentric, un outil qui permet la compilation de modules SystemC vers du matériel et, avec une interface graphique, permet de connecter ensemble les modules. Une fois implantée sur un seul processeur, la performance du système sera améliorée en adaptant un traitement parallèle du signal sur des processeurs multiples.

RÉSULTATS:

Les résultats de simulation aux niveaux UUT et TF sur la plate-forme SPACE ont été obtenus.

NORMANDIN, Frédéric

DIPLÔME: M.Sc.A.

TITRE:

Réseau de capteurs optiques pour mesures en temps réel des variations de concentration d'oxygène dans les tissus.

RÉSUMÉ:

Ce projet vise à réaliser les détecteurs nécessaires à la mise en place d'un réseau de capteurs optiques de faibles dimensions et à faible puissance qui se veut portable et sans fil. Le système pourra fournir des données en temps réel concernant les variations de concentration d'oxygène dans les tissus vivants.

PROBLÉMATIQUE:

On veut réaliser un système de lecture des variations des concentrations d'oxygène dans les tissus vivants. Cette lecture doit se faire par la mesure des variations des propriétés optiques (absorption, diffusion) du milieu vivant.

La problématique de ce projet réside dans le fait que le système doit être compact, sans fil et fournir des données en temps réel. Comme les tissus biologiques atténuent beaucoup les signaux optiques, il faut développer un détecteur assez sensible pour que le rapport signal/bruit soit raisonnable pour un temps d'intégration assez court (quelques ms).

MÉTHODOLOGIE:

- Modélisation des propriétés optiques des tissus;
- Déterminer la sensibilité requise au niveau du détecteur;
- Déterminer le temps d'intégration approximatif;
- Design du circuit de réception, incluant le photo détecteur et les modules de décodage et de filtrage;
- Simulation de chacun des modules du circuit de réception;
- Réalisation d'une puce intégrant toutes les fonctionnalités du récepteur.

RÉSULTATS:

L'ordre de grandeur de la sensibilité nécessaire a été déterminée à partir des calculs de modélisation et le design du circuit de détection est en cours.

Le processeur en vue de produire un circuit intégré renfermant tous les modules nécessaires à la réception des signaux optiques et à leur prétraitement est actuellement en cours.

NSAME, Pascal

DIPLÔME: Ph.D.

TITRE:

Techniques et méthodes de conception des systèmes intégrés de type SOC.

RÉSUMÉ:

Ce projet vise l'élaboration de techniques et méthodes de conception et de vérification des circuits intégrés de type SOC (*System-On-Chip*). La complexité grandissante des systèmes de type SOC impose une réutilisation efficace des ressources centrées autour des méthodes de conception autres que le VHDL ou Verilog au niveau RTL. Toutefois, à cause de la dépendance entre les représentations au niveau comportemental, RTL et portes, et leur impact sur le partitionnement matériel/logiciel, la performance, la dissipation de puissance et surtout l'effort de vérification, il est nécessaire de développer une approche intégrée à la méthode de conception elle-même. L'objectif du projet consiste à étudier les interfaces matérielle/matérielle et matérielle/logicielle régissant l'intégration des SIP (*Silicon Intellectual Property cores*) afin de proposer des modèles d'interface améliorés et d'explorer les architectures VLSI qui permettent d'implanter efficacement une synchronisation non-bloquante pour des systèmes complexes multiprogrammés à mémoire partagée.

PROBLÉMATIQUE:

La capacité d'intégration offerte par les technologies sub-microniques rend l'implantation des systèmes de type SOC très intéressante. Toutefois, les besoins en vérification croissent de façon exponentielle. Cette capacité d'intégration élevée impose au concepteur un niveau de productivité extrêmement élevé. En effet, les besoins des applications en temps réel, l'augmentation constante du niveau d'intégration HW/SW, du parallélisme au niveau instruction et de la complexité de la hiérarchie de mémoires intégrées et partagées rendent possible une dégradation de performance due à une synchronisation bloquante entre agents communicants. Ceci rend obsolètes ou inadéquates les méthodes traditionnelles de conception et de vérification basées sur la simulation logique. Un défi majeur consiste à développer une méthodologie qui facilite le travail du concepteur dans un environnement de design, où les outils CAD/CAE et la technologie de fabrication sont en constante évolution et où les bibliothèques de composants SIP deviennent de plus en plus complexes.

MÉTHODOLOGIE:

- Étude comparative des interfaces de communication et de méthodes de conception actuelles incluant les normes PCI-X, PCI Express, Rapid I/O, DDR-I & DDR-II, Ethernet, SPI-5, USB, IEEE1284, Hypertransport, InfiniBand, AMBA et CoreConnect;
- Étude comparative des processeurs embarqués de type PPC, ARM, MIPS, ARC, Xtensa et DSP;
- Analyse, définition et spécification de la nouvelle architecture basée sur l'utilisation et la gestion de canaux de communication dédiés;
- Validation de la nouvelle méthode de conception et vérification des circuits de type SOC.

RÉSULTATS:

L'implantation matérielle d'une première version d'un FIFO à canaux virtuels a été réalisée avec la technologie TSMC CMOS 0.35 micron. Une application directe du VC-FIFO a permis de modéliser un environnement de vérification basé sur l'outil VCC (Cadence). Le prototype d'un outil (InTime) d'intégration et de validation des spécifications temporelles basé sur la conversion automatique des contraintes d'analyse statique temporelle entre spécifications temporelles basé sur la conversion automatique des contraintes d'analyse statique temporelle entre Prime Time (SYNOPSYS) et Einsteimer (IBM) a été développée. Les résultats sont en accord avec la méthodologie de conception ASIC. Une étude approfondie des besoins en vérification au niveau système nous a rapidement démontré qu'un outil comme In Time est un outil clé dans la méthodologie de conception des circuits intégrés sur puce.

PEPGA BISOU, Jean

DIPLOÔME: M.Sc.A.

TITRE:

Conception de haut niveau d'une plate-forme SoC et de son système d'interconnexions pour un convertisseur de protocoles réseaux générique.

RÉSUMÉ:

Les convertisseurs de protocoles permettent aux terminaux appartenant à des réseaux hétérogènes de pouvoir communiquer avec toutes sortes d'équipements (anciens ou récents) connectés à ce réseau. L'objectif de ce projet de recherche est d'implémenter une nouvelle architecture flexible d'un convertisseur de protocoles générique, spécialisé dans le transfert de données vidéo. Des travaux préliminaires ont conduit à proposer cette architecture de convertisseur de protocoles génériques constituée de coprocesseurs et d'un processeur ARM, le tout utilisant un bus de communication AMBA afin d'optimiser le processus d'échange entre modules.

PROBLÉMATIQUE:

Le développement d'un modèle exécutable de cette nouvelle architecture de conversion de protocoles se fera par une implémentation matérielle des modules en respectant leurs spécifications et en tenant compte des contraintes physiques de la plate-forme qui sont: le débit de transmission du protocole de communication et la taille du FPGA. Cette approche nous permettra d'analyser le processus de conversion, d'améliorer certaines fonctions du système et surtout d'éliminer les possibilités de goulots d'étranglement.

Ces analyses nous permettront de concevoir une nouvelle architecture optimisée pour la conversion de protocoles de communications réseaux.

MÉTHODOLOGIE:

L'implémentation d'une telle architecture de conversion de protocoles nécessite les étapes suivantes :

- Revue de la littérature portant sur: les protocoles haute-vitesse, les méthodologies de réutilisation, les plate-formes ARM -FPGA et le protocole de communication AMBA (AHB);
- Définition des modèles de modules implantables dans la plate-forme;
- Mise en fonction d'un logiciel dans le processeur ARM communiquant avec les coprocesseurs de cette nouvelle architecture via son système d'interconnexions;
- Analyse de la conception d'une plate-forme générique pour la conception de convertisseurs de protocoles;
- Élaboration du système d'interconnexions de la nouvelle plate-forme basée sur la norme AMBA;
- Intégration et vérification des modules de la nouvelle architecture dans un environnement de co-vérification logiciel/matériel;
- Simulation d'une conversion entre deux protocoles.

RÉSULTATS:

La validation de cette nouvelle architecture a été faite dans l'environnement Seamless. Ce qui a permis de vérifier le fonctionnement du nouveau système d'interconnexions, à bus partagés, basé sur la norme AMBA. Aussi, l'un des éléments nouveaux de ce système est son bus de communication AHB, pour le transfert des paquets, à accès prédéfini et fonctionnant à une fréquence de 320 MHz. Ce dernier fut implémenté après placement et routage en technologie CMOS 0.18 µm.

PETERSON, Kevin

DIPLOÔME: M.Sc.A.

TITRE:

Environnement de vérification en temps réel basé sur les assertions pour les systèmes matériels.

RÉSUMÉ:

L'objectif de ce projet consiste à développer un environnement de vérification permettant la vérification de systèmes matériels temps réel en utilisation des assertions. Dans les systèmes actuels, l'identification et la localisation des erreurs et instabilités constituent un problème de taille. En effet, la haute intégration des circuits réduit la visibilité des signaux entre les différents modules. De plus, les instabilités surviennent souvent lorsque le système fonctionne à pleine vitesse d'horloge. L'ajout de signaux de déverminage externes utiliserait également une trop grande surface dans le circuit. Pour résoudre ces difficultés, nous proposons d'implanter un port de debug standard dans le circuit, constitué de sondes branchées à un filtre de données configurables qui permet de maximiser la bande passante utilisée sur les signaux de sortie. Ce port se branche sur une carte constituée d'un FPGA et d'un processeur. Le FPGA contient des générateurs d'événements couplés à des vérificateurs d'assertions qui servent à s'assurer que la zone du circuit présentement examinée se comporte selon ses spécifications. Le FPGA a également la capacité de changer en temps réel la configuration actuelle du filtre de données, permettant ainsi de changer la zone d'intérêt vérifiée dans le circuit, selon les besoins. Le processeur, quant à lui, a accès aux registres et à la mémoire du FPGA pour consulter l'état des vérificateurs d'assertions, des générateurs d'événements et les signaux stockés en mémoire. Un compilateur permet de générer le fichier de routage du FPGA ainsi que la configuration du port de debug, à partir d'assertions décrites en langage dédié. Cet environnement de vérification permettra l'identification plus précise des causes d'erreur pendant la fonctionnement en temps réel du circuit, en plus de minimiser le nombre de signaux nécessaires sur le port de debug.

PROBLÉMATIQUE:

Les technologies reliées au milieu de la microélectronique permettent la réalisation de circuit de plus en plus complexe. Cela implique que les signaux internes sont plus nombreux et moins accessibles. L'ajout de signaux externes pour le déverminage constitue une tâche longue et fastidieuse, car l'intégrité du signal doit être préservée. En plus, les instabilités surviennent souvent seulement quand le système fonctionne à pleine vitesse, dans un environnement réel. L'identification et la localisation d'instabilités dans un système devient donc plus difficile. L'augmentation de la visibilité ainsi qu'une méthode de localisation des sources d'erreur s'avèrent pour ces raisons primordiales.

MÉTHODOLOGIE:

Ce projet comporte les étapes suivantes:

- Revue de littérature sur les méthodes de vérification en temps réel actuelles;
- Conception de l'architecture de l'environnement de vérification;
- Développement d'un exemple simple sur simulateur pour valider le concept;
- Développement du compilateur d'assertions;
- Application de la méthode sur une plate-forme de prototypage.

RÉSULTATS:

La revue de littérature ainsi que la conception de l'architecture sont complétées. Nous sommes rendus à développer la partie matérielle dans le but d'en simuler le fonctionnement et ainsi valider le concept du port de déverminage.

PICARD, Daniel

DIPLOÔME: M.Sc.A.

TITRE:

Conception et réalisation d'un prototype de circuit intégré à l'échelle de la tranche.

RÉSUMÉ:

Le monde de la microélectronique évolue à une vitesse prodigieuse. La demande du marché requiert sans cesse des composants de plus en plus rapides tout en étant plus petits. Une nouvelle approche basée sur l'exploitation de circuits intégrés de grande superficie se développe présentement.

PROBLÉMATIQUE:

Ce projet vise à atteindre des niveaux d'intégration supérieurs et à bouleverser les méthodes de fabrication actuellement utilisées. À cause de la grande taille de ces circuits, l'analyse de l'intégrité des signaux devient un aspect essentiel destiné à satisfaire adéquatement les exigences actuelles.

MÉTHODOLOGIE:

La méthodologie exploitée dans ce projet consiste à approfondir la science de la conception des circuits rapides. Par la suite, il s'agit d'étudier des notions reliées directement au projet, de dresser une spécification du projet, de concevoir les cellules en utilisant la technologie CMOS 0.35 microns et 0.18 microns, de présenter les résultats théoriques envisagés, de réaliser des simulations, afin d'évaluer les corrélations avec les résultats théoriques et finalement de tester le circuit afin de présenter une analyse exhaustive des résultats obtenus afin de montrer que les spécifications fixées ont été atteintes.

RÉSULTATS:

Une puce a été fabriquée permettant de valider l'intégrité des signaux. Nous préparons actuellement la phase de test.

PIERAUT, Francis

DIPLOÔME: M.Sc.A.

TITRE:

Optimisation des réseaux de neurones de grande capacité : étude de leur inefficacité et exploration de solutions.

PROBLÉMATIQUE:

On s'attend à ce qu'un réseau de très grande capacité soit capable d'apprendre des relations de très grande complexité. Or l'optimisation de ces réseaux est en fait inefficace en terme de temps de calcul et de nombre d'erreurs.

Ce problème est probablement relié à l'utilisation de la technique d'optimisation par descente du gradient stochastique. Nous avons identifié plusieurs comportements potentiellement responsables de cette étonnante inefficacité. Il s'agit du «déplacement des paramètres cibles (poids idéaux)», «de la présence de gradients contradictoires», «de l'atténuation ou la dilution du gradient», «de la présence de solutions symétriques», ou soit encore «de l'inexistence d'un mécanisme de spécialisation».

MÉTHODOLOGIE:

- Revue de littérature : identification des problèmes et solutions connues reliées à l'inefficacité des réseaux de neurones de moyennes dimensions.
- Étudier différentes solutions et principes (et importer une librairie en C++) permettant de réduire les différents problèmes des réseaux de très grandes dimensions, soit
 - Diviser pour régner (réseaux incrémentaux),
 - Optimisation d'une partie des paramètres
 - Prédiction des valeurs des paramètres
 - Utilisation d'une architecture partiellement distribuée à la sortie.
- Expérimentation sur des réseaux de différentes capacités (simple à grande), et analyse comparative en fonction de la vitesse d'apprentissage et du nombre d'erreurs.
- Comparaison des performances des différentes solutions.

RÉSULTATS:

- Les réseaux incrémentaux auxquels nous ajoutons des neurones cachés au niveau de la couche cachée ne nous ont pas permis d'accélérer le processus d'apprentissage.
- Les réseaux incrémentaux auxquels nous ajoutons des couches de neurones ont permis d'accélérer le processus d'apprentissage.
- Le coût diminue de façon plus importante et de façon plus constante lorsqu'on optimise qu'une partie des paramètres à chaque itération.
- La prédiction des valeurs de paramètres par extrapolation quadratique, cubique et linéaire ne nous a pas permis d'accélérer l'apprentissage.
- L'architecture découpée nous a permis de réduire de façon importante l'inefficacité des réseaux de plus grande capacité.

TITRE:

Étude de réseaux d'interconnexions pour systèmes sur puce.

RÉSUMÉ:

Le projet vise le développement d'un réseau sur puce permettant de faire communiquer les différents modules composant un système sur puce et la comparaison de ce type d'interconnexions avec une architecture de bus connue. Ce réseau devra être synthétisable pour un FPGA.

PROBLÉMATIQUE:

L'acheminement des données aux modules qui les traitent reste dans les systèmes sur puce une source de goulots d'étranglement. Il est donc très important de concevoir des interconnexions performantes et assurant une communication rapide et efficace. Dans ce projet, nous nous proposons d'explorer et de comparer quelques possibilités.

MÉTHODOLOGIE:

Nous commencerons par développer un modèle haut niveau simulable du commutateur du réseau sur puce, afin de faire une première validation de son fonctionnement. L'étape suivante est l'implémentation d'un design incorporant le réseau dans un Virtex II Pro placé sur une carte de co-design. La comparaison se fera avec le même design où nous utiliserons CoreConnect pour interconnecter les modules.

Parallèlement, nous réaliserons un modèle simulable permettant d'explorer toutes sortes d'architectures, indépendamment des ressources matérielles disponibles sur les puces visées.

RÉSULTATS:

Modélisation à l'aide de SystemC du réseau (commutateur), simulation et synthèse.

PIGEON, Sébastien

DIPLOÔME: M.Sc.A.

TITRE :

Conception et fabrication d'une matrice de microélectrodes corticales implantables.

RÉSUMÉ:

Le projet consiste à développer une matrice de microélectrodes qui serviront d'interface entre le milieu biologique et l'électronique pour la stimulation des neurones du cortex visuel afin de rendre la vue aux personnes souffrant de cécité.

PROBLÉMATIQUE:

Les électrodes doivent être très fines afin de minimiser les dommages lors de la pénétration dans les tissus, mais assez résistantes pour supporter l'insertion. En se basant sur les résultats trouvés dans la littérature, les dimensions optimales des électrodes sont : longueur de 1.5mm, largeur de 50 µm, espacement centre à centre de 400 µm à 800 µm. Elles doivent démontrer d'excellentes propriétés électriques : une impédance faible et un niveau de bruit très bas. La matrice doit également présenter une excellente biocompatibilité à long terme (de l'ordre de plusieurs années) afin de minimiser les risques pour le patient et assurer le bon fonctionnement du dispositif en milieu hostile. Plusieurs autres dispositifs pourraient bénéficier d'une matrice pour stimuler des neurones de diverses régions du cerveau ou enregistrer des signaux émis par celui-ci. La matrice de microélectrodes doit donc être conçue de façon à pouvoir être adaptée aisément à d'autres applications.

MÉTHODOLOGIE:

La technologie utilisée pour réaliser la structure de la matrice est l'EDM (Electrical Discharge Machining), aussi appelé usinage par électro-érosion. Des traitements électrochimiques préparent ensuite la surface pour le dépôt de platine poreux à la pointe de chaque électrode. Cette couche métallique sert de lien entre le cerveau et la matrice. Suivent finalement les dernières étapes de fabrication : formation de base isolante, polissage et encapsulation biocompatible. Une méthode d'assemblage *flip chip* est aussi en développement pour relier la matrice au reste de l'implant.

RÉSULTATS:

La première phase du projet est maintenant presque complétée après près de deux années de travail. Une série de prototypes sont présentement assemblés afin de finaliser la validation des étapes de fabrication et des montages expérimentaux. La seconde phase consistera à tester les propriétés électriques de la matrice (bruit, impédance) et d'ajuster les paramètres de fabrication et les matériaux pour obtenir des résultats compatibles avec l'électronique de l'implant. Une bonne partie de ces mesures peuvent être effectuées *in vitro*, mais il faudra des tests plus poussés sur des animaux (rats, chats) pour compléter les résultats.

PROVOST, Ghislain

DIPLÔME: M.Sc.A.

TITRE:

Exploration architecturale et implémentation d'un décodeur itératif à seuil de code doublement orthogonaux.

RÉSUMÉ:

Ce mémoire consiste en l'implémentation matérielle du décodeur à seuil itératif de code convolutionnels doublement orthogonal. La principale motivation de l'implémentation de cet algorithme est qu'il permet de réduire de manière significative la latence et la complexité de la classe de décodeur turbo. Ainsi, ce nouvel algorithme permet notamment de réduire le bruit blanc dans les communications à de forts rapports signal à bruit. Une exploration des possibilités d'implémentation VLSI sont explorées dans le domaine numérique synchrone et asynchrone et également dans le domaine analogique.

PROBLÉMATIQUE:

Depuis plus de 30 ans, les communications électroniques sont devenues un besoin essentiel aux sociétés modernes. Ainsi, pour transmettre l'information de manière fiable, les différents spécialistes des communications ont essayé de minimiser la probabilité d'erreur de transmission afin de maximiser la transmission d'information utile. Pour ce faire, ces spécialistes de l'information ont toujours recherché à créer des codeurs toujours de plus en plus performant. L'année 1993 a été marquée par la découverte des codeurs turbo. Ce codeur permet notamment de s'approcher de manière très proche des limites théoriques, mais toutefois l'algorithme comporte une très grande complexité matérielle. Ce mémoire concerne l'étude et l'implémentation matérielle d'un nouveau décodeur.

MÉTHODOLOGIE:

La première étape consiste à implémenter une version numérique de base du décodeur afin de faire la preuve de concept. Ce premier décodeur sera générique quant au paramètre J (complexité de l'algorithme de décodage) et au nombre de bits de quantification des symboles à l'entrée. Une étude plus approfondie sur l'implication du coefficient de pondération sera effectuée afin de profiter d'un changement dynamique de ce paramètre en fonction du rapport signal/bruit présent dans le canal de communication. Une implémentation d'un estimateur signal/bruit sera intégrée afin de tirer profit de cette propriété du canal de communication. Une revue de littérature quant à l'implémentation du décodeur sous forme analogique et numérique asynchrone sera également faite.

RÉSULTATS:

Une première implémentation de base du décodeur fut réalisée en code VHDL. Ce décodeur est présentement entrain d'être implémenté sous forme matérielle dans un FPGA. Aussi, une revue de littérature dans le domaine de conception numérique asynchrone permet de conclure qu'il n'est pas avantageux de réaliser une version asynchrone de l'algorithme. Également, quelques résultats préliminaires permettent de démontrer qu'il est avantageux de tirer profit du coefficient de pondération selon le rapport signal sur bruit qui se trouve dans le canal de communication.

PY, Jean-Sébastien

DIPLOÔME: M.Sc.A.

TITRE :

Simulation des effets de la stimulation corticale.

RÉSUMÉ :

Dans le cadre du développement du stimulateur visuel par l'équipe PolySTIM, nous avons cherché à mettre en place un modèle pour simuler des effets du stimulateur sur le cortex visuel. Le but était de continuer à développer un modèle comportemental de cortex stimulé électriquement, puis d'adapter tous les paramètres restés libres par des références bibliographiques et des expérimentations chez l'animal.

PROBLÉMATIQUE :

Simuler est intéressant si on considère la complexité et le grand degré de liberté du problème considéré. La problématique technique de notre simulation est aussi un problème de versatilité. Modéliser signifie entre autre simplifier car la complexité du problème dans ses moindres détails tient de l'impossible. Cependant, on cherche à garder suffisamment de paramètres libres pour pouvoir s'adapter aux réalités biologiques. La littérature considère beaucoup d'expériences de stimulation du cortex visuel, mais elle est insuffisante pour notre application. Les articles et publications rencontrées donnent souvent des résultats qualitatifs et le problème de la stimulation directe par électrodes suivie d'un enregistrement dans un voisinage ne semble pas avoir été abordé.

MÉTHODOLOGIE:

Nous avons aussi développé une interface graphique très complète afin de pouvoir économiser du temps en réglant de façon dynamique tous les paramètres de notre simulation. Nous avons ensuite émulé des méthodes d'enregistrements classiques comme des cartes d'activité et des enregistrements directs avec électrodes. Ces méthodes nous ont inspiré une expérimentation typique permettant de mesurer des paramètres caractéristiques chez l'animal.

Ces expérimentations ont été mises en place grâce à des collaborations avec différents laboratoires, de biologie et physiologie. Une électrode de stimulation a été insérée dans le cortex visuel d'un rat, puis une série d'électrodes de mesures régulièrement espacées ont mesuré les réponses de champ du cortex à différentes distances de cette stimulation.

RÉSULTATS:

Les résultats montrent une évolution logique des réponses du cortex avec en particulier des extensions spatiales et temporelles mesurables de ces réponses de champ. Ces informations ont été acquises et traitées. Elles mettent aussi en évidence des phénomènes de fatigue à haute fréquence qui limiteront probablement les fréquences de rafraîchissement de l'implant. Le but est maintenant de chercher à adapter notre modèle informatique avec ces informations. Cette méthode sera représentative des comportements du cortex visuel humain, où servira de prototype pour de futures adaptations à partir d'informations récupérées chez l'homme.

QIN, Lisheng

DIPLOÔME: M.Sc.A.

TITRE:

Conception et réalisation d'un CA N Delta-Sigma à bande passante et fréquences programmables.

RÉSUMÉ:

Le projet consiste à concevoir un convertisseur analogique à numérique (CAN) Sigma-Delta basé sur la technologie CMOS 0.18 micron. La bande passante est de 200kHz avec les fréquences centrales ajustables (3M, 5M, 7M, 12M et 20M). La contribution principale sera la réduction de la consommation de puissance sans trop affecter la résolution.

PROBLÉMATIQUE:

Avec les progrès technologiques en microélectronique, il est plausible d'intégrer sur puce un récepteur supportant plusieurs applications médicales. Ce récepteur nécessite un CAN qui doit être ajustable pour opérer sur des fréquences centrales programmables. En plus, les circuits du CAN Sigma-Delta classique basés sur des capacités commutées ne permettent pas d'opérer sur de hautes fréquences. Nous procédons alors à l'utilisation des intégrateurs basés sur des transconductances et capacités.

MÉTHODOLOGIE:

La méthode prévue pour atteindre les objectifs du présent projet comprendra les étapes suivantes :

- Étude théorique et bibliographique détaillée des topologies existantes;
- Simulation des structures différentes et proposition d'une solution optimale;
- Conception et évaluation d'un modulateur Sigma-Delta à large bande;
- Conception et évaluation d'un modulateur Sigma-Delta à bande passante et fréquences programmables.

RÉSULTATS:

Les circuits et «layout» d'un modulateur Sigma-Delta à bande passante avec une fréquence centrale de 3 MHz ont été complétés en CMOS 0.18 micron. Les parties pour fonctions programmables progressent convenablement.

QIU, Bing

DIPLOÔME: M.Sc.A.

TITRE:

Le diagnostic et l'analyse du rendement dans l'architecture complexe d'interconnexion.

RÉSUMÉ:

Les limites de la densité d'intégration des technologies VLSI motivent les recherches sur la technologie WSI. Cette dernière exige des recherches détaillées sur la testabilité et la tolérance des circuits intégrés. Le projet étudie les problèmes associés à la présence de défectuosités sur le rendement. Les modèles de rendement existants sont étudiés et un modèle adapté est développé pour une classe de réseaux tolérants.

PROBLÉMATIQUE:

Le rendement est très important en WSI. Précisons que le rendement est nécessaire afin de déterminer le nombre d'éléments redondants qui doivent être additionnés. Les champs dépendent considérablement de combien de pièces de rechange sont employées pour substituer les éléments defectueux. Un grand réseau tolérant présente des contraintes peu communes qui ne sont pas prises en considération dans les stratégies de reconfiguration conventionnelle. Les modèles et les stratégies de reconfiguration doivent être adaptées ou de nouveaux modèles et stratégies doivent être développés pour rencontrer ces contraintes.

MÉTHODOLOGIE:

La recherche est centrée sur le diagnostic et l'analyse du rendement d'une architecture comportant un réseau d'interconnexion complexe. Ceci est basé sur la structure d'un circuit de démonstration tolérant aux pannes. Nous commençons par une étude complète de la tolérance aux pannes et des manières de modéliser le rendement d'une architecture cible prédefinie. Ceci devrait donner un modèle détaillé qui permet d'optimiser l'architecture pour déterminer combien la tolérance auxpannes est nécessaire.

RÉSULTATS:

Un modèle de rendement borné tenant compte des contraintes très complexe d'une architecture d'intercommunication a été obtenue. Il est démontré que la matrice analysée est assez robuste parce que les pertes de rendement ne s'avèrent jamais très significatives dans la région d'intérêt. Lorsque le niveau de la redondance n'est pas convenablement ajusté, le rendement se dégrade rapidement. Un modèle de régression de rendement a été développé dans cette étude. Ce modèle peut prévoir exactement la pente et les points importants des courbes de rendement. Ces modèles peuvent être employés pour prévoir le moment où la redondance est plus nécessaire pour fournir des rangées et des cellules. Un article intitulé «Yield Modeling of a WSI Telecom Router Architecture» a été accepté pour publication dans 2002 IEEE International Symposium on Defect and Fault Tolerance in VLSI (DFT2002)

QUINN, David

DIPLÔME: M.Sc.A.

TITRE:

Distribution d'une application de traitement de paquets pour une architecture multiprocesseur sur puce.

RÉSUMÉ:

Ce projet s'intéresse à l'élaboration d'une méthodologie d'exploration architecturale haut niveau pour le développement de processeurs réseaux. Les architectures, développées à partir de modèles *SystemC cycle accurate*, intègrent un processeur configurable optimisé pour le traitement de paquets. La métrique d'évaluation des différentes solutions est le débit atteint.

PROBLÉMATIQUE:

Principalement dictée par la croissance d'internet, l'explosion de la demande en largeur de bande est jumelée au besoin d'une intelligence accrue pour le support de nouvelles applications réseaux, tels le transport de la voix sur IP, les réseaux privés virtuels et plusieurs autres. Les architectures conventionnelles ne sont fondamentalement pas bâties pour le maintien de cette demande. Il existe donc un besoin éminent pour de nouvelles approches dans la conception de plate-formes multiprocesseurs spécialisés de hautes performances. Une avenue envisageable est l'utilisation de processeurs configurables comme composants de base.

MÉTHODOLOGIE:

Les étapes suivantes devront être complétées :

- Recherche bibliographique afin d'estimer l'état actuel des recherches;
- Développement d'une application réseau;
- Modélisation d'une architecture multiprocesseur modulaire sur puce centrée sur un processeur configurable (la technologie Xtensa de Tensilica a été ciblée);
- Élaboration, expérimentation et évaluation de la méthodologie de recherche architecturale.

RÉSULTATS:

En suivant la méthodologie développée, des accélérations intéressantes de 3.25 pour l'application IPv4 et de 6.92 pour IPsec sont obtenues. Le mémoire a été présenté et accepté.

REGIMBAL, Sébastien

DIPLOÔME: M.Sc.A.

TITRE:

Automatisation de la couverture fonctionnelle des circuits numériques.

RÉSUMÉ:

L'objectif de ce projet consiste à développer une méthode afin d'automatiser la couverture fonctionnelle des circuits numériques. Le problème avec cet objectif est que pour effectuer une couverture quelconque, nous devons nous baser sur une métrique standard qui s'applique sur une description standard d'un circuit. Les fonctionnalités d'un circuit étant habituellement décrites sous forme textuelle dans un document de spécification, il est difficile de pouvoir travailler de façon automatisée avec ce genre de description. Ainsi, ce que nous proposons est d'effectuer une description standardisée de la spécification d'un circuit en utilisant un langage de haut niveau qui permettra de valider la spécification. Ayant cette description standardisée, nous sommes maintenant en mesure d'effectuer un traitement sur la spécification exécutable du circuit. Le traitement que nous effectuons utilise un outil que nous avons développé dans le but de prendre en entrée la spécification exécutable. L'outil implémenté dans le module d'analyse de couverture générée, une métrique qui est basée sur le test des flots transactionnels. Ainsi, le module de banc d'essai produit par notre outil peut être incorporé dans n'importe quel banc d'essai dédié à la vérification d'un circuit au niveau RTL. L'utilité de ce module est en fait de permettre la création d'une suite de tests qui permettront de couvrir la métrique définie et aussi de réduire l'application de vecteurs redondants. Cela implique qu'avec ce module d'analyse de couverture, il sera potentiellement possible de créer une suite de tests moins longue et ayant aussi une plus grande puissance de détection d'erreurs.

PROBLÉMATIQUE:

Les technologies reliées au milieu de la microélectronique permettent la réalisation de circuit de plus en plus complexe. Cela implique que les circuits entrant en production sont maintenant en mesure de réaliser un plus grand nombre d'opérations et aussi des opérations plus complexes. Il est donc de plus en plus difficile de pouvoir affirmer que le circuit en cours de conception réalise correctement tous les éléments que l'on peut énumérer dans la spécification fonctionnelle du circuit. De ce fait, les méthodes de vérification actuelles doivent s'adapter à cette augmentation de complexité afin que la vérification fonctionnelle de n'importe quel circuit complexe ne devienne pas le goulot d'étranglement du développement des circuits numériques.

MÉTHODOLOGIE:

Les étapes suivantes sont réalisées dans ce projet:

- Revue de la littérature sur les méthodes de vérification fonctionnelle actuelle;
- Élaboration d'une méthode afin d'automatiser la couverture fonctionnelle;
- Développement d'un exemple simple permettant de prouver la méthode;
- Développement d'un outil qui permettra d'automatiser la méthode;
- Application de la méthode avec l'outil développé sur un design industriel réel.

RÉSULTATS:

La méthodologie d'automatisation de la couverture fonctionnelle permettant de produire de façon systématique des modules d'analyse de la couverture a été développée. Ce développement s'est effectué avec l'aide d'un design d'un commutateur ATM. Par la suite, un outil implémentant la méthode a été développé. Cet outil a été utilisé pour valider la méthode sur un design industriel fourni par la société PMC-Sierra. L'application de la méthode a permis de confirmer l'utilité et l'applicabilité de la méthode afin d'améliorer le processus de vérification fonctionnelle. Ces améliorations se situent au niveau de l'accélération de la conception de la vérification et aussi par le fait que la méthodologie permet d'obtenir de façon automatisée une mesure sur l'exploration des fonctionnalités d'un design. Ainsi, ce projet est une contribution originale qui permet d'augmenter le niveau de confiance dans un design donné.

RENAUD, Mathieu

DIPLÔME: M.Sc.A.

TITRE:

Détecteurs de phase linéaires de précision à usage multiple.

RÉSUMÉ:

Les détecteurs de phase sont essentiels à la conception de divers systèmes en microélectronique. Qu'ils soient destinés à la réalisation d'une boucle de verrouillage de phase, un synthétiseur de fréquence, un système de recouvrement d'horloge ou même pour mesurer un déphasage en boucle ouverte, ceux-ci se doivent d'être très précis et idéalement linéaires.

PROBLÉMATIQUE:

Un bon nombre de détecteurs de phase existent dans la littérature, certains précis, d'autres non. Les quelques détecteurs dits de précision souffrent par contre de quelques imperfections les rendant non souhaitables ou, à la limite, inutilisables pour certaines applications typiques. Celles-ci requièrent alors la conception de nouveaux détecteurs exempts de ces imperfections. Des exemples de ces imperfections sont la sensibilité au bruit en mode commun, l'exigence de signaux d'horloge de forme particulière, la génération de bruit en sortie ou un comportement non linéaire.

MÉTHODOLOGIE:

Le projet de recherche consiste en la conception d'un détecteur simple exempt de tels défauts et pouvant être exploité dans toutes les applications nommées précédemment. Pour ce faire, certains autres circuits adapteront le détecteur aux différentes applications. De plus, étant donné la précision recherchée, de nouvelles méthodes de test et d'auto calibration à même le circuit intégré doivent être élaborées pour bien caractériser le détecteur et le dénuder des défauts liés au procédé de fabrication. Par ailleurs, une stratégie doit être élaborée pour éviter les compromis entre la pureté spectrale du signal asservi et la réponse de la boucle. Outre les méthodes d'auto calibration, il est aussi possible d'exploiter des résistances programmables issues d'une nouvelle technologie pour calibrer de façon manuelle le déphasage statique. La figure de bruit de ces résistances doit donc être caractérisée pour bien connaître l'impact de ces résistances sur la précision du circuit. Ici, l'étude se limite à donner ou ne pas donner le feu vert vis-à-vis l'utilisation de cette technologie via une caractérisation expérimentale de la figure de bruit typique des résistances programmables.

RÉSULTATS:

La caractérisation expérimentale du comportement bruité des résistances programmables indique que celui-ci est dicté par la même loi qui régie le comportement des résistances en théorie. De plus, son bruit à basse fréquence n'a rien d'anormal. On peut donc utiliser sans crainte la technologie des résistances programmables.

Une combinaison parallèle d'un nouveau détecteur de phase et d'un nouveau détecteur de fréquence à trois états permet de se départir du traditionnel compromis entre la pureté spectral du signal asservi et la vitesse de convergence de la boucle. De plus, une nouvelle méthode de test embarqué permet de caractériser facilement et de façon très précise la réponse du détecteur de phase.

RICHARD, Jean-François

DIPLOÔME: M.Sc.A.

TITRE:

Conception d'interfaces haut-voltage utilisant la technologie CMOS/DMOS.

RÉSUMÉ:

Ce projet s'inscrit dans le cadre d'une étude en vue de réaliser des circuits intégrés haut voltage en collaboration avec DALSA Semi-Conducteur Inc. (DALSA). Ce projet implique la recherche, l'analyse d'applications et la définition des spécifications. Ce projet va permettre de fournir des outils pouvant faciliter la conception de circuits intégrés. De plus, ce projet vise à définir les régions d'optimisation d'interfaces haut-voltage.

PROBLÉMATIQUE:

DALSA Semi-Conducteur a développé différentes composantes haut-voltage pour ses différents procédés de fabrication. Toutefois, aucune interface entre la technologie CMOS et DMOS n'est disponible afin d'accélérer la mise en marché de nouveaux produits. L'optimisation de tels circuits nécessitent une compréhension détaillée du procédé et de la méthodologie de conception afin de satisfaire les spécifications. L'analyse de certains facteurs comme le temps de montée/descente, différent courant de sortie, variations en fréquence et différente charge de sortie peuvent être bénéfiques afin d'optimiser de tels circuits.

MÉTHODOLOGIE:

Une analyse approfondie de la technologie DALSA et des outils de conception seront dans un premier temps étudiés. Par la suite, une recherche de différents circuits d'interfaces seront analysés et des spécifications seront extraites. Une conception d'interface haut-voltage sera réalisée et pourrait faire l'objet d'une implantation physique (ASIC) s'il y a lieu.

RÉSULTATS:

Ce projet a permis la conception d'un circuit intégré (ASIC) et les résultats ont fait l'objet d'une publication scientifique. De nouvelles voies de recherche sont explorées afin d'améliorer certains paramètres comme la fréquence d'opération et la puissance dissipée.

ROBERT, Manuel

DIPLÔME: M.Sc.A.

TITRE:

Convertisseur analogique à numérique en virgule flottante : principes de conception et applications spécifiques.

RÉSUMÉ:

L'objectif du projet est de faire l'étude et la réalisation d'un convertisseur analogique à numérique en virgule flottante (FPADC). L'étude préliminaire servira à déterminer les avantages de ce type de conversion, ainsi que les possibilités d'exploitation de ces avantages. Ceux-ci devront être déterminés avant la conception du convertisseur. Il sera alors possible de se servir de ces avantages pour déterminer les champs d'applications qui peuvent profiter de la représentation en virgule flottante. Ceci permettra de choisir l'application spécifique pour laquelle le convertisseur sera conçu.

PROBLÉMATIQUE:

L'architecture interne du convertisseur dépend de la performance requise par l'application qui sera choisie. La sélection de cette application représentera donc une grande part du travail, puisque celle-ci aura un impact significatif sur le projet. C'est également l'application qui va déterminer les spécifications techniques du projet. Celles-ci serviront à l'évaluation des performances du FPADC. Il est ici question de la précision, de la résolution, de la calibration, de la linéarité et du décalage en tension.

À prime abord, il semble que l'acquisition d'échantillons sous forme de nombres à virgule flottante présente plusieurs avantages, mais il faut les prouver afin de démontrer l'utilité d'une telle méthode d'acquisition.

MÉTHODOLOGIE:

L'utilisation du principe des nombres en virgule flottante dans la conception d'un convertisseur analogique à numérique peut comporter des points faibles et des difficultés technologiques. Ceux-ci devront être identifiés et des solutions devront être apportées afin de réduire l'impact qu'ils peuvent représenter. L'étude de chaque structure utilisée à l'interne devra être faite afin de s'assurer que chacune est à la fine pointe des développements. Tout d'abord, une revue de littérature sera nécessaire afin de pousser les connaissances du sujet et pour trouver les applications du projet. La recherche portera sur la conversion en virgule flottante et les domaines d'applications qui se prêtent bien à ce genre de conversion. Les résultats obtenus par les autres chercheurs pourront servir à valider ou appuyer les concepts en cause. Des simulations théoriques seront faites pour prouver les avantages de l'utilisation de la représentation à virgule flottante.

C'est seulement à ce moment que l'architecture physique du circuit pourra être conçue. Son fonctionnement sera également validé par simulation, avec les logiciels de simulation de circuits microélectroniques de Cadence. Une fois que le circuit sera fonctionnel, il faudra en faire l'implémentation physique (layout) sur les logiciels de dessin de masques (Cadence). Pendant ce temps, des démarches seront entreprises auprès de la CMC afin de réserver une place pour la fabrication de la puce. En effet, il sera impératif de réaliser la puce afin de valider les résultats et de pouvoir utiliser le convertisseur dans une implémentation future. Cette implémentation devra soit être développée en parallèle par un étudiant ou être une application déjà existante, ayant la possibilité d'être modifiée afin d'accepter et de traiter des échantillons à virgule flottante.

RÉSULTATS:

La revue de littérature avance bien et se précise de plus en plus. La construction d'un modèle idéal d'un FPADC a permis de procéder à des simulations qui ont prouvé que le ratio signal sur bruit restait constant, malgré la diminution de l'amplitude du signal. On veut cependant pousser plus loin pour avoir d'autres avantages et pour identifier les applications qui mettront à profit ce genre d'avantages.

Étant donné que la question du pourquoi, faire un FPADC devient plus importante que la question du comment, les réservations pour la fabrication de la puce n'ont pas été faites. Des démarches seront entreprises dès que la conception sera en cours et que les preuves auront été fournies comme quoi le PFADC représente un avantage véritable par rapport à un ADC conventionnel.

RONDONNEAU, Mathieu

DIPLOÔME: M.Sc.A.

TITRE:

Encapsulation d'un système d'exploitation temps-réel dans une API System C afin d'intégrer une plate-forme de codesign en SystemC destinée au partitionnement des systèmes sur puces (SoC).

RÉSUMÉ:

L'objectif est de concevoir un système logiciel capable d'utiliser les ressources d'une plate-forme de design codé en *SystemC* et d'ordonnancer des tâches logicielles ayant la même architecture que les tâches matérielles (écrites en *SystemC*). Ceci dans le but de fournir une plate forme d'aide au partitionnement de manière à réduire considérablement les coûts de développement en terme de temps.

PROBLÉMATIQUE:

La phase de partitionnement est très délicate et déterminante dans le cycle de développement des SoC. Aucun outil de simulation ne permet l'exploration architecturale. Cependant, SystemC ne propose pas de solution pour le partitionnement du système. La possibilité de partitionner l'application de manière à obtenir un ordonnancement matériel pour la partie matérielle et un ordonnancement logiciel pour la partie logicielle serait d'un grand support. De plus, le déplacement des blocs d'une partie vers une autre ou inversement tout en conservant les communications simplifierait grandement l'étape de partitionnement.

MÉTHODOLOGIE:

La méthodologie proposée dans ce mémoire regroupe trois niveaux permettant un raffinement logiciel utilisant SystemC 2.0. À partir d'une description à très haut niveau jusqu'à la synthèse dans un système sur puce. Un premier niveau appelé L1 (Level 1) permet la spécification de l'application ainsi que sa validation fonctionnelle à l'aide du simulateur. Au deuxième niveau, appelé L2 (level 2), l'application est partitionnée en deux parties : les modules logiciels et les modules matériels. La partie matérielle est simulée avec le simulateur de SystemC. Tandis que la partie logicielle est ordonnancée par un RTOS exécuté comme étant un processus encapsulé dans une API SystemC. Enfin, au troisième niveau, appelé L3 (level 3), chacune des partitions est connectée sur la plateforme SPACE, incluant le même RTOS, un émulateur de processeur ARM (ISS) ordonné par le simulateur de SystemC. La contribution de la méthodologie réside dans le fait de permettre un partitionnement à chacun des trois niveaux. Cette caractéristique permet l'exploration architecturale ainsi que le raffinement logiciel et matériel dans l'objectif de faciliter la phase délicate d'intégration.

RÉSULTATS:

Basé sur les temps de simulation, les premiers résultats montrent que la prochaine étape doit porter sur l'optimisation et notamment dans les communications entre les modules logiciels et matériels au niveau L2. Le mémoire a été présenté et accepté.

SIMARD, Virginie

DIPLOÔME: M.Sc.A.

TITRE:

Conception d'un module de traitement de signal et compression par transformées en ondelettes pour un système d'acquisition de signaux corticaux.

RÉSUMÉ:

Ce travail s'inscrit dans le cadre du projet de conception d'un système d'acquisition des signaux neuronaux, système qui sera implantable et multi canal et pourra être utilisé en conjonction avec le stimulateur visuel ou seul, en tant qu'instrument de mesure chronique. Le module de traitement de signal devra faciliter la collecte et la transmission par lien RF d'une grande quantité d'informations.

PROBLÉMATIQUE:

Des recherches tendent à montrer que l'étude du fonctionnement du cerveau passe la connaissance de l'activité électrique d'un très grand nombre de neurones qu'il est possible de capter à l'aide d'une matrice de microélectrodes enregistrant les potentiels d'action extracellulaires. Les signaux captés par ces électrodes représentent une quantité d'informations très importantes. Le capteur doit donc être en mesure de traiter cette information; de plus, il doit la transmettre vers un module externe sur un canal de communication de largeur de bande limitée. Une méthode efficace de compression des données doit en conséquence être utilisée. Également, tout système électronique destiné à être implanté dans le corps doit être de taille minimale et dégager une puissance très faible afin de ne pas augmenter de façon significative la température des tissus l'entourant. Les méthodes de conception électronique sont par conséquent orientées vers la minimisation de la puissance dissipée et de la tension d'alimentation.

MÉTHODOLOGIE:

Depuis le début du projet, une revue de littérature a été effectuée afin de se rendre compte des caractéristiques des systèmes d'acquisition de signaux neuronaux existants ou en cours de conception. Les critères à respecter lors de la conception ont été fixés; que des méthodes de traitement de signal appropriées ont été identifiées et étudiées en relation avec nos critères. Plusieurs méthodes de compression ont été expérimentées et évaluées selon leur efficacité de même que les possibilités d'implémentation permettant de respecter les critères de faible puissance, entre autres. L'implémentation du système de traitement de signal est en voie d'être réalisée sur circuit intégré; des tests de caractérisation électronique et de fonctionnalité dans des conditions réalistes, c'est-à-dire à partir de signaux corticaux provenant d'animaux, sont prévus. L'ajustement des méthodes selon les résultats de ces tests devrait conclure cette étape qui constitue l'une des premières du projet de système d'acquisition.

RÉSULTATS:

L'architecture globale du système d'acquisition a été conçue et les étapes de développement ont été énoncées. Le choix des critères de conception a été validé à l'aide de l'étude de l'état des recherches en neurobiologie et en microélectronique. Les méthodes de traitement de signal et de conception de circuits électroniques de très faible puissance ont été étudiées et évaluées. L'implémentation sur circuit intégré est en cours.

TANGUAY, Bruno

DIPLOÔME: M.Sc.A.

TITRE:

Chaîne de traitement numérique pour la radio reconfigurable par logiciel (SDR)

RÉSUMÉ:

L'objectif du projet est de faire la réalisation d'une chaîne de traitement numérique pour une radio reconfigurable par logiciel («Software Defined Radio»). Cette chaîne de traitement devra être la plus flexible possible pour accommoder le plus grand nombre de standards de télécommunication possibles. L'objectif visé par ce projet est en fait une radio universelle qui puisse être reconfigurée à l'aide de logiciel pour les différentes spécifications (modulation, encodage, gamme fréquentielle, type d'accès) des différents standards de télécommunication.

PROBLÉMATIQUE:

La demande grandissante en communication sans fil a donné naissance à différents standards de télécommunication à travers le monde (GSM, IS-95, IS-136, PDC, UMTS, etc.). Chacun des standards possède ces propres caractéristiques en terme de type d'accès, de modulation, de fréquence porteuse, d'encodage et de bande passante. Le principal problème de l'émergence de tous ces différents standards est la compatibilité des différents dispositifs de télécommunication entre eux. En fait, chaque dispositif est conçu pour ne permettre l'utilisation d'un nombre restreint de standards. Il en résulte une incapacité entre les systèmes sans fil de communiquer entre eux. La solution à un tel problème serait un système radio capable d'être entièrement reconfigurer pour permettre à celui-ci de répondre aux caractéristiques spécifiques de n'importe quel type de communication. Avec une telle solution, la même plate forme matérielle pourrait être reconfigurée pour permettre l'opération de différentes fonctionnalités à différents moments.

MÉTHODOLOGIE:

À priori, une revue de littérature exhaustive sera nécessaire afin de pousser les connaissances concernant la SDR et les parties de traitement numérique en télécommunication. Une fois que les parties de traitement numérique nécessaires seront clairement identifiées, la chaîne de traitement numérique sera divisée en modules. Ensuite, il sera possible d'effectuer des simulations afin de vérifier l'algorithme de base de chacun des modules. Après la simulation, l'étape suivante sera celle de la conception de ces modules sous forme de VHDL ou de code logiciel tout dépendamment de qui semble être avantageux. En somme, une bibliothèque de plusieurs modules de traitement numérique devrait être élaborée au cours de ce processus.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

TRABELSI, Abdelaziz

DIPLOÔME: M.SCA.

TITRE:

Technique de calibration de circuits analogiques pour des applications de haute précision.

RÉSUMÉ:

Le projet s'inscrit dans le cadre de la conception de cellules analogiques à la fois performantes et compatibles avec le processus de miniaturisation des circuits intégrés. Deux parties principales composent ce projet.

La première partie porte sur le développement d'une technique numérique de correction de la tension de décalage d'entrée d'un amplificateur opérationnel (AO) de type CMOS.

La deuxième partie entre dans le cadre d'un projet visant à améliorer la technologie LTRIM des résistances diffusées par laser.

PROBLÉMATIQUE:

La tension de décalage d'entrée (offset) est considérée l'un des principaux défauts d'un amplificateur opérationnel réel (AOR). Pour de forts gains en tension et/ou des faibles tensions d'entrée, il faut en tenir compte. L'offset d'un AOR dépend à la fois de la température et du temps. Pour minimiser l'impact de cette déviation sur les performances des applications à base d'AO, en particulier les applications de haute précision, le circuit de correction doit posséder une fonctionnalité qui lui permet d'effectuer un calibrage périodique ou du moins irrégulier.

Les techniques de dopage habituelles des résistances intégrées, basées sur une implantation ionique suivie d'un recuit thermique, rencontrent de sérieuses difficultés pour atteindre les performances prescrites par les applications de haute précision en terme de stabilité et précision. De plus, les résistances considérées jusqu'ici sont supposées être de grande taille. La technique de diffusion par laser est désormais une solution aux problèmes cités jusque là pour la création de résistances diffusées directement dans le silicium qui sont précises, stables en température et adéquates au processus de miniaturisation des circuits intégrés.

MÉTHODOLOGIE:

La technique de correction de l'offset est effectuée d'une manière automatique au moyen d'une machine à états finis qui considère l'utilisation d'un algorithme d'approximations successives. Cet algorithme raffine graduellement une estimation du courant de décalage devant être injecté à la sortie de l'étage différentiel de l'AO considéré afin de compenser sa tension de décalage d'entrée.

La technique de diffusion par laser est étudiée d'une manière empirique. Le principal objectif du travail est d'étudier expérimentalement les phénomènes parasites introduits dans le substrat Si-cristallin par le traitement laser pendant la séquence de création d'un dispositif LTRIM.

RÉSULTATS:

La chaîne de correction proposée a été implémentée dans deux prototypes en technologie CMOS $0.18\mu\text{m}$ N-well standard à six niveaux de métal. Ces deux prototypes sont fabriqués par TSMC à travers CMC. Des résultats de mesure qui démontrent la validité ainsi que la précision de la technique développée ont été obtenues et présentées à la conférence NEWCAS 2003. Un prototype expérimental relatif au projet LTRIM a été conçu en technologie CMOS $0.18\mu\text{m}$ et envoyé pour fabrication à TSMC. Un mémoire de maîtrise a été rédigé et sera bientôt soutenu.

TREMBLAY, Jean-Marc

DIPLOÔME: M.Sc.A.

TITRE:

Conception d'un circuit de conversion de protocoles pour la transmission de vidéo sur des réseaux haute-vitesse.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser une architecture flexible, capable d'effectuer la conversion en temps réel de plusieurs protocoles réseaux existants et futurs. Les protocoles existants ciblés sont ceux capables de transporter des données vidéo numériques de qualité studio, c'est-à-dire de plus de 360 Mbps.

PROBLÉMATIQUE:

La quête de l'augmentation de la largeur de bande des réseaux informatiques actuels est incontournable. Bon nombre de groupes de recherche en sont à développer des protocoles visant à obtenir des débits de données toujours plus grands. Résultat, il est difficile de faire cohabiter ces protocoles dans un même réseau.

Une des solutions existantes (passerelle) n'est efficace que pour des protocoles à bas débits de données, soit moins de 100 Mbps. Par ailleurs, elle ne permet que la conversion d'un nombre fini de protocoles. Une autre solution (routeur passerelle) exige la modification de la topologie du réseau pour être utilisable et elle n'est pas transparente du point de vue du réseau.

Cette recherche vise à permettre la cohabitation de protocoles dans un même réseau, et ce, sans influencer sa topologie, sa configuration et son utilisation.

MÉTHODOLOGIE:

Voici les éléments de la méthodologie utilisée afin de mener à terme ce projet de recherche:

- Recherche bibliographique pour déterminer et comprendre les protocoles haute vitesse intéressants pour des applications multimédias;
- Développement d'une architecture logicielle flexible permettant la conversion entre des protocoles;
- Faire le profilage de cette architecture et considérer l'accélération matériellement des parties trop exigeantes en terme de cycle processeur;
- Faire le partitionnement logiciel/matériel ou concevoir une nouvelle architecture à partir des observations du profilage;

RÉSULTATS:

La recherche bibliographique est complétée et les protocoles IEEE 802.3 et IEEE 1394 ont été retenus. Une première architecture logicielle a été développée mais remplacée par une seconde plus performante. L'analyse des résultats de profilage de la seconde architecture est en cours. Également, une architecture logicielle matérielle a été proposée. Sa mise en œuvre et son évolution sont les sujets d'autres projets de maîtrises.

TRÉPANIER, Annie

DIPLÔME: M.Sc.A.

TITRE:

Système mixte dédié à la capture d'image et à la récupération de sa structure 3D.

RÉSUMÉ:

L'objectif principal du projet, réalisé dans le cadre du stimulateur visuel cortical entrepris par l'équipe PolySTIM, est de parvenir à implémenter un système générateur d'images vidéo monochromes dont l'intensité de chaque pixel est proportionnelle à la distance entre le point correspondant dans la scène et le système lui-même.

PROBLÉMATIQUE:

Le prototype de stimulateur visuel actuel ne donne aucune information sur la structure 3D de la scène devant le patient, puisqu'il donne seulement une image en deux dimensions. Le système présenté ici apportera une fonction additionnelle à la caméra du stimulateur visuel. Cette option consiste en la génération d'images vidéo monochrome représentant l'éloignement des objets de la scène par rapport au patient, lui permettant ainsi de se déplacer sans risque de collision.

MÉTHODOLOGIE:

Pour parvenir à atteindre les objectifs, le projet a été séparé en cinq étapes. La première étape consiste en une étude approfondie sur le sujet, permettant de trouver la meilleure architecture possible pour le système. La deuxième étape quant à elle, consiste en la conception d'un projecteur de lumière infrarouge structurée, principalement constitué d'une matrice de micro-miroirs, permettant de seulement éclairer certaines parties de la scène. Cette étape comprend entre autre la conception d'un module de contrôle d'activation des micro-miroirs permettant de faire réfléchir la lumière vers la scène selon le patron voulu. Comme le système doit balayer toute la scène, le contrôleur doit activer les micro-miroirs correspondants et retenir où en est rendu le balayage. La troisième étape consiste en la conception d'un capteur d'image numérique rapide, principalement constitué d'une matrice de photodiodes, devant être implanté à l'aide de la technologie de fabrication de circuits intégrés CMOS $0,18\mu\text{m}$. Ce capteur a pour fonction d'enregistrer l'image de la scène sur laquelle est projetée la lumière structurée. Il pourra aussi être utilisé comme simple caméra. Pour ce qui est de la quatrième étape, elle consiste en l'élaboration du calcul de distance pour chacun des points illuminés, une fois les photodiodes captant la lumière émise ayant été identifiées. Ce calcul est basé sur le principe de la triangulation (utilisé pour la stéréoscopie). Finalement, la cinquième étape consiste en la conception d'un module ayant pour fonction de générer l'image de profondeur une fois le balayage de la scène complété, les pixels de cette image ayant un différent ton de gris selon la distance des objets par rapport au système.

RÉSULTATS:

L'architecture globale du système de mesure de distance a été conçue et les étapes de développement ont été définies. Le capteur d'image numérique rapide est en phase de design avec la technologie CMOS $0,18\mu\text{m}$ et sera soumis à la CMC sous peu pour fabrication. Le générateur d'image est en cours de design pour implantation dans un FPGA contrôlant un écran VGA. Il restera à implémenter le module de calcul de distance et le projecteur de lumière infrarouge structurée.

TRÉPANIER, Jean-Luc

DIPLOÔME: M.Sc.A.

TITRE:

Capteur d'image intégré à très large bande dynamique pour un stimulateur cortical.

RÉSUMÉ:

Ce projet vise à concevoir un capteur d'images à large bande dynamique intégrée en technologie CMOS. L'objectif visé est son intégration à un implant visuel. Ce dernier est un appareil visant à stimuler le cortex cérébral de patients aveugles dans le but de leur rendre une vision fonctionnelle. Le capteur intégrera toutes les composantes nécessaires à la transformation du signal optique en une matrice de pixels représentant l'image captée.

PROBLÉMATIQUE:

Un capteur d'images dédié à stimuler le cortex visuel d'un patient aveugle implique plusieurs contraintes très différentes de celles d'un capteur d'images standard. Entre autre, il doit être en mesure de discerner des détails dans différents niveaux d'illumination, selon le type d'endroit où se trouve l'utilisateur. De plus, il doit pouvoir capter des images dans lesquelles se retrouvent à la fois, de hautes intensités lumineuses et de très faibles intensités.

MÉTHODOLOGIE:

Le capteur est composé d'une matrice de pixels numériques actifs. Le temps d'exposition initial est variable et permet ainsi de s'adapter aux différentes scènes. Lors de l'exposition à une scène à large bande dynamique, le système peut échantillonner la matrice de pixels à différents moments afin de récupérer les détails de chaque zone d'illumination. Cette méthode donne comme résultat une valeur à point flottant pour chaque pixel.

RÉSULTATS:

Un premier prototype a été conçu avec la technologie CMOS 0,18µm. La conversion optique à électrique a été validée, avec une gamme dynamique de 96dB. L'architecture a été validée à l'aide de la puce conçue et une plaquette de test externe, elle aussi conçue dans le cadre du projet.

TITRE:

Intégration d'un SOC et d'un moteur électrostatique (MEMS)(en vue de la conception du Walking-Die.

RÉSUMÉ:

Le projet Walking-Die se résume en la conception d'un micro robot dont les dimensions se situeront en dessous des 5mm. L'intégration consiste à assembler le micro robot et de trouver de nouveaux procédés d'assemblage.

Les grandes étapes de l'intégration seront :

- La modélisation d'une structure optimisée du Walking-Die.
- Les interconnexions entre le SOC et le MEMS.
- La conception des roues et leur assemblage sur les moteurs électrostatiques.
- L'assemblage et la fusion entre les composantes.

PROBLÉMATIQUE:

L'intégration entre les composantes (SOC et MEMS) et un domaine beaucoup moins exploré et connu dans le domaine de l'électronique. L'intégration demandera un travail très minutieux face à la taille et à la fragilité des matériaux. Il faudra trouver une façon de créer des interconnexions très courtes sans abîmer le moteur électrostatique et d'intégrer les roues aux moteurs sans les abîmer.

MÉTHODOLOGIE:

Le début de mes travaux portera sur la modélisation d'une structure optimisée du Walking-Die et d'une recherche sur les méthodes d'assemblage au niveau des Dies. Par la suite, je trouverai une façon efficace d'optimiser les interconnexions entre le SOC et les moteurs électrostatiques sur le Walking-Die. Lorsqu'une méthode efficace d'interconnexion sera trouvée, la prochaine étape sera la fabrication des roues et leurs assemblages sur les moteurs électrostatiques. Finalement, il restera à trouver une technique d'asssemblage finale entre les composantes.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

WANG, Jiahong

DIPLOÔME: M.Sc.A.

TITRE:

Conception et implantation de la génération automatique de bancs d'essai réutilisables basés sur des règles.

RÉSUMÉ:

Le but principal de ce travail est de développer une méthodologie servant à construire des bancs d'essai réutilisables à un niveau d'abstraction dit fonctionnel. Un second objectif de ce projet est de concevoir le prototype d'un outil basé sur la dite méthodologie. Le projet présente une méthodologie pour la capture des spécifications fonctionnelles d'un système, ainsi que pour la conception automatique de bancs d'essais réutilisables utilisant une technique basée sur des règles définies à partir des spécifications capturées. La thèse présente une méthodologie de vérification fonctionnelle utilisant cet outil.

PROBLÉMATIQUE:

Les bancs d'essai sont généralement conçus au niveau RTL et sont spécifiques à un module particulier. Il est donc difficile de l'utiliser pour d'autres modules, obligeant le concepteur à tout recommencer à chaque fois. On observe donc un besoin pour une nouvelle méthodologie pour la réutilisation dans le domaine de la vérification.

Des erreurs se glissent inévitablement dans les bancs d'essai et constituent une perte de productivité importante. La conception, la réalisation et le débogage des bancs d'essai requièrent beaucoup de ressources. Un outil automatisé viendra réduire ce temps de conception.

MÉTHODOLOGIE:

La première étape consiste à analyser les méthodologies, les outils et la littérature qui existent déjà dans le champ de vérification fonctionnelle. Une attention particulière est portée sur la réutilisation des bancs d'essai. Par la suite, nous proposons un moyen pour la capture des fonctionnalités d'un système grâce au langage SDL (System Description Language). Bien qu'il soit possible d'obtenir plusieurs implantations différentes de modules à partir d'une spécification, il n'existe généralement qu'une abstraction fonctionnelle de ceux-ci. Il est donc possible de concevoir des bancs d'essai réutilisables à ce niveau. On réalise cette méthodologie à l'aide d'une technique basée sur des règles. Ces règles définissent l'information nécessaire à la construction des bancs d'essai et aussi comment utiliser cette information.

RÉSULTATS:

Une nouvelle méthodologie pour la réutilisation d'outils de vérification a été proposée et un outil qui génère automatiquement des bancs d'essai en langage e a été développé.

WANG, Junfeng

DIPLOÔME: M.Sc.A.

TITRE:

Design et implémentation d'un module de synchronisation et de traitement des échos ultrasoniques.

RÉSUMÉ:

La formation d'images par les ondes ultrasoniques (appelée «Beamforming») nécessite d'acquérir et de synchroniser convenablement des échos reçus par capteur intégrant plusieurs cellules ultrasoniques.

Les échos reçus par les cellules formant les différents canaux sont retardés individuellement selon leurs distances et sont ensuite additionnés pour former un pixel d'image. Nous procédons à mettre en œuvre une architecture permettant de réaliser le module en technologie CMOS pour construire un système opérant à très basse consommation d'énergie et occupant une petite surface de silicium.

PROBLÉMATIQUE:

La synchronisation des échos reçus provenant de différentes cellules ultrasoniques dépend de nombreux paramètres variables. Ces paramètres sont liés par une équation complexe déterminant les différents délais à compenser. L'implémentation numérique (en VHDL) de cette équation à multi variable exige des ressources considérables. Nous désirons donc chercher de nouvelles techniques de design pour réduire la consommation d'énergie et la surface occupée en technologie CMOS

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes:

- Proposer une architecture de «Beamforming» sans considérer la puissance dissipée;
- Considérer un «Beamforming» reconfigurable;
- Considérer la basse puissance et la petite surface;
- Concevoir les blocs numériques en utilisant VHDL;
- Analyser des résultats en comparant avec les simulations par MATLAB et par le simulateur logique;
- Valider l'ensemble du système sur plate-forme reconfigurable.

RÉSULTATS:

La conception et l'implémentation VHDL d'une première architecture du « Beamforming » sans considérer la réduction de la dissipation de puissance ont été complétées et nous travaillons les autres étapes énumérées ci-dessus.

WILD, Guillaume

DIPLOÔME: M.Sc.A.

TITRE:

Caractérisation de résistances diffusées

RÉSUMÉ:

L'objectif de ce projet est d'entamer la caractérisation de dispositifs résistifs activés par laser au cœur d'un circuit intégré.

PROBLÉMATIQUE:

L'activation d'un dispositif au sein d'un circuit intégré par laser pose d'importants problèmes. Le dispositif est situé dans un environnement sensible, il peut être entouré de circuiteries dont la précision de fonctionnement est cruciale et l'envoi d'une impulsion laser à ses côtés pourrait lui être fatal. En effet, le laser vient apporter des charges électriques dans le substrat et dans les connexions, des charges qui peuvent endommager les autres circuits si certaines règles de dessin ne sont pas respectées. Ce sont vers ces règles de dessin que le projet va s'efforcer de converger. Un autre objectif pourrait être la mise au point à long terme d'un modèle électrique pour le dispositif étudié.

MÉTHODOLOGIE:

La caractérisation portera sur différents aspects, notamment le temps de relaxation du dispositif après activation au laser, la quantification des charges injectées et la protection contre certains effets non souhaités. Pour arriver à ces fins, nous allons mettre au point des circuits de test adaptés à chacun des problèmes. Ce projet fait appel à des connaissances de dessin de circuits analogiques. Compte tenu de la nature de la problématique, la simulation n'est pas envisageable et le test doit se faire sur des circuits intégrés réels. Il y aura donc une première phase de conception de circuits de tests, une seconde phase de mesures et d'interprétation de résultats pour affiner la conception suivante jusqu'à obtenir des résultats satisfaisants. Les recherches orientées «électriques» sont effectuées en étroite collaboration avec une équipe du département de génie physique qui travaille sur une étude approfondie des phénomènes physiques engendrés par l'envoi d'une salve laser sur des régions diffusées.

RÉSULTATS:

La première phase de ce projet a été l'apprentissage des techniques de base du dessin de circuits intégrés, l'utilisation des logiciels pour augmenter les chances d'obtenir au final un circuit fabriqué apte à livrer des résultats.

À l'heure actuelle, deux circuits sont en cours de fabrication, aucun résultat expérimental n'est pour l'instant disponible, les délais de fabrication étant de plusieurs mois.

YANG, Michael

DIPLOÔME: Ph.D.

TITRE:

Applications des algorithmes de Shor et Grover aux mémoires adressables pour leur contenu et aux machines stochastiques d'Hopfield et de Boltzmann.

RÉSUMÉ:

Les ordinateurs quantiques peuvent théoriquement résoudre des problèmes dits np-complets dans des temps/ressources polynomialement fonction du nombre de variables impliquées. Plusieurs problèmes rencontrés en datamining d'immenses entrepôts de données, en simulation de systèmes réels, en prédition, ne peuvent être abordés avec des architectures.

PROBLÉMATIQUE :

- a) L'algorithme de Grover a déjà été utilisé pour représenter simultanément plusieurs patterns binaires par une superposition d'états quantiques. Cependant, ce mode de représentation ne contient pas l'adresse de ces patterns, qui est pourtant essentielle pour construire une mémoire. D'autre part, pour réaliser adéquatement le recuit simulé nécessaire dans les machines stochastiques, cet algorithme n'exécute que des renversements de phase de p, ce qui est insuffisant pour exprimer la fonction d'énergie.
- b) L'application de l'algorithme de Shor n'est démontrée que sur la factorisation de nombres premiers. Pour prouver son applicabilité sur la machine de Boltzmann, il nous faut établir une analogie solide entre chaque qubit et chaque neurone (visible ou caché), entre la version quantique de la transformée de Fourier et les processus de l'Agrafage et du Relâchement.

MÉTHODOLOGIE:

- a) Pour construire une mémoire quantique adressable, on doit comprimer les informations avec un nombre minimal de qubits, puis, ajouter à ces mots les qubits (en nombre minimal de l'adresse).
- b) Pour construire un réseau d'Hopfield quantique, on propose de remplacer l'ange fixe p par une variation d'angles au fur et à mesure de la rotation de phase de la fonction d'énergie.
- c) Pour construire une machine de Boltzmann, on propose de modifier la transformée de Fourier pour que les états quantiques qui n'existent pas pendant l'Agrafage puissent s'annuler pendant le Relâchement.
- d) Développer un programme de Matlab pour simuler la mémoire quantique, le réseau d'Hopfield et la machine de Boltzmann avec un nombre restreint de qubits.
- e) Prouver mathématiquement que le fonctionnement de ces trois architectures convient aux théorèmes de l'Algorithme de Grover et de l'Algorithme de Shor`

RÉSULTATS:

Nous avons proposé une mémoire quantique qui permet de remplacer N bits classiques (où N = a x c, avec a: nombre d'adresses, et c: nombre de bits classiques contenus à chaque adresse) par log N qubits et que la recherche d'un contenu dans cette mémoire se fait après moins de va itérations de l'Algorithme de Grover

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés ci-haut sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels.)

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Audet, Y.,	CRSNG, Micronet	20,000.00 \$	2001 – 2002	«Characterization of CMOS Gate-Controlled Lateral Bipolar Phototransistors for Active Pixel Sensors and Optical Communications»
Bois, G.	CRSNG	18,972.00 \$	2000 – 2003	«Estimation, raffinement et synthèse des communications dans le processus de codesign logiciel/matériel»
Boyer, F.R.,	CRSNG	20,500.00 \$	2002- 2006	«Horloge à période variable et lien entre le synchrone et l'asynchrone
Boyer, F.R.,	FQRNT	15,000.00 \$	2003 – 2004	«Traitement de signal et isolation de la voix dans des prothèses auditives numériques»
Boyer, F.R.,	FCAR	15,000.00 \$	2003 – 2006	«Méthodologies et outils pour le développement efficace de systèmes sur puce avec architecture parallèle hétérogène»
Brault, J.J.,	CRSNG	17,000.00 \$	2002 - 2005	«Circuits électroniques pour l'optimisation utilisant le recuit déterministe»
Brault, J.-J.,	GALEA Secured Networks,	69,200.00 \$	2001-2003	«Utilisation de réseaux de neurones artificiels pour améliorer la performance des systèmes de sécurité informatique, de l'analyse et l'optimisation du flux de données dans les Firewall»
Martel, S.,	Chaire de Recherche du Canada	100,000.00 \$	2001 – 2005	«Conception de micro/nano systèmes»
Martel, S.,	CRSNG	32,000.00 \$	2002 – 2005	«Miniature Instrumented Robots for Applications at the Molecular and/or Atomic Scale»
Martel, S.,	Concordia University	5,313.00 \$	2003	«Co-Operative Education»
Martel, S.	FATIC	3,500.00 \$	2003	«Support INF6500»
Martel, S.,	Innovation Bell	2,500.00 \$	2003	«Novel Optical Positioning System»
Martel, S.,	Institute for Robotics and Intelligent Systems	16,000.00 \$	2003 - 2004	«Magnetotactic Bacteria-Based Micro-Electromagnetic Matrix Manipulation and Interconnection Systems »

Martel, S.,	CRSNG	136,500.00	2003 – 2004	«Propulsion et contrôle de micro-dispositifs par gradients magnétiques pour applications endovasculaires»
Martel, S.,	FCI	4,428, 859.00 \$	2003 – 2004	Advance Nanorobotic Research Infrastructure
Savaria, Y.,	Chaire de Recherche du Canada	200,000.00 \$	2001 – 2008	«Conception de systèmes microélectroniques intégrés»
Savaria, Y.,	CRSNG	51,728.00 \$	2001 – 2004	«Méthodes de conception de circuits intégrés analogiques précis et d'horloges rapides et précises»
Savaria, Y.,	Hyperchip	84,000.00 \$	2000 – 2004	«Wafer-Scale High Performance Digital Switches; Design, Implementation and Test Demonstration»
Savaria, Y.	CRSNG, Micronet, PMC Sierra, Gennum	148,000.00 \$	2002– 2004	«Architecture of Digital Video Circuits and Synchronization of High Speed Systems»
Sawan, M.,	CRSNG	46,850.00 \$	2000 – 2002	«Circuits intégrés mixtes dédiés aux systèmes électroniques sans fils»
Sawan, M.,	Victhom	300,000.00 \$	2002 - 2005	«Mise en œuvre d'un capteur d'électroneurogrammes».
Sawan, M.,	CRSNG, Micronet	54,000.00 \$	2003 – 2004	«Smart Medical Microsystems Dedicated for Ultrasound Applications»
Sawan, M.,	Chaire de Recherche du Canada	200,000.00 \$	2000 – 2007	«Dispositifs médicaux intelligents»

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Aboulhamid, M. Bois, G.	Micronet	34,500.00 \$	2003	«Design approaches using open and interoperable environments»
Aboulhamid, M. Bois, G.,	ST Microelectronics	21,500.00 \$	2003	«Design approaches using open and interoperable environments»
Aboulhamid, M., Bois, G., Tahar, S.,	CRSNG stratégique	200,000.00 \$	2001 – 2003	«Synthesis and Verification of System-on-a-Chip»
Audet, C., Beaudry, C., Bertrand, F., Boyer, F.R., Dufour, S., Galinier, P., Roy, R., Saucier, A.,	Fondation Canadienne pour l'Innovation (FCI)	4,574,178.00 \$	2002 - 2006	«Plate-forme de développement d'algorithmes parallèles pour la modélisation et l'optimisation de systèmes complexes d'ingénierie et de systèmes multi-agents de production industrielle».
Barge, B., Savaria, Y., et 5 autres	Fondation Canadienne pour l'Innovation (FCI)– FCI - National Networks	2,300,000.00 \$	2002 – 2005	«National Collaboratory for Verification, Validation and Testing in Microelectronics Photonics and Systems»
Bengio, Y., Brault, J.J.,	IRIS Precarn	20,000.00 \$	2001 – 2002	«Basic Research and continuing education in learning algorithms»
Bois, G., Aboulhamid, M.	Amirix	10,000.00 \$	2003	«Co-Design Methodologies for System-On-Chip»
Bois, G., Aboulhamid, M.,	Micronet	20,000.00 \$	2003	«Co-Design Methodologies for System-On-Chip»
Bois, G., Sawan, M., Savaria, Y., Gourdeau, R.,	Ministère de l'Éducation (Québec)	156,614.00 \$	2002 – 2003	«Laboratoire pour la conception conjointe logiciel/matériel de systèmes embarqués»
Bois, G., Sawan, M., Savaria, Y., et al.	Société Canadienne de Microélectronique	82,450.00 \$	2002 - 2003	«Poste de travail pour la conception VLSI»
Camarero, R., Savaria, Y., et 8 autres	Fondation Canadienne de l'Innovation CRSNG, MEQ, Fonds Polytechnique	1,595,000.00 \$	1999 - 2003	«Projet Étoile : Réseau de métaconception et prototypage»

Gagnon, F., Savaria, Y., Thibeault, C.,	Prompt-Québec	125,000.00 \$	2003 – 2005	«Méthodologie de conception conjointe, matériel-logiciel, appliquée au traitement de signal d'un multi-égaliseurs»
Ghannouchi, F., Sawan, M.,	CRSNG Stratégique	29,100.00 \$	2002 - 2004	«Power and spectrum efficient RF/DSP designed transmitters for 4G applications»
Houde, D., Maciejko, R.,	Valorisation Recherche Québec	597,500.00 \$	2001- 2004	«FEMTOTECH : développements et applications des technologies laser à impulsion ultra-brèves
Marsh, T., Savaria, Y. & Al.	Fondation Canadienne de l'Innovation (FCI)	5,002,739.00 \$	2000 - 2002	«System-On-Chip Research Network: A national library of microelectronic systems components and CAD tools available to multiple research sites through secure communication links»
Meunier, M., Savaria, Y.,	LTRIM Partenariats Technologiques	60,000.00 \$	2002 – 2005	«Modélisation d'un procédé de calibrage par laser de circuits microélectroniques et élaboration d'un algorithme de centrale»
Meunier, M., Savaria, Y.,	CRSNG	220,000.00 \$	2002 - 2004	«Modélisation d'un procédé de calibrage par laser de circuits microélectroniques et élaboration d'un algorithme de centrales»
Savaria, Y., Badia, A., Desjardins, P., Rochefort, A.,	Nano-Québec	120,000.00 \$	2002 – 2004	«A Molecular Electronics Test Platform for the Development of an Integrated Hybrid CMOS/Molecular Electronics Technology»
Savaria, Y., Sawan, M.,	NATEQ Équipement	50,000.00 \$	2003 – 2004	«Conception et réalisation de systèmes intégrés reliés par liens de communication sans fil»
Savaria, Y., Sawan, M.,	NATEQ Fonctionnement	75,000.00 \$	2003 – 2006	«Conception et réalisation de systèmes intégrés reliés par liens de communication sans fil»
Savaria, Y., Bois, G., Sawan, M.,	Polytechnique Infrastructure	35,000.00 \$	2002 – 2003	«Fonds interne»

Sawan, M., Savaria, Y., & Al.	Fondation Canadienne pour l'Innovation Gouvernement du Québec	3 017,223.00 \$	2000 – 2003	«Dispositifs Médicaux Intelligents (DMI): Design, Construction Essais et Validation in Vitro et inVivo»
Sawan, M., Guittion, D., Savaria, Y., Meunier, M	CRSNG stratégique	135,700.00 \$	2000 – 2003	«Dispositif électronique implantable dédié à la création d'une vision artificielle chez les non-voyants»
Sawan, M., Corcos, J., Elhilali, M.,	Institut de la recherche en Santé	191,260.00 \$	2003 – 2004	«Wireless monitoring and subsequent selective stimulation to efficiently recuperate the bladder function in spinal cord injured patients».
Sawan, M., Savaria, Y., Bois, G., et 17 autres	NATEQ (FCAR) Infrastructure	255,000.00 \$	2002 – 2006	«Centre de recherche ReSMiQ»
Sawan, M., et 22 autres	Polytechnique, U. de Montréal, Concordia, UQAM, McGill, ETS	125,000.00 \$	2002 – 2004	«Analog, Digital and RF Circuits and Systems Design»
Sawan, M., Savaria, Y., Gagnon, F.,	Prompt-Québec	100,000.00 \$	2003 – 2004	«Convertisseurs analogiques numériques dédiés aux récepteurs sans fil : conception, implémentation et caractérisation»
Sawan, M., Savaria, Y.,	CRSNG Stratégique	134,000.00 \$	2003 – 2005	«RFIC Techniques for Efficient Power Transfer with Full-Duplex High Data Rate Communication Dedicated to Implants»

Fournisseur: Agilent	Fournisseur: IOTECH
1 x Test fixture 81200 5167 1 x E4805B VXI Timing module 4537 1 x E8491B Firewire VXI Controller 6292 1 x 83712B Synthesized Clockwized Gen. 4891	1 x SB488A Sun GPID CNTL S/N084584
Fournisseur: Analogic	Fournisseur: IMS
1 x DB58570 Arb Function Generator 1919	1 x Système Test XL100 1144
Fournisseur: Applied Microelectronic	Fournisseur: Keithey
1 x TH1000 Mixed Signal Head Test 2320	1 x 236 Source Measurement Unit 1920
Fournisseur: CMC	Fournisseur: SUN
1 x VXI Test Fixture Rev. 0 (bois) 2138 1 x V.2 Rapid Prototyping Board V2 2290	1 x Sun Blade 1000 (5 Go) 5667 4 x Sun Blade 100 (2 Go) 6307, 5987, 6467, 6147 2 x Station ULTRA 10 4454, 4003 4 x Station ULTRA1-140 2381, 2850, 2851, 2852 2 x Serveur Entreprise1-140 2874, 2875 3 x Serveur Ultra 10 5409, 4379, 4154
Fournisseur: GGB	1 x Storage A1000 (218 Go) 5656 2 x Disk Externe UNIPACK (9.1) 4079, 4004 4 x Disk Externe MultiPack 2876, 2789, 4229, 4304
6 x Microwave Probe (40A) 6880, 6881, 6890, 7098, 9766, 9767 3 x Picoprobe (28) 6429, 8021, 8022 2 x Power supply (Dual Output) 2733, 2734	4 x Moniteurs couleur 20" 2389, 2854, 2855, 2856 8 x Moniteurs couleur 21" 5827, 5091, 5181, 5347, 5507, 6369 1 x Tape .25" 150MB 2544 2 x Tape Drive 20-40GB 8MM 5729, 5889
Fournisseur: HP	Fournisseur: TESTFORCE
1 x E1428B A/D Digitizer 2730 1 x E1445A A/W Generator 2725 1 x 85033D Calibration Kit 4151 1 x E1406A Command Module 1985 1 x E3661A Instrument Rack 1958 1 x Moniteur Couleur (17") 2021 1 x 7653E Analyseur Network 5726 2 x 1454A Patter I/O POD TH1000 1 x 6623A Programmable P/S 1986 1 x 859E Analyseur Spectrum 5566 1 x E1452A Terminator PAT I/O 2702 1 x 745i HPUX Test Station 2020 1 x E1450A Timing Module 2703 1 x E1452A Timing POD 2702 1 x E1401A VXI Mainframe 1984 1 x E1406A HPIB Command Module 1985 3 x E4841 Agen/Anal. Module 4897, 4987, 5097 1 x HP 81130A Pulse Pattern Generator 5967	4 x Alessi micropositioner MH5-L 2241, 2242, 2070, 2072 2 x Alessi micropositioner MH5-R 2239, 2240 2 x Alessi micropositionner MMM-04 2071, 2072

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GRM.polymtl.ca)

<p>PC:</p> <p>~ 110 x PC variant de Pentium-III, IV</p> <p>SUN :</p> <p>(GRM)</p> <p>27 x SUN SparcStation 1 x SunBlade 1000 2-CPU, 2 Giga-RAM 3 x Sun Ultra-10 8 x Sun Ultra-5 5 x Sun Ultra-1 7 x Sun SparcStation 10 8 x Sun SparcStation 5 5 x Sun SparcStation 4 1 x Sun Storage A1000 (400 Gig RAID-5) 6 x SUN External disk drive 9,18, 36 gig 2 x SUN 150 MB external tape drive 2 x SUN 14 GB external tape drive</p> <p>(VLSI)</p> <p>15 x SunBlade 100 1 x Ultra-10 2 x Ultra 5 1 x Ultra -1</p> <p>Imprimantes:</p> <p>2 x HP printer LaserJet 4050TN 4 x HP printer LaserJet 4M+ 1 x HP printer LaserJet 5M 1 x HP printer Laser jet III 1 x HP printer 1200/C 2 x HP printer DeskJet 840c 1 x HP Color Deskjet 3820c</p> <p>APC:</p> <p>~150 x Batteries BackUPS (GRM & VLSI)</p>	<p>Microélectronique:</p> <p>1 x Oscilloscope 7623 1 x Agilent Impedance Analyzer fixtures 04294-61001 1 x Agilent 0-80MHz. WaveForm Generator 33250A 1 x Agilent Impedance Analyzer 40Hz-110MHz 4294A 1 x Agilent Programmable Power Supply E3631A 2 x Agilent Programmable Power Supply E3641A 1 x Agilent Programmable Power Supply E3646A 1 x Agilent Programmable Power Supply E3647A 1 x Barnstead Programmable Furnace 30400 1 x Data Physics Power Supply A-120 1 x Data Physics Shaker DP-V011 1 x HP Function Generator 8111A 1 x HP Logic Analyzer 16500B 1 x 1 x HP Spectrum Analyzer 3580A 1 x HP Constellation Analyzer 3709B 1 x HP Sampling oscilloscope 50GHz 54120B 1 x HP Oscilloscope 500MHz 54616B 1 x HP Mixed Signal Oscilloscope 100MHz 54645D 1 x HP Network Analyzer 30KHz-6GHz 8753E 1 x HP Spectrum Analyzer 8553L 1 x HP Spectrum Analyzer 26.5GHz 8593E 1 x INES PCI Card GPIB 2 x Insteek Power Supply PC-3030 1 x Intel Network processor development platform KEIXP 12EBAB 2 x Keithley Precision Multimeter 2002 1 x K&S Ball Bonder LEICA 1 x Metcal Rework station BGA -CSP 3500 1 x Miranda Research Expresso 1 x MiroTech Cabinet VME+Pc 1 x Nahishige Micromanipulator MP-PB 3 x Philips Power Supply PE1514 1 x PolyScience Saline Bath SL 1 x Rhode&Schwartz Power Meter NRVZ 1020.1809.02 1 x Rhode&Schwartz Power Sensor NRVZ-Z6 1 x RLC 101dB Attenuator AS-120-B 1 x SRS Signal Analyzer SR785 1 x SUN Data center cabinet 960 1 x Techcon Solder Paste Dispenser TPS-9150 1 x Tektronix Logic Analyser 3002 3 x Tektronix Oscilloscope 100MHz 2ch. TDS320 1 x Tektronix Oscilloscope 1.5GHz 4ch TDS7154 1 x Tektronix Logic Analyzer 32ch.+32 stim. TLA715 2 x Topward Power Supply TPS-4000 1 x Weller soldering iron WES50 2 x Weller soldering iron WTCPT 1 x Wentworth Prober Microscope MP0901 2 x Xantrex Power Supply XT20-3</p>
---	--

ÉQUIPEMENT APPARTENANT AU GROUPE (suite)

Système d'assemblage TYCO obtenu par FCI-DMI	NanoRobotique
Fournisseur: Champion	Fournisseur: Agilent
1 x Creative Automation Paste Dispenser Champion 8300	1 x Oscilloscope 350 MHz 54641A
Fournisseur: Heller	1 x Logic Analyser 16702B
2 x Reflow Oven 1700 EXL	1 x Arbitrary waveform generator 33120A
Fournisseur: Hesse-Knips	1 x DC power supply E3632A
1 x Wedge Bonder Bondjet 810	Fournisseur: CIF
Fournisseur: JOT	1 x Reflow Oven pour surface mount FT04
1 x Pickup PCB Destacker J202-02-02	Fournisseur: EMCO
1 x Side Shuttle Transport J204-10.9/19	1 x Tour d'usinage PC Turn 55
4 x 20" Buffer/Inspection Conveyors J-204-02-022	1 x Fraiseuse numérique 3 axes PC Mill 55
1 x 40" Buffet/Inspection Conveyor J204-02-031	Fournisseur: HP
1 x 59" Roller Chain Accumulation Conveyor J204-01.6/2	1 x Dynamic Signal Analyser 3562A
Fournisseur: Perkin Elmer	2 x DC Power Supply Harisson 6202B
1x Diamond DSC	1 x LaserJet 1200
Fournisseur: PMR	Fournisseur: LPKF
1 x Ultrasound Cleaner PMR-3500	1 x PCB multi-couche Multipress II
Fournisseur: Royce	1 x Electro disposition du cuivre Contact II
1 x Wire Bond Tester System 580	1 x Prototypeuse de PCB 95s II
Fournisseur: Shreiber Engineering	Fournisseur: TSX
1 x Water Chiller 500WC	1 x Programmer DC PSV 1820P
Fournisseur: TYCO	Fournisseur: ZEISS
1 x Offline IQ Feeder Loading Station	1 x Microscope électronique Stemi SV11
1 x Screen Printer AVX-1500	Autres:
1 x Matrix Tray Handler MT-30	1 x Pick and Place Semi Auto SM902
1 x Pick and Place Machine with WPS and WPS with flipper tool APS-1H	1 x Banc scie
Fournisseur: Unitek Miyachi	1 x Chambre de refroidissement
1 x Nd:YAG laser 5 axis Welding Motion Control System LW500A	1 x Ponceuse à bande
1 x WS CNC	26 x Pentium IV
Autres:	
4 x PC de contrôle	

LOGICIELS

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont achetés par le GRM, les autres, Cadence, Mentor, Synopsys, Xilinx etc, sont distribués en tout ou en partie par la Société Canadienne de Microélectronique. (CMC)

Aldec

ARM developer suite for SOC/IP

Cadence (environnement intégré par la conception des circuits VLSI)

- IC
- ICC
- Cadmos
- DES
- DSMDP
- DSMSE
- FE
- LDV
- SPR
- SPW
- VCC

FrameMaker 4 et 5 (Logiciel de traitement de texte spécialisé)

HSPICE (maintenant Synopsys)

Matlab (logiciel pour le traitement mathématique)

Mentor Graphics

- C.1, C.2
- DFT
- HDL Designer
- Seamless
- Renoir
- Calibre
- ModelTech / ModelSim
- DxD-EE Innoveda
- HyperLynx 6.1/Innoveda
- Power PCB 5.0/Innoveda
- BoardSim/Innoveda
- Design Suite/Innoveda

Synopsys

- NS (Nanosim)
- SIM (Core Simulation Tools)
- SYN (Core Synthesis Tools)
- CCSS (Co-Centric)
- FM (Formality)
- PT (PrimeTime)
- FPGA Compiler2
- HSPICE
- STAR SIM

Synplicity / Synplify

TSpice with L-Edit de Tanner

Virage Logic – Compilateur de mémoire matériel

Xilinx Alliance ISE

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

- [A-1] CYR, G., BOIS, G., ABOULHAMID, E.-M., «Generation of processor interface for SoC using VSIA recommendations», à paraître à IEE Proc.-Computers and Digital Techniques, (Micronet/Mentor Graphics).
- [A-2] ELSANKARY, K., ASSI, A., SAWAN, M., «New Sampling Method to Improve the SFDR of Wide Bandwidth ADC Dedicated to Next Generation Wireless Transceiver», à paraître au Journal of Circuits, Systems and Computers, 2003
- [A-3] FAYOMI, C., SAWAN, M., ROBERTS, G., «Reliable Circuit Techniques for Low-Voltage Analog Design in Deep Submicron Standard CMOS: A Survey», à paraître à Analog Integrated Circuits and Signal Processing Journal, 2003.
- [A-4] FOFONOFF, T., MARTEL, S., HATSAPOULOS, N., HUNTER, I., DONOGHUE, J., «Microelectrode array fabrication by electro-discharge machining and chemical etching», à paraître IEEE Transactions on Biomedical Engineering, 2003.
- [A-5] HARB, A., SAWAN, M., «Low-Power CMOS Interface for Recording and Processing Very Low Amplitude Signal», à paraître à Kluwer Analog IC and Signal Processing Journal, 2003.
- [A-6] MARTEL, S., HUNTER, I., «Nanofactories based on a fleet of scientific instruments configured as miniature autonomous robots», accepté Journal of Micromechatronics, 30 juin 2003.
- [A-7] MARTEL, S., MADDEN, P., HUNTER, I., ROUSHDY, O., MADDEN, J., SOSNOWSKI, L., LAFONTAINE, S., «Toward nano-factories operated by miniature autonomous robots capable of various tasks at the molecular and atomic scales», accepté à Journal of Micromechatronics.

Articles de revues publiés de septembre 2002 à août 2003

- [P-1] BEAUDIN, S., MARCEAU, R., BOIS, G., SAVARIA, Y., KANDIL, N., «An Economic Parallel Processing Technology for Faster than Real-Time Transient Stability Simulation» dans European Transactions on Electrical Power, vol. 13, no. 2 mars/avril 2003, pp. 105-112.
- [P-2] CHABINI, N., CHABINI, I., ABOULHAMID, E., SAVARIA, Y., «Methods for Minimizing Dynamic Power Consumption in Synchronous Designs with Multiple Supply Voltages» IEEE Transactions on Computer-Aided Design and Integrated Circuits and Systems, vol. 22, no. 3, mars 2003, pp. 346-351.
- [P-3] GRANGER, E., SAVARIA, Y., LAVOIE, P., «A Pattern Reordering Approach Based on Ambiguity Detection for On-Line Category Learning», IEEE Trans. On Pattern Analysis and Machine Intelligence, vol. 25, no. 4 avril 2003, pp. 524-528.
- [P-4] LOISEAU, L., SAVARIA, Y., «Methodologies and Strategies for Effective Design-Reuse», Revue Canadienne de Génie Électrique, vol. 27, no 4, octobre 2002, pp. 165-169.
- [P-5] SAWAN, M., CHEBLI, R., KASSEM, A., «Integrated Front-End Receiver for a Portable Ultrasonic System», Kluwer Analog IC and Signal Processing Journal, no. 36, 2003, pp. 57-67.

Articles de revues publiés de septembre 2001 à août 2002

- [P-6] ABDEL-GAWAD, M., BOYER, S., SAWAN, M., ELHILALI, M.M., «Reduction of bladder outlet resistance by selective stimulation of the central sacral root using high frequency blockage: a chronic study in spinalized dogs», *J. Urol.*, vol. 166, no 22, 2001, pp. 728-733.
- [P-7] BOYER, F., ABOULHAMID, M., SAVARIA, Y., «Optimal Design of Synchronous Circuits Using Software Pipelining Techniques», ACM TODAES, vol. 6 no. 4, octobre 2001, pp. 516-532
- [P-8] CALBAZA, D.E., SAVARIA, Y., «A Direct Digital Period Synthesis Circuit», Journal of Solid-State Circuits, vol. 37, no. 8 août 2002, pp. 1039-1045.
- [P-9] CALBAZA, D.E., SAVARIA, Y., «Direct Digital Frequency Synthesis of Low-Jitter Clocks», *Journal of Solid-State Circuits*, vol. 36, no. 3, mars 2001, pp. 570-572
- [P-10] CRAMPON, M.A., BRAILOVSKI, V., SAWAN, M., TROCHU, F., «Nerve cuff electrode with shape memory alloy armature: Design and fabrication», Bio-Med Mat & Eng. J., Vol. 12, no. 4, 2002, pp. 397-410.

Articles de revues publiés de septembre 2001 à août 2002 (suite)

- [P-11] DECORSE, P., QUENNEVILLE, E., MEUNIER, M., YELON, A., MORIN, F., «Characterization of $\text{La}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ thin films prepared by pulsed laser deposition», *J Vac. Sci. Technol. A.*, 2001, A19, 910-916.
- [P-12] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New CMOS Short-Locking Time and Wide-Locking Range Frequency-Locked Loop», *IEEE Trans. On Circuits & Systems II*, vol. 48. No. 5, 2001, pp. 441-449.
- [P-13] GRANGER, E., RUBIN, M.A., GROSSBERG, S., LAVOIE, E., «A What-and-Where Fusion Neural Network for Recognition and Tracking of Multiple Radar Emitters», *Neural Networks*, pp. 325-344, 2001.
- [P-14] HU, Y., SAWAN, M., «CMOS Front-end Amplifier Dedicated to Monitor Low Amplitude Signal from Implantable Sensors», *Kluwer Analog IC & Signal Proc.*, J., Vol. 33, no. 1, 2002, pp. 29-41
- [P-15] JIN, Z.F., LAURIN, J.-J., SAVARIA, Y., «A Practical Approach to Model Interconnects in VLSI Systems», *IEEE Transactions on VLSI*, vol. 10, issue 4, août 2002, pp. 494-507
- [P-16] MEUNIER, M., GAGNON, Y., LACOURSE, A., SAVARIA, Y., CADOTTE, M., «A New Laser Trimming Process for Microelectronics», *Applied Science*, 2002, vol. 186, no. 1 pp. 52-56.
- [P-17] QUENNEVILLE, E., SMITS, J.P., MORIN, F., MEUNIER, M., YELON, A., «Electronic transport by Small Polarons in $\text{La}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ », *J. Applied Physics 90*, 2001, pp. 1891-1896.
- [P-18] WU, X., SACHER, E., MEUNIER, M., «Thermophoresis: Applications for preventing particle recontamination», *J. Adhesion 75*, 2001, p. 341.
- [P-19] YANG, D.Q., MEUNIER, M., SACHER, E., «The Estimation of the Average Dimensions of Deposited Clusters from XPS Emission Intensity Ratios», *Applied Surface Science, 173*, 2001, pp. 134-139.

Articles de conférence de septembre 2002 à août 2003

- [C-1] ANDRÉ, W., DELAFOSSE, J.A., MARTEL, S., «Walking-die : Using MEMS and SoC for miniature robot designed for nanoscale operations», Proceedings of the Canadian Conference on Electrical and Computer Engineering (CCECE) 2003, Montréal, Canada, 4-7 mai 203, pp. 1827-1830.
- [C-2] ANDRE, W., MARTEL, S., «Development of an embedded electronic system using system-on-chip methodology for a miniature robot designed for nanoscale operations», Proceedings of the First Northeast Workshop on Circuits and Systems (NEWCAS 2003), Montréal, Canada, 18-20 juin 2003.
- [C-3] AWADA, A., DIDO, J., SAWAN, M., BELLEMARE, F., «A Comparative Study of EMG_{di} Recording Electrodes», CCECE, Montréal, 4-7 mai 2003, vol. 3, pp. 1501-1504.
- [C-4] BERTOLA, M., BOIS, G., «Teaching Bus Architectures with a Basic, Hands-on SoC Platform», Proc. Of Microelectronic Systems Education Conf., Anaheim, CA, USA, pp. 68-69.
- [C-5] BA, A., SAWAN, M., «Integrated Programmable Neurostimulators to Recuperate the Bladder Functions», CCECE, Montréal, 4-7 mai 2003, vol. 1, pp. 147-150.
- [C-6] BUFFONI, L.X., COULOMBE, J., SAWAN, M., «An Image Processing System Dedicated to Cortical Visuel Stimulators» CCECE, Montréal, 4-7mai 2003, vol. 3, pp. 1497-1500.
- [C-7] CARNIGUIAN, S., COULOMBE, J., SAWAN, M., «New Scanning Technique for the Power Management of Pixel Array», CCECE, Montréal, 4-7mai 2003, vol. 2, pp. 1395-1398.
- [C-8] CHABINI, N., CHABINI, I., ABOULHAMID, E.M., SAVARIA, Y., «Unification of Basic Retiming and Supply Voltage Scaling to Minimize Dynamic Power Consution for Synchronous Digital Designs» GLSVLSI (Proceedings of the Great Lakes Symposium on VLSI), Washington, D.C., USA, 28-29 avril 2003.
- [C-9] CHEVALIER, J., BENNY, O., RONDONNEAU, M., BOIS, G., ABOULHAMID, E.-M., BOYER, J.-F., «SPACE : A Hardware/Software SystemC modeling platform including an RTOS», Forum on Design Languages (FDL03), Frankfurt, Germany, aout 2003, pp. 704-715.
- [C-10] CHOUCHANE, T., SAWAN, M., «A 5 GHz CMOS RF Mixer in 0.18mm CMOS Technology», CCECE, Montréal, 4-7 mai 2003, vol. 3, pp. 1905-1908
- [C-11] COUDYSER, M., LAURIN, J.-J., BRAULT, J.J., XU, Y., «A Direction Finding Antenna Based on Neural Networks for Space Applications», JINA 2002, Arrays and Antennas Processing, Nice, France, 12-14 novembre 2002.
- [C-12] COULOMBE, J., BUFFONI, L.-X., CARNIGUIAN, S., GERVAIS, J.F., SAWAN, M., «Intracortical visual stimulation system: design and optimization», IFESS, Australie, 1-5 juillet 2003, pp. 151-154.

Articles de conférence de septembre 2002 à août 2003 (suite)

- [C-13] COULOMBE, J., GERVAIS, J.-F., SAWAN, M., «A Cortical Stimulator with Monitoring Capabilities using a Novel 1 Mbps ASK Data Link», ISCAS, Bangkok, 25-28 mai 2003, vol. 5, pp. 53-56.
- [C-14] DELAFOSSE, J.A., MARTEL, S., «Conception et intégration d'un micromoteur MEMS pour un nanorobot autonome», Proceedings of the First Northeast Workshop on Circuits and Systems (NEWCAS 2003), Montréal, Canada, 18-20 juin 2003.
- [C-15] DJEBBI, M., ASSI, A., SAWAN, M., «An Offset-Compensated Wide Bandwidth CMOS Current Feedback Operational Amplifier», CCECE, Montréal, 4-7 mai 2003, vol. 1, pp. 73-76.
- [C-16] EL-SANKARY, K., ASSI, A., SAWAN, M., «Digitally-Oriented Channel Random Sampling Method for Parallel Time Interleaved ADCs», IEEE-NewCAS, Montréal, 17-20 juin 2003, pp. 145-148.
- [C-17] EL-SANKARY, K., ASSI, A., SAWAN, M., «New Sampling Method to Improve the SFDR of Time-Interleave ADCs», ISCAS, Bangkok, 25-28 mai 2003
- [C-18] EL-SANKARY, K., ASSI, A., SAWAN, M., «New Sampling Method to Improve the SFDR of Time-Interleave ADCs», ISCAS, Bangkok, 25-28 mai 2003, vol. 1, pp. 833-836.
- [C-19] EL-SANKARY, K., KASSEM, A., CHEBLI, R., SAWAN, M., «Low-Power, Low Voltage, 10-BIT-50MSPS Pipeline ADC Dedicated for Front-End Ultrasonic Receivers», 14th International Conference, ICM 2002, 11-13 décembre 2002, pp. 219-222.
- [C-20] EL-SANKARY, K., ASSI, A., SAWAN, M., «A New Time-Interleave Architecture for High-Speed A/D Converters», International Workshop on Digital and Computational Video, Floride, USA, 14-15 novembre 2002, pp. 93-99.
- [C-21] FOFONOFF, T., MARTEL, S., WISEMAN, C., DYER, R., HUNTER, I., HATSOPoulos, N., DONOGHUE, J., «A Highly Flexible Manufacturing Technique for Microelectrode Array Fabrication», Proceedings of the 2nd Joint IEEE-EMBS and BMES Conference, Houston, Texas, USA, 23-26 octobre 2002, pp. 1815-1816
- [C-22] GERVAIS, J.-F., COULOMBE, J., MOUNAIM, F., SAWAN, M., «Bidirectional High Data Rate Transmission Interface for Inductively Powered Devices», CCECE, Montréal, 4-7 mai 2003, vol. 1 pp. 167-170.
- [C-23] GHATTAS, H., SAVARIA, Y., «Design of Dedicated Low Complexity Embedded Processors for SOC Network Processing Applications», First Northeast Workshop on Circuits and Systems, NEWCAS'2003, Montréal, 17-20 juin 2003, pp. 93-96.
- [C-24] GILSON, M., PY, J.-S., BRAULT, J.J., SAWAN, M., «Training Pulsed Neural Networks by Genetic and Taboo Methods», CCECE, Montréal, 4-7 mai 2003, vol. 3, pp. 1857-1860.
- [C-25] GOSSELIN, B., SIMARD, V., SAWAN, M., «Low Power Programmable Front-End for a Multichannel Neural Recording Interface», CCECE, Montréal 4-7 mai 2003, vol. 2, pp. 911-914.
- [C-26] HARB, A., SAWAN, M., «Low Power BIN Integrator Dedicated to Neural Signal Processing», IEEE-ICECS, Dubrovnik, 15-18 septembre 2002, vol. 1, pp. 37-40
- [C-27] HU, Y., LU, Z., SAWAN, M., «A Low-Voltage 38µW Sigma-Delta Modulator Dedicated to Wireless Signal Recording Applications», ISCAS, Bangkok, 25-28 mai 2003, vol. 1, pp. 1073-1076
- [C-28] HU, Y., LU, Z., SAWAN, M., «A 900 mV 25µW high PSRR CMOS Voltage Reference Dedicated to Implantable Micro-Devices», ISCAS Bangkok, 25-28 mai 2003, vol. 1, pp. 373-376.
- [C-29] HU, Y., SAWAN, M., «A Low-Power 900 mV Rail-to-Rail Class AB Operational Amplifier», CCECE, Montréal, 4-7 mai 2003, vol. 1 pp. 171-174.
- [C-30] HU, Y., GERVAIS, J.-F., SAWAN, M., «High Power Efficiency Inductive Link with Full-Duplex Data Communication», IEEE-ICECS, Dubrovnik, 15-18 septembre 2002, vol. 2, pp. 359-362.
- [C-31] JIN, Z. F., LAURIN, J.-J., SAVARIA, Y., «Comparison of Propagation Characteristics between Single and Coupled MIS Interconnect Topologies in VLSI Circuits», CCECE'2003, Montréal, 4 – 7 mai 2003
- [C-32] KASSEM, A., WANG, J., KHOUAS, A., SAWAN, M., BOUKADOUM, M., «Pipelined Sampled-Delay Focusing CMOS Implementation for Ultrasonic Digital Beamforming», IEEE-IWSOC, Calgary, Alberta, 30 juin – 2 juillet 2003, pp. 247-250.
- [C-33] KASSEM, A., SAWAN, M., BOUKADOUM, M., «A Scan Conversion CMOS Implementation for a Portable Ultrasonic System», CCECE, Montréal, 4-7 mai 2003, vol. 3 pp. 1461-1464.
- [C-34] KASSEM, A., WANG, J., KHOUAS, A., SAWAN, M., TABIKH, S., BOUKADOUM, M., «Variable Delay CMOS Implementation for Ultrasonic Beamforming», 14th International Conference ICM 2002, 11-13 décembre 2002, pp. 127-130.

Articles de conférence de septembre 2002 à août 2003 (suite)

- [C-35] LAMARCHE, P.H., SAVARIA, Y., «VHDL Source Code Generator and Analysis Tool to Design Linear Interpolars», First Northeast Workshop on Circuits and Systems, NEWCAS 2003, Montréal, 17-20 juin 2003, pp. 69-72.
- [C-36] LEMIRE, J.-F., REGIMBAL, S., BOIS, G., SAVARIA, Y., ABOULHAMID, E.-M., BARON, A., «Implementing e Assertion Checkers From an SDL Executable Specification», Proc. of International Conference on Using Hardware Design and Verification Languages (DVCN 2003), San José, USA, février 2003.
- [C-37] LU, Z., HU, Y., SAWAN, M., «A 900mV MASH Fourth-order Sigma-Delta Modulator Based on Switched-Opamp Technique», IEEE-NewCAS, Montréal, 17-20 juin 2003, pp. 153-156.
- [C-38] MARTEL, S., SCHINDLER, A., BAUMANN, G., RIEBEL, S., BOITANI, T., «Cooling platform for an automated nanofactory based on a fleet of miniature robots designed for atomic scale operations», Automation 2003, Taiwan, 8-11 mai 2003
- [C-39] MARTEL, S., «Cooling strategies for high performance miniature wireless robots designed to operate at the nanoscale», IEEE-NANO 2003, San Francisco, 12-14 août 2003.
- [C-40] MARTEL, S., HUNTER, I., «Nanofactories based on a fleet of scientific instruments configured as miniature autonomous robots», Proceedings of the 3^d International Workshop on Microfactories, Minneapolis, MN, USA, 16-18 septembre 2002, pp. 97-100.
- [C-41] MATHIEU, J.B., MARTEL, S., YAHIA, L., SOULEZ, G., BEAUDOIN, G., «Positioning of MRI controlled microrobot in blood vessels», 15th Conference of the Society for Medical Innovation and Technology (SMIT2003, Amsterdam, 28-30 août 2003.
- [C-42] MATHIEU, J.B., MARTEL, S., YAHIA, L., SOULEZ, G., BEAUDOIN, G., «Preliminary studies for using magnetic resonance imaging systems as a mean of propulsion for microrobots in blood vessels and evaluation of ferromagnetic artifacts», Proceedings of the Canadian Conference on Electrical and Computer Engineering (CCECE) 2003, Montréal, Canada, 4-7 mai 2003, pp. 835-838.
- [C-43] MBAYE, M.M., TOHIO, B., SAVARIA, Y., PIERRE, S., «Performance of a Firewire-Ethernet Protocols Conversion on an ARM7 Embedded Processors» CCGEI'2003, 4-7 Montréal, mai 2003
- [C-44] PIGEON, S., MEUNIER, M., SAWAN, M., MARTEL, S., «Design and Fabrication of Microelectrode Array Dedicated for Cortical Electrical Stimulation», Proceedings of the Canadian Conference on Electrical and Computer Engineering (CCECE) 2003, Montréal, Canada 4-7 mai 2003, vol. 2, pp. 813-816.
- [C-45] PY, J.S., GILSON, M., SAWAN, M., BRAULT, J.-J., GUITTON, D., «Simulation de Grands Réseaux de Neurons par Neuron» CCECE, Montréal, 4-7 mai 2003, vol. 3, pp. 1865-1868.
- [C-46] QIN, B., SAVARIA, Y., LU, M., WANG, C., THIBEAULT, C., «Yield Modeling of a WSI Telecom Router Architecture», The 17th IEEE International Symposium on Defect and Fault Tolerance Systems, Vancouver, Colombie-Britannique, 6-8 novembre 2002, pp. 314-321.
- [C-47] REGIMBAL, S., LEMIRE, J.-F., SAVARIA, Y., BOIS, G., ABOULHAMID, E.-M., BARON, A., «Automating Functional Coverage Analysis Based On An Executable Specifications», Proc. Of the International Workshop on System-on-Chip for Real-Time Applications, Calgary, Alberta, 30 juin – 2 juillet 2003, pp. 228-234.
- [C-48] RENAUD, M., SAVARIA, Y., «A CMOS Three-State Frequency Detector Complementary to an Enhanced Linear Phase Detector for PLL, DLL or High Frequency Clock Skew Measurement», ISCAS 2003, Bangkok, Thailand, 25-28 mai 2003, vol. III, pp. 148-151.
- [C-49] RICHARD, J.-F., LESSARD, B., MEINGAN, R., MARTEL, S., SAVARIA, Y., «High Voltage Interfaces for CMOS/DMOS Technologies», First Northeast Workshop on Circuits and Systems, NEWCAS'2003, Montréal, 17-20 juin 2003, pp. 93-96.
- [C-50] ST-JACQUES, D., MARTEL, S., BOITANI FITZGERALD, T., «Nanoscale grid based positioning system for miniature instrumented robots», Proceedings of the Canadian Conference on Electrical and Computer Engineering (CCECE) 2003, Montréal, Canada, 4-7 mai 2003, pp. 835-838.
- [C-51] TANG, Y., QIAN, L., WANG, Y., SAVARIA, Y., «A New Memory Reference Reduction Method for FFT Implementation on DSP», ISCAS 2003, Bangkok, Thailand, 25-28 mai 2003, vol. IV, pp. 496-499.
- [C-52] TOHIO, B., PIERRE, S., SAVARIA, Y., MBAYE, M.M., «Protocol Convertibility in Network Processing Environment», CCGEI'2003, 4 – 7 mai 2003.

Articles de conférence de septembre 2002 à août 2003 (suite)

- [C-53] TRABELSI, A., SAVARIA, Y., AUDET, Y., «An Automatic Offset Correction Technique Based on Active Load Tuning», First Northeast Workshop on Circuits and Systems NEWCAS'2003, Montréal, 17-20 juin 2003, pp. 5-8.
- [C-54] TRÉPANIER, J.-L., SAWAN, M., AUDET, Y., «A New CMOS Architecture for Wide Dynamic Range Image Sensing», CCECE, Montréal, 4-7mai 2003, vol. 1 pp. 323-326.
- [C-55] TSIKHANOVICH, A., ABOULHAMID, E.M., BOIS, G., «Object-Oriented Techniques in Hardware Modeling using SystemsC», Proc. Of Northeast Workshop on Circuits and Systems, Montréal, Canada, (Micronet/STMicroelectronics) juin 2003

Articles de conférence de septembre 2001 à août 2002

- [C-55] AUDET, Y., CHAPMAN, G. H., «Design of a Self-Correcting Active Pixel Sensor», Proceedings of the 2001 International Symposium on DFT in VLSI Systems, San Francisco, CA, pp. 18-26, 2001.
- [C-56] BA, A., SCHNEIDER, E., ABDEL-KARIM, A., SAWAN, M., ELHILALI, M., «New Dual Stimulator to Improve the Bladder Functions: Chronic Experiments in Dogs», IFESS, Ljubljana, juin 2002.
- [C-57] BENDALI, A., SAVARIA, Y., «Low-Voltage Bandgap Reference with Temperature Compensation Based on a Threshold Voltage Technique», ISCAS 2002, Phoenix, juin 2002, pp. 201-204.
- [C-58] BOUGATAYA, M., LAKHASI, A., SAVARIA, Y., MASSICOTTE, D., «Mixed fluid-heat transfer approach for VLSI steady state thermal a» Canadian Conference on Electrical and Computer Engineering, 2002, IEEE CCECE 2002, vol. 1, pp. 403-407.
- [C-59] BOYER, F., ABOULHAMID, M., SAVARIA, Y., «Optimal Design of Synchronous Circuits Using Software Pipelining Techniques» accepté pour publication à *ACM Tr. On design Automation of Electrical Systems*, vol. 6 no. 4, 2001, pp. 516-532.
- [C-60] BOYER, F.R., ABOULHAMID, E.M., SAVARIA, Y., «Minimizing sensitivity to clock skew variations using level sensitive latches», European Conference on Circuit Theory and Design, 2001, vol. 2, pp. 253-256.
- [C-61] BRAULT, J.-J., WU, K., BOSISIO, R.G., «Neural Networks in microwave/millimeter wave six ports», NIMIA 2001, Nato Advanced Study Institute on Neural Networks for Instrumentation, Measurement, and Related Industrial Applications, Crema, Italie 9-20 octobre 2001, 8 p.
- [C-62] BRAULT, J.-J., WU, K., BOSISIO, R.G., «Status of New Six-Port Receivers», 7th Ka Band Utilisation Conference, Santa Margherita Ligure, Genève, Italie, 26-28 septembre 2001, 8p.
- [C-63] BURGERT, J., MALASEK, J., MARTEL, S., WISEMAN, C., DYER, R., HUNTER, I., HATSOPoulos, N., AND DONOGHUE, J., «Embedded Electronics for a 64-channel wireless brain implant», Proceeding of SPIE: Microrobotics and Microassembly, 29-31 octobre 2001, pp. 124-134
- [C-64] CANTIN, M.-A., SAVARIA, Y., LAVOIE, P., «A Comparison of Automatic Word Length Optimization Procedures», ISCAS 2002, Phoenix, juin 2002, pp. 612-615.
- [C-65] CHABINI, N., ABOULHAMID, E.M., SAVARIA, Y., «Minimizing Register Requirements for Synchronous Circuits Derived Using Software Pipelining Techniques», Proceedings of the 13th International Conference on Microelectronics (ICM 2001), 29-31 octobre 2001, Rabat, Maroc, pp. 249-252.
- [C-66] CHABINI, N., SAVARIA. Y., «Methods for Optimizing Register Placement in Synchronous Circuits Derived Using Software Pipelining Techniques», Proceedings of the 14th International Symposium on System Synthesis (ISSS'2001) octobre 2001, Montréal, pp. 209-214.
- [C-67] CHABINI, N., ABOULHAMID, E.M., SAVARIA, Y., «Determining Schedules for Reducing Power Consupption Using Multiple Supply Voltages», Proceedings of the International Conference on Computer Design (ICCD'2001), Austin, Texas, pp. 546-552.
- [C-68] CHEBLI, R., KASSEM, A., SAWAN, M., «Logarithmic Programmable Preamplifier Dedicated to Ultrasonic Receivers», IEEE-ISCAS, Scottsdale, Arizona, mai 2002.
- [C-69] CHEBLI, R., KASSEM, A., SAWAN, M., «Integrated Front-End Preamplifier Dedicated to Ultrasonic Receivers», IEEE-ICECS, Malta, septembre 2001.
- [C-70] DELAGE, J.F., SAWAN, M., «Lead Compensation to Improve the Stability of a Two Stage Rail-to-Rail CMOS Opamp», IEEE-ICECS, Malta, septembre 2001.
- [C-71] DIDO, J., GÉRAUDIE, N., LOISEAU, L., PAYEUR, O., SAVARIA, Y., POIRIER, D., «A Flexible Floating-Point Format for Optimizing Data-Paths and Operators in FPGA -based DSPs», FPGA'2002, Monterey, février 2002, pp. 50-58.

Articles de conférence de septembre 2001 à août 2002 (suite)

- [C-72] ELHALLABI, H., SAWAN, M., «High Frequency and High Q CMOS GM -C Bandpass Filter with Automatic On-Chip Tuning» Int. Conf. On Microelectronics, Rabat, Morocco, octobre 2001.
- [C-73] ELHALLABI, H., FOUZAR, Y., SAWAN, M., «High Frequency CMOS GM -C Bandpass Filter with Automatic On-Chip Tuning», IEEE-ICECS, Malta, septembre 2001
- [C-74] FILION, L., CHEVALIER, J., BOIS, G., ABOULHAMID, A., «The Syslib-Picasso Methodology for the Co-Design Specification Capture Phase», Proceedings of the International Workshop on System-On-Chip for Real-Time Applications, Calgary, juillet 2002, pp 183-192.
- [C-75] FILION, L., BOIS, G., ABOULHAMID, M., «SYSLIB: A system-level language extended from Cynlib for SoC», Proceedings of the International HDL Conference and Exhibition, San Jose, mars 11-12, 2002, pp 191-197.
- [C-76] FOFONOFF, T., WISEMAN, C., DYER, R., MALASEK, J., BURGERT, J., MARTEL, S., HUNTER, I., HATSOPOULOS, N., DONOGHUE, J., «Mechanical assembly of a microelectrode array for use in a wireless intracortical recording device», IEEE-EMB Special Topic Conference 2nd Annual International Conference on Microtechnologies in Medicine and Biology, Madison, WI, USA, 2 au 4 mai 2002, pp. 269-272.
- [C-77] FOUZAR, Y., SAVARIA, Y., SAWAN, M., «A CMOS Phase-Locked Loop with an Auto-calibrated VCO», IEEE-ISCAS 2002, Phoenix, mai 2002, pp. 177-180.
- [C-78] HASHEMI, S., SAWAN, M., SAVARIA, Y., «Analysis of Power Conversion Chains in Transcutaneously Powered Electronic Implants», Proceedings of 7th Annual Conference of the International Functional Electrical Stimulation Society, IFESS 2002, Ljubljana, Slovénie, juin 2002, pp. 196-199.
- [C-79] HÉNEAULT, Y., FILION, L., BOIS, G., «A Fast Hardware Co-Specification and Co-Simulation Methodology Integrated in an H/S Co-Design Platform» Proceedings of the International Conference on Microelectronic, Maroc, octobre 2001, pp. 253-256.
- [C-80] KHOUAS, A., DERIEUX, A., «FDP: Fault Detection Probability Function for Analog Circuits», IEEE International Symposium on Circuits and Systems ISCAS'01, Sydney, Australie, mai 2001.
- [C-81] LAFRANCE, L.P., CANTIN, M.-A., SAVARIA, Y., SUNG, S.H., LAVOIE, P., «Architecture and Performance Characterization of Hardware and Software Implementations of the Crozier Frequency Estimation Algorithms», ISCAS 2002, Phoenix, juin 2002, pp. 823-826.
- [C-82] LEMIRE, J.-F., REGIMBAL, S., SAVARIA, Y., BOIS, G., ABOULHAMID, E.M., BARON, A., «Applying Aspect-Oriented Programming to Hardware Verification with e», HDLCON'2002, San-José, mars 2002, pp. 68-75.
- [C-83] LI, BOYER, F.R., ABOULHAMID, E.M., «Retargetable C Compiler for Network Processors», The 6th World Multiconference on Systemics, Cybernetics and Informatics, Orlando, Floride, 14-18 juillet 2002, 4 pages.
- [C-84] LOISEAU, L., SAVARIA, Y., «Methodologies and Strategies for Effective Design-Reuse», International Workshop on Systems on Chip», Banff, juillet 2002, pp. 39-48.
- [C-85] MARTEL, S., REBEL, S., KOKER, T., SHERWOOD, M., HUNTER, I., «Large-scale nanorobotic factory automation based on the NanoWalker technology», Proceedings of the 8th IEEE International Conference on Emerging Technologies and Factory Automation, Special Session on Microrobotics in Manufacturing, Nice, France 15-18 octobre 2001, pp. 591-597
- [C-86] MARTEL, S., FERRANDO, J. B.C., OLOGUE, L.C., FOFONOFF, T., HUNTER, I., «Implementing frequency modulated piezo-based locomotion for achieving further miniaturization for wireless robots», Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA., 29-31 octobre 2001, pp. 210-220
- [C-87] MARTEL, S., HUNTER, I., «Piezo-drive circuits for amplitude modulated locomotion for miniature wireless robots», Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA., 29-31 octobre 2001, vol. 4658 pp. 199-209.
- [C-88] MARTEL, S., KOKER, T., HUNTER, I., «Main design issues for embedding onto a wireless miniature robot, a scanning tunneling positioning system capable of atomic resolution over a half-meter diameter surface area», Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA, 29-31 octobre 2001, vol. 4568, pp. 68-77.

Articles de conférence de septembre 2001 à août 2002 (suite)

- [C-89] MARTEL, S., KOKER, T., RIEBEL, S., SHERWOOD, M., SUURKIVI, J., HUNTER, I., «An infrastructure suited for supporting a fleet of wireless miniature robot designed for atomic-scale operations», Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA, 29-31 octobre 2001, vol. 4568, pp. 221-230.
- [C-90] MARTEL, S., OLAGUE, L.C., FERRANDO, J.B.C., RIEBEL, S., KOKER, T., SUURKIVI, J., FOFONOFF, T., SHERWOOD, M., DYER, R., HUNTER, I., «General description of the wireless miniature NanoWalker robot designed for atomic-scale operations», Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA, 29-31 octobre 2001 vol. 4568, pp. 231-240.
- [C-91] MARTEL, S., EMBLER, J., RIEBEL, S., GIBBONS, J., HUNTER, I., «A novel heat dissipation approach for high-powered miniature robots», Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA, 29-31 octobre 2001, vol. 4568, pp. 241,251
- [C-92] MARTEL, S., JONES, L., HUNTER, I., «A mechanically flexible, battery-powered, differential electrode unit for electrophysiological recordings», Proceedings of the 23rd Annual International Conference of the III, Engineering in Medicine and Biology Society, Istanbul, Turquie, 25-28 octobre 2001, vol. 3, pp. 3074-3076.
- [C-93] MARTEL, S., HUNTER, I., «A universal front-end stage for electrophysiological mappings», Proceedings of the 23rd Annual International Conference of the III, Engineering in Medicine and Biology Society, Istanbul, Turquie, 25-28 octobre 2001, vol. 4, pp. 3244-3247.
- [C-94] MARTEL, S., LAFONTAINE, S., HUNTER, I., «A pc-based instrumentation board that overcomes many drawbacks of typical commercial data acquisition systems for electrophysiological recording applications», Proceedings of the 23rd Annual International Conference of the III, Engineering in Medicine and Biology Society, Istanbul, Turquie, 25-28 octobre 2001, vol. 4, pp. 3321-3324.
- [C-95] MARTEL, S., HATSAPoulos, N., HUNTER, I., DONOGHUE, J., BURGERT, J., MALASEK, J., WISEMAN, C., DYER, R., «Development of a wireless brain implant: the, telemetric electrode array system (teas) project», Proceedings of the 23rd Annual International Conference of the III, Engineering in Medicine and Biology Society, Istanbul, Turquie, 25-28 octobre 2001, vol. 4, pp. 3594-3597.
- [C-96] MARTEL, S., HUNTER, I., «An IEEE-1394 based outlet for home automation health care networks», Proceedings of the 23rd Annual International Conference of the III, Engineering in Medicine and Biology Society, Istanbul, Turquie, 25-28 octobre 2001, vol. 4, pp. 3739-3742.
- [C-97] MAURER, F., MARTEL, S., «Extreme programming. Rapid development for Web-based applications» IEEE Internet Computing, janvier-février 2002, pp. 86-90.
- [C-98] REGIMBAL, S., LEMIRE, J.-F., SAVARIA, Y., BOIS, G., ABOULHAMID, E.M., BARON, A., «Aspect Partitioning for Hardware Verification Reuse», International Workshop on Systems on Chip, Banff, juillet 2002, pp. 49-58.
- [C-99] RENAUD, M., SAVARIA, Y., «A Linear Phase Detector for Arbitrary Clock Signals», ISCAS'2002, Phoenix, juin 2002, pp. 775-778
- [C-100] SCHNEIDER, E., ABEDL-KARIM, A., SAWAN, M., ELHILALI, M., «New Stimulation Strategy to Improve the Bladder Function in Paraplegics: Chronic Experience in Dogs», IEEE-EMBS, Istanbul, Turquie, octobre 2001.

AUTRES PUBLICATIONS (invitation)

- [I-1] MARTEL, S., «High throughput operations at the nanoscale using miniature instrumented robots», NanoTech and BioTech Convergence, Stamford, NY, USA 5 mai 2003
- [I-2] SAWAN, M., «Dual Neurostimulation to Recuperate the Urinary Bladder Functions», The Institute of Neurosciences, Mental Health and Addiction Annual Meeting, Toronto, septembre 2003.
- [I-3] SAWAN, M., «Biomedical Circuits and Systems to Recuperate Neuromuscular Functions», IEEE-CAS Chapter, Waterloo, septembre 2003.
- [I-4] SAWAN, M., ELSANKARY, K., «Analog-to-Digital Converters Dedicated to Wide-Bandwidth Wireless Transceivers», Wireless Industry Congress 2003, Ottawa, Ontario, septembre 2003.
- [I-5] SAWAN, M., «Implantable Smart Medical Devices to Recuperate Neuromuscular Functions», McGill University, avril 2003.
- [I-6] SAWAN, M., «Visual Electronic Implants: Principal & Alternative», Université de Montréal, mars 2003.

AUTRES PUBLICATIONS (invitation) (suite)

- [I-7] SAWAN, M., «Neurostimulation to reduce the Hyperreflexia of the Detrusor and Avoid its Dyssynergia with the Sphincter» Int. Society for Pelvic Neuromodulation, Phoenix, janvier 2003.

CHAPITRE DE LIVRES

- [L-1] BOIS, G., FILION, L., TSIKHANOVICH, A., ABOULHAMID, E.-M., «Modélisation, raffinement et techniques de programmation orientée objet avec SystemC» Chap. 6 de La spécification et la validation des systèmes hétérogènes embarqués, A.A. Jerraya et G. Nicolescu (ed.), Hermes à paraître à l'automne 2003.
- [L-2] CHEVALIER, J., BENNY, O., RONDONNEAU, M., BOIS, G., ABOULHAMID, E.M., BOYER, J.F., «SPACE : A Hardware/Software SystemC modeling platform including an RTOS », Language for System Specification and Verification, série CHDL de Kluwer Academic Publishers, à paraître.
- [L-3] BOIS, G., NICOLESCU, G., ABOULHAMID, E.-M., «System-Level Exploration Platforms for SoC: Concepts and Experimentations» Kluwer Academic Publishers, Michael Hacket, ed. Senior, à paraître à l'automne 2004.
- [L-4] CHAREST, L., ABOULHAMID, E.-M., BOIS, G., «Applying multi-paradigm and patterns approaches to hardware/software design and reuse», Chap. 11 of Pattern and Skeletons for Parallel and Distributed Computing, RABHI, F.E. (ed.), Springer Verlag, ISBN 1-85233-506-8, 2003, pp. 297-325.

BREVETS

- [B-1] FECTEAU, K., THIBEAULT, C., SAVARIA, Y., BLAQUIÈRE, Y., LAURIN, J.-J., JIN, Z.F., «Methods, Apparatus and Systems for Reducing INterference on Nearby Conductors», brevet déposé aux États-Unis # 2003/0117184 A1, juin 2003.
- [B-2] JECKLEN, E., G., GHANNOUCHI, F.M., SAWAN, M., BEAUREGARD, F., "Adaptive Predistortion Device and Method using Digital Receiver", US 2002072364A, décembre 2002
- [B-3] LACOURSE, A., GAGNON, Y., LANGLOIS, H., SAVARIA, Y., «Method for Modifying Impedance of Semiconductor Devices Using a Focussed Heating Source» brevet déposé au Canada # 2,436,759 août 2003.
- [B-4] MARTEL, S., MATHIEU, J.B., YAHIA, L.H., BEAUDOIN, G., SOULEZ, G., «Method and System for Propelling and Controlling Displacement of a Microrobot in a Blood Vessel», Canadian and US Applications, référence VAL331-MR-SUB, 15 avril 2003.
- [B-5] NORMAN, R.S., BLAQUIÈRE, Y., SAVARIA, Y., «Communications Bus for a Parallel Processing System», brevet déposé aux États-Unis # 2003/0140188 A1, juillet 2003.
- [B-6] SAVARIA, Y., LU, M., THIBEAULT, C., «Method of Generating Large Scale Signal Paths in a Parallel Processing System», brevet déposé aux Etats-Unis # 2003/0138705 A1, juillet 2003.
- [B-7] SAVARIA, Y., LAURIN, J.-J., JIN, Z.F., «Methods, Apparatus and Systems for Reducing Interference on Nearby Conductors», brevet déposé aux États-Unis # 2003/0116827 A1, juin 2003.
- [B-8] THIBEAULT, C., FECTEAU, K., LAURIN, J.-J., SAVARIA, Y., JIN, Z.-F., «Methods, Apparatus, and Systems for Reducing Interference on Nearby Conductors», brevet déposé aux États-Unis # 2003/0117183 A1, juin 2003.
- [B-9] SAVARIA, Y., BLAQUIÈRE, Y., «Methods, Apparatus, and Systems for Reducing Interference on Nearby Conductors», brevet déposé aux États-Unis # 2003/0117301 A1, juin 2003.
- [B-10] SAVARIA, Y., LU, M., «Fault Tolerant Scan Chain for a Parallel Processing System », brevet déposé aux Etats-Unis # 2003/0120987 A1, juin 2003.

INDEX DES AUTEURS

A

ACHIGUI FACPONG , Hervé	23
AMEZZANE, Ilham	24
ANDRÉ, Walder	25
AUBRAY, Laurent	26

B

BA, Aguibou	27
BENDALI, Abdelhalim	28
BENNY, OLIVIER	29
BERTOLA, Marc	30
BOYER, Stéphane	31
BOYOGUENO BENDÉ, André	32
BUFFONI, Louis-Xavier	33
BUI, Hung Tien	34

C

CANTIN, Marc-André	35
CARNIGUAN, Sylvain	36
CATUDAL, Serge	37
CHEBLI, Robert	38
CHEVALIER, Jérôme	39
CHOUCHANE, Tahar	40
CHOUIA, Younes	41
CHUREAU, Alexandre	42
COUDYSER, Michael	43
COULOMBE, Jonathan	44

D

DANG, Hung	45
DEJMOUAI, Abdelouhab	46
DELAFOSSÉ, Maurice Jacques-A.	47
DÉSILETS, Tommy	48
DESLAURIERS, François	49
DJEBBI, Moncef	50
DUBOIS, Martin	51
DUBOIS, Mathieu	52
DUVAL, Olivier	53

E

ELSANKARY, Kamal	54
EPASSA HABIB, Gabriel	55

F

FAYOMI, Christian	56
FILION, Luc	57
FORTIN, Marc-Antoine	58
FOUZAR, Youcef	59

G

GERVAIS, Jean-François	60
GHATTAS, Hany	61
GHATTAS, Nader	62
GILSON, Mathieu	63
GORSE, Nicolas	64
GOSSELIN, Benoît	65
GROU-SZABO, Robert	66

H

HARB, Adnan	67
HASAN, Syed Rafay	68
HASHEMI, Saeid	69
HU, Yamu	70
HUBIN, Mortimer	71

I

IZOUGGAGHEN, Badre	72
---------------------------	----

K

KABBAJ, Samir	73
KASSEM, Abdallah	74
KUMAR, Padmapriya	75

L

LAAZIRI, Yassir	76
LAFRANCE, Louis-Pierre	77
LANDRY, Alexandre	78
LANGLOIS, HUGHES	79
LARAB, Abdelaziz	80
LAVIGUEUR, Bruno	81
LAYACHI, Mohammed	82
LEMIRE, Jean-François	84
LEPAGE, Réjean	83
LU, Meng	85
LU, Zhijun	86

M

MBAYE, Mame Maria	87
MCFADDEN, David	88
MORIN, Benoit	89
MORIN, Dominic	90
MOUNAIM, Fayçal	91

N

NGUYEN, Anh Tuan	92
NORMANDIN, Frédéric	93
NSAME, Pascal	94

P

PEPGA BISOU, Jean	95
PETERSON, Kevin	96
PICARD, Daniel	97
PIERAUT, Francis	98
PIERRON, Loïc	99
PIGEON, Sébastien	100
PROVOST, Ghislain	101
PY, Jean-Sébastien	102

Q

QIN, Lisheng	103
QIU, Bing	104
QUINN, David	105

R

RÉGIMBAL, Sébastien	106
RENAUD, Mathieu	107
RICHARD, Jean-François	108
ROBERT, Manuel	109
RONDONNEAU, Mathieu	110

S

SIMARD, Virginie	111
------------------	-----

T

TANGUAY, Bruno	112
TRABELSI, Abdelaziz	113
TREMBLAY, Jean-Marc	114
TRÉPANIER, Annie	115
TRÉPANIER, Jean-Luc	116
TRUONG, Olivier-Don	117

W

WANG, Jiahong	118
WANG, Junfeng	119
WILD, Guillaume	120

Y

YANG, Michael	121
---------------	-----