POLYPUBLIE
Polytechnique Montréal

POLYTECHNIQUE MONTRÉAL
LE GÉNIE EN PREMIÈRE CLASSE

Titre: Title:	Rapport annuel 2003-2004
Auteurs: Authors:	Groupe de recherche en microélectronique
Date:	2004
Type:	Rapport / Report
Référence: Citation:	Groupe de recherche en microélectronique. (2004). *Rapport annuel 2003-2004* (Rapport). Tiré de https://www.grm.polymtl.ca/PAGES/Rapports_Annuels/...

Document en libre accès dans PolyPublie
Open Access document in PolyPublie

URL de PolyPublie: PolyPublie URL:	https://publications.polymtl.ca/3232/
Version:	Version officielle de l'éditeur / Published version Non révisé par les pairs / Unrefereed
Conditions d'utilisation: Terms of Use:	Tous droits réservés / All rights reserved

Document publié chez l'éditeur officiel
Document issued by the official publisher

Maison d'édition: Publisher:	Polytechnique Montréal
URL officiel: Official URL:	https://www.grm.polymtl.ca/PAGES/Rapports_Annuels/tous_rapports_annuels.html
Mention légale: Legal notice:	

Ce fichier a été téléchargé à partir de PolyPublie, le dépôt institutionnel de Polytechnique Montréal
This file has been downloaded from PolyPublie, the institutional repository of Polytechnique Montréal

http://publications.polymtl.ca

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

GROUPE DE RECHERCHE EN MICROÉLECTRONIQUE

RAPPORT ANNUEL

2003 - 2004

DÉCEMBRE 2004

TABLE DES MATIÈRES

REMERCIEMENTS 4

INTRODUCTION 4

COLLABORATIONS EN 2003-2004 4

OBJECTIFS DU GRM 5

COMPOSITION DU GROUPE 5

- LISTE DES MEMBRES RÉGULIERS 5
- LISTE DES MEMBRES ASSOCIÉS 6
- LISTE DES CHERCHEURS POST DOCTORAUX ET AUTRES PROFESSIONNELS 6

PROGRAMME DE RECHERCHE EN VLSI 7

- DOMAINES 7
- ACTIVITÉS DES MEMBRES RÉGULIERS 7
- ACTIVITÉS DU PROFESSEUR SAVARIA 8
- ACTIVITÉS DU PROFESSEUR AUDET 9
- ACTIVITÉS DU PROFESSEUR BOIS 10
- ACTIVITÉS DU PROFESSEUR BOYER 11
- ACTIVITÉS DU PROFESSEUR BRAULT 12
- ACTIVITÉS DU PROFESSEUR KHOUAS 13
- ACTIVITÉS DU PROFESSEUR MARTEL 14
- ACTIVITÉS DU PROFESSEUR NICOLESCU 15

CONCEPTION DES SYSTÈMES EMBARQUÉS HÉTÉROGÈNES 15

CONCEPTION DES SYSTÈMES SUR-PUCE MULTI-PROCESSEUR 15

- ACTIVITÉS DU PROFESSEUR SAWAN 16

ÉTUDIANTS AUX CYCLES SUPÉRIEURS 17

- ÉTUDIANTS RECEMMENT INSCRITS 19
- TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT 20
- DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS 24

SUBVENTIONS ET CONTRATS 130

- SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES 130
- SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE DE GROUPE 133

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA) AU GRM ET À LA POLYTECHNIQUE. 136

ÉQUIPEMENT APPARTENANT AU GROUPE (WWW.GRM.POLYMTL.CA) 137

- LOGICIELS 139

PUBLICATIONS ET RÉALISATIONS 140

- ARTICLES DE REVUES ACCEPTÉS POUR PUBLICATION 140
- ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2003 À AOÛT 2004 141
- ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2003 À AOÛT 2004 (SUITE) 143
- ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2002 À AOÛT 2003 144
- ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2002 À AOÛT 2003 (SUITE) 145

AUTRES PUBLICATIONS (INVITATION) 147

CHAPITRE DE LIVRES 147

CHAPITRE DE LIVRES (SUITE) 148

BREVETS 148

INDEX DES AUTEURS 149

REMERCIEMENTS

Nous désirons remercier tous les membres du GRM (Groupe de Recherche en Microélectronique) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à sa diffusion sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche.

INTRODUCTION

Le Groupe de Recherche en Microélectronique (GRM) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 2003 – 2004, 123 étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GRM et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) auprès du Fonds Québécois de la recherche sur la nature et les technologies (FQRNT), ainsi qu'au programme de Recherche Orientée en Microélectronique, photonique et télécommunication. Ils ont participé à trois projets réalisés dans le cadre de Micronet, le centre d'excellence en Microélectronique. Citons aussi les projets réalisés avec des partenaires industriels, Gennum, Hyperchip, LTRIM, PMC-Sierra, Scanview, Victhom, Amerix et ST-Microélectronique. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 2003-2004

L'année 2003 - 2004 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GRM et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs, Savaria, Martel (Université de Montréal) Desjardins et Rochefort (nanoélectronique), Savaria, Bois et Aboulhamid de l'Université de Montréal (vérification et méthodes de conception); Savaria et Cherkaoui de l'UQAM (configuration et vérification de routeurs réseau), Savaria, Desjardins et Rochefort, (nanoélectronique), Savaria, Gagnon et Thibeault (architecture de multiégaliseurs), Savaria et Meunier (technologie de calibration par laser de circuits analogiques), Savaria et Cherkaoui de l'UQAM (vérification des réseaux de communication), Savaria et Wang de Concordia (conception d'un circuit tolérant aux pannes et conception d'un convertisseur A/D virgule flottante), Sawan, Gagnon, Savaria, Wang, (Mise en œuvre de convertisseurs analogique à numérique performants), Sawan et Boukadoum de l'UQAM (circuits à ultrasons), Sawan et Roberts de McGill (convertisseurs rapides), Sawan et El-Gamal (circuits à fréquences radio). Kashyap et Wu (Polygrames), Zhang (Concordia) Yao (Ottawa) sur le domaine de radio sur fibre, Kashyap et Maciejko, Azaan (INRS), Bertrand (EPM), Chen (McGill), Kieffer (IRNS) Piché (U Laval), Skorobogatiy (EPM) sur le domaine des sources ultra large bande pour la biophotonique. De plus, Bois et Nicolescu collaborent avec Aboulhamid de l'Université de Montréal, et Tahar de l'Université Concordia sur la conception et la vérification des systèmes sur puce complexes. Notons la collaboration avec plusieurs membres du centre PolyGrames, notamment les professeurs Savaria et Laurin (interconnexions de circuits VLSI à très haute vitesse), Sawan et Ghannouchi (Applications des circuits DSPs en micro-ondes), Sawan et Meunier (microélectrodes). Ajoutons que sur le plan de la mise en œuvre de dispositifs microélectroniques médicaux, le professeur Sawan collabore avec le Dr M. Elhilali de l'Université McGill (implant urinaire), le Dr F. Bellemare de l'Université de Montréal (cathéter oephagien), le Dr D. Guitton de l'Université McGill (implant visuel cortical) et le Dr J. Faubert de l'École d'optométrie de l'Université de Montréal (capteurs optiques). Enfin, notons que les professeurs Kashyap, Martel, Meunier, Savaria et Sawan sont titulaires de Chaires du Canada.

OBJECTIFS DU GRM

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique a pour objectif général de «promouvoir et regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».
Plus spécifiquement, le Groupe de Recherche en Microélectronique poursuit les objectifs suivants:

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GRM;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique relève du directeur du département de génie électrique et se compose des membres réguliers, membres associés et d'autres professionnels et chercheurs:

Liste des membres réguliers

- **Dr Yvon Savaria:** professeur titulaire au département de génie électrique, titulaire d'une chaire de recherche du Canada en Conception de systèmes microélectroniques intégrés, directeur du Groupe de Recherche en Microélectronique, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de tolérance aux pannes et de testabilité, à la conception et la vérification des systèmes sur puce (SOC), à la conception des circuits numériques, analogiques et mixtes et aux applications de ces technologies.
- **Dr Yves Audet:** professeur adjoint au département de génie électrique, ses travaux de recherche portent sur les circuits intégrés analogiques, les capteurs d'images CMOS et les interconnections photoniques pour système VLSI.
- **Dr Guy Bois:** professeur titulaire au département de génie informatique qui s'intéresse à la conception des systèmes embarqués, plus particulièrement à leurs spécification, modélisation, partitionnement logiciel/matériel, synthèse, vérification fonctionnelle et prototypage.
- **Dr François Raymond Boyer:** professeur adjoint au département de génie informatique qui s'intéresse aux architectures et méthodes de conception des circuits VLSI. Il s'intéresse notamment à l'optimisation des systèmes exploitant des horloges multiphase.
- **Dr Jean-Jules Brault:** professeur agrégé au département de génie électrique et directeur du Laboratoire de Réseaux Neuronaux (LRN), qui s'intéresse aux diverses architectures et applications des machines neuronales, virtuelles ou électroniques, de même qu'au développement de leurs algorithmes d'apprentissage.
- **Dr. Raman Kashyap:** professeur titulaire aux départements de génie électrique et de génie physique. Il s'intéresse aux nouveaux concepts en photonique pour les applications en radio sur fibre, technologies et composants à bandes interdites, biocapteurs, communications optiques, réseaux de Bragg en fibre optique à base de polymères, nouveaux procédés pour fabriquer des guides d'ondes et leur intégration avec les circuits électroniques. Il est membre fondateur du groupe Polyphotonique et le directeur du laboratoire de concepts photoniques avancés (APCL).
- **Dr Abdelhakim Khouas:** professeur adjoint au département de génie électrique dont les domaines de recherche portent sur le test et la conception en vue du test (chemin de SCAN, BIST, JTAG) des circuits intégrés numériques, analogiques et mixtes, le développement d'outils de CAO pour la microélectronique, le prototypage de systèmes numériques et la synthèse sur FPGA.

- **Dr Sylvain Martel**: professeur agrégé au département de génie informatique et titulaire d'une chaire de recherche du Canada dont le domaine de recherche est principalement la conception de micro et nano systèmes électromécaniques, incluant la nanorobotique pour les applications au niveau moléculaire et atomique en touchant plusieurs aspects comme l'instrumentation, l'électronique, les ordinateurs et ainsi que les systèmes reconfigurables. En nanorobotique, nous exploitons les découvertes fondamentales en nano sciences par la conception de nanorobots capable de travailler au niveau du nanomètre pour créer de nouveaux systèmes, produits et applications.
- **Dr. Gabriella Nicolescu**: professeure adjoint au département de génie informatique qui s'intéresse à la conception de haut niveau des systèmes embarqués hétérogènes composés de sous systèmes spécifiques aux différents domaines d'application: logiciel, matériel, mécanique, optique et RF. Elle travaille aussi sur la conception des systèmes sur puce multiprocesseurs.
- **Dr Mohamad Sawan:** professeur titulaire au département de génie électrique et détenteur d'une chaire de recherche du Canada sur les dispositifs médicaux intelligents, qui s'intéresse à la conception et la réalisation de circuits mixtes (numériques, analogiques, optiques et RF) et à leurs applications dans les domaines industriel (communication sans fil) et biomédical, (stimulateurs et capteurs sensoriels)

Liste des membres associés

- **Dr David Haccoun:** professeur titulaire au département de génie électrique qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI. Il collabore avec MM Savaria et Sawan sur l'implantation de codeurs-décodeurs.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et titulaire d'une chaire de recherche du Canada en micro-ingénierie et nano-ingénierie des matériaux par laser. Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique et avec Mohamad Sawan sur les micro-électrodes.

Liste des chercheurs post doctoraux et autres professionnels

- M. Abedenour Azedine — chercheur postdoctoral
- M. Marc Belleau — associé de recherche
- M. Youcef Bouchebaba — chercheur postdoctoral
- M. Aissa Boudjella — associé de recherche
- M. Stéphane Boyer — associé de recherche
- Mme Irina Kostko — chercheure postdoctoral
- M. Libor Kotcka — chercheur postdoctoral
- M. Éric Legua — associé de recherche
- Mme Galina Nemova — associée de recherche
- M. Bogdan Nicolescu — chercheur postdoctoral
- M. Vincent Treanton — associé de recherche

De plus, les personnes suivantes collaborent aux travaux du groupe à divers titres:

- M. Réjean Lepage: — technicien et chef d'équipe du laboratoire GRM.
- M. Laurent Mouden — technicien du laboratoire GRM
- M. Martin Paré: — technicien du laboratoire GRM.
- M. Alexander Vesey — technicien du laboratoire GRM

Ces personnes forment le Groupe de Recherche en Microélectronique de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la Microélectronique.

PROGRAMME DE RECHERCHE EN VLSI

Domaines

Les programmes de recherche et de formation de chercheurs en VLSI de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie VLSI en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défectuosités;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, et en biomédical par la réalisation de micro stimulateurs implantables;
- Les logiciels de synthèse, de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques, ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse des activités de chaque membre au sein du GRM.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, de circuits de synthèse d'horloge, la conception de circuits analogiques précis, les plates-formes SOC et la vérification des systèmes électroniques. Il englobe aussi les techniques d'autotest et de tolérance aux pannes et aux défectuosités. Le second axe couvre des thèmes divers comme la conception de systèmes de radio configurable, la conception de décodeurs convolutionnels, la conception d'une plate-forme SOC pour la réalisation de processeurs réseau et de systèmes de traitement vidéo, la réalisation de circuits de synthèse d'horloge, la conception de circuits analogiques précis et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Nos travaux sur les méthodes de conception explorent diverses architectures pour la synthèse d'horloge exploitant des accumulateurs de phase qui commandent la sélection de phases dérivées d'une horloge de référence à l'aide de lignes à délais. Ils portent aussi sur l'exploration d'une nouvelle architecture de PLL qui découple les caractéristiques de capture et de maintien. Du côté des circuits analogiques précis, nous explorons les architectures des références de tension, celles des comparateurs de phase précis et sans zone morte de même que nous explorons les architectures de convertisseurs A/D applicables aux systèmes vidéo de haute performance. Nos recherches portent notamment sur la possibilité de calibrer ces circuits par la création locale de résistances de valeurs programmables.

Nous explorons la notion de plate-forme SOC comme façon de développer efficacement des circuits dérivés pour une classe d'application. Une telle plate-forme est composée de modules paramétrables, réutilisables et compatibles entre eux qui forment la base d'une architecture flexible pour la classe d'application ciblée.

En ce qui a trait aux méthodes de vérification, nous explorons le potentiel des langages de vérification (HVL) et des méthodes qui y sont associées. Nous avons expérimenté la méthode de création de banc d'essai suivant une approche de programmation par aspect et nous explorons la possibilité d'assister la création d'aspects couverture et de vérificateur d'assertion qui consomment beaucoup de temps dans la phase de vérification. Nous explorons aussi une méthode pour déterminer l'ordre le plus efficace pour vérifier un système composé de plusieurs modules et une méthode pour analyser une spécification de haut niveau afin d'y détecter les contradictions et les situations pour lesquelles le comportement n'est pas spécifié.

En ce qui a trait aux techniques de tolérance aux pannes, nous les explorons dans le cadre d'un projet qui vise à détecter les pannes transitoires par des méthodes logicielles. Nous explorons notamment la sensibilité aux erreurs douces des systèmes d'exploitation temps réel dans le but d'en améliorer la robustesse.

Applications

Dans le cadre de cet axe, nous explorons un ensemble d'applications. Plusieurs de ces applications permettent d'explorer les méthodes de dimensionnement automatique des chemins de données.

Nous explorons les architectures possibles pour la mise en œuvre des systèmes de traitement vidéo et nous appliquons la méthode de dimensionnement automatique afin de produire des implémentations valides Ce projet sert de véhicule pour appliquer et raffiner les notions de plate-forme SOC. Le projet intéresse la société Gennum.

Nous travaillons aussi à développer des mécanismes d'interconnexion intrapuce de type Network on Chip (NoC), des bus de haute performance compatibles à la norme AMBA et des mécanismes d'interconnexion interpuce adaptés du Hypertransport.

Nous travaillons à la mise en œuvre de diverses classes de modules nécessaires pour la mise en œuvre de radios configurables et de processeurs réseau.

Activités du professeur Audet

Les activités du professeur Audet sont reliées aux capteurs photoniques, fabriqués en procédé CMOS, visant deux champs d'applications spécifiques soient : les capteur d'images intégrés et les détecteurs photoniques de haute performance pour système VLSI à interconnections optiques.

1. Les capteurs d'images CMOS

Ce programme de recherche adresse la problématique de conception et de fabrication de capteurs d'images CMOS de grande surface, qui permettrait d'obtenir une caméra numérique de résolution spatiale comparable à celle d'une caméra avec pellicules chimiques photosensibles. On vise un capteur ayant une matrice de pixel de 36 x 24 mm de surface pour atteindre la compatibilité avec la gamme des lentilles développées pour la photographie SLR 35 mm.

Outre la réalisation d'un capteur d'images de grande surface, les techniques de conception de pixels redondants avec autocorrection développées sont aussi utiles à la réalisation de capteurs d'images employés dans des environnements hostiles comme l'espace, les mines, les réacteurs nucléaires, …etc., là où une caméra peut-être exposée à des radiations, des températures et des pressions extrêmes pouvant endommager le capteur. Ainsi, les propriétés d'autocorrection de l'architecture redondante permettront à la caméra de transmettre des images plus longtemps dans ces milieux hostiles où le remplacement et la réparation sont difficiles, voire impossibles.

2. Les détecteurs photoniques

Ici on s'intéresse au développement de technique de propagation de signaux par modulation photonique, tant sur un même circuit intégré qu'entre puces d'un même système, de façon à éliminer les interconnections métalliques critiques qui limitent la performance des systèmes. Des taux de propagation supérieurs à 1 Gb/s sont visés.

Bien que la recherche sur les interconnections photoniques ait favorisé jusqu'à maintenant les dispositifs III-V pour la conversion de signaux électriques à signaux photoniques, la diminution constante de la taille des structures fabriquées sur technologie CMOS pourrait avantager les dispositifs photoniques au silicium notamment au niveau des photo-détecteurs. Avec la diminution de la taille des structures, les capacités parasites des composants actifs diminuent également de sorte qu'un faisceau lumineux de moindre énergie est requis pour activer une cellule photo-détectrice au silicium et une réponse plus rapide peut être obtenue. Les avantages d'un photo détecteur au silicium pouvant être intégré à même une puce VLSI sont considérables, même si les performances sont moindres qu'un photo-détecteur en technologie III-V. Citons entre autre la simplicité du procédé de fabrication CMOS comparé aux technologies hybrides III-V – CMOS et l'élimination des circuits liés à l'intégrité des signaux d'horloge en amplitude et en phase, tels que les répétiteurs et les circuits de verrouillage de phase (PLL). À l'heure actuelle, dû aux problèmes de délais associés aux interconnections métalliques, il est de plus en plus difficile d'assurer la synchronisation entre les différents modules d'un système VLSI, de sorte que les techniques de propagation de signaux asynchrones sont maintenant envisagées pour relier des modules sur une même puce, ajoutant à la complexité du système. Les interconnections photoniques assureront la performance des systèmes VLSI sans ajouter à leur complexité.

Activités du professeur Bois

Le professeur Bois conduit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux: contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous, la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommé co-design.

Le professeur Bois travaille au développement de méthodes modernes de conception et de vérification conjointe logiciel/matériel. Plus particulièrement, ses travaux visent à solutionner trois problèmes importants:

1. Des outils permettent la spécification, la modélisation et le raffinement d'un système embarqué à partir de langages niveau système (e.g. SystemC). En particulier, nous sommes à développer une plate-forme à haut niveau nommé SPACE (SystemC Partitioning of Architectures for Co-design of Embedded Systems). À partir d'une spécification entièrement décrite en SystemC, SPACE permet la simulation et l'estimation de performance au niveau transactionnel, afin de faciliter l'exploration architecturale et le partitionnement logiciel/matériel. SPACE permet ensuite un raffinement graduel de la spécification afin d'implémenter le système. En terme de plate-forme pour l'implémentation, nous travaillons avec la carte AP100 de Amirix qui est basé sur le Virtex-II Pro (2VP30) de la société Xilinx.

   Également nous travaillons à l'exploration architecturale de processeurs réseaux utilisant un jeu d'instructions configurable (processeur XTensa de Tensilica) et au développement de réseaux intégrés sur puce dans un environnement logiciel/matériel multiprocesseur. Ici, le travail est effectué en collaboration avec la société STMicroelectronics et est réalisé sur leur plate-forme nommé StepNP.

2. Notre effort de réutilisation se fait principalement au niveau des standards de bus. Nous travaillons à la conception de modèles transactionnels pour réseau-sur-puce et bus-sur-puce. Nous travaillons également à la génération d'adaptateurs. Les protocoles utilisés sont l'AHB de AMBA, OCP de Sonics et CoreConnect (PLB et OPB) de IBM.

3. Nous nous intéressons aux méthodes pour faire la vérification fonctionnelle des systèmes embarqués. Plus précisément, nos projets de recherche s'intéressent aux problèmes d'assertions et de couverture de code à partir d'une description haut niveau. En particulier, nous explorons les (nouveaux) langages (standard) tels que *e* et PSL.

Les partenaires industriels qui collaborent à ces projets sont Amirix, STMicroelectronics, PMC Sierra et CMCElectronics, alors qu'au niveau universitaire les collaborateurs sont les professeurs Aboulhamid (Université de Montréal), Tahar (Concordia), ainsi que Nicolescu et Savaria de l'École Polytechnique.

Activités du professeur Boyer

Le professeur Boyer conduit des recherches incluant les domaines de la microélectronique, de la compilation et du traitement de signal. Plus spécifiquement, il s'intéresse au design, à synthèse et à l'optimisation des systèmes conjoints logiciel/matériel dédiés, ainsi qu'au développement d'architectures prenant partie d'un nouveau type d'horloge.

L'horloge à période variable est un concept nouveau, découlant de ses recherches au doctorat, qui pourrait avoir une grande influence sur notre manière de voir les circuits synchrones par rapport aux circuits asynchrones ainsi qu'avoir des nouvelles applications. L'idée est de permettre de moduler la longueur des cycles d'horloges pour pouvoir suivre précisément un ordonnancement. Cet ordonnancement peut être fait à l'avance mais aussi à l'exécution, pour pouvoir traiter de manière optimale les expressions conditionnelles et pour pouvoir tenir compte de d'autres facteurs qui ne sont pas connus lors de la compilation (ou synthèse). À l'exception des circuits asynchrones, les circuits ont présentement une horloge fixe qui limite la possibilité d'ordonnancement. Pour obtenir le meilleur ordonnancement possible, il faut relâcher les contraintes de l'horloge et ce nouveau type d'horloge permet beaucoup plus de flexibilité.

La conception de systèmes dédiés demande à la fois de déterminer la structure matérielle et le logiciel devant s'exécuter sur ce matériel. Une approche conjointe logicielle/matérielle est nécessaire pour la conception et l'optimisation d'un tel système. Pour des systèmes dédiés, les outils doivent permettre la spécialisation (paramétrisation) des composantes. Puis la partie logicielle doit être compilée pour une architecture parallèle possiblement hétérogène (avec des processeurs de plusieurs types différents) et comportant des instructions spéciales. Ses recherches se situent sur différents plans, dont l'automatisation de la séparation logiciel/matériel, la compilation parallélisante pour un système hétérogène configurable, une diminution du temps associé à l'assemblage et test du système, pour un temps de mise en marché minimum.

Application au traitement audio :

Traitement de signal et isolation de la voix dans des prothèses auditives numériques

Le domaine de la prothèse auditive numérique est en expansion, dû au fait que la miniaturisation des processeurs le permet mais aussi au fait que la demande en prothèses auditives augmente (la population vieillit) et que les gens recherchent une qualité supérieure. Des études montrent que l'utilisation de plusieurs microphones est présentement la méthode qui a le plus de succès pour augmenter la discrimination des sons et améliore l'intelligibilité. Par contre, le traitement fait sur ces sources pourrait être amélioré. L'idée du traitement en étude est de faire une analyse de phase, en utilisant des FFT sur les différentes sources, pour réduire les bruits de l'environnement par rapport à la voix venant de l'avant. Le circuit complet de traitement, avec entrée analogique, traitement numérique et sortie analogique ainsi qu'une source électrique, doit être très petit et avoir une faible consommation d'énergie pour avoir une bonne autonomie. Pour ces raisons, un système sur puce («System on Chip» ou SoC) mixte numérique/analogique sera développé.

Les principaux partenaires qui collaborent sur ces recherches sont le professeur E.M. Aboulhamid (Diro, Université de Montréal), sur l'algorithme, la simulation et la vérification, le professeur Y. Savaria (génie électrique, École Polytechnique), sur le côté matériel, le professeur G. Bois (génie informatique, École Polytechnique), dont le domaine de recherche est la conception de systèmes embarqués (dédiés), le professeur A. Saucier (mathématiques, École Polytechnique), sur l'analyse et le traitement de signal.

Les partenaires industriels sont: STMicrelectronics (systèmes dédiés pour les traitements réseaux) et ACE (compilation reciblable).

Activités du professeur Brault

Le professeur Brault dirige le LRN (Laboratoire de Réseaux Neuronaux.) Ses recherches visent plus spécifiquement l'application les algorithmes d'apprentissage (AA) à des problèmes d'inférence sur des données expérimentales en utilisant des machines neuronales (MN), virtuelles ou électroniques. Le champ d'application des AA/MN est très vaste puisque les MN sont des approximateurs universels utilisés tant en classification, en régression qu'en estimation de fonction de densité. D'autre part, vu l'homogénéité des traitements réalisés par les MN, ils peuvent être intégrés relativement aisément sur des circuits électroniques.

Les principales difficultés que l'on rencontre dans le design de ces machines proviennent du fait qu'elles sont habituellement adaptées itérativement et que l'information est massivement distribuée dans les interconnexions de la MN. Parmi ces difficultés, notons, quel type de neurones utilisés (déterministes ou stochastiques, modèle de McCulloch-Pitts ou Hodgkin-Huxley), combien de neurones (capacité à adapter au problème) quel type d'interconnexions (avec ou sans récurrence), quel paradigme/loi d'apprentissage (supervisé ou non, correction d'erreurs, minimisation d'entropie, etc.), quelle fonction de coût à minimiser, etc. Tous ces «hyperparamètres» doivent évidemment conduire à la conception d'une machine capable de bien généraliser (intrapoler ou extrapoler) à partir de nouvelles données.

Les MN qui retiennent particulièrement notre attention sont les macines stochastiques causales (réseaux bayesiens). Ce type de système comporte habituellement un très grand nombre de variables stochastiques et les techniques d'optimisation comme le recuit simulé, sont souvent jugées inutilisables à cause des temps de calcul ou de la mémoire requise pour leur mise en œuvre. En effet, pour valider un réseau bayesien, on doit générer un très grand nombre de cas (vecteurs de tests) en fonction d'une distribution de probabilité multi-variables. On se frappe alors au problème de la «malédiction de la dimensionnalité». Une modification possible est l'ajout d'aspects déterministes dans le processus d'optimisation conduisant par exemple au recuit déterministe RD (Deterministic Annealing).

Concernant les aspects électroniques de ces projets, nous étudions les différents aspects du recuit déterministe (RD) afin de les appliquer en temps réel à l'aide de circuits électroniques mixtes. Nous étudions également la conception de circuits échantillonneurs en fonction d'une distribution de probabilité d'un espace approximé par un ensemble fini de vecteurs obtenus préalablement par RD. Finalement, nous modifions les circuits logiques traditionnels, pour les rendre probabilistiques.

Le professeurs Brault collabore entre autre avec un professeur du GRM soit Mohamad Sawan (implant dans l'aire cortical de la vision: valider un modèle informatique de réseaux biologiquement réalistes).

Activités du professeur Khouas

Le professeur Khouas conduit des activités de recherche dans le domaine de la microélectronique, et principalement dans le domaine de la conception en vue du test « Design for Testability DFT » des circuits intégrés et des systèmes sur puce « System on Chip SOC » et dans le domaine des outils de CAO pour la conception, la vérification et le test des circuits intégrés.

La demande croissante de nouveaux produits électroniques de plus en plus petits, à bas prix et de faible consommation dans toutes les applications de l'électronique a stimulé la croissance rapide des systèmes intégrés sur puce « System on Chip Soc ». Les SOC intègrent des parties analogiques, numériques, mixtes (analogique-numérique), des mémoires et des microprocesseurs sur le même circuit intégré. Les technologies modernes de fabrication de circuits intégrés permettent cette intégration de plusieurs modules sur la même puce, ce qui permet d'avoir des circuits plus performants, plus rapides, plus petits et à faible coût. Par contre, à cause de cette intégration croissante, le test de ces SOC devient de plus en plus difficile et surtout de plus en plus coûteux, ce qui risque de ralentir leur croissance au cours des prochaines années.

L'objectif des travaux de recherche du professeur Khouas est de développer de nouvelles méthodes de test pour les SOC afin de maintenir un coût de test relativement faible par rapport au coût de fabrication. La voix la plus prometteuse pour réduire le coût de test est l'utilisation des méthodes de conception en vue du test. Le but principal de ces méthodes DFT est de rendre les circuits facilement testables en modifiant leur conception. Pour les SOC, l'augmentation de la surface due au matériel ajouté (cellules et routage) et l'augmentation du temps d'application des vecteurs de test sont les deux inconvénients majeurs des méthodes de conception en vue du test existant. Ses travaux de recherche visent à optimiser ces deux paramètres en explorant les trois axes de recherche suivants :

Optimisation de la surface engendrée par les mécanismes d'accès au test des modules internes «Test Access Mechanism TAM»; la norme IEEE P1500 qui est en cours de développement permettra de normaliser et donc de faciliter le test des SOC, mais elle engendrera des contraintes et des coûts additionnels. Cette norme laisse au concepteur du SOC le choix du mécanisme TAM et c'est précisément le TAM qui représente la plus grande partie de la surface additionnelle.

Développement des méthodes de compression/décompression de vecteurs de test : ces techniques permettent de réduire le temps d'application des vecteurs de test et d'assouplir les exigences en terme de mémoire, de nombre de canaux et de vitesse sur les testeurs.

Développement d'un outil d'aide au test pour les SOC: avec la complexité croissante des SOC qui intègrent de plus en plus de modules, le choix des techniques de DFT permettant d'optimiser la surface additionnelle et le temps d'application des vecteurs de test en tenant compte de toutes les contraintes sur les différents modules IP et sur le système est une tâche qui devient de plus en plus complexe et pour laquelle des outils automatiques sont nécessaires. Notre but est d'élaborer un outil d'aide à l'insertion et à l'optimisation des techniques de conception en vue du test pour les SOC.

Activités du professeur Martel

Les activités du professeur Martel se situent principalement dans la recherche et le développement de systèmes miniatures intelligents et plus particulièrement dans le domaine de la nanorobotique. L'objectif actuel consiste à développer des nanorobots avec une infrastructure conçue pour supporter une flotte d'une centaine de ces nanorobots capables d'opérer très rapidement et de façon autonome au niveau moléculaire et jusqu'au niveau des atomes.

Pour ce genre de projets, nous devons développer plusieurs systèmes électroniques et microélectroniques spécialisés pour supporter, contrôler et implanter plusieurs tâches complexes incluant par exemple :

Système en temps réel et de très haute performance de positionnement, de navigation et communication à infrarouge pour plates-formes nanorobotique ;

Système de positionnement miniature de résolution atomique basé sur les techniques de microscopie à effet tunnel ;

Systèmes et instruments miniatures de manipulation, mesure, synthèse et fabrication au niveau moléculaire ;

Système de contrôle embarqué pour déplacement de nanorobots, etc.

Notre intérêt est donc le développement de divers circuits miniatures (analogue et numérique) de haute performance en utilisant diverses approches, techniques, outils de conception et systèmes de vérification/validation essentiellement au niveau système sur puces (SoC).

La miniaturisation, précision, vitesse et le rendement en temps réel sont des aspects très importants et critiques dans la plupart des systèmes électroniques développés pour ce genre de projet. Les systèmes à concevoir sont aussi généralement très complexes et exigeants et font appel à plusieurs technologies qui doivent être intégrées dans des systèmes micro-mécatroniques avec instruments intégrés de très haute précision et opérant à de très grandes vitesses.

Activités du professeur Nicolescu

Gabriela Nicolescu conduit des recherches sur la conception des systèmes embarqués.. Deux types de systèmes sont visés par ses recherches : (1) la dernière génération des systèmes embarqués intégrant des sous-systèmes hétérogènes provenant de différents domaines d'application (ex. électronique, optique, mécanique, RF) et (2) les systèmes-sur-puce intégrant plusieurs processeurs hétérogènes (ex. processeurs configurables, processeurs spécialisés pour un type d'application, processeurs d'usage général). Les thèmes de recherche seront élaborés brièvement par la suite.

Conception des systèmes embarqués hétérogènes

Nos travaux sur la conception des systèmes embarqués hétérogènes portent sur les nouvelles techniques pour la modélisation et la validation globale de ces systèmes. Nous travaillons sur la définition et la mise en place d'un environnement permettant la coopération des concepteurs provenant des domaines d'application différents, avec de différentes cultures et utilisant différents niveaux d'abstraction (ex. RTL, niveau transactionnel), langages de spécification (ex. VHDL, SytemC, Matlab) et modèles d'exécution (simulation native, simulation à base de ISS). Nos travaux explorent particulièrement la modélisation et la simulation des interactions entre les composantes fournies par divers concepteurs et nous explorons les techniques de génération automatique des interfaces d'adaptation entre ces composantes.

Nous utilisons comme applications concrètes les MEMS (micro elctro-mechanical systems), MOEMS (micro opto-elctro-mechnical systems) et les réseaux optiques sur puce.

Conception des systèmes sur-puce multi-processeur

Nos travaux sur la conception des systèmes-sur-puce multi-processeurs portent sur l'exploration architecturale et la validation par simulation de ces systèmes.
Concernant l'exploration architecturale nous étudions des nouvelles architectures mémoires et les algorithmes efficaces pour mapper les différentes applications sur ces architectures. Nous explorons aussi l'impact de l'implémentation des systèmes d'exploitation sur l'efficacité des systèmes multiprocesseurs sur puce. Les approches prises en compte sont : les systèmes d'exploitation implémentés en logiciel, les systèmes d'exploitation implémentés en matériel, et les systèmes d'exploitation logiciels/matériels. Nous explorons aussi l'impact de l'intégration sur même puce des processeurs différents et des systèmes d'exploitation implémentés par les différentes techniques présentés plus haut.
Concernant la validation des systèmes, multi-processeurs, nous explorons de nouvelles modèles de simulation permettant une validation rapide et précise de ces systèmes. Nous étudions les modèles de simulation de haut niveau pour les parties logiciels dépendants du matériel (hardware dependent software) pour la simulation native du logiciel embarqué.

Nous évaluons nos approches à l'aide des applications multi-média (ex. MPEG4, DivX).

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon les grandes priorités suivantes: la conception, la réalisation et le test des circuits intégrés numériques, analogiques, mixtes et à fréquences radio; la conception des systèmes pour l'acquisition et le traitement de signal et d'image; la mise en œuvre de divers appareillages médicaux et plus particulièrement des microstimulateurs et capteurs sensoriels implantables et non-implantables et des systèmes optiques et ultrasoniques portables; l'assemblage et l'encapsulation de dispositifs électroniques; le prototypage rapide se servant de circuits intégrés programmables et de systèmes reconfigurables.

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels soient la réalisation de modules et de systèmes complets servant à des applications industrielles variées tel que les télécommunications, et la mise en œuvre de dispositifs médicaux servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions.

Pour répondre au besoin grandissant des applications en microélectronique nécessitant des systèmes miniatures, nos activités de recherche se trouvent orienter vers la conception et la réalisation des fonctions et systèmes analogiques, mixtes (analogique - numérique) et aux circuits et systèmes à fréquences radio. À titre d'exemple, nous nous intéressons aux trois catégories de convertisseurs analogique à numérique (ADC): rapide, à haute précision et à très basses alimentation et consommation. Nous proposons des filtres reconfigurables et à bande passante élevée, des préamplificateurs à très faible niveau de bruit et à large bande passante, des amplificateurs variés programmables, des régulateurs de tension, des PLL (Phase-Looked Loop) à grande plage d'opération, des FLL (Frequency-Looked Loop) à réponse très rapide. Aussi, des nombreux autres circuits intégrés mixtes font l'objet de nos travaux de recherche dans le cadre des applications médicales : capteurs et microstimulateurs, conversion optique – électrique, ultrasons, microélectrodes, techniques de mesures intégrés, etc. Ajoutons que nous menons des travaux dans le domaine de communications sans fil, plus spécifiquement nous travaillons à la mise au point de systèmes complets, soient des mélangeurs, des MODEM, des ADC des amplificateurs de puissance avec techniques de linéarisation dédiées, etc.

Les systèmes dédiés à des applications médicales doivent être performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. La plupart de ces applications pluridisciplinaires regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités connexes en sciences et génie. Ceci implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc. Nous nous intéressons présentement à mettre en oeuvre un bon nombre de ces systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la création d'une vision acceptable chez les non-voyants; un système de stimulation dédié à la récupération de mouvements simples de bras paralysés; un dispositif capteur de signaux neuronaux dans le but de mesurer le volume d'urine dans la vessie et de commander le mouvement des membres artificiels remplaçant des membres amputés. Nous prévoyons apporter des solutions aux dysfonctions dans le domaine de la respiration (apnée) chez les nourrissants et chez les adultes, de l'énurésie nocturne, etc. À titre d'exemple, nous proposons un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons. Nous poursuivons nos travaux sur les techniques de télémétrie pour le test et la surveillance des activités des neurostimulateurs implantables.

Titulaire d'une Chaire de recherche du Canada sur les dispositifs médicaux intelligents, le professeur Sawan est co-fondateur de l'IFESS (International Functional Electrical Stimulation Society), Fellow de l'IEEE, Fellow de l'Académie Canadienne du génie, membre de l'«Association for Urology and Engineering» et membre de plusieurs comités d'organisation et de programme de conférences nationales et internationales. Fondateur de la conférence internationale IEEE-NEWCAS. À l'École Polytechnique, le professeur Sawan est fondateur du laboratoire de recherche PolySTIM (Laboratoire de neurotechnologies) et directeur du regroupement stratégique en microélectronique du Québec (ReSMiQ),

Pour plus de détails sur les différents travaux cités ci-dessus, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport et à consulter notre site web au http://www.polystim.polymtl.ca

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées au GRM durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Achigui, Hervé	M.Sc.A.	M. Sawan	
Amezzane, Ilham	M.Sc.A.	M. Sawan	
André, Walder	Ph.D..	S. Martel	
Aubray, Laurent	M. Ing.	Y. Audet	
Bendali, Abdelhalim	Ph.D.	Y. Audet	C. Akyel
Benny, Olivier	M.Sc.A.	G. Bois	F. Boyer
Bouendeu, Emmanuel	Ph.D.	Y. Audet	
Boussaa, Mohamed	M.Sc.A.	Y. Audet	
Boyogueno Bendé, André	Ph.D.	M. Sawan	
Buffoni, Louis-Xavier	M.Sc.A.	M. Sawan	
Bui, Hung Tien	Ph.D.	Y. Savaria	
Cantin, Marc-André	M.Sc.A.	Y. Savaria	Y. Blaquière
Castonguay, Ami	M.Sc.A.	Y. Savaria	
Catudal, Serge	M.Sc.A.	Y. Savaria	
Chebli, Robert	Ph.D.	M. Sawan	
Chevalier, Jérôme	M.Sc.A.	G. Bois	M. Aboulhamid
Chouchane, Tahar	M.Sc.A.	M. Sawan	
Chouia, Younes	M.Sc.A.	M. Sawan	
Chureau, Alexandre	M.Sc.A.	Y. Savaria	M. Aboulhamid
Coulombe, Jonathan	Ph.D.	M. Sawan	
Dang, Ding Hung	M.Sc.A.	M. Sawan	Y. Savaria
Danneville, Éric	M.Sc.A.	J.-J. Brault	
Deca, Radu	Ph.D.	O. Cherkaoui	Y. Savaria
Dejmouai, Abdelouahab	Ph.D.	M. Sawan	
Delafosse, Jacques-André	M.Sc.A.	S. Martel	
Désilets, Tommy	M.Sc.A.	M. Sawan	
Deslauriers, François	M.Sc.A.	G. Bois	Y. Savaria
Dinh, Chi-Truc	M.Sc.A.	Y. Savaria	
Djebbi, Moncef	M.Sc.A.	M. Sawan	
Dubois, Martin	M.Sc.A.	Y. Savaria	D. Haccoun
Dubois, Mathieu	M.Sc.A.	Y. Savaria	G. Bois
DuMortier, Cyprien	M.Sc.A.	M. Sawan	
Dungen, Jeffrey	M.Sc.A.	J.-J. Brault	
Dupire, Thierry	M.Sc.A.	M. Sawan	
Duval, Olivier	M.Sc.A.	Y. Savaria	
El Sankary, Kamal	Ph.D.	M. Sawan	
Epassa Habib, D. Gabriel	M.Sc.A.	F. Boyer	Y. Savaria
Fortin, Marc-Antoine	M.Sc.A.	S. Martel	
Fournier, Pierre-Alexandre	M.Sc.A.	J.-J. Brault	
Fouzar, Youcef	Ph.D.	M. Sawan	Y. Savaria
Gervais, Jean-François	M.Sc.A.	M. Sawan	
Ghatar-Zadeh, Ebrahim	Ph.D.	M. Sawan	
Ghattas, Nader	M.Sc.A.	Y. Savaria	
Gorse, Nicolas	Ph.D.	M.Aboulhamid	Y. Savaria
Gosselin, Benoit	M.Sc.A.	M. Sawan	
Grou-Szabo, Robert	M.Sc.A.	Y. Savaria	G. Nicolescu

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Harb, Adnan	Ph.D.	M. Sawan	
Hasan, Syed, Rafay	Ph.D.	M. Nekili	Y. Savaria
Hashemi, Aghcheh Body	Ph.D.	M. Sawan	Y. Savaria
Hu, Yamu	Ph.D..	M. Sawan	
Huang, Zhengrong	Ph.D.	Y. Savaria	M. Sawan
Hubin, Mortimer	M.Sc.A.	G. Bois	R. Roy
Ibrahim, Yasser Montasser	M.Sc.A.	J.-J. Brault	
Izouggaghen, Badre	M.Sc.A.	Y. Savaria	A. Khouas
Kabbaj, Samir	M.Sc.A.	Y. Audet	
Kassem, Abdallah	Ph.D.	M. Sawan	M. Boukaddoum
Laazari Yassir	M.Sc.A.	M. Sawan	
Lafrance, Louis-Pierre	M.Sc.A.	Y. Savaria	
Landry, Alexandre	M.Sc.A.	M. Nekili	Y. Savaria
Larab, Abdelzaiz	M.Sc.A.	A. Khouas	
Lavigueur, Bruno	M.Sc.A.	G. Bois	M. Aboulhamid
Layachi, Mohamed	M.Sc.A.	Y. Savaria	A. Rochefort
Lebel, Éric	M.Sc.A.	M. Sawan	
Lu, Zhijun	M.Sc.A.	M. Sawan	
Mahoney, Patrick	M.Sc.A.	G. Bois	Y. Savaria
Marche, David	Ph.D.	Y. Savaria	Y. Gagnon
Marrouche, Wissam	M.Sc.A.	M. Sawan	
Mbaye, Mama Maria	M.Sc.A.	Y. Savaria	S. Pierre
Morin, Benoit	M.Sc.A.	G. Bois	R. Roy
Morin, Dominic	M.Sc.A.	Y. Savaria	M. Sawan
Morneau, Michel	M.Sc.A.	A. Khouas	
Mounaim, Faycal	M.Sc.A.	M. Sawan	
Naderi, Ali	Ph.D.	M. Sawan	Y. Savaria
Nguyen, Anh Tuan	M.Sc.A.	G. Bois	F. Boyer
Normandin, Frédéric	M.Sc.A.	M. Sawan	
Nsame, Pascal	Ph.D.	Y. Savaria	
Paquet-Ferron, Dominique	M.Sc.A.	M. Sawan	
Peterson, Kevin	M.Sc.A.	Y. Savaria	
Picard, Daniel	M.Sc.A.	Y. Savaria	
Pierron, Loïc	M.Sc.A.	G. Bois	
Pigeon, Sébastien	M.Sc.A.	M. Sawan	M. Meunier
Pontikakis, Bill	Ph.D.	Y. Savaria	F.-R. Boyer
Provost, Ghislain	M.Sc.A.	M.Sawan	D. Haccoun
Provost, Simon	M.Sc.A.	G. Bois	
Py, Jean-Sébastien	M.Sc.A.	M. Sawan	
Qin, Lisheng	M.Sc.A.	M. Sawan	
Quinn, David	M.Sc.A.	G. Bois	S. Chamberlain
Regimbal, Sébastien	M.Sc.A.	Y. Savaria	G. Bois
Renaud, Mathieu	M.Sc.A.	Y. Savaria	A. Khouas
Richard, Jean-François	M.Sc.A.	Y. Savaria	
Robert, Manuel	M.Sc.A.	Y. Savaria	C. Wang
Rondonneau, Mathieu	M.Sc.A.	G. Bois	
Roy, Jean-François	M.Sc.A.	M. Sawan	
St-Pierre-Francis	M.Sc.A.	G. Bois	
Saheb, Jean-François	M.Sc.A.	M. Sawan	Y. Audet
Salomon, Max-Élie	M.Sc.A.	A. Khouas	Y. Savaria
Sehil, Mohamad	M.Sc.A.	M. Sawan	A. Khouas
Simard, Virginie	M.Sc.A.	M. Sawan	

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Tanguay, Bruno	M.Sc.A.	Y. Savaria	M. Sawan
Trabelsi, Abdelaziz	M.Sc.A.	Y. Savaria	Y. Audet
Tremblay, Martin	M.Sc.A.	Y. Savaria	
Trépanier, Annie	M.Sc.A.	M. Sawan	
Trépanier, Jean-Luc	M.Sc.A.	M. Sawan	Y. Audet
Truong, Olivier-Don	M.Sc.A.	S. Martel	
Tsikhanovich, Alena	Ph.D.	M. Aboulhamid	G. Bois
Vaillancourt-Veilleux, Nicolas	M.Sc.A.	M. Sawan	
Wild, Guillaume	M.Sc.A.	Y. Savaria	M. Meunier
Zhou, Bo	M.Sc.A.	A. Khouas	
Zong, Pu	M.Sc.A..	Y. Savaria	M. Sawan

Étudiants récemment inscrits

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Auclair, Gérard	M.Sc.A.	M. Sawan	
Ayoub, Amer Elias	M.Sc.A.	M. Sawan	
Chen, Laurent	M.Sc.A.	F. Gagnon	Y. Savaria
Deng, Shihong	Ph.D.	M. Sawan	
Doljanu, Alexandra Delia	M.Sc.A.	M. Sawan	
Faucher, Corentin	M.Sc.A.	J.-J. Brault	
Genest, Pier-Olivier	M.Sc.A.	J.-J. Brault	
Gheorghe, Luiza	Ph.D.	G. Nicolescu	
Hajj Hassan, Mohamad	M.Sc.A.	M. Sawan	
Lesbros, Guillaume	M.Sc.A.	M. Sawan	
Mahrez, Omar	M.Sc.A.	O. Cherkaoui	Y. Savaria
Nadeau, Patrick	M.Sc.A.	M. Sawan	
Robert, Pierre-Yves	M.Sc.A.	M. Sawan	
Saleh, Abbas	M.Sc.A.	M. Sawan	
Tanguay, Louis-François	M.Sc.A.	M. Sawan	
Tapp, Marti	M.Sc.A.	G. Nicolescu	

Titres des projets et diplômes en cours de chaque étudiant

Cette section contient une liste de projets avec le nom des personnes concernées. Plus de détails sur chacun des projets se trouvent dans les descriptions individuelles des étudiants chercheurs.

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
Achigui, H.	M.Sc.A.	Modélisation d'un système optique multi-canal dédié à la détection de la variation de concentration d'oxygène.
Amezzane, I,	M.Sc.A.	Technique non invasive de détection d'apnée du nourrisson.
André. W.	Ph.D.	L'exploitation des comportements et des caractéristiques des bactéries magnéto-tactiques pour la création de nouveaux systèmes microélectroniques.
Aubray, L.	M.Ing.	Conception dun capteur d'empreintes digitales.
Bendali, A.	Ph.D.	Conception de récepteurs photoniques CMOS pour interconnexions optiques opérant à très haute vitesse.
Benny, O.,	M.Sc.A.	Implémentation d'un modèle de communication transactionnelle dans une plateforme en SystemC.
Bouendeu, E.	Ph.D.	Étude, conception et caractérisation d'un capteur d'image CMOS à haute tension.
Boussaa, M.	M.Sc.A.	Conception et réalisation en technologie CMOS 0.18µm d'un réseau d'horloge photonique
Boyogueno Bendé, A.	Ph.D.	Technique de conception d'interfaces optoélectroniques à très haut débit.
Buffoni, L.-X.,	M.Sc.A.	Conception d'un système de traitement d'image dédié à un implant visuel cortical.
Bui, H.T.,	Ph.D.	Techniques de circuits à haute-vitesse et leur application dans la conception de transcepteurs multi-gigahertz.
Cantin, M.-A.,	Ph.D.	Conversion matérielle automatique d'algorithmes de traitement de signal du format virgule flottante au format virgule fixe.
Castonguay,A.	M.Sc.A.	Architecture de communication de systèmes embarqués sur puces multiples.
Catudal, S.	M.Sc.A.	Processus de validation orienté performance applicable au traitement vidéo.
Chebli, R.,	Ph.D.	Émetteur-récepteur sans fil intégré sur puce pour un système ultrasonique.
Chevalier, J.	M.Sc.A.	Partitionnement, vérification et raffinement de système logiciel/matériel conçu à haut niveau en SystemC.
Chouchane, T.	M.Sc.A.	Conception d'un mélangeur RF en technologie CMOS dédié aux applications WLAN.
Chouia, Y.,	M.Sc.A.	Échantillonneur bloqueur à haute performance dédié à des systèmes de communication sans fil à très large bande.
Chureau, A.	M.Sc.A.	Modélisation et raffinement de systèmes sur puce en UML-RT pour une application de radio réalisée par logiciel
Coulombe, J.,	Ph.D.	Stimulateur visuel intra cortical implantable.
Dang, D. H.,	M.Sc.A.	Convertisseurs analogique à numérique de type parallèle à hauts taux d'échantillonnage.
Danneville, E.,	M.Sc.A.	Estimation de la direction d'arrivée d'un faisceau par rapport à un réseau d'antennes à l'aide de réseaux de neurones.
Deca, R.	Ph.D.	Modèle de configuration des services réseau.
Dejmouai, A.	Ph.D.	Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables.
Delafosse, J.A.	M.Sc.A.	Conception, fabrication, caractérisation et test d'un micromoteur MEMS (Projet Walking-die)
Désilets, T.	M.Sc.A.	Conception d'un système d'acquisition de la pression transdiaphragmatique et de l'électromyogramme du diaphragme intégré à un cathéter oesophagien.
Deslauriers, F.,	M.Sc.A.	Développement et analyse de réseaux intégrés sur puce dans un environnement logiciel/matériel multiprocesseurs.
Dinh, Chi-Truc	M.Sc.A.	Développement d'une méthode de vérification des systèmes numériques basée sur des techniques de test par mutation
Djebbi, M.	M.Sc.A.	Conception d'amplificateur en mode courant à décalage de tension réduit et

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
		application à la réalisation d'un filtre passe bande à fréquence centrale programmable.
Dubois, M.	M.Sc.A.	Analyse et conception de registres à décalage pour la réalisation de décodeurs à seuil itératif configurables.
Dubois, M.	M.Sc.A.	Modélisation et conception d'une plate-forme de traitement et transmission des signaux vidéo numériques.
DuMortier, C.	M.Sc.A.	Transformée en ondelettes discrète en vue de traiter les signaux neuronaux.
Dungen, J.	M.Sc.A.	Auto-organisation biomimétique de réseaux de neurones à pulses en a VLSI
Dupire, T.	M.Sc.A.	Lien RF bidirectionnel faible puissance pour dispositifs implantables.
Duval, O.,	M.Sc.A.	Conception d'un dispositif microélectronique de test pour des composants nanoélectroniques.
Elsankary, K.	Ph.D.	Convertisseurs analogiques/numériques (CAN) dédiés à des systèmes de communications sans fil à très large bande.
Epassa H, G.,	M.Sc.A.	Conception d'un processeur à période d'horloge variable
Fortin, M.A.,	M.Sc.A.	Synchronisation d'une alimentation intermittente avec les déplacements d'un micro-robot.
Fournier, P.A.,	M.Sc.A.	Prédiction des caractéristiques timbrales de phonèmes pour la synthèse de voix réaliste.
Fouzar, Y.	Ph.D.	Contributions aux systèmes à phase asservie rapides et à haute performance.
Gervais, J.-F.	M.Sc.A.	Échange bidirectionnel de données avec un implant électronique alimenté par lien inductif.
Ghafar-Zadeh, E.,	Ph.D.	Laboratoire sur une puce dédié à l'analyse et le dignostiquede bioparticules.
Ghattas, N.	M.Sc.A.	Architecture qui teste et répare automatiquement les mémoires ayant une capacité ultra large.
Gorse, N.,	Ph.D.	Vérification à haut niveau d'abstraction, de la cohérence des requis dans les designs : une validation conceptuelle des requis.
Gosselin, B.,	Ph.D.	Conception et réalisation de circuit à bas bruit et basse consommation pour l'étage d'entrée d'un système d'acquisition de signaux corticaux.
Grou-Szabo, R.,	M.Sc.A.	Plate-forme d'intégration reconfigurable spécialisée pour applications vidéo.
Harb, A.	Ph.D.	Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales.
Hasan, S.R.	Ph.D.	Conception de réseaux-sur-puces (NoC) basés sur la méthode GALS.
Hashemi, S.	Ph.D.	Amélioration de l'efficacité des chaînes de conversion de puissance pour implants biomédicaux.
Hu, Y.,	Ph.D.	Techniques CMOS sans-fil dédiées aux liens électromagnétiques de dispositifs médicaux implantables.
Hubin, M.,	M.Sc.A.	Une approche SOC d'un modèle multi-processeur de « Hardware Multithreading»
Ibrahim, Y.M.	M.Sc.A.	Implémentation d'un FPGA d'une simulation du système immunitaire basé sur un réseau d'automates cellulaires.
Izouggaghen, B.	M.Sc.A.	Caractérisation et modélisation des sources de gigue et d'étalement spectral dans un circuit de synthèse directe de phase «DDPS».
Kabbaj, S.	M.Sc.A.	Modélisation d'un capteur CMOS
Kassem, A.	Ph.D.	Nouvelle techniques de conception système sur puce dédiées à l'imagerie par ultrasons.
Laaziri, Y.,	M.Sc.A.	Étude, modélisation et design d'une interface dédiée à la caractérisation du contact électrode-tissus nerveux.
Lafrance, L.-P.,	Ph.D.	Plateforme de mesures pour la caractérisation et le développement de système hybride Nano/CMOS.
Landry, A.,	M.Sc.A.	Conception d'un bus partagé AMBA AHB de 2 GHz pour les plateformes SOC.
Larab, A.,	M.Sc.A.	Nouveau wrapper P1500 incorporant une structure BIST pour le test des IP et des interconnexions d'un système sur puce.
Lavigueur, B.	M.Sc.A.	Utilisation de processeurs configurables avec traitement multiprocessus dans

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
		une plate-forme de développement à haut niveau.
Layachi, M.	M.Sc.A.	Influence du couplage π-π dans le transport électrique à travers les assemblages moléculaires de type 1,4 dithiol benzène.
Lebel, E.,	M.Sc.A.	Circuits programmables numériquement réalisant des fonctions analogiques.
Lu, Z.	M.Sc.A.	Conception d'un convertisseur analogique à numérique Sigma Delta CMOS à basse alimentation et faible consommation d'énergie.
Mahoney, P.,	M.Sc.A.	Conception d'une architecture de passerelle VLAN avec le processeur Xtensa de Tensilica.
Marche, D.,	Ph.D.	Convertisseurs numériques à analogiques haute performance.
Marrouche, W.,	M.Sc.A.	Conception des systèmes d'acquisiton multi canal intra cortical : compression et détection du signal ENG.
Mbaye, M.M.	M.Sc.A.	Caractérisation et mise en œuvre de métriques orientées boucle pour l'exploration architecturale de plateforme
Morin, B.	M.Sc.A.	Exploration d'une plateforme reconfigurable à mémoire distribuée.
Morin, D.	M.Sc.A.	Convertisseur analogique à numérique (CNA) pour des applications vidéo haute définition.
Morneau, M.	M.Sc.A.	Méthodes d'accélération de la simulation analogique appliquées à l'optimisation de circuit et la simulation de pannes.
Mounaim, F.,	M.Sc.A.	Acquisition de signaux neuronaux pour l'estimation du volume et de la pression de la vessie.
Naderi, A.,	Ph.D.	Un convertisseur analogique à numérique (CAN) passe-bande sigma-delta dédié pour des applications SDR.
Nguyen, A.T.	M.Sc.A.	Conception, implémentation et synthèse d'un système sur puce pour l'isolation de la voix dans des prothèses auditives numériques.
Normandin, F.,	M.Sc.A.	Réseau de capteurs optiques pour mesures in-vivo en temps réel des variations de concentration d'oxygène dans les tissus.
Nsame, P.	Ph.D.	Techniques et méthodes de conception des systèmes intégrés de type SOC.
Paquet-Ferron, D.	M.Sc.A.	Modélisation de la conduction neuronale dédiée au contrôle de l'appareil urinaire.
Peterson, K.,	M.Sc.A.	Environnement de vérification en temps réel basé sur des assertions pour les systèmes matériels.
Picard, D.	M.Sc.A.	Conception et réalisation d'un prototype de circuit intégré à l'échelle de la tranche
Pierron, L.,	M.Sc.A.	Modèle pour l'exploration architecturale rapide de systèmes sur puces reprogrammables.
Pigeon, S.	M.Sc.A.	Conception et fabrication d'une matrice de microélectrodes corticales implantables.
Pontikakis, B.,	Ph.D.	La conception d'architectures et de circuits de faible puissance à délai variable.
Provost, G.,	M.Sc.A.	Exploration architecturale et implémentation matérielle du décodeur à seuil itératif de codes convolutionnels doublement orthogonaux.
Provost, S.,	M.Sc.A.	Exploration architecturale de processeurs configurables utilisés dans une plate-forme multi-processeurs réalisant de l'encodage mpeg4.
Py, J.S.	M.Sc.A.	Simulation des effets de la simulation corticale.
Qin, L.	M.Sc.A.	Conception et réalisation d'un CAN Delta-Sigma à bande passante et fréquences programmables.
Quinn, D.	M.Sc.A.	Distribution d'une application de traitement de paquets pour une architecture multiprocesseur sur puce.
Régimbal, S.	M.Sc.A.	Automatisation de la couverture fonctionnelle des circuits numériques.
Renaud, M.	M.Sc.A.	Détecteurs de phase linéaires de précision à usage multiple.
Richard, J. –F.	M. Ing.	Conception d'interfaces haut-voltage utilisant la technologie CMOS/DMOS.
Robert, M,	M.Sc.A.	Étude des convertisseurs analogique à numérique en virgule flottante: performance théorique.

Nom de l'étudiant	***Diplôme en cours***	***Le titre de son projet***
Rondonneau, M.,	M.Sc.A.	Encapsulation d'un système d'exploitation temps-réel dans une API SystemC afin d'intégrer une plate-forme de codesign en System C destinée au partitionnement des systèmes sur puces (SoC).
Roy, J.-F.,	M.Sc.A.	Détecteur d'activité pour un système d'acquisition de signaux corticaux implantables.
St-Pierre, F	M.Sc.A.	Implémentation matérielle sur RFPGA et analyse d'un réseau sur puce dans un environnement matériel multiprocesseurs.
Saheb, J.-F.,	M.Sc.A.	Pilote à haut voltage pour le contrôle d'activateurs MEMS piézoélectriques et ultrasoniques.
Salomon, M.-E.	M.Sc.A.	Caractérisation et modélisation des sources de gigue et d'étalement spectral dans un circuit de synthèse numérique directe de phase «DDPS» et amélioration des performances.
Sehil, M.,	M.Sc.A.	Conception et optimisation d'un lien inductif intégré pour assurer un transfert adéquat d'énergie à l'implant.
Simard, V.,	M.Sc.A.	Conception d'un module de traitement de signal par transformées en ondelettes pour un système d'acquisition de signaux corticaux.
Tanguay, B.	M.Sc.A.	Chaîne de traitement numérique basée sur des processeurs configurables pour la radio reconfigurable par logiciel (SDR).
Trabelsi, A.	Ph.D.	Correction de l'audition par traitement de la parole dans des prothèses auditives numériques.
Tremblay, J-M.,	M.Sc.A.	Conception d'un circuit de conversion de protocoles pour la transmission de vidéo sur des réseaux haute vitesse
Trépanier, A.,	M.Sc.A.	Système mixte dédié à la capture d'image et à la récupéraiton de sa structure 3D.
Trépanier, J.-L.,	M.Sc.A.	Capteur d'image intégré à très large bande dynamique pour stimulateur cortical.
Truong, O.D.	M.Sc.A.	Intégration de moteurs électrostatiques et d'un system-on-chip à l'aide d'interconnexions électriques compactes dans une structure en trois dimensions.
Tsikhanovoch, A.,	Ph.D.	
Vaillancourt, Veilleux, N.	M.Sc.A.	Modélisation et caractérisation d'une architecture générique de systèmes ultrasoniques portables.
Wang, J.	M.Sc.A.	Design et implémentation d'un module de synchronisation et de traitement des échos ultrasoniques.
Wild, G.,	M.Sc.A.	Caractérisation de résistances diffusées formées par intervention laser.
Zhou, B.	M.Sc.A.	Caractérisation et mesure des effets des fluctuations des procédés de fabrication sur les délais de propagation dans les cellules de chaînes à délai.

Description détaillée des projets d'étudiants

ACHIGUI FACPONG , Hervé **DIPLÔME: M.Sc.A.**

TITRE:

Design d'un système optique multi-canal dédié à la détection de la variation de la concentration d'oxygène.

RÉSUMÉ:

Le but de ce projet est de réaliser un système optique multi-canal de réception des signaux lumineux proche de l'infrarouge (NIRS), dédié à la détection de la variation de la concentration de l'oxygénation. Ce système sera utilisé pour l'identification des signaux précurseurs des crises épileptiques chez un patient.

PROBLÉMATIQUE:

L'épilepsie, trouble neurologique caractérisé par des changements soudains et brefs dans la façon de fonctionner du cerveau, est une maladie qui touche plus de 1% (50 millions) de la population mondiale, dont plus de 300 000 canadiens. Les systèmes cliniques utilisés jusqu'à présent pour détecter les signes précurseurs des crises nécessitent de gros appareillages, et obligent le patient à être immobile et à rester relié à un ordinateur qui effectue le traitement des données reçues des différents capteurs (EEG, MEG, fMRI, …). Nos travaux permettront de construire un système portable, qui fonctionne à très basse alimentation, avec une faible consommation de puissance. Le récepteur devra être capable d'amplifier des signaux de très faible amplitude, étant donné la forte atténuation des signaux lumineux par le cerveau humain. Le produit final permettra d'effectuer en temps réel les mesures de changement/variation de concentration d'oxygène dans le cerveau.

MÉTHODOLOGIE:

L'implémentation d'un tel système de détection nécessite les étapes suivantes:

- Modélisation du système de réception – réseau d'émetteurs et de capteurs optiques;
- Intégration des modules du détecteur des signaux proches infrarouges;
- Simulation et caractérisatin du système intégré;
- Validation expérimentale du prototype intégré.

RÉSULTATS:

Une modélisation du transport de la lumière proche de l'infrarouge à travers les couches du cerveau est faite et nous permet d'obtenir des paramètres spécifiques pour caractériser chaque élément du récepteur. Des modèles sont réalisés et nous faisons l'intégration de ces modèles pour construire le premier prototype intégré du système de réception. Après avoir valider le modèle haut niveau du système et fabriqué une première version du récepteur, nous sommes maintenant dans la phase d'intégration des différents modules et composants du système. Cela nous permettra de valider expérimentalement le fonctionnement d'une chaîne de récepteurs avant la fabrication du prototype final intégré.

AMEZZANE, Ilham **DIPLÔME: M.Sc.A.**

TITRE :

Technique non invasive de détection d'apnée du nourrisson.

RÉSUMÉ :

L'objectif de ce projet est la réalisation d'un système non invasif de surveillance à domicile des apnées du nourrisson qui surviennent souvent durant le sommeil et qui peuvent entraîner le décès si l'entourage (parents ou infirmière) n'y est pas prévenu par des alarmes. Une apnée correspond à une interruption de la respiration de plus de 10 secondes. Celle-ci peut être obstructive, ce qui correspond à une poursuite des mouvements respiratoires, centrale avec une interruption complète des mouvements thoraciques et abdominaux ou mixtes (centrale puis obstructive). La survenue de plus de 5 apnées par heure de sommeil définit le Syndrome d'Apnées du Sommeil (SAS).

PROBLÉMATIQUE :

L'un des principaux problèmes associés à la surveillance des apnées du sommeil est dû au fait que toutes les techniques existantes et qui sont relativement fiables sont malheureusement invasives (masque naso-facial, électrodes d'impédance thoracique, plethysmographie inductive) ce qui par conséquent entraîne d'une part un inconfort et une limitation du mouvement pendant le sommeil et d'autre part une sensibilité aux artefacts de mouvement qui se traduisent souvent par de fausses alarmes (positives ou négatives). Nous nous proposons donc de réaliser un système de surveillance sans contact avec le bébé et qui est basé sur la détection du volume respiratoire, qui est le paramètre significatif de la mécanique ventilatoire, au lieu du mouvement thoracique.

MÉTHODOLOGIE :

Pour répondre aux objectifs fixés, nous envisageons de modéliser un dispositif qui comprend une enceinte où sera placée le bébé, dont le volume doit être déterminé de façon à ce que le capteur qui sera utilisé pour la détection des variations de pression soit suffisamment sensible, et dont les conditions : air, température et humidité sont contrôlables.

RÉSULTATS :

Les simulations du modèle bidimensionnel de l'écoulement de l'air, de la température, du transport de CO_2 à l'intérieur de l'enceinte ont été effectuées.

ANDRÉ, Walder **DIPLÔME: Ph.D.**

TITRE:

L'exploitation des comportements et des caractéristiques des bactéries magnéto-tactiques pour la création de nouveaux systèmes microélectroniques.

RÉSUMÉ :

À partir de systèmes informatiques et électroniques intégrés, contrôler le déplacement des bactéries, lesquelles sont considérées comme des pièces motrices dans des dispositifs miniatures, afin de développer de nouveaux systèmes microbiomécatroniques.

PROBLÉMATIQUE:

Construire des systèmes miniatures à basse consommation de puissance.

MÉTHODOLOGIE:

Utiliser la méthodologie des systèmes intégrés sur puce (SoC) pour le design des systèmes pour le contrôle des bactéries magnéto-tactiques.

RÉSULTATS:

La première étape consiste à faire une grille qui servira de plateforme sur laquelle sera aussi intégrée des composants électroniques pour effectuer les premiers tests pour le contrôle des bactéries. Nous sommes au stade d'implémentation de cette grille qui sera envoyée à la fabrication à la CMC.

AUBRAY, Laurent **DIPLÔME: M.Ing.**

TITRE:

Conception d'un capteur d'empreintes digitales.

RÉSUMÉ:

Le capteur sera constitué d'une seule ligne horizontale de pixels ainsi que d'une ligne verticale. Le doigt est balayé à la surface du capteur. La ligne horizontale sert à l'échantillonnage principal de l'empreinte; l'image étant ensuite reconstituée au niveau logiciel. La ligne verticale sert à la mesure de la vitesse de déplacement du doigt. Les pixels sont échantillonnés les uns après les autres en succession. Plus le doigt est en contact avec le pixel activé et plus la résistance lue sur ce pixel sera faible. En mesurant cette résistance, on peut alors déterminer la forme de l'empreinte. Un module de gain automatique est utilisé dans le capteur pour s'ajuster à la résistivité de la peau de chaque individu, car celle-ci peut varier grandement.

PROBLÉMATIQUE:

De nombreux détecteurs d'empreintes digitales existent actuellement sur le marché. La plupart sont optiques ou capacitifs. Quelques uns fonctionnent sur un principe thermique. Malheureusement, ces capteurs sont généralement gros et nécessitent l'usage d'un processeur externe pour le traitement de l'image et la reconnaissance de l'individu. Également, le coût de ces capteurs est généralement élevé à cause du nombre de micropièces nécessaires.

Cest différents problèmes font en sorte que ces capteurs peuvent difficilement être utilisés dans de petits appareils (téléphones cellulaires, ordinateurs portables, agendas électroniques, cadenas) pour reconnaître l'usager, à cause soit de leur taille ou soit de leur coût. Cependant, un capteur pourant s'intégrer à de tels systèmes offrirait d'intéressantes possibilités pour contrer la fraude ou le vol. Ce document s'inscrit dans le cadre d'un plus vaste projet qui vise à concevoir un détecteur d'empreintes miniatures qui fonctionnera en utilisant une méthode jamais utilisée auparavant pour mesurer l'empreinte du doigt, soit la détection de la résistance électrique du doigt.

MÉTHODOLOGIE:

Le capteur a été conçu en CMOSP35, ce qui offre une meilleure protection contre les décharges électrostatiques que le CMOSP18. Cependant, il a été impossible d'obtenir suffisamment d'espaceà la CMC pour fabriquer le cpteur. Celui-ci sera donc migré vers le 0.8 micron haut-voltage dans une version future, ce qui devrait à la fois être plus adapté pour le système et permettre d'obtenir plus facilement de l'espace de silicium via la CMC. Il reste donc cette étape à effectuer ainsi que la vérification de la méthode utilisée lorsque le capteur sera commandé.

RÉSULTATS:

Le layout a été terminé en CMOSP35. Les différents modules ont été simulés à la fois avant et après le layout et semblent donner des résultats concluants. Il est possible de reconnaître l'empreinte à travers les signaux observés. Il est cependant difficile d'être certain hors de tout doute que le capteur fonctionnera tel que prévu à cause de paramètres difficiles à mesurer, principalement le bruit dans les signaux ainsi que la résistivité de la peau qui varie d'un individu à l'autre. Également, certains facteurs ne sont pas vraiment simulables, telle que la qualité du contact du doigt avec les pixels.

BENDALI, Abdelhalim **DIPLÔME: Ph.D.**

TITRE:

Conception de réeepteurs photoniques CMOS pour interconnexions optiques opérant à très haute vitesse.

RÉSUMÉ:

Dans le présent travail, nous proposons d'utiliser le procédé CMOS standard pour la fabrication de détecteurs photoniuqes opérant à très haute fréquence. L'objectif visé par la technique proposée est d'améliorer les performances des systèmes numériques rapides, intégrées en technologie CMOS.

PROBLÉMATIQUE:

L'une des problématiques majeures pour la synthèse numérique à haute vitesse est le biais de synchronisation (BS), skew, qui est actuellement parmi les principaux facteurs limitatifs de la performance des systèmes intégrés synchrones. Une tendance récente et très peu explorée propose de remplacer les interconnexions métalliques par leurs équivalents optiques. Parmi les bénéfices de cette approche on peut citer : une plus large bande passante, une dégradation très faible du signl véhiculé,l une immunité aux interférences électromagnétiques et une réduction notable du BS. Ce qui permet une synchronisation quasi parfaite du système avec une cadence de plusieurs dizaines de giga Hertz.

MÉTHODOLOGIE:

Afin d'émettre ou de recevoir de l'information sur l'interconnexion optique, des dispositifs électro-optiques sont utilisés. Un système expérimental d'émission et de réception optique sera développé afin d'étudier la génération des signaux électriques ultra-rapides (supérieurs à 1 Giga Hertz) produits par des photodétecteurs à semi-conducteurs CMOS basés sur de nouveaux concepts. Le système d'émission optique est principalement composé d'une source lumineuse à diode laser modulée à haute fréquence. Divers dispositifs photodétecteurs seront fabriqués en technologie CMOS 0.18µm et caractérisés à partir de cette source.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

BENNY, OLIVIER **DIPLOME: M.Sc.A.**

TITRE:

Implémentation d'un modèle de communication transactionnel dans une plate-forme en System C.

RÉSUMÉ :

Avant d'engager le développement d'un système sur puce, une étape de partitionnement doit être franchie, dans laquelle l'application est divisée en plusieurs modules matériels et logiciels à concevoir ou réutiliser. Un projet actuel au sein du groupe de recherche a pour but la conception d'une plate-forme qui pourra servir à la fois d'architecture de base et d'outil d'aide à la conception des systèmes numériques. Le sous projet présenté consiste à fournir un modèle de communication à plusieurs niveaux d'abstraction pour la plate-forme. Le raffinement des communications pourra se faire de façon transparente le plus possible.

PROBLÉMATIQUE :

Au niveau système, la conception d'une application embarquée peut être amorcée en premier lieu par l'élaboration d'un modèle purement fonctionnel, où l'on exprime la fonctionnalité désirée d'une application en termes de modules, de ports, d'interfaces, de processus et de canaux. L'étape subséquente consiste à partitionner les modules; c'est-à-dire de décider de la nature matérielle ou logicielle que prendra ces différents modules lors de la synthèse. L'objectif primordial de notre méthodologie est de permettre aux concepteurs de profiter pleinement de la plate-forme pour pouvoir développer leurs applications, sans avoir à modifier le système d'exploitation ou les composants généraux de la plate-forme. Pour ce faire, nous devons garantir que les modules écrits en SystemC pourront être implémentés en logiciel ou en matériel, et qu'à tout moment il sera possible de changer la nature d'un module facilement.

MÉTHODOLOGIE :

SystemC est une bibliothèque d'objets en C++ qui permet de modéliser à haut niveau et de simuler des systèmes matériels et logiciels. La réalisation d'une plate-forme en SystemC nommée SPACE s'inscrit dans un plus vaste projet développé par le groupe de recherche: la réalisation d'un outil permettant la conception bout en bout de systèmes embarqués. À son niveau, la plate-forme en SystemC permettra d'effectuer efficacement la partition entre les modules logiciels et les modules matériels. Pour cela, un utilisateur pourra tester différentes configurations logicielles/matérielles et ce, sans avoir à faire de changements dans le code de ses modules. Ces configurations seront simulées par SystemC et une série d'estimateurs renseignera le concepteur sur le rendement de sa configuration, comme les délais, la puissance, et la surface. Parallèlement à la simulation, des outils de vérification l'assureront de la validité du système. Une fois sa configuration choisie et validée, l'utilisateur pourra raffiner son système en diminuant le niveau d'abstraction, pour se rapprocher graduellement de la plate-forme réelle.

RÉSULTATS :

L'avantage majeur de SPACE est sans doute ses niveaux d'abstraction, qui permettent au concepteur de choisir le niveau de détail voulu pour ses simulations. La principale lacune est le fait qu'il n'y ait pas vraiment d'implémentation RTL équivalente au modèle raffiné. Les exemples d'applications développés démontrent qu'une simulation au premier niveau d'abstraction est environ 50 fois plus rapide qu'au niveau plus bas, où un ISS (Instruction Set Simulator) et un canal de type TLM (Transactional Level Model) synchrone consomment plus de temps de simulation. Par contre, à ce niveau, les simulations informent le concepteur du nombre de cycles d'horloges lors de l'exécution, ce qui lui permet d'estimer ses choix de partitionnement. Le mémoire a été déposé et accepté.

BOUENDEU, EMMANUEL **DIPLÔME: Ph.D.**

TITRE:

Étude, conception et caractérisation d'un capteur d'image CMOS à haute tension.

RÉSUMÉ:

Les faiblesses des capteurs d'images CMOS actuelles se résument en terme de faible rendement quantique et facteur de remplissage, plage dynamique réduite, courant d'obscurité élevé et niveau de bruit considérable au regard des capteurs d'images CCD qui constituent la référence pour les applications de ponte. Avec la venue des technologies CMOS à haute tension, il serait désormais possible d'améliorer certains paramètres clés des capteurs d'images CMOS.

PROBLÉMATIQUE:

Cette recherche s'adresse à l'étude, la conception et la caractérisation d'une matrice pixel en technologie CMOS haut voltage dans le but d'améliorer les performances d'un capteur d'images. Les possibilités de la réalisation de la matrice photosensible en technologie standard CMOS haute tension seront explorées. La caractérisation de la matrice photosensible devrait être effectuée afin d'évaluer les performances d'un tel système en termes de plage dynamique, efficacité quantique, réponse spectrale, linéarité, facteur de remplissage et autres.

MÉTHODOLOGIE:

Pour mener à bien cette recherche, les grandes lignes de la méthodologie se résument comme suit :

- Design et simulation de l'architecture de pixel photo-MOS;
- Design et simulation de l'architecture de pixel Photodiode;
- Design et simulation de la matrice de comparaison à une puce;
- Métrologie des architectures, comparaison et discussion des résultats;
- Problématique de l'architecture à grand format.

RÉSULTATS:

Présentement, les résultats de cette recherche ne sont pas encore disponibles.

BOUSSAA, Mohamed **DIPLÔME: M.Sc.A**

TITRE:

Conception et réalisation d'un réseau d'horloge photonique en technologie CMOS 0.18µm.

RÉSUMÉ:

Dans le présent travail, nous proposons d'utiliser une boucle DLL et un multiplicateur pour générer l'horloge à partir d'un signal de laser qui sert à synchroniser les différentes boucles DLL dans le chip. L'objectif visé par la technique proposée est de créer des horloges localisées qui peuvent monter en fréquences et qui sont synchronisées par un rayon laser de faible fréquence. Ce travail fait partie d'un projet de distribution d'horloge dans un chip par voix optique.

PROBLÉMATIQUE:

L'une des problématiques majeure pour la synthèse numérique à haute vitesse est le biais de synchronisation (BS), skew, qui est actuellement parmi les principaux facteurs limitatifs de la performance des systèmes intégrés synchrones. Une tendance récente et très peu explorée propose de remplacer les interconnexions métalliques par leurs équivalents optiques. Parmi les bénéfices de cette approche on peut citer : une plus large bande passante, une dégradation très faible du signal véhiculé, une immunité aux interférences électromagnétiques et une réduction notable du BS. Ce qui permet une synchronisation quasi parfaite du système avec une cadence de plusieurs dizaines de giga Hertz.

MÉTHODOLOGIE:

Dans le but de créer une distribution d'horloge par voix optique, l'aide est de créer des oscillateurs locaux à haute fréquence et qui sront synchronisés par un signal laser à faible fréquence, les oscillateurs locaux sont en fait des boucles DLL semblables et qui oscillent à la même fréquence, ces cellules DLL seront très compactes et fabriquées en technologie CMOS 0.18µm.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

BOYOGUENO BENDÉ, André **DIPLÔME: Ph.D.**

TITRE:

Techniques de conception d'interfaces optoélectroniques à très haut débit.

RÉSUMÉ:

Dans le domaine des transmissions en général et celui des transmissions par fibres optiques en particulier, les circuits électroniques sont conçus pour satisfaire un ensemble de critères et de performances spécifiques. Le but de notre recherche est d'analyser et de proposer des méthodes de conception du module de réception pour les systèmes de communication par fibre optique devant fonctionner à hautes fréquences d'opération.

PROBLÉMATIQUE:

L'avènement de l'autoroute de l'information avec la possibilité de transmettre simultanément la voie, les données et les images, de même que la popularité des systèmes Internet, ont créé une demande de plus en plus forte en bande passante dans les réseaux de communication. Les équipements de transmission et de réception sont de nos jours appelés à fonctionner à des débtis de transmission de plus en plus élevés. Leur conception et leur fabrication deviennent de plus en plus complexes, car nécessitant un fonctionnement en haute fréquence. Cette situation a créé de nouveaux défis aux concepteurs de circuits intégrés pour de telles applications.

Grâce à sa grande bande passante, la fibre optique est utilisée comme lien par excellence pour les communications à longues distances. Les fibres optiques mono modes à grande capacité de transmission ont déjà été développées mais leur bande passante demeure encore sous exploitée. Les principales limitations des systèmes de transmission par fibre optique sont l'atténuation et la dispersion dans la fibre optique, la gamme dynamique du module de réception, la bande passante et le bruit des circuits électroniques, les pertes de couplage dans les interfaces optoélectroniques de transmission et de réception. La mise en œuvre des amplificateurs optiques à fibre permet de réaliser de nos jours des systèmes de transmission dont la performance n'est plus que limitée par l'électronique aux interfaces optoélectroniques.

D'où la nécessité de développer des dispositifs optoélectroniques à haute performance répondant à la forte demande du marché des télécommunications. Ce développement repose d'une part sur l'amélioration des procédés de fabrication avec une modélisation plus accrue et d'autre part, sur la mise en œuvre de nouvelles méthodes de conception répondant aux nouvelles exigences permettant de tirer le maximum de performance dont disposent ces nouvelles technologies.

MÉTHODOLOGIE:

Nous présentons la conception du module de réception basée sur l'amplificateur à transimpédance à sorties différentielles. Nous proposons deux méthodes de conception permettant d'étendre sa bande passante et d'améliorer sa sensibilité au bruit des alimentations et aux variations du procédé de fabrication. Un effort particulier a été accordé à la conception pour la stabilité permettant de prédire le comportement du module dans son environnement réel.

RÉSULTATS:

Une méthode de conception axée sur la stabilité permettant d'évaluer la stabilité dans la bande passante d'intérêt a également été proposée. Deux articles ont été publiés et la rédaction de la thèse est terminée.

BUFFONI, Louis-Xavier **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un système de traitement d'image dédié à un implant visuel cortical.

RÉSUMÉ:

Ce projet s'inscrit dans le cadre du système visuel cortical (SVC), système dont le but est de rendre la vue à des aveugles par la stimulation électrique du cortex visuel cérébral. Il tente de faire le lien entre le capteur d'images et le stimulateur cortical, en envoyant à ce dernier que les informations visuelles pertinentes, extraites des images provenant du monde réel.

PROBLÉMATIQUE :

Depuis plusieurs années, il a été démontré qu'il était possible de créer la sensation de vision en stimulant électriquement le cortex visuel. Ces percepts sont communément appelés « phosphènes ». Le but d'un implant visuel cortical est de recréer des images compréhensibles en stimulant plusieurs phosphènes simultanément. Il n'existe cependant aucune étude qui se soit penchée sur la question, à savoir le contenu d'image qu'il est envisageable de générer par un implant visuel afin de rendre une vue fonctionnelle à un aveugle. Car il est évident qu'une image ne peut être entièrement reproduite sur le cortex : la résolution, le nombre de pixels, le nombre de niveaux de gris, et d'autres contraintes biomédicales rendent cela impossible. Le présent projet tente donc de répondre à cette question, et par la même occasion, fournir un premier lien entre un capteur d'images et l'implant.

MÉTHODOLOGIE :

Une recherche de la littérature a été effectuée afin de comprendre l'organisation des phosphènes dans le champ visuel. Un programme de visualisation de ces phosphènes a été implanté. Il fonctionne en temps réel et permet l'affichage de l'image entrée, l'affichage de l'image représentée sous forme de phosphènes telle qu'un aveugle la verrait et un lien vers un système matériel de traitement d'image.

L'étude des besoins en traitement d'image pour un SVC révèle qu'une place importante doit être laissée aux traitements de bas niveau. Afin de les rendre faisables rapidement, un accélérateur matériel de calcul a été implémenté.

L'étude a également porté sur les algorithmes mathématiques à implémenter. Ces algorithmes sont de bas, moyen et haut niveau, Des tests sont effectués sur des images fixes, ainsi que sur des séquences d'image en temps-réel. Ils sont codés de manière logicielle en C++. Lorsque la qualité a été jugée satisfaisante, ils ont été implémentés dans un système embarqué comprenant un processeur ARM. Ce système peut être branché au logiciel de visualisation décrit plus haut. La pertinence de l'accélérateur de calcul a ensuite pu être justifiée de manière quantitative. Les modules de ce système ont été documentés et légués au laboratoire PolySTIM pour permettre plus tard leur intégration dans un System on Chip (SoC), avec les autres éléments de la partie frontale du SVC.

RÉSULTATS :

Les algorithmes de traitement d'images ont été évalués qualitativement. Une réflexion approfondie sur cette évaluation et sur l'état de la littérature dans ce domaine a donné naissance à un article («Multiple Image Processing Strategies for a Visual Cortical Stimulator: A Survey», soumis à *Artificial Organs*). L'implémentation complète en système embarqué sur une plateforme ARM a permis l'évaluation du gain de vitesse de l'accélérateur de calcul, grâce à des simulations dans un environnement de cosimulation. Ces performances ont été publiées dans l'article «Design and Test of a Novel Image Processor Dedicated to Visual Cortical Stimulators», soumis à *Medical & Biological Engineering & Computing*.

BUI, Hung Tien **DIPLÔME: Ph.D.**

TITRE:

Techniques de circuits à haute-vitesse et leur application dans la conception de transcepteurs multi-gigahertz.

RÉSUMÉ :

Le but du projet est de trouver des manières de repousser les limites intrinsèques de la technologie CMOS. Pour atteindre des vitesses de plus en plus élevées, on a recours, entre autres, à des techniques inspirées de la technologie bipolaire et de la microélectronique à fréquences-radio. Nous proposons les techniques telles que le shunt-peaking, le active-peaking et de nouvelles architectures qui peuvent être utilisées pour augmenter la performance de certains circuits. De plus, nous comptons proposer une manière systématique de concevoir des circuits numériques qui vont rouler à des vitesses beaucoup plus élevées que les circuits actuels. Pour prouver les théories que nous proposons, il est proposé de concevoir des modules qui font partie d'un transcepteur de très haute vitesse.

PROBLÉMATIQUE :

Avec l'arrivée des standards tels que le OC-192 et le OC-768, il est important de pouvoir réaliser des circuits pouvant traiter les données qui arrivent à des vitesses pouvant aller jusqu'à 10 Gb/s (OC-192) et même 40 Gb/s (OC-768). Certaines technologies, telles que le GaAs et le SiGe, permettent la réalisation de ces circuits de façon plus aisée. Cependant, ces technologies consomment beaucoup de puissance et coûtent cher.

Dans le passé, la technologie CMOS n'était pas habituellement utilisée dans la conception de circuits de haute performance puisqu'elle était trop lente. Cependant, avec la réduction à l'échelle, nous sommes désormais capables d'atteindre des vitesses de quelques GHz en 0.18µm. Les chercheurs s'intéressent à la possibilité de réaliser des transcepteurs en CMOS, puisque cette technologie coûte moins cher, consomme moins de puissance et peut s'intégrer aux autres circuits CMOS sur une même puce.

Nous nous inspirons des techniques de la microélectronique à fréquences-radio pour proposer des approches et des méthodes de conception de circuits numériques plus rapides.

MÉTHODOLOGIE :

Pour atteindre nos objectifs, nous comptons procéder comme suit :

- Revue de littérature;
- Identifier les lacunes et proposer des idées à haut niveau;
- Valider les idées à haut niveau à l'aide d'outils tels que Matlab/Simulink;
- Proposer une architecture et développer les concepts à plus bas niveau;
- Simuler, dessins de masque et fabrication de puces.

RÉSULTATS :

- Une étude approfondie de l'état de l'art a été faite et une synthèse a été rédigée;
- Une puce comprenant un détecteur de phase à 20Gb/s pour CDR a été conçue;
- Une puce comprenant un PLL à 10 GHz a été conçue;
- Trois articles de conférences ont été acceptés et publiés.

CANTIN, Marc-André **DIPLÔME: Ph.D.**

TITRE:

Conversion matérielle automatique d'algorithmes de traitement de signal du format virgule flottante au format virgule fixe.

RÉSUMÉ:

La conversion d'un algorithme du format virgule flottante au format virgule fixe est une tâche fastidieuse et complexe. Un outil de conversion automatique d'un format à l'autre permettrait au concepteur d'accélérer le processus d'implantation matérielle d'un algorithme de traitement de signal.

PROBLÉMATIQUE:

Tandis que la majorité des algorithmes d'analyse et de traitement des signaux radars sont développés en virgule flottante, leur implantation requiert fréquemment des opérateurs à virgule fixe, afin de rencontrer les contraintes de coût et de performance. Dans le but de conserver les propriétés de l'algorithme original, d'éviter les erreurs de débordement ou la perte de précision, chaque opérande doit être représentée par un nombre de bits adéquat.

MÉTHODOLOGIE:

La tâche consiste à propager vers les entrées la tolérance d'erreur des sorties définies par l'usager, ce qui permettrait de minimiser à la fois le nombre de bits nécessaires pour représenter chaque opérande et la surface totale de l'implantation matérielle de l'algorithme. Également, un outil automatique qui convertit un programme à virgule flottante en un programme à virgule fixe, qui considère la contrainte matérielle et qui pourrait être étendu aux outils de conception VLSI, permettrait d'accélérer le processus d'analyse et d'implantation d'un algorithme.

RÉSULTATS:

Une nouvelle méthode qui détermine automatiquement la taille des chemins de données est présentée. Cette méthode est basée sur une nouvelle métrique qui grade toutes les combinaisons de taille des chemins de données vers la solution optimale. Cette gradation s'effectue selon les coûts d'implantation et selon plusieurs modèles d'erreurs et contraintes de précision spécifiés par le concepteur matériel. Une procédure de recherche qui maximise cette métrique, minimise l'écart entre les modèles représentés en format virgule fixe et virgule flottante et obtient une solution. Quatre nouvelles procédures de recherche sont proposées. Ces quatres procédures de recherche sont comparées à celles retrouvées dans la littérature qui ont été adaptées et implantées dans la méthode. La comparaison permet de sélectionner une procédure qui est capable de trouver une solution le plus rapidement possible, qui rencontre les contraintes de précision spécifiées par le concepteur et qui minimise les tailles des chemins de données. La méthode a subi une première modificaiton afin d'optimiser les algorithmes à caractère itératif en déterminant le nombre de fois qu'une itération doit y être exécutée. Afin de rencontrer les critères de précision, la méthode étendue ajuste simultanément les tailles des chemins de données et le nombre de fois qu'un itération doit être effectuée avec l'objectif de minimiser les coûts d'implantation de l'algorithme. Finalement, la méthode a subi une seconde modification afin de déterminer la valeur optimale des paramètres contenus dans un algorithme. Cette détermination peut s'effectuer en même temps que la détermination de la taille des chemins de données et,s'il y a lieu, du nombre de fois qu'une itération doit être exécutée. Cette extension permet d'ajuster précisément les valeurs des paramètres sous l'influence de la résolution finie et de déterminer automatiquement ces valeurs qui autrement sont souvent déterminées empiriquement.

CASTONGUAY, AMI **DIPLÔME: M.Sc.A**.

TITRE:

Architecture de communicaiton de systèmes embarqués sur puces multiples

RÉSUMÉ:

Ce projet consiste à étudier et mettre en œuvre une nouvelle architecture de communication intégrant les échanges intra et inter puce, tout en demeurant adaptée à une vaste gamme d'applications. Nous étudions un système utilisant des transferts de données par paquets, en ayant comme but une intégration transparente de la communication intra et inter puce. La communicaiton inter puces utilise des liens point à point de haute performance tandis que du côté intra puce, nous examinons plusieurs architectures existantes de réseaux embarqués (*Network on Chip* – NoC). Nous travaillons sur plusieurs nouvelles fonctionnalités qui permettront d'améliorer la performance de ces NoCs pour répondre aux besoins des applications visées.

PROBLÉMATIQUE:

Avec l'augmentation constante de la capacité d'intégration en microélectronique, la recherche sur les réseaux embarqués prend de plus en plus d'importance. Ces réseaux permettent d'intégrer une grande quantité de composants sur un même substrat en éliminant la problématique des lignes de communication dédiées qui ont des délais de propagation importants. Par contre, pour de très gros systèmes qui ont des besoins en puissance de calcul toujours croissants, il demeure nécessaire de partager la tâche de calcul entre plusieurs puces. Il est donc nécessaire que les composants qui résident sur différents NoCs puissent communiquer entre eux de façon efficace, tout en gardant une architecture de communication intra puce performante et relativement souple.

MÉTHODOLOGIE:

Une première étape pour créer une telle architecture de communicaiton à une échelle système est d'avoir accès à un lien inter puce performant. Le premier pas du projet est donc de développer et prototyper un tel lien, dont le choix s'est arrêté sur la technologie *HyperTransport.* Nous devons ensuite choisir un type de NoC qui pourra interagir de façon optimale avec notre lien inter puce, le développer et l'enrichir pour obtenir les performances désirées.

RÉSULTATS:

Un tunnel *HyperTransport* a été complété et est présentement en cours de vérification. Son prototypage sur une plate-forme FPGA s'amorcera bientôt.

CATUDAL, Serge **DIPLÔME: M.Sc.A**.

TITRE:

Processus de validation orienté performance applicable au traitement vidéo.

RÉSUMÉ:

L'objectif de ce projet consiste à développer une méthode afin de valider et de vérifier des modules de traitement vidéo. Le problème de cet objectif est donc d'étudier les méthodes de vérification formelle et fonctionnelle les plus adéquates pour ce type d'application. Il s'agira de plus de concevoir des bancs d'essai de haut niveau pour des algorithmes de traitement vidéo comprenant une génération de stimulus autonome, une analyse de couverture fonctionnelle ainsi que des méthodes d'auto vérification. Il faudra aussi étudier les problèmes spécifiques de cette classe d'application, soit les cas limites du traitement vidéo, et évaluer les métriques fonctionnelles adéquates pour assurer la complétion de la vérification du module.

PROBLÉMATIQUE:

Les circuits numériques deviennent de plus en plus complexe au fil des ans. Cela implique qu'ils nécessitent alors plus de temps de vérification. Le milieu de la microélectronique est très peu avancé en matière de techniques de vérification, contrairement au milieu informatique. De ce fait, il s'agit donc d'adapter le savoir faire de plusieurs années d'expérience du domaine de l'informatique au domaine de la microélectronique afin de rendre la vérification de circuits numériques plus efficace.

MÉTHODOLOGIE:

Les étapes suivantes devront être réalisées dans ce projet:

1. Implémenter le prototype d'un module de traitement vidéo;
   - Revue d'une littérature sur les métriques objectives de mesure de qualité d'image;
   - Développement d'un outil pour l'environnement de simulation de modules de traitement vidéo;
   - Implémenter en C/C++ un algorithme réducteur de bruit et raffiner ce dernier afin del'implémenter en SystemC;
2. Élaboration d'une méthode systématique et automatique afin de valider l'implémentation du chemin de données d'un algorithme de traitement vidéo;
   - Développement d'une plate-forme de validation de modules de traitement vidéo
   - Développemtn d'une métrique de qualité vidéo permettant de valider l'implémentation d'un algorithme de traitement vidéo sans qu'un observateur humain soit présent;
3. Application de la méthode développée sur une autre classe d'application pour les modules de traitement vidéo, soit les algorithmes de déentrelacement.

RÉSULTATS:

Les étapes 1 et 2 énumérée ci-haut sont terminées et l'étape 3 est présentement en cours de réalisation.

CHEBLI, Robert **DIPLÔME: Ph.D.**

TITRE:

Émetteur-récepteur sans fil intégré sur puce pour un système ultrasonique.

RÉSUMÉ:

Les progrès en microélectronique ont eu un impact significatif sur la miniaturisation de systèmes électroniques dédiés à des applications médicales et surtout en échographie. Notre objectif est de proposer de nouvelles techniques pour réduire les dimensions de ces équipements et en particulier les étages d'émetteur-récepteur qui sont conventionnellement réalisés sur circuits imprimés. À savoir que la basse consommation de puissance, le faible bruit, l'encombrement, la meilleure qualité d'images sont parmi les défis de taille qui nécessitent d'innover à plusieurs niveaux de complexité.

PROBLÉMATIQUE:

L'utilisation d'un amplificateur logarithmique permet de compresser les échos reçus de forte amplitude ce qui provoque la création des artéfacts sur l'écran du moniteur. Réalisation d'un convertisseur DC/DC à faible consommation de puissance et avoir un temps de stabilisation inférieur à la période de la répétition d'une impulsion.

MÉTHODOLOGIE:

Nous proposons une nouvelle topologie permettant l'intégration des étages émetteur-récepteur conventionnels sur une puce de très faible dimension. L'émetteur regroupe une interface de commande RF et une sonde électronique sans fil à balayage sectoriel. Ce type de balayage sera réalisé avec un réseau annulaire de cristaux. Cette technologie offre une haute résolution latérale et une symétrique par rapport aux profondeurs. La sonde consiste en une pile d'alimentation, un convertisseur DC/DC (haute tension), un générateur d'impulsions et un amplificateur de puissance pour exciter le cristal. Le récepteur intègre un limiteur pour isoler ce dernier de l'impulsion de haute tension, un préamplificateur pour amplifier les signaux d'entrée à faible amplitude, un filtre passe-bande pour éliminer le bruit d'entrée, un AGC (Automatic Gain Compensator) pour compenser l'atténuation des signaux et éliminer le contraste d'image, un amplificateur logarithmique pour compresser les signaux amplifiés, un filtre passe-bas pour détecter leurs enveloppes et finalement un convertisseur analogique/numérique utilisé pour les numériser.
La conception et l'intégration de l'ensemble du module émetteur-récepteur sur une puce nécessitent les étapes suivantes:

- Étudier les méthodes d'optimisation et les topologies de circuits intégrés à faible bruit et consommation de puissance;
- Simulation et caractérisation des modules en utilisant le logiciel MATLAB;
- Conception, fabrication, validation et test.

RÉSULTATS:

Nous avons proposé une nouvelle architecture d'un convertisseur DC/DC de tension de sortie supérieure à 200 V, basée sur l'utilisation des transistors CMOS à haut voltage fournis par la compagnie Dalsa Semiconductor. De plus, nous avons proposé une nouvelle architecture d'un VCO à large bande de fréquence. Le dessin des masques du convertisseur DC/DC est soumis à la fabrication.

CHEVALIER, JÉRÔME **DIPLÔME: Ph.D.**

TITRE :
Partitionnement, vérification et raffinement de système logiciel/matériel conçu à haut niveau en SystemC.

RÉSUMÉ :

Le projet consiste à concevoir une méthodologie pour le partitionnement et à construire une plate-forme à haut niveau en SystemC. Cette plate-forme sera une représentation à haut niveau d'une architecture existant sur un FPGA Virtex II Pro. Elle permettra la simulation et l'estimation au niveau transactionnel des systèmes co-design logiciel/matériel avant leur implémentation sur cette puce.

PROBLÉMATIQUE :

L'utilisation combinée de processeurs d'usage général et de circuits spécialisés nécessitent des méthodologies de conception nouvelles. Ces méthodes et techniques doivent notamment permettre au concepteur du système d'en effectuer la spécification et la modélisation sans se soucier du découpage logiciel/matériel, tout en l'aidant à effectuer ce partitionnement par la suite. Le projet consiste à concevoir une méthodologie pour le partitionnement et à construire une plate-forme à haut niveau en SystemC. Cette plate-forme permettra la simulation et l'estimation au niveau transactionnel des systèmes co-design. Les résultats de ces simulations permettront de valider les systèmes et d'obtenir un partitionnement adéquat. Par la suite, le système partitionné doit être raffiné aussi bien au niveau du code interne à chaque module qu'au niveau des communications en ayant pour cible sa synthèse et son intégration sur un FPGA contenant déjà une architecture commerciale (processeur et bus).

MÉTHODOLOGIE :

La démarche consiste d'abord à effectuer une revue des méthodologies de spécification et de partitionnement existantes pour le niveau transactionnel. La majorité de ces méthodes sont dédiées exclusivement au matériel, mais elles constituent une bonne approche pour construire une méthodologie pour le co-design. Suite à ces lectures, nous allons créer notre propre méthodologie. Elle doit permettre de construire et simuler une modélisation du système au niveau transactionnel. Le but étant de trouver le partionnement idéal entre le logiciel et le matériel pour un système donné en simulant diverses configurations de ce système. Pour cela, notre méthodologie doit permettre le passage de module du logiciel au matériel et vice-versa sans avoir à y effectuer de changement.

Après avoir détaillé l'ensemble des contraintes à respecter sur le codage et la communication des modules, nous avons choisi d'implémenter cette méthodologie sous forme d'une plate-forme haut niveau en SystemC, utilisant un ISS avec un OS pour la partie logiciel et un bus pour la partie matériel. Cette architecture permettra d'obtenir une simulation réaliste du logiciel en fournissant les aspects interruption et exécution séquentiel pour les modules placés en logiciel. Pour la partie matérielle, nous retrouverons les notions d'exécution parallèle et de partage des communications.

Ensuite, une plate forme (et les modules de l'application) doit être raffinée en ayant pour cible son intégration sur un FPGA contenant déjà une architecture commerciale (processeur et bus). Les modules matériels seront remplacés par des IP en VHDL (ou en Verilog) fourni par Xilinx. L'ensemble du système sera alors reconstitué dans l'outil EDK pour être ensuige envoyé sur le FPGA Virtex II Pro.

RÉSULTATS :

La méthodologie de conception qui a été élaborée, comporte 4 niveaux de raffinement: de fonctionnel à transactionnel. La plate-forme de simulation en SystemC permettant d'effectuer les simulations à ces différents niveaux a été implémentée. Elle offre plusieurs types de simulation du logiciel (natif, ISS, etc.) et du matériel (transactionnel avec ou sans délai, au niveau cycle, etc.) et permet leur-co-debugage. L'architecture du Virtex II Pro et des PowerPC et MicroBlaze qu'il contient, est en partie maîtrisée et le système d'exploitation uC a été porté sur ces processeurs.

CHOUCHANE, Tahar **DIPLÔME: M.Sc.A.**

TITRE :
Conception d'un mélangeur RF en technologie CMOS dédié aux applications WLAN.

RÉSUMÉ :
Le développement rapide de l'industrie des communications sans fil engendre une forte demande pour des solutions de plus en pus intégrées de moins en moins chères et à faible consommation. En outre, cette croissance a conduit à la prolifération de différentes normes et services causant la saturation et un encombrement insupportable. Ainsi, cette explosion des réseaux de téléphones mobiles exige de nouveaux systèmes présentant de forts débits et à large bande. Ceci a poussé à l'émergence d'autres axes dans la conception qui demande de nouveaux défis pour réaliser les défis de la nouvelle génération des systèmes.

Pour répondre à ce besoin, ce travail consiste en la conception d'un mélangeur RF intégré en technologie CMOS 0.18µm. Sa fonction consiste à convertir des fréquences à travers un processus non linéaire de mélange de signaux. Cependant, cette non linéarité associée aux interférences génèrent des distorsions et des effets parasites indésirables qui limitent les performances du système et dégradent le signal désiré.

PROBLÉMATIQUE :
Les dispositifs et les circuits en radio-fréquence sont souvent réalisés avec des technologies coûteuses tels que le GaAs ou la technologie bipolaire. Cependant, de nombreux efforts cherchent à réaliser les circuits en radio-fréquence avec des technologies à moindre coût. Le choix de la technologie CMOS est une alternative qui est particulièrement motivé par ses performances, son bas coût et sa compatibilité avec les circuits numériques. Cependant, pour atteindre cet objectif, les critères dans la conception changent et imposent de nouveaux défis et de nouvelles structures.

Le mélangeur constitue un module critique dans un système de communication sur lequel est reporté la plus grande contrainte de linéarité et de distorsion. Ainsi, un ensemble de difficultés découle du caractère d'interaction des signaux et de sa non linéarité. Comme le mélangeur est destiné à opérer à de hautes fréquences, ces effets sont beaucoup plus nuisibles et prononcés et ont un impact direct sur la performance de l'ensemble du système. Sa réalisation implique souvent de faire un compromis entre ses performances tel que le gain de conversion, la linéarité, le bruit ou encore la consommation.

En outre, la tendance de l'intégration et de faible tension d'opération est moins évidente en haute fréquence pour réaliser des performances acceptables. Donc, la conception de ce module RF représente un défi pour réaliser la future génération des systèmes de communication.

MÉTHODOLOGIE :
La méthodologie prévue pour réaliser ce travail est la suivante :

- Étude bibliographique et comparaison des travaux réalisés en RF et sur les systèmes de communication;
- Revue de différentes techniques de conception des mélangeurs RF en CMOS;
- Définition des spécifications et choix de l'application;
- Choix et étude de la structure afin de localiser les facteurs limitatifs;
- Conception de l'architecture proposée;
- Fabrication de la puce chez TSMC;
- Analyse et comparaison des résultats.

RÉSULTATS :
La strucutre d'un mélangeur RF a été conçu, simulé et fabriqué dans un procédé CMOS 0.18µm. Les simulations ont été effectuées sous Spectre RF et confirment la validation de la proposition. La puce fabriquée est en phase de test.

CHOUIA, Younes **DIPLÔME: M.Sc.A.**

TITRE

Échantillonneur bloqueur à haute performance dédié à des CAN à très large bande.

RÉSUMÉ:

Le présent projet est orienté vers la mise en œuvre d'un échantillonneur bloqueur à haute performance, étant dédié à une future génération de systèmes, le modèle en question sera validé par un circuit en technologie CMOS (0.18μm)

PROBLÉMATIQUE:

La demande croissante des dispositifs portatifs sans fil dans les différentes applications (médicales, divertissement, etc.) a attisé le besoin d'un système de télécommunication (émetteur/récepteur) intégrable dans une seule puce sans aucune autre composante externe. Ce système présente un défi concernant le prolongement de la vie de la batterie pour des applications portatives, soutenir des voix et des images sur de courtes et longues distances et enfin il doit avoir une augmentation dramatique de la fiabilité et une diminution du coût.

L'échantillonneur bloqueur est la partie essentielle qui élimine la majorité des bruits dans un CAN, nous souhaitons proposer un circuit qui atténue les effets du comportement non idéal des circuits CAN.

MÉTHODOLOGIE:

- Maîtriser les différentes architectures des circuits échantillonneur bloqueur;
- Étudier les circuits à faible consommation de puissance;
- Faire la conception d'un circuit en Verilog-A;
- Proposer de nouvelles techniques à haute performance;
- Simulation, design et implémentation de ce circuit.

RÉSULTATS:

Simulation et réalisation de «layout» d'un échantillonneur bloqueur de haute performance de 10 bits 50M échantillons/sec en technologie CMOS 0.18μm.

CHUREAU, Alexandre **DIPLÔME: M.Sc.A.**

TITRE :

Modélisation et raffinement de systèmes sur puce en UML-RT pour une application de radio réalisée par logiciel.

RÉSUMÉ :

Ce projet consiste à construire un modèle de système sur puce en UML RT (Unified Modeling Language/Real Time) qui servira de base à une plate-forme de conception dédiée à une famille d'application: la radio réalisée par logiciel. Une méthodologie de raffinement itératif est proposée afin de transformer le modèle en une implantation.

PROBLÉMATIQUE :

La conception de systèmes sur puce exige une approche qui allie une vision système à une rigoureuse discipline de réutilisation. Une telle approche implique un mouvement bidirectionnel entre les niveaux d'abstraction, du plus abstrait au moins abstrait et vice-versa. Les outils de conception microélectroniques sont peu adaptés à la complexité de ces systèmes, limitant le mouvement entre les niveaux d'abstraction.

MÉTHODOLOGIE :

La conception basée sur l'interface répond aux exigences de conception de systèmes sur puce en encapsulant les détails d'implantation d'un module dans une coquille projetée à des niveaux d'abstraction supérieurs. Le UML temps réel est le véhicule idéal pour concrétiser cette approche. Deux modèles en UML-RT sont construits afin de créer des recoupements: un modèle d'un processeur vidéo et un modèle d'une radio réalisée par logiciel. Les résultats attendus doivent illustrer les avantages suivants de la méthodologie:

- Une meilleure réutilisation de modules;
- Une facilité de vérification accrue des modules et du système;
- La possibilité d'évaluer les performances du modèle en vue d'un partitionnement logiciel/matériel;
- La possibilité d'un raffinement itératif vers une implantation.

RÉSULTATS:

Un modèle exécutable de filtre complexe indépendant de toute plate-forme matérielle a été développé en UML-RT et C++. Le modèle est couplé à un environnement de vérification réaliste développé en Simulink, ce qui a permis la mise sur pied d'un prototype fonctionnel du système. L'exécution et le profilage de ce prototype ont permis d'identifier les tâches plus lentes du système afin de les diriger vers une implantation matérielle.

COULOMBE, Jonathan **DIPLÔME: Ph.D**.

TITRE:

Stimulateur visuel intra-cortical implantable.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser un système intégré implantable visant à stimuler le cortex cérébral de patients aveugles. Après avoir réalisé un tel dispositif de dimension et de complexité réduites, une attention particulière sera apportée à la consommation en puissance ainsi qu'à la sécurité du dispositif par l'intégration de modules de surveillance et de contrôle de la stimulation. Différents prototypes de fonctionnalité et de complexité croissantes seront conçus, réalisés et testés in-vitro et in-vivo.

PROBLÉMATIQUE:

La réalisation d'un implant cortical au nombre de canaux de stimulation élevé demandera de relever un bon nombre de défis. Entre autres, mentionnons l'intégration de différents modules de circuits intégrés analogiques et numériques, l'interface entre les circuits et une matrice d'électrodes de grande densité, ainsi que l'encapsulation compacte et biocompatible de l'ensemble.

Une fois ces éléments développés adéquatement, une emphase importante doit être mise sur l'optimisation des modules électroniques. En effet, afin de réaliser un système possédant un grand nombre de canaux de stimulation parallèles, la consommation en puissance doit être minimisée de façon substantiellement, par rapport à ce qui est généralement fait pour les neurostimulateurs actuels. Cependant, les techniques conventionnelles visant à réduire la consommation peuvent facilement entraîner des dommages permanents sur les tissus stimulés. Un système de monitoring des charges et tensions de sortie, de contrôle et de compensation devra donc être conçu afin d'assurer l'efficacité et la sécurité de la stimulation. Des techniques novatrices permettant d'effectuer ses tâches de façon énergétiquement efficace devront être développées.

MÉTHODOLOGIE:

Le projet se divise en trois phases distinctes. En un premier temps, l'objectif est de faire un implant comportant un nombre de sites de stimulation réduit, et ce, de manière à maîtriser les techniques élémentaires qui seront nécessaires à la réalisation d'un système complexe (fabrication, assemblage, encapsulation, etc). L'implant comporte une multitude de modules de stimulaiton indépendants, contrôlés par un module central d'interface, assurant l'alimentation du système et la communication avec un contrôleur externe. Ensuite, on procèdera à l'optimisation du système au niveau électronique dans le but d'assurer l'efficacité et la sécurité du dispositif. Finalement, l'intégration des éléments développés sera réalisée.

RÉSULTATS:

Un prototype complet non implantable élaboré à partir de modules intégrés et discrets a été fabriqué et testé avec succès. Les modules intégrés incluent un stimulateur multi-canaux, un démodulateur/décodeur de données, ainsi qu'un amplificateur de référence. Un module de mesure d'impédance d'interface éelctrodes-tissus a aussi été conçu et reste à être fabriqué. Une méthode de stimulation à faible tension a été élaborée et testée *in-vitro*. Finalement, une première version de substrat flexible d'interconnexions des modules électroniques n'ayant pas fourni les résultats escomptés, une méthode alternative de fabrication et de micro-assemblage est en cours d'élaboration.

DANG, Hung **DIPLÔME: M.Sc.A.**

TITRE:

Convertisseur analogique à numérique de type parallèle à haut taux d'échantillonnage.

RÉSUMÉ:

L'objectif de ce projet est de réaliser un convertisseur analogique à numérique optimal de type Flash sous la technologie CMOSP18. Les points importants à considérer sont la précision, le taux d'échantillonnages, la consommation de puissance et la surface. Nous analysons les différentes méthodes existantes permettant de minimiser l'effet de tension de décalage qui affecte la linéarité du convertisseur. Nous nous concentrons aussi sur les techniques de décodage du code thermomètre au code binaire, permettant de minimiser l'occurrence d'erreurs.

PROBLÉMATIQUE:

Dans un cadre d'application radio configurable, le convertisseur doit rencontrer des spécifications minimales requises sur la précision et la bande passante: au moins 6-bits à un taux de un milliar d'échantillons par seconde ou supérieur.

L'état de l'art actuel propose l'architecture de types Flash pour atteindre de hauts taux d'échantillonnage. Sous la technologie CMOSP18, il est raisonnable de viser une précision de 6-bits pour des fréquences égales ou supérieures à un million d'échantillons par seconde. La technique dite Averaging permet de réduire l'erreur sur la tension de décalages due au défaut d'appariement entre les transistors. Toutefois, les simulations sur Cadence montrent qu'il est plus facile d'obtenir le juste compromis entre le décalage et la bande-passante lorsqu'on ne considère pas la technique Averaging

MÉTHODOLOGIE:

Nous débutons avec une étude intensive de la littérature concernant les états d'art existants. Nous analysons les architectures proposées et proposons des améliorations possibles. Nous simulons les modules de l'architecture pour en déterminer les limitations et nous terminons avec la création d'un prototype.

RÉSULTATS:

Les résultats préliminaires de simulation démontrent la faisabilité des circuits MCML (MOS Current Mode Logic) avec une consommation assez faible et une fréquence d'échantillonnage de 1.25 GHz et par rapport à la technique d'interpolation. Un circuit intégré a été envoyé pour fabrication, les tests se feront en début de 2005 pour prouver le concept de la méthode.

DANNEVILLE, Éric **DIPLÔME: Ph.D.**

TITRE:

Estimation de la direction d'arrivée d'un faisceau par rapport à un réseau d'antennes à l'aide de réseaux de neurones.

RÉSUMÉ:

Il est nécessaire de connaître avec suffisamment de précision l'angle d'arrivée d'un faisceau sur un système dans un nombre varié d'applications, allant du radioguidage de véhicules à l'optimisation de réception d'une antenne satellite. Dans le premier cas, l'angle d'arrivée nous renseigne sur la position du véhicule dans l'espace par rapport à un émetteur générant le signal source. Dans l'autre, la connaissance de cet angle permet de maximiser la puissance à la réception, et donc d'augmenter la qualité de celle-ci. Dans les deux cas, le récepteur ne reçoit pas seulement un signal incident, mais plusieurs de différentes intensités, ce nombre dépendant de l'environnement dans lequel évolue le système. De nombreuses méthodes existent, souvent laborieuses et gourmandes en temps de calcul. Là réside l'avantage d'utiliser un réseau de neurones.

PROBLÉMATIQUE:

Cette étude est le prolongement de celle engagée par Michael Coudyser (M.Sc.A.) l'année dernière. Il avait validé l'emploi d'un réseau d'antennes composé de deux paires d'antennes dont les axes étaient orthogonaux pour déterminer l'angle d'arrivée d'un faisceau dans un cône d'ouverture 90°, et ce avec une précision angulaire de l'ordre du degré. Un réseau de neurones MLP était aussi employé pour réaliser cette estimation, en se basant sur les signaux de puissance issus d'un combineur placé en aval du réseau d'antennes. Les résultats des simulations, avec du bruit, sous Matlab, étaient concluants, ainsi que ceux issus de données expérimentales.

Ce système étant robuste au bruit, je m'intéresse plus particulièrement dans le cadre de mon projet de maîtrise à tester l'effet d'un signal supplémentaire, issu d'une réflexion du faisceau principal, sur l'erreur angulaire. Celle-ci est engendrée par une route par exemple dans le cadre d'une application de « tracking » automobile. L'objectif de ce projet consiste donc à déterminer le meilleur système possible, tant au niveau du réseau d'antennes que du réseau de neurones, du point de vue de la robustesse à une réflexion inconnue et potentiellement importante.

MÉTHODOLOGIE:

J'ai repris les signaux de puissance élaborés dans la maîtrise de Michael Coudyser. J'ai refait ses simulations et implémenté en plus sous Matlab l'effet d'une réflexion de notre signal sur une route. On peut dès lors choisir parmi les différentes structures de réseau d'antennes et en particulier déterminer le nombre optimal d'antennes, ainsi que la structure de réseaux de neurones la mieux adaptée en minimisant l'erreur angulaire moyenne. Ce travail étant fait, il restera à valider la faisabilité d'un tel système en utilisant pour cela les données recueillies expérimentalement sur un réseau d'antennes réel.

RÉSULTATS:

Le système optimal doit utiliser un réseau de deux triplets d'antennes alignés selon deux axes orthogonaux. Selon le type d'entraînement de mon réseau de neurones, j'atteinds sans mes simulations une précision angulaire de 1 à 3 degrés dans le cône d'études de 90° d'ouverture. Il reste à les valider expérimentalement et à choisir parmi les différents réseaux de neurones en compétition.

DECA, Radu **DIPLÔME: Ph.D.**

TITRE:

Modèle de configuration des services réseau

RÉSUMÉ:

Le projet vise à créer un nouveau paradigme de modèle de configuration des services réseau, pour:

- Permettre l'automatisation et l'optimisation du processus de configuration en raffinant la configuration à partir d'un niveau d'abstraction élevé;
- Résoudre le problème d'inconsistance des données causées par la distribution spatiale des équipements à configurer.
- Améliorer la consistance des données dans l'exécution des « rollbacks ».
- Réduire les cycles de reconfiguration.

Le projet propose un modèle hiérarchique du processus de configuration, qui part du niveau abstrait et arrive, par raffinement successifs, aux résultats concrets et spécifiques de configuration. Ce modèle inclut un formalisme qui comporte des règles de configuration, des contraintes et des composants. Il possède aussi une représentation graphique intuitive et un modèle d'information de gestion.

PROBLÉMATIQUE:

Dans les réseaux actuels, la configuration est d'une complexité croissante. Ainsi, quand on modifie les paramètres de configuration des équipements de réseau d'une manière non coordonnée, on risque d'amener le réseau dans un état inconsistant ou même inconnu; état duquel il est souvent difficile de sortir, en raison de la croissance exponentielle de la complexité des réseaux.

MÉTHODOLOGIE:

- Définir et développer le cadre conceptuel et architectural du modèle;
- Créer un prototype et/ou cadre formel de démonstration du modèle;
- Expérimenter, valider et analyser les résultats d'expérimentation;
- Rédiger et présenter la thèse.

RÉSULTATS:

Dans le cadre du «Groupe Métal-CLI» que je dirige, j'ai créé ou j'ai contribué à la création des prototypes d'outils pour expérimenter et tester les différents volets du modèle:

- La configuration automatique des services réseau, la génération automatique des scripts de test pour les services et des interactions des services;
- La validation automatique des configurations;
- L'intégration avec le protocole de confituration «NETCONF»;
- La synchronisation des bases d'information de gestion;
- L'intégration avec un outil de gestion des réseaux basée sur les politiques des gestions, etc.

DEJMOUAI, Abdelouhab **DIPLÔME: Ph.D.**

TITRE:

Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables.

RÉSUMÉ:

Dans le présent travail, nous proposons une nouvelle technique destinée à améliorer les performances d'un système transcutané de transfert d'énergie pour des systèmes électroniques implantables (SEI). Le système utilisé est basé sur un lien à couplage inductif est aussi bien exploité pour le transfert de l'énergie que pour la transmission bidirectionnelle de données. La technique proposée consiste en l'utilisation d'un contrôleur intégré permettant d'ajuster automatiquement les niveaux de tension d'entrée et de sortie du lien à couplage inductif. Ce contrôle automatique a pour objectif de maintenir le niveau d'énergie à transférer à l'implant à un niveau bien déterminé et de réaliser la modulation des signaux nécessaires à la transmission des données. En contrôlant le niveau d'énergie à transférer le circuit de contrôle permet aussi de minimiser la sensibilité du lien aux fluctuations de la tension d'alimentation et de l'amplificateur de puissance. Le circuit de contrôle permet aussi de réduire les pertes d'énergie résultant de l'opération de la modulation des signaux à transmettre.

PROBLÉMATIQUE:

Le recours aux systèmes électroniques implantables (SEI) a été depuis longtemps considéré comme une solution alternative pour la récupération de la fonctionnalité des organes humains paralysés. Cependant, l'alimentation de ces systèmes représente un handicap majeur dans leur design. Comme ces SEI sont destinés pour un fonctionnement à long terme, leur alimentation devrait être assurée de l'extérieur du corps. Ceci est indispensable afin d'éviter le recours aux batteries et aux opérations chirurgicales nécessaires à leur remplacement. Souvent le même lien (interface) de transfert d'énergie est aussi utilisé comme moyen de transmission de données. Donc, le développement d'une telle interface représente une étape cruciale dans la conception des SEI. C'est dans cet axe que nous menons des recherches pour concevoir des interfaces de transfert d'énergie et de transmission de données pour des systèmes électroniques implantables.

MÉTHODOLOGIE:

- Étude bibliographique détaillée des systèmes existants de transfert d'énergie;
- Étude théorique détaillée, simulation et caractérisation d'un lien à couplage inductif;
- Proposition d'une méthode pour améliorer les performances d'un système de transfert d'énergie et de transmission de données à base d'un lien à couplage inductif;
- Conception et intégration d'un contrôleur pour des systèmes de transfert magnétique d'énergie et de données.

RÉSULTATS:

Réalisation d'un contrôleur pour des systèmes de transfert magnétique d'énergie et de données qui sont dédiés aux systèmes électroniques implantables. Le contrôleur est intégré en technologie CMOS 0.18 um et comprend principalement un nouveau modulateur de rapport-cyclique, une nouvelle boucle à verrouillage de fréquence et un nouveau démodulateur ASK.

***DELAFOSSE, Maurice Jacques-A*.** **DIPLÔME: M.Sc.A.**

TITRE:

Conception, fabrication, caractérisation et test d'un micromoteur MEMS (Projet Walking-die).

RÉSUMÉ:

Le projet Walking-die vise la création d'un nano-robot dont les dimensions finales se situeraient en dessous des 5mm et les capacités seraient les suivantes : déplacement de précision nanométrique, équipements d'exploration et de manipulations atomiques, contrôle à distance, etc. À cette liste, nous prévoyons ajouter tout élément allant dans le sens de l'accroissement de l'autonomie du robot.

Ma principale tâche à l'heure actuelle consiste à concevoir et tester un micromoteur électrostatique en parallèle avec la définition d'un ensemble de requis en terme de puissance disponible et dissipée.

PROBLÉMATIQUE:

Partant de la génération actuelle de robot en développement au laboratoire de nanorobotique de l'École, j'ai décidé de concentrer mes efforts à éliminer les principaux points de dissipation de chaleur : les convertisseurs de tension utilisés pour alimenter les différents tubes piézo-électriques composant le robot. Pour ce faire, j'ai décidé d'opter pour un autre mode de déplacement : l'usage de roues. Cette approche demande une bonne estimation des requis en terme de friction et de puissance disponible (surtout le couple.) De plus, l'échelle d'opération demandera peut-être un environnement contrôlé dont les paramètres doivent être déterminés et respectés à volonté.

MÉTHODOLOGIE:

Sur suggestion de mon directeur de maîtrise, j'ai exploré l'avenue des MEMS pendant un à deux mois afin de déterminer ce que nous pourrions en tirer. Parallèlement à cela, j'ai schématisé les différents modes de déplacement que je connaissais et ai tâché d'en découvrir d'autres afin de les confronter les uns aux autres, mais aussi à mes requis en terme de capacité de déplacement du nouveau robot. Une fois notre choix arrêté, nous avons poursuivi notre survol de la littérature en l'axant plus précisément sur les micromoteurs électriques.

RÉSULTATS:

Les premiers échantillons de la version initiale du micromoteur ont été reçus mais sont soudés à la première couche de Poly (POLY 0.). Deux nouvelles versions ont été fabriquées et sont présentement en phase de test.

DÉSILETS, Tommy **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un système d'acquisition de la pression transdiaphragmatique et de l'électromyogramme du diaphragme intégré à un cathéter oesophagien.

RÉSUMÉ:

Ce projet porte sur la conception d'un appareil de diagnostic médical réalisant l'acquisition simultanée de la pression transdiaphragmatique (Pdi) et de l'électromyogramme du diaphragme (EMGdi) en utilisant deux capteurs de pression microfabriqués et un nouveau type d'électrode oesophagienne. Le traitement des signaux et leur numérisation seront effectués in situ et les données seront transmises sans fil jusqu'au système d'enregistrement grâce à un lien de type BlueTooth. Le système complet devra être intégré à un cathéter oesophagien ne dépassant pas 5mm de diamètre.

PROBLÉMATIQUE:

Afin de poser un diagnostic adéquat sur les dysfonctions du système respiratoire ou tout simplement d'en évaluer les performances physiques, un praticien a recours à plusieurs techniques dont la mesure de la Pdi et de l'EMGdi. La pression transdiaphragmatique permet de quantifier l'action mécanique du diaphragme tandis que l'EMGdi permet d'en évaluer l'activité électrique de telle sorte qu'en connaissance de ces paramètres, l'on peut établir la relation électromécanique du diaphragme et ainsi être en mesure de poser le bon diagnostic. La mesure de ces qualificatifs du système respiratoire se fait encore à l'heure actuelle par deux systèmes distincts qui utilisent des dispositifs encombrants : ballonnets de latex à insérer par voie nasale, capteurs de pressions extérieures, amplificateurs, etc. L'intégration et la miniaturisation de tous ces dispositifs engendreraient une moindre gêne pour le patient et pour le médecin. En outre, il faut recourir à des algorithmes complexes pour atténuer les effets du positionnement vertical des électrodes oesophagiennes et de la contamination cardiaque. Une géométrie d'électrode adaptée permettrait de se passer de tels algorithmes en filtrant le signal à la source.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes :

- Fabrication et validation d'un prototype de cathéter intégrant la nouvelle électrode et deux capteurs de pression micro fabriqués commerciaux. Cette étape comporte aussi le développement d'une méthode de branchement (flip chip) des capteurs de pression en silicium sur un circuit imprimé flexible pouvant être inséré dans le cathéter.
- Conception et réalisation d'une puce électronique permettant l'acquisition, le traitement et le transfert vers l'extérieur de signaux acquis.
- Conception du système de communication BlueTooth entre le cathéter et le système d'enregistrement de données à l'aide de composants commerciaux.
- Évaluation de la possibilité de concevoir et de fabriquer un nouveau capteur de pression plus adapté à nos besoins en utilisant les récents avancements dans la fabrication des MEMS.
- Intégration du système complet dans le cathéter.

RÉSULTATS:

- Modélisation du thorax et simulation par éléments finis du patron de sensibilité de différentes électrodes eosophagiennes.
- Fabrication et test in vivo de cathéters incluant différentes géométries d'électrodes;
- Puce électronique permettant l'acquisition, le traitement et le transfert vers l'extérieur des signaux acquis en cours de conception.

DESLAURIERS, François **DIPLÔME: M.Sc.A.**

TITRE :

Développement et analyse de réseaux intégrés sur puce dans un environnement logiciel matériel multiprocesseurs.

RÉSUMÉ :

À partir d'un nombre donné de ressources et d'une application donnée, il est important de déterminer quelle topologie dans un SoC (*System on Chip*) permettra de minimiser les temps de communication entre les ressources pour que celles-ci puissent consacrer plus de temps au traitement de l'application.

PROBLÉMATIQUE :

Grâce à la constante progression dans la technologie du transistor, il est possible d'intégrer sur une même puce des dizaines de ressources pour accélérer le traitement d'une application donnée. Une ressource peut être un processeur, un DSP, une mémoire, un bloc matériel ou un FPGA. Pour que ces ressources puissent communiquer entre elles, le modèle simple du bus n'est plus adéquat. Il faut orienter les communications inter-ressources vers d'autres topologies (anneaux, arbres, etc). On assiste donc à l'émergence de différents réseaux intégrés sur puce, communément appelés NOC (Network on Chip).

MÉTHODOLOGIE :

- Concevoir et réaliser (ou simplement réaliser, dans certains cas) des modèles de NOC (SPIN, CrossBar, HotPotato, ROC, ROC hiérarchique) en utilisant SystemC
- Intégrer les différents NOC sur la plate-forme StepNP (System-Level Exploration Platform for Network Processors).
- Créer un générateur de trafic pour émuler des applications (ex: traitement de paquets, multimédia, etc.).
- Créer un interface graphique (PerNOC) pour compiler automatiquement les résultats de simulation.
- Analyser les différents NOC selon ces critères: débit, contention, espace, consommation de puissance, temps de transfert.
- Créer un outil pour déterminer quel NOC est le plus adéquat pour une application donnée selon un nombre de ressources données.

RÉSULTATS :

- Les NOC *Hot Potato, CrossBar, ROC, ROC hiérarchique et ROC bidirectionnel* ont été modélisés en SystemC et intégrés dans les plate-forme StepNP;
- L'interface graphique PerNOC est disponible dans une première version;
- L'analyse sera effectuée en utilisant l'application MPEG 4 de STMicroelectronics.

DINH, Chi Truc **DIPLÔME: M.Sc.A.**

TITRE:

Développement d'une méthode de vérification des systèmes numériques basée sur des techniques de test par mutation.

RÉSUMÉ:

Le but de ce projet est de développer une méthode de vérification basée sur l'utilisation des techniques de test par mutation afin de tester la capacité des assertions à détecter des fautes subtiles de conception. Le test par mutation requiert une méthode d'injection de fautes. Par conséquent, il faut déterminer les erreurs à injecter et développer une méthode d'injection de fautes dans le code source de la description du circuit.

PROBLÉMATIQUE:

La méthode traditionnelle et la plus populaire de nos jours pour vérifier des circuits numériques est la simulation logique. Cette méthode permet de vérifier la correspondance entre les réponses actuelles du circuit et les réponses prévues dans les spécifications. Cependant, la complexité grandissante des designs requiert que les nombreux modules d'un système n'entraînent pas celui-ci dans un état néfaste à son bon fonctionnement. Le besoin d'observer le fonctionnement interne des modules a amené l'utilisation des assertions dynamiques dans le flot de conception et et de vérification. Jusqu'à maintenant, la spécification des assertions dynamiques se fait de manière ad hoc et il n'existe pas de méthode permettant d'indiquer si l'assertion est en mesure de détecter certains comportements indésirables qu'un banc d'essai aura de la difficulté à détecter, d'où l'emploi des techniques d'injection de fautes pour mesurer l'efficacité d'une suite d'assertions pour des catégories de fautes déterminées.

MÉTHODOLOGIE:

Ce projet comporte les étapes suivantes :

- Revue de littérature sur les méthodes de vérification basée sur les assertions, la vérification fonctionnelle et les techniques de test par mutation;
- Développement de modèles de fautes possibles dans la descritpion RTL d'un design;
- Développement d'un mécanisme d'injection de fautes;
- Application de la méthode sur un exemple;
- Automatiser le processus décrit.

RÉSULTATS:

L'application de modèles de fautes simples tels que des substitutions de portes logiques ont permis de constater que le nombre de fautes potentielles à injecter peut facilement exploser et qu'il faut alors simplifier le problème en essayant de modéliser des classes de fautes correspondant à des problèmes réels dans les designs. Une méthode d'injection de fautes simples est en phase d'essai sur un exemple tandis qu'il faut développer un premier modèle de faute pour un design RTL.

DJEBBI, Moncef **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'amplificateur en mode courant à décalage de tension réduit et application à la réalisation d'un filtre passe bande à fréquence centrale programmable.

RÉSUMÉ :

Ce projet traite en premier lieu, la technique de la moyenne pour réduire la tension de décalage de l'amplificateur en mode courant et sa conception en technologie CMOS. En deuxième lieu, une réalisation d'un filtre passe bande à fréquence centrale programmable automatiquement avec un circuit numérique.

PROBLÉMATIQUE :

Dans le domaine analogique, la tension de décalage est due à la variation du procédé de fabrication (transconductance, seuil de conduction), à l'irrégularité des dimensions des masques et à la difficulté de jumeler des transistors de type NMOS et PMOS. Elle réduit les performances dynamiques et statiques des amplificateurs tels que : diminution de la bande, déplacement de la fréquence de coupure, diminution de la plage dynamique de sortie, etc. La réalisation d'un filtre intégré d'un convertisseur analogique/numérique et bien d'autres applications sont basées sur des amplificateurs opérationnels. Le décalage des ampop limite les performances souhaitées par les concepteurs de systèmes électroniques.

MÉTHODOLOGIE :

- Revue de littérature des travaux traitant du problème de la tension de décalage;
- Choix d'une solution qui répond aux besoins du problème sans dégradation des performances de l'amplificateur;
- Analyse et simulation du circuit de compensation;
- Proposition et simulation d'une nouvelle architecture de l'ampop pour différentes valeurs de tension DC;
- Vérification et analyse des effets du circuit de compensation sur les performances de l'amplificateur tels que la distorsion harmonique, le produit gain bande passante et le bruit;
- Conception et simulation d'un filtre passe bande utilisant des CFOA.

RÉSULTATS :

Design, implémentation et fabrication d'une puce intégrant un CFOA et un module de réduction de la tension de décalage. Une comparaison des résultats obtenus par simulation et par mesure est en cours.

DUBOIS, Martin **DIPLÔME: M.Sc.A.**

TITRE:

Analyse et conception de registres à décalage pour la réalisation de décodeurs à seuil itératifs configurables.

RÉSUMÉ:

Le décodage à seuil itératif est une approche simple permettant de contourner les problèmes de latence et de complexité du décodage Turbo. Ce projet de maîtrise consiste à concevoir un décodeur à seuil itératif configurable. Un décodeur configurable permet d'avoir plusieurs décodeurs dans un design en ajustant le nombre de connexions. Cet ajustement permet de changer de performance dans un contexte donné sans avoir à synthétiser un nouveau design. Évidemment, l'adaptation de ce décodeur configurable est d'un grand attrait parce qu'il permet d'obtenir de meilleures performances en terme de probabilité d'erreur. Ce dernier facteur est influencé par le rapport signal sur bruit du canal qui est parfois variable pour certaines applications.

PROBLÉMATIQUE:

Le décodage à seui itératif est composé principalement de registres à décalage. Les registres à décalage sont prédominant et consommant beaucoup tout en s'accroissant selon le code. En plus de cela, il faut faire la fusion de plusieurs décodeurs pour en créer un configurable. Les méthodes actuelles ne permettent pas de faire la réalisation de design configurable tout en tenant compte de la puissance consommée, des pipelines et des ressources.

MÉTHODOLOGIE:

Comme le décodeur est composé d'une architecture pipeline, le travail a été séparé en deux grandes parties. La première consistera à créer de nouvelles méthodes et structures pour la conception et la réalisation de registres à décalage de petite, moyenne et grande taille. Cette partie se concentrera sur l'aspect de la réduction de puissance des registres à décalage et la possibilité d'avoir des structures consommant le moins d'énergie possible tout en étant configurables. Avec ces nouvelles méthodes et structures, la réalisation d'un décodeur configurable deviendra possible. La deuxième partie consistera à concevoir un décodeur configurable. Les méthodes actuelles ne sont pas adéquates pour cette conception. Cette partie se concentrera sur les méthodes et sur la modélisation de plusieurs décodeurs afin de les fusionner. De plus, il existe plus d'un code pour chaque décodeur, le concept d'exploration de la fusion afin de trouver le meilleur ensemble de codes pour une performance donnée sera montré.

RÉSULTATS:

Dans le cadre de ce projet, nous avons jeté les bases sur la réalisation d'un décodeur configurable. L'objectif était la réduction de la puissance et la possibilité de faire un décodeur configurable. Nous avons réalisé ces deux objectifs. Pour y arriver, nous avons réalisé un outil de synthèse pour aider à implémenter des décodeurs configurables ou non. Ceci permet de réduire la dissipation de puissance et d'optimiser l'utilisation des ressources. Nous pourrions avoir comme objectif d'améliorer la vitesse d'opération du décodeur. L'outil que nous avons créé supporte d'éventuels algorithmes tels que les algorithmes d'ordonnancement indiqués dans la littérature. De plus, l'outil fait abstraction de la technologie en utilisant des classes virtuelles. Nous avons réalisé une première version avec le VIRTEX-E qui possède sa propre classe. Éventuellement, il serait important de réaliser d'autres classes pour d'autres technologies. L'outil peut en tenir compte automaitquement. Enfin, nous avons montré la possibilité de faire de l'exploration algorithmique et architecturale. Dans une version future, nous pourrions être intéressés par d'autres estimateurs tels que la vitesse d'opération du décodeur en fonction du code. L'outil est fait de façon modulaire et est très flexible, de sorte que nous pouvons donc imaginer l'ajout de certaines fonctionnalités telles que l'automatisation du choix des décodeurs à fusionner.

DUBOIS, Mathieu **DIPLÔME: M.Sc.A.**

TITRE :
Modélisation hétérogène et conception d'une plate-forme SoC pour le traitement et la transmission des données de vidéo numériques.

RÉSUMÉ:
L'application visée dans ce projet de maîtrise concerne une plate-forme SoC (System on Chip) pour le traitement et la transmisison vidéo. La transmission sera réalisée par un processeur réseau d'abord conçu pour la conversion de protocoles. Le traitement vidéo sera exploré au travers une plate-forme vidéo conçue pour exécuter l'algorithme de Wiener. Dans les deux cas, nous emploierons un modèle de plate-forme générique.

Ce travail discutera d'une nouvelle méthode pour concevoir un SoC avec plusieurs langages et il discutera des modules d'intercommunication dans une plate-forme SoC. La réduction du temps, des coûts de développement et une mise en marché plus rapide découleront de cette recherche. Une exploration des capacités de quelques langages permettra d'élaborer une nouvelle méthode à double profilage utilisant le meilleur de chacun.

Relier l'ensemble des modules d'une plate-forme SoC exige la compatibilité des modules. Plusieurs solutions sont disponibles, mais elles sont caractérisées par une bande passante insuffisante ou un manque de flexibilité. Ce travail propose une architecture d'intercommunication pour un milieu de communication flexible de haute performance pourvant fournir une largeur de bande variable. Il est basé sur le bus AHB de AMBA. L'architecture proposée a été implémentée dans l'environnement HDL Designer Series TM de Synopsis, en utilisant la technologie CMOS 0.18 micron avec des outils de Cadence pour valider le concept proposé. Nos travaux montrent qu'il est possible d'obtenir un pont AHB/AHB multi-fréquentiel avec de nouvelles caractéristiques. Ce pont permet la synchronisation automatique entre les domaines d'horloges opérant autour de 500 MHz.

PROBLÉMATIQUE:
La problématique est l'utilisation d'une architecture flexible à haut débit et supportant des applications de vidéo numérique en garantissant un transfert de données avec latence faible. Ce n'est pas le cas pour les systèmes existants présentement, car ceux-ci sont spécifiques à certaines classes d'application et manquent de flexibilité. Tout en respectant les contraintes temporelles, il est difficile dans un temps de conception restreint, d'avoir une architecture configurable et flexible supportant des algorithmes spécialisés pour certaines classes d'application de traitement de données vidéo.

MÉTHODOLOGIE:
La modélisation et la conception d'une plate-forme SoC pour des applications de vidéo numériques nécessitent les étapes suivantes:

- Une revue de littérature portant sur: les méthodologies de conception, les plates-formes SoC de traitement de données vidéo, les algorithmes de réduction de bruit vidéo et les bus de communication de haute performance.
- L'exploration et l'évaluation des différents langages de programmation nécessaires à la réalisation des simulations aux différents niveaux d'abstraction.
- L'élaboration d'un environnement de simulation hétérogène.
- La réalisation d'une cellule de haute performance AMBA flexible et configurable.
- La conception d'un module basé sur un algorithme de réduction de bruit vidéo.
- La proposition d'une nouvelle architecture de la plate-forme SoC autour d'un squelette d'interconnexion utilisant des cellules AMBA et dotée d'un module de réduction de bruit.

RÉSULTATS:
Nous avons implémenté une première version de l'architecture de système ayant pour principale application la conversion de protocole réseau. Suite aux résultats de la première version, la réalisation d'un bus générique a été développée permettant ainsi d'avoir une nouvelle architecture plus flexible. Également, ce nouveau type de bus a permis de réaliser une méthode à double profilage appliquée pour un partitionnement matériel ou logiciel avec plusieurs processeurs.

DUMORTIER, Cyprien **DIPLÔME: M. Ing.**

TITRE:

Transformée en ondelettes discrète en vue de traiter les signaux neuronaux.

RÉSUMÉ:

Le projet consiste en la réalisation d'un calculateur réalisant une transformée en ondelettes discrète. La transformée en ondelettes, en autre, grâce à sa caractéristique multirésolution, est un outil puissant pour réaliser le débruitage, voir la compression du signal.

PROBLÉMATIQUE:

Le système dans lequel le calculateur doit s'intégrer, est un système d'acquisition multicanal de signaux corticuax. Ce système présente deux caractéristiques importantes, être multicanal, posséder une fréquence de fonctionnement relativement basse, de 30 kHz.

Il faudra savoir tirer profit de ces deux éléments en vue de choisir une architecture, permettant de diminuer surface et puissance consommée.

MÉTHODOLOGIE:

Après s'être assuré que la transformée en ondelette était bien l'outil répondant à nos besoins, le choix des ondelettes les plus appropriées pour l'opération de débruitage est réalisé.

La prise en considération des caractéristiques du système d'acquisition permet de concevoir une architecture pour le calculateur. Cette architecture est validée par implémentation sur un FPGA de traitement de signal.

RÉSULTATS:

Les travaux suivants ont été réalisés:

- Implémentation sur FPGA d'une ondelette de Haar en utilisant les outils de développement Altera;
- Mise en avant, méthodique, des ondelettes les plus appropriées à la détection de potentiels d'action;
- Implémentation d'une première version du calculateur en utilisant la structure directe, en vue de disposer d'un outil paramétrable, permettant de tester les blocs VHDL des sous-systèmes placés après la transformée en ondelette.

DUNGEN, Jeffrey **DIPLÔME: Ph.D.**

TITRE:

Auto-organisation biomimétique de réseaux de neurones à pulses en aVLSI.

RÉSUMÉ:

Il existe actuellement des réseaux de neurones implantés en aVLSI qui sont fonctionnellement similaires à leur équivalent biologique. Mais dans la plupart de ces implantations, la capacité d'adaptation est soit inexistante, ou est due à des méthodes non-inspirées de la biologie. Le but de cette recherche est donc de développer, ou modifier des algorithmes d'auto-organisation existants, une architecture de réseaux de neurones à pulses en aVLSI fonctionnant et s'adaptant de façon similaire à ses équivalents biologiques.

PROBLÉMATIQUE:

Le développement d'un système adaptatif biologique pour les neurones à pulses est contraint par deux obstacles. En premier, le mécanisme d'adaptation des neurones biologiques n'est pas bien connu, et conséquemment, il existe plusieurs écoles de pensées concurrentes. Deuxièmement, il n'est pas évident de concevoir un circuit qui soit simple et compact, capable d'ajuster (adapter) dynamiquement une tension analogique (représentant un poids synaptique) et de la maintenir à long terme.

MÉTHODOLOGIE:

D'une part, il faut concevoir des cirucits électroniques analogiques en aVLSI qui vont permettre l'application du principe d'auto-organisation (tel que celui proposé par Kohonen) pour des neurones à pulses. Ceci comprend nécessairement la conception de circuits électroniques pour l'ajustement dynamique et le maintine à long terme des poinds synaptiques analogiques. Il faut également obtenr des modèles de simulation pour ces poids et ceux des neurones eux-mêmes.

D'autre part, nous voulons offrir à un utilisateur une interface graphique pour la simulation de réseaux multi-couches de ces neurones à pulses en aVLSI. Les circuits candidats seront testés et validés selon leur capacité à reproduire un comportement biologiquement réaliste et à s'adapter à de nouveaux stimulis.

Finalement, le système sensoriel d'un robot simple sera conçu et validé comme application réelle du système proposé.

RÉSULTATS:

Des circuits «winner-takes-all» ont été raélisés pour simuler des neurones à pulses en aVLSI. Des circuits pour des poids analogiques ont également été étudiés et conçus, mais leur performance reste à être évaluée. Des protocoles de simulation pour le système ont été établis et un logiciel à interface graphique a été développé, et se retrouve sur le site WEB du LRN. Finalement, des réseaux de neurones multi-couches et un robot simple (mais non-adptatif), ont été testés avec succès à partir de ce logiciel interactif.

DUPIRE, Thierry **DIPLÔME: M.Sc.A.**

TITRE:

Lien RF bidirectionnel faile puissance pour dispositifs implantables.

RÉSUMÉ:

Les implants biomédicaux sont destinés à être introduit dans le corps humain. Leur rôle est de suppléer une fonction du système nerveux et de reporter des informations sur son état. Pour éviter les risques d'infection, ces informations sont transmises sans fils. Notre objectif est donc de concevoir un système de transmission de données RF bidirectionnel à très basse consommation et à faible encombrement dans le but de l'intégrer sur des neurostimualteurs implantables.

PROBLÉMATIQUE:

La plupart des implants actuels utilisent un lien de transmission inductif pour alimenter et transmettre les données. Ce système, cependant, ne permet pas de rayonner dans un champ lointain et limite l'efficacité du transfert de puissance. Pour s'affranchir de ce problème, il est nécessaire de séparer la transmission d'énergie du lien de communication.

L'environnement dans lequel l'implant fonctionne apporte, de plus, des considérations supplémentaires. La bande de fréquence utilisée doit premièrement être adapté à l'application et respecter les règlementations d'émission. Deuxièmement, la transmission doit être sécuritaire et robuste face aux interférences. Enfin, le circuit doit avoir une faible consommation de puissance pour fonctionner à partir d'une batterie rechargeable pendant plusieurs années. Notre but sera de proposer une nouvelle architecture satisfaisant ces contraintes.

MÉTHODOLOGIE:

La première phase consiste à étudier les caractéristiques des bandes de fréquences utilisables pour choisir les mieux adaptées.

Dans la suivante, l'identification des procédés de modulation pertinents et des considérations énergétiques orientera le choix vers les architectures recherchées.

La partie antenne devra également être étudiée pour maximiser l'efficacité de transfert. Les conclusions de l'étude donneront lieu à une réalisation intégrée de la chaîne de transmission.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

DUVAL, Olivier **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un dispositif microélectronique de test pour des composants nanoélectroniques.

RÉSUMÉ:

Ce projet est une première approche dans le département pour l'application physique de composants nanoélectroniques. En partenariat avec le département de génie physique, ce projet se veut une approche hybride entre les nouveaux dispositifs nanoélectroniques et la microélectronique classique.

PROBLÉMATIQUE:

- Modélisation systématique des composants nanoélectroniques
- Caractérisation des structures microélectroniques pour permettre l'hybridation;
- Réduction des sources d'imprécision dans les mesures de délai et d'impédance des nanostructures;
- Mesure proprement dite de paramètres électriques sur des nanostructures.

MÉTHODOLOGIE:

- Modélisation :
  - Création de nouveaux modèles de dispositifs actifs à partir de courbes courant-tension expérimentales;
  - Intégration de ces modèles à des logiciels de design tel Cadence;
- Au laboratoire de microfabrication, l'équipe de génie physique mesurera la composition exacte des structures présentes dans un circuit CMOS standard;
- Utilisation de la plateforme de test intégrée pour réduire les capacités parasites au contact de nanostructures;
- Utilisation d'outils de CAD disponibles au département pour la conception et la réalisation de la plate-forme de test;
- Test des propriétés électriques des nanostructures en utilisant la plateforme elle-même et les outils de test au laboratoire du groupe de recherche en microélectronique.

RÉSULTATS :

- Conception de la plate forme de test, qui est actuellement entre nos mains et comporte des défauts de fabrication/conception qui la rendent inopérante;
- Extraction d'un modèle fiable de représentation des nanodispositifs électroniques.

ELSANKARY, Kamal **DIPLÔME: Ph.D.**

TITRE:

Convertisseurs analogiques/numériques (CAN) dédiés à des systèmes de communication sans fil à très large bande.

RÉSUMÉ:

Ce projet vise la conception et la réalisation de convertisseurs analogiques/numériques (CAN) intégrés à large-bande dédiés aux récepteurs sans fil. Étant donné que les applications des CAN de ce projet ciblent principalement les systèmes de communication sans fil, une attention particulière sera prêtée à l'amélioration du facteur de performance «Spurious-Free Dynamic Range» (SFDR) tout en maintenant une résolution adéquate de ces différents CAN. En outre, des techniques innovatrices de calibrage seront utilisées durant la conception des CAN afin d'améliorer leurs performances. Les CAN en question, seront validées par des circuits et fonctions mixtes (analogique, numérique) en technologies CMOS 0.18 um.

PROBLÉMATIQUE:

La demande croissante des dispositifs portatifs sans fil dans les différentes applications (voix, médicales, capteurs, divertissement, etc.) a attisé le besoin d'un convertisseur analogique/numérique à haute vitesse et résolution. Notons que dans la technologie semi-conducteur complémentaire d'oxyde de métal (CMOS), le CAN entrelacé est le choix approprié pour la réalisation d'un convertisseur fonctionnant à une fréquence de l'ordre de Giga-hertz. Néanmoins, les disparités entre les canaux entrelacés représentent la majeure limitation qui empêche l'utilisation d'un tel type des convertisseurs. En plus, le CMOS est le choix convenable pour permettre un mixage libre des fonctions analogiques à numériques à cause de son faible coût de fabrication et de sa supériorité pour les applications numériques. Cependant, pour la technologie submicronique profonde telle que 0.18um et moins, le design des blocs analogiques CMOS révèle beaucoup de faiblesse au sujet de modulation de canal, dégradation de mobilité de porteurs et divers bruits provenant de son substrat fortement dopé. Ces contraintes nécessitent d'analyser de nouvelles techniques pour la réalisation des CAN dédiés au système de communication sans fil moderne. Nous proposons des techniques de conception afin d'atténuer les effets du comportement non idéal des circuits analogiques cohabités avec les circuits numériques dans les CAN.

MÉTHODOLOGIE:

- Maîtriser les différentes architectures de convertisseurs analogiques/numériques (CAN) intégrés à large-bande dédiés aux récepteurs sans fil.
- Étudier les circuits intégrés à faible consommation de puissance;
- Proposer de nouvelles architectures qui surmontent les contraintes précitées dans la problématique;
- Simulation, design et implémentation de ces circuits afin de les valider en créant un environnement de test convenable.

RÉSULTATS:

Les résultats obtenus à ce jour ont fait l'objet de huit articles de conférence et deux articles de journal. Un prototype d'un CAN, pipeliné en mode tensin, de 10 bits a été conçu dans le procédé 0.18µm. Deux canaux de ce même CAN sont utilisés pour réaliser un CAN disposant d'une fréquence d'échantillonnage plus élevée (100 MHZ.

EPASSA HABIB, Gabriel **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un processeur à période d'horloge variable.

RÉSUMÉ:

Ce projet consiste à concevoir un processeur à vitesse variable (VSP). La période de son horloge est générée par le générateur d'horloge à période variable conçue dans la première partie du projet. Le processeur est donc capable de changer en temps réel sa vitesse d'exécution selon le flot d'instruction, et ceci grâce à un dispositif qui permet d'ajuster la plus petite période d'horloge propre à chaque instruction, à chaque cycle. Ainsi pour toute sorte d'application, il y a un gain de performance. Aussi, il est possible avec un tel système, de réduire l'énergie de clacul en réduisant la cadence de l'horloge et le voltage, tout en conservant la performance.

PROBLÉMATIQUE:

Plusieurs travaux ont été effectués pour atteindre la performane maximale dans les circiuts digitaux. Généralement, cette performance est limitée par les délais dans les composantes utilisées. Les systèmes synchrones fonctionnent à la cadence d'une horloge dont la période est établie selon le plus long délai du chemin critique. Ce dernier n'est pas toujours utilisé par les opérations. Il s'agit donc de pouvoir choisir le délai du plus long chemin utile à chaque opération.

Cependant, nous sommes toujours confrontés à un compromis entre la performance et la consommation de l'énergie, cette dernière étant fonction de la tension d'alimentation, qu'à son tour influence la performance. D'où l'importance de prévoir un système qui supporterait des algorithmes de Dynamic Voltage and Frequency Scaling (DVS).

MÉTHODOLOGIE:

Une première étape était d'explorer l'architecture du pipeline du Nios, puis choisir les signaux importants des étages du pipeline qui contrôleront le générateur d'horloge variable. Les opcodes lus de la mémoire d'instructions sont décodés au fur et à mesure. L'étape finale est de mesurer les délais de chaque instruction afin de les numériser pour obtenir la valeur binaire qui engendrerait une horloge à période de longueur appropriée.

RÉSULTATS:

Le circuit est en voie d'être prototypé sur la plateforme FPGA de système embarqué de chez Altera. Le processeur embarqué utilisé est le Nios que l'on retrouve dans le FPGA Stratix E1S40. Ce dernier utilise la technologie 130nm à 1.5V. Les résultats de simulation après placement et routage avec Quartus montrent une fréquence maximale estimée à 100MHz

FORTIN, Marc-Antoine **DIPLÔME: M.Sc.A.**

TITRE:

Synchronisation d'une alimentation intermittente avec les déplacements d'un micro-robot.

RÉSUMÉ:

Ce projet consiste à faire la conception, la simulation et l'implémentation d'un circuit d'activation d'actuateurs piézoélectriques et de préventions d'arcs lors des déplacements d'un micro-robot instrumenté. L'objectif de cette plateforme robotique est de positionner celle-ci à l'échelle atomique, à l'aide d'un système de positionnement global assuré par communication infrarouge. De plus, tout le soutien électronique nécessaire pour adapter, utiliser et intégrer la technologie de la microscopie à effet tunnel dans une plateforme mobile miniature est assuré.

PROBLÉMATIQUE :

Puisque la plate forme est sans fil et qu'une batterie serait beaucoup trop limitative en termes de temps d'autonomie et de poids additionnel, une façon ingénieuse de l'alimenter a été développée; la plateforme tire son alimentation depuis un plancher alternant bandes positives et négatives, via les pattes du robot. Non suelement faut-il minimiser la puissance dissipée par tous les régulateurs et les convertisseurs nécessaires à son bon fonctionnement, mais aussi faut-il optimiser la fréquence d'activation des pattes, malgré une puissance disponible très limitée. De plus, la fréquence d'activation la plus lente implique un temps minimal pendant lequel le robot devra être déconnecté du plancher et donc aussi de son alimentation. Cette partie du circuit sert à éviter les arcs électriques qui surviennent lorsque de faibles gaps interrompent un courant. Ces arcs endommagent à la fois la surface du plantcher ainsi que les pattes du robot. Ces deux effets risquent chacun de compromettre la fiabilité des déplacements de la plateforme. De surcroît, il faudra donc accumuler assez d'énergie pour « survivre » pendant les déplacements du robot.

MÉTHODOLOGIE :

Tout d'abord, des tests d'arcs statiques ont été fait en salle grise (pour un environnement connu et stable) pour démontrer que des arcs surviennent dans les conditions qui nous préoccupent : courant d'environ 3A, tension entre 7 et 15 V, gap statique de 5 à 20 µm. Une revue de la littérature sur les relais mécaniques automotbiles ont aussi permis d'apprivoiser la théorie des transferts métalliques lors d'arcs élecriques. Une prochaine série de tests serviront à démontrer le dommage causé par un arc qui survient lors des déplacements d'une patte (dynamique). Ces dommages seront évalués par microscopie à balayage électronique.

Parallèlement, des circuits doivent être développés pour permettre ces déplacements, tout en prévenant ces arcs électriques. Compte tenu de la miniaturisation, les circuits de puissance standard devront être adaptés avant de pouvoir être utilisés pour accumuler assez d'énergie pour combler la période où le micro-robot sera déconnecté du plancher.

RÉSULTATS :

Les tests d'arcs statiques tendent vers les mêmes résultats que ceux obtenus dans les relais mécaniques. De plus, la simulation des circuits d'activation et de prévention d'arcs électriques donne d'excellentes raisons de croire que leur implémentation fonctionnera aussi.

FOURNIER, Pierre-Alexandre **DIPLÔME: M.Sc.A.**

TITRE:

Prédiction des caractéristiques timbrales de phonèmes pour la synthèse de voix réaliste.

RÉSUMÉ:

Ce projet consiste à construire une machine neuronale qui apprend à prédire les caractéristiques timbrales de phonèmes d'un locuteur. Nous utilisons d'autres phonèmes de ce locuteur pour reconstruire un phonème inconnu à partir d'autres locuteurs.

PROBLÉMATIQUE:

Le modèle harmonique et bruit a donné des résultats prometteurs pour la synthèse de voix. Cependant, il n'est applicable que lorsque tous les phonèmes d'un locuteur sont disponibles pour le discours à synthétiser. Jusqu'à maintenant, aucune méthode n'a été proposée pour résoudre ce problème.

MÉTHODOLOGIE:

Nous voulons comparer plusieurs architectures et algorithmes d'apprentissage pour découvrir les relations entre les caractéristiques timbrales d'un locuteur. Nous devons donc :

- Construire un système d'analyse, modification et synthèse de voix;
- Extraire les composantes timbrales nécessaires pour la prédiction;
- Utiliser des algorithmes d'apprentissage et des réseaux de neurones pour construire un modèle acoustique des locuteurs d'une langue.

RÉSULTATS:

Le système d'analyse, modification et synthèse de voix a été construit. Les composantes timbrales nécessaires ont été caractérisées et choisies. Des résultats préliminaires suggèrent qu'il est possible de donner une bonne approximation des caractéristiques timbrales d'un phonème inconnu d'un locuteur lorsque ses autres phonèmes sont corrélés avec d'autres locuteurs. Nous prévoyons publier ces résultats en 2005.

FOUZAR, Youcef **DIPLÔME: Ph.D.**

TITRE:

Contributions aux systèmes à phase asservie rapides et à haute performance.

RÉSUMÉ:

La conception d'un système à phase asservie est souvent le résultat d'un compromis entre robustesse, rapidité de réponse, simplicité, précision et qualité des signaux générés. Dans un tel système, quand la bande passante est étroite, le temps de commutation entre une fréquence initiale et une fréquence désirée est indéniablement large.

Des études précédentes ont montré que la réduction du temps de commutation et l'obtention d'un temps courts de verrouillage est possible et requiert, généralement, une modification du comportement dynamique du système. Notre but est de réaliser un système entièrement intégré avec une bande passante étrote (<300 KHz) à temps de réponse court, capable d'opérer sur une large gamme d'excursion de fréquence (10-700MHz) et ce avec une valeur moyenne quadratique de la gigue de phase de sortie inférieure à 1%. À cela s'ajoute, les contraintes de basse alimentation et de basse consommation d'énergie.

PROBLÉMATIQUE:

Un système à phase asservie a pour objectif de générer une horloge précise et stable obtenue aussi bien par la correction des erreurs de phase et de fréquence que par la multiplication de l'horloge d'entrée. Cependant, l'un des aspects les plus critiques dans la conception de tels systèmes est le temps de verrouillage; temps nécessaire pour qu'un système requière une nouvelle fréquence.

Le temps de verrouillage d'un système à phase asservie est inversement proportionnel à la largeur de la bande passante. D'une part, une bande passante large diminue la capacité du sytème à filtrer le bruit du signal d'entrée, même si elle réduit le temps de verrouillage et la contribution du bruit de l'oscillateur au signal de sortie. D'autre part, si une bande passante étroite réduit la contribtution du bruit du signal d'entrée, elle augmente considérablement le temps de verrouillage. Pour ce dernier cas, le bruit du signal de sortie est dominé par le bruit intrinsèque du système, en particulier par celui de l'oscillateur. Ce dernier se dégrade de façon dramatique avec l'utilisation d'une large gamme d'excursion de fréquence de sortie.

MÉTHODOLOGIE:

La méthodologie de conception adaptée pour notre travail est la suivante:

- Concevoir un système à phase asservie avec faible gigue de phase;
- Concevoir un mécanisme d'auto-calibrage numérique à large gamme de verrouillage et avec le temps de réponse réduit;
- Concevoir des circuits CMOS très rapides et ayant une faible consommation d'énergie;
- Fabrication et validation expérimentale des résultats.

RÉSULTATS:

Un circuit intégré a été fabriqué en utilisant la technologie CMOS 0.18μm. Le circuit a été fabriqué et vérifié. Le circuit intégré inclut les sous-circuits suivants:

- Un système à phase asservie basée sur la technique de gain adapté. Ce système offre une acquisition de fréquence/phase rapide tout en ayant une faible gigue sur la phase de sortie;
- Un système à phase asservie avec un oscillateur auto calibré numériquement et qui réalise une large plage de verrouillage avec gigue sur la phase de sortie réduite;
- Un convertisseur fréquence/courant rapide totalement linaire à basse fluctuation sur le courant de sortie;
- Technique de reconfiguration du système dans le mode test (DFT).

GERVAIS, Jean-François **DIPLÔME: M.Sc.A.**

TITRE:

Échange bidirectionnel de données avec un implant électronique alimenté par lien inductif.

RÉSUMÉ :

De nos jours, il existe plusieurs dispositifs électroniques médicaux qui sont implantés dans le corps humain pour palier à une défaillance. Ces circuits ont besoin d'alimentation électrique et d'une façon de communiquer de l'information avec le monde extérieur. Pour éviter de multiples chirurgies, nous visons à transmettre énergie et données à distance. Le travail s'effectue selon les spécifications précises des implants développés par l'équipe PolyStim.

PROBLÉMATIQUE :

Les dispositifs implantés doivent pouvoir fonctionner en tout temps et sans restreindre la mobilité du sujet. C'est pourquoi l'efficacité de transmission est très importante : elle permettra de réduire la quantité de batteries externes nécessaires. De même manière, le circuit de réception de données doit être très modeste dans sa consommation de puissance. De plus, la transmission de données partant de l'implant doit se faire sans perturber l'arrivée de puissance.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Conception et réalisation d'un amplificateur à haut rendement pour l'émission;
- Conception et réalisation d'un prototype contrôleur/implant permettant de valider l'alimentation à distance ainsi que le transfert de données bidirectionnel;
- Caractérisation des limites de performance de la transmission utilisant des méthodes conventionnelles;
- Élaboration d'un système utilisant une modulation/démodulation alternative (par phase);
- Réalisation et caractérisation d'un système intégré effectuant la démodulation de phase.

RÉSULTATS :

Un amplificateur à haut rendement a été réalisé et testé. Ce dernier est beaucoup plus simple que les versions précédentes et l'efficacité est meilleure. Un prototype a été conçu et les fonctionnalités critiques ont été rencontrées, à savoir l'alimentation de l'implant par lien inductif et la transmission de données dans les deux directions. Le taux d'erreur a été observé et il est inférieur à 10 par million lors d'une communication demi-duplex. Aussi, un modèle de système de modulation/démodulation de phase a été élaboré et simulé. Les résultats montrent la nécessité d'avoir un index de modulation très faible, laissant la place uniquement à une modulation de type PSK avec deux niveaux de phase rapprochés. Un circuit intégré effectuant la démodulation d'un tel signal a été conçu et est présentement en fabrication.

GHAFAR ZADEH, EBRAHIM **DIPLÔME: Ph.D.**

TITRE:

Laboratoire sur une puce dédié à l'analyse et le diagnostique bioparticules.

RÉSUMÉ:

La recherche dans les domaines de la microélectronique, de la biologie et des microfluides permet maintenant de converger vers l'intégration d'un système de diagnostique complet sur une seule puce. Les laboratoires sur puces (Lab on Chip ou LoC) visent la détection précoce à faibles coûts de maladies dont le but est une prise en charge rapide du patient. Actuellement, différentes techniques sont étudiées pour permettre de différencier des éléments biologiques tels que virus, cellules, bactéries ou brin d'ADN. Nous nous intéressons à l'intégration des technologies CMOS et de microfluides sur une même structure hybride.

PROBLÉMATIQUE:

La première étape de ce projet consiste à concevoir un circuit ayant la capacité de générer un champ électrique non uniforme à l'aide d'une matrice d'électrodes différencier composants biologiques à l'aide des techniques de diélectrophorèse (DEP). La suite du projet touchera les microfluides.

MÉTHODOLOGIE:

- Simulation de champ électrique non uniforme pour DEP
- Design d'un circuit dédié à la DEP à l'aide de technique «Direct-Write-Assembly»
- Test in vitro du circuit sur un modèle.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

GHATTAS, Nader **DIPLÔME: M.Sc.A.**

TITRE:

Architecture qui teste et répare automatiquement les mémoires ayant une capacité ultra-large.

RÉSUMÉ:

Ce projet présente une stratégie pour incorporer une validation et une réparation automatique dans les mémoires qui possèdent une ultra-haute capacité. Cette structure automatique permet aux mémoires de haute capacité d'appliquer des tests de vérification, de localiser les erreurs et de les réparer sans assistance externe d'un ingénieur ou d'un équipement de vérification. Le projet améliorera le rendement de la mémoire et réduira les coûts de production. L'efficacité de la structure automatique des tests de vérification et de réparation de la mémoire est supportée par une organisation de mémoire hiérarchique.

PROBLÉMATIQUE:

De nos jours, les puces SRAM utilisent la technologie sous-micron MOS pour atteindre une mémoire de haute capacité tout en maintenant la surface de la matrice sous les contraintes de la technologie. De plus, accroître la capacité de la mémoire aura pour conséquence une augmentation de la taille de la puce, à sont tour, sera vulnérable aux pannes dues à la fabrication et diminuera ainsi le rendement. Par conséquent, une vérification et une tolérance aux pannes seront d'une grande nécessité dans le futur des puces de mémoire à grande capacité.

MÉTHODOLOGIE:

Les cellules de la mémoire redondantes sont introduites à plusieurs niveaux de la hiérarchie. Au plus bas niveau, les mots redondants sont introduits. Si la logique locale de réparation automatique peut réparer toutes les pannes au niveau local, le système de mémoire entière fonctionnera à pleine capacité. Cependant, si le bloc mémoire contient un nombre excessif d'erreurs qui ne peuvent être réparées automatiquement au niveau local, ce bloc ne doit pas être accessible durant le fonctionnement normal. Une tentative d'accéder à ce bloc doit être dirigée vers un bloc redondant fonctionnel.

RÉSULTATS:

Une puce prototype a été fabriquée mais ne peut être testée à cause d'une erreur dans les plots de sortie. Les résultats obtenus par les diverses simulations prouvent le bon fonctionnement du concept. Une analyse approfondie de ses résultats a été menée sur le plan de la surface additionnelle, le rendement et le délai.

GORSE, Nicolas **DIPLÔME: Ph.D.**

TITRE:

Vérification à haut niveau d'abstraction, de la cohérence des requis dans les designs: une validation conceptuelle des requis.

RÉSUMÉ:

Nous proposons une solution pour la modélisation, la validation des requis ainsi que l'extraction des requis absents. La modélisation repose sur une approche linguistique formellement structurée. La validation est effectuée en utilisant les modèles caractéristiques d'erreur. L'extraction des requis absents est basée sur des concepts de logique booléenne. Cette méthodologie permet une modélisation efficace et la détection des erreurs tôt dans le cycle de conception matériel/logiciel.

PROBLÉMATIQUE:

L'analyse des requis est une phase primordiale des cycles de développement, pourtant, les phases de validation automatique des requis proposées par les méthodologies actuelles sont absentes, sinon déficientes. L'ajout d'une phase de validation appuyée par une formalisation des requis est souhaitable pour les raisons suivantes:

- L'expression des requis dans un formalisme simple et accessible aux concepteurs permet une meilleure énonciation de ceux-ci, dont un meilleur partage des documents ;
- La validation automatique des requis permet aux concepteurs de s'assurer que les requis sont complets et dénués d'erreurs, et donc d'éviter la détection tardive d'erreur de conception s'étant propagées tout au long du cycle de développement.

MÉTHODOLOGIE:

Nous avons défini une approche à haut niveau d'abstraction pour la modélisation et la validation conceptuelle automatique des requis. Cette approche consiste en une représentation des requis en langue naturelle mais d'une façon formellement structurée, suivie de leur validation, puis du calcul de l'ensemble des requis manquants. La détection de problèmes potentiels dans l'expression des requis peut donc être effectuée très tôt dans le cycle de développement, assurant ainsi une meilleure qualité des requis et permettant un gain de temps considérable.

De façon à pouvoir greffer notre méthodologie à un outil de développement tout en comblant le fossé existant entre requis et spécification, nous avons ajouté une couche de vérification à ESys.Net. Cette couche, utilisant des observateurs, apporte non seulement beaucoup plus de puissance à ESys.Net mais nous permettra dans un avenir proche de lier les requis et la spécification qui en découle à l'aide d'une génération automatique d'observateurs.

RÉSULTATS:

À l'heure actuelle, une première version d'un prototype de vérification a été programmée en Prolog. Les requis y sont exprimés sous forme de prédicats Prolog et regroupés dans des fichiers texte. Ce prototype permet l'expression des requis et leur validation ainsi que l'extraction des requis manquants. Une étude de cas sur le noyau de validation a été publiée à IWSOC'04 Une étude de cas de grande envergure reposant sur la spécification du protocole RapidIO est actuellement en cours.

GOSSELIN, Benoît **DIPLÔME:Ph.D.**

TITRE:

Circuits mixtes et microsystèmes implantables dédiés à la mesure sans fil de l'activité neuronale du cortex.

RÉSUMÉ:

Les recherches en cours consistent à élaborer des méthodes de conception de circuits et de nouvelles techniques de mise en œuvre de systèmes hétérogènes (circuits intégrés, MEMS, etc.) pour réaliser des dispositifs implantables sans fil, dédiés à l'enregistrement neurophysiologique cortical. Les dispositifs projetés permettront, par exemple, d'effectuer des mesures intra corticales simultanées et précises dans plusieurs régions du cortex d'un animal éveillé pendant de longues périodes.

PROBLÉMATIQUE:

Contrairement aux techniques de mesure non invasives ou d'imagerie par résonnace magnétique, un système minimalement invasif utilisant une électrode micro fabriquée, comme celui projeté, offre la résolution nécessaire pour acquérir l'activité simultanée d'une grande quantité de cellules pour procéder à une analyse multineurone. Or, un dispositif implantable basé sur cette méthode doit faire face à plusieurs défis technologiques dont la consommation d'énergie minimale des circuits, la dissipation de chaleur sécuritaire des systèmes impliqués et la gestion d'un débit de données considérables par lien de la transmission sans fil.

MÉTHODOLOGIE:

Nous proposons une architecture hétérogène constituée d'une électrode matricielle microfabriquée combinée à un système sur puce. Ce dernier comprend l'électronique nécessaire pour traiter les signaux captés par les multiples électrodes. Chaque électrode capte les signaux issus de 2 à 4 neurones. Sachant qu'une neurone n'émet en moyenne que 10 potentiels d'action par seconde d'une durée de 2 à 3ms chacun (le système ne reçoit de l'information utile que 2% du temps), le système conçu capitalise sur la nature discontinue du signal d'intérêt pour économiser les ressources. Cette architecture qui utilise une circuiterie mixte dédiée s'inspire de la biomimétique. Une exploration approfondie des méthodes de détection efficaces du signal est en cours. Aussi, nous sommes en mesure de réduire les paramètres sensibles comme l'espace d'intégration et la consommation d'énergie, en favorisant un traitement analogique des signaux plutôt que d'opter pour une approche numérique. L'information utile détectée sera transférée à l'extérieur du corps par un lien de télémétrie. Le microsystème projeté sera complètement implantable dans le cortex grâce à l'encapsulation biocompatible appropriée.

RÉSULTATS:

Un prototype de l'étage d'entére et d'un module de détection des signaux a été réalisé en tehcnologie CMOS 0.18um. Les méthodes de conception de circuits utilisés ont permis d'atteindre une consommation réduite de 40uW par canal pour ces deux modules. Les résultats de simulation montrent qu'une chaîne de traitement analogique plutôt que numérique, dans le cas de l'étage de détection, permet un gain d'efficacité supérieur à 10.

GROU-SZABO, Robert **DIPLÔME: M.Sc.A.**

TITRE:

Plate-forme d'intégration reconfigurable spécialisée pour applications vidéo.

RÉSUMÉ:

Le but de ce travail est de concevoir et réaliser l'implémentation, à un niveau d'abstraction matérielle, d'une plate-forme reconfigurable pour assister l'implémentation de nouveaux algorithmes destinés au traitement vidéo.

PROBLÉMATIQUE:

Comment concevoir des architectures de traitement vidéo qui offrent la longévité à laquelle nous sommes habitués avec les ordinateurs conventionnels? Lors de la conception de circuits ASIC pour des applications similaires dans une même entreprise, l'ingénieur est appelé à effectuer à nouveau certaines tâches qu'il a déjà faites auparavant.

Or, si certains choix architecturaux avaient été pris de façon plus judicieuse lors de la première intégration, les subséquentes itérations de conception pour des applications différentes mais tout de même semblables auraient été plus faciles.

MÉTHODOLOGIE:

- Étudier les compromis qu'une plate-forme d'intégration reconfigurable implique, plate-forme optimisée pour facilement implémenter des applications vidéo;
- Implémenter une première architecture micro-codée avec un processeur de type «VLIW» pour avoir une plate-forme flexible et dynamiquement reconfigurable;
- Développer des bibliothèques au niveau RTL qui permettraient d'implémenter de nouveaux algorithmes rapidement.

RÉSULTATS:

Suite à une étude des différents types d'architectures de co-processeurs configurables une architecture modulaire, «cellulaire », a été choisie. Chaque nœud d'un flot de calcul représente une opération et, pour faciliter l'implémentation une interface générique et paramétrable a été développé où les sorties sont directement compatibles avec les ports d'entrée, alors une série de ces nœuds peut être connectée bout à bout pour former un flot de calcul complet. Une implémentation du filtre vidéo de Wiener a aussi été implémentée en VHDL. Maintenant, chaque opération de ce filtre sera encapsulé avec cette interface générique. Puisque les interfaces sont compatibles entre elles, quelques variantes du filtre peut être facilement configuré simplement en modifiant le flot de données en un autre chemin mais tout en réutilisant les composantes existantes.

Ensuite, un autre volet de la recherche tente de créer, à l'aide de réseaux de neurones, un identificateur de type de bruits qui prédomine dans une image. Donc, le réseau de neurone traite une image et indique à l'usager les endroits les plus corrompus par le bruit, ainsi que la nature de bruit dans ces endroits.

HARB, Adnan **DIPLÔME: Ph.D.**

TITRE:

Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales.

RÉSUMÉ:

Ce travail consiste à proposer une méthode d'évaluation du volume urinaire et de concevoir et réaliser un circuit électronique intégré implantable destiné à corriger les dysfonctions urinaires. Les performances visées pour ce système découlent de la qualité du signal acquis (amplitude, interférence, etc.). De plus, étant approvisionné par de l'énergie transmise de l'extérieur et une petite pile implantée, ce système ne devrait pas consommer beaucoup d'énergie. En résumé, le circuit d'acquisition devrait jouir d'un niveau de bruit faible pour minimiser la taille du dispositif implanté.

PROBLÉMATIQUE:

Nous prévoyons capter des signaux neuronaux différentiels de très faible amplitude et à basse fréquence. Le signal sera ensuite traité pour en extraire de l'information. Pour l'implant électronique destiné à la restauration des fonctions urinaires, le circuit informerait le patient de l'état de son volume vésical et joue le rôle d'une boucle de retour pour le contrôle de la stimulation. Cette partie réaliserait les fonctions suivantes : la détection du volume vésical; la communication de l'information détectée au contrôleur principal de l'implant; et l'estimation du temps nécessaire pour le remplissage de la vessie.

MÉTHODOLOGIE:

Nous avons procédé à l'examen des techniques de surveillance des activités neuronales et nous avons opté au prélèvement de l'électroneurogramme (ENG) relié à la vessie. L'incertitude dans cette approche est que nous ignorons l'allure des signaux qui innervent la vessie et la difficulté reliée à leur mesure car ils sont, en général, de très faible amplitude, de basse fréquence et sont contaminés par de l'interférence (l'électromyogramme « EMG, 60Hz, etc.) Pour atteindre nos objectifs, nous avons divisé le travail en deux étapes : Concevoir et réaliser un système d'acquisition de signal par ordinateur pour déterminer le comportement du signal nerveux en fonction du volume de la vessie, concevoir et réaliser un circuit intégré CMOS qui est en mesure d'accomplir les fonctions du système d'acquisition ainsi que les fonctions de traitement du signal pour pouvoir générer l'information sur l'état du volume de la vessie. Le système intégré proposé englobe un amplificateur d'instrumentation (amplificateur différentiel) à faible bruit, un circuit de traitement du signal analogique composé d'un redresseur, deux intégrateurs en série avec une remise à zéro; cette partie réalise la fonction RBI (Redressement et Bin-Intégration), un convertisseur aanlogique-numérique, et un bloc de contrôle de l'ensemble. La fonction RBI sera complétée après la conversion avec un additionneur. Le circuit sera ensuite implémenté et fabriqué en technologie CMOS. Des tests au laboratoire et in vivo suivent pour déterminer ses performances.

RÉSULTATS:

La première composante du circuit intégré a été conçue, réalisée et testée avec de bons résultats. Nous avons conçu le circuit de traitement. La conception des autres parties avec la technique des capacités commutées est complétée. L'architecture différentielle est adoptée pour améliorer le rapport signal sur bruit. Nous sommes dans la phase du test de puces fabriquées en parallèle à la rédaction de la thèse.

HASAN, Syed Rafay **DIPLÔME: Ph.D.**

TITRE:

Conception d'un bus sur puce (NoC) basée sur la méthode GALS.

RÉSUMÉ:

À mesure que la fréquence d'horloge dans les circuits intégrés augmente, il devient difficile de concevoir un système synchrone respectant le budget de biais de synchronisation (clock skew). En outre, la largeur de bande des interconnexions devient le goulot d'étranglement en technologies submicroniques profondes (DSM) parce que la vitesse de commutation des portes diminue plus rapidement que celles des interconnexions. Ces questions motivent les concepteurs non seulement pour chercher une solution de rechange pour les interconnexions au niveau physique, mais également au niveau d'abstraction plus élevé, le niveau architectural. L'architecture de bus a été, jusqu'ici, l'architecture prédominante pour la conception de systèmes-sur-puce (SoC). Mais, pendant que les puces devinenent plus denses et de plus en plus d'IPs (Intellectual Property) sont implantés dans une région finie de silicium (Si), la topologie de bus montre de plus en plus de vulnérabilité. Cette faiblesse est due à une mise-à-l'échelle (scability) limitée, aux transactions multiples concurrentes et à l'arbitrage central. Elle est surmontée par les concepteurs en utilisant des réseaux-sur-puce (NoC) mais au coût additionnel de commande d'écoulement et de commande de congestion qui occupe un certain pourcentage de la largeur de bande.

PROBLÉMATIQUE:

Diverses architectures de NoC sont disponibles en littérature. Un défi avec les NoC est la limitation dans la conception de NoC synchrones, semblables aux limitations d'interconnexion adressées plus haut. Les solutions de rechange incluent les techniques dites plesiochronous, mesochronous, la technique entièrement asynchrone et une solution intermédiaire connue sous le nom de GALS (localement synchrone globalement asynchrone). Nous croyons que la méthodologie GALS est un choix optimum de conception pour les NOC, dû à sa flexibilité d'accepter des domaines multiples d'horloge et de fournir une liberté significative dans la conception d'IPs. Le but de cette recherche est d'explorer de méthodes GALS pour les NoC.

MÉTHODOLOGIE:

- Arrangement de l'architecture et de l'interface du NoC;
- Synthèse de la machine asynchrone d'état pour les signaux de commande du NoC en utilisant la technique prolongée de mode continu. Le mettant en application au-dessus de notre architecture HyperTransportSuperLite (HTSL), au niveau de RTL;
- Établir la métrique d'exécution et comparez notre approche aux techniques disponibles dans la littérature.

RÉSULTATS:

Nous avons recommandé notre approche de conception pour le NOC et publié notre travail Design Constraint of a Hyper-Transport Compatible Network-on-Chip dans NEWCAS 2004. D'ailleurs, nous avons étudié dans différents GALS des méthodologies et des résultats édités dans différentes conférences. Actuellement, nous travaillons pour réaliser une méthodologie de GALS pour développer la conception asynchrone d'interface de DI (retard peu sensible) et comment automatiser la synthèse pour la mettre en application les résultats de NoC. Les résultats préliminaires sont prometteurs.

HASHEMI, Saeid **DIPLÔME: Ph.D..**

TITRE:

Amélioration d'efficacité des chaînes de conversion de puissance pour implants.

RÉSUMÉ :

Des implants électroniques sont intensivement employés pour améliorer la qualité de vie. Bien que le succès de mise en œuvre d'un tel dispositif, l'obtention de la puissance exigée en les mettant sous tension avec une source d'alimentation fiable et efficace, reste un défi significatif à la conception. Il est clair à noter que l'augmentation de l'efficacité de puissance n'est pas seulement un problème au niveau des dispositifs, mais également un problème additionnel au niveau de l'étude du système et son architecture.

PROBLÉMATIQUE :

Une chaîne conventionnelle de conversion de puissance se compose d'un redresseur de diode conventionnel à son étage d'entrée. La diode a une contrainte de sa tension de seuil en sens directe, résultant une perte significtive de puissance. Cette dernière affecte l'efficacité globale et diminue la tension à fournir aux étages suivants. Cet impact négatif devient de plus en plus significatif dans la conception de la source d'alimentation, qui est le cas de la nouvelle technologie (IC sub-micron). En outre, la diode est généralement réalisée en dehors de puce en utilisant les composants discrets, ce qui oppose à la conception d'un implant entièrement intégré.

Due à la complexité la plus élevée de l'implant et les limites biologiques impliquées, il est nécessaire de contribuer à l'étude et à la réalisation d'une architecture efficace pour concevoir une chaîne de conversion de puissance. Une étude, sur la topologie existante de la chaîne de puissance et ses composants du point de vue d'efficacité de puissance, est un point approprié de départ. Alors, il faut tout simplement les remplacer par d'autres dispositifs intégrés avec moins de consommation de puissance. Les études récentes ont prouvé qu'en utilisant des redresseurs actifs et intelligents pourraient diminuer la tension de seuil de diode et la consommation de puissance. Ils combinent les caractéristiques des redresseurs de diode avec la possibilité de commander l'angle de conduction du dispositif. Par conséquent, l'utilisation de ces derniers peut améliorer l'efficacité de puissance et facilite l'intégration de l'implant.

MÉTHODOLOGIE :

Afin d'étudier l'impact de la dissipation de puissance de chaque composant des chaînes de conversion de puissance pour implants biomédicaux, un modèle devrait être abouti. Ce modèle devra nous aider à étudier l'impact de chaque module et l'architecture dans l'efficacité globale de puissance de la chaîne de conversion. La vérification de ce modèle devrait être l'étape principale pour assurer la validité des hypothèses et la précision des résultats. La prochaine étape est consacrée sur la conception et simulation des redresseurs actifs et intellignets et par la suite nous devons réaliser le circuit en utilisant les technologies (CMOS Sub-micron). L'étape finale doit être consacrée sur le test du prototype et les modifications adéquates.

RÉSULTATS :

Un modèle complet pour les chaînes de conversion de puissance d'implants comprenant tous les composants principaux a été réalisé. Ce modèle est basé sur les paramètres réels utilisés pour l'implant, développé par Cortivision, qui est capable de stimuler le cortex visuel. Le langage Verilog-A est utilisé pour modéliser ce modèle. Présentement, nous sommes en train de vérifier la validité et la précision du modèle utilisant les vraies mesures.

HU, Yamu **DIPLÔME: Ph.D.**

TITRE:

Techniques CMOS sans-fil dédiées aux liens électromagnétiques de dispositifs médicaux implantables.

RÉSUMÉ:

De nos jours, il existe plusieurs dispositifs électroniques médicaux qui sont implantés dans le corps humain pour palier à une défaillance. Ces circuits ont besoin d'alimentation électrique et d'une façon de communiquer de l'information avec le monde extérieur. Pour éviter de multiples chirurgies, nous visons à transmettre énergie et données à distance. Le travail s'effectue selon les spécifications précises d'un implant cortical dédié à redonner la vue aux aveugles.

PROBLÉMATIQUE:

Les dispositifs implantés doivent pouvoir fonctionner en tout temps et sans restreindre la mobilité du sujet. C'est pourquoi l'efficacité de transmission d'énergie est très importante : elle permettra de réduire la quantité de batteries externes nécessaires. De même manière, le circuit implantable de réception de données doit être très modeste dans sa consommation de puissance. De plus, la transmission de données partant de l'implant doit se faire sans perturber l'arrivée de puissance.

MÉTHODOLOGIE:

Dans le but de transmettre de l'énergie à un implant avec une bonne efficacité, le système proposé ajuste la quantité de puissance envoyée selon les besoins. Ainsi, il faut que l'implant retourne de l'information sur l'état de sa tension d'alimentation. Celle-ci sera maintenue constante à l'aide d'un régulateur du côté du circuit externe. Ce dernier doit aussi être optimisé. Les différents types d'amplificateurs haute performance sont donc à l'étude. Du côté des données, la bidirectionnalité simultanée est nécessaire pour permettre une bonne régulation de puissance tout en gardant un bon débit de données entrantes (dans l'implant). Les normes et régulation étant limitantes, nous nous proposons d'effectuer la communication bidirectionnelle sur la même onde porteuse, à une fréquence permise. Au niveau de l'implant, ceci implique une modulation passive (modulation de charge), ainsi que la démodulation en phase. L'inverse doit se faire du côté du circuit externe. Les circuits qui se trouveront sur un implant doivent être simples et avoir une très basse consommation de puissance.

RÉSULTATS:

Un prototype a été conçu et les fonctionnalités critiques ont été rencontrées, à savoir l'implant par lien inductif et la transmission de données dans les deux directions. Pour l'instant, nous avons réalisé le circuit régulateur de tension, nouveau démodulateur BPSK et convertisseur A/N avec 8 bits en CMOSP18 et les résultats de simulation ont montré sa bonne fonctionnalité. Le circuit proposé a été implémenté et fabriqué par la CMC.

HUBIN, Mortimer **DIPLÔME: M.Sc.A.**

TITRE:

Une approche SOC d'un modèle multi-processeur de «Hardware Multithreading»

RÉSUMÉ:

Ce projet élabore un modèle facile à réaliser de «hardware multithreading» en suivant les contraintes des systèmes sur puce. La facilité vient du fait que des modules déjà existants sont utilisés pour réaliser le système. Une architecture de plusieurs processeurs d'une fréquence moindre est utilisée pour satisfaire les contraintes associées aux SOC. Cette approche devrait avoir pour effet de dissimuler la latence de communication des processeurs sur les bus, de diminuere la consommation de puissance et d'utiliser toute la superficie disponible sur la puce, comparativement à une architecture monoprocesseur standard.

PROBLÉMATIQUE:

Plusieurs projets de recherche au niveau de la structure et de l'organisation des ordinateurs visent l'élimination des temps d'attente (idle times) à l'intérieur des microprocesseurs. Dans le passé, ce même objectif a conduit à l'utilisation de systèmes multitâches où la latence due au délai posé par l'utilisateur est masquée. Nous avons atteint un stade où la latence imposée par les changements de contextes dans les systèmes multitâches pose de nouveau des ralentissements de performance. En réponse à ce problème, différentes solutions sont proposées. Une de ces solutions fait appel au multiprocessus matériel (hardware multithreading – HMT) sur lequel repose ce projet. Ce projet à implémenter un tel système sur une plate-forme contenant un Virtex 2 Pro en utilisant autant que possible des composants déjà existants tel que le Microblaze.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes :

- Explorer les différentes possibilités de l'outil de Xilinx EDK;
- Réaliser un design de référence comportant plusieurs processeurs Microblaze;
- Concevoir une architecture multi-processeur capable d'élaborer le concept de Hardware multithreading;
- L'ajout de l'application Nanoclick sur la plateforme multithreadée;
- Comparer les résultats avec ceux obtenus lors des simulations logicielles.

RÉSULTATS:

Les résultats obtenus à ce jour sont intéressants, mais pour tirer des conclusions convaincantes, plus de résultats doivent être recueillis. Pour une application type qui fait un accès lent pour 30 accès rapides, ou un accès lent est un accès avec une latence de plus 10 cycles d'horloge, nous obtenons un gain de 50%. Ce résultat n'est pas seulement dû au fait que la latence des longs accès est dissimulée mais plutôt parce que la mémoire sur la plateforme est vu comme un mémoire DDR pour le processeur. Les accès à la mémoire prennet seulement 1 cycle au lieu de 2 à 3 cycle sur une plateforme Microblaze normale.

IBRAHIM, Yasser, M., **DIPLÔME: M.Sc.A.**

TITRE:

Implémentation sur FPGA d'une simulation d'un système immunitaire basé sur un réseau d'automates cellulaires.

RÉSUMÉ:

L'objectif de ce projet est de développer un accélérateur pour la simulation d'un système immunitaire basé sur un réseau d'automates cellulaires. L'amélioration d'exécution est réalisée en exploitant le parallélisme inhérent aux modèles d'automates cellulaires sur un matériel parallèle et reconfigurable (FPGA).

PROBLÉMATIQUE:

L'implémentation existante de logiciel de simulation d'un système immunitaire a une efficacité limitée due à la nature séquentielle des plates formes de traitements conventionnels. Des plate-formes de multiprocesseurs sont parfois employées pour obtenir une meilleure exécution, mais demeurent très chères.

Cette recherche explore la possibilité d'employer un FPGA à bas prix pour rouler la simulation sous la commande d'un PC. On s'attend à ce que non seulement l'exécution du matériel reconfigurable surpasse les implantables logicielles mais également qu'elle soit flexible et adaptable à l'augmentation de l'échelle.

MÉTHODOLOGIE:

Une carte de développement sera employée pour mettre en application une version de démonstration du simulateur (IMMSIM-FPGA). La carte inclut un FPGA, de la SRAM et une communication d'USB avec le PC.

Les fonctions suivantes de matériel seront mises en application dans le FPGA:

- Interface du FPGA avec SRAM (contient l'information des automates cellulaires);
- Interface du FPGA avec le PC (par l'intermédiaire de l'USB)
- Éléments des traitements pour simuler les diverses entités du système immunitaire;
- Commandes de simulation.

Les fonctions suivantes de logiciel seront développées:

- Un logiciel pour la communication d'USB avec la carte de développement;
- Un logiciel pour initialiser et commander IMMSIM-FPGA;
- Un logiciel pour la collection et l'analyse des résultats de simulation.

Des versions plus avancées de IMMSIM-FPGA viseront ce qui suit:

- Remplacer l'USB par une carte PCI;
- Utiliser plusieurs PFGAs en parallèle pour des simulations à grande échelle.

RÉSULTATS:

Une recherche dans la littérature a été conduite pour choisir la simulation informatique du système immunitaire la plus appropriée pour son implémentation dans un FPGA. La conception de l'interface du FPGA au SRAM aussi bien qu'au PC par l'intermédiaire d'un part USB est fonctionnelle. Le logiciel nécessaire pour l'interface du PC avec la carte de développement a également été développé. L'architecture à haut niveau des composants de simulation de système immunitaire dans le FPGA a été conçue.

IZOUGGAGHEN, Badre **DIPLÔME: M.Sc.A.**

TITRE :

Caractérisation et modélisation des sources de gigue et d'étalement spectral dans un circuit de synthèse numérique directe de phase «DDPS».

RÉSUMÉ :

Cette décennie est marquée par le développement fulgurant que connaît le domaine des télécommunications, particulièrement, les communications sans fil. Cette croissance entraîne une forte demande pour des circuits de synthèse d'horloge de haute performance, entièrement intégrée sur une puce et à faible coût. L'horloge produite par ces circuits doit avoir une très faible gigue, atteindre des fréquences élevées et surtout avoir un minimum d'étalement spectral. Un excellent candidat qui répond à ces spécifications est le circuit de synthèse numérique directe de phase «DDPS». Cependant, le spectre du signal généré par ce circuit n'est pas pur. Le but de ce travail est d'identifier et de modéliser les sources d'étalement spectral dans le «DDPS» afin d'en améliorer les performances.

PROBLÉMATIQUE:

Dans les systèmes de communication sans fil, nous avons besoin de produire des horloges à haute fréquence qui sont des fractions exactes d'une horloge de référence. Ces horloges doivent impérativement avoir une faible gigue et un minimum d'étalement spectral. Le circuit de synthèse numérique directe de phase «DDPS», objet de cette étude, n'a pas un spectre fréquentiel pur. De plus, sa gigue temporelle reste aussi à améliorer.

MÉTHODOLOGIE :

Nous avons identifié les sources de gigue et d'étalement spectral dans le circuit de synthèse numérique directe de phase. Nous avons découvert que la source d'étalement spectral, la plus importante dans ce circuit est la troncature de la sortie de son accumulateur de phase. Ensuite, nous avons bâti un modèle analytique qui prédit la position et l'amplitude des raies spectrales indésirables causées par la troncature de phase. Afin de valider notre modèle analytique, nous avons construit un modèle MATLAB SIMULINK du circuit «DDPS» réel. Les résultats de simulation du modèle MATLAB confirme la validité des équations analytiques développées. Nous devrons par la suite, proposer et valider des solutions pour atténuer les effets de ces sources d'erreurs.

RÉSULTATS :

- Modèle analytique prédisant la position et l'amplitude des raies spectrales indésirables dues à la troncature de l'accumulateur de phase;
- Réalisation d'un modèle MATLAB SIMULINK du circuits «DDPS» réel.

KABBAJ, Samir **DIPLÔME: M.Sc.A.**

TITRE:

Modélisatin d'un capteur CMOS.

RÉSUMÉ;

Dans plusieur années, nous ne pourrons plus utiliser les interconnexions électriques conventionnels, avec la réduction continue des circuits intégrés et l'accélération du transfert des données à l'intérieur même de la puce. Les interconnexions optiques semblent être une solution attractive pour remédier au futur problème.

PROBLÉMATIQUE:

Nous nous intéressons dans ce projet à l'interconnexion optique à l'intérieur du chip. Nous cherchons donc à remplacer toutes les connexions électriques conventionnelles par des interconnexions optiques. Nous voulons créer un capteur monolithique afin que son procédé de fabrication soit le même qu'un transistor CMOS afin de rendre les coups insignifiants pour ces nouvelles interconnexions. Différentes personnes travaillent sur ce projet. Pour ma part, je cherche à expliquer les limites de nos capteurs actuels, en tentant de comprendre le fonctionnement et les limites physiques de celui-ci. Une fois que les problèmes seront déterminés et expliqués, il sera alors possible de le modéliser entièrement afin de pouvoir prévoir son comportement pour différents choix de structures (forme géométrique) et différent chox de paramètres du capteur CMOS. Tout ceci nous permettra ensuite de l'améliorer et de voir si son utilisation est intéressante pour le développement des interconnexions optiques.

MÉTHODOLOGIE:

Il existe différentes étapes pour mener à bien ce projet:

- Caractériser les capteurs existants, tout en faisant une recherche bibliographique approfondie sur les capteurs CMOS et les interconnexions optiques ;
- Essayer de trouver théoriquement quelle serait la meilleure structure du capteur. Donc s'intéresser grandement à la physique des semi-conducteurs ;
- S'appuyer sur la modélisation d'un transistor CMOS et faire la modélisation de notre capteur pour pouvoir vérifier que notre projet pourrait fonctionner et trouver les meilleurs paramètres que nous devons appliquer à notre capteur.

RÉSULTATS:

Dans une première étape, nous avons caractérisé les anciens capteurs, du professeur Audet, qui était à notre disposition en tentant d'interpréter les résultats, tout en s'intéressant de plus près au phénomène physique. Je tente présentement de vor l'effet de la grille sur le canal de modulation et tenter de voir les avantages et les désavantages théoriques entre deux structures différentes, qui pourraient être les prochains capteurs que nous enverrons en mars prochain avec le groupe si les résultats théoriques permettent d'améliorer ceux existants.

KASSEM, Abdallah **DIPLÔME: Ph.D.**

TITRE:

Nouvelle technique de conception système sur une puce dédiée à l'imagerie par ultrasons.

RÉSUMÉ:

Depuis quelques décennies, l'imagerie médicale est employée pour estimer le volume des organes du corps humain et afficher leur image sur un moniteur. La technique d'estimation utilisée dans cette affaire est basée sur la physique de base des ultrasons et notamment sur la propagation du faisceau ultrasonore et la détection des échos pour l'estimation de volume et l'affichage de l'image.

Les grandes dimensions des systèmes ultrasoniques utilisées, les basses performances que ces systèmes offrent, ainsi que les progrès soutenus en microélectronique nous motivent à miniaturiser de tels systèmes. Cette miniaturisation consiste en un défi de taille qui fait l'objet principal de plusieurs blocs de circuits mixtes (Analogique/Numérique) pour apporter une contribution de taille dans ce nouveau domaine d'application en microélectronique.

PROBLÉMATIQUE :

Nous proposons dans ce projet de recherche, une architecture d'un système ultrasonique en temps réel qui peut être miniaturisé sur un nombre réduit de puces. Cette architecture englobe cinq blocs principaux.

- Analogique qui sert à préamplifier les signaux d'entrée à faible ampl itude, suivi par un ADC;
- Processus de «Beamforming» qui sert à déterminer l'image;
- Processus de filtrage et de compression d'image;
- Processus de «Scan Conversion» qui sert à préparer l'image pour l'affichage vidéo et finalement;
- Affichage de l'image examinée est visualisée sur l'écran.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Conception d'un convertisseur analogique/numérique fonctionnant à grand débit pour permettre un échantillonnage parfait;
- Simulation MATLAB pour choisir lequel des algorithmes peut être choisi;
- Modélisation en VHDL les blocs numériques;
- Analyse des résultats en comparant avec les simulations MATLAB et par le simulateur logique;
- Implémentation et validation de l'architecture proposée.

RÉSULTATS :

La conception du Beamforming et du Scan Converter a été implémentée dans un FPGA et testée sur la plateforme offerte par la SCM (ARM Integrator/LM RPP).

LAAZIRI, Yassir **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation et design d'une interface dédiée à la caractérisation du contact électrode-tissu nerveux.

RÉSUMÉ:

L'objectif principal de ce projet est de pouvoir modéliser le contact électrode tissu nerveux en tenant compte de tous les phénomènes électrochimiques pouvant subvenir de ce contact et de réaliser un circuit permettant de «surveiller» ce contact pour s'assurer du bon fonctionnement des électrodes.

PROBLÉMATIQUE:

La modélisation permet de rendre possible des simulations en laboratoire avant toute expérimentation, à détecter, identifier et pourquoi pas expliquer des phénomènes constatés au cours des expériences et à prédire le fonctionnement des électrodes. Dans la littérature scientifique, différents modèles de l'interface entre l'électrode et le tissu nerveux ont été proposés, des modèles qui restent valides mais dans certaines conditions d'expérimentation. Notre objectif principal étant de réaliser un modèle bien plus général de l'interface biomédical électrode-tissu-nerveux. Nous souhaitons proposer un modèle précis et le valider in vivo chez l'animal.

Comme il s'agit de systèmes implantables, il nous fallait une certaine surveillance de ce contact. Un deuxième objectif s'impose, un circuit intégré de mesure d'impédance pour s'assurer de la qualité de ce contact tout au long de la phase de stimulation ou bien de la phase de mesure.

MÉTHODOLOGIE:

La caractérisation de l'interface permet d'évaluer, d'analyser et pourquoi pas prédire le comportement des électrodes in vivo surtout après leur implantation.

L'interface électrode-tissu présente un comportement digne d'intérêt, qu'il faut modéliser avec précision. Un modèle pourra tenir compte des différents phénomènes électrochimiques qui se produisent entre le métal et l'électrolyte et en plus pourra être utilisé lors des tests in vitro avant d'implanter tout le système pour des expériences in vivo.

La mesure d'impédance complexe est une étape incontournable dans ce processus puisqu'elle permettra de valider ou non le contact entre les tissus biologiques et l'électronique.

RÉSULTATS:

La modélisation de l'interface et ses simulations sur MATLAB ont permis de différencier entre les modèles électroniques de l'interface selon telle ou telle application. Un modèle plus complet a été proposé et des expérimentations in vivo sur des chiens males ont prouvé la validité de ce modèle (nous nous sommes intéressés au contact « cuff electrode » et nerf sacre S2). Nous nous sommes aussi focalisés sur les effets du module et de la phase de l'impédance sur le diamètre du nerf, la fréquence de stimulation. C'est un modèle dont les paramètres dépendent essentiellement des conditions de simulation. Aussi un circuit intégré de mesure d'impédance complese à double alimentation (1.8V et 3.3V), en technologie CMOS 0.18 micron, a été soumis à la fabrication et les premiers tests sur le chip se feront en fin d'année.

LAFRANCE, Louis-Pierre **DIPLÔME: Ph.D.**

TITRE:

Plateforme de mesures pour la caractérisation et le développement de système hybride Nano/CMOS.

RÉSUMÉ:

L'avancement technologique des systèmes microélectroniques passe par le développement et l'intégration de structures électroniques novatrices. Généralement du domaine des nanotechnologies, ces nouvelles technologies représentent un sujet chaud de l'actualité scientifique. Parmi les plus connues ou prometteuses nous retrouvons les nanotubes de carbones, diodes organiques luminescentes, molécules électroniques et nanofils semiconducteurs. Toutes ces composantes électroniques offrent des propriétés intéressantes à différents niveaux: géométriques, électriques, optiques, etc. Si à long terme, nous pouvons envisager l'intégration de telles composantes en systèmes nanoélectroniques complets, à moyen et à court terme ce sont au travers de systèmes hybrides qu'ellles trouveront leur utilité.

Les systèmes hybrides combinent les nanostructures à une technologie MOS standard afin de créer une application efficace qui permette d'exploiter, via un procédé bien connu, leurs propriétés novatrices. Par exemple, un système hybride pourrait utiliser les nanotubes de carbone et mettre à profit leur forte densité de courant afin d'amplifier adéquatement les signaux sortant du circuit.

La réalisation de système de cet ordre nécessite la contribution et l'expertise de chercheurs de différentes cultures. Présentement, l'équipe de recherche comprend étudiants et professeurs de génie physique, électrique et chimique.

PROBLÉMATIQUE:

Le processus menant à ce type de système est long et les défis sur le plan scientifique sont nombreux. Présentement le principal défi consiste à déposer des structures comme les nanotubes de carbone sur circuit intégré MOS et à établir un contact électrique. Le dépôt, la fabrication de contact ainsi que la génération de tensions électriques adéquates sont toutes des embûches que doivent surmonter les différents chercheurs impliqués dans le projet.

MÉTHODOLOGIE:

Tel que mentionné au paragraphe précédent, la première phase du projet consiste à mettre en contact une nanostructure – la nanotube de carbone en l'occurrence – avec un circuit intégré fabriqué à l'aide d'une technologie MOS. Pour ce faire, nous avons dessiné et réalisé un circuit spécialement dédié à cet effet. Le circuit est une plate-forme de test comprenant, en plus d'une interface physique spécifiquement dessinée pour le dépôt de nanotubes, un ensemble de modules de tests électroniques efficaces et précis qui permettront de caractériser l'interface nano/MOS. L'information que nous espérons recueillir de ces expérimentations sera extrêmement utile afin d'améliorer le contact entre les nanotubes et la plateforme MOS et, éventuellement, de passer à la prochaine phase du processus. Le circuit est présentement en cours de fabrication.

RÉSULTATS:

Étant au début de ma recherche, aucun résultat n'est disponible pour l'instant.

LANDRY, Alexandre **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un bus partagé AMBA AHB de 2 GHz pour les plates formes SOC.

RÉSUMÉ:

Un des enjeux majeurs pour les systèmes sur puce (SoC) de haute performance est de savoior comment interconnecter les modules afin d'obtenir un transfert de données efficaces (sans goulot d'étranglement). Ce projet étudie une architecture de bus partagé AMBA AHB ayant une fréquence opérationnelle de deux gigahertz. L'invention d'une architecture minutieuse ainsi qu'une conception de circuits haut niveau dans les règles de l'art sont nécessaires pour la réalisation de ce projet.

PROBLÉMATIQUE:

Les réseaux d'interconnexion sur puces (NoC) forment un concept émergeant. Bien peu de normes matures existent à ce jour. Nous retrouvons deux types de normes dans l'industrie: la première est basée sur les bus partagés (tel que AMBA AHB) et la dernière standardise des interfaces de communication. Toutes ces normes ont été créées dans le but de s'inscrire dans le cadre d'un flot de développement par synthèse. La fréquence maximale est doncde quelques centaines de mégahertz. En additionnant les besoins en bande passante de chacun des modules, la pleine capacité d'un bus partagé se trouve vite monopolisée. Bien qu'il existe des architectures de réseaux qui offrent une bande passante proportionnelle au nombre de modules qui s'y rattache, le bus partagé demeure une approche plus appropriée compte tenu du petit nombre de noyaus qui compose les SoC. De plus, avec toutes les percées récentes en microélectronique, il est possible de voir des modules qui commutent au-delà de 500 mégahertz. Ceci est une raison supplémentaire pour développer un bus opérant à haute fréquence.

MÉTHODOLOGIE:

Premièrement, une étude approfondie des réseaux de communication pour les architectures parallèles a été conduite. De cette façon, les points forts et les points faibles de plusieurs réseaux existants ont pu être identifiés. Cela nous a permis d'inventer une architecture à bus partagée basée sur la norme AMBA AHB qui a toutes les chances de répondre à la fréquence cible. Par la suite, la conception de circuits dédiés haute performance a débuté. Il fut nécessaire de concevoir les circuits manuellement puisque aucun outil de synthèse ne permet d'atteindre une fréquence de deux gigahertz. Finalement, la conception de bancs d'essai haut niveau codés en Verilog nous permet de vérifier la précision des circuits qui forment le bus AHB de deux gigahertz.

RÉSULTATS:

À ce jour, la conceptin du bus AMBA AHB de deux gigahertz est avancée. La plupart des composants clé atteignent la fréquence cible. De plus, l'article suivant a été publié à la conférence NEWCAS 2004 « Design Constraints of a HyperTransport Compatible Network on Chip ». Un deuxième article intitulé « A Beyond-1GHZ AMBA High-Speed Bus for SoC DSP Platforms » a récemment été accepté pour publication à la conférence ICM 2004.

LARAB, Abdelaziz **DIPLÔME: M.Sc.A.**

TITRE :
Nouveau wrapper P1500 incorporant une structure BIST pour le test des IP et des interconnexions d'un système sur puce.

RÉSUMÉ :

L'objectif de ce projet de recherche est de proposer un nouveau wrapper, dans lequel sera encapsulé chacun des IP « Intellectual Property » du système sur puce « System on Chip » (SOC). En mode normal, le wrapper est transparent et en mode test, il peut être configuré en mode P1500 et en mode BIST pour tester les IP et les interconnexions du SOC. Le mode P1500 nous permet d'accéder aux ports d'entrée/sortie primaires des IP à partir de l'extérieur pour appliquer des vecteurs de test déterministes en série afin de garantir une bonne qualité de test. Le mode BIST permet soit de générer les vecteurs de test soit d'analyser les réponses du test à l'interne ou bien les deux à la fois, ce qui permet de réduire le temps de génération et d'appliquer des vecteurs de test en parallèle. La combinaison de ces deux modes de test dans une même architecture permet de réduire la surface du silicium additionnelle engendrée par l'insertion des structures de test.

PROBLÈMATIQUE :

De nos jours, l'industrie de la microélectronique permet d'intégrer sur une seule puce de silicium de quelques dizaines de millimètre carré tout un système qui se tenait auparavant sur plusieurs cartes électroniques. Mais l'accès difficile aux plots d'entrée/sortie des IP des SOC rend leurs tests très difficiles, longs et coûteux. Selon les prévisions de « Semiconductor International Association » (SIA), dans un futur proche, le coût de test d'un SOC dépassera celui de sa fabrication. Pour résoudre ce problème d'accessibilité aux IP, plusieurs techniques de conception en vue de test ont été développées. Malheureusement, celles-ci s'intéressent soit aux IPs soit aux interconnexions mais pas aux deux à la fois, ceci engendre des structures de test distinctes sur le même SOC, ce qui augmente la surface additionnelle et par conséquent le coût du test.

MÉTHODOLOGIE :

Pour le nouveau wrapper, nous avons proposé une nouvelle architecture pour les cellules d'entrée/sortie en modifiant les cellules d'entrée/sortie de la structure JTAG (norme IEEE 1149.1). Chaque élément du wrapper a été codé en VHDL et simulé par l'outil Modelsim de Mentor Graphics pour vérifier son fonctionnement logique. Pour valider le fonctionnement global, nous avons élaboré un ensemble de test pour chacun des modes de fonctionnement de la structure de test. Pour estimer le gain en surface additionnelle de notre architecture par rapport à d'autres architectures de test conventionnelles, nous avons synthétisé autour de quelques circuits benchmarks les structures de test à l'aide de l'outil Design-Analyzer de Synopsys. Par la suite, nous avons effectué le placement/routage des circuits encapsulés et estimé leurs surfaces en utilisant l'outil Encounter de Cadence.

RÉSULTATS :

Contrairement à d'autres architectures de test conventionnelles qu'on trouve dans la littérature, l'architecture de test proposée permet de tester les IPs et les interconnexions selon les deux modes : P1500 et BIST. Selon les résultats de simulations, nous avons obtenu un gain moyen en surface de 7,18% par rapport à l'architecture de test conventionnelle. Le gain en surface dépend essentiellement du nombre de plots d'entée/sortie des IPs composant le SOC.

LAVIGUEUR, Bruno **DIPLÔME: M.Sc.A.**

TITRE:

Exploration architecturale de processeurs réseaux utilisant un jeu d'instruction configurable à l'aide d'une plate-forme générique.

RÉSUMÉ:

Ce projet traite de l'élaboration d'une plate-forme modulaire axée vers la création de processeurs réseaux. À partir de modèles décrits en SystemC représentant différents modules (tels des mémoires, des processeurs génériques ou encore des processeurs spécialisés) une plate-forme peut rapidement être construite. Ce prototypage rapide permet de vérifier les avantages et les inconvénients d'une architecture donnée. Plus particulièrement, les impacts des modifications au niveau du jeu d'instruction des processeurs seront étudiés. Le second volet de cette recherche se penche sur les techniques utilisées pour masquer la latence des communicaitons dans un processeur réseau. Plus précisément, un processeur supportant plusieurs fils d'exécution concurrents est étudié.

PROBLÉMATIQUE:

Les systèmes-sur-puces sont des circuits de plus en plus complexes et dispendieux à concevoir et à réaliser. Afin de diminuer les coûts de développement, il est nécessaire d'augmenter le niveau d'abstraction lors de la spécification du système et aussi de maximiser la réutilisation. Le développement récent des processeurs configurables offre une nouvelle solution pour s'attaquer au problème du temps de conception d'un SoC. Un processeur configurable peut –être facilement modifié et étendu afin d'offrir des instructions spécialisées pour une classe d'application donnée. Un second problème auquel il faut faire face lors de la création d'un circuit demandant de hautes performances, tel un processeur réseau, est la latence des communications qui peut dégrader grandement les performances globales. Un processeur capable de supporter plusieurs processus en parallèle et offrant des changements de contexte rapides semble être une solution intéressante au problème de la latence.

MÉTHODOLOGIE:

Le langage de modélisation SystemC ainsi que l'outil de développement et de modélisation StepNP sont utilisés pour créer un processeur réseau simple qui sera par la suite simulé et analysé afin de mesurer les avantages d'un processeur configurable. Le même environnement peut être utilisé pour mesurer les gains offerts par un processeur supportant plusieurs processus concurrents. Plus précisément, pour atteindre ces objectifs, un modèle d'un processeur Xtensa a été réalisé à partir d'un stimulateur ISS. Une plate-forme simple d'un processeur réseau ainsi qu'une application réseau représentative et des instructions spécialisées ont aussi été créées.

RÉSULTATS:

Une plate-forme de base d'un processeur réseau contenant un microprocesseur configurable a été réalisée. Certaines instructions spécialisées pour le traitement de paquets et l'encryption des données ont été implémentées et offrent de gains substantiels. Ces résultats ont été présentés à la conférence Design Autmation and Test in Europe 2004 (DATE04). La deuxième phase du projet, c'est-à-dire la création d'un modèle simulable d'un processeur ayant plusieurs fils d'exécution concurrents, est aussi complétée et des gains intéressants sont obtenus. Le mémoire a été déposé et accepté.

LAYACHI, Mohammed **DIPLÔME: M.Sc.A.**

TITRE:

Influence du couplage π-π dans le transport électrique à travers les assemblages moléculaires de type 1,4 dithiol benzène.

RÉSUMÉ :

La microélectronique approche des limites de la miniaturisation, d'où la nécessité de trouver des technologies de remplacement. C'est ce que le domaine de la nanotechnologie explore maintenant dans le but de réaliser des composants à l'échelle nanométrique.

PROBLÉMATIQUE :

La description du courant à travers une molécule est un problème complexe dont la modélisation se fonde sur la mécanique quantique. Lorsque la molécule est connectée entre deux électrodes macroscopiques en or, le système combiné est un exemple de dispositif mésoscopique. Ce dispositif opère sous l'influence d'un potentiel électrique externe qui conduit le courant à travers la molécule.

MÉTHODOLOGIE :

- Étude théorique des différentes méthodes de mécanique quantique pour traiter le problème;
- Calcul et simulation de la transmission au travers la molécule en utilisant un code simple relié à la méthode étudiée;
- Apporter les modifications nécessaires pour le code;
- Tester le code modifié sur certaines structures moléculaires;
- Faire les calculs de structures électroniques sur les modèles moléculaires et extraire les paramètres nécessaires;
- Injecter les résultats obtenus dans un code qui modélise la transmission et tracer cette dernière en fonction de l'énergie. La transmission est proportionnelle à la conductance, ce qui permet de calculer le courant.

RÉSULTATS:

Dans la première étape, nous avons étudié la molécule modèle (benzène dithiol). Cette dernière possède des caractéristiques structurales et électriques similaire à un semi-conducteur classique. Ensuite, nous avons étendu l'étude pour voir l'effet de groupe sur les propriétés électriques d'un fil moléculaire constitué de plusieurs molécules assemblées. Le résultat a montré que la variation de l'énergie de la bande interdite est sensible à deux paramètres principaux: la distance intermoléculaire et le nombre de molécules assemblés. D'autre part et afin d'étudier le transport électrique à travers de telles structures, nous nous sommes intéressés à l'effet de l'introduction de la molécule sur le métal. Ce dernier change drastiquement la structure énergétique en s'introduisant dans la bande interdite de la molécule semi-conductrice, créant ainsi des états MIGS.

LEBEL, Éric **DIPLÔME: M.Sc.A.**

TITRE:

Circuits programmables numériquement réalisation des fonctions analogiques.

RÉSUMÉ:

Le but de ce projet est de concevoir un circuit inspiré des Field Programmable Analog Array (FPAA). Le circuit doit être programmable numériquement et pouvoir traiter des signaux analogiques à haute fréquence en temps continu. Des opérations telles que l'amplification de courant ou de tension ou le filtrage de signaux avec la possibilité de programmer les paramètres sont désirables sur une même puce. La cellule de transconductance est utilisée comme élément de base du circuit étant donné ses caractéristiques intéressantes. La faible consommation de puissance est également un aspect recherché dans ce projet.

PROBLÉMATIQUE:

Les circuits programmables sont maintenant courants dans le domaine du numérique (FPGA). Ils permettent de réduire de façon notable le temps de développement d'une application numérique. De plus, il n'est pas nécessaire de connaître les détails du fonctionnement interne du FPGA pour l'utiliser. Du côté analogique, des circuits aussi polyvalents sont beaucoup moins répandus étant donné la complexité que cela implique. Des circuits analogiques programmables numériquement ont fait leur apparition. Ils sont pour la plupart basés sur le concept des capacités commutées, limitant ainsi les signaux à traiter à quelques megahertz tout au plus. Ces raisons justifient donc lapertinence de créer un circuit analogique programmable pouvant opérer à de plus hautes fréquences. Ce circuit pourrait faciliter la conception de radio par exemple (sélection de canal, contrôle du gain) ou tout autre système impliquant des circuits analogiques.

MÉTHODOLOGIE:

- Revue de littérature sur les circuits programmables numériquement;
- Choix d'une cellule de transconductance (élément de base)
- Test de la puce;
- Raffinement du circuit de filtre pour permettre d'autres opérations (amplificateurs, calibration automatique)

RÉSULTATS:

Un filtre passe-bande programmable a été conçu et simulé. Il peut opérer sur une large bande de fréquence (10 MHz à 130 MHz). Le facteur de qualité du filtre est également programmable.

LU, Zhijun **DIPLÔME: M.Sc.A.**

TITRE :

Conception d'un convertisseur analogique à numérique Sigma Delta CMOS à basse alimentation et faible consommation d'énergie.

RÉSUMÉ :

Le projet consiste à concevoir un convertisseur analogique à numérique Sigma Delta basé sur la technologie CMOS 0.18 micron, à faible alimentation et consommation de puissance. La fréquence d'échantillonnage désirée est 2 MHz avec un rapport de sur échantillonnage de 100.

PROBLÉMATIQUE :

La conversion Sigma Delta devient la méthode la plus populaire pour réaliser un convertisseur analogique à numérique à haute résolution et à faible alimentation et consommation de puissance. La réalisation de ce convertisseur basé sur la technique des capacités commutées devient un problème sérieux pour les circuits à faible alimentation.

MÉTHODOLOGIE :

La méthode prévue pour compléter le présent projet comprendra les étapes suivantes :

- Étude bibliographique détaillée des topologies existantes ;
- Étude théorique détaillée, simulation et caractérisation du design pour satisfaire les spécifications;
- Proposition d'une méthode pour améliorer les performances ;
- Conception, implémentation, fabrication d'une puce et évaluation de l'ensemble du système proposé.

RÉSULTATS :

Notre convertisseur Sigma-Delta de 2ième ordre a été implanté et fabriqué en utilisant la technologie CMOS 0.18µm. Les résultats expérimentaux ont prouvé que le modulateur de 2ième ordre réalise un rapport signal/bruit (SNR) de 72 dB et un rapport signal/bruit de déformation (SNDR) de 62 dB dans une largeur de bande de signal de 10 KHz. La puissance dissipée est de 65.6 uW avec une tension d'alimentation de 900 mV.

Le modulateur proposé du convertisseur Sigma-Delta de 4ième order a été conçu et caractérisé en utilisant la technologie CMOS 0.18µm. Sa conception a été basée sur le modulateur de 2ième ordre. Les résultats de simulation du modulateur Sigma-Delta de 4ième ordre ont montré qu'il réalise un SNR maximal de 90 dB dans une largeur de bande de signal de 10 KHz. La puissance totale dissipée est de l'ordre de 85.7µW avec une tension d'alimentation de 900 mV.

MAHONEY, Patrick **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'une architecture de passerelle VLAN avec le processeur Xtensa de Tensilica.

RÉSUMÉ:

Le présent projet a pour objectif d'évaluer la faisabilité de conception d'une architecture de passerelle VLAN de type «Gigabit Ethernet» à un coût inférieur à ceux des produits équivalents que l'on retrouve sur le marché aujourd'hui.

Une condition essentielle à la réalisation de cette architecture consiste en l'identification d'une solution alternative à la technologie mémoire «Content Addressable Memory», ou CAM. La solution alternative sur laquelle porte l'étude consiste en l'utilisation du Xtensa de Tensilica, un processeur à instructions spécialisées.

PROBLÉMATIQUE:

Les unités de mémoire issues de la technologie CAM sont très dispendieuses. Elles offrent toutefois des caractéristiques intéressantes dont celle de pouvoir effectuer des recherches en un seul cycle. De plus, elles garantissent l'absence d'échec tant que la capacité de l'unité n'est pas atteinte. C'est la raison pour laquelle toutes les solutions de passerelles VLAN de type GE offertes dans le marché actuel y ont recours.

La solution préconisée par l'étude consiste en une architecture de hashing parallèle ayant recours au processeur Xtensa de Tensilica. Les résultats nous permettront d'identifier les paramètres et le coût de la solution la moins dispendieuse parmi celles qui atteignent les critères de performances prédéfinies.

Pour atteindre les critères de performance, l'architecture à concevoir doit rouler sur une fréquence d'horloge fixée à 350 MHz et supporter un trafic de 8 Gb/s pourant aller jusqu'à 4000 flots.

MÉTHODOLOGIE:

- Revue de littérature concernant les architectures de passerelles de type GE ;
- Identification de l'ensemble des architectures atteignant les critères de performance ;
- Évaluation du coût et identification de l'architecture à moindre coût ;
- Validation du modèle sur SystemC et XTMP.

RÉSULTATS:

Le processeur Xtensa nous permet d'effectuer une opération de recherche en huit cycles. En variant la quantité totale de mémoire du système ainsi que le nombre de couches de hashing, il est possible d'atteindre des taux d'échec infiniment petits, mais non nul. En identifiant un taux d'échec cible, et grâce à une fonction de coût, il sera possible d'exprimer l'architecture la moins dispendieuse qui rencontre les critères prédéfinis.

MARCHE, David **DIPLÔME: Ph.D.**

TITRE:

Convertiseurs numérique à analogique haute performance.

RÉSUMÉ:

Design d'un circuit de conversion numérique à analogique (CAN) de haute résolution et haute vitesse.

PROBLÉMATIQUE:

Les architectures flashs ont un potentiel de vitesse élevée mais leur précision est limitée par la qualité de l'appariement des composantes. Les variation de procédés de fabrication limitent la résolution de ces convertisseurs.

MÉTHODOLOGIE:

- Recherche de la littérature pour évaluer les différentes solutions;
- Recherche de la méthode de mise à profit d'une calibration laser;
- Design, fabrication et test d'un convertisseur.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

MAROUCHE, Wissam **DIPLÔME: M.Sc.A.**

TITRE:
Conception des systèmes d'acquisition multi canal intra cortical : compression et détection du signal ENG.

RÉSUMÉ:
Tandis que la puissance de calcul des systèmes de traitement numériques n'a pas cessé d'augmenter ces dernières années, leur capacité à manipuler un large volume de données est restée plutôt modeste. D'autre part, pour les systèmes d'acquisition biologique, la bande passante de la plupart des canaux de communication et la capacité des mémoires disponibles sont couramment assez limitées. Pour cela, et dans le cadre des interfaces cérébrales, une compression du signal ENG/EEG consiste à réduire le volume des données à transmettre, à traiter ou à mémoriser, sans perte significative d'information utile.

PROBLÉMATIQUE:
Comme les signaux biologiques sont fortement subjectifs, la notion de système et la compression des données configurable sont importantes dans la conception du traitement de l'information. Pour cela, une approche informatisée pour extraire et analyser les paramètres d'un signal EEG/ENG est fort utile dans différents domaines comme par exemple le domaine de la diagnostique médicale.

Les signaux biomédicaux sont générés par de complexes systèmes autorégulateurs. En effet, plusieurs méthodes utilisant l'approche dynamique non linéraire et la dynamique symbolique du signal EEG visent un diagnostic plus efficace. Dépendamment de l'application des indicateurs peuvent servir comme une jonction qui facilite l'interprétation de l'information à un niveau cognitif plus haut. Pour avoir un spectre plus large de l'utilité de ces indicateurs et dans le contexte de la conception des systèmes d'interface cérébrale, on peut identifier deux tâches majeures: l'acquisition des signaux et le traitement des signaux. Comme la séparation de ces deux tâches n'est pas triviale, un prétraitement du signal intégré à la tâche de l'acquisition du signal est indispensable.

Le degré du raffinage du prétraitement est fortement lié aux limites imposées à la surface et la puissance disponible pour un implant qu sous-entend faire du matériel dédié. Toutefois, si ces contraintes ne peuvent pas être respectées, on a recourt à faire l'analyse à l'extérieur du système d'acquisiton. Dans ce cas, calculer les indicateurs ou paramètres du signal EEG/ENG peuvent se faire en logiciel. En outre, si on veut avoir des traitements en temps réel et garder un grand parallélisme, on doit avoir recourt à des accélérateurs de calcul de post-traitement.

MÉTHODOLOGIE:
Pour revenir à l'idée d'augmentation du nombre de canaux d'acquisition, la compression du signal EEG/ENG est une étape nécessaire qui vise à contrccarrer les limitations de la bande passante. En gros, une compression du signal peut être approché de deux façons, l'une serait de compresser le signal lui-même pour le reconstruire à l'extérieur. L'autre serait de présélectionner ou de prétraiter le signal EEG/ENG (ou un groupe de signaux EEG/ENG provenant de plusieurs canaux) afin de transmettre une information utile. Ces approches reposent essentiellement sur les méthodes non linéaires de la dynamique et de la théorie du chaos déterminite. Pour cette recherch, nous examinons les approches de compression non linéaires mais avec une complexité de calcul minime. Devant la complexité du problème, une flexibilité peut être atteinte à travers l'utilisation de plusieurs technologies hybrides numériques (FPGA, ASIC, DSP, logiciel) ou analogue mixte ce qui sous-entend différentes méthodologies de conception.

RÉSULTATS:
On a implémenté un compresseur basé sur une compression non linaire (compression pièce wise linéaire). Ce compresseur est intégré dans un projet de système d'acquisition pour l'implant. D'autre part, un système de compression basé sur la décomposition ondelette a été réalisé. En effet, le seuillage des coefficients ondelette offre une possibilité de compression. De plus en se basant sur une méthode empirique utilisant les coefficients des ondelttes on a réalisé un système de détection de *Spike* (compression pour certaines applications d'interface). Le système a été validé sur FPGA.

MBAYE, Mame Maria **DIPLÔME: M.Sc.A.**

TITRE:

Caractérisation et mise en œuvre de métriques orientées boucle pour l'exploration architecturale de plateforme SoC comportant des processeurs spécialisés.

RÉSUMÉ:

Le projet consiste à étudier les métriques qui permettront de mesurer les possibilités d'accélérer les traitements d'une boucle logicielle avec des instructions spécialisées ou un coprocesseur matériel externe.

PROBLÉMATIQUE:

L'industrie a à sa disposition une multitude d'outils pour la conception de plateforme SoC tels que le générateur de processeur spécialisé de la compagnie Tensilica, le générateur de code RTL de Mentors Graphics-CatapultC, etc. Malheureusement, l'industrie doit faire des choix architecturaux qui reposent généralement sur l'expérience de ses concepteurs. Les concepteurs acquièrent une méthodologie en statuant sur les traitements qui s'accélèrent mieux en matériel qu'en logiciel alors qu'ils devraient prendre en compte des métriques rigoureuses pour faire leurs choix architecturaux. Les recherches actuelles montrent que presque 90% du temps d'exécution d'une application concerne 10% des lignes de code de l'application. Donc, au lieu de disperser ses énergies à vouloir optimiser toutes les lignes de code d'une application, il serait bien plus efficace de cibler l'accélération des boucles contenues dans le code. Les métriques orientées boucle permettront ainsi de définir la facilité et l'efficacité d'accélérer une boucle de traitement.

MÉTHODOLOGIE:

La première étape sera la caractérisation des métriques orientées boucle, suivie de la conception et l'implémentation de ces métriques. Elles seront déployées dans l'environnement du compilateur reconfigurable SUIF2. La prochaine étape sera l'interprétation des métriques pour statuer sur les possibilités d'accélération. De ces métriques, une méthode de partitionnement devra être sélectionnée telle que l'intégration d'instructions spécialisées ou de coprocesseurs externes.

RÉSULTATS:

De premières métriques ont été caractérisées et sont en cours d'implémentation. Ces métriques sont : le type de la boucle, sa hiérarchie, le nombre de variables manipulées dans la boucle, le nombre de boucle enfants, le nombre de chargement et de stockage dans la boucle.

MORIN, Benoit **DIPLÔME: M.Sc.A.**

TITRE:

Exploration d'une plateforme reconfigurable à mémoire distribuée.

RÉSUMÉ:

Le projet consiste à adapter des paradigmes de développement du domaine des systèmes à mémoire distribuée, afin de satisfaire aux contraintes particulières d'une plate forme matérielle reconfigurable. Il s'agit donc d'exploiter de manière efficace sous forme de grappe plusieurs puces de types FPGA, tout en respectant des contraintes temps réel.

PROBLÉMATIQUE:

L'intégration à très grande échelle permet de nos jours d'obtenir des puces reprogrammables de type FPGA contenant un nombre élevé de portes logiques. Malgré ceci, il arrive que les besoins de performance dépassent les capacités des meilleures puces disponibles sur le marché. La mise en réseau de puces de ce type permet d'en augmenter la puissance de traitement équivalente. Afin de faciliter l'intégration de système de ce genre, des outils de parallélisation typiquement utilisés dans les systèmes informatiques à mémoire distribuée devront être adaptés.

MÉTHODOLOGIE:

Voici les étapes proposées:

- Intégration au sein d'une grappe à système à image unique du matériel reconfigurable;
- Implémentation d'un sous ensemble de la librairie de passage de messages MPI;
- Conception et implémentation d'un mécanisme de routage des paquets (logiciel et matériel);
- Conception et implémentation d'un mécanisme de synchronisation de zones de mémoires partagées-distribuées (logiciel et matériel);
- Conception et implémentation d'une application de type temps réel exploitant l'ensemble des ressources de la plate forme matérielle.

RÉSULTATS:

- Des modifications ont été apportées au système à image unique Adelie Linux afin de supporter une architecture hétérogène;
- Les fonctionnalités élémentaires du système à image unique Adelie Linux ont été adaptées à l'environnement minimal BusyBox;
- Une implémentation réduite de la librairie de passage de messages a été réalisée permettant l'exploitation conjointe des deux niveaux du système;
- L'implémentation matérielle de certains modules a du être abandonnée par faute d'espace disponible sur la plateforme reconfigurable.

MORIN, Dominic **DIPLÔME: M.Sc.A.**

TITRE :

Convertisseur analogique à numérique (CAN) pour des applications à la télévision haute définition.

RÉSUMÉ :

Ce projet vise à concevoir un convertisseur de type Nyquist pour des applications de vidéo haute définition. Ce convertisseur doit atteindre une cadence de 200 ME/s avec une résolution et précision de 10 bits. Le convertisseur devra être implantable dans une technologie standard CMOS 0.18um. Il s'agira d'identifier les architectures et les techniques nécessaires à l'obtention des performances requises.

PROBLÉMATIQUE :

La tendance de l'industrie à toujours vouloir augmenter la performance des systèmes amène de nouvelles difficultés aux concepteurs de CAN. En plus, les nouveaux procédés sous-microniques sont de plus en plus mal adaptés aux systèmes analogiques de précision. Ainsi, des techniques spécialisées doivent être utilisées pour atteindre les paramètres de linéarité et les critères fréquentiels demandés par les systèmes HDTV.

MÉTHODOLOGIE :

Dans le but d'identifier les techniques actuelles utilisées en industrie et en développement dans le milieu de la recherche, une revue intensive de littérature sera effectuée dès le début du projet. Des simulations mixtes au niveau transistor des différents modules critiques seront ensuite effectuées pour déterminer le type d'architecture et les techniques à utiliser. Les techniques permettant d'atteindre les performances requises seront étudiées ou développées. Un prototype sera fabriqué pour valider les performances attendues.

RÉSULTATS :

L'architecture choisie pour ce projet est de type pipelinée, suivie d'un traitement numérique visant à linéariser le convertisseur. Pour atteindre la vitesse spécifiée, il faut réduire au minimum la complexité analogique du convertisseur ce qui a pour conséquence de réduire sa précision. Ainsi, le traitement numérique permet de compenser les non linéarités introduites par la réduction de précision du convertisseur. La plus grande difficulté dans ce projet est de déterminer, de façon transparente à l'usager, la magnitude des erreurs introduites dans le convertisseur et la compensation nécessaire à sa sortie. Pour ce faire, nous sommes présentement en train d'élaborer un modèle d'erreur qui permettra d'améliorer les techniques actuelles de compensation numérique. Un circuit intégré contenant la partie analogique du convertisseur est présentement en fabrication. Les simulations montrent que ce convertisseur en conjonction avec le traitement numérique peut atteindre les spécifications de vitesse et de précision. Le circuit intégré sera testé durant l'automne 2004.

MORNEAU, Michel **DIPLÔME: M.Sc.A.**

TITRE:

Méthodes d'accélération de la simulation analogique appliquées à l'optimisation de circuits et la simulation de pannes.

RÉSUMÉ:

Le projet consiste à élaborer et à valider diverses méthodes permettant d'accélérer la simulation dans le cas où un même circuit doit être re-simulé plusieurs fois avec de légères modifications à ses composants. Ces méthodes seront par la suite utilisées par un outil d'optimisation des dimensions des composants (dimensionnement) ainsi que dans un simulateur de pannes analogiques. Nous espérons obtenir un gain appréciable en temps de simulation.

PROBLÉMATIQUE:

Les simulateurs jouent un rôle prépondérant au niveau de la conception des circuits analogiques, mais ne sont pas adaptés au cas de simulations multiples du même circuit auquel on a effectué de légères modifications. Deux applications majeures requièrent de telles simulations multiples: le dimensionnement automatique des composants et la simulation des pannes pour des circuits analogiques. Ces opérations nécessitent beaucoup de temps de calcul, parfois trop élevé pour être utilisées en pratique. D'une part, une grande quantité d'information peut être réutilisées d'une simulation à l'autre permettant de diminuer le nombre de calculs à effectuer. D'autre part, ces applications ne nécessitent généralement pas de résultats précis pour prendre une décision. Nous souhaitons exploiter ces deux caractéristiques afin d'élaborer des méthodes permettant de diminuer de façon appréciable le temps de calcul pour ces opérations.

MÉTHODOLOGIE:

Une étude des méthodes de simulation, notamment l'algorithme Newton-Raphson, a été effectuée. Le simulateur Spice3f5, disponible gratuitement au niveau code source, a été installé et son code source en langage C étudié. L'injection directe de modifications aux composants d'un circuit pour des simulations multiples est maintenant possible à partir de la netlist. Une certaine réutilisation des informations a déjà été effectuée; d'autres méthodes plus complexes seront développées. Des fonctions de sauvegarde de l'information sont en cours d'implémentation. Des métriques permettant d'élaborer des tests d'arrêt de l'algorithme itératif Newton-Raphson avant convergence sont présentement à l'étude. Une interface permettant le dimensionnement et la simulation de fautes sera ajoutée.

RÉSULTATS:

Un gain en nombre d'itérations Newton-Raphson a été obtenu en démarrant avec la solution précédente pour le calcul d'un point d'opération DC. Nous avons observé le comportement de l'algorithme Newton-Raphson itération par itération, démontrant que la précision de l'approximation initiale de la solution a une énorme influence sur la vitesse de convergence. L'interruption de l'algorithme Newton-Raphson avant d'atteindre la convergence permettra d'obtenir des résultats moins précis, mais suffisants pour les applications visées, réduisant ainsi le temps de simulation.

MOUNAIM, Fayçal **DIPLÔME: M.Sc.A.**

TITRE:

Acquisition de signaux neuronaux pour l'estimation du volume et de la pression de la vessie.

RÉSUMÉ:

Ce projet a pour objectif de développer un dispositif de surveillance de l'état de la vessie. Il s'agit de trouver un moyen fiable de mesurer son volume et sa pression, indirectement en captant les différents signaux neuronaux qu'elle transmet. Ces signaux ont de très faibles amplitudes (~1uV). Le système d'acquisition devra les amplifier avec le moins de bruit possible, filtrer toute interférence et opérer un traitement du signal adéquat pour extraire l'information utile.

PROBLÉMATIQUE:

En Amérique du Nord, plus de deux millions d'individus souffrent de dysfonctions urinaires. Un micro-stimulateur implantable permettant la réhabilitation des fonctions vésicales constitue une approche prometteuse. Cependant, la mesure du volume et de la pression de la vessie s'avère indispensable pour un contrôle optimum des paramètres de stimulation. Ceci permettra à un dispositif médical intelligent (DMI), comme l'implant urinaire développé par l'équipe PolySTIM, d'être un système asservi et autonome.

MÉTHODOLOGIE:

Ce dispositif de surveillance de l'état de la vessie constitue un projet de nature biomédicale et comporte plusieurs aspects :

- Le choix du nerf lié à la vessie;
- L'électrode qui constitue l'interface entre le nerf et le système d'acquisition. Elle devra reproduire sous forme électrique le signal neuronal ENG (électroneurogramme), fidèlement et avec le moins de bruit possible;
- L'amplification de signaux de basse fréquence (<10kHz) et de faible amplitude (~1uV);
- Le filtrage de toute interférence interne (EMG électromyogramme) et externe (60Hz);
- Le traitement du signal (moyennage ou intégration binaire);
- L'extraction de l'information utile.

Ce dernier point est particulièrement primordial puisqu'il s'agit de déterminer une corrélation entre le signal neuronal et l'état de la vessie. Notre ambition est de réaliser ce système d'acquisition, de mener nos propres expérimentations afin de trouver une corrélation suffisamment élevée pour permettre une mesure fiable du volume et de la pression.

RÉSULTATS:

La corrélation avec la pression est démontrée dans la littérature mais il n'en est pas de même pour le volume. Pour cela, nous avons recherché une instrumentation performante pour mener des expériences animales et nous avons proposé de nouvelles stratégies pour la détection de signaux neuronaux provenant de la vessie. Des électrodes avec de nouvelles spécifications ont été réalisées et nous avons mené une première expérience (sur un total prévu de six) en juillet dernier.

NADERI, Ali **DIPLÔME: M.Sc.A.**

TITRE:

Un convertisseur analogique à numérique (CAN) passe-bande Sigma-delta dédié pour des applications SDR.

RÉSUMÉ:

L'objectif de ce projet est de concevoir un CAN sigma-delta à temps continu pour des applications à haute fréquence, en utilisant la technologie CMOS 0.13µm. C'est une nouvelle approche qui est utilisée pour la conception du CAN sigma-delta dans l'application SDR (Software-Defined-Radios).

PROBLÉMATIQUE:

La conception du CAN sigma-delta à haute fréquence pose d'importants problèmes. En première étape, ce CAN demande un résonateur réglable de haute qualité, compatible avec le fonctionnement en haute fréquence. Le résonateur doit pouvoir choisir une faible largeur de bande autour de la fréquence de porteuse, qui indique un facteur de qualité de 200. Il est également nécessaire d'ajuster la fréquence centrale du filtre à la fréquence désirée. En ce qui concerne l'application de ce projet, la consommation de puissance devrait être acceptable pour les dispositifs portatifs. Le quantificateur de ce CAN consomme beaucoup de puissance due à la théorie de CAN sigma-delta. En conséquence, une attention particulière est exigée pour avoir une basse consommation de puissance. Évidemment, la variation de phase d'horloge peut produire de grands défis pour obtenir un rapport de signal sur bruit élevé.

MÉTHODOLOGIE:

Pour filtrer un signal avec une bonne qualité, une nouvelle méthode a été utilisée, opère avec une large plage dynamique (DR) et une basse consommation de puissance. Ce filtre, qui est un filtre analogique de second ordre à temps continu, peut fonctionner à une fréquence de 2GHz. Le facteur de qualité du filtre est réglable et nous pouvons changer sa fréquence centrale de l'extérieur de la puce ainsi que son facteur de qualité. Par conséquent, il y a deux degrés de liberté. En ce qui concerne la basse consommation de puissance, la méthode de sous-échantillonnage a été utilisée pour que le quantificateur permet de réduire le taux de donnée et par conséquent la consommation de puissance. La méthode de sous-échantillonnage peut également traduire la fréquence centrale du signal à une faible fréquence intermédiaire (IF), et diminuer le nombre d'éléments pour la démodulation du signal à la bande de base. Une architecture cascadée de second ordre basée sur la méthode de sous-échantillonnage, est suggérée pour la conception de ce CAN, qui peut produire une SNR élevée pour de hautes fréquences.

RÉSULTATS:

Le diagramme bloc de la structure proposée a été simulé par MATLAB. Le bloc de résonnateur, qui utilise un filtre analogique de second ordre, a été vérivié par MATLAB et un filtre a été conçu et simulé en utilisant le simulateur SPECTRE de logiciel de conception CADENCE, et la technologie d'IBM CMOS8RF. Finalement, le dessin des masques du filtre a été soumis à la fabrication.

NGUYEN, Anh Tuan **DIPLÔME: M.Sc.A.**

TITRE:

Conception, implémentation et synthèse d'un système sur puce pour l'isolation de la voix dans des prothèses auditives numériques.

RÉSUMÉ:

Ce projet cherche à développer un système sur puce temps réel pouvant augmenter l'intelligibilité de la parole en traitant le signal pour diminuer les bruits et isoler la voix. L'objectif secondaire de ce projet est de se servir de banc d'essai pour tester la plate-forme SPACE, un autre projet qui porte sur le développement d'une architecture d'aide au partitionnement matériel et logiciel destinée au développement des systèmes sur puces à partir d'un design haut niveau écrit en System C.

PROBLÉMATIQUE:

Un des critères importants dans le choix d'une prothèse auditive est sans doute la qualité de sa sortie. Malgré le fait que les prothèses auditives numériques offrent souvent un meilleur son que ses précurseurs analogiques, il n'est pas toujours clair que ceci a un impact direct sur l'intelligibilité de la parole, qui est le but premier de la prothèse. Comme mentionné, l'objectif principal de ce projet est de développer un système sur puce temps réel pouvant augmenter l'intelligibilité de la parole. En plus de produire un niveau d'intelligibilité supérieur, le circuit complet de traitement, avec entrée analogique, traitement numérique et sortie analogique, ainsi qu'une source électrique, doit être optimisé de façon à ce que sa taille, sa consommation de puissance et sa latence soient réduites au maximum afin de pouvoir l'insérer dans l'oreille, d'avoir une bonne autonomie et de permettre une réponse à temps réel.

MÉTHODOLOGIE:

En premier lieu, la partie numérique sera générée automatiquement à partir d'un langage de haut niveau. Le système aura une partie matérielle et un logiciel tournant sur celui-ci. Une approche co-design logiciel-matériel, permettant de faire des échanges entre les deux pour obtenir le compromis voulu est nécessaire. Le système sera modélisé en SystemC, un langage qui permet la facilité de modéliser les modules en logiciel ou en matériel. L'intégration des modules numériques en SystemC avec les parties analogiques est proposée afin d'être réalisée avec CoCentric, un outil qui permet la compilation de modules SystemC vers du matériel et, avec une interface graphique, permet de connecter ensemble les modules. Une fois implémentée sur un seul processeur, la performance du système sera améliorée en adaptant un traitement parallèle du signal sur des processeurs multiples.

RÉSULTATS:

Les résultats de simulation aux niveaux UTF et TF sur la plate-forme SPACE ont été obtenus.

NORMANDIN, Frédéric **DIPLÔME: M.Sc.A.**

TITRE:

Réseau de capteurs optiques pour mesures in vivo et en temps réel des variations de concentration d'oxygène dans les tissus.

RÉSUMÉ:

Ce projet vise à réaliser les détecteurs nécessaires à la mise en place d'un réseau de capteurs optiques de faibles dimensions et à faible puissance qui se veut portable et sans fil. Le système pourra fournir des données en temps réel concernant les variations de concentration d'oxygène dans les tissus vivants.

PROBLÉMATIQUE:

On veut réaliser un système de lecture des variations des concentrations d'oxygène dans les tissus vivants. Cette lecture doit se faire par la mesure des variations des propriétés optiques (absorption, diffusion) du milieu vivant.

La problématique de ce projet réside dans le fait que le système doit être compact, sans fil et fournir des données en temps réel. Comme les tissus biologiques atténuent beaucoup les signaux optiques, il faut développer un détecteur assez sensible pour que le rapport signal/bruit soit raisonnable pour un temps d'intégration assez court (quelques ms).

MÉTHODOLOGIE:

- Modélisation des propriétés optiques des tissus;
- Déterminer la sensibilité requise au niveau du détecteur;
- Déterminer le temps d'intégration approximatif;
- Design du circuit de réception, incluant le photo détecteur et les modules de décodage et de filtrage;
- Simulation de chacun des modules du circuit de réception;
- Réalisation d'une puce intégrant toutes les fonctionnalités du récepteur.

RÉSULTATS:

L'ordre de grandeur de la sensibilité nécessaire a été déterminée à partir des calculs de modélisation et le design du circuit de détection est complété.

Le processeur en vue de produire un circuit intégré (CMOS 0.18µm) renfermant tous les modules nécessaires à la réception des signaux optiques et à leur prétraitement est actuellement complété.

La conception d'un prototype permettant de tester cette puce et de la comparer à des composants actuellement disponibles sur le marché est actuellement en cours.

NSAME, Pascal **DIPLÔME: Ph.D.**

TITRE:

Techniques et méthodes de conception des systèmes intégrés de type SoC.

RÉSUMÉ:

Ce projet vise l'élaboration de techniques et méthodes de conception et de vérification des circuits intégrés de type SoC *(System-On-Chip)*. La complexité grandissante des systèmes de type SOC impose une réutilisation efficace des ressources centrée sur des méthodes de conception autres que le VHDL ou Verilog au niveau RTL. Toutefois, à cause de la dépendance entre les représentations au niveau comportemental, RTL et portes, et leur impact sur le partitionnement matériel/logiciel, la performance, la dissipation de puissance et surtout l'effort de vérification, il est nécessaire de développer une approche intégrée à la méthode de conception elle-même. L'objectif du projet consiste à étudier les interfaces matérielle/matérielle et matérielle/logicielle régissant l'intégration des SIP *(Silicon Intellectual Property cores)* afin de proposer des modèles d'interface améliorés et d'explorer les architectures VLSI qui permettent d'implanter efficacement une synchronisation non-bloquante pour des systèmes complexes multiprogrammés à mémoire partagée.

PROBLÉMATIQUE:

La capacité d'intégration offerte par les technologies sub-microniques rend l'implantation des systèmes de type SOC très intéressante. Toutefois, les besoins en vérification croissent de façon exponentielle. Cette capacité d'intégration élevée impose au concepteur un niveau de productivité extrêmement élevé. En effet, les besoins des applications en temps réel, l'augmentation constante du niveau d'intégration HW/SW, du parallélisme au niveau instruction et de la complexité de la hiérarchie de mémoires intégrées et partagées causent souvent une dégradation de performance due à une synchronisation bloquante entre agents communicants. Ceci rend obsolètes ou inadéquates les méthodes traditionnelles de conception et de vérification basées sur la simulation logique. Un défi majeur consiste à développer une méthodologie qui facilite le travail du concepteur dans un environnement de design où les outils CAD/CAE et la technologie de fabrication sont en constante évolution et où les bibliothèques de composants SIP deviennent de plus en plus complexes.

MÉTHODOLOGIE:

- Étude comparative des interfaces de communication et de méthodes de conception actuelles incluant les normes PCI-X, PCI Express, Rapid I/O, DDR-1 & DDR-II, Ethernet, SPI-5, USB, IEEE1284, Hypertransport, InfiniBand, AMBA et CoreConnect;
- Étude comparative des processeurs embarqués de type PPC, ARM, MIPS, ARC, Xtensa et DSP;
- Proposition et valisation d'une nouvelle architecture et méthode de conception intégrée;
- Analyse, définition et spécification de la nouvelle architecture basée sur l'utilisation et la gestion de canaux de communication dédiés;
- Validation de la nouvelle méthode de conception et vérification des circuits de type SoC.

RÉSULTATS:

L'implantation matérielle d'une première version d'un FIFO à canaux virtuels a été réalisée avec la technologie TSMC CMOS 0.35 micron. Une application directe du VC-FIFO a permis de modéliser un environnement de vérification basé sur l'outil VCC (Cadence). Le prototype d'un outil (InTime) d'intégration et de validation des spécifications a été développé. Une nouvelle architecture et méthode de conception des systèmes de type SoC ont été développées.

PAQUET-FERRON, Dominique **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation de la conduction neuronale dédiée au contrôle de l'appareil urinaire.

RÉSUMÉ:

Le projet UroStim vise à restituer les fonctions urinaires chez les blessés médullaires. Pour ce faire, une combinaison de signaux électriques appliqués directement sur le nerf (appelée stimulation sélective) permet de stimuler conjointement la vessie et le sphincter afin d'obtenir une miction.

PROBLÉMATIQUE:

Lors d'une blessure au niveau de la colonne vertébrale, il est fréquent d'assister à une paralysie des membres inférieurs et à la perte de contrôle volontaire sur certains organes internes. Un des problèmes majeurs rencontré lors de la stimulation électrique fonctionnelle pour la vessie est la disynergie entre le detrusor et le sphincter. Celle-ci entraîne non seulement une pression intra-vésicale élevée, mais empêche également la miction. La stimulation sélective permet le relâchement du sphincter en même temps que la contraction du detrusor.

MÉTHODOLOGIE:

Cette modélisation s'effectue à l'aide de Neuron (logiciel de stimulation neuronale) et de SciRun/BioPse (logiciel d'éléments finis) et comporte plusieurs aspects:

- Modélisation complète du nerf; axones myélinisés, épineurium, périneurium, etc.;
- Regroupement des axones en fascicules et regroupement de ces fascicules en un nerf;
- Modélisation de tous les tissus entourant le nerf ainsi que du liquide extra neuronale;
- Optimisation des paramètres de la stimulation sélective;
- Validations des paramètres à l'aide d'expériences aiguës

Une fois cette optimisation complétée, la stimulation sélective devrait être beaucoup plus efficace afin d'éliminer la disynergie et ainsi obtenir une miction complète et efficace.

RÉSULTATS:

Jusqu'à maintenant, la portion modélisation est pratiquement terminée; il reste les électrodes et toute la phase de validation à compléter.

PETERSON, Kevin **DIPLÔME: M.Sc.A.**

TITRE:

Environnement de vérification en temps réel basé sur les assertions pour les systèmes matériels.

RÉSUMÉ:

L'objectif de ce projet consiste à développer un environnement de vérification permettant la vérification de systèmes matériels temps réel en utilisation des assertions. Dans les systèmes actuels, l'identification et la localisation des erreurs et instabilités constituent un problème de taille. En effet, la haute intégration des circuits réduit la visibilité des signaux entre les différents modules. De plus, les instabilités surviennent souvent lorsque le système fonctionne à pleine vitesse d'horloge. L'ajout de signaux de déverminage externes utiliserait également une trop grande surface dans le circuit. Pour résoudre ces difficultés, nous proposons d'implanter un port de debug standard dans le circuit, constitué de sondes branchées à un filtre de données configurables qui permet de maximiser la bande passante utilisée sur les signaux de sortie. Ce port se branche sur une carte constituée d'un FPGA et d'un processeur. Le FPGA contient des générateurs d'événements couplés à des vérificateurs d'assertions qui servent à s'assurer que la zone du circuit présentement examinée se comporte selon ses spécifications. Le FPGA a également la capacité de changer en temps réel la configuration actuelle du filtre de données, permettant ainsi de changer la zone d'intérêt vérifiée dans le circuit, selon les besoins. Le processeur, quant à lui, a accès aux registres et à la mémoire du FPGA pour consulter l'état des vérificateurs d'assertions, des générateurs d'événements et les signaux stockés en mémoire. Un compilateur permet de générer le fichier de routage du FPGA ainsi que la configuration du port de debug, à partir d'assertions décrites en langage dédié. Cet environnement de vérification permettra l'identification plus précise des causes d'erreur pendant la fonctionnement en temps réel du circuit, en plus de minimiser le nombre de signaux nécessaires sur le port de déverminage.

PROBLÉMATIQUE:

Les technologies reliées au milieu de la microélectronique permettent la réalisation de circuit de plus en plus complexes. Cela implique que les signaux internes sont plus nombreux et moins accessibles. L'ajout de signaux externes pour le déverminage constitue une tâche longue et fastidieuse car l'intégrité du signal doit être préservée. De plus, les instabilités surviennent souvent seulement quand le système fonctionne à pleine vitesse, dans un environnement réel. L'identification et la localisation d'instabilités dans un système deviennent donc plus difficiles. L'augmentation de la visibilité ainsi qu'une méthode de localisation des sources d'erreur s'avèrent pour ces raisons primordiales.

MÉTHODOLOGIE:

Ce projet comporte les étapes suivantes:

- Revue de littérature sur les méthodes de vérification en temps réel actuelles;
- Conception de l'architecture de l'environnement de vérification;
- Développement d'un exemple simple sur simulateur pour valider le concept;
- Développement du compilateur d'assertions;
- Application de la méthode sur une plate-forme de prototypage.

RÉSULTATS:

La revue de littérature a permis de découvrir les différents types d'environnement de vérification existants. La conception de l'architecture a pris en compte certaines limitations des systèmes existants pour mener à l'écriture d'une spécification incluant une sonde reconfigurable utilisant un minimum de ressources et maximisant la bande passante, en plus d'une architecture souple de vérificateurs d'assertions synthétisables dans un FPGA. Après réalisation du code VHDL de ces modules, des essais sur simulateur et outils de synthèse ont montré l'impact minimal de la sonde sur le circuit validé et des vitesses d'horloge de l'ordre de centaines de MHz. Le FPGA peut contenir plusieurs dizaines de vérificateurs d'assertions synthétisables et stocker des milliers de bits de données permettant la localisation précise des sources d'erreurs.

PICARD, Daniel **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un prototype de circuit intégré à l'échelle de la tranche.

RÉSUMÉ:

Le monde de la microélectronique évolue à une vitesse prodigieuse. La demande du marché requiert sans cesse des composants de plus en plus rapides tout en étant plus petites. Une nouvelle approche basée sur l'exploitation de circuits intégrés de grande superficie se développe présentement.

PROBLÉMATIQUE:

Ce projet vise à atteindre des niveaux d'intégration supérieurs et à bouleverser les méthodes de fabrication actuellement utilisées. À cause de la grande taille de ces circuits, l'analyse de l'intégrité des signaux devient un aspect essentiel destiné à satisfaire adéquatement les exigences actuelles.

MÉTHODOLOGIE:

La méthodologie exploitée dans ce projet consiste à approfondir la science de la conception des circuits rapides. Par la suite, il s'agit d'étudier des notions reliées directement au projet, de dresser une spécification du projet, de concevoir les cellules en utilisant la technologie CMOS 0.35 microns et 0.18 microns, de présenter les résultats théoriques envisagés, de réaliser des simulations, afin d'évaluer les corrélations avec les résultats théoriques et finalement de tester le circuit afin de présenter une analyse exhaustive des résultats obtenus afin de montrer que les spécifications fixées ont été atteintes.

RÉSULTATS:

Une puce a été fabriquée permettant de valider l'intégrité des signaux. Nous préparons actuellement la phase de test.

PIERRON, Loïc **DIPLÔME: M.Sc.A.**

TITRE:

Modèle pour l'exploration architecturale rapide de systèmes sur puces reprogrammables.

RÉSUMÉ:

Le projet propose une méthodologie d'exploration architecturale et de développement rapide sur une carte de co-design intégrant un VirtexII-Pro. Afin de pouvoir étudier et éventuellement valider cette méthodologie, nous développerons un modèle co-simulable à haut niveau d'abstraction d'une plate-forme matérielle/logicielle. Un tel modèle permet non seulement de s'affranchir des limites de conception imposées par le matériel, mais aussi de faciliter l'exploration architecturale.

PROBLÉMATIQUE:

Certains FPGA (Field Programmable Gate Array) intègrent des microprocesseurs au sein même de la puce reprogrammable, tels les VirtexII-Pro de Xilinx. Avec ces FPGA, il devient alors plus simple de concevoir des SoC (System on Chip). Cependant, nous restons limités par les capacités, non seulement du composant (le matériel qui est intégré sur la puce, sa taille, etc.), mais aussi de la carte sur laquelle le composant est placé (mémoire, etc.). De plus, pour reprogrammer le FPGA, il faut absolument posséder une version synthétisable de l'ensemble du système.

MÉTHODOLOGIE:

Tout d'abord, nous nous familiariserons avec les technologies et les outils qui seront utilisés dans le projet. Par la suite, nous étudierons comment migrer un design d'EDK vers Seamless CVE. Nous développerons ensuite les modèles de la plate-forme de référence et par la suite ceux des composants utilisés pour explorer différentes architectures. Enfin, nous effectuerons diverses co-simulations et nous analyserons les résultats obtenus.

RÉSULTATS:

- Maîtrise de la migration d'un design d'EDK vers Seamless CVE;
- Développement et test d'une plate-forme simple.

PIGEON, Sébastien **DIPLÔME: M.Sc.A.**

TITRE :

Conception et fabrication d'une matrice de microélectrodes corticales implantables.

RÉSUMÉ:

Le projet consiste à développer une matrice de microélectrodes qui serviront d'interface entre le milieu biologique et l'électronique pour la stimulation des neurones du cortex visuel afin de rendre la vue aux personnes souffrant de cécité.

PROBLÉMATIQUE:

Les électrodes doivent être très fines afin de minimiser les dommages lors de la pénétration dans les tissus, mais assez résistantes pour supporter l'insertion. En se basant sur les résultats trouvés dans la littérature, les dimensions optimales des électrodes sont : longueur de 1.5mm, largeur de 50 μm, espacement centre à centre de 400 μm à 800 μm. Elles doivent démontrer d'excellentes propriétés électriques : une impédance faible et un niveau de bruit très bas. La matrice doit également présenter une excellente biocompatibilité à long terme (de l'ordre de plusieurs années) afin de minimiser les risques pour le patient et assurer le bon fonctionnement du dispositif en milieu hostile. Plusieurs autres dispositifs pourraient bénéficier d'une matrice pour stimuler des neurones de diverses régions du cerveau ou enregistrer des signaux émis par celui-ci. La matrice de microélectrodes doit donc être conçue de façon à pouvoir être adaptée aisément à d'autres applications.

MÉTHODOLOGIE:

La technologie utilisée pour réaliser la structure de la matrice est l'EDM (Electrical Discharge Machining), aussi appelé usinage par électro-érosion. Des traitements électrochimiques préparent ensuite la surface pour le dépôt de platine poreux à la pointe de chaque électrode. Cette couche métallique sert de lien entre le cerveau et la matrice. Suivent finalement les dernières étapes de fabrication : formation de base isolante, polissage et encapsulation biocompatible. Une méthode d'assemblage *flip chip* est aussi en développement pour relier la matrice au reste de l'implant.

RÉSULTATS:

La première phase du projet est maintenant presque complétée après près de deux années de travail. Une série de prototypes sont présentement assemblés afin de finaliser la validation des étapes de fabrication et des montages expérimentaux. La seconde phase consistera à tester les propriétés électriques de la matrice (bruit, impédance) et d'ajuster les paramètres de fabrication et les matériaux pour obtenir des résultats compatibles avec l'électronique de l'implant. Une bonne partie de ces mesures peuvent être effectuées *in vitro,* mais il faudra des tests plus poussés sur des animaux (rats, chats) pour compléter les résultats.

PONTIKAKIS, Bill **DIPLÔME: Ph.D.**

TITRE:

La conception d'architectures et de circuits de faible puissance à délai variable.

RÉSUMÉ:

Le but du projet est d'utiliser une technique à période d'horloge fractionnaire pour augmenter la vitesse et pour réduire la consommation de puissance pour certains microprocesseurs. Nous utilisons aussi une technique qui utilise une source d'alimentation variable, ce qui a pour effet de pouvoir réduire la consommation de puissance dans plusieurs cas. La combinaison de ces deux techniques permet la conception de microprocesseurs à faible puissance qui fonctionnent à des vitesses raisonnables.

PROBLÉMATIQUE:

La consommation de puissance est un facteur très important dans les produits électroniques portatifs. Ces produits nécessitent une longue durée de vie pour les batteries, un poids léger et des fonctions multimédia tells que l'audio, le vidéo et l'Internet sans fil. Puisque la consommation de puissance est directement proportionnelle à la fréquence, il est possible de réduire la consommation de puissance en ajustant la fréquence de façon dynamique. De cette façon, il est possible de prolonger la vie d'une batterie. De plus, puisque la consommation de puissance a une dépendance quadratique sur la tension d'alimentation, il est possible de réduire la consommation de puissance en ajustant cette tension. En utilisant certains circuits à une tension sous le seuil, une réduction plus importante en puissance peut être obtenue.

MÉTHODOLOGIE:

Pour atteindre nos objectifs, nous suivrons les étapes suivantes:

- Revue de littérature;
- Analyse théorique de l'accélération maximale possible en utilisant des périodes d'horloge fractionnaire;
- Implantation du code VHDL sur un FPGA;
- Modélisation au niveau circuit en utilisant les outils de Cadence;
- Développement de nouvelles techniques de conception à faible puissance.

RÉSULTATS:

- Une revue de littérature poussée a été faite;
- Une architecture a été conçue en VHDL et synthétisée;
- L'architecture a été présentée à la conférence NEWCAS 2004;
- Une analyse théorique de l'accélération possible a été faite.

PROVOST, Ghislain **DIPLÔME: M.Sc.A.**

TITRE:

Exploration architecturale et implémentation matérielle du décodeur à seuil itératif de codes convolutionnels doublement orthogonaux.

RÉSUMÉ:

Ce mémoire consiste en l'implémentation matérielle et optimisation d'un décodeur à seuil itératif de code convolutionnel doublement orthogonal. La principale motivation de l'implémentation de cet algorithme est qu'il permet de réduire de manière significative la latence et la complexité tout en maintenant un bon BER comparativement à la classe de décodeur turbo. Ainsi, ce nouvel algorithme permet notamment de réduire le bruit blanc dans les communications à de forts rapports signal à bruit. Une exploration des possibilités d'implémentation VLSI est explorée dans le domaine numérique synchrone et asynchrone.

PROBLÉMATIQUE:

Depuis plus de 30 ans, les communications électroniques sont devenues un besoin essentiel aux sociétés modernes. Ainsi, pour transmettre l'information de manière fiable, les différents spécialistes des communications ont essayé de minimiser la probabilité d'erreur de transmission afin de maximiser la transmission d'information utile. Pour ce faire, ces spécialistes de l'information ont toujours recherché à créer des codeurs toujours de plus en plus performant. L'année 1993 a été marquée par la découverte des codeurs turbo. Ce codeur permet notamment de s'approcher de manière très proche des limites théoriques, mais toutefois l'algorithme comporte une très grande complexité matérielle. Ce mémoire concerne l'étude et l'implémentation matérielle d'un nouveau décodeur.

MÉTHODOLOGIE:

La première étape consiste à implémenter une version numérique de base du décodeur afin de faire la preuve de concept. Ce premier décodeur sera générique quant au paramètre J (complexité de l'algorithme de décodage) et au nombre de bits de quantification des symboles à l'entrée. Une étude plus approfondie sur l'implication du coefficient de pondération sera effectuée afin de profiter d'un changement dynamique de ce paramètre en fonction du rapport signal/bruit présent dans le canal de communication. Une implémentation d'un estimateur signal/bruit sera intégrée afin de tirer profit de cette propriété du canal de communication. Une revue de littérature quant à l'implémentation du décodeur sous forme analogique et numérique asynchrone sera également faite.

RÉSULTATS:

Une première implémentation de base du décodeur fut réalisée en code VHDL. Ce décodeur fonctionne actuellement sous forme matérielle. Également, ce décodeur fut intégré dans un système de communication matérielle complet et paramétrable sur la plateforme ARM Integrator qui permet de calculer le BER pour chacune des étages du décodeur. Ce même environnement fut interfacé avec un logiciel d'optimisation des longueurs de mots afin d'optimiser la structure du décodeur.

PROVOST, Simon **DIPLÔME: M.Sc.A.**

TITRE:

Exploration architecturale de processeurs configurables utilisés dans une plateforme multi-processeurs réalisant de l'encodage mpeg4.

RÉSUMÉ:

Ce projet vise à créer une plateforme d'encodage mpeg4 qui minimise la quantité de modules matériels dédiés et maximise l'utilisatin de processeurs tout en respectant la contrainte d'encoder trente images par seconde. Ceci sera fait en utilisant des processeurs configurables et en évaluant l'influence qu'à leur nombre, leur configuration et les diverses instructions spécialisées possibles. Le développement de cette plateforme s'effectue en SystemC, ce qui permet un prototypage et une analyse des résultats rapide.

PROBLÉMATIQUE:

Tourjours désireux d'ajouter de nouvelles fonctionnalités sur leurs systèmes embarqués, plusieurs compagnies, principalement dans le domaine des téléphones cellulaires, cherchent maintenant à ajouter de la compression vidéo à leurs systèmes. Malheureusement, cette opération nécessite une très grande puissance de calcul qui est généralement limitée sur des systèmes embarqués puisque ceux-ci doivent opérés à faible puissance. Par ailleurs, les nouveaux systèmes développés se doivent d'être flexibles pour permettre un développement rapide d'applications futures. L'utilisation de processeurs configurables s'avère un bon compromis entre rapidité, puissance et flexibilité et devrait ainsi résoudre le problème d'encodage vidéo sur les systèmes embarqués.

MÉTHODOLOGIE:

Pour atteindre l'objectif visé, les étapes suivantes devront être effectuées :

- Intégrer plusieurs processeurs Xtensa à la plateforme actuelle;
- Effectuer des simulations pour obtenir les points critiques de celle-ci;
- Réaliser des instructions spécialisées;
- Explorer les performances obtenues en utilisant diverses configurations des Xtensa.

RÉSULTATS:

La plateforme de test a été analysée et profilée. Les points critiques à accélérer ont été identifiés.

PY, Jean-Sébastien **DIPLÔME: M.Sc.A.**

TITRE :

Simulation des effets de la stimulation corticale.

RÉSUMÉ :

Dans le cadre du développement du stimulateur visuel par l'équipe PolySTIM, nous avons cherché à mettre en place un modèle pour simuler des effets du stimulateur sur le cortex visuel. Le but était de continuer à développer un modèle comportemental de cortex stimulé électriquement, puis d'adapter tous les paramètres restés libres par des références bibliographiques et des expérimentations chez l'animal.

PROBLÉMATIQUE :

Simuler est intéressant si on considère la complexité et le grand degré de liberté du problème considéré. La problématique technique de notre simulation est aussi un problème de versatilité. Modéliser signifie entre autre simplifier car la complexité du problème dans ses moindres détails tient de l'impossible. Cependant, on cherche à garder suffisamment de paramètres libres pour pouvoir s'adapter aux réalités biologiques. La littérature considère beaucoup d'expériences de stimulation du cortex visuel, mais elle est insuffisante pour notre application. Les articles et publications rencontrées donnent souvent des résultats qualitatifs et le problème de la stimulation directe par électrodes suivie d'un enregistrement dans un voisinage ne semble pas avoir été abordé.

MÉTHODOLOGIE:

Nous avons aussi développé une interface graphique très complète afin de pouvoir économiser du temps en réglant de façon dynamique tous les paramètres de notre simulation. Nous avons ensuite émulé des méthodes d'enregistrements classiques comme des cartes d'activité et des enregistrements directs avec électrodes. Ces méthodes nous ont inspiré une expérimentation typique permettant de mesurer des paramètres caractéristiques chez l'animal.

Ces expérimentations ont été mises en place grâce à des collaborations avec différents laboratoires, de biologie et physiologie. Une électrode de stimulation a été insérée dans le cortex visuel d'un rat, puis une série d'électrodes de mesures régulièrement espacées ont mesuré les réponses de champ du cortex à différentes distances de cette stimulation.

RÉSULTATS:

Les résultats montrent une évolution logique des réponses du cortex avec en particulier des extensions spatiales et temporelles mesurables de ces réponses de champ. Ces informations ont été acquises et traitées. Elles mettent aussi en évidence des phénomènes de fatigue à haute fréquence qui limiteront probablement les fréquences de rafraîchissement de l'implant. Le but est maintenant de chercher à adapter notre modèle informatique avec ces informations. Cette méthode sera représentative des comportements du cortex visuel humain, où servira de prototype pour de futures adaptations à partir d'informations récupérées chez l'homme.

QIN, Lisheng **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un CAN Delta-Sigma à bande passante et fréquences programmables.

RÉSUMÉ:

Le projet consiste à concevoir un convertisseur analogique à numérique (CAN) Sigma-Delta basé sur la technologie CMOS 0.18 micron. La bande passante est de 200kHz avec les fréquences centrales ajustables (3M, 5M, 7M, 12M et 20M). La contribution principale sera la réduction de la consommation de puissance sans trop affecter la résolution.

PROBLÉMATIQUE:

Avec les progrès technologiques en microélectronique, il est plausible d'intégrer sur puce un récepteur supportant plusieurs applications médicales. Ce récepteur nécessite un CAN qui doit être ajustable pour opérer sur des fréquences centrales programmables. En plus, les circuits du CAN Sigma-Delta classique basés sur des capacités commutées ne permettent pas d'opérer sur de hautes fréquences. Nous procédons alors à l'utilisation des intégrateurs basés sur des transconductances et capacités.

MÉTHODOLOGIE:

La méthode prévue pour atteindre les objectifs du présent projet comprendra les étapes suivantes :

- Étude théorique et bibliographique détaillée des topologies existantes;
- Simulation des structures différentes et proposition d'une solution optimale;
- Conception et évaluation d'un modulateur Sigma-Delta à large bande;
- Conception et évaluation d'un modulateur Sigma-Delta à bande passante et fréquences programmables.

RÉSULTATS:

Les circuits d'un modulateur Sigma-Delta à bande passante 200kHz avec une fréquence centrale 3 MHz sont déjà finis en CMOS 0.18 micron. La validation expérimentale a été démontrée avec succès.

QUINN, David **DIPLÔME: M.Sc.A.**

TITRE:

Distribution d'une application de traitement de paquets pour une architecture multiprocesseur sur puce.

RÉSUMÉ:

Ce projet s'intéresse à l'élaboration d'une méthodologie d'exploration architecturale haut niveau pour le développement de processeurs réseaux. Les architectures, développées à partir de modèles *SystemC cycle accurate*, intègrent un processeur configurable optimisé pour le traitement de paquets. La métrique d'évaluation des différentes solutions est le débit atteint.

PROBLÉMATIQUE:

Principalement dictée par la croissance d'internet, l'explosion de la demande en largeur de bande est jumelée au besoin d'une intelligence accrue pour le support de nouvelles applications réseaux, tels le transport de la voix sur IP, les réseaux privés virtuels et plusieurs autres. Les architectures conventionnelles ne sont fondamentalement pas bâties pour le maintien de cette demande. Il existe donc un besoin éminent pour de nouvelles approches dans la conception de plate-formes multiprocesseurs spécialisés de hautes performances. Une avenue envisageable est l'utilisation de processeurs configurables comme composants de base.

MÉTHODOLOGIE:

Les étapes suivantes devront être complétées :

- Recherche bibliographique afin d'estimer l'état actuel des recherches;
- Développement d'une application réseau;
- Modélisation d'une architecture multiprocesseur modulaire sur puce centrée sur un processeur configurable (la technologie Xtensa de Tensilica a été ciblée);
- Élaboration, expérimentation et évaluation de la méthodologie de recherche architecturale.

RÉSULTATS:

En suivant la méthodologie développée, des accélérations intéressantes de 3.25 pour l'application IPv4 et de 6.92 pour IPsec sont obtenues. Le mémoire a été présenté et accepté.

REGIMBAL, Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Automatisation de la couverture fonctionnelle des circuits numériques.

RÉSUMÉ:

L'objectif de ce projet consiste à développer une méthode afin d'automatiser la couverture fonctionnelle des circuits numériques. Le problème est, que pour effectuer une couverture quelconque, nous devons nous baser sur une métrique standard qui s'applique à une description standard d'un circuit. Les fonctionnalités d'un circuit étant habituellement décrites sous forme textuelle dans un document de spécification, il est difficile de pouvoir travailler de façon automatisée avec ce genre de description. Ainsi, ce que nous proposons est d'effectuer une description standardisée de la spécification d'un circuit en utilisant un langage de haut niveau qui permettra de valider la spécification. Ayant cette description standardisée, nous sommes maintenant en mesure d'effectuer un traitement sur la spécification exécutable du circuit. Le traitement que nous effectuons utilise un outil que nous avons développé dans le but de prendre en entrée la spécification exécutable. L'outil implémenté dans le module d'analyse de couverture génère, une métrique qui est basée sur le test des flots transactionnels. Ainsi, le module de banc d'essai produit par notre outil peut être incorporé dans n'importe quel banc d'essai dédié à la vérification d'un circuit au niveau RTL. L'utilité de ce module est de permettre la création d'une suite de tests qui permettra de couvrir la métrique définie et aussi de réduire le nombre de vecteurs redondants. Cela implique qu'avec ce module d'analyse de couverture, il sera possible de créer une suite de tests moins longue et ayant aussi une plus grande puissance de détection d'erreurs.

PROBLÉMATIQUE:

Les technologies reliées au milieu de la microélectronique permettent la réalisation de circuits de plus en plus complexes. Cela implique que les circuits entrant en production sont maintenant en mesure de réaliser un plus grand nombre d'opérations et aussi des opérations plus complexes. Il est donc de plus en plus difficile de pouvoir affirmer que le circuit en cours de conception réalise correctement tous les éléments que l'on peut énumérer dans la spécification fonctionnelle du circuit. De ce fait, les méthodes de vérification actuelles doivent s'adapter à cette augmentation de complexité afin que la vérification fonctionnelle de n'importe quel circuit complexe ne devienne pas le goulot d'étranglement du processeur de développement des circuits numériques.

MÉTHODOLOGIE:

Les étapes suivantes seront réalisées dans ce projet:

- Revue de la littérature sur les méthodes de vérification fonctionnelle actuelles;
- Élaboration d'une méthode afin d'automatiser la couverture fonctionnelle;
- Développement d'un exemple simple permettant de prouver la méthode;
- Développement d'un outil qui permettra d'automatiser la méthode;
- Application de la méthode avec l'outil développé sur un design industriel réel.

RÉSULTATS:

La méthodologie d'automatisation de la couverture fonctionnelle permettant de produire de façon systématique des modules d'analyse de la couverture a été développée. Ce développement s'est effectué avec l'aide d'un design d'un commutateur ATM. Par la suite, un outil implémentant la méthode a été développé. Cet outil a été utilisé pour valider la méthode sur un design industriel fourni par la société PMC-Sierra. L'application de la méthode a permis de confirmer l'utilité et l'applicabilité de la méthode afin d'améliorer le processus de vérification fonctionnelle. Ces améliorations se situent au niveau de l'accélération de la conception de la vérification et aussi par le fait que la méthodologie permette d'obtenir de façon automatisée une mesure sur l'exploraiton des fonctionnalités d'un design. Ainsi, ce projet est une contribution originale qui permet d'augmenter le niveau de confiance dans un design donné.

RENAUD, Mathieu **DIPLÔME: M.Sc.A.**

TITRE*:*

Détecteurs de phase linéaires de précision à usage multiple.

RÉSUMÉ:

Les détecteurs de phase sont essentiels à la conception de divers systèmes en microélectronique. Qu'ils soient destinés à la réalisation d'une boucle de verrouillage de phase, un synthétiseur de fréquence, un système de recouvrement d'horloge ou même pour mesurer un déphasage en boucle ouverte, ceux-ci se doivent d'être très précis et, idéalement, linéaires.

PROBLÉMATIQUE:

Un bon nombre de détecteurs de phase existent dans la littérature, certains précis, d'autres non. Les quelques détecteurs dits de précision souffrent par contre de quelques imperfections les rendant non souhaitables ou, à la limite, inutilisables pour certaines applications typiques. Celles-ci requièrent alors la conception de nouveaux détecteurs exempts de ces imperfections. Des exemples de ces imperfections sont la sensibilité au bruit en mode commun, l'exigence de signaux d'horloge de forme particulière, la génération de bruit en sortie ou un comportement non linéaire.

MÉTHODOLOGIE:

Le projet de recherche consiste en la conception d'un détecteur simple exempt de tels défauts et pouvant être exploité dans toutes les applications nommées précédemment. Pour ce faire, certains autres circuits adapteront le détecteur aux différentes applications. De plus, étant donné la précision recherchée, de nouvelles méthodes de test et d'auto calibration à même le circuit intégré doivent être élaborées pour bien caractériser le détecteur et le dénuder des défauts liés au procédé de fabrication. Par ailleurs, une stratégie doit être élaborée pour éviter les compromis entre la pureté spectrale du signal asservi et la réponse de la boucle. Outre les méthodes d'auto calibration, il est aussi possible d'exploiter des résistances programmables issues d'une nouvelle technologie pour calibrer de façon manuelle le déphasage statique. La figure de bruit de ces résistances doit donc être caractérisée pour bien connaître l'impact de ces résistances sur la précision du circuit. Ici, l'étude se limite à donner ou ne pas donner le feu vert vis-à-vis l'utilisation de cette technologie via une caractérisation expérimentale de la figure de bruit typique des résistances programmables.

RÉSULTATS:

La caractérisation expérimentale du comportement bruité des résistances programmables indique que celui-ci est dicté par la même loi qui régie le comportement des résistances en théorie. De plus, son bruit à basse fréquence n'a rien d'anormal. On peut donc utiliser sans crainte la technologie des résistances programmables.

Une combinaison parallèle d'un nouveau détecteur de phase et d'un nouveau détecteur de fréquence à trois états permet de se départir du traditionnel compromis entre la pureté spectral du signal asservi et la vitesse de convergence de la boucle. De plus, une nouvelle méthode de test embarquée permet de caractériser facilement et de façon très précise la réponse du détecteur de phase.

RICHARD, Jean-François **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'interfaces haut-voltage utilisant la technologie CMOS/DMOS.

RÉSUMÉ:

Ce projet s'inscrit dans le cadre d'une étude en vue de réaliser des circuits intégrés haut voltage en collaboration avec DALSA Semi-Conducteur Inc. (DALSA). Ce projet implique la recherche et l'analyse d'applications ainsi que la définition des spécifications. Ce projet va permettre de fournir des outils pouvant faciliter la conception de circuits intégrés. De plus, ce projet vise à définir les régions d'optimisation d'interfaces haut-voltage.

PROBLÉMATIQUE:

DALSA Semi-Conducteur a développé différentes composantes haut-voltage pour ses différents procédés de fabrication. Toutefois, aucune interface entre la technologie CMOS et DMOS n'est disponible afin d'accélérer la mise en marché de nouveaux produits. L'optimisation de tels circuits nécessite une compréhension détaillée du procédé et de la méthodologie de conception afin de satisfaire les spécifications. L'analyse de certains facteurs comme le temps de montée/descente, différent courant de sortie, variations en fréquence et différente charge de sortie peuvent être bénéfiques à l'optimisation de tels circuits.

MÉTHODOLOGIE:

Une analyse approfondie de la technologie DALSA et des outils de conception sera faite dans un premier temps. Par la suite, différents circuits d'interfaces seront analysés et des spécifications seront extraites. Un design d'interface haut-voltage sera réalisée et pourrait faire l'objet d'une implémentation physique (ASIC) s'il y a lieu.

RÉSULTATS:

Ce projet a permis la conception d'un circuit intégré (ASIC) et les résultats ont fait l'objet d'une publication scientifique. De nouvelles voies de recherche sont explorées afin d'améliorer certains paramètres comme la fréquence d'opération et la puissance dissipée.

ROBERT, Manuel **DIPLÔME: M.Sc.A.**

TITRE:

Étude des convertisseurs analogique à numérique en virgule flottante : performance théorique.

RÉSUMÉ:

L'objectif du projet est l'étude et la réalisation d'un convertisseur analogique à numérique en virgule flottante (FPADC). L'étude préliminaire servira à déterminer les avantages de ce type de conversion, ainsi que les possibilités d'exploitation de ces avantages. Il sera alors possible de se servir de ces avantages pour déterminer les champs d'application qui peuvent profiter de la représentation en virgule flottante. Le projet est une étape préliminaire qui permet l'exploraiton des FPADC pour faciliter la sélection d'une application spécifique pour laquelle un convertisseur pourrait être conçu.

PROBLÉMATIQUE:

À prime abord, il semble que l'acquisition d'échantillons sous forme de nombres à virgule flottante présente plusieurs avantages, mais il faut les prouver afin de démontrer l'utilité d'une telle méthode d'acquisition.

Il y aura donc recherche sur les métriques de performance des ADC afin d'adapter ces métriques pour avoir un indice de la performance des FPADC.

MÉTHODOLOGIE:

L'utilisation du principe des nombres en virgule flottante dans la conception d'un convertisseur analogique à numérique peut comporter des points faibles et des difficultés technologiques. Ceux-ci devront être identifiés et des solutions devront être apportées afin de réduire l'impact qu'ils peuvent représenter.

Tout d'abord, une revue de littérature sera nécessaire afin de pousser les connaissances du sujet et pour trouver les applications du projet. La recherche portera sur la conversion en virgule flottante et les domaines d'applications qui se prêtent bien à ce genre de conversion. Les résultats obtenus par les autres chercheurs pourront servir à valider ou appuyer les concepts en cause. Des simulations théoriques seront faites pour prouver les avantages de l'utilisation de la représentation à virgule flottante.

RÉSULTATS:

La revue de littérature avance bien et se précise de plus en plus. La construction d'un modèle idéal d'un FPADC a permis de procéder à des simulations qui ont prouvé que le rapport signal sur bruit restait constant, malgré la diminution de l'amplitude du signal. On veut cependant pousser plus loin pour avoir d'autres avantages et pour identifier les applications qui mettront à profit ce genre d'avantages.

Étant donné que la question du pourquoi faire un FPADC devient plus importante que la question du comment, il ne sera pas question de faire des démarches auprès de la CMC pour la fabrication d'une puce. Ces démarches ne pourront être entreprises tant que la preuve de l'utilité des FPADC ne sera pas faite.

La rédaction du mémoire est en cours et la soutenance devrait avoir lieu avant décembre.

RONDONNEAU, Mathieu **DIPLÔME: M.Sc.A.**

TITRE:

Encapsulation d'un système d'exploitation temps-réel dans une API System C afin d'intégrer une plate-forme de codesign en SystemC destinée au partitionnement des systèmes sur puces (SoC).

RÉSUMÉ:

L'objectif est de concevoir un système logiciel capable d'utiliser les ressources d'une plate-forme de design codé en *SystemC* et d'ordonnancer des tâches logicielles ayant la même architecture que les tâches matérielles (écrites en *SystemC*). Ceci dans le but de fournir une plate forme d'aide au partitionnement de manière à réduire considérablement les coûts de développement en terme de temps.

PROBLÉMATIQUE:

La phase de partitionnement est très délicate et déterminante dans le cycle de développement des SoC. Aucun outil de simulation ne permet l'exploration architecturale. Cependant, SystemC ne propose pas de solution pour le partitionnement du système. La possibilité de partitionner l'application de manière à obtenir un ordonnancement matériel pour la partie matérielle et un ordonnancement logiciel pour la partie logicielle serait d'un grand support. De plus, le déplacement des blocs d'une partie vers une autre ou inversement tout en conservant les communications simplifierait grandement l'étape de partitionnement.

MÉTHODOLOGIE:

La méthodologie proposée dans ce mémoire regroupe trois niveaux permettant un raffinement logiciel utilisant SystemC 2.0. À partir d'une description à très haut niveau jusqu'à la synthèse dans un système sur puce. Un premier niveau appelé L1 (Level 1) permet la spécification de l'application ainsi que sa validation fonctionnelle à l'aide du simulateur. Au deuxième niveau, appelé L2 (level 2), l'application est partitionnée en deux parties : les modules logiciels et les modules matériels. La partie matérielle est simulée avec le simulateur de SystemC. Tandis que la partie logicielle est ordonnancée par un RTOS exécuté comme étant un processus encapsulé dans une API SystemC. Enfin, au troisième niveau, appelé L3 (level 3), chacune des partitions est connectée sur la plateforme SPACE, incluant le même RTOS, un émulateur de processeur ARM (ISS) ordonnancé par le simulateur de SystemC. La contribution de la méthodologie réside dans le fait de permettre un partitionnement à chacun des trois niveaux. Cette caractéristique permet l'exploration architecturale ainsi que le raffinement logiciel et matériel dans l'objectif de faciliter la phase délicate d'intégration.

RÉSULTATS:

Basé sur les temps de simulation, les premiers résultats montrent que la prochaine étape doit porter sur l'optimisation et notamment dans les communications entre les modules logiciels et matériels au niveau L2. Le mémoire a été présenté et accepté.

ROY, Jean-François **DIPLÔME: M.Sc.A.**

TITRE:

Détecteur d'activité pour un système d'acquisition de signaux corticaux implantables.

RÉSUMÉ:

Ce travail propose une méthode de tri des signaux neuronaux afin de déterminer si le signal est d'intérêt ou non et s'il doit être transmis vers l'extérieur. Ce travail s'insère dans le projet réalisé par le groupe Cortisens. Le système global comprend une interface analogique avec des matrices d'électrodes implantables pour l'amplification et le filtrage analogique, puis un étage de prétraitement décompose le signal en ondelettes. Le système numérique comprend le détecteur d'activité neuronale qui utilise la sortie continue de la décomposition. Il détermine les seuils critiques signifiant qu'un pic neuronal est présent. Une fois le signal choisi, il est transmis par le contrôleur à un module de compression et redirigé vers le système extérieur. Le système extérieur communique avec un lien bidirectionnel sans fil (RF) et permet de choisir les canaux désirés et de configurer tous les paramètres dont les niveaux de tolérance du détecteur.

PROBLÉMATIQUE:

Le système devra être implantable, ce qui entraîne une multitude de facteurs cruciaux au bon fonctionnement. Tout d'abord, la puissance: chacune des parties du projet doit optimiser sa consommation et minimiser sa superficie de silicium. Du côté communication, un lien bidirectionnel devient essentiel pour le transfert de données et la configuration du système, par contre le lien RF n'offre qu'un débit très limité. Différentes avenues ont été analysées afin de palier à ces problèmes. C'est la raison d'être du détecteur d'activité qui permet d'isoler les données d'intérêts et le compresseur pour minimiser la quantité de bits traitée et transmise sur le lien de communication.

MÉTHODOLOGIE:

Le projet étant spécifique, l'application dédiée doit être réalisée en conséquence. Nous avons d'abord décrit les besoins dans le contexte du système d'acquisition de signaux neuronaux. Pour y parvenir, nous avons effectué une revue de la littérature afin de déterminer la topologie optimale du système. En parallèle, un environnement de simulation (en VHDL) et de contrôle (en C) a été élaboré permettant de tester différentes facettes du design. Nous avons utilisé le logiciel Matlab dans le but de trouver quels algorithmes devaient être choisis en testant différentes facettes du design. Nous avons utilisé le logiciel Matlab dans le but de trouver quels algorithmes devaient être choisis en testant différentes méthodes sur des données que nous avons obtenues en collaboration avec l'Université de Calgary.

RÉSULTATS:

Une première version du système numérique a été réalisée et stimulée, elle comprennait l'interface RF. Une deuxième interface est en cours de développement pour le module de test en réalisation avec une interface USB. Un système modulaire complet est en cours de réalisation pour des tests expérimentaux. Les données que nous avons utilisées fournissaient un signal sur une seule électrode et nos simulations reposent sur cette lacune. Des signaux expérimentaux échantillonnés sur une matrice d'électrodes permettront de valider nos décisions. Les algorithmes suivants ont été programmés en Matlab : la transformation en ondelettes (WT), l'analyse des composants principaux (PCA) et l'analyse des composants indépendants (ICA).

ST-PIERRE, Francis **DIPLÔME: M.Sc.A.**

TITRE*:*

Implémentation matérielle sur FPGA et analyse d'un réseau sur puce dans un environnement matériel multiprocesseurs.

RÉSUMÉ:

Après caractérisation d'un modèle NOC (Network on a Chip), il est néessaire d'évaluer sa performance ainsi que des dizaines de ressources pour accélérer le traitement d'une applicaiton donnée. Une ressource peut être un processeur, un DSP, une mémoire, un bloc matériel ou un FPGA. Pour que ces ressources puissent communiquer entre elles, le modèle simple du bus n'est plus adéquat. Il faut orienter les communications inter ressources vers d'autres topologies (anneaux, arbres, etc.) On assiste donc à l'émergence de différents réseaux intégrés sur puce, communément appelés NOC (Network on Chip). Étant donné qu'un NOC a déjà été modélisé et simulé de façon logiciel, il est essentiel d'avoir une évaluation tangible de la qualité de ce NOC.

PROBLÉMATIQUE:

Grâce à la constante progression dans la technologie du transistor, il est possible d'intégrer sur une même puce des dizaines de ressources pour accélerer le traitement d'une application donnée. Une ressource peut être un processeur, un DSP, une mémoire, un bloc matériel ou un FPGA. Pour que ces ressources puissent communiquer entre elles, le modèle simple du bus n'est plus adéquat. Il faut orienter les communications inter ressources vers d'autres topologies (anneaux, arbres, etc). On assiste donc à l'émergence de différents réseaux intégrés sur puce, communément appelés NOC (Network on Chip). Étant donné qu'un NOC a déjà été modélisé et simulé de façon logiciel, il est essentiel d'avoir une évaluation tangible de la qualité de ce NOC.

MÉTHODOLOGIE:

- Concevoir et réaliser de façon matérielle un NOC appelé ROC (Rotator On a Chip) avec l'aide du VHDL;
- Créer un générateur de trafic pour émuler des applications (ex. : traitement de paquets, multimédia, etc.);
- Analyse des résultats obtenus pour certains paramètres. Espace utilisé, latence maximale, débit maximal, puissance utilisée;
- Se comparer à différents NOC selon ces critères : débit, contention, espace, consommation de puissance, temps de transfert.

RÉSULTATS:

Une première implémentation matérielle a été réalisée. Une évaluation de l'espace utilisé sur un FPGA pour quatre nœuds a été obtenue. Les prochains travaux à venir porteront sur l'optimisation de ses capacités par l'ajout du côté générique pour la création de nœuds, la bidirectionnalité de transmission des messages à l'intérieur du cœur du ROC et la capacité de hiérarchisation d'échange de messages entre plusieurs ROC.

SAHEB, Jean-François **DIPLÔME: M.Sc.A.**

TITRE:

Pilote à haut voltage pour le contrôle d'activateurs MEMS piézoélectriques et ultrasoniques.

RÉSUMÉ:

L'objectif principal du projet est de parvenir à implémenter un système électronique mixte; analogique et numérique à haut voltage (jusqu'à 100V) à l'aide de la technologie de Dalsa semiconductor afin de piloter des activateurs piézoélectriques MEMS permettant la diffusion automatique de médicaments liquides ainsi que l'émission et la réception d'ultrasons.

PROBLÉMATIQUE:

Avec les progrès croissants en génomique, protéomique et la découverte de nouveaux médicaments, le contrôle microscopique du transport des fluides est devenu crucial. Contrairement aux autres applications MEMS, les micropompes possèdent de grandes possibilités de principes d'opération. Les nombreuses procédures pharmaceutiques, chimiques et biologiques requièrent souvent des dispositifs qui peuvent distribuer des quantités infimes et précises de liquides injectables. D'autre part, la miniaturisation et l'intégration des dispositifs médicaux dans le but d'obtenir la portabilité et une réduction de coût est de mise.

Le projet consiste à développer un système de contrôle d'activateurs piézoélectriques à l'aide de la technologie haut voltage de Dalsa semiconductor. Le système comporte un microcontrôleur permettant de contrôler un convertisseur sériel/parallèle haut voltage alimenté par un convertisseur DC/DC à rétroaction et tension variable (50-100V). Le système permet la programmation des mouvements piézoélectriques MEMS.

MÉTHODOLOGIE:

Le projet se sépare en trois grands blocs pour arriver à l'atteinte des objectifs. Le premier bloc consiste en la création du convertisseur DC/DC permettant une alimentation variable (de 50-100V) du convertisseur sériel/parallèle à haute tension. Dans ce bloc, la sélection de la pile pour l'alimentation ainsi que les caractéristiques des charges piézoélectriques sont évalués. Le second bloc consiste à sélectionner et à programmer un microcontrôleur permettant de commander le convertisseur sériel/parallèle à haute tension selon ses différents modes de fonctionnement. Le troisième bloc consiste à l'intégration sur PCB des composants pour permettre l'intégration sous forme d'implant du prototype.

RÉSULTATS:

Le système conçu sur PCB comporte une pile alimentant convertisseur DC/DC à tension réglable permettant d'obtenir en sortie une tension variable de 50 à 100V avec une tension d'entrée de 3 à 11 V venant de la pile. Il comporte aussi un microcontrôleur de format intégré contrôlant le convertisseur sériel/parallèle à haute tension permettant de programmer l'activation individuelle de chaque piézoélectrique d'une matrice de piézoélectriques. Le système permet aussi une variation temporelle de l'excitation piézoélectrique à l'aide d'une programmation PWM en sortie.

SALOMON, Max-Élie **DIPLÔME: M.Sc.A.**

TITRE:

Caractérisation et modélisation des sources de gigue et d'étalement spectral dans un circuit de synthèse numérique direct de phase «DDPS» et amélioration des performances.

RÉSUMÉ:

Le développement que connaît le domaine des télécommunications et particulièrement les communications sans fil, entraîne une forte demande pour des circuits de synthèse d'horloge de haute performance, entièrement intégrés sur une puce et de faible coût. L'horloge produite par ces circuits doit avoir une très faible gigue, atteindre des fréquences élevées et surtout avoir le minimum d'étalement spectral. Un excellent candidat qui répond à ces spécifications est le circuit de synthèse numérique directe de phase «DDPS». Cependant, le spectre du signal généré par ce circuit n'est pas pur. Le but de ce travail est d'identifier et de modéliser les sources d'étalement spectral dans le «DDPS» et d'améliorer les performances du circuit.

PROBLÉMATIQUE:

Nous souhaitons produire une horloge à haute fréquence qui soit une fraction exacte de l'horloge de référence. Cette horloge doit impérativement avoir une faible gigue et un minimum d'étalement spectral. Le circuit de synthèse numérique directe de phase «DDPS», objet de cette étude, n'a pas un spectre fréquentiel pur. De plus, sa gigue temporelle reste aussi à améliorer. La visualisation du spectre fréquentiel nécessite une simulation temporelle avec un modèle SIMULINK, suivie d'une analyse fréquentielle avec la fonction de transformée rapide de Fourier. Cette technique demande un temps de calcul très élevé. Une formule non-empirique, mais fonctionnant pour tous les cas testés, est également disponible pour le calcul direct de la position et de l'emplacement des raies spectrales. Il permet une économie de temps mais ne tient compte que d'une seule des deux majeures sources de raies spectrales (aussi appelées spurs).

MÉTHODOLOGIE:

Voici en quoi consiste la méthodologie de ce projet:

- Analyse du cycle du signal de sortie pour déterminer la vraie période du signal selon les conditions d'opération. Cette vraie période est plus large que la période moyenne de sortie, et cause l'apparition d'une raie spectrale fondamentale et de ses harmoniques;
- Mise au point d'un algorithme calculant les termes de la série de Fourier du signal en utilisant la vraie période. L'amplitude de ces termes correspond aux amplitudes des raies spectrales;
- Utilisation de l'algorithme pour comparer différentes conditions d'opération du DDPS;
- Proposition de modifications à l'architecture du circuit.

RÉSULTATS:

- Modèle analytique prédisant la position et l'amplitude des raies spectrales indésirables dues à la troncature de l'acumulateur de phase ainsi qu'au mismatch (déséquilibre de la ligne à délai;)
- Étude du rapport «signal vs bruit dû aux effets modélisés» pour différentes conditions d'utilisation ou de filtrage de la sortie;
- Modifications au circuit en cours de conception.

SEHIL, Mohamed **DIPLÔME: M.Sc.A.**

TITRE:

Conception et optimisation d'un lien inductif intégré pour assurer un transfert adéquat d'énergie à l'implant.

RÉSUMÉ:

En biomédical, les liens inductifs transcutanés sont utilisés pour un transfert de données et d'énergie pour les implants. Le développement et la conception d'un tel lien pour le transfert de puissance à travers la peau à une distance de quelques centimètres nécessite des liens qui possèdent un haut rendement énergétique.

PROBLÉMATIQUE:

- L'inductance mutuelle entre les deux bobines du lien dépend essentiellement de leur taille, forme géométrique ainsi que la distance qui les sépare. Donc pour une taille réalisable aux laboratoires de micro fabrication de la bobine interne, le facteur de couplage est très faible ce qui diminue la puissance délivrée à l'implant.
- Le facteur de qualité des bobines intégrées est assez faible à la fréquence de travail choisi ce qui augmente les pertes du lien.

MÉTHODOLOGIE:

- Se fixer un maximum de supereficie que la bobine alimentant l'implant peut occuper. Ainsi, nous allons optimiser le facteur de couplage du lien en fonction des dimensions des deux inductances;
- Déterminer et calculer les facteurs de qualité des bobines et par conséquent de pertes dans le lien en utilisant un programme Matlab;
- Fabriquer un prototype du lien selon le dimensionnement trouvé dans les deux premières parties.

RÉSULTATS:

Nous avons proposé un lien inductif composé d'une bobine externe de forme spirale et une interne de forme polygonale vue la difficulté de réaliser une forme circulaire dans les circuits intégrés. Ce système possède un facteur de couplage assez bon pour transférer l'énergie électrique nécessaire à l'implant. L'optimisation du système est en cours.

SIMARD, Virginie **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un module de traitement de signal et compression par transformées en ondelettes pour un système d'acquisition de signaux corticaux.

RÉSUMÉ:

Ce travail s'inscrit dans le cadre du projet de conception d'un système d'acquisition des signaux neuronaux, système qui sera implantable et multi canal et pourra être utilisé en conjonction avec le stimulateur visuel ou seul, en tant qu'instrument de mesure chronique. Le module de traitement de signal implémente une transformée en oncelettes faisant partie d'un système de détection de potentiels d'action.

PROBLÉMATIQUE:

Des recherches tendent à montrer que l'étude du fonctionnement du cerveau passe la connaissance de l'activité électrique d'un très grand nombre de neurones qu'il est possible de capter à l'aide d'une matrice de microélectrodes enregistrant les potentiels d'action extracellulaires. Les signaux captés par ces électrodes représentent une quantité d'informations très importantes. Le capteur doit donc être en mesure de transmettre les données vers un module externe sur un canal de communication de largeur de bande limitée. Le module de traitement de signal permet d'éliminer la partie du signal qui ne contient pas d'information utile en détectant les potentiels d'action. Également, tout système électronique destiné à être implanté dans les tissus du crops doit être de taille minimale et dégager une puissance très faible afin de ne pas augmenter de façon significative la température des tissus l'entourant. Les méthodes de conception électronique sont par conséquent orientées vers la minimisation de la puissance dissipée et de l'aire d'implémentation.

MÉTHODOLOGIE:

Une recherche bibliographique approfondie sur les capteurs de signaux neuronaux, les méthodes de traitement de tels signaux, les transformées en ondelettes ainsi que le design en CMOS de filtres de très faible puissance a été effectuée et est régulièrement mise à jour. Le choix de la détection comme méthode de traitement de signal a été validée. La méthode de détection consiste à appliquer des seuils sur le signal passé dans un processeur de transformée en ondelettes; l'efficacité de cette méthode a été prouvée à l'aide de plusieurs signaux neuronaux. Une implémentation analogique de la transformée (CWT) a été choisie pour des considérations de puissance. Le design des filtres constituant le processeur a été effectué avec Matlab; la fonction de transfert appropriée pour la CWT a été approximinée, le modèle d'état a été modifié pour réduire l'aire du circuit résultant et la sensibilité aux variations de paramètres. Le design du circuit, fondé sur le principe log-domain, a été fait avec Cadence. Une partie de ce circuit a été envoyée en fabrication. Les étapes en cours du projet sont le test du circuit fabriqué ainsi que la comparaison des implémentations analogiques et numériques de la transformée en ondelettes. Des mesures impliquant des animaux sont également prévues.

RÉSULTATS:

Un circuit réalisant une transformée en ondelettes continue a été conçu et envoyé en fabrication en technologie CMOS 0.18um. Les principes de traitement de signal ont été validés à l'aide de signaux neuronaux mesurés sur des animaux et de signaux générés à partir de mesures réelles.

TANGUAY, Bruno **DIPLÔME: M.Sc.A.**

TITRE:

Chaîne de traitement numérique basé sur des processeurs configurables pour la radio reconfigurable par logiciel (SDR)

RÉSUMÉ:

L'objectif du projet est d'évaluer l'application des processeurs configurables pour le traitement numérique d'une radio reconfigurable par logiciel (Software Defined Radio). En fait, l'étude doit démontrer si les processeurs configurables peuvent être utilisés pour du traitement de signal en temps réel. Étant donné que l'égalisation est l'un des algorithmes les plus exigeants mathématiquement, l'étude sera principalement consacrée à ce type d'algorithme.

PROBLÉMATIQUE:

La demande grandissante en communication sans fil a donné naissance à différents standards de télécommunication à travers le monde (GSM, IS-95, IS-136, PDC, UMTS, etc.). Chacun des standards possède ses propres caractéristiques en terme de type d'accès, de modulation, de fréquence porteuse, d'encodage et de bande passante. Le principal problème de l'émergence de ces différents standards est la compatibilité des différents dispositifs de télécommunication entre eux. Il en résulte une incapacité entre les systèmes sans fil de communiquer entre eux. La solution à un tel problème serait un système radio capable d'être entièrement reconfiguré par logiciel pour permettre à celui-ci de répondre aux caractéristiques spécifiques de n'importe quel type de communication. Une SDR idéale serait entièrement constituée de DSP; cependant, les performances de ceux-ci sont insuffisantes.

MÉTHODOLOGIE:

À priori, une revue de littérature exhaustive sera nécessaire afin de pousser les connaissances concernant la SDR. Une étude de quantification sera réalisée sur les égaliseurs LTE-LMS et DFE-LMS avec un outil d'optimisation afin de déterminer le nombre de bits optimal pour les différents opérants. Une étude sera effectuée sur une technologie Xtensa (Tensilica) qui vise une implémentation sur ASIC. Une autre étude portera sur la technologie Nios (Altera) qui vise plutôt une implémentation sur FPGA.

RÉSULTATS:

Les égaliseurs ont été implémentés avec les différentes technologies. Leur fonctionnement a été vérifié. Des gains de performance considérables ont pu être atteints avec des instructions spécialisées par rapport à une configuration de base. L'étude de la quantification est toujours en cours.

TRABELSI, Abdelaziz **DIPLÔME: Ph.D.**

TITRE:

Correction de l'audition par traitement de la parole dans des prothèses auditives numériques.

RÉSUMÉ:

La correction auditive est généralement associée à un véritable traitement du signal en vue d'égaliser la bande passante de l'ensemble prothèse-oreille et/ou de compresser la dynamique du signal. Ces fonctions sont, depuis plusieurs années, réalisées de manière analogique, avec des limitations que l'on sait. Le développement des techniques de fabrication CMOS permet présentement d'intégrer sur une seule puce dédiée toutes les fonctions nécessaires au traitement numérique d'un signal, depuis son acquisition jusqu'à sa restitution. Cependant, les audioprothésistes ne sont pas actuellement convaincus de la supériorité des prothèses numériques par rapport aux prothèses analogiques. Bien que le son d'un prothèse numérique soit meilleur que celui d'une prothèse analogique, il n'est pas clair que ceci a un impact direct sur l'intelligibilité de la parole dans la zone de perception du malentendant.

Ce projet de recherche porte notamment sur l'amélioration de l'intelligibilité de la parole, pour les surdités sévères et moyennes, en traitant le signal dans le but de discriminer les bruits et isoler la voix.

PROBLÉMATIQUE:

Les difficultés traditionnelles associées à l'utilisation de l'aide auditive conventionnelle dite «analogique» touchent principalement la compréhension de la parole dans le bruit, la nécessité de changer la position du volume selon l'environnement et de manière générale le confort et la qualité du son. Est-ce que la montée de la technologie numérique signifie pour autant que les aides conventionnelles soient reléguées dans la catégorie «bas de gamme» comme certains n'hésitent plus à prétendre? Pas si sûr...

À notre connaissance et à ce stade-ci, aucune étude n'a pu démontrer que l'aide numérique offre une meilleure compréhension de la parole dans le bruit. On parle tout au plus d'une satisfaction dans certains cas chez l'utilisateur de l'aide numérique dans les situations bruyantes.

MÉTHODOLOGIE:

Dans une première étape, il est proposé de déterminer l'ensemble des paramètres qui influencent l'intelligibilité d'un signal audionumérique en se fondant sur les propriétés psychoacoustiques et les caractéristiques des signaux audio mis en jeu. Cette étape aura recours à une approche modélisation/simulation et aboutira au développement d'une plate-forme logicielle qui permettra l'analyse et la reconstruction d'un signal audionumérique de meilleure qualité même dans les situations bruyantes.

RÉSULTATS:

La plate-forme logicielle est en cours de développement.

TREMBLAY, Jean-Marc **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un circuit de conversion de protocoles pour la transmission de vidéo sur des réseaux haute-vitesse.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser une architecture flexible, capable d'effectuer la conversion en temps réel de plusieurs protocoles réseaux existants et futurs. Les protocoles existants ciblés sont ceux capables de transporter des données vidéo numériques de qualité studio, c'est-à-dire de plus de 360 Mbps.

PROBLÉMATIQUE:

La quête de l'augmentation de la largeur de bande des réseaux informatiques actuels est incontournable. Bon nombre de groupes de recherche en sont à développer des protocoles visant à obtenir des débits de données toujours plus grands. Résultat, il est difficile de faire cohabiter ces protocoles dans un même réseau.

Une des solutions existantes (passerelle) n'est efficace que pour des protocoles à bas débits de données, soit moins de 100 Mbps. Par ailleurs, elle ne permet que la conversion d'un nombre fini de protocoles. Une autre solution (routeur passerelle) exige la modification de la topologie du réseau pour être utilisable et elle n'est pas transparente du point de vue du réseau.

Cette recherche vise à permettre la cohabitation de protocoles dans un même réseau, et ce, sans influencer sa topologie, sa configuration et son utilisation.

MÉTHODOLOGIE:

Voici les éléments de la méthodologie utilisée afin de mener à terme ce projet de recherche:

- Recherche bibliographique pour déterminer et comprendre les protocoles haute vitesse intéressants pour des applications multimédias;
- Développement d'une architecture logicielle flexible permettant la conversion entre des protocoles;
- Faire le profilage de cette architecture et considérer l'accélération matériellement des parties trop exigeantes en terme de cycle processeur;
- Faire le partitionnement logiciel/matériel ou concevoir une nouvelle architecture à partir des observations du profilage;

RÉSULTATS:

La recherche bibliographique est complétée et les protocoles IEEE 802.3 et IEEE 1394 ont été retenus. Une première architecture logicielle a été développée mais remplacée par une seconde plus performante. L'analyse des résultats de profilage de la seconde architecture est en cours. Également, une architecture logicielle-matérielle a été proposée. Sa mise en œuvre et son évolution sont les sujets d'autres projets de maîtrise.

TRÉPANIER, Annie **DIPLÔME: M.Sc.A.**

TITRE:

Système mixte dédié à la capture d'image et à la récupération de sa structure 3D.

RÉSUMÉ:

L'objectif principal du projet, réalisé dans le cadre du stimulateur visuel cortical entrepris par l'équipe PolySTIM, est de parvenir à implémenter un système générateur d'images vidéo monochromes dont l'intensité de chaque pixel est proportionnelle à la distance entre le point correspondant dans la scène et le système lui-même.

PROBLÉMATIQUE:

Le prototype de stimulateur visuel actuel ne donne aucune information sur la structure 3D de la scène devant le patient, puisqu'il donne seulement une image en deux dimensions. Le système présenté ici apportera une fonction additionnelle à la caméra du stimulateur visuel. Cette option consiste en la génération d'images vidéo monochrome représentant l'éloignement des objets de la scène par rapport au patient, lui permettant ainsi de se déplacer sans risque de collision.

MÉTHODOLOGIE:

Pour parvenir à atteindre les objectifs, le projet a été séparé en plusieurs étapes. La première étape consiste en une étude approfondie sur le sujet, permettant de trouver la meilleure architecture possible pour le système. La deuxième étape consiste en la conception d'un capteur d'image numérique rapide, principalement constitué d'une matrice de photodiodes suivies d'un circuit de conversion, devant être implanté à l'aide de la technologie de fabrication de circuits intégrés CMOS 0,18um.m. Ce capteur a pour fonction d'enregistrer l'image de la scène sur laquelle est projetée la lumière structurée. Il pourra aussi être utilisé comme simple caméra. La troisième étape consiste en l'élaboration d'un système de calcul de distance utilisant un projecteur, une caméra et un ordinateur. Le projecteur projette un patron de lumière structurée et la caméra prend des images de la scène illuminée. Ce calcul est basé sur le principe de la triangulation utilisé pour la stéréoscopie. Finalement, la quatrième étape consiste en la conception d'un module ayant pour fonction de générer l'image de profondeur une fois les calculs complétés, les pixels de cette image ayant un différent ton de gris selon la distance des objets par rapport au système.

RÉSULTATS:

L'architecture globale du système de mesure de distance a été conçue et les étapes de développement ont été définies. Le design du capteur d'image numérique rapide a été effectué avec la technologie CMOS 0,18μm et a été soumis à la SCM pour fabrication. Une première version de puce contenant un seul pixel a été reçu et est en phase de test. Les résultats obtenus jusqu'à présent sont concluants. Une deuxième puce contenant une matrice de 45 par 90 pixels devrait arriver sous peu, permettant de capter une image à basse résolution. Le système de meusre de distance et de génération d'image est en cours de design à l'aide du programme MATLAB. Un FPGA contrôle le projecteur VGA (à l'aide d'un programme codé en VHDL) pour la projection des patrons de lumière structurée et la scène est captée à l'aide d'une caméra numérique.

TRÉPANIER, Jean-Luc **DIPLÔME: M.Sc.A.**

TITRE:

Capteur d'image intégré à très large bande dynamique pour un stimulateur cortical.

RÉSUMÉ:

Ce projet vise à concevoir un capteur d'images à large bande dynamique intégrée en technologie CMOS. L'objectif visé est son intégration à un implant visuel. Ce dernier est un appareil visant à stimuler le cortex cérébral de patients aveugles dans le but de leur rendre une vision fonctionnelle. Le capteur intégrera toutes les composantes nécessaires à la transformation du signal optique en une matrice de pixels représentant l'image captée.

PROBLÉMATIQUE:

Un capteur d'images dédié à stimuler le cortex visuel d'un patient aveugle implique plusieurs contraintes très différentes de celles d'un capteur d'images standard. Entre autre, il doit être en mesure de discerner des détails dans différents niveaux d'illumination, selon le type d'endroit où se trouve l'utilisateur. De plus, il doit pouvoir capter des images dans lesquelles se retrouvent à la fois, de hautes intensités lumineuses et de très faibles intensités.

MÉTHODOLOGIE:

Le capteur est composé d'une matrice de pixels numériques actifs. Le temps d'exposition initial est variable et permet ainsi de s'adapter aux différentes scènes. Lors de l'exposition à une scène à large bande dynamique, le système peut échantillonner la matrice de pixels à différents moments afin de récupérer les détails de chaque zone d'illumination. Cette méthode donne comme résultat une valeur à point flottant pour chaque pixel.

RÉSULTATS:

Un premier prototype a été conçu avec la technologie CMOS 0,18µm. La conversion optique à électrique a été validée, avec une gamme dynamique de 96dB. L'architecture a été validée à l'aide de la puce conçue et une plaquette de test externe, elle aussi conçue dans le cadre du projet. Le projet a été terminé en septembre 2003.

TRUONG, Olivier-Don **DIPLÔME: M.Sc.A.**

TITRE:

Intégration de moteurs électrostatiques et d'un system-on-chip à l'aide d'interconnexions électriques compactes dans une structure en trois dimensions.

RÉSUMÉ:

Le but du projet Walking Die est de produire un robot programmable et autonome qui aura la grosseur d'un grain de riz et cela à partir des techniques modernes les plus avancées (MEMs, SOC, techniques de microfabrication). Les dimensions du Walking Die sont de 3x3x2 mm. Ce robot aura comme rôle d'effectuer des opérations au niveau atomique à l'aide d'une pointe de STM (Scanning Tunneling Microscope). L'intégration se divise en plusieurs parties: l'assemblage méticuleuse des différentes pièces du robot, la conception d'une plateforme pour que le robot puisse travailler dans un environnement qui répond à ses exigences et la création des interconnexions dans cette structure en trois dimensions entre les moteurs électrostatiques et le system-on-chip.

PROBLÉMATIQUE:

Le plus grand défi est l'intégration des interconnexions entre les moteurs électrostatiques (MEMs) ainsi que le system-on-chip qui contrôle les moteurs. Plusieurs problèmes s'imposent à cette intégration, un premier est qu'il est difficile de produire une interconnexion à 90 degré dans de telles dimensions. Un deuxième problème est que du côté où se trouve les pads de connexions du moteur électrostatique, il se trouve une roue qui soutiendra le robot et permettra à ce dernier de bouger. Cette roue limite le champ d'action au niveau du moteur car toutes connexions à la surface pourraient créer une obstruction à cette roue. Un autre des problèmes est de pouvoir produire des interconnections ayant les dimensions les plus petites afin de ne pas augmenter le volume du robot. Il faudra aussi que ces interconnexions soient solides car à des dimensions, tout est fragile. Le but de mon projet est de résoudre ces trois problèmes.

MÉTHODOLOGIE:

Pour créer ces vias à travers le moteur électrostatique, nous utiliserons de la gravure profonde et un bain d'électroplacage afin d'obtenir nos interconnexions à travers le MEMs. Pour ce qui est des connexions entre les moteurs électrostatiques et le system-on-chip à 90 degré, il faudra utiliser une déposition de métal ciblé. Les techniques de microfabrication seront très utiles pour créer ces interconnexions électriques. Des techniques de gravure profondes (DRIE) par ICP, électrodéposition de cuivre et déposition de métal ciblé par FIB seront utilisés pour construire ces interconnexions. Des techniques d'assemblage et un moule d'assemblage seront nécessaires pour la construction du Walking Die. Cette partie d'assemblage est essentielle afin de créer les interconnexions en 3-D.

RÉSULTATS:

Les techniques d'assemblage pour assembler la structure du Walking Die sont concluantes. Pour ce qui est des étapes de microfabrication des interconnexions, elles sont présentement en cours.

VAILLANCOURT VEILLEUX, Nicolas **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation et caractérisation d'une architecture générique de systèmes ultrsoniques portables.

RÉSUMÉ:

Jusqu'à ce jour, aucun IP (Intellectual Property) n'a été développé entièrement sur ce genre de système. La pertinence de développer un tel système se situe au niveau de l'intégrabilité, du fonctionnement et de la vérification. Au départ, nous caractérisons chaque module de l'architecture, nous procédons à la programmation de leur comportement et nous vérifions leur fonctionnement. La création d'une architecture modulaire générique permet de modifier certaines parties du système avec une facilité incroyable. Par ailleurs, afin de rencre la modélisation la plus flexible possible, nous développons des interfaces permettant de faire des simulations avec des modules programmés en différents langages (VERILOG, VILOG-A, VHDL, SYSTEMC, C/C++, etc.). De plus, l'architecture permet d'implanter des modules de bas niveau, IC (Integrated circuits), ain de pouvoir voir l'impact sur le système. La partie finale du projet est la conception du banc d'essai du système complet. Elle comprend une partie vérification et validation et une partie quantification des performances. Le résultat final devrait être une plateforme IP pour systèmes ultrasoniques portable adaptable à tout genre de modifications.

PROBLÉMATIQUE:

Avec le développement rapide des technologies lié à la microélectronique, il est difficile de gérer un système complexe qui fait appel à plusieurs de ces technologies et à les intégrer ensemble. Ensuite, il faut penser au code de programmation à utiliser pour le genre de circuit que l'on veut créer. Par exemple, pour concevoir un système analogique nous utilisons VERILOG-A. Par contre, pour concevoir un circuit numérique nous pouvons utiliser le VHDL ou le VERILOG. Alors comment intégrer ces différents codes ensemble. Par la suite, lors de la conception d'un système générique, il faut être capable de quantifier les performances apportées par les modifications. Et enfin, il faut être en mesure de vérifier et de valider le fonctionnement du système global. Ainsi, on peut voir que la modélisation et la caractérisation d'une architecture générique de systèmes ultrasoniques portables s'avèrent d'une importance capitale.

MÉTHODOLOGIE:

Le projet devrait suivre les étapes suivantes:

- Caractérisation des modules de l'architecture du système ultrasonique portable;
- Définition comportementale de chacun des modules;
- Choix du code de programmation des modules;
- Programmation ou conversion des différents modules;
- Validation du fonctionnement des modules;
- Conception des interfaces entre les modules (Verilog, VHDL, SystemC, etc.)
- Conception d'un système flexible multi fréquentiel;
- Paramétrisation réelle des modules idéaux;
- Vérification et validation du système ultrasonique portable.

RÉSULTATS:

Revue de littérature terminée, programmation des modules analogiques du récepteur terminés, simulation VHDL et Verilog en cours.

WILD, Guillaume **DIPLÔME: M.Sc.A.**

TITRE:

Caractérisation de résistances diffusées

RÉSUMÉ:

L'objectif de ce projet est d'entamer la caractérisation de dispositifs résistifs activés par laser au cœur d'un circuit intégré.

PROBLÉMATIQUE:

L'activation d'un dispositif au sein d'un circuit intégré par laser pose d'importants problèmes. Le dispositif est situé dans un environnement sensible, il peut être entouré de circuiteries dont la précision de fonctionnement est cruciale et l'envoi d'une impulsion laser à ses côtés pourrait lui être fatal. En effet, le laser vient apporter des charges électriques dans le substrat et dans les connexions, des charges qui peuvent endommager les autres circuits si certaines règles de dessin ne sont pas respectées. Ce sont vers ces règles de dessin que le projet va s'efforcer de converger. Un autre objectif pourrait être la mise au point à long terme d'un modèle électrique pour le dispositif étudié.

MÉTHODOLOGIE:

La caractérisation portera sur différents aspects, notamment le temps de relaxation du dispositif après activation au laser, la quantification des charges injectées et la protection contre certains effets non souhaités. Pour arriver à ces fins, nous allons mettre au point des circuits de test adaptés à chacun des problèmes. Ce projet fait appel à des connaissances de dessin de circuits analogiques. Compte tenu de la nature de la problématique, la simulation n'est pas envisageable et le test doit se faire sur des circuits intégrés réels. Il y aura donc une première phase de conception de circuits de tests, une seconde phase de mesures et d'interprétation de résultats pour affiner la conception suivante jusqu'à obtenir des résultats satisfaisants. Les recherches orientées «électriques» sont effectuées en étroite collaboration avec une équipe du département de génie physique qui travaille sur une étude approfondie des phénomènes physiques engendrés par l'envoi d'une salve laser sur des régions diffusées.

RÉSULTATS:

La première phase de ce projet a été l'apprentissage des techniques de base du dessin de circuits intégrés, l'utilisation des logiciels pour augmenter les chances d'obtenir au final un circuit fabriqué apte à livrer des résultats. Le résultat de cette phase a été la fabrication de deux circuits intégrés regroupant des batteries de circuits de test et de caractérisation via la CMC.

La seconde phase de ce projet a trait à l'interaction laser – circuits microélectroniques et à l'étude expérimentale sur les circuits fabriqués obtenus. À l'heure actuelle, des résultats expérimentaux ont été obtenus concernant la mesure du temps de relaxation du dispositif résistif après impact laser et la mesure du niveau d'injection de charges dans le substrat. Nous avons également obtenu des résultats concernant l'impact de l'impulsion laser sur des circuits oscillants voisins.

ZHOU, Bo **DIPLÔME: M.Sc.A.**

TITRE:

Caractérisation et mesure des effets des fluctuations des procédés de fabrication sur les délais de propagation dans les cellules de chaînes à délai.

RÉSUMÉ:

Avec la diminution croissante des dimensions des transistors, le phénomène de fluctuations des paramètres des procédés de fabrication devient un problème de plus en plus critique pour la conception de circuits intégrés et en particulier les circuits de hautes performances comme les circuits de synthèse d'horloges et les références de tensions. Ce travail de recherche a pour objet la conception et la fabrication d'un circuit permettant de mesurer les effets des fluctuations des paramètres des procédés de fabrication sur les délais de propagation des cellules utilisées dans les chaînes à délai. Un nouveau circuit de caractérisation et de mesure des variations des délais dans une chaîne à délai a été proposé, ce circuit est réalisé à l'aide d'un oscillateur ring configurable qui permet de réaliser plusieurs boucles d'oscillations qui ne différent que d'une seule cellule à délai. Les résultats de simulation obtenus démontrent la faisabilité de cette technique.

PROBLÈMATIQUE:

Avec la diminution croissante des dimensions des transistors, les nouvelles technologies de fabrication de circuits intégrés permettent d'intégrer un nombre de plus en plus élevé de transistors, ce qui permet d'avoir des circuits de plus en plus performants, et à moindre coût. Ces nouvelles technologies ont l'avantage d'augmenter les fréquences d'utilisation (diminuer les délais), mais les effets des fluctuations du procédé de fabrication sur les délais ne diminuent pas dans les mêmes proportions, ce qui fait que les performances des circuits deviennent très sensibles aux variations de l'environnement d'utilisation et du procédé de fabrication. Les fluctuations du procédé de fabrication engendrent des variations des paramètres et des dimensions des composants et des interconnexions des circuits intégrés, ces variations peuvent affecter considérablement le comportement des circuits. Ces dernière années, et avec la diminution croissante des dimensions des transistors, ces variations deviennent des causes de plus en plus fréquentes de non fonctionnement des circuits, il est donc très important de bien caractériser ces variations et aussi d'en tenir compte dans la conception et la simulation des circuits intégrés.

MÉTHODOLOGIE:

Le circuit proposé d'extraction des variations « intra-die » des délais de propagation dans les cellules d'une chaîne à délai est basé sur un oscillateur ring « RO » modifié. En mesurant la fréquence d'oscillation du RO, on peut déduire la moyenne des délais de propagation des cellules utilisées dans le RO. Les avantages des RO sont multiples : ils sont très faciles à concevoir et à intégrer dans un circuit numérique, ils sont très sensibles aux fluctuations du procédé de fabrication et en particulier aux fluctuations de la largeur des transistors, leur consommation en surface de silicium est minime, et ils sont aussi très utilisés dans les circuits de synthèse d'horloges. L'utilisation d'un RO pour mesurer les variations des délais dans un circuit n'est pas un nouveau concept. L'avantage principal de notre circuit est qu'il permet de mesurer les variations du délai de propagation d'une cellule à une autre dans la même chaîne à délai. L'idée principale de notre circuit est de concevoir un RO configurable qui permet de réaliser plusieurs RO qui ne différent que d'une seule cellule à délai. Pour un RO configurable contenant (2n+1) cellules à délai, on peut réaliser (2n+1) RO de n cellules. La mesure des fréquences d'oscillation des (2n+1) RO nous permet d'extraire les variations des délais entre les (2n+1) cellules.

RÉSULTATS:

Le circuit de mesure proposé a été validé par simulation en effectuant plusieurs simulations Monte-Carlo avec 1%, 2% et 5% de variations sur la largeur des transistors. La prochaine étape consiste à concevoir la vue physique du circuit en utilisant la technologie TSMC CMOS 0,18< m qui est disponible à travers la CMC. La dernière étape du projet sera la validation par des mesures expérimentales du circuit proposé et la récolte des données sur les variations des délais.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés ci-haut sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels.)

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Audet, Y.,	FQRNT	81,314.00 $	2004 – 2008	«Réalisation en technologie CMOS d'un capteur d'images couleur de haute résolution spatiale ne requérant aucun filtre»
Audet, Y.	CRSNG	92,000.00 $	2002 – 2006	«Interconnexions photoniques pour systèmes intégrés VLSI»
Audet, Y.,	PIED	15,000.00 $	2002 – 2004	«Laboratoire d'optoélectronique»
Bois, G.	CRSNG	18,972.00 $	2000 – 2003	«Estimation, raffinement et synthèse des communications dans le processus de codesign logiciel/matériel»
Bois, G.,	CRSNG	19,000.00 $	2004 – 2008	«A Platfomr for the Architectural Exploration of System-On-A-Chip»
Boyer, F.R.,	CRSNG	20,500.00 $	2002- 2006	«Horloge à période variable et lien entre le synchrone et l'asynchrone»
Boyer, F.R.,	FQRNT	15,000.00 $	2003 – 2004	«Traitement de signal et isolation de la voix dans des prothèses auditives numériques»
Boyer, F.R.,	FCAR	15,000.00 $	2003 – 2006	«Méthodologies et outils pour le développement efficace de systèmes sur puce avec architecture parallèle hétérogène»
Brault, J.J.,	CRSNG	17,000.00 $	2002 – 2005	«Circuits électroniques pour l'optimisation utilisant le recuit déterministe»
Brault, J.-J.,	GALEA Secured Networks,	69,200.00 $	2001-2003	«Utilisation de réseaux de neurones artificiels pour améliorer la performance des systèmes de sécurité informatique, de l'analyse et l'optimisation du flux de données dans les Firewall»
Khouas, A.	CRSNG	18,350.00 $	2003 – 2006	«Méthodes de conception envue du test des systèmes intégrés sur puce»

Khouas, A.	École Polytechnique	7,500.00 $	2003 - 2004	«Caractérisation et mesures des effets des fluctuations des procédés de fabrication sur les délais de propagation dans les cellules de chaînes à délai»
Khouas, A.	PIED	15,000.00 $	2002 - 2004	Méthodes de DFT pour les systèmes sur puce
Khouas, A.	FAE	7,500.00 $	2003 – 2004	Support cours ELE4307
Martel, S.,	Chaire de Recherche du Canada	100,000.00 $	2001 – 2006	«Conception de micro/nano systèmes»
Martel, S.,	CRSNG	32,000.00 $	2002 – 2005	«Miniature Instrumented Robots for Applications at the Molecular and/or Atomic Scale»
Martel, S.,	Concordia University	5,313.00 $	2003	«Co-Operative Education»
Martel, S.	FATIC	3,500.00 $	2003	«Support INF6500»
Martel, S.,	Innovation Bell	2,500.00 $	2003	«Novel Optical Positioning System»
Martel, S.,	Institute for Robotics and Intelligent Systems	16,000.00 $	2003 – 2004	«Magnetotactic Bacteria-Based Micro-Electromagnetic Matrix Manipulation and Interconnection Systems»
Martel, S.,	CRSNG	109,200.00	2003 – 2004	«Propulsion et contrôle de micro-dispositifs par gradients magnétiques pour applications endovasculaires»
Martel, S.,	FCI	4,428,859.00 $	2004 – 2006	«Advance Nanorobotic Research Infrastructure»
Martel, S.,	CRSNG	131,200.00 $	2004 – 2007	«Design and assembly of three dimensional micro heat pipe networks for heat dissipation in microelectronics»
Nicolescu, G.,	Fondation Polytechnique	15,000.00 $	2004 – 2005	«New technics for fast and accurate simulation of system on chip»
Nicolescu, G.,	NATEQ	19,500.00 $	2004 – 2007	«Design space exploration for system on chip design»
Nicolescu, G.,	CRSNG	17,500.00 $	2004 – 2009	«Specification and validation in automatic design flow of heterogeneous system on chip»
Nicolescu, G.,	PIED	15,000.00 $	2004 – 2005	«System on chip Design»
Savaria, Y.,	Chaire de Recherche du Canada	200,000.00 $	2001 – 2008	«Conception de systèmes microélectroniques intégrés»
Savaria, Y.,	CRSNG	53,000.00 $	2004 – 2009	«Méthodes de conception de circuits intégrés analogiques précis et d'horloges rapides et précises»

Savaria, Y.,	Hyperchip	84,000.00 $	2000 – 2004	«Wafer-Scale High Performance Digital Switches; Design, Implementation and Test Demonstration»
Savaria, Y.	CRSNG, Micronet, PMC Sierra, Gennum	181,000.00 $	2002– 2004	«Architecture of Digital Video Circuits and Synchronization of High Speed Systems»
Sawan, M.,	Victhom	300,000.00 $	2002 - 2005	«Mise en œuvre d'un capteur d'électroneurogrames».
Sawan, M.,	CRSNG, Micronet	54,000.00 $	2003 – 2004	«High Performance mixed-signal circuits for ultrasound applications»
Sawan, M.,	CRSNG	46,850.00 $	2003 – 2007	«Smart Medical Microsystems Dedicated for Wireless ans Massively Parallel Neural Recording in The Cortex»
Sawan, M.,	Chaire de Recherche du Canada	200,000.00 $	2000 – 2007	«Dispositifs médicaux intelligents»

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Aboulhamid, M. Bois, G.	Micronet	34,500.00 $ 53,400.00 $	2003 2004	«Design approaches using open and interoperable environments»
Aboulhamid, M. Bois, G.,	ST Microelectronics	21,500.00 $ 30,000.00 $	2003 2004	«Design approaches using open and interoperable environments»
Aboulhamid, M., Bois, G., Tahar, S.,	CRSNG stratégique	191,600.00 $	2001 – 2004	«Synthesis and Verification of System-on-a-Chip»
Aboulhamid, M., Nicolescu, G.,	Micronet	82,000.00 $	2004 – 2005	«Design Approaches Using Open and Interoperable Environments»
Aboulhamid, M., Bois, G., Nicolescu, G.,	CRSNG	195,000.00 $	2004 – 2007	«System-Level Design for Heterogeneous Parallel SoCs»
Audet, C., Beaudry, C., Bertrand, F., Boyer, F.R., Dufour, S., Galinier, P., Roy, R., Saucier, A.,	Fondation Canadienne pour l'Innovation (FCI)	4,574,178.00 $	2002 – 2006	«Plate-forme de développement d'algorithmes parallèles pour la modélisation et l'optimisation de systèmes complexes d'ingénierie et de systèmes multi-agents de production industrielle».
Barge, B., Savaria, Y., et 5 autres	Fondation Canadienne pour l'Innovation (FCI) FCI - National Networks	2,300,000.00 $	2002 – 2005	«National Collaboratory for Verification, Validation and Testing in Microelectronics Photonics and Systems»
Bois, G., Aboulhamid, M.	Amirix	10,000.00 $	2003	«Co-Design Methodologies for System-On-Chip»
Bois, G., Aboulhamid, M.,	Micronet	20,000.00 $ 22,000.00 $	2003 2004	«Co-Design Methodologies for System-On-Chip»
Bushmann, M., Martel, S.,	CRSNG	150,000.00 $	2004 – 2007	«Cell and tissue imaging and analysis facility»
Camarero, R., Savaria, Y., et 8 autres	Fondation Canadienne de l'Innovation CRSNG, MEQ, Fonds Polytechnique	1,595,000.00 $	1999 – 2003	«Projet Étoile : Réseau de métaconception et prototypage»

Gagnon, F., Savaria, Y., Thibeault, C.,	Prompt-Québec	125,000.00 $	2003 – 2005	«Méthodologie de conception conjointe, matériel-logiciel, appliquée au traitement de signal d'un multi-égaliseurs»
Ghannouchi, F., Sawan, M.,	CRSNG Stratégique	25,320.00 $	2003 – 2004	«Power and spectrum efficient RF/DSP designed transmitters for 4G applications»
Houde, D., Maciejko, R.,	Valorisation Recherche Québec	597,500.00 $	2001- 2004	«FEMTOTECH : développements et applications des technologies laser à impulsion ultra-brèves»
Marsh, T., Savaria, Y., et 9 autres	Fondation Canadienne pour l'Innovation Gouvernement du Québec FCI	9,718,975.00 $	2003 – 2004	«System-On-Chip Research Network : A national library of microelectronic system components and CAD tools available to multiple research sites through secure communications links»
Meunier, M., Savaria, Y.,	LTRIM Partenariats Technologiques	60,000.00 $	2002 – 2005	«Modélisation d'un procédé de calibrage par laser de circuits microélectroniques et élaboration d'un algorithme de centrale»
Meunier, M., Savaria, Y.,	CRSNG	220,000.00 $	2002 – 2004	«Modélisation d'un procédé de calibrage par laser de circuits microélectroniques et élaboration d'un algorithme de centrales»
Roy, R., Boyer, F.-R., et 6 autres	FCI	423,959	2003 – 2004	«Plate-forme de développement d'algorithmes parallèles pour la modélisation et l'optimisation de systèmes complexes d'ingénierie et de systèmes multi-agents de production industrielle».
Savaria, Y., Badia, A., Desjardins, P., Rochefort, A.,	Nano-Québec	120,000.00 $	2002 – 2004	«A Molecular Electronics Test Platform for the Development of an Integrated Hybrid CMOS/Molecular Electronics Technology»
Savaria, Y., Sawan, M.,	NATEQ Équipement	50,000.00 $	2003 – 2004	«Conception et réalisation de systèmes intégrés reliés par liens de communication sans fil»

Savaria, Y., Sawan, M.,	NATEQ Fonctionnement	75,000.00 $	2003 – 2006	«Conception et réalisation de systèmes intégrés reliés par liens de communication sans fil»
Sawan, M., Savaria, Y., & Al.	Fondation Canadienne pour l'Innovation Gouvernement du Québec	3 017,223.00 $	2003 – 2004	«Dispositifs Médicaux Intelligents (DMI): Design, Construction Essais et Validation in Vitro et inVivo»
Sawan, M., Guitton, D., Savaria, Y., Meunier, M	CRSNG stratégique	135,700.00 $	2001 – 2004	«Dispositif électronique implantable dédié à la création d'une vision artificielle chez les non-voyants»
Sawan, M., Corcos, J., Elhilali, M.,	Institut de la recherche en Santé	133,760.00 $	2003 – 2004	«Wireless monitoring and subsequent selective stimulation to efficiently recuperate the bladder function in spinal cord injured patients».
Sawan, M., Savaria, Y., Bois, G., et 17 autres	NATEQ (FCAR) Infrastructure ReSMiQ	255,000.00 $	2002 – 2007	«Analog, digital and RF circuits and systems»
Sawan, M., et 22 autres	Polytechnique, U. de Montréal, Concordia, UQAM, McGill, ETS	125,000.00 $	2002 – 2004	«Analog, Digital and RF Circuits and Systems Design»
Sawan, M., Savaria, Y., Gagnon, F.,	Prompt-Québec	100,000.00 $	2003 – 2004	«Convertisseurs analogiques numériques dédiés aux récepteurs sans fil : conception, implémentation et caractérisation»
Sawan, M., Savaria, Y.,	CRSNG Stratégique	134,000.00 $	2003 – 2005	«RFIC Techniques for Efficient Power Transfer with Full-Duplex High Data Rate Communication Dedicated to Implants»

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA) AU GRM ET À LA POLYTECHNIQUE.

Fournisseur: Agilent

1 x Test fixture 81200 5167
1 x E4805B VXI Timing module 4537
1 x E8491B Firewre VXI Controller 6292
1 x 83712B Synthetized Clockwized Gen. 4891

Fournisseur: Analogic

1 x DB58570 Arb Function Generator 1919

Fournisseur: Applied Microelectronic

1 x TH1000 Mixed Signal Head Test 2320

Fournisseur: CMC

1 x VXI Test Fixture Rev. 0 (bois) 2138
1 x V.2 Rapid Prototyping Board V2 2290

Fournisseur: GGB

6 x Microwave Probe (40A) 6880, 6881, 6890,7098,9766,9767
3 x Picoprobe (28) 6429, 8021, 8022
2 x Power supply (Dual Output) 2733, 2734

Fournisseur: HP

1 x E1428B A/D Digitizer 2730
1 x E1445A A/W Generator 2725
1 x 85033D Calibration Kit 4151
1 x E1406A Command Module 1985
1 x E3661A Instrument Rack 1958
1 x Moniteur Couleur (17") 2021
1 x 7653E Analyseur Network 5726
2 x 1454A Patter I/O POD TH1000
1 x 6623AProgrammable P/S 1986
1 x 859E Analyseur Spectrum 5566
1 x E1452A Terminator PAT I/O 2702
1 x 745i HPUX Test Station 2020
1 x E1450A Timing Module 2703
1 x E1452A Timing POD 2702
1 x E1401A VXI Mainframe 1984
1 x E1406A HPIB Command Module 1985
3 x E4841 Agen/Anal. Module 4897, 4987, 5097
1 x HP 81130A Pulse Pattern Generator 5967

Fournisseur: IOTECH

1 x SB488A Sun GPID CNTL S/N084584

Fourrnisseur: IMS

1 x Système Test XL100 1144

Fournisseur: Keithey

1 x 236 Source Measurement Unit 1920

Fournisseur: SUN

1 x Sun Blade 1000 (5 Go) 5667
4 x Sun Blade 100 (2 Go) 6307, 5987, 6467, 6147
2 x Station ULTRA 10 4454, 4003
4 x Station ULTRA1-140 2381, 2850, 2851, 2852
2 x Serveur Entreprise1-140 2874, 2875
3 x Serveur Ultra 10 5409, 4379, 4154

1 x Storage A1000 (218 Go) 5656
2 x Disk Externe UNIPACK (9.1) 4079, 4004
4 x Disk Externe MultiPack 2876, 2789, 4229, 4304

4 x Moniteurs couleur 20" 2389, 2854, 2855, 2856
8 x Moniteurs couleur 21" 5827,5091,5181,5347,5507,6369
1 x Tape .25" 150MB 2544
2 x Tape Drive 20-40GB 8MM 5729, 5889

Fournisseur: TESTFORCE

4 x Alessi micropositioner MH5-L 2241, 2242, 2070, 2072
2 x Alessi micropositioner MH5-R 2239, 2240
2 x Alessi micropositionner MMM-04 2071, 2072

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GRM.polymtl.ca)

PC:

~ 120 x PC variant de Pentium-III, IV

SUN :

(GRM)

27 x SUN SparcStation
1 x SunBlade 1000 2-CPU, 2 Giga-RAM
3 x Sun Ultra-10
8 x Sun Ultra-5
5 x Sun Ultra-1
7 x Sun SparcStation 10
8 x Sun SparcStation 5
5 x Sun SparcStation 4
1 x Sun Storage A1000 (400 Gig RAID-5)
6 x SUN External disk drive 9,18, 36 gig
2 x SUN 150 MB external tape drive
2 x SUN 14 GB external tape drive
1 x SUN V890 16 proc, 32 Giga RAM
2 x SUN V440 4 proc, 8 Giga RAM
1 x SUNBLADE 1500

(VLSI)

15 x SunBlade 100
1 x Ultra-10
2 x Ultra 5
1 x Ultra-1

Imprimantes:

2 x HP printer LaserJet 4050TN
4 x HP printer LaserJet 4M+
1 x HP printer LaserJet 5M
1 x HP printer Laser jet III
1 x HP printer 1200/C
2 x HP printer DeskJet 840c
1 x HP Color Deskjet 3820c

Microélectronique:

Fournisseur Agilent HP

1 x Agilent Impedance Analyzer fixtures 04294-61001
1 x Agilent 0-80MHz. WaveForm Generator 33250A
1 x Agilent Impedance Analyzer 40Hz-110MHz 4294A
1 x Agilent Programmable Power Supply E3631A
2 x Agilent Programmable Power Supply E3641A
1 x Agilent Programmable Power Supply E3646A
1 x Agilent Programmable Power Supply E3647A
1 x HP Function Generator 8111A
1 x HP Logic Analyzer 16500B
1 x 1 x HP Spectrum Analyzer 3580A
1 x HP Constellation Analyzer 3709B
1 x HP Sampling oscilloscope 50GHz 54120B
1 x HP Oscilloscope 500MHz 54616B
1 x HP Mixed Signal Oscilloscope 100MHz 54645D
1 x HP Network Analyzer 30KHz-6GHz 8753E
1 x HP Spectrum Analyzer 8553L
1 x HP Spectrum Analyzer 26.5GHz 8593E

Fournisseur Tektronix

1 x Oscilloscope 7623
3 x Oscilloscope 100MHz 2ch. TDS320
1 x Analyseur Logiquc 3002
1 x Oscilloscope 1.5GHz 4ch TDS7154
4 x Sondes actives 1,5GHz 10X, P6245
1 x Analyseur Logique 64 Mb. /canal 64ch/68ch, TLA715
4 x Sondes logiques 16ch, P6418
4 x Pattern Generator V1.0 17 ch, P6470
1 x Cable de liaison GPIB-USB-A
1 x Communication Signal Analyser 4Ghz 4ch, CSA7404B
- Sonde différentielle 5Ghz P7350
- Sonde active 5X P7240
- 2 x Adapteurs d'impédance 50ohms-1Mohms seriel TCA-1MEG

1 x Oscilloscope portable 4ch TDS3054B
- Sonde différentielle pour applications Low Power ADA400A
- Sonde à lectures de micro-courant, TCP202
- Batterie TDS3BATB
- Module d'*applications spécifiques* TDS3AAM
- Module de *tests sous limites* DS3LIM
- Module de *tests vidéos* TDS3VID

1 x Module amplificateur/sonde de courant *haute performance* AC/DC, TCPA300
- Sonde de courant de précision AC/DC 30A TCP312
- Cables de liaison GPIB-USB-B

1 x Analyseur logique 32Mb/cnal 64ch/68ch, TLA715
4 x Pattern Generator V2.0 17 ch, P6470

ÉQUIPEMENT APPARTENANT AU GROUPE (suite)

Microélectronique (suite):

Fournisseurs divers

1 x Aeroflex RF Signal Generator 3 GHz IFR 3413
1 x BP Universal programmer model 1700
- socket module: SM56TB, SM100VQ, SM128CS SM84UP

1 x Communication Signal Analyser 4 GHz
1 x Cable de liaison GPIB-USB-B
1 x Barnstead Programmable Furnace 30400
1 x Data Physics Power Supply A-120
1 x Data Physics Shaker DP-V011
1 x INES PCI Card GPIB
2 x Instek Power Supply PC-3030
1 x Intel Network processor development platform KEIXP 12EBAB
2 x Keithley Precision Multimeter 2002
1 x K&S Ball Bonder LEICA
1 x Lynx Electrodynascope & lentilles (0,3X-0,5X-1X-2X)
1 x Metcal Rework station BGA-CSP 3500
1 x Miranda Research Expresso
1 x MiroTech Cabinet VME+Pc
1 x Nahishige Micromanipulator MP-PB
3 x Philips Power Supply PE1514
1 x PolyScience Saline Bath SL
1 x Rhode&Schwartz Power Meter NRVZ 1020.1809.02
1 x Rhode&Schwartz Power Sensor NRVZ-Z6
1 x RLC 101dB Attenuator AS-120-B
1 x SRS Signal Analyzer SR785
1 x SUN Data center cabinet 960
1 x Suss Microtec Probe station PM5
1 x Techcon Solder Paste Dispenser TPS-9150
2 x Topward Power Supply TPS-4000
1 x Weller soldering iron WES50
2 x Weller soldering iron WTCPT
1 x Wentworth Prober Microscope MP0901
2 x Xantrex Power Supply XT20-3
- High definition CCD camera
- 4 x Micropositonneurs DC-2GHz, PH120
- 1 x Micropositionneur automatique PH600
- 2 x RF Probe 100um DC-40GHz, Z-Probe
- 1 x PH120 RF holder

Système d'assemblage TYCO obtenu par FCI-DMI

Fournisseur: Champion
1 x Creative Automation Paste Dispenser Champion 8300

Fournisseur: Heller
2 x Reflow Oven 1700 EXL

Fournisseur: Hesse-Knipps
1 x Wedge Bonder Bondjet 810

Fournisseur Hitachi
1 x microscope électronique à balayage S-4700 type II

Fournisseur: JOT
1 x Pickup PCB Destacker J202-02-02
1 x Side Shuttle Transport J204-10.9/19
4 x 20'' Buffer/Inspection Conveyors J-204-02-022
1 x 40'' Buffet/Inspection Conveyor J204-02-031
1 x 59'' Roller Chain Accumulation Conveyor J204-01.6/2

Fournisseur: Metcal
1 x système d'inspection optique VP1-1000

Fournisseur: Perkin Elmer
1x Diamond DSC

Fournisseur: PMR
1 x Ultrasound Cleaner PMR-3500

Fournisseur: Royce
1 x Wire Bond Tester System 580

Fournisseur: Shreiber Engineering
1 x Water Chiller 500WC

Fournisseur: TYCO
1 x Offline IQ Feeder Loading Station
1 x Screen Printer AVX-1500
1 x Matrix Tray Handler MT-30
1 x Pick and Place Machine with WPS and WPS with flipper tool APS-1H

Fournisseur: Unitek Miyachi
1 x Nd:YAG laser 5 axis Welding Motion Control System LW500A
1 x WS CNC

Autres:
4 x PC de contrôle

LOGICIELS

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont achetés par le GRM, les autres, Cadence, Mentor, Synopsys, Xilinx etc, sont distribués en tout ou en partie par la Société Canadienne de Microélectronique. (CMC)

Aldec Agilent ADS Ansys ARM developer suite for SOC/IP Cadenc*e* (environnement intégré par la conception des circuits VLSI) ▪ Cadmos ▪ DES ▪ DSMDP ▪ DSMSE ▪ FE ▪ IC ▪ ICC ▪ LDV ▪ SPR ▪ SPW ▪ VCC Femlab FrameMaker 4 et 5 (Logiciel de traitement de texte spécialisé) HSPICE (maintenant Synopsys) Matlab (logiciel pour le traitement mathématique) Mentor Graphics ▪ C.1, C.2 ▪ DFT ▪ HDL Designer ▪ Seamless ▪ Renoir ▪ Calibre ▪ ModelTech / ModelSim ▪ DxD-EE Innoveda ▪ HyperLynx 6.1/Innoveda ▪ Power PCB 5.0/Innoveda ▪ BoardSim/Innoveda ▪ Design Suite/Innoveda	Specman Synopsys ▪ NS (Nanosim) ▪ SIM (Core Simulation Tools) ▪ SYN (Core Synthesis Tools) ▪ CCSS (Co-Centric) ▪ FM (Formality) ▪ PT (PrimeTime) ▪ FPGA Compiler2 ▪ HSPICE ▪ STAR SIM Synplicity / Synplify Tau Tensilica TSpice with L-Edit de Tanner Virage Logic – Compilateur de mémoire matériel Xilinx Alliance ▪ ChipScope ▪ EDK ▪ ISE

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

[P-1] BUFFONI, L.X., COULOMBE, J., SAWAN, M., «Multiple Image Processing Strategies Dedicated to Visual Cortical Stimulators : A Survey», à paraître à Artificial Organs Journal, 2004.

[P-2] BUFFONI, L.X., SAWAN, M., COULOMBE, J., «Design and Test of a Novel Image Processor Dedicated to Cortical Visual Stimulation», à paraître IEE Medical and Biomedical Engineering and Computer, 2004.

[P-3] CYR, G., BOIS, G., ABOULHAMID, E.-M., «Generation of processor interface for SoC using VSIA recommendations», à paraître à IEE Proc.-Computers and Digital Techniques, (Micronet/Mentor Graphics).

[P-4] DJEBBI, M., ASSI, A., SAWAN, M., «New Tunable CMOS CFOA Based Band-Pass Filter», à paraître à Kluwer Analog Integrated Circuits and Signal Processing Journal, 2004.

[P-5] ELSANKARY, K., ASSI, A., SAWAN, M., «New Sampling Method to Improve the SFDR of Wide Bandwidth ADC Dedicated to Next Generation Wireless Transceiver», à paraître au Journal of Circuits, Systems and Computers, 2003

[P-6] HU, Y., SAWAN, M., «A Power Recovery Strategy Dedicated to Implantable Devices Applications» à paraître à Kluwer Analog Ic and Siganl Processing Journal, Spéciale édition de IEEE ICECS02, 2004.

[P-7] KASSEM, A., SAWAN, M., BOUKADDOUM, M., «A New Digital Scan Conversion Architecture for Ultrasonic Imaging Systems», à paraître à Journal of Circuits, Systems et Computers (JCSC), 2004.

[P-8] MARTEL, S., «Fundamentals Principles and Issues of high-speed piezo-actuated three-legged motion for miniature robot designed for nanometer-sacle operations» à paraître à International Journal of Robotics Research, avril 2004.

[P-9] MARTEL, S., MADDEN, P., HUNTER, I., ROUSHDY, O., MADDEN, J., SOSNOWSKI. L., LAFONTAINE, S., «Toward nano-factories operated by miniature autonomous robots capable of various tasks at the molecular and atomic scales», accepté à Journal of Micromechatronics.

Articles de revues publiés de septembre 2003 à août 2004

[P-10] BOUDJELLA, A., SAVARIA, Y., ZHONGFANG, J., «Electrical Field Analysis os Nanoscale Field Effect Transistors», Japanese Journal of Applied Physics (JJAP), vol. 43, no 6B, 2004, pp. 3831 – 3837.

[P-11] CANTIN, M.-A., REGIMBAL, S., CATUDAL, S., SAVARIA, Y., «A Unified Environment to Assess Image Quality in Video Processing», accepté au Journal of Circuits, Systems and Computers, vol. 13, no. 6 décembre 2004.

[P-12] CATUDAL, S., CANTIN, M.-A., SAVARIA, Y., «Performance Driven Validation Applied to Video Processing», WSEAS Transactions on Electronics, issue 3, vol. 1 juillet 2004 pp. 568-574.

[P-10] CHAPMAN, G.H., AUDET, Y., KOREN, I., KOREN, Z., DJAJA, S., CHEUNG, D.Y., «A Self-Correcting Active Pixel Sensor using Hardware and Software Correction», IEEE Design and Test of Computers, vol. 21, no 6,, pp 544-551, 2004

[P-13] FAYOMI, C., SAWAN, M., ROBERTS, G., «Reliable Circuit Techniques for Low-Voltage Analog Design in Deep Submicron Standard CMOS: A Survey», à paraître à Analog Integrated Circuits and Signal Processing Journal, 2004, vol. 39, pp. 21-38..

[P-14] FOFONOFF, T., MARTEL, S., HATSAPOULOS, N., HUNTER, I., DONOGHUE, J., «Microelectrode array fabricaiton by electro-discharge machining and chemical etching» IEEE Transactions on Biomedical Engineering, vol. 51, no. 6, juin 2004, pp. 890-895.

[P-15] GRANGER, E., CATUDAL, S., GROU-SZABO, R., MBAYE, M.M., SAVARIA, Y., «On Current Strategies for Hardware Acceleration of Digital Image Restoration Filters» WSEAS Transactions on Electronics, issue 3, vol. 1, juillet 2004, pp. 551-557.

[P-16] HARB, A., SAWAN, M., «Low-Power CMOS Interface for Recording and Processing Very Low Amplitude Signal», à paraître à Kluwer Analog IC and Signal Processing Journal, 2004, vol. 39, pp. 39-54.

[P-17] JECKLEN, E.G., GHANNOUCHI, F.M., SAWAN, M., «A New Adaptative Predistortion Technque Using Software-Defined Radio and DSP Technologies Suitable for Base Station 3G Power Amplifiers», IEEE Trans. On Microwave Theory and Techniques, 2004, vol. 52, no. 9, pp. 2139-2147.

Articles de revues publiés de septembre 2003 à août 2004 (suite)

[P-18] JIANG, Y., WANG, Y., SONG, X., SAVARIA, Y., «Computation of Signal Output Probability for Boolean Functions Represented by OBDD», Elsevier Computers and Mathematics with Application 47, vol. 12, juin 2004, pp. 1865-1874.

[P-19] KHALI, H., SAVARIA, Y., HOULE, J.-L., RIOUX, M., BERALDIN, J.-A., POUSSART, D., «Improvement of Sensor Accuracy in the Case of a Variable Surface Reflectance Gradient for Active Laser Rnage Finders», IEE Transactions on Instrumentation and Measurement, vol. 52, no. 6, décembre 2003, pp. 1799-1808.

[P-20] MARTEL, S., HUNTER, L., «Nanofactories based on a fleet of scientific instruments configures as miniature autonomous robots», Journal of Micromechatronics, vol. 2, no. 3-4, 2004, pp. 201-214.

[P-21] TOHIO, B., PIERRE, S., SAVARIA, Y., MBAYE, M., «Protocol Convertibility in Network Processing Environments», WSEAS Transactions on Communications, issue 1, volume 3, janvier 2004, p. 302-310.

Articles de revues publiés de septembre 2002 à août 2003

[P-22] BEAUDIN, S., MARCEAU, R., BOIS, G., SAVARIA, Y., KANDIL, N., «An Economic Parallel Processing Technology for Faster than Real-Time Transient Stability Simulation» dans European Transactions on Electrical Power, vol. 13, no. 2 mars/avril 2003, pp. 105-112.

[P-23] CHABINI, N., CHABINI, I., ABOULHAMID, E.., SAVARIA, Y., «Methods for Minimizing Dynamic Power Consumption in Synchronous Designs with Multiple Supply Voltages» IEEE Transactions on Computer-Aided Design and Integrated Circuits and Systems, vol. 22, no. 3, mars 2003, pp. 346-351.

[P-24] GRANGER, E., SAVARIA, Y., LAVOIE, P., «A Pattern Reordering Approach Based on Ambiguity Detection for On-Line Category Learning», IEEE Trans. On Pattern Analysis and Machine Intelligence, vol. 25, no. 4 avril 2003, pp. 524-528.

[P-25] LOISEAU, L., SAVARIA, Y., «Methodologies and Strategies for Effective Design-Reuse», Revue Canadienne de Génie Électrique, vol. 27, no 4, octobre 2002, pp. 165-169.

[P-26] SAWAN, M., CHEBLI, R., KASSEM, A., «Integrated Front-End Receiver for a Portable Ultrasonic System», Kluwer Analog IC and Signal Processing Journal, no. 36, 2003, pp. 57-67.

Articles de conférence de septembre 2003 à août 2004

[C-1] ACHIGUI, H., FAYOMI, C.J.B., SAWAN, M., «A DTMOS-Based 1 V OPAMP», IEEE-ICECS, Sharjah, United Arab Emirates, décembre 2003, p. 81.

[C-2] AWADA, A, SAWAN, M., BELLEMARE, F., «Electromyogram recording of the Diaphragm: Modeling, Simulation and Experimental Comparison», IEEE-EMBS, Cancun, Mexique, septembre 2003, pp. 443-446

[C-3] BA, A., SAWAN, M., «Multi-waveforms generator dedicated to selective and continuous stimulations of the bladder», IEEE-EMBS, Cancun, Mexique, septembre 2003, pp. 1569-1572.

[C-4] BENNY, O., RONDONNEAU, M., CHEVALIER, J., BOIS, G., ABOULHAMID, M., BOYER, J.F., «SoC Software Refinement Approach for a SystemC Platform», Proc. of International Conference on Using Hardware Design and Verification Languages (DVCON2004), San José, USA février 2004.

[C-5] BERTOLA, M., BOIS. G., «A Methodology for the Design of AHB Bus Master Wrappers», Euromicro Symposium on Digital System Design (DSD 2003), Antalya, Turquie, septembre 2003, pp. 90-95.

[C-6] BOLAND, J.F., CHUREAU, A., THIBEAULT, C., SAVARIA, Y., GAGNON, F., ZILIC, Z., «An Efficient Methodology for Design and Verification of an Equalizer for a Software Defined Radio», NEWCAS 2004, Montréal, 20-23 juin 2004, pp.73-76

[C-7] BOUDJELLA, A., JIN, Z.F., SAVARIA, Y., «Electrical Field Analysis of Nanoscaled Field Effect Transistors», International Microprocesses and Nanotechnology Conference, 28-31 octobre 2003, Tokyo, Japon, pp. 240-241

[C-8] BOYER, F.-R., EPASSA, H.G., PONTIKAKIS, B., SAVARIA, Y., LING, W., «A Variable Period Clock Synthesis (VPCS) Architecture for Next-Generation Power-Aware SoC Applications», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 145-148

Articles de conférence de septembre 2003 à août 2004 (suite)

[C-9] BOYER, F.-R., LIPING, Y., ABOULHAMID, E.M., CHAREST, L., NICOLESCU, G., «Multiple Simplescalar Processors with Introspection under SystemC»,46 IEEE Midwest Symposium on Circuits and Systems, Caire, Égypte, décembre 2003, p. 5.

[C-10] BUI, H.T., SAVARIA, Y., «10 GHz PLL Using Active Shunt-Peaked MCML Gates and Improved Frequency Acquisition XOR Phase Detector in 0.18µm CMOS» IWSOC 2004, Banff, 19-21 juillet 2004, pp. 115-118.

[C-11] BUI, T., SAVARIA, Y., «Shunt-Peaking of MCML Gates Using Active Inductors», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 361-364

[C-12] BUI, H.T., SAVARIA, Y., «Shunt-Peaking in MCML Gates and its Application in The Design of a 20GB/S Half-Rate Phase Detector» ISCAS 2004, Vancouver, 26-28 mai 2004, vol. IV pp. 369-372

[C-13] **C**ALBAZA, D.E**.,** CORDOS, I., SETH-SMITH, N., SAVARIA, Y., «An ADPLL Circuit Using a DDPS for Genlock Applications», ISCAS'2004, Vancouver, 26-28 mai 2004, vol. IV, pp. 569-572.

[C-14] CHAREST, L, ABOULHAMID, M., BOIS, G., «Using Design Patterns for Type Unification and Introspection in SystemC», Proc. Of the International Workshop on System-on-Chip for Real-Time Applications, Banff, juillet 2004,

[C-15] CHEBLI, R., SAWAN, M., «A CMOS high-voltage DC-DC up converter dedicated for ultrasonic», IEEE-ISCAS04, Banff, Alberta, 19-20 juillet 2004, pp.

[C-16] CHEUNG, D.Y., HAPMAN, G.H., DJAJA, S., AUDET, Y., WAI, B., JUNG, C., «Fault Tolerant Active Pixel Sensors for Large Area Digital Imaging Systems», SPIE, San José, CA, 24-29 janvier 2004.

[C-17] CHOUIA, Y., EL-SANKARY, K., SALEH, A., SAWAN, M., GHANNOUCHI, F., «14b, 50MS/s CMOS front-end S/H module dedicated to ADCS, IEEE-MWSCAS, Hiroshima, août 2004, pp.

[C-18] CHUREAU, A., SAVARIA, Y., ABOULHAMID, E.M., «Interface-based Design of Systems-on-Chip using UML-RT», IWSOC 2004, Banff, 19-21 juillet 2004, pp. 39-44

[C-19] DJAJA, S., CHAPMAN, G.H., CHEUNG, D.Y., AUDET, Y., «Implementation and Testing of Fault-Tolerant Photodiode-based Active Pixel Sensor (APS)», Proceedings of the 2003 International Workshop on DFT in VLSI Systems, Boston, MA, 3-5 novembre 2003, pp. 53-60.

[C-20] DJEBBI, M., ASSI, M., SAWAN, M., «High Frequency Offset-Compensated CMOS Current-Feedback Operational Amplifier», IEEE-MWSCAS, Caire, Egypte, décembre 2003, pp.

[C-21] DJEMOUAI, A., SAWAN, M., «Integrated ASK demodulated dedicated to implantable electronic devices» MWSCAS03, Caire, Egypte, 27-30 décembre 2003.

[C-22] DUBOIS, M., SAVARIA, Y., HACCOUN, D., «On Low Power Shift Register Hardware Realizations for Convolutional Encoders and Decoders», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 213-216

[C-23] DUVAL, O., LAFRANCE, L.-P**.,** SAVARIA, Y., DESJARDINS, P., «An Integrated Test Platform for Nanostructure Electrical Characterization», MEMS, NANO, and Smart Systems, Banff, Alberta, 25-27 août 2004, pp. 237-242

[C-24] DUVAL, O., SAVARIA, Y., «An On-Chip Delay Measurement Module for Nanostructures Characterization», ISCAS 2004, Vancouver, 26-28 mai 2004, vol. III, pp. 721-724.

[C-25] ELSANKARY, K., SAWAN, M., «A new digital background calibration technique for pipelined ADC» ISCAS 04, Vancouver, mai 2004, pp.

[C-26] ELSANKARY, K., SAWAN, M., «A digital blind background capacitor mismatch calibration for pipelined ADC», MWSCAS03, Caire, Egypte, 27-30 décembre 2003, pp.

[C-27] EPASSA, H.G., BOYER, F.R., SAVARIA, Y., «Implementation of a Cycle by Cycle Variable Speed Processor», IEEE International Symposium on Circuits and Systems, Kobe, Japon, 26-26 mai 2004, pp.

[C-28] FOFONOFF, T., MARTEL, S., HUNTER, I., «Assembly-ready brain microelectrode arrays», Proceedings of the 25th Annual International Conference of the IEEE Engineerint in Medicine and Biology Conference, Cancun, Mexico, 17-21 septembre 2003.

[C-29] GHATTAS, H., MBAYE, M.M., PEPGA, J.B**.,** SAVARIA, Y., **«**SoC Platform Architecture for a Network Processor», International Symposium on System-On-Chip, Tampere, Finland, 19-21 novembre 2003, pp. 49-52

[C-30] GORSE, N., ABOULHAMID, E.M., SAVARIA, Y., «Consistency Validation of High-Level Requirements», IWSOC 2004, Banff, 19-21 juillet 2004, pp. 93-98

[C-31] GOSSELIN, B., SIMARD, V., SAWAN, M., «An ultra low-power chopper stabilized front-end for multichannel cortical signals recording» IEEE-CCECE, Niagara, mai 2004.

Articles de conférence de septembre 2003 à août 2004 (suite)

[C-32] HARB, A., SAWAN, M., «A SC Rectification and BIN-Integration Circuits for Nerve Signal Processing: Experimental Results», IEEE_ECECS, Sharjah, United Arab Emirates, décembre 2003.

[C-33] HASAN, S.R., LANDRY, A., SAVARIA, Y., NEKILI, M., «Design Constraints of a HyperTransport-Compatible Network-On-Chip», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 269-272.

[C-34] HASHEMI, S., SAWAN, M., SAVARIA, Y., «Characterization of Stress Induced Defects in Deep Sub-Micron MOSFETS», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 329-332

[C-35] HU, Y., SAWAN, M., «Low-power full-duplex data transmission and regulated power link, IEEE-MWSCAS, Hirochima, août 2004,

[C-36] HU, Y., SAWAN, M., EL-GAMAL, M., «A Power Recovery Strategy Dedicated to Implantable Applications», IEEE-ICECS, Sharjar, United Arab Emirates, décembre 2003, p. 129.

[C-37] HUANG, Z., SAVARIA, Y., SAWAN, M., «A Dynamically controlled and refreshed low-power level-up shifter», IEEE-MWSCAS, Hiroshima, août 2004, pp.

[C-38] HUANG, Z., SAVARIA, Y., SAWAN, M., «Robust Design of a Dynamically Controlled Low-Power Level-up Shifter Operating up to 300V», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 321-324

[C-39] IZOUGGHAGHEN, B., KHOUAS, A., SAVARIA, Y., «Spurs Modeling in Direct Digital Period Synthesiz+ers Related to Phase Accumulator Truncation», ISCAS'2004, Vancouver, 26-28 mai 2004, vol. III, pp. 389-392

[C-40] JIN, Z,F., YANG, M., SAVARIA, Y., WU, K., «Analysis of Gate Modulation in Nanoscale Field Effect Transistors using Anequivalent Substrate Integrated Waveguide (SIW) Model», ANTEM 2004/URSI Conference, Ottawa, Ontario, 20-23 juillet 2004, pp. 63-65

[C-41] KHALI, H., SAVARIA, Y., «A Hardware- Software Co Design Model for Real-Time 3D Image Computation Using Active Laser Range Finders: A Case Study», 10th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2003, Sharjah, United Arab Emirates, 14-17 décembre 2003, pp

[C-42] LAFRANCE, L.-P., SAVARIA, Y., «A Framework for Implementing Reusable Digital gnal Procesing Modules», IWSOC 2004, Banff, 19-21 juillet 2004, pp. 51-54

[C-43] LAPALME, J., ABOULHAMID, E.M., NICOLESCU, G., CHAREST, L., BOYER, F.R., DAVID, J.P., BOIS, G., «Net Framework – a solution for next generation tools for system level design?» DATE 2004, pp. 732-733

[C-44] LAPALME, J., ABOULHAMID, M., NICOLESCU, G, CHAREST, L., DAVID, J., BOYER, F.-R., BOIS, G., «ESys.NET: A New Solution for Embedded Systems Modeling and Simulation», ACM SIGPLAN/SIGBED 2004, Conference on Languages, Compilers and Tools for Embeddes Systems (LCTES'04) Washington, DC, juin 2004, pp. 11-13.

[C-45] LAYACHI, M., SAVARIA, Y., «The Effect of π-Coupling on the Electronic Properties f 1,4-Dithiol Benzene Stacking», MEMS, NANo and Smart Systems, Banff, Alberta, 25-27 août 2004, pp. 588-592.

[C-46] LING, W., SAVARIA, Y., «Variable-Precision Multiplier for Equalizer with Adaptive Modulation», MWSCAS, Hiroshima, Japon, 25-28 juillet 2004, pp.I-553-I-556

[C-47] MARSOLAIS, A., EL-GAMAL, M., SAWAN, M., «A CMOS Frequency Synthesizer Covering the Lower and Upper Bands of 5 GHz WLANs», IEEE_MWSCAS, Caire, Égypte, décembre 2003, pp.

[C-48] MARTEL, S., FOFONOFF, T., «New approaches for the implementation of minimally invasive microelectrode arrays designed for brain-machine interfaces», Proceedings fo the 25th Annual International Conference of the IEEE Engineering in Medicine and Biology Conference, Cancun, Mexico, 17-21 septembre 2003.

[C-49] MARTEL, S., «Fundamentals of high-speed piezo-actuated three-legged motion for miniature robots designed for nanometer-scale operations», Proceedings fo the 6th International Conference on Climbing and Walking Robots and the Support Technologies for Mobile Machines», CLAWAR 2003, Catana, Italy, 17-19 septembre 2003, pp. 635-642.

[C-50] MARTEL, S., BAUMANN, G., «Infrared positioning and communication unit for a nanorobotics platform operating in a cold helium atmosphere», Proceedings of the IEEE/RSJ International Conference on Intelligent Robots and Systems (IEEE/RSJ IROS 2003), Las Vegas, USA 27-31 octobre 2003, vol. 2 pp. 1865-1881.

[C-51] MATHIEU, J.B., MARTEL, S., YAHIA, L., SOULEZ, G., BEAUDOIN, G., «MRI systems as a mean of propulsion for a microdevice in blood vessels», Proceedings of the 25th Annual International Conference of the IEEE Engineering in Medicine and Biology Conference, Cancun, Mexico, 17-21 septembre 2003, pp. 3419-3422.

Articles de conférence de septembre 2003 à août 2004 (suite)

[C-52] MOKHTARI, E., SAWAN, M., «CMOS High-Resolution All-Digital Phase-Locked Loop», IEEE_MWSCAS, Caire, Égypte, décembre 2003, pp.

[C-53] MORIN, D., NORMANDIN, F., GRANDMAISON, M.-E., DANG, H., SAVARIA, Y., SAWAN, M., «An Intellectual Property Module for Auto-Calibration of Time-Interleaved Pipelined Analog-to-Digital Converters», ISCAS04, Banff, 19-21 juillet 2004, pp. 111-114

[C-54] NICOLESCU, B., SAVARIA, Y., VELAZCO, R., «Software Solutions for 100% Detection of Single Transient Faults», NSREC, Atlanta USA, 1 juillet 2004

[C-55] NICOLESCU, B., SAVARIA, Y., VELAZCO, R., «Performance Evaluation and Failure Rate Prediction for the Soft Implemented Error Detection Technique», 10th IEEE International On-Line Testing Symposium, Funchal, Madeira Island, Portugal, 12-14 juillet 2004, pp. 233-238

[C-56] NICOLESCU, B., SAVARIA, Y., VELAZCO, R., «SIED: Software Implemented Error Detection», 18th Conference International Symposium in Defect and Fault Tolerant in VLSI Systems, Cambridge, MA, USA, 3-5 novembre 2003, pp.589-596

[C-57] NICOLESCU, B., PERRONNARD, PP., VELAZCO, R., SAVARIA, Y., «Efficiency of Transient Bit-Flips Detection by Software Means A Complete Study», 18th Conference International Symposium in Defect and Fault Tolerant in VLSI Systems, Cambridge, MA, USA, 3-5 novembre 2003, pp.377-384

[C-58] NOHRA, G., RAUT, R., SAWAN, M., «A 0.85V Tunable Gain 5 GHz Cascode Low Noise Amplifier», IEEE_NEWCAS, 20-23 juin 2004, pp.

[C-59] NSAME, P., SAVARIA, Y., «Multi-Processor SoC Integration: A Case Study on BlueGene», SOCC 2004, 12-15 septembre 2004

[C-60] NSAME, P., SAVARIA, Y., «A Customizable Embedded SoC Platform Architecture», IWSOC 2004, Banff, 19-21 juillet 2004, pp. 299-304

[C-61] PEPGA BISSOU, J., DUBOIS, M., SAVARIA, Y., BOIS, G., «High Speed System bus for a SoC Network Processing Platform», ICM'2003, Caire, 9-11 décembre 2003, pp. 194-197

[C-62] PETERSON K., SAVARIA Y., «Assertion-Based On-Line Verification and Debug Environment for Complex Hardware Systems, ISCAS'2004», Vancouver, 26-28 mai 2004, vol. II, pp. 685-688

[C-63] QUINN D, LAVIGUEUR, B., BOIS, G., ABOULHAMID, M., «A System Level Exploration Platform and Methodology for Network Applications Based on Configurable Processors», Proc. Of Design Automation and Test in Europe 2004, (DATES 2004), Paris, pp. 364-369.

[C-64] RÉGIMBAL, S., SAVARIA, Y., BOIS, G., BARON, A., «Verification Strategy Determination Using Dependence Analysis of Transaction-Level Models», IWSOC 2004, Banff, 19-21 juillet 2004, pp. 87-92.

[C-65] RICHARD, J.-F., SAVARIA, Y., «High Voltage Charge Pump Using Standard CMOS Technology», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 317-320

[C-66] ROBERT, M., SAVARIA, Y., WANG, C., «Analysis of Metrics Used to Compare Analog-to-Digital Converters», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 301-304

[C-67] ST-JACQUES, D., BOITANI, T., DUMAS, P.A., DUCAS, M.-A., FORTIN, M-A., MARTEL, S., «Atomic scale positioning reference grid system for miniature robots with embedded scanning tunneling capability» IEEE International Conference on Robotics and Automation, Nouvel Orléans, USA.

[C-68] TRÉPANIER, A., TRÉPANIER, J.-L., SAWAN, M., AUDET, Y., «A multiple operation mode CMOS DPS dedicated to a visual cortical implant», IEEE-MWSCAS, Hiroshima, août 2004,

[C-69] TOHIO, B., PIERRE, S., SAVARIA, Y., MBAYE, M.M., «Protocol Convertibility in Network Processing Environments», 6th WSEAS International Conference on Telecommunications and Informatics (TELE-INFO'04), Cancun, Mexico, 12-15 mai 2004

Articles de conférence de septembre 2002 à août 2003

[C-70] ANDRÉ, W., DELAFOSSE, J.A., MARTEL, S., «Walking-die : Using MEMS and SoC for miniature robot designed for nanoscale operations», Proceedings of the Canadian Conference on Electrical and Computer Engineering (CCECE) 2003, Montréal, Canada, 4-7 mai 203, pp. 1827-1830.

[C-71] ANDRE, W., MARTEL, S., «Development of an embedded electronic system using system-on-chip methodology for a miniature robot designed for nanoscale operations,» Proceedings of the First Northeast Workshop on Circuits and Systems (NEWCAS 2003), Montréal, Canada, 18-20 juin 2003.

Articles de conférence de septembre 2002 à août 2003 (suite)

[C-72] AWADA, A., DIDO, J., SAWAN, M., BELLEMARE, F., «A Comparative Study of EMG_{di} Recording Electrodes», CCECE, Montréal, 4-7 mai 2003, vol. 3, pp. 1501-1504.

[C-73] BA, A., SAWAN, M., «Integrated Programmable Neurostimulators to Recuperate the Bladder Functions», CCECE, Montréal, 4-7 mai 2003, vol. 1, pp. 147-150.

[C-74] BERTOLA, M., BOIS, G., «Teaching Bus Architectures with a Basic, Hands-on SoC Platform», Proc. Of Microelectronic Systems Education Conf., Anaheim, CA, USA, pp. 68-69.

[C-75] BUFFONI, L.X., COULOMBE, J., SAWAN, M., «An Image Processing System Dedicated to Cortical Visuel Stimulators» CCECE, Montréal, 4-7mai 2003, vol. 3, pp. 1497-1500.

[C-76] CARNIGUIAN, S., COULOMBE, J., SAWAN, M., «New Scanning Technique for the Power Management of Pixel Array», CCECE, Montréal, 4-7mai 2003, vol. 2, pp. 1395-1398.

[C-77] CHABINI, N., CHABINI, I., ABOULHAMID, E.M., SAVARIA, Y., «Unification of Basic Retiming and Supply Voltage Scaling to Minimize Dynamic Power Consuption for Synchronous Digital Designs» GLSVLSI (Proceedings of the Great Lakes Symposium on VLSI), Washington, D.C., USA, 28-29 avril 2003.

[C-78] CHEVALIER, J., BENNY, O., RONDONNEAU, M., BOIS, G., ABOULHAMID, E.-M., BOYER, J.-F., «SPACE : A Hardware/Software SystemC modeling platform including an RTOS», Forum on Design Languages (FDL03), Frankfurt, Germany, août 2003, pp. 704-715.

[C-79] CHOUCHANE, T., SAWAN, M., «A 5 GHz CMOS RF Mixer in 0.18mm CMOS Technology», CCECE, Montréal, 4-7 mai 2003, vol. 3, pp. 1905-1908

[C-80] COUDYSER, M., LAURIN, J.-J., BRAULT, J-J., XU, Y., «A Direction Finding Antenna Based on Neural Networks for Space Applications», JINA 2002, Arrays and Antennas Processing, Nice, France, 12-14 novembre 2002.

[C-81] COULOMBE, J., BUFFONI, L.-X., CARNIGUIAN, S., GERVAIS, J.F., SAWAN, M., «Intracortical visual stimulation system: design and optimization», IFESS, Australie, 1-5 juillet 2003, pp. 151-154.

[C-82] COULOMBE, J., GERVAIS, J.-F., SAWAN, M., «A Cortical Stimulator with Monitoring Capabilities using a Novel 1 Mbps ASK Data Link», ISCAS, Bangkok, 25-28 mai 2003, vol. 5, pp. 53-56.

[C-83] DELAFOSSE, J.A., MARTEL, S., «Conception et intégration d'un micromoteur MEMS pour un nanorobot autonome», Proceedings of the First Northeast Workshop on Circuits and Systems (NEWCAS 2003), Montréal, Canada, 18-20 juin 2003.

[C-84] DJEBBI, M., ASSI, A., SAWAN, M., «An Offset-Compensated Wide Bandwith CMOS Current Feedback Operational Amplifier», CCECE, Montréal, 4-7 mai 2003, vol. 1, pp. 73-76.

[C-85] EL-SANKARY, K., ASSI, A., SAWAN, M., «Digitally-Oriented Channel Random Sampling Method for Parallel Time Interleaved ADCs», IEEE-NewCAS, Montréal, 17-20 juin 2003, pp. 145-148.

[C-86] EL-SANKARY, K., ASSI, A., SAWAN, M., «New Sampling Method to Improve the SFDR of Time-Interleave ADCs», ISCAS, Bangkok, 25-28 mai 2003

[C-87] EL-SANKARY, K., ASSI, A., SAWAN, M., «New Sampling Method to Improve the SFDR of Time-Interleave ADCs», ISCAS, Bangkok, 25-28 mai 2003, vol. 1, pp. 833-836.

[C-88] EL-SANKARY, K., KASSEM, A., CHEBLI, R., SAWAN, M., «Low-Power, Low Voltage, 10-BIT-50MSPS Pipeline ADC Dedicated for Front-End Ultrasonic Receivers», 14th International Conference, ICM 2002, 11-13 décembre 2002, pp. 219-222.

[C-89] EL-SANKARY, K., ASSI, .A., SAWAN, M., «A New Time-Interleave Architecture for High-Speed A/D Converters», International Workshop on Digital and Computational Video, Floride, USA, 14-15 novembre 2002, pp. 93-99.

[C-90] FOFONOFF, T., MARTEL, S., WISEMAN, C., DYER, R., HUNTER, I., HATSOPOULOS, N., DONOGHUE, J., «A Highly Flexible Manufacturing Technique for Microelectrode Array Fabrication», Proceedings of the 2nd Joint IEEE-EMBS and BMES Conference, Houston, Texas, USA, 23-26 octobre 2002, pp. 1815-1816

[C-91] GERVAIS, J.-F., COULOMBE, J., MOUNAIM, F., SAWAN, M., «Bidirectional High Data Rate Transmission Interface for Inductively Powered Devices», CCECE, Montréal, 4-7 mai 2003, vol. 1 pp. 167-170.

[C-92] GHATTAS, H., SAVARIA, Y., «Design of Dedicated Low Complexity Embedded Processors for SOC Network Processing Applications», First Northeast Workshop on Circuits and Systems, NEWCAS'2003, Montréal, 17-20 juin 2003, pp. 93-96.

[C-93] GILSON, M., PY, J.-S., BRAULT, J.J., SAWAN, M., «Training Pulsed Neural Networks by Genetic and Taboo Methods», CCECE, Montréal, 4-7 mai 2003, vol. 3, pp. 1857-1860.

Articles de conférence de septembre 2002 à août 2003 (suite)

[C-94] GOSSELIN, B., SIMARD, V., SAWAN, M., «Low Power Programmable Front-End for a Multichannel Neural Recording Interface», CCECE, Montréal 4-7 mai 2003, vol. 2, pp. 911-914.

[C-95] HARB, A., SAWAN, M., «Low Power BIN Integrator Dedicated to Neural Signal Processing», IEEE-ICECS, Dubrovnick, 15-18 septembre 2002, vol. 1, pp. 37-40

[C-96] HU, Y., LU, Z., SAWAN, M., «A Low-Voltage 38µW Sigma-Delta Modulator Dedicated to Wireless Signal Recording Applications», ISCAS, Bangkok, 25-28 mai 2003, vol. 1, pp. 1073-1076

[C-97] HU, Y., LU, Z., SAWAN, M., «A 900 Mv 25µw high PSRR CMOS Voltage Reference Dedicated to Implantable Micro-Devises», ISCAS Bangkok, 25-28 mai 2003, vol. 1, pp. 373-376.

[C-98] HU, Y., SAWAN, M., «A Low-Power 900 mV Rail-to-Rail Class AB Operational Amplifier», CCECE, Montréal, 4-7 mai 2003, vol. 1 pp. 171-174.

[C-99] HU, Y., GERVAIS, J.-F., SAWAN, M., «High Power Efficiency Inductive Link with Full-Duplex Data Communication», IEEE-ICECS, Dubrovnick, 15-18 septembre 2002, vol. 2, pp. 359-362.

[C-100] JIN, Z. F., LAURIN, J.-J., SAVARIA, Y., «Comparison of Propagation Characteristics between Single and Coupled MIS Interconnect Topologies in VLSI Circuits», CCECE'2003, Montréal, 4 – 7 mai 2003

[C-101] KASSEM, A., WANG, J., KHOUAS, A., SAWAN, M., BOUKADOUM, M., «Pipelined Sampled-Delay Focusing CMOS Implementation for Ultrasonic Digital Beamforming», IEEE-IWSOC, Calgary, Alberta, 30 juin – 2 juillet 2003, pp. 247-250.

[C-102] KASSEM, A., SAWAN, M., BOUKADOUM, M., «A Scan Conversion CMOS Implementation for a Portable Ultrasonic System», CCECE, Montréal, 4-7 mai 2003, vol. 3 pp. 1461-1464.

[C-103] KASSEM, A., WANG, J., KHOUAS, A., SAWAN, M., TABIKH, S., BOUKADOUM, M., «Variable Delay CMOS Implementation for Ultrasonic Beamforming», 14th International Conference ICM 2002, 11-13 décembre 2002, pp. 127-130.

[C-104] LAMARCHE, P.H., SAVARIA, Y., «VHDL Source Code Generator and Analysis Tool to Design Linear Interpolars», First Northeast Workshop on Circuits and Systems, NEWCAS 2003, Montréal, 17-20 juin 2003, pp. 69-72.

[C-105] LEMIRE, J.-F., REGIMBAL, S., BOIS, G., SAVARIA, Y., ABOULHAMID, E.-M., BARON, A., «Implementing e Assertion Checkers From an SDL Executable Specification», Proc. of International Conference on Using Hardware Design and Verification Languages (DVCON 2003), San José, USA, février 2003.

[C-106] LU, Z., HU, Y., SAWAN, M., «A 900mV MASH Fourth-order Sigma-Delta Modulator Based on Switched-Opamp Technique», IEEE-NewCAS, Montréal, 17-20 juin 2003, pp. 153-156.

[C-107] MARTEL, S., SCHINDLER, A., BAUMANN, G., RIEBEL, S., BOITANI, T., «Cooling platform for an automated nanofactory based on a fleet of miniature robots designed for atomic scale operations», Automation 2003, Taiwan, 8-11 mai 2003

[C-108] MARTEL, S., «Cooling strategies for high performance miniature wireless robots designed to operate at the nanoscale», IEEE-NANO 2003, San Francisco, 12-14 août 2003.

[C-109] MARTEL, S., «High throughput operations at the nanoscale using miniature instrumente robots», Nanotech and BioTech Convergence, Invited Paper, Stamford, NY USA 5 mai 2003

[C-110] MARTEL, S., HUNTER, I., «Nanofactories based on a fleet of scientific instruments configured as miniature autonomous robots», Proceedings of the 3rd International Workshop on Microfactories, Minneapolis, MN, USA, 16-18 septembre 2002, pp. 97-100.

[C-111] MATHIEU, J.B., MARTEL, S., YAHIA, L., SOULEZ, G., BEAUDOIN, G., «Positioning of MRI controlled microrobot in blood vessels», 15th Conference of the Society for Medical Innovation and Techno logy (SMIT2003, Amsterdam, 28-30 août 2003.

[C-112] MATHIEU, J.B., MARTEL, S., YAHIA, L., SOULEZ, G., BEAUDOIN, G., «Preliminary studies for using magnetic resonance imaging systems as a mean of propulsion for microrobots in blood vessels and evaluation of ferromagnetic artifacts», Proceedings of the Canadian Conference on Electrical and Computer Engineering (CCECE) 2003, Montréal, Canada, 4-7 mai 2003, pp. 835-838.

[C-113] MBAYE, M.M., TOHIO, B., SAVARIA, Y., PIERRE, S., «Performance of a Firewire-Ethernet Protocols Conversion on an ARM7 Embedded Processors» CCGEI'2003, 4-7 Montréal, mai 2003

[C-114] PIGEON, S., MEUNIER, M., SAWAN, M., MARTEL, S., «Design and Fabrication of Microelectrode Array Dedicated for Cortical Electrical Stimulation», Proceedings of the Canadian Conference on Electrical and Computer Engineering (CCECE) 2003, Montréal, Canada 4-7 mai 2003, vol. 2, pp. 813-816.

Articles de conférence de septembre 2002 à août 2003 (suite)

[C-115] PY, J.S., GILSON, M., SAWAN, M., BRAULT, J.-J., GUITTON, D., «Simulation de Grands Réseaux de Neurons par Neuron» CCECE, Montréal, 4-7 mai 2003, vol. 3, pp. 1865-1868.

[C-116] QIN, B., SAVARIA, Y., LU, M., WANG, C., THIBEAULT, C., «Yield Modeling of a WSI Telecom Router Architecture», The 17th IEEE International Symposium on Defect and Fault Tolerance Systems, Vancouver, Colombie-Britannique, 6-8 novembre 2002, pp. 314-321.

[C-117] REGIMBAL, S., LEMIRE, J.-F., SAVARIA, Y., BOIS, G., ABOULHAMID, E.-M., BARON, A., «Automating Functional Coverage Analysis Based On An Executable Specifications», Proc. Of the International Workshop on System-on-Chip for Real-Time Applications, Calgary, Alberta, 30 juin – 2 juillet 2003, pp. 228-234.

[C-118] RENAUD, M., SAVARIA, Y., «A CMOS Three-State Frequency Detector Complementary to an Enhaced Linear Phase Detector for PLL, DLL or High Frequency Clock Skew Measurement», ISCAS 2003, Bangkok, Thailand, 25-28 mai 2003, vol. III, pp. 148-151.

[C-119] RICHARD, J.-F., LESSARD, B., MEINGAN, R., MARTEL, S., SAVARIA, Y., «High Voltage Interfaces for CMOS/DMOS Technologies», First Northeast Workshop on Circuits and Systems, NEWCAS'2003, Montréal, 17-20 juin 2003, pp. 93-96.

[C-120] ST-JACQUES, D., MARTEL, S., BOITANI FITZGERALD, T., «Nanoscale grid based positioning system for miniature instrumented robots», Proceedings of the Canadian Conference on Electrical and Computer Engineering (CCECE) 2003, Montréal, Canada, 4-7 mai 2003, pp. 835-838.

[C-121] TANG, Y., QIAN. L., WANG, Y., SAVARIA, Y., «A New Memory Reference Reduction Method for FFT Implementation on DSP», ISCAS 2003, Bangkok, Thailand, 25-28 mai 2003, vol. IV, pp. 496-499.

[C-122] TOHIO, B., PIERRE, S., SAVARIA, Y., MBAYE, M.M., «Protocol Convertibility in Network Processing Environment», CCGEI'2003, 4 – 7 mai 2003.

[C-123] TRABELSI, A., SAVARIA, Y., AUDET, Y., «An Automatic Offset Correction Technique Based on Active Load Tuning», First Northeast Workshop on Circuits and Systems NEWCAS'2003, Montréal, 17-20 juin 2003, pp. 5-8.

[C-124] TRÉPANIER, J.-L., SAWAN, M., AUDET, Y., «A New CMOS Architecture for Wide Dynamic Range Image Sensing», CCECE, Montréal, 4-7mai 2003, vol. 1 pp. 323-326.

[C-125] TRÉPANIER, J.-L., SAWAN, M., AUDET, Y., COUOMBE, J., «A Wide Dynamic Range CMOS Digital Pixel Sensor», Proceedings of the 45th IEEE International Midwest Symposium on Circuits and Systems, Tulsa, Oklahoma, novembre 2002, vol. II, pp. 437 0440,

[C-126] TSIKHANOVICH, A., ABOULHAMID, E.M., BOIS, G., «Object-Oriented Techniques in Hardware Modeling using SystemsC», Proc. of Northeast Workshop on Circuits and Systems, Montréal, Canada, (Micronet/STMicroelectronics) juin 2003

AUTRES PUBLICATIONS (invitation)

[I-1] SAWAN, M., «Wireless smart implants dedicated to multichannel monitoring and microstimulation», IEEE/ACS-Int. Conference on Pervasive Computing, Beirut, juillet 2004.

[I-2] SAWAN, M., «Wirelessly controlled implantable devices for multichannel monitoring and stimulation», IEEE Int Conference in Circuits and Systems for Comm., Moscou, Russie, juillet 2004.

[I-3] SAWAN, M., «Dual Neurostimulation to Recuperate the Urinary Bladder Functions», The Institute of Neurosciences, Mental Heath and Addiction Annual Meeting, Toronto, septembre 2003.

[I-4] SAWAN, M., «Biomedical Circuits and Systems to Recuperate Neuromuscular Functions», IEEE-CAS Chapter, Waterloo, septembre 2003.

[I-5] SAWAN, M., ELSANKARY, K., «Analog-to-Digital Converters Dedicated to Wide-Bandwidth Wireless Transceivers», Wireless Industry Congress 2003, Ottawa, Ontario, septembre 2003.

CHAPITRE DE LIVRES

[L-1] BOIS, G., FILION, L., TSIKHANOVICH, A., ABOULHAMID, E.-M., «Modélisation, raffinement et techniques de programmation orientée objet avec SystemC»Chap. 6 de La spécification et la validation des systèmes hétérogènes embarqués, A.A. Jerraya et G. Nicolescu (ed.), Hermes, ISBN 2-7462-0820-2, 2004.

CHAPITRE DE LIVRES (suite)

[L-2] BOIS, G., NICOLESCU, G., ABOULHAMID, E.-M., «System-Level Exploration Platforms for SoC: Concepts and Experimentations» Kluwer Academic Publishers, Michael Hacket, ed. Senior, à paraître à l'automne 2004.

[L-3] CHAREST, L., ABOULHAMID, E.-M., BOIS, G., «Applying multi-paradigm and patterns approaches to hardware/software design and reuse», Chap. 11 of Pattern and Skeletons for Parallel and Distributed Computing, RABHI, F.E. (ed.), Springer Verlag, ISBN 1-85233-506-8, 2003, pp. 297-325.

[L-4] CHEVALIER, J., BENNY, O., RONDONNEAU, M., BOIS, G., ABOULHAMID, E.M., BOYER, J.F., «SPACE: A Hardware/Software SystemC modeling platform including an RTOS», Language for System Specification, série CHDL de Kluwer Academic Publishers, section 6, juin 2004.

[L-5] PAULIN, P.G., PILKINGTON, C., LANGEVIN, M., BENSOUDANE, E., SZABO, K., LYONNARD, D., NICOLESCU, G., «A Multi-Processor SoC Platform and Tools for Communications Applications», in Embbedded Systems Handbook, CRC Press, Florida, Editor: R. Zurawski, à paraître

[L-6] YOO, S., NICOLESCU, G., BACIVAROV, I., YOUSSEF, W., BOUCHHIMA, A., JERRAYA, A.A., «Multi-Level Software Validation for NoC», Chapter 10 in Networks on Chip, Kluwer Academic Publishers, 2003.

BREVETS

[B-1] LACOURSE, A., GAGNON, Y., LANGLOIS, H., SAVARIA, Y., «Method for Modifying Impedance of Semiconductor Devices Using a Focussed Heating Source» brevet déposé au Canada # 2,436,759 août 2003.

[B-2] MARTEL, S., «Magnetotactic Bacteria-based Systems», brevet # VAL-383-EP, juin 2004.

INDEX DES AUTEURS

A

ACHIGUI FACPONG , Hervé 23
AMEZZANE, Ilham 24
ANDRÉ, Walder 25
AUBRAY, Laurent 26

B

BENDALI, Abdelhalim 27
BENNY, OLIVIER 28
BOUENDEU, EMMANUEL 29
BOUSSAA, Mohamed 30
BOYOGUENO BENDÉ, André 31
BUFFONI, Louis-Xavier 32
BUI, Hung Tien 33

C

CANTIN, Marc-André 34
CASTONGUAY, AMI 35
CATUDAL, Serge 36
CHEBLI, Robert 37
CHEVALIER, Jérôme 38
CHOUCHANE, Tahar 39
CHOUIA, Younes 40
CHUREAU, Alexandre 41
COULOMBE, Jonathan 42

D

DANG, Hung 43
DANNEVILLE, Éric 44
DECA, Radu 45
DEJMOUAI, Abdelouhab 46
DELAFOSSE, Maurice Jacques-A. 47
DÉSILETS, Tommy 48
DESLAURIERS, François 49
DINH, Chi Truc 50
DJEBBI, Moncef 51
DUBOIS, Martin 52
DUBOIS, Mathieu 53
DUMORTIER, Cyprien 54
DUNGEN, Jeffrey 55
DUPIRE, Thierry 56
DUVAL, Olivier 57

E

ELSANKARY, Kamal 58
EPASSA HABIB, Gabriel 59

F

FORTIN, Marc-Antoine 60
FOURNIER, Pierre-Alexandre 61
FOUZAR, Youcef 62

G

GERVAIS, Jean-François 63
GHAFAR ZADEH, EBRAHIM 64
GHATTAS, Nader 65
GORSE, Nicolas 66
GOSSELIN, Benoît 67
GROU-SZABO, Robert 68

H

HARB, Adnan 69
HASAN, Syed Rafay 70
HASHEMI, Saeid 71
HU, Yamu 72
HUBIN, Mortimer 73

I

IBRAHIM, Yasser, M. 74
IZOUGGAGHEN, Badre 75

K

KABBAJ, Samir 76
KASSEM, Abdallah 77

L

LAAZIRI, Yassir 78
LAFRANCE, Louis-Pierre 79
LANDRY, Alexandre 80
LARAB, Abdelaziz 81
LAVIGUEUR, Bruno 82
LAYACHI, Mohammed 83
LEBEL, Éric 84
LU, Zhijun 85

M

MAHONEY, Patrick 86
MARCHE, David 87
MAROUCHE, Wissam 88
MBAYE, Mame Maria 89
MORIN, Benoit 90
MORIN, Dominic 91
MORNEAU, Michel 92
MOUNAIM, Fayçal 93

N

NADERI, Ali 94
NGUYEN, Anh Tuan 95
NORMANDIN, Frédéric 96

NSAME, Pascal 97

P

PAQUET-FERRON, Dominique 98
PETERSON, Kevin 99
PICARD, Daniel 100
PIERRON, Loïc 101
PIGEON, Sébastien 102
PONTIKAKIS, Bill 103
PROVOST, Ghislain 104
PROVOST, Simon 105
PY, Jean-Sébastien 106

Q

QIN, Lisheng 107
QUINN, David 108

R

RÉGIMBAL, Sébastien 109
RENAUD, Mathieu 110
RICHARD, Jean-François 111
ROBERT, Manuel 112
RONDONNEAU, Mathieu 113
ROY, Jean-François 114

S

SAHEB, Jean-François 116
SALOMON, Max-Élie 117
SEHIL, Mohamed 118
SIMARD, Virginie 119
ST-PIERRE, Francis 115

T

TANGUAY, Bruno 120
TRABELSI, Abdelaziz 121
TREMBLAY, Jean-Marc 122
TRÉPANIER, Annie 123
TRÉPANIER, Jean-Luc 124
TRUONG, Olivier-Don 125

V

VAILLANCOURT VEILLEUX, Nicolas 126

W

WILD, Guillaume 127

Z

ZHOU, Bo 128