TABLE DES MATIÈRES

REMERCIEMENTS 4

INTRODUCTION 4

COLLABORATIONS EN 2004-2005 4

OBJECTIFS DU GRM 5

COMPOSITION DU GROUPE 5

LISTE DES MEMBRES RÉGULIERS 5
LISTE DES MEMBRES ASSOCIÉS 6
LISTE DES CHERCHEURS POST DOCTORAUX ET AUTRES PROFESSIONNELS 6

PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE 7

DOMAINES 7
ACTIVITÉS DES MEMBRES RÉGULIERS 7
ACTIVITÉS DU PROFESSEUR SAVARIA 8
ACTIVITÉS DU PROFESSEUR AUDET 9
ACTIVITÉS DU PROFESSEUR BOIS 10
ACTIVITÉS DU PROFESSEUR BOYER 11
ACTIVITÉS DU PROFESSEUR BRAULT 12
ACTIVITÉS DU PROFESSEUR KHOUAS 13
ACTIVITÉS DU PROFESSEUR MARTEL 14
ACTIVITÉS DU PROFESSEUR NICOLESCU 15

CONCEPTION DES SYSTÈMES EMBARQUÉS HÉTÉROGÈNES 15

CONCEPTION DES SYSTÈMES SUR-PUCE MULTI-PROCESSEUR 15

ACTIVITÉS DU PROFESSEUR SAWAN 16

ÉTUDIANTS AUX CYCLES SUPÉRIEURS 17

ÉTUDIANTS RECEMMENT INSCRITS 19
TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT 20
DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS 24

RÉSUMÉ: 119

PROBLÉMATIQUE: 119

MÉTHODOLOGIE: 119

RÉSULTATS: 119

SUBVENTIONS ET CONTRATS 127

SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES 127
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE DE GROUPE 130
ÉQUIPEMENT ÉLECTRONIQUE 133

ÉQUIPEMENT APPARTENANT AU GROUPE (WWW.GRM.POLYMTL.CA) 133

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA) 135

ÉQUIPEMENT INFORMATIQUE PRÊTÉ PAR LA CMC (WWW.CMC.CA) 136

ÉQUIPEMENT INFORMATIQUE 137

ÉQUIPEMENT INFORMATIQUE APPARTENANT AU GRM (WWW.GRM.POLYMTL.CA) 137
LOGICIELS DE MICROÉLECTRONIQUE 137
LOGICIELS DISPONIBLES AU GRM (WWW.GRM.POLYMTL.CA) 137
LOGICIELS 139
PUBLICATIONS ET RÉALISATIONS 140
ARTICLES DE REVUES ACCEPTÉS POUR PUBLICATION 140
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2003 À AOÛT 2004 146
AUTRES PUBLICATIONS (INVITATION) 150
CHAPITRE DE LIVRES 150
BREVETS 150
INDEX DES AUTEURS 151

REMERCIEMENTS

Nous désirons remercier tous les membres du GRM (Groupe de Recherche en Microélectronique) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à sa diffusion sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche.

INTRODUCTION

Le Groupe de Recherche en Microélectronique (GRM) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 2004 – 2005, 107 étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GRM et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) auprès du Fonds Québécois de la recherche sur la nature et les technologies (FQRNT), ainsi qu'au programme de Recherche Orientée en Microélectronique, photonique et télécommunication. Ils ont participé à trois projets réalisés dans le cadre de Micronet, le centre d'excellence en Microélectronique. Citons aussi les projets réalisés avec des partenaires industriels, Gennum, LTRIM, PMC-Sierra, Scanview, Victhom, Amirix, ST-Microélectronique et Tundra. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 2004-2005

L'année 2004 - 2005 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GRM et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs, Savaria, Martel (Université de Montréal) Desjardins et Rochefort (nanoélectronique), Savaria, Bois et Aboulhamid de l'Université de Montréal (vérification et méthodes de conception); Savaria et Cherkaoui de l'UQAM (configuration et vérification de routeurs réseau), Savaria, Desjardins et Rochefort, (nanoélectronique), Savaria, Gagnon et Thibeault (architecture de multiégaliseurs), Savaria et Meunier (technologie de calibration par laser de circuits analogiques), Savaria et Cherkaoui de l'UQAM (vérification des réseaux de communication), Sawan, Gagnon, Savaria, Wang, (Mise en œuvre de convertisseurs analogique à numérique performants), Sawan et Boukadoum de l'UQAM (circuits à ultrasons), Sawan et Roberts de McGill (convertisseurs rapides), Sawan et El-Gamal (circuits à fréquences radio). Kashyap et Wu (Polygrames), Zhang (Concordia) Yao (Ottawa) sur le domaine de radio sur fibre, Kashyap et Maciejko, Azaan (INRS), Bertrand (EPM), Chen (McGill), Kieffer (IRNS) Piché (U Laval), Skorobogatiy (EPM) sur le domaine des sources ultra large bande pour la biophotonique. De plus, Bois et Nicolescu collaborent avec Aboulhamid de l'Université de Montréal, et Tahar de l'Université Concordia sur la conception et la vérification des systèmes sur puces complexes. Notons la collaboration avec plusieurs membres du centre PolyGrames, notamment les professeurs Brault et Laurin (direction d'arrivée d'un faisceau électromagnétique), les professeurs Savaria et Laurin (interconnexions de circuits VLSI à très haute vitesse), Sawan et Meunier (microélectrodes), Sawan et Peter (structures MEMS), Sawan et Therriault (structures microfluidiques). Ajoutons que sur le plan de la mise en œuvre de dispositifs microélectroniques médicaux, le professeur Sawan collabore avec le Dr M. Elhilali de l'Université McGill (implant urinaire), le Dr F. Bellemare de l'Université de Montréal (cathéter oephagien), le Dr D. Guitton et Dr. A. Chaudhury de l'Université McGill (implant visuel cortical), le Dr J. Faubert de l'École d'optométrie de l'Université de Montréal (capteurs optiques), et les Drs. Chapman de Concordia et Leporé de l'Université de Montréal (surveillance intracorticale). Enfin, notons que les professeurs Kashyap, Martel, Meunier, Savaria et Sawan sont titulaires de Chaires du Canada.

OBJECTIFS DU GRM

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique a pour objectif général de «promouvoir et regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».
Plus spécifiquement, le Groupe de Recherche en Microélectronique poursuit les objectifs suivants:

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GRM;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique relève du directeur du département de génie électrique et se compose des membres réguliers, membres associés et d'autres professionnels et chercheurs:

Liste des membres réguliers

- **Dr Yvon Savaria:** professeur titulaire au département de génie électrique, titulaire d'une chaire de recherche du Canada en Conception de systèmes microélectroniques intégrés, directeur du Groupe de Recherche en Microélectronique, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de tolérance aux pannes et de testabilité, à la conception et la vérification des systèmes sur puce (SOC), à la conception des circuits numériques, analogiques et mixtes et aux applications de ces technologies.
- **Dr Yves Audet:** professeur adjoint au département de génie électrique, ses travaux de recherche portent sur les circuits intégrés analogiques, les capteurs d'images CMOS et les interconnections photoniques pour système VLSI.
- **Dr Guy Bois:** professeur titulaire au département de génie informatique qui s'intéresse à la conception des systèmes embarqués, plus particulièrement à leurs spécification, modélisation, partitionnement logiciel/matériel, synthèse, vérification fonctionnelle et prototypage.
- **Dr François Raymond Boyer:** professeur adjoint au département de génie informatique qui s'intéresse aux architectures et méthodes de conception des circuits VLSI. Il s'intéresse notamment à l'optimisation des systèmes exploitant des horloges multiphase.
- **Dr Jean-Jules Brault:** professeur agrégé au département de génie électrique et directeur du Laboratoire de Réseaux Neuronaux (LRN), qui s'intéresse aux diverses architectures et applications des machines neuronales, virtuelles ou électroniques, de même qu'au développement de leurs algorithmes d'apprentissage.
- **Dr. Raman Kashyap:** professeur titulaire aux départements de génie électrique et de génie physique. Il s'intéresse aux nouveaux concepts en photonique pour les applications en radio sur fibre, technologies et composants à bandes interdites, biocapteurs, communications optiques, réseaux de Bragg en fibre optique à base de polymères, nouveaux procédés pour fabriquer des guides d'ondes et leur intégration avec les circuits électroniques. Il est membre fondateur du groupe Polyphotonique et le directeur du laboratoire de concepts photoniques avancés (APCL).
- **Dr Abdelhakim Khouas:** professeur adjoint au département de génie électrique dont les domaines de recherche portent sur le test et la conception en vue du test (chemin de SCAN, BIST, JTAG) des circuits intégrés numériques, analogiques et mixtes, le développement d'outils de CAO pour la microélectronique, le prototypage de systèmes numériques et la synthèse sur FPGA.

- **Dr Sylvain Martel**: professeur agrégé au département de génie informatique et titulaire d'une chaire de recherche du Canada dont le domaine de recherche est principalement la conception de micro et nano systèmes électromécaniques, incluant la nanorobotique pour les applications au niveau moléculaire et atomique en touchant plusieurs aspects comme l'instrumentation, l'électronique, les ordinateurs et ainsi que les systèmes reconfigurables. En nanorobotique, nous exploitons les découvertes fondamentales en nano sciences par la conception de nanorobots capable de travailler au niveau du nanomètre pour créer de nouveaux systèmes, produits et applications.
- **Dr. Gabriela Nicolescu**: professeure adjoint au département de génie informatique qui s'intéresse à la conception de haut niveau des systèmes embarqués hétérogènes composés de sous systèmes spécifiques aux différents domaines d'application: logiciel, matériel, mécanique, optique et RF. Elle travaille aussi sur la conception des systèmes sur puce multiprocesseurs.
- **Dr. Mohamad Sawan:** professeur titulaire au département de génie électrique et détenteur d'une chaire de recherche du Canada sur les dispositifs médicaux intelligents, qui s'intéresse à la conception et la réalisation de circuits mixtes (numériques, analogiques, optiques et RF) et à leurs applications dans les domaines industriel (communication sans fil) et biomédical (stimulateurs et capteurs sensoriels).

Liste des membres associés

- **Dr David Haccoun:** professeur titulaire au département de génie électrique qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI. Il collabore avec MM Savaria et Sawan sur l'implantation de codeurs-décodeurs.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et titulaire d'une chaire de recherche du Canada en micro-ingénierie et nano-ingénierie des matériaux par laser. Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique et avec Mohamad Sawan sur les micro-électrodes.

Liste des chercheurs post doctoraux et autres professionnels

- M. Abedenour Azedine — chercheur postdoctoral
- M. Youcef Bouchebaba — chercheur postdoctoral
- M. Aissa Boudjella — associé de recherche
- M. Stéphane Boyer — associé de recherche
- M. Matthieu Brière — chercheur postdoctoral
- Mme Irina Kostko — chercheure postdoctoral
- M. Libor Kotcka — chercheur postdoctoral
- M. Éric Legua — associé de recherche
- M. Fayçal Mounaim — associé de recherche
- Mme Galina Nemova — associée de recherche
- M. Bogdan Nicolescu — chercheur postdoctoral
- M. Ghislain Provost — associé de recherche
- M. Vincent Treanton — associé de recherche

De plus, les personnes suivantes collaborent aux travaux du groupe à divers titres:

- M. Réjean Lepage — technicien et chef d'équipe du laboratoire GRM.
- M. Laurent Mouden — technicien du laboratoire PolyStim
- M. Alexander Vesey — technicien du laboratoire GRM

Ces personnes forment le Groupe de Recherche en Microélectronique de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la microélectronique.

PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE

Domaines

Les programmes de recherche et de formation de chercheurs en microélectronique de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie microélectronique en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défectuosités;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, et en biomédical par la réalisation de micro stimulateurs implantables;
- Les logiciels de synthèse, de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques, ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse des activités de chaque membre au sein du GRM.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, de circuits de synthèse d'horloge, de circuits analogiques précis, des plates-formes SOC ainsi que sur la vérification des systèmes électroniques. Il englobe aussi les techniques d'autotest et de tolérance aux pannes et aux défectuosités. Le second axe couvre des thèmes divers comme la conception de systèmes de radio configurable, la conception de décodeurs convolutionnels, la conception d'une plate-forme SOC pour la réalisation de processeurs réseau et de systèmes de traitement vidéo, la réalisation de circuits de synthèse d'horloge, la conception de circuits analogiques précis et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Nos travaux sur les méthodes de conception explorent diverses architectures pour la synthèse d'horloge exploitant des accumulateurs de phase qui commandent la sélection de phases dérivées d'une horloge de référence à l'aide de lignes à délais. Ils portent aussi sur l'exploration d'une nouvelle architecture de PLL qui découple les caractéristiques de capture et de maintien. Du côté des circuits analogiques précis, nous explorons les architectures de convertisseurs A/D précis ainsi que celles applicables aux systèmes vidéo de haute performance. Nos recherches portent notamment sur la possibilité de calibrer ces circuits par la création locale de résistances de valeurs programmables.

Nous explorons la notion de plate-forme SOC comme façon de développer efficacement des circuits dérivés pour une classe d'application. Une telle plate-forme est composée de modules paramétrables, réutilisables et compatibles entre eux qui forment la base d'une architecture flexible pour la classe d'application ciblée.

En ce qui a trait aux méthodes de vérification, nous explorons le potentiel des langages de vérification (HVL) et des méthodes qui y sont associées. Nous avons expérimenté la méthode de création de banc d'essai suivant une approche de programmation par aspect et nous explorons la possibilité d'assister la création d'aspects couverture et de vérificateur d'assertion qui consomment beaucoup de temps dans la phase de vérification. Nous explorons aussi une méthode pour déterminer l'ordre le plus efficace pour vérifier un système composé de plusieurs modules et une méthode pour analyser une spécification de haut niveau afin d'y détecter les contradictions et les situations pour lesquelles le comportement n'est pas spécifié.

En ce qui a trait aux techniques de tolérance aux pannes, nous les explorons dans le cadre d'un projet qui vise à détecter les pannes transitoires par des méthodes logicielles. Nous explorons notamment la sensibilité aux erreurs douces des systèmes d'exploitation temps réel dans le but d'en améliorer la robustesse.

Applications

Dans le cadre de cet axe, nous explorons un ensemble d'applications. Plusieurs de ces applications permettent d'explorer les méthodes de dimensionnement automatique des chemins de données.

Nous explorons les architectures possibles pour la mise en œuvre des systèmes de traitement vidéo et nous appliquons la méthode de dimensionnement automatique afin de produire des implémentations valides Ce projet sert de véhicule pour appliquer et raffiner les notions de plate-forme SOC. Le projet intéresse la société Gennum.

Nous travaillons aussi à développer des mécanismes d'interconnexion intrapuce de type Network on Chip (NoC), des bus de haute performance compatibles à la norme AMBA et des mécanismes d'interconnexion interpuce adaptés du Hypertransport.

Nous travaillons enfin à la mise en œuvre de diverses classes de modules nécessaires pour la mise en œuvre de radios configurables et de processeurs réseau.

Activités du professeur Audet

Les activités du professeur Audet sont reliées aux capteurs photoniques, fabriqués en procédé CMOS, visant deux champs d'applications spécifiques soient : les capteur d'images intégrés et les détecteurs photoniques de haute performance pour système VLSI à interconnections optiques.

1. Les capteurs d'images CMOS

Ce programme de recherche adresse la problématique de conception et de fabrication de capteurs d'images CMOS de grande surface, qui permettrait d'obtenir une caméra numérique de résolution spatiale comparable à celle d'une caméra avec pellicules chimiques photosensibles. On vise un capteur ayant une matrice de pixel de 36 x 24 mm de surface pour atteindre la compatibilité avec la gamme des lentilles développées pour la photographie SLR 35 mm.

Outre la réalisation d'un capteur d'images de grande surface, les techniques de conception de pixels redondants avec autocorrection développées sont aussi utiles à la réalisation de capteurs d'images employés dans des environnements hostiles comme l'espace, les mines, les réacteurs nucléaires, …etc., là où une caméra peut-être exposée à des radiations, des températures et des pressions extrêmes pouvant endommager le capteur. Ainsi, les propriétés d'autocorrection de l'architecture redondante permettront à la caméra de transmettre des images plus longtemps dans ces milieux hostiles où le remplacement et la réparation sont difficiles, voire impossibles.

2. Les détecteurs photoniques

Ici on s'intéresse au développement de technique de propagation de signaux par modulation photonique, tant sur un même circuit intégré qu'entre puces d'un même système, de façon à éliminer les interconnections métalliques critiques qui limitent la performance des systèmes. Des taux de propagation supérieurs à 1 Gb/s sont visés.

Bien que la recherche sur les interconnections photoniques ait favorisé jusqu'à maintenant les dispositifs III-V pour la conversion de signaux électriques à signaux photoniques, la diminution constante de la taille des structures fabriquées sur technologie CMOS pourrait avantager les dispositifs photoniques au silicium notamment au niveau des photo-détecteurs. Avec la diminution de la taille des structures, les capacités parasites des composants actifs diminuent également de sorte qu'un faisceau lumineux de moindre énergie est requis pour activer une cellule photo-détectrice au silicium et une réponse plus rapide peut être obtenue. Les avantages d'un photo détecteur au silicium pouvant être intégré à même une puce VLSI sont considérables, même si les performances sont moindres qu'un photo-détecteur en technologie III-V. Citons entre autre la simplicité du procédé de fabrication CMOS comparé aux technologies hybrides III-V – CMOS et l'élimination des circuits liés à l'intégrité des signaux d'horloge en amplitude et en phase, tels que les répétiteurs et les circuits de verrouillage de phase (PLL). À l'heure actuelle, dû aux problèmes de délais associés aux interconnections métalliques, il est de plus en plus difficile d'assurer la synchronisation entre les différents modules d'un système VLSI, de sorte que les techniques de propagation de signaux asynchrones sont maintenant envisagées pour relier des modules sur une même puce, ajoutant à la complexité du système. Les interconnections photoniques assureront la performance des systèmes VLSI sans ajouter à leur complexité.

Activités du professeur Bois

Le professeur Bois conduit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux: contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous, la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommé co-design.

Le professeur Bois travaille au développement de méthodes modernes de conception et de vérification conjointe logiciel/matériel. Plus particulièrement, ses travaux visent à solutionner trois problèmes importants:

1. Des outils permettent la spécification, la modélisation et le raffinement d'un système embarqué à partir de langages niveau système (e.g. SystemC). En particulier, nous sommes à pré commercialiser une plate-forme à haut niveau nommé SPACE Codesign™. À partir d'une spécification entièrement décrite en SystemC, SPACE permet la simulation et l'estimation de performance au niveau transactionnel, afin de faciliter l'exploration architecturale et le partitionnement logiciel/matériel. SPACE permet ensuite un raffinement graduel de la spécification afin d'implémenter le système. En terme de plate-forme pour l'implémentation, nous travaillons avec la carte AP100 de Amirix qui est basé sur le Virtex-II Pro (2VP30) de la société Xilinx.

   Également nous travaillons à l'exploration architecturale de processeurs réseaux utilisant un jeu d'instructions configurable (processeur XTensa de Tensilica) et au développement de réseaux intégrés sur puce dans un environnement logiciel/matériel multiprocesseur. Ici, le travail est effectué en collaboration avec la société STMicroelectronics et est réalisé sur leur plate-forme nommé StepNP.

2. Notre effort de réutilisation se fait principalement au niveau des standards de bus (e.g. CoreConnect de IBM). Nous travaillons à la conception de modèles transactionnels pour réseau-sur-puce et bus-sur-puce., ainsi qu'à la génération d'adaptateurs.

3. Nous travaillons également au développement de réseaux intégrés sur puce. En particulier nous avons travaillé à l'implémentation sur FPGA d'une nouvelle architecture de réseau sur puce nommé RoC (Rotator-on-Chip) basé sur le concept de réseau en anneau avec jetons.

Les partenaires industriels qui collaborent à ces projets sont Amirix, STMicroelectronics, PMC Sierra et CMCElectronics, alors qu'au niveau universitaire les collaborateurs sont les professeurs Aboulhamid (Université de Montréal), Tahar (Concordia), Thibeault (ETS), ainsi que Nicolescu et Savaria de l'École Polytechnique.

Activités du professeur Boyer

Le professeur Boyer conduit des recherches incluant les domaines de la microélectronique, de la compilation et du traitement de signal. Plus spécifiquement, il s'intéresse au design, à synthèse et à l'optimisation des systèmes conjoints logiciel/matériel dédiés, ainsi qu'au développement d'architectures prenant partie d'un nouveau type d'horloge.

L'horloge à période variable est un concept nouveau, découlant de ses recherches au doctorat, qui pourrait avoir une grande influence sur notre manière de voir les circuits synchrones par rapport aux circuits asynchrones ainsi qu'avoir des nouvelles applications. L'idée est de permettre de moduler la longueur des cycles d'horloges pour pouvoir suivre précisément un ordonnancement. Cet ordonnancement peut être fait à l'avance mais aussi à l'exécution, pour pouvoir traiter de manière optimale les expressions conditionnelles et pour pouvoir tenir compte de d'autres facteurs qui ne sont pas connus lors de la compilation (ou synthèse). À l'exception des circuits asynchrones, les circuits ont présentement une horloge fixe qui limite la possibilité d'ordonnancement. Pour obtenir le meilleur ordonnancement possible, il faut relâcher les contraintes de l'horloge et ce nouveau type d'horloge permet beaucoup plus de flexibilité.

La conception de systèmes dédiés demande à la fois de déterminer la structure matérielle et le logiciel devant s'exécuter sur ce matériel. Une approche conjointe logicielle/matérielle est nécessaire pour la conception et l'optimisation d'un tel système. Pour des systèmes dédiés, les outils doivent permettre la spécialisation (paramétrisation) des composantes. Puis la partie logicielle doit être compilée pour une architecture parallèle possiblement hétérogène (avec des processeurs de plusieurs types différents) et comportant des instructions spéciales. Ses recherches se situent sur différents plans, dont l'automatisation de la séparation logiciel/matériel, la compilation parallélisante pour un système hétérogène configurable, une diminution du temps associé à l'assemblage et test du système, pour un temps de mise en marché minimum.

Application au traitement audio :

Traitement de signal et isolation de la voix dans des prothèses auditives numériques

Le domaine de la prothèse auditive numérique est en expansion, dû au fait que la miniaturisation des processeurs le permet mais aussi au fait que la demande en prothèses auditives augmente (la population vieillit) et que les gens recherchent une qualité supérieure. Des études montrent que l'utilisation de plusieurs microphones est présentement la méthode qui a le plus de succès pour augmenter la discrimination des sons et améliore l'intelligibilité. Par contre, le traitement fait sur ces sources pourrait être amélioré. L'idée du traitement en étude est de faire une analyse de phase, en utilisant des FFT sur les différentes sources, pour réduire les bruits de l'environnement par rapport à la voix venant de l'avant. Le circuit complet de traitement, avec entrée analogique, traitement numérique et sortie analogique ainsi qu'une source électrique, doit être très petit et avoir une faible consommation d'énergie pour avoir une bonne autonomie. Pour ces raisons, un système sur puce («System on Chip» ou SoC) mixte numérique/analogique sera développé.

Les principaux partenaires qui collaborent sur ces recherches sont le professeur E.M. Aboulhamid (Diro, Université de Montréal), sur l'algorithme, la simulation et la vérification, le professeur Y. Savaria (génie électrique, École Polytechnique), sur le côté matériel, le professeur G. Bois (génie informatique, École Polytechnique), dont le domaine de recherche est la conception de systèmes embarqués (dédiés), le professeur A. Saucier (mathématiques, École Polytechnique), sur l'analyse et le traitement de signal.

Les partenaires industriels sont: STMicrelectronics (systèmes dédiés pour les traitements réseaux) et ACE (compilation reciblable).

Activités du professeur Brault

Le professeur Brault dirige le LRN (Laboratoire de Réseaux Neuronaux.) Ses recherches visent plus spécifiquement l'application les algorithmes d'apprentissage (AA) à des problèmes d'inférence sur des données expérimentales en utilisant des machines neuronales (MN), virtuelles ou électroniques. Le champ d'application des AA/MN est très vaste puisque les MN sont des approximateurs universels utilisés tant en classification, en régression qu'en estimation de fonction de densité. D'autre part, vu l'homogénéité des traitements réalisés par les MN, ils peuvent souvent être intégrés relativement aisément sur des circuits électroniques.

Les principales difficultés que l'on rencontre dans le design de ces machines proviennent du fait qu'elles sont habituellement adaptées itérativement et que l'information est massivement distribuée dans les interconnexions de la MN. Parmi ces difficultés, notons, le choix du type de neurones à utiliser (déterministes ou stochastiques, modèle de McCulloch-Pitts ou Hodgkin-Huxley), combien de neurones (capacité à s'adapter au problème) quel type d'interconnexions (avec ou sans récurrence), quel paradigme/loi d'apprentissage (supervisé ou non, correction d'erreurs, minimisation d'entropie, etc.), quelle fonction de coût à minimiser, etc. Tous ces «hyperparamètres» doivent évidemment conduire à la conception d'une machine capable de bien généraliser (intrapoler ou extrapoler) sur de nouvelles données.

Outre les architectures de type MLP (ou RBF) optimisées pour diverses applications (antennes, parole, robotique), les MN qui retiennent particulièrement notre attention sont les machines stochastiques causales (réseaux bayesiens). Ce type de système comporte habituellement un très grand nombre de variables stochastiques et les techniques d'optimisation comme le recuit simulé, sont souvent jugées inutilisables à cause des temps de calcul ou de la mémoire requise pour leur mise en œuvre. En effet, pour valider un réseau bayesien, on doit générer un très grand nombre de cas (vecteurs de tests) en fonction d'une distribution de probabilité multi-variables. On se frappe alors au problème de la «malédiction de la dimensionnalité». Une modification possible est l'ajout d'aspects déterministes dans le processus d'optimisation conduisant par exemple au recuit déterministe RD (Deterministic Annealing).

Concernant les aspects électroniques de ces projets, nous étudions la conception de circuits échantillonneurs en fonction d'une distribution de probabilité d'un espace approximé par un réseau bayesien. Nous modifions les circuits logiques traditionnels afin de les rendre probabilistes.

Activités du professeur Khouas

Le professeur Khouas conduit des activités de recherche dans le domaine de la microélectronique, et principalement dans le domaine de la conception en vue du test « Design for Testability DFT » des circuits intégrés et des systèmes sur puce « System on Chip SOC » et dans le domaine des outils de CAO pour la conception, la vérification et le test des circuits intégrés.

La demande croissante de nouveaux produits électroniques de plus en plus petits, à bas prix et de faible consommation dans toutes les applications de l'électronique a stimulé la croissance rapide des systèmes intégrés sur puce « System on Chip Soc ». Les SOC intègrent des parties analogiques, numériques, mixtes (analogique-numérique), des mémoires et des microprocesseurs sur le même circuit intégré. Les technologies modernes de fabrication de circuits intégrés permettent cette intégration de plusieurs modules sur la même puce, ce qui permet d'avoir des circuits plus performants, plus rapides, plus petits et à faible coût. Par contre, à cause de cette intégration croissante, le test de ces SOC devient de plus en plus difficile et surtout de plus en plus coûteux, ce qui risque de ralentir leur croissance au cours des prochaines années.

L'objectif des travaux de recherche du professeur Khouas est de développer de nouvelles méthodes de test pour les SOC afin de maintenir un coût de test relativement faible par rapport au coût de fabrication. La voix la plus prometteuse pour réduire le coût de test est l'utilisation des méthodes de conception en vue du test. Le but principal de ces méthodes DFT est de rendre les circuits facilement testables en modifiant leur conception. Pour les SOC, l'augmentation de la surface due au matériel ajouté (cellules et routage) et l'augmentation du temps d'application des vecteurs de test sont les deux inconvénients majeurs des méthodes de conception en vue du test existant. Ses travaux de recherche visent à optimiser ces deux paramètres en explorant les trois axes de recherche suivants :

Optimisation de la surface engendrée par les mécanismes d'accès au test des modules internes «Test Access Mechanism TAM»; la norme IEEE P1500 qui est en cours de développement permettra de normaliser et donc de faciliter le test des SOC, mais elle engendrera des contraintes et des coûts additionnels. Cette norme laisse au concepteur du SOC le choix du mécanisme TAM et c'est précisément le TAM qui représente la plus grande partie de la surface additionnelle.

Développement des méthodes de compression/décompression de vecteurs de test : ces techniques permettent de réduire le temps d'application des vecteurs de test et d'assouplir les exigences en terme de mémoire, de nombre de canaux et de vitesse sur les testeurs.

Développement d'un outil d'aide au test pour les SOC: avec la complexité croissante des SOC qui intègrent de plus en plus de modules, le choix des techniques de DFT permettant d'optimiser la surface additionnelle et le temps d'application des vecteurs de test en tenant compte de toutes les contraintes sur les différents modules IP et sur le système est une tâche qui devient de plus en plus complexe et pour laquelle des outils automatiques sont nécessaires. Notre but est d'élaborer un outil d'aide à l'insertion et à l'optimisation des techniques de conception en vue du test pour les SOC.

Activités du professeur Martel

Les activités du professeur Martel se situent principalement dans la recherche et le développement de systèmes miniatures intelligents et plus particulièrement dans le domaine de la nanorobotique. L'objectif actuel consiste à développer des nanorobots avec une infrastructure conçue pour supporter une flotte d'une centaine de ces nanorobots capables d'opérer très rapidement et de façon autonome au niveau moléculaire et jusqu'au niveau des atomes.

Pour ce genre de projets, nous devons développer plusieurs systèmes électroniques et microélectroniques spécialisés pour supporter, contrôler et implanter plusieurs tâches complexes incluant par exemple :

Système en temps réel et de très haute performance de positionnement, de navigation et communication à infrarouge pour plates-formes nanorobotique ;

Système de positionnement miniature de résolution atomique basé sur les techniques de microscopie à effet tunnel ;

Systèmes et instruments miniatures de manipulation, mesure, synthèse et fabrication au niveau moléculaire ;

Système de contrôle embarqué pour déplacement de nanorobots, etc.

Notre intérêt est donc le développement de divers circuits miniatures (analogue et numérique) de haute performance en utilisant diverses approches, techniques, outils de conception et systèmes de vérification/validation essentiellement au niveau système sur puces (SoC).

La miniaturisation, précision, vitesse et le rendement en temps réel sont des aspects très importants et critiques dans la plupart des systèmes électroniques développés pour ce genre de projet. Les systèmes à concevoir sont aussi généralement très complexes et exigeants et font appel à plusieurs technologies qui doivent être intégrées dans des systèmes micro-mécatroniques avec instruments intégrés de très haute précision et opérant à de très grandes vitesses.

Activités du professeur Nicolescu

Gabriela Nicolescu conduit des recherches sur la conception des systèmes embarqués.. Deux types de systèmes sont visés par ses recherches : (1) la dernière génération des systèmes embarqués intégrant des sous-systèmes hétérogènes provenant de différents domaines d'application (ex. électronique, optique, mécanique, RF) et (2) les systèmes-sur-puce intégrant plusieurs processeurs hétérogènes (ex. processeurs configurables, processeurs spécialisés pour un type d'application, processeurs d'usage général). Les thèmes de recherche seront élaborés brièvement par la suite.

Conception des systèmes embarqués hétérogènes

Nos travaux sur la conception des systèmes embarqués hétérogènes portent sur les nouvelles techniques pour la modélisation et la validation globale de ces systèmes. Nous travaillons sur la définition et la mise en place d'un environnement permettant la coopération des concepteurs provenant des domaines d'application différents, avec de différentes cultures et utilisant différents niveaux d'abstraction (ex. RTL, niveau transactionnel), langages de spécification (ex. VHDL, SytemC, Matlab) et modèles d'exécution (simulation native, simulation à base de ISS). Nos travaux explorent particulièrement la modélisation et la simulation des interactions entre les composantes fournies par divers concepteurs et nous explorons les techniques de génération automatique des interfaces d'adaptation entre ces composantes.

Nous utilisons comme applications concrètes les MEMS (micro elctro-mechanical systems), MOEMS (micro opto-elctro-mechnical systems) et les réseaux optiques sur puce.

Conception des systèmes sur-puce multi-processeur

Nos travaux sur la conception des systèmes-sur-puce multi-processeurs portent sur l'exploration architecturale et la validation par simulation de ces systèmes.
Concernant l'exploration architecturale nous étudions des nouvelles architectures mémoires et les algorithmes efficaces pour mapper les différentes applications sur ces architectures. Nous explorons aussi l'impact de l'implémentation des systèmes d'exploitation sur l'efficacité des systèmes multiprocesseurs sur puce. Les approches prises en compte sont : les systèmes d'exploitation implémentés en logiciel, les systèmes d'exploitation implémentés en matériel, et les systèmes d'exploitation logiciels/matériels. Nous explorons aussi l'impact de l'intégration sur même puce des processeurs différents et des systèmes d'exploitation implémentés par les différentes techniques présentés plus haut.
Concernant la validation des systèmes, multi-processeurs, nous explorons de nouvelles modèles de simulation permettant une validation rapide et précise de ces systèmes. Nous étudions les modèles de simulation de haut niveau pour les parties logiciels dépendants du matériel (hardware dependent software) pour la simulation native du logiciel embarqué.

Nous évaluons nos approches à l'aide des applications multi-média (ex. MPEG4, DivX).

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon les grandes priorités suivantes: la conception, la réalisation et le test des circuits intégrés numériques, analogiques, mixtes et à fréquences radio; la conception des systèmes pour l'acquisition et le traitement de signal et d'image, l'assemblage et l'encapsulation de dispositifs électroniques; le prototypage rapide se servant de circuits intégrés programmables et de systèmes reconfigurables.

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels soient la réalisation de modules et de systèmes complets dédiés à des applications industrielles variées tel que les télécommunications, et la mise en œuvre de dispositifs médicaux servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions, plus particulièrement des microstimulateurs et capteurs sensoriels implantables et non-implantables et des systèmes optiques et ultrasoniques portables.

Nous nous intéressons aux trois catégories de convertisseurs analogique à numérique (ADC): rapide, à haute précision et à très basses alimentation et consommation. Nous proposons des filtres reconfigurables et à bande passante élevée, des préamplificateurs à très faible niveau de bruit et à large bande passante, des amplificateurs variés programmables, des régulateurs de tension, des PLL (Phase-Looked Loop) à grande plage d'opération, des FLL (Frequency-Looked Loop) à réponse très rapide. Aussi, des nombreux autres circuits intégrés mixtes font l'objet de nos travaux de recherche dans le cadre des applications médicales : capteurs et microstimulateurs, conversion optique – électrique, ultrasons, microélectrodes, techniques de mesures intégrés, etc. Ajoutons que nous menons des travaux dans le domaine de communications sans fil, plus spécifiquement nous travaillons à la mise au point de systèmes complets, soient des mélangeurs, des MODEM, des ADC des amplificateurs de puissance avec techniques de linéarisation dédiées, etc.

Les systèmes dédiés à des applications médicales doivent être performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. La plupart de ces applications pluridisciplinaires regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités connexes en sciences et génie. Ceci implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc. Nous nous intéressons présentement à mettre en oeuvre un bon nombre de ces systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la création d'une vision acceptable chez les non-voyants, un dispositif capteur de signaux neuronaux dans le but de mesurer le volume d'urine dans la vessie et de commander le mouvement des membres artificiels remplaçant des membres amputés. Nous prévoyons apporter des solutions aux dysfonctions dans le domaine de la respiration (apnée) chez les nourrissants et chez les adultes, de l'énurésie nocturne, etc. À titre d'exemple, nous proposons un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons. Nous poursuivons nos travaux sur les techniques de télémétrie pour la mesure de divers paramètres biologiques. Nous ferons des travaux dans le domaine de laboratoire sur puce pour mettre au point des outils de diagnostique.

Titulaire d'une Chaire de recherche du Canada sur les dispositifs médicaux intelligents, le professeur Sawan est co-fondateur de l'IFESS (International Functional Electrical Stimulation Society), Fellow de l'IEEE, Fellow de l'Académie Canadienne du génie, et membre de plusieurs comités d'organisation et de programme de conférences nationales et internationales. Fondateur de la conférence internationale IEEE-NEWCAS, fondateur du Laboratoire de neurotechnologies (PolyStim) et directeur du regroupement stratégique en microélectronique du Québec (ReSMiQ).

Pour plus de détails sur les différents travaux cités ci-dessus, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport et à consulter notre site web au http://www.polystim.ca

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées au GRM durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Achigui, Hervé	M.Sc.A.	M. Sawan	C. Fayomi
Amezzane, Ilham	M.Sc.A.	M. Sawan	
Amiri, Amir Mohammad	M.Sc.A.	A. Khouas	
André, Walder	Ph.D..	S. Martel	
Auclair, Gérard	M.Sc.A.	M. Sawan	
Ayoub, Amer Élias	M.Sc.A.	M. Sawan	
Benamrane, Eliasse	M.Sc.A.	M. Meunier	Y. Savaria
Bendali, Abdelhalim	Ph.D.	Y. Audet	C. Akyel
Binet, Vincent	M.Sc.A.	M. Meunier	Y. Savaria
Bouendeu, Emmanuel	Ph.D.	Y. Audet	
Boussaa, Mohamed	M.Sc.A.	Y. Audet	
Bui, Hung Tien	Ph.D.	Y. Savaria	
Cantin, Marc-André	M.Sc.A.	Y. Savaria	Y. Blaquière
Castonguay, Ami	M.Sc.A.	Y. Savaria	
Catudal, Serge	M.Sc.A.	Y. Savaria	
Chebli, Robert	Ph.D.	M. Sawan	
Chevalier, Jérôme	M.Sc.A.	G. Bois	M. Aboulhamid
Chouchane, Tahar	M.Sc.A.	M. Sawan	
Chureau, Alexandre	M.Sc.A.	Y. Savaria	M. Aboulhamid
Coulombe, Jonathan	Ph.D.	M. Sawan	
Dang, Ding Hung	M.Sc.A.	M. Sawan	Y. Savaria
Danneville, Éric	M.Sc.A.	J.-J. Brault	
Deca, Radu	Ph.D.	O. Cherkaoui	Y. Savaria
Dejmouai, Abdelouahab	Ph.D.	M. Sawan	
Deng, Shihong	Ph.D.	M. Sawan	
Désilets, Tommy	M.Sc.A.	M. Sawan	
Deslauriers, François	M.Sc.A.	G. Bois	Y. Savaria
Doljanu, Alexandra Delia	M.Sc.A.	M. Sawan	
DuMortier, Cyprien	M.Sc.A.	M. Sawan	
Dungen, Jeffrey	M.Sc.A.	J.-J. Brault	
Dupire, Thierry	M.Sc.A.	M. Sawan	
Duval, Olivier	M.Sc.A.	Y. Savaria	
El Sankary, Kamal	Ph.D.	M. Sawan	
Epassa Habib, D. Gabriel	M.Sc.A.	F. Boyer	Y. Savaria
Faucher, Corentin	M.Sc.A.	J.-J. Brault	
Filion, Luc	Ph.D.	G. Bois	
Fortin, Marc-Antoine	M.Sc.A.	S. Martel	
Fournier, Pierre-Alexandre	M.Sc.A.	J.-J. Brault	
Fouzar, Youcef	Ph.D.	M. Sawan	Y. Savaria
Genest, Pier-Olivier	M.Sc.A.	J.-J. Brault	
Ghafar-Zadeh, Ebrahim	Ph.D.	M. Sawan	Therriault
Ghattas, Nader	M.Sc.A.	Y. Savaria	
Gheorghe, Luiza	Ph.D.	G. Nicolescu	
Girodias, Bruno	Ph.D.	G. Nicolescu	M. Aboulhamid
Gorse, Nicolas	Ph.D.	M.Aboulhamid	Y. Savaria
Gosselin, Benoit	Ph.D.	M. Sawan	

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Grou-Szabo, Robert	M.Sc.A.	Y. Savaria	G. Nicolescu
Hajj-Hassan Mohamad	M.Sc.A.	M. Sawan	Y.-A. Peter
Hasan, Syed, Rafay	Ph.D.	M. Nekili	Y. Savaria
Hashemi, Aghcheh Body	Ph.D.	M. Sawan	Y. Savaria
Hu, Yamu	Ph.D..	M. Sawan	
Huang, Zhengrong	Ph.D.	Y. Savaria	M. Sawan
Hubin, Mortimer	M.Sc.A.	G. Bois	R. Roy
Ibrahim, Yasser Montasser	M.Sc.A.	J.-J. Brault	
Laazari Yassir	M.Sc.A.	M. Sawan	
Lafrance, Louis-Pierre	M.Sc.A.	Y. Savaria	
Landry, Alexandre	M.Sc.A.	M. Nekili	Y. Savaria
Larab, Abdelzaiz	M.Sc.A.	A. Khouas	
Lavigueur, Bruno	M.Sc.A.	G. Bois	M. Aboulhamid
Layachi, Mohamed	M.Sc.A.	Y. Savaria	A. Rochefort
Lebel, Éric	M.Sc.A.	M. Sawan	
Lesbros, Guillaume	M.Sc.A.	M. Sawan	
Lévesque, Philippe	Ph.D.	M. Sawan	
Mahoney, Patrick	M.Sc.A.	G. Bois	Y. Savaria
Mahrez, Omar	M.Sc.A.	O. Cherkaoui	Y. Savaria
Mahvash, Mohammadi, Hossein	Ph.D.	Y. Savaria	Langlois, P.
Marche, David	Ph.D.	Y. Savaria	Y. Gagnon
Mbaye, Mama Maria	M.Sc.A.	Y. Savaria	S. Pierre
Morin, Benoit	M.Sc.A.	G. Bois	R. Roy
Morin, Dominic	M.Sc.A.	Y. Savaria	M. Sawan
Morneau, Michel	M.Sc.A.	A. Khouas	
Moss, Laurent	M.Sc.A.	G. Bois	M. Aboulhamid
Mounaim, Faycal	M.Sc.A.	M. Sawan	
Nadeau, Patrick	M.Sc.A.	M. Sawan	
Naderi, Ali	Ph.D.	M. Sawan	Y. Savaria
Nguyen, Huu The Phiet	M.Sc.A.	Y. Savaria	
Normandin, Frédéric	M.Sc.A.	M. Sawan	
Ould Bachir, Tarek	M.Sc.A.	M. Sawan	
Paquet-Ferron, Dominique	M.Sc.A.	M. Sawan	
Peterson, Kevin	M.Sc.A.	Y. Savaria	
Pierron, Loïc	M.Sc.A.	G. Bois	
Pontikakis, Bill	Ph.D.	Y. Savaria	F.-R. Boyer
Provost, Ghislain	M.Sc.A.	M.Sawan	D. Haccoun
Provost, Simon	M.Sc.A.	G. Bois	
Renaud, Mathieu	M.Sc.A.	Y. Savaria	A. Khouas
Robert, Manuel	M.Sc.A.	Y. Savaria	C. Wang
Robert, Pierre-Yves	M.Sc.A.	M. Sawan	
Roy, Jean-François	M.Sc.A.	M. Sawan	
St-Pierre-Francis	M.Sc.A.	G. Bois	
Saheb, Jean-François	M.Sc.A.	M. Sawan	Y. Audet
Saleh, Abbas	M.Sc.A.	M. Sawan	
Salomon, Max-Élie	M.Sc.A.	A. Khouas	Y. Savaria
Samson, Patrick	M.Sc.A.	G. Bois	
Sehil, Mohamad	M.Sc.A.	M. Sawan	A. Khouas
Singh, Rahul	M.Sc.A.	Y. Savaria	Y. Audet
Tanguay, Bruno	M.Sc.A.	Y. Savaria	M. Sawan
Tanguay, Louis-François	Ph.D.	M. Sawan	
Tapp, Martin	M.Sc.A.	G. Nicolescu	

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Thibeault, Jean-François	M.Sc.A.	G. Bois	
Trabelsi, Abdelaziz	Ph.D.	F.R. Boyer	Y. Savaria
Tremblay, Martin	M.Sc.A.	Y. Savaria	
Truong, Olivier-Don	M.Sc.A.	S. Martel	
Vaillancourt-Veilleux, Nicolas	M.Sc.A.	M. Sawan	
Wild, Guillaume	M.Sc.A.	Y. Savaria	M. Meunier
Zhou, Bo	M.Sc.A.	A. Khouas	
Zong, Pu	M.Sc.A..	Y. Savaria	M. Sawan

Étudiants récemment inscrits

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Chénier, Félis	M.Sc.A.	M. Sawan	
Ghannoum, Roula	M.Sc.A.	M. Sawan	
Kowarzyk Moreno, Gilbert	M.Sc.A.	Y. Savaria	
Miled, Amine	M.Sc.A.	M. Sawan	
Robillard, Charles	M.Sc.A.	M. Sawan	

Titres des projets et diplômes en cours de chaque étudiant

Cette section contient une liste de projets avec le nom des personnes concernées. Plus de détails sur chacun des projets se trouvent dans les descriptions individuelles des étudiants chercheurs.

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
Achigui, H.	M.Sc.A.	Récepteur frontal pour système de dépistage des crises épileptiques par oxymétrie.
Amezzane, I,	M.Sc.A.	Technique non invasive de détection d'apnée du nourrisson.
Amiri, A.M.,	M.Sc.A.	Conception sur FPGA d'un convertisseur temps-numérique de haute résolution.
André. W.	Ph.D.	Conception de dispositifs microélectroniques basés sur l'intégration des bactéries magnétotactiques.
Auclair, G.	M.Sc.A.	Réalisation d'un implant électronique dédié à contrer l'apnée obstructive du sommeil.
Ayoub, A.E.	M.Sc.A.	Assemblage entre matrice d'électrodes micro-fabriquée et circuit intégré avec antenne pour communication par lien inductif pour enregistrement d'activités neurales.
Benamrane, E.	M.Sc.A.	Conception et réalisation d'un convertisseur numérique à analogique à source de courant de haute résolution trimmable.
Bendali, A.	Ph.D.	Conception de récepteurs photoniques CMOS pour interconnexions optiques opérant à très haute vitesse.
Binet, V.,	M.Sc.A.	Caractérisation et modélisation du bruit se propageant dans un substrat entre un agresseur de type numérique et des circuits analogiques sensibles.
Bouendeu, E.	Ph.D.	Étude, conception et caractérisation d'un capteur d'image CMOS à haute tension.
Boussaa, M.	M.Sc.A.	Distribution d'horloge par voie optique d'un circuit numérique.
Bui, H.T.,	Ph.D.	Techniques de circuits à haute-vitesse et leurs applications dans la conception de transcepteurs multi-gigahertz.
Cantin, M.-A.,	Ph.D.	Conversion matérielle automatique d'algorithmes de traitement de signal du format virgule flottante au format virgule fixe.
Castonguay,A.	M.Sc.A.	Architecture de communication d'un système embarqué sur plusieurs puces.
Catudal, S.	M.Sc.A.	Processus de validation orienté performance applicable au traitement vidéo.
Chebli, R.,	Ph.D.	Générateur de signaux haut-voltage intégré sur puce pour un système ultrasonique.
Chevalier, J.	M.Sc.A.	Partitionnement, vérification et raffinement de système logiciel/matériel conçu à haut niveau en SystemC.
Chouchane, T.	M.Sc.A.	Conception d'un mélangeur RF en technologie CMOS dédié aux applications WLAN.
Chureau, A.	M.Sc.A.	Modélisation et raffinement de systèmes sur puce en UML-RT pour une application de radio réalisée par logiciel
Coulombe, J.,	Ph.D.	Stimulateur visuel intra cortical implantable.
Dang, D. H.,	M.Sc.A.	Convertisseurs analogique à numérique de type parallèle à haut taux d'échantillonnage.
Danneville, E.,	M.Sc.A.	Estimation de la direction d'arrivée d'un faisceau sur un réseau d'antennes en présence d'une réflexion parasite à l'aide de réseaux de neurones MLP.
Deca, R.	Ph.D.	Solutions basées sur le modèle Méta-CLI pour la configuration et la validation des services réseau.
Dejmouai, A.	Ph.D.	Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables.
Désilets, T.	M.Sc.A.	Conception d'un système d'acquisition de la pression transdiaphragmatique et de l'électromyogramme du diaphragme intégré à un cathéter oesophagien.
Deslauriers, F.,	M.Sc.A.	Développement et analyse de réseaux intégrés sur puce dans un environnement logiciel/matériel multiprocesseurs.
Doljanu, A.D.	M.Sc.A.	Reconstruction 3D d'une scène par stéréoscopie active.
DuMortier, C.	M.Sc.A.	Étude et implémentation d'une transformée en ondelettes discrètes pour un

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
		dispositif implantable multicanal de traitement de signaux neuronaux.
Dungen, J.	M.Sc.A.	Un réseau de neurones biomimétique et polyvalent en VLSI.
Dupire, T.	M.Sc.A.	Transmetteur à faible puissance pour implant biomédical.
Duval, O.,	M.Sc.A.	Conception d'un dispositif microélectronique de test pour des composants nanoélectroniques.
Elsankary, K.	Ph.D.	Convertisseurs analogiques/numériques (CAN) dédiés à des systèmes de communications sans fil à très large bande.
Epassa H, G.,	M.Sc.A.	Conception d'un processeur à vitesse variable et synthèse d'horloge à cycles ajustables.
Faucher, C.	M.Sc.A.	Analyse des mélodies musicales à l'aide des mémoires associatives et des machines à échos.
Filion, L.	Ph.D.	Techniques avancées de partitionnement des systèmes en réseaux-sur-puces.
Fortin, M.A.,	M.Sc.A.	Alimentation intermittente d'un robot miniature et sans fil, synchronisé avec ses déplacements.
Fournier, P.A.,	M.Sc.A.	Techniques d'apprentissage machine appliquées à la modélisation du timbre d'un individu pour la synthèse de voix réaliste.
Fouzar, Y.	Ph.D.	Contributions aux systèmes à phase asservie rapides et à haute performance.
Genest, P.O.	M.Sc.A.	Élaboration d'un modèle graphique probabiliste pour l'analyse en temps réel de trajectoires 2-D bruitées.
Ghafar-Zadeh, E.,	Ph.D.	Laboratoire sur puce base sur le procédé CMOS.
Ghattas, N.	M.Sc.A.	Architecture qui teste et répare automatiquement les mémoires ayant une capacité ultra large.
Gheorghe, L.	Ph.D.	Spécification et validation des sytèmes hétérogènes.
Girodias, B.	Ph.D.	Spécification et validation de nouveaux systèmes multiprocesseurs sur puce pour des applications 4G
Gorse, N.,	Ph.D.	Méthodes formelles de haut niveau pour la conception de systèmes électroniques fiables.
Gosselin, B.,	Ph.D.	Circuits mixtes et microsystèmes implantables dédiés à la mesure sans fil de l'activitié neuronale du cortex.
Grou-Szabo, R.,	M.Sc.A.	Plate-forme d'intégration reconfigurable spécialisée pour applications vidéo.
Hajj Hassan, M.	M.Sc.A.	Balayeur microélectromécanique dédié aux systèmes échographiques.
Hasan, S.R.	Ph.D.	Méthodes de dédoublement d'arbres en H pour des SoC de haute performance basée sur une stratégie globalement asynchrone localement synchrone (GALS).
Hashemi, S.	Ph.D.	Amélioration de l'efficacité des chaînes de conversion de puissance dédiées aux implants biomédicaux intégrés.
Hu, Y.,	Ph.D.	Techniques CMOS sans-fil dédiées aux liens électromagnétiques de dispositifs médicaux implantables.
Hubin, M.,	M.Sc.A.	Conception et implémentation d'une architecture de traitement multiprocessus matériel pour circuits reconfigurables.
Ibrahim, Y.M.	M.Sc.A.	Implémentation d'un FPGA d'une simulation du système immunitaire basé sur un réseau d'automates cellulaires.
Laaziri, Y.,	M.Sc.A.	Modélisation et design d'une interface dédiée à la caractérisation du contact électrode-tissu nerveux.
Lafrance, L.-P.,	Ph.D.	Plateforme de mesures pour la caractérisation et le développement de système hybride Nano/CMOS.
Landry, A.,	M.Sc.A.	Conception d'un bus partagé AMBA AHB de 2 GHz pour les plateformes SOC.
Larab, A.,	M.Sc.A.	Nouveau wrapper P1500 incorporant une structure BIST pour le test des IP et des interconnexions d'un système sur puce.
Lavigueur, B.	M.Sc.A.	Exploration architecturale de processeurs réseaux utilisant un jeu d'instruction configurable à l'aide d'une plate-forme générique..
Layachi, M.	M.Sc.A.	Influence du couplage π-π dans le transport électrique à travers les assemblages moléculaires de type 1,4 dithiol benzène.
Lebel, E.,	M.Sc.A.	Circuits programmables numériquement réalisant des fonctions analogiques.

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
Lesbros, G.	M.Sc.A.	Étude et validation expérimentale de l'évolution du contact électrode-tissus nerveux.
Lévesque, P.	Ph.D.	Conception et validation d'un échographe intégré.
Mahoney, P.,	M.Sc.A.	Conception d'une architecture alternative à la CAM basée sur la technologie RAM.
Mahrez, O.	M.Sc.A.	Méthodologies d'automation de tests pour des routeurs configurables.
Mahvash, M.H.,	Ph.D..	Techniques d'entrelacement spatio-temporelles.
Marche, D.,	Ph.D.	Conception d'un convertisseur numérique à analogique (CNA) haute performance
Mbaye, M.M.	Ph.D..	Caractérisation et mise en œuvre de métriques orientées boucle pour l'exploration architecturale de plateforme SoC comportant des processeurs spécialisés.
Morin, B.	M.Sc.A.	Exploration d'une plateforme reconfigurable à mémoire distribuée.
Morin, D.	M.Sc.A.	Convertisseur analogique à numérique (CAN) pour des applications à la télévision haute définition.
Morneau, M.	M.Sc.A.	Méthodes d'accélération de la simulation de circuits intégrés analogiques utilisées dans des applications nécessitant des simulations multiples.
Moss, L.	M.Sc.A.	Implantation d'algorithmes de partitionnement fonctionnel sur une plate-forme de conception de systèmes embarqués.
Mounaim, F.,	M.Sc.A.	Neurostimulation du système urinaire et monitoring du volume de la vessie pour paraplégiques..
Nadeau, P.	M.Sc.A.	Mise en œuvre d'un générateur de stimuli haut-voltage dédié à un stimulateur électrique implantable.
Naderi, A.,	Ph.D.	Un convertisseur analogique à numérique (CAN) passe-bande sigma-delta dédié pour des applications SDR.
Nguyen,H.T.P.	M.Sc.A.	Conception d'un module de synchronisation pour l'intégration à l'échelle de la tranche de routeurs de communication.
Normandin, F.,	M.Sc.A.	Réseau de capteurs optiques pour mesures in-vivo en temps réel des variations de concentration d'oxygène dans les tissus.
Ould Bachir, T.	M.Sc.A.	Intégration d'un processeur d'images pour l'implant visuel.
Paquet-Ferron, D.	M.Sc.A.	Modélisation d'un nerf du système périphérique.
Peterson, K.,	M.Sc.A.	Environnement de vérification en temps réel basé sur des assertions pour les systèmes matériels.
Pierron, L.,	M.Sc.A.	Méthodologie de codesign pour l'exploration architecturale rapide de systèmes sur puce programmable.
Pontikakis, B.,	Ph.D.	La conception d'architectures et de circuits de faible puissance à délai variable.
Provost, G.,	M.Sc.A.	Exploration architecturale et implémentation matérielle du décodeur à seuil itératif de codes convolutionnels doublement orthogonaux.
Provost, S.,	M.Sc.A.	Exploration architecturale de processeurs configurables utilisés dans une plateforme multi-processeurs réalisant de l'encodage MPEG4.
Renaud, M.	M.Sc.A.	Détecteurs de phase linéaires de précision à usage multiple.
Robert, M,	M.Sc.A.	Étude des convertisseurs analogique à numérique en virgule flottante: performance théorique.
Robert, P.-Y.,	M.Sc.A.	Algorithme de classification de signaux pour un système d'acquisition de signaux corticaux.
Roy, J.-F.,	M.Sc.A.	Modélisation et conception d'un contrôleur numérique avec compression dédié à l'implantation d'un système d'acquisition faibles signaux: électroneuro-gramme (ENG).
St-Pierre, F	M.Sc.A.	Implémentation matérielle sur RFPGA et analyse d'un réseau sur puce dans un environnement matériel multiprocesseur.
Saheb, J.-F.,	M.Sc.A.	Système électronique de commande d'activateurs MEMS dédiés à une micropompe à usages biomédicaux..

Nom de l'étudiant	***Diplôme en cours***	***Le titre de son projet***
Saleh, A.	M.Sc.A.	Nouvelle méthode pour estimer le volume de la vessie par le biais de leurs voies neuronales.
Salomon, M.-E.	M.Sc.A.	Proposition, modélisatin et validation expérimentale d'un synthétiseur de fréquence à très faible gigue.
Samson, P.	M.Sc.A.	Abstraction des communications dans une stratégie de co-design logiciel/matériel en vue du raffinement sur une plateforme (SoC) multiprocesseur hétérogène.
Sehil, M.,	M.Sc.A.	Mise en œuvre de bobines intégrées dédiées aux liens inductifs nécessaires aux dispositifs médicaux.
Singh, R.	M.Sc.A.	Conception de circuits analogiques de précision utilisant des résistances diffusées par laser.
Tanguay, B.	M.Sc.A.	Chaîne de traitement numérique basée sur des processeurs configurables pour la radio reconfigurable par logiciel (SDR).
Tanguay, L.-F.,	Ph.D.	Réseau sans-fil de capteurs intégrés implantables pour la surveillance des articulations arthritiques.
Tapp, M.	M.Sc.A.	Une approche générique à l'interopérabilité des environnements de simulations distribués par génération de code dynamique.
Thibeault, J.-F.,	M.Sc.A.	Exploration de techniques de modélisation logicielle en avionique.
Trabelsi, A.	Ph.D.	Correction de l'audition par traitement de la parole dans des prothèses auditives numériques.
Truong, O.D.	M.Sc.A.	Fabrication et intégration de micromoteurs électrostatiques (MEMS) pour un microrobot: Le WalkingDie.
Vaillancourt, Veilleux, N.	M.Sc.A.	Modélisation et caractérisation d'une architecture générique de systèmes ultrasoniques portables.
Wild, G.,	M.Sc.A.	Mesure de l'effet de l'injection de charges par laser sur un circuit oscillant voisin.
Zhou, B.	M.Sc.A.	Caractérisation et mesure des effets des fluctuations de fabrication sur les délais de propagation dans les cellules de chaînes à délai.
Zong, Pu	M.Sc.A.	Analyse des processeurs configurables dans le contexte de l'implantation d'un estimateur de canal basé sur l'algorithme RLS.

Description détaillée des projets d'étudiants

ACHIGUI FACPONG , Hervé **DIPLÔME: M.Sc.A.**

TITRE:

Récepteur frontal pour système de dépistage des crises épileptiques par oxymétrie.

RÉSUMÉ:

Le présent projet vise à étudier la faisabilité de nouvelles techniques de conception qui permettraient la réalisation des circuits analogiques à très basse tension d'alimentation afin de les appliquer à la construction d'un système sans fil de dépistage des signaux précurseurs des crises épileptiques. Nous avons étudié les contraintes inhérentes aux systèmes de tomographie optiques, puis examiné la manière d'optimiser les modules analogiques afin de construire un dispositif qui fait le traitement en continu des signaux lumineux émergent du cortex. L'accent a été mis sur des solutions matérielles qui ne requièrent pas de modification du procédé de fabrication.

PROBLÉMATIQUE:

L'épilepsie est généralement définie comme une affection neurologique caractérisée par une activation brutale des neurones, des attaques récu4rrentes sensorielles ou des défauts de fonctionnement psychique, qui peut ou ne pas s'accompagner d'une perte de conscience et/ou des convulsions. Dans les instants précédant chaque crise épileptique, le corps humain consomme une quantité remarquable d'énergie pour contenir la crise, on observe alors une très forte augmentation de la consommation d'oxygène dans le cerveau humain. Une mesure en continu des variations de la concentration d'oxygène dans les tissus cérébraux nous permettrait d'identifier de tels phénomènes. L'utilisation de signaux ayant des longueurs d'onde variant entre 600 nm et 950 nm, nous permet de mesurer les variations des concentrations d'oxygène dans les tissus cérébraux à des profondeurs pouvant atteindre jusqu'à 3.5 cm.

MÉTHODOLOGIE:

La démarche méthodologique que nous avons choisie pour atteindre nos objectifs est la suivante:

- Effectuer une revue des techniques de conception des circuits analogiques à basse alimentation et /ou faible puissance;
- Explorer les limites de chacune de ces techniques, qui sont imposées d'une part par la restriction de faible alimentation, et d'autre part la faible consommation d'énergie;
- Développer une technique qui nous permettrait d'obtenir le meilleur compromis vis-à-vis des performances recherchées pour un système sans fil de dépistage des signaux précurseurs des crises épileptiques, ainsi que des limites potentielles.

RÉSULTATS:

Nous présentons une technique innovatrice qui nous permet de construire des circuits analogiques capables de fonctionner avec de très faibles tensions d'alimentation. Les circuits analogiques ainsi réalisés offrent l'avantage d'avoir une grande plage dynamique d'entrée, un niveau de bruit d'entrée très faible et finalement une consommation d'énergie quasiment nulle.

Cette nouvelle méthodologie sera utilisée pour construire les éléments du module analogique du récepteur frontal qui fait le traitement en continu des signaux, permettant au récepteur frontal d'avoir une immunité accrue aux bruits et artéfacts.

AMEZZANE, Ilham **DIPLÔME: M.Sc.A.**

TITRE :

Technique non invasive de détection d'apnée du nourrisson.

RÉSUMÉ :

L'objectif de ce projet est la réalisation d'un système non invasif de surveillance à domicile des apnées du nourrisson qui surviennent souvent durant le sommeil et qui peuvent entraîner le décès si l'entourage (parents ou infirmière) n'y est pas prévenu par des alarmes. Une apnée correspond à une interruption de la respiration de plus de 10 secondes. Celle-ci peut être obstructive, ce qui correspond à une poursuite des mouvements respiratoires, centrale avec une interruption complète des mouvements thoraciques et abdominaux ou mixtes (centrale puis obstructive). La survenue de plus de 5 apnées par heure de sommeil définit le Syndrome d'Apnées du Sommeil (SAS).

PROBLÉMATIQUE :

L'un des principaux problèmes associés à la surveillance des apnées du sommeil est dû au fait que toutes les techniques existantes et qui sont relativement fiables sont malheureusement invasives (masque naso-facial, électrodes d'impédance thoracique, plethysmographie inductive) ce qui par conséquent entraîne d'une part un inconfort et une limitation du mouvement pendant le sommeil et d'autre part une sensibilité aux artefacts de mouvement qui se traduisent souvent par de fausses alarmes (positives ou négatives). Nous nous proposons donc de réaliser un système de surveillance sans contact avec le bébé et qui est basé sur la détection du volume respiratoire, qui est le paramètre significatif de la mécanique ventilatoire, au lieu du mouvement thoracique.

MÉTHODOLOGIE :

Pour répondre aux objectifs fixés, nous envisageons de modéliser un dispositif qui comprend une enceinte où sera placée le bébé, dont le volume doit être déterminé de façon à ce que le capteur qui sera utilisé pour la détection des variations de pression soit suffisamment sensible, et dont les conditions : air, température et humidité sont contrôlables.

RÉSULTATS :

Les simulations du modèle bidimensionnel de l'écoulement de l'air, de la température, du transport de CO_2 à l'intérieur de l'enceinte ont été effectuées.

AMIRI, Amir Mohammad **DIPLÔME: M.Sc.A.**

TITRE:
Conception sur FPGA d'un convertisseur temps-numérique de haute résolution.

RÉSUMÉ:
Un convertisseur temps-numérique ou TDC (Time to Digital Converter), mesure la distance dans le temps entre deux impulsions et convertit cette distance en un mot binaire numérique pour fin de traitement. Considérant l'importance des circuits TDC à haute résolution dans beaucoup d'applications scientifiques et d'ingénierie, et la flexibilité et grande capacité des circuits FPGA (Field Programmable Gate Array), ce projet de recherche vise à concevoir sur FPGA un circuit TDC de haute résolution.
Les principales mesures de performance d'un TDC incluent la résolution du temps de mesure, la précision de la mesure, le délai minimum entre deux événements successifs, la gamme dynamique (intervalle maximale de mesure), le temps de conversion, le temps de conversion, le temps mort et la capacité de mesure de plusieurs impulsions successives. L'architecture de TDC proposée, en plus de sa portabilité, vise à améliorer la résolution de temps et à minimiser le temps mort et le délai minimum entre deux événements successifs.

PROBLÉMATIQUE:
De nombreuses applications, tant en science qu'en ingénierie exigent la mesure précise d'intervalles de temps. Ces mesures sont largement utilisées dans des applications telles que la mesure du temps de vol pour l'identification de particules, la détection du temps de vie de particules, le calcul de la gamme dynamique d'un laser, les instruments de mesure tels que les oscilloscopes numériques et les analyseurs logiques et la mesure sur puce de la gigue dans un signal. Les premiers circuits TDC étaient basés sur des circuits analogiques, mais des approches numériques ont été suggérés au cours des deux dernières décennies ce en raison de la simplicité de la conception et d'une faible sensibilité à la température ambiante et aux perturbations tel que le bruit externe.
Avec les techniques TDC, un intervalle de temps peut être mesuré à l'aide d'un calcul grossier effectué par un compteur, avec une résolution limitée à la période d'horloge, et par un calcul précis faisant appel à des méthodes d'interpolation de temps qui permettent de diviser la période d'horloge de référence en petits incréments égaux. L'utilisation des lignes à délai pour effectuer l'interpolation du temps est très répandue dans les applications où la numérisation à des résolutions de l'ordre des centièmes de nanosecondes est requise. Cependant, la faiblesse de cette technique réside dans le fait que le temps mort du circuit dépend linéairement de l'intervalle maximal mesuré. Par conséquent, le temps mort associé à cette technique demeure relativement élevé.

MÉTHODOLOGIE:
Comme le temps mort associé à un interpolateur de temps est proportionnel à l'intervalle maximal mesuré, une minimisation de ce dernier est possible si l'interpolation est faite en deux étapes en utilisant deux différents pas de mesure: un élevé et l'autre petit. Dans ce cas, on divise l'intervalle concerné en N étages et chaque étage en M sous-étages. Pour un intervalle de temps supérieur aux M sous-étages, le temps mort associé est éliminé si on interpole l'intervalle concerné en utilisant les pas élevés.

La structure de TDC proposée utilise une matrice de retards permettant de réduire le temps de mesure en sautant des lignes à délai selon la longueur de l'intervalle évalué. Ainsi, cette topologie nous permet de mesurer plusieurs impulsions successives pour un intervalle de temps donné. Afin d'augmenter la gamme dynamique du circuit à $2^{\eta} \times T_{ref}$ un compteur de n-bit est aussi utilisé. De plus, les résultats de mesure sont calibrés afin d'améliorer la précision de mesure.

RÉSULTATS:
Un prototype du circuit est en cours d'implémentation pour une première évaluation des performances du circuit. La logique de contrôle et l'enregistrement temporaire des données sont implémentés au moyen de machines à états dt d'une FIFO, respectivement. La détection de plusieurs impulsions séquentielles a été améliorée grâce à une méthode de Back-Resetting pour les lignes précédentes. La lecture des événements est affichée sur un afficheur LCD externe. Les résultats de simulation préliminaires indiquent l'importance du placement manuel de la logique sur les blocs logiques du FPGA afin de contrôler les délais logiques et de routage des composants de cellules de retard.

ANDRÉ, Walder **DIPLÔME: Ph.D.**

TITRE:

Conception de dispositifs microélectroniques basés sur l'intégration des bactéries magnétotactiques.

RÉSUMÉ:

Le but de ce projet est d'étudier les caractéristiques propres aux bactéries magnétotactiques censées intégrer les microsystèmes, c'est-à-dire, des systèmes hybrides et autonomes. Dans ce travail, nous proposons d'abord une architecture capable d'orienter les bactéries magnéto tactiques selon n'importe quelle direction. Nous montrons que celles-ci peuvent s'acquitter de tâches diverses après assimilation de commandes envoyées par un ordinateur central. En effet, elles peuvent accomplir le balayage de surface, l'auto-assemblage (self-assembly) et des analyses liées au domaine non destructif de matériel magnétique.

PROBLÉMATIQUE:

Dans le cadre de ce travail, nous tentons de construire un système utilisant l'énergie des bactéries magnéto tactiques en vue d'exécuter des tâches diverses. Notre équipe dépend des laboratoires de culture de ces bactéries, en l'occurrence de ceux des docteurs D. Schuler et A. Bazylinsky. Il faut noter que leur durée de vie constitue un facteur important étant donné que c'est leur énergie qui est employée. La durée de vie dépend toutefois d'une série de facteurs, notamment de la teneur en oxygène du milieu de culture.

Par ailleurs, l'intégration des bactéries dans un circuit peut s'avérer difficile, car les bactéries ne peuvent vivre que dans un médium spécial, à savoir un liquide dépourvu d'oxygène ou dosé avec un montant d'oxygène maintenu très bas.

MÉTHODOLOGIE:

Nous allons utiliser la méthodologie SoC pour intégrer sur une même et unique puce la grille de manipulation, les sources de courant et le circuit de contrôle, le tout ne dépassant pas les 2 mm de côté. Le contrôle est également assisté par ordinateur et effectué à l'aide d'un microscope optique pour le pistage des bactéries magnétotactiques. Notre design peut obtenir les valeurs minimales exactes pour le courant et le champ requis de façon à influencer positivement le comportement magnétotactique des bactéries.

Ensuite nous procédons à la conception d'un microsystème de quelques centaines de micromètres de côté et, ce, à l'aide des données obtenues avec le premier design de la matrice. Celui-ci est entièrement autonome et alimenté par des cellules photovoltaïques (pour le moment). Il utilise le moteur de flagelle des bactéries magnétotactiques comme système de propulsion. Mais, en regard de l'état de l'art en microélectronique, micro fabrication et microbiologie, ce degré de miniaturisation et d'intégration reste non atteint. Notre design permet d'orienter les bactéries et les dédier à des tâches, telles que le placement des nanoparticules et celui des micro-perles (beads).

RÉSULTATS:

Le test du circuit électronique est réalisé et nous avons obtenu les résultats escomptés, actuellement, nous faisons le test setup en vue d'intégrer les composantes biologiques dans le design.

AUCLAIR, Gérard **DIPLÔME: M.Sc.A.**

TITRE:

Réalisation d'un implant électronique dédié à contrer l'apnée obstructive du sommeil.

RÉSUMÉ:

Le syndrome de l'apnée obstructive du sommeil (SOAS) est l'affaissement répétitif des tissus pharyngaux, causant le blocage des voies aériennes supérieures et touche 4% des hommes et 2% des femmes en Amérique du Nord. Un des buts de la recherche est d'étudier, sur un modèle animal du SAOS développé par l'équipe du docteur Bellemare du CHUM, l'utilisation de la stimulation électrique sélective des voies aériennes supérieures dans le traitement du SOAS. L'autre est de vérifier la faisabilité d'un système de stimulation électrique basé sur un stimulateur simple avec un contrôleur externe où réside toute l'intelligence du système. Un stimulateur électrique à deux canaux ainsi qu'un contrôleur externe intelligent sont présentement développés.

PROBLÉMATIQUE:

Le traitement du SOAS le plus utilisé est la thérapie par pression positive constance mais le port d'un masque durant le sommeil fait que ce traitement est souvent mal toléré par les patients. Des études utilisant la stimulation électrique ont montré que ce type de traitement était efficace. La disponibilité d'un modèle animal permet de pousser ces études plus loin dans le but d'obtenir une stimulation plus optimale comme par exemple une stimulation synchrone au cycle respiratoire. Ceci implique des circuits plus intelligents donc plus complexes.

Or un implant doit être fiable et consommer peu, impliquant dans la majorité des cas l'utilisation de circuits dédiés. Pour conserver l'implant le plus simple possible, l'intelligence et la puissance de traitement peuvent être réalisés au niveau du contrôleur externe. Toutefois, ce type d'architecture est dépendant de la fiabilité et de la latence des liens de communication. Nous voulons étudier cette architecture dans le cadre de l'étude faite au CHUM de l'utilisation de la stimulation électrique dans le traitement du SOAS.

MÉTHODOLOGIE:

Pour répondre aux objectifs établis, nous envisageons :

- Concevoir et réaliser un stimulateur deux canaux;
- Concevoir et réaliser un contrôleur intelligent;
- Développer les algorithmes pour le traitement des signaux EMGs et du capteur de pression œsophagien dans le but de se synchroniser sur la phase inspiratoire du cycle respiratoire;
- Essai au CHUM du stimulateur sur le modèle animal du SAOS.

RÉSULTATS :

Nous avons entrepris la conception et la réalisatin du stimulateur et du contrôleur.

AYOUB, Amer Elias **DIPLÔME: M.Sc.A.**

TITRE:

Assemblage entre matrice d'électrodes micro-fabriquée et circuit intégré avec antenne pour communication par lien inductif pour enregistrement d'activités neurales.

RÉSUMÉ:

L'être humain est un sujet qui a toujours fasciné l'homme. De plus, avec l'avancement de la technologie, on essaie de mieux le comprendre pour palier à certains handicaps qu'il rencontre au cours de sa vie. La cécité est un handicap qui intéresse particulièrement car beaucoup de travail reste à faire pour en venir à bout. Le groupe Cortisens travaille sur l'implantation de senseurs d'activités électriques dans le cortex visuel pour permettre d'établir la fonctionnalité de cette région du cerveau.

PROBLÉMATIQUE:

Le corps humain est constitué de telle sorte que ses composantes, bien que flexible, ne permettent qu'un jeu limité dans les espaces disponibles. Les dimensions autour du cerveau sont très restreintes et nous limitent dans les méthodes d'intégration des circuits avec les matrices de microélectrodes ainsi que la juxtaposition de multiples matrices. De plus, lors de l'implantation d'un corps étranger dans le corps humain, une réaction plus ou moins néfaste peut se produire. Dans le cas d'un implant cortical, la présence d'une réaction est dangereuse vu la présence de plusieurs systèmes critiques. Finalement, le transfert de données et de puissance par câbles offre un endroit propice à l'infection et diminue la mobilité du patient.

MÉTHODOLOGIE:

En partant d'études déjà faites, telles que la méthode de fabrication de matrice d'électrodes développée par notre équipe, les électrodes vont être adaptées à l'acquisition de signaux. Par la suite, une exploration de différentes approches pour diminuer la taille équivalente du regroupement des différentes composantes électriques sera effectuée. Une étude sur l'intégration d'une antenne pour une communication sans fil sera aussi faite.

RÉSULTATS:

Nous avons entrepris l'analyse de méthode d'assemblage plausibles.

BENAMRANE, Iliasse **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un convertisseur numérique à analogique à source de courant de haute résolution trimmable.

RÉSUMÉ:

Ce projet consiste à concevoir et implémenter un convertisseur à source de courant numérique à analogique de haute résolution. Ce convertisseur doit être calibré d'une façon numérique. Le circuit de calibration utilisera un convertisseur analogique à numérique qui convertira la sortie analogique du DAC afin que la calibration se fasse dans le domaine numérique. Une mémoire sera utilisée par la suite pour enregistrer les erreurs. Un DAC de calibration sera aussi utilisé pour fournir un courant additionnel qui s'ajoutera au courant de sortie du DAC principal. On aura aussi recours à des résistances diffusées par laser pour calibrer davantage notre convertisseur.

PROBLÉMATIQUE:

La demande de convertisseur numérique analogique de haute résolution fonctionnant à haute vitesse continue d'augmenter d'une année à l'autre, en visant surtout le domaine des télécommunications, tels que les modems employant des xDSL et les réseaux de cellulaires. De telles applications exigent des CNAs capables de gérer les données à une vitesse de plusieurs de centaines de MS/s avec une résolution de l'ordre de 10 à 14 bits. Les CNAs ne doivent pas seulement avoir une bonne linéarité statique en effectuant les mesures classiques du INL et DNL, mais le plus important, c'est de maintenir leur linéarité à haute vitesse, plus précisément au taux de Nyquist. À haute vitesse, les mesures des performances dynamiques comme le SFDR (Spurious Free Dynamic Range) et le IM (Intermodulation Distortion) sont utilisés pour caractériser et comparer les performances du CNA.

Plusieurs architectures ont été utilisées pour concevoir des CNAs de haute résolution fonctionnant à haute vitesse avec des spécifications de performances mentionnées plus haut. En particulier, les CNAs à source de courant ont été examinés récemment dans la littérature comme des candidats intéressants pour rencontrer de telles spécifications. Ils ont aussi la particularité d'alimenter une charge résistive sans avoir besoin d'amplificateur de tension.

MÉTHODOLOGIE:

- État de l'art des différentes techniques de calibration de circuit analogique employées jusqu'à aujourd'hui;
- Trouver une nouvelle façon de faire la calibration en utilisant des résistances diffusées par laser;
- Concevoir un DAC de 3 bits afin de se familiariser avec l'outil de simulation Cadence;
- Concevoir un DAC de 14 bits, schématique et dessin de masque;
- Concevoir un circuit imprimé afin de tester le DAC;
- Utilisation d'oscilloscope afin d'effectuer les tests et les différentes mesures;
- Utilisation du laboratoire laser afin d'ajuster les résistances diffusées.

RÉSULTATS:

Des résultats de simulation d'un DAC de 8 bits ont été obtenus. Ces résultats incluent les performances statiques du DAC tel que l'INL (Non-Linéarité-Intégralle) et le DNL (Non-Linéarité Différentielle).

BENDALI, Abdelhalim **DIPLÔME: Ph.D.**

TITRE:

Conception de récepteurs photoniques CMOS pour interconnexions optiques opérant à très haute vitesse.

RÉSUMÉ:

Dans ce projet, nous proposons d'utiliser le procédé CMOS standard pour la fabrication de détecteurs photoniques opérant à très haute fréquence. L'objectif visé par la technique proposée est d'améliorer les performances des systèmes numériques rapides, intégrées en technologie CMOS.

PROBLÉMATIQUE:

L'une des problématiques majeures pour la synthèse numérique à haute vitesse est le biais de synchronisation (BS), skew, qui est actuellement parmi les principaux facteurs limitatifs de la performance des systèmes intégrés synchrones. Une tendance récente et très peu explorée propose de remplacer les interconnexions métalliques par leurs équivalents optiques. Parmi les bénéfices de cette approche on peut citer : une plus large bande passante, une dégradation très faible du signal véhiculé, une immunité aux interférences électromagnétiques et une réduction notable du BS. Ce qui permet une synchronisation quasi parfaite du système avec une cadence de plusieurs dizaines de giga Hertz.

MÉTHODOLOGIE:

Afin d'émettre ou de recevoir de l'information sur l'interconnexion optique, des dispositifs électro-optiques sont utilisés. Un système expérimental d'émission et de réception optique sera développé afin d'étudier la génération des signaux électriques ultra-rapides (supérieurs à 1 Giga Hertz) produits par des photos détecteurs à semi-conducteurs CMOS basés sur de nouveaux concepts. Le système d'émission optique est principalement composé d'une source lumineuse à diode laser modulée à haute fréquence. Divers dispositifs photo détecteurs seront fabriqués en technologie CMOS 0.18µm et caractérisés à partir de cette source.

RÉSULTATS:

Nous avons conçu et fabriqué des photo détecteurs opérant à haute fréquence basés sur un nouveau concept de fonctionnement ainsi qu'un circuit intégré CMOS servant comme source de courant. Un système automatisé pour leur caractérisation électrique a été mis au point. Des résultats prometteurs ont été obtenus jusqu'à présent (les mesures continuent toujours) qui nous ont permis de soumettre quelques publications.

BINET, Vincent **DIPLÔME: Ph.D.**

TITRE:

Caractérisation et modélisation du bruit se propageant dans un substrat entre un agresseur de type numérique et des circuits analogiques sensibles.

RÉSUMÉ:

Ce projet consiste à développer et implémenter des structures de test permettant de mesurer précisément le bruit injecté dans le substrat par des agresseurs numériques, ainsi que d'utiliser des logiciels d'extraction et de modélisation du substrat afin de caractériser le couplage du bruit au substrat. Le but est de comparer les mesures expérimentales réalisées sur des chips tests avec celles obtenues en simulation et ainsi de prévoir et développer des structures permettant de réduire le couplage du bruit par le substrat.

PROBLÉMATIQUE:

L'intégration toujours plus grande de système sur un même chip (SOC) a amené l'industrie de la microélectronique à faire partager sur le même substrat des designs numériques et analogiques. Les dispositifs analogiques étant très sensibles demandent un niveau de bruit faible pour être performant et donc le partage de leur substrat avec des structures bruyantes peut provoquer le dysfonctionnement total du circuit sensible. Le nerf de la guerre est donc de pouvoir prévoir le bruit injecté dans le substrat et de caractériser un taux maximal d'injection acceptable pour lequel les performances sont maximales. L'intérêt est donc de pouvoir étudier l'efficacité des protections au niveau du design sans avoir à supporter les coûts de fabrication.

MÉTHODOLOGIE:

La première phase de ce projet a été de maîtriser les outils fournis par Cadence pour l'étude et l'extraction du substrat: SubstrateStorm, SeismIC. Ces logiciels nous ont permis d'obtenir des résultats quant au bruit injecté par un design numérique.

La deuxième phase est de concevoir des structures de test permettant de mesurer des potentiels de substrat de l'ordre du µV au mV. Ces structures à la fois très sensibles devront également amplifier des signaux sur de larges bandes de fréquence.

La troisième étape sera la réalisation de circuits intégrés comportant toutes ces structures (analogique de précision, numérique bruyante, capteur de bruit dans le substrat) puis les tests permettant de confirmer les simulations faites.

RÉSULTATS:

Des simulations comportant une partie numérique composée de plus de 10 000 portes dont la commutation est contrôlée par une horloge ont été réalisées et ont permis de valider l'efficacité du logiciel pour ce type de traitement et d'estimer le bruit se propageant dans le substrat.

Les circuits de test sont en cours de conception et leur fabrication est prévue prochainement.

BOUENDEU, EMMANUEL **DIPLÔME: Ph.D.**

TITRE:

Étude, conception et caractérisation d'un capteur d'image CMOS à haute tension.

RÉSUMÉ:

Les faiblesses des capteurs d'images CMOS actuelles se résument en terme de faible facteur de remplissage, plage dynamique réduite, courant d'obscurité élevé et niveau de bruit considérable au regard des capteurs d'images CCD qui constituent la référence pour les applications de ponte. Avec la venue des technologies CMOS à haute tension, il serait désormais possible d'améliorer certains paramètres clés des capteurs d'images CMOS.

PROBLÉMATIQUE:

La photographie numérique est un secteur en plein essor où la demande d'images numériques de qualité ne cesse d'augmenter. Cependant, les limitations des caméras numériques actuelles ne permettent pas de rivaliser en qualité d'image avec la photographie à pellicule photosensible conventionnelle. Sauf, dans certains domaines où des appareils très coûteux, conçus à base de capteur CCD, réussissent à atteindre des standards photographiques semblables à ceux obtenus avec des caméras traditionnelles. Ce projet vise à exploiter les avantages de la technologie CMOS haut voltage pour obtenir une caméra dont les performances rejoignent celles obtenues avec les caméras CCD mais à moindre coût dû au fait que les procédés CMOS permettent d'intégrer le capteur et l'électronique de traitement sur une même puce.

MÉTHODOLOGIE:

Pour mener à bien cette recherche, les grandes lignes de la méthodologie se résument comme suit :

- Design et simulation de l'architecture de pixel photo-MOS;
- Design et simulation de l'architecture de pixel Photodiode;
- Métrologie des architectures, comparaison et discussion des résultats;
- Problématique de l'architecture à grand format.

RÉSULTATS:

Un prototype d'architecture de pixel a été conçu et envoyé pour fabrication par l'intermédiaire de la Société Canadienne de Microélectronique. La puce est présentement sous test dans notre laboratoire.

BOUSSAA, Mohamed **DIPLÔME: M.Sc.A.**

TITRE:

Distribution d'horloge par voie optique d'un circuit numérique.

RÉSUMÉ:

Notre projet de recherche consiste à mettre au point une méthode de distribution de l'horloge dans un circuit numérique complexe, la méthode adoptée est la distribution par voie optique.

Le circuit est partagé en zone (dépendamment de la taille du circuit), chaque zone est menée d'une horloge locale dont la fréquence peut être nettement plus élevée (sans problème de skew ni jitter) à ce que l'on peut avoir avec une fréquence globale du circuit. Les horloges locales sont synchronisées par un rayon laser de faible fréquence distribué sur le chip, cela permet d'avoir une fréquence de référence stable à faible coût au niveau puissance dissipée

PROBLÉMATIQUE:

Le chip a été fabriqué par la CMC et reçu. Jusqu'à maintenant nous n'avons pas encore de résultats pratiques satisfaisants du fait que la fréquence de référence dépassant 300 MHz ne permet pas de bien verrouiller la boucle dues aux interférences, ce qui nous a obligé à refaire le bonding du dé sur un circuit CFQ120 permettant l'utilisation de banc de test et les accessoires de haute fréquence.

MÉTHODOLOGIE:

L'horloge locale est constituée d'une boucle de délia numérique (DLL) qui se verrouille sur le signal laser de référence, plus un multiplicateur de fréquence (multiplication par 4).

La boucle de délai a été conçue et simulée par cadence, les résultats de simulation nous permettent d'avoir des fréquences locales allant jusqu'à 4GHz avec un skew ne dépassant pas 40ns, à partir des fréquences de référence allant de 400 MHz à 900 MHz.

RÉSULTATS:

Comme il a été spécifié précédemment, les résultats obtenus jusqu'à maintenant ne sont pas satisfaisants, il faut remettre le dé sur un support d'un circuit CFQ 120 ou CFQ 80 pour utiliser le testeur HP de laboratoire.

BUI, Hung Tien **DIPLÔME: Ph.D.**

TITRE:

Techniques de circuits à haute-vitesse et leurs applications dans la conception de transcepteurs multi-gigahertz.

RÉSUMÉ :

Le but du projet est de trouver des manières de repousser les limites intrinsèques de la technologie CMOS. Pour atteindre des vitesses de plus en plus élevées, on a recours, entre autres, à des techniques inspirées de la technologie bipolaire et de la microélectronique à fréquences-radio. Nous proposons les techniques telles que le shunt-peaking, le active-peaking et de nouvelles architectures qui peuvent être utilisées pour augmenter la performance de certains circuits. De plus, nous avons proposé des algorithmes et des architectures qui peuvent fonctionner à des vitesses beaucoup plus élevées que les circuits actuels. Pour prouver les théories que nous proposons, il est prévu de concevoir des modules qui font partie d'un transcepteur de très haute vitesse.

PROBLÉMATIQUE :

Avec l'arrivée des standards tels que le OC-192 et le OC-768, il est important de pouvoir réaliser des circuits pouvant traiter les données qui arrivent à des vitesses pouvant aller jusqu'à 10 Gb/s (OC-192) et même 40 Gb/s (OC-768). Certaines technologies, telles que le GaAs et le SiGe, permettent la réalisation de ces circuits de façon plus aisée. Cependant, ces technologies consomment beaucoup de puissance et coûtent cher.

Dans le passé, la technologie CMOS n'était pas habituellement utilisée dans la conception de circuits de haute performance puisqu'elle était trop lente. Cependant, avec la réduction à l'échelle, nous sommes désormais capables d'atteindre des vitesses de quelques GHz en 0.18μm. Les chercheurs s'intéressent à la possibilité de réaliser des transcepteurs en CMOS, puisque cette technologie coûte moins cher, consomme moins de puissance et peut s'intégrer aux autres circuits CMOS sur une même puce.

Nous nous inspirons des techniques de la microélectronique à fréquences-radio pour proposer des approches et des méthodes de conception de circuits numériques plus rapides.

MÉTHODOLOGIE :

Pour atteindre nos objectifs, nous comptons procéder comme suit :

- Revue de littérature;
- Identifier les lacunes et proposer des idées à haut niveau;
- Valider les idées à haut niveau à l'aide d'outils tels que Matlab/Simulink;
- Proposer une architecture et développer les concepts à plus bas niveau;
- Simuler, dessins de masque et fabrication de puces.

RÉSULTATS :

- Une étude approfondie de l'état de l'art a été faite et une synthèse a été rédigée;
- Une puce comprenant un XOR symétrique a été conçue;
- Une puce comprenant un système de mesure et de calibration contre les variations de procédés et de température a été conçue;
- Une puce comprenant une boucle à verrouillage de fréquence a été conçue;
- 6 articles de conférence ont été acceptés et publiés.

CANTIN, Marc-André **DIPLÔME: Ph.D.**

TITRE:

Conversion matérielle automatique d'algorithmes de traitement de signal du format virgule flottante au format virgule fixe.

RÉSUMÉ:

La conversion d'un algorithme du format virgule flottante au format virgule fixe est une tâche fastidieuse et complexe. Un outil de conversion automatique d'un format à l'autre permettrait au concepteur d'accélérer le processus d'implantation matérielle d'un algorithme de traitement de signal.

PROBLÉMATIQUE:

Tandis que la majorité des algorithmes d'analyse et de traitement des signaux radars sont développés en virgule flottante, leur implantation requiert fréquemment des opérateurs à virgule fixe, afin de rencontrer les contraintes de coût et de performance. Dans le but de conserver les propriétés de l'algorithme original, d'éviter les erreurs de débordement ou la perte de précision, chaque opérande doit être représenté par un nombre de bits adéquat.

MÉTHODOLOGIE:

La tâche consiste à propager vers les entrées la tolérance d'erreur des sorties définies par l'usager, ce qui permettrait de minimiser à la fois le nombre de bits nécessaires pour représenter chaque opérande et la surface totale de l'implantation matérielle de l'algorithme. Également, un outil automatique qui convertit un programme à virgule flottante en un programme à virgule fixe, qui considère la contrainte matérielle et qui pourrait être étendu aux outils de conception VLSI, permettrait d'accélérer le processus d'analyse et d'implantation d'un algorithme.

RÉSULTATS:

Une nouvelle méthode qui détermine automatiquement la taille des chemins de données est présentée. Cette méthode est basée sur une nouvelle métrique qui grade toutes les combinaisons de taille des chemins de données vers la solution optimale. Cette gradation s'effectue selon les coûts d'implantation et selon plusieurs modèles d'erreurs et contraintes de précision spécifiés par le concepteur matériel. Une procédure de recherche qui maximise cette métrique, minimise l'écart entre les modèles représentés en format virgule fixe et virgule flottante et obtient une solution. Quatre nouvelles procédures de recherche sont proposées. Ces quartes procédures de recherche sont comparées à celles retrouvées dans la littérature qui ont été adaptées et implantées dans la méthode. La comparaison permet de sélectionner une procédure qui est capable de trouver une solution le plus rapidement possible, qui rencontre les contraintes de précision spécifiées par le concepteur et qui minimise les tailles des chemins de données. La méthode a subi une première modification afin d'optimiser les algorithmes à caractère itératif en déterminant le nombre de fois qu'une itération doit y être exécutée. Afin de rencontrer les critères de précision, la méthode étendue ajuste simultanément les tailles des chemins de données et le nombre de fois qu'une itération doit être effectuée avec l'objectif de minimiser les coûts d'implantation de l'algorithme. Finalement, la méthode a subi une seconde modification afin de déterminer la valeur optimale des paramètres contenus dans un algorithme. Cette détermination peut s'effectuer en même temps que la détermination de la taille des chemins de données et, s'il y a lieu, du nombre de fois qu'une itération doit être exécutée. Cette extension permet d'ajuster avec précision les valeurs des paramètres sous l'influence de la résolution finie et de déterminer automatiquement ces valeurs qui autrement sont souvent déterminées empiriquement.

CASTONGUAY, AMI **DIPLÔME: M.Sc.A**.

TITRE:

Architecture de communication d'un système embarqué sur plusieurs puces.

RÉSUMÉ:

Ce projet consiste à étudier et à développer une architecture de communication intégrant des échanges intra et inter puce, et pouvant être appliqué à une échelle système, tout en demeurant adaptée à une vaste gamme d'applications. Le système utilise des transferts de données par paquets, pour permettre une intégration transparente de la communication intra et inter puces. La communication inter puces est effectuée par des liens point à point de haute performance et du côté intra puce, diverses architectures existantes de réseaux embarqués (*Network on Chip* – Noc).

PROBLÉMATIQUE:

Avec l'accroissement constant de la capacité d'intégration en microélectronique, la recherche sur les réseaux embarqués prend de plus en plus d'importance. Ces réseaux permettent d'intégrer une grande quantité de composants sur un même substrat en éliminant la problématique des lignes de communication dédiées qui ont des délais de propagation importants. Il demeure toutefois souvent nécessaire de partager les tâches d'une application entre plusieurs puces. Il est donc important que les composants qui résident sur différents réseaux embarqués puissent communiquer entre eux de façon efficace, tout en gardant une communication intra puce efficace et souple.

MÉTHODOLOGIE:

Une première étape pour créer une telle architecture de communication à une échelle système est d'avoir accès à un lien inter puce performant tel que l'*Hyper Transport.* Un pont permettra ensuite de faire le lien entre *Hyper Transport* et un réseau embarqué.

RÉSULTATS:

Un tunnel *Hyper Transport* a été complété et vérifié. Un pont pour relier le tunnel à un réseau embarqué est en cours de développement.

CATUDAL, Serge **DIPLÔME: M.Sc.A**.

TITRE:

Processus de validation orienté performance applicable au traitement vidéo.

RÉSUMÉ:

L'objectif de ce projet consiste à développer une méthode afin de valider et de vérifier des modules de traitement vidéo. La problématique est donc d'étudier les méthodes de vérification formelle et fonctionnelle les plus adéquates pour ce type d'application. Il s'agira de plus de concevoir des bancs d'essai de haut niveau pour des algorithmes de traitement vidéo comprenant la génération de stimulus autonome, l'analyse de couverture fonctionnelle ainsi que des méthodes d'auto vérification. Il faudra aussi étudier les problèmes spécifiques de cette classe d'applications, soit les cas limites du traitement vidéo, et évaluer les métriques fonctionnelles adéquates pour assurer la complétion de la vérification du module.

PROBLÉMATIQUE:

Les circuits numériques deviennent de plus en plus complexes au fil des ans. Cela implique qu'ils nécessitent alors plus de temps de vérification. Le milieu de la microélectronique est très peu avancé en matière de techniques de vérification, contrairement au milieu informatique. De ce fait, il s'agit donc d'adapter le savoir faire de plusieurs années d'expérience du domaine de l'informatique au domaine de la microélectronique afin de rendre la vérification de circuits numériques plus efficace.

MÉTHODOLOGIE:

Les étapes suivantes devront être réalisées dans ce projet:

1. Implémenter le prototype d'un module de traitement vidéo;
   - Revue d'une littérature sur les métriques objectives de mesure de qualité d'image;
   - Développement d'un outil pour l'environnement de simulation de modules de traitement vidéo;
   - Implémenter en C/C++ un algorithme réducteur de bruit et raffiner ce dernier afin de l'implémenter en SystemC;
2. Élaboration d'une méthode systématique et automatique afin de valider l'implémentation du chemin de données d'un algorithme de traitement vidéo;
   - Développement d'une plate-forme de validation de modules de traitement vidéo
   - Développent d'une métrique de qualité vidéo permettant de valider l'implémentation d'un algorithme de traitement vidéo sans qu'un observateur humain soit présent;
3. Application de la méthode développée sur une autre classe d'application pour les modules de traitement vidéo, soit les algorithmes d'entrelacement.

RÉSULTATS:

Les étapes 1 et 2 énumérée ci-haut sont terminées et l'étape 3 est présentement en cours de réalisation.

CHEBLI, Robert **DIPLÔME: Ph.D.**

TITRE:

Générateur de signaux haut-voltage intégré sur puce pour un système ultrasonique.

RÉSUMÉ:

Nous proposons une nouvelle topologie permettant l'intégration de l'étage Émetteur conventionnel sur une puce de faible dimension. L'émetteur regroupe une interface de commande RF et une sonde électronique sans fil à balayage sectoriel. Ce type de balayage sera réalisé avec un réseau annulaire de cristaux. Cette technologie offre une haute résolution latérale par rapport à la profondeur. La sonde consiste en une pile d'alimentation, un convertisseur DC/DC (haute tension), un générateur d'impulsions de basse tension et un amplificateur de puissance utilisé pour exciter le cristal avec des impulsions de haute tension. La conception de ces blocs sera réalisée en utilisant la technologie 0.8µm CMOS/DMOS de haute tension fourni par DALSA Semiconductor.

PROBLÉMATIQUE:

Les progrès en microélectronique ont eu un impact significatif sur la miniaturisation de systèmes électroniques dédiés à des applications médicales et surtout en échographie. Les systèmes actuels sont encombrants, notre objectif est de proposer de nouvelles techniques pour réduire les dimensions de ces équipements et en particulier les étages d'émetteur qui sont conventionnellement réalisés sur circuits imprimés. À savoir que la basse consommation de puissance, le faible bruit et la meilleure qualité d'images sont parmi les défis de taille qui nécessitent d'innover à plusieurs niveaux de complexité. Aussi, plusieurs défis sont présents, soit la réalisation d'un convertisseur DC/DC totalement intégré de faible consommation de puissance et un temps de stabilisation inférieur à la période de la répétition d'une impulsion. Respectabilité des contraintes de conception et de fabrication de ces circuits de haute tension.

MÉTHODOLOGIE:

La conception et l'intégration du module Émetteur sur une puce nécessite les étapes suivantes:

- Étudier les méthodes d'optimisation et les topologies de circuits intégrés à faible bruit et consommation de puissance;
- Simulation et caractérisation des modules en utilisant le logiciel MATLAB;
- Conception, fabrication, validation et test.

RÉSULTATS:

La conception et la fabrication d'une nouvelle architecture d'un convertisseur DC/DC de tension de sortie supérieure à 200V, d'une nouvelle architecture d'un générateur d'impulsion et d'un amplificateur de puissance ont été réalisées et le test de ces blocs est en cours.

CHEVALIER, JÉRÔME **DIPLÔME: Ph.D.**

TITRE :
Partitionnement, vérification et raffinement de système logiciel/matériel conçu à haut niveau en SystemC.

RÉSUMÉ :
Le projet consiste à concevoir une méthodologie pour le partitionnement et à construire une plate-forme à haut niveau en SystemC. Cette plate-forme sera une représentation à haut niveau d'une architecture existant sur un FPGA Virtex II Pro. Elle permettra la simulation et l'estimation au niveau transactionnel des systèmes co-design logiciel/matériel avant leur implémentation sur cette puce.

PROBLÉMATIQUE :
L'utilisation combinée de processeurs d'usage général et de circuits spécialisés nécessitent des méthodologies de conception nouvelles. Ces méthodes et techniques doivent notamment permettre au concepteur du système d'en effectuer la spécification et la modélisation sans se soucier du découpage logiciel/matériel, tout en l'aidant à effectuer ce partitionnement par la suite. Le projet consiste à concevoir une méthodologie pour le partitionnement et à construire une plate-forme à haut niveau en SystemC. Cette plate-forme permettra la simulation et l'estimation au niveau transactionnel des systèmes co-design. Les résultats de ces simulations permettront la validation des systèmes et d'obtenir un partitionnement adéquat. Par la suite, le système partitionné doit être raffiné aussi bien au niveau du code interne à chaque module qu'au niveau des communications en ayant pour cible sa synthèse et son intégration sur un FPGA contenant déjà une architecture commerciale (processeur et bus).

MÉTHODOLOGIE :
La démarche consiste d'abord à effectuer une revue des méthodologies de spécification et de partitionnement existantes pour le niveau transactionnel. La majorité de ces méthodes sont dédiées exclusivement au matériel, mais elles constituent une bonne approche pour construire une méthodologie pour le co-design. Suite à ces lectures, nous allons créer notre propre méthodologie. Elle doit permettre de construire et simuler une modélisation du système au niveau transactionnel. Le but étant de trouver le partitionnement idéal entre le logiciel et le matériel pour un système donné en simulant diverses configurations de ce système. Pour cela, notre méthodologie doit permettre le passage de module du logiciel au matériel et vice-versa sans avoir à y effectuer de changement.

Après avoir détaillé l'ensemble des contraintes à respecter sur le codage et la communication des modules, nous avons choisi d'implémenter cette méthodologie sous forme d'une plate-forme haut niveau en SystemC, utilisant un ISS avec un OS pour la partie logiciel et un bus pour la partie matériel. Cette architecture permettra d'obtenir une simulation réaliste du logiciel en fournissant les aspects interruption et exécution séquentiel pour les modules placés en logiciel. Pour la partie matérielle, nous retrouverons les notions d'exécution parallèle et de partage des communications.

Ensuite, une plate forme (et les modules de l'application) doit être raffinée en ayant pour cible son intégration sur un FPGA contenant déjà une architecture commerciale (processeur et bus). Les modules matériels seront remplacés par des IP en VHDL (ou en Verilog) fourni par Xilinx. L'ensemble du système sera alors reconstitué dans l'outil EDK pour être ensuite envoyé sur le FPGA Virtex II Pro.

RÉSULTATS :
La méthodologie de conception qui a été élaborée, comporte 3 niveaux de raffinement: de fonctionnel à transactionnel. La plate-forme de simulation en SystemC permettant d'effectuer les simulations à ces différents niveaux a été implémentée. Elle offre plusieurs types de simulation du logiciel (natif, ISS, etc.) et du matériel (transactionnel time) et permet leur-co-débogage. Le bus OPB du CoreConnect et le Micro Blaze ont été porté au niveau transactionnel. Le système d'exploitation uC a été porté sur le Power PC et le Microblaze. Des implantations à plus bas niveau de la méthodologie sur le FPGA sont également en cours. La méthodologie a également été modifiée afin de supporter le multiprocessing (MPSoC).

CHOUCHANE, Tahar **DIPLÔME: M.Sc.A.**

TITRE :

Conception d'un mélangeur RF en technologie CMOS dédié aux applications WLAN.

RÉSUMÉ :

Ce travail consiste en la conception d'un mélangeur RF intégré en technologie CMOS 0.18µm. Sa fonction consiste à convertir des fréquences à travers un processus non linéaire de mélange de signaux. Cependant, cette non linéarité associée aux interférences génèrent des distorsions et des effets parasites indésirables qui limitent les performances du système et dégradent le signal désiré.

PROBLÉMATIQUE :

Les dispositifs et les circuits en radio-fréquence sont souvent réalisés avec des technologies coûteuses tels que le GaAs ou la technologie bipolaire. Cependant, de nombreux efforts cherchent à réaliser les circuits en radio-fréquence avec des technologies à moindre coût. Le choix de la technologie CMOS est une alternative qui est particulièrement motivé par ses performances, son bas coût et sa compatibilité avec les circuits numériques. Cependant, pour atteindre cet objectif, les critères dans la conception changent et imposent de nouveaux défis et de nouvelles structures.

Le mélangeur constitue un module critique dans un système de communication sur lequel est reportée la plus grande contrainte de linéarité et de distorsion. Ainsi, un ensemble de difficultés découle du caractère d'interaction des signaux et de sa non linéarité. Comme le mélangeur est destiné à opérer à de hautes fréquences, ces effets sont beaucoup plus nuisibles et prononcés et ont un impact direct sur la performance de l'ensemble du système. Sa réalisation implique souvent de faire un compromis entre ses performances tel que le gain de conversion, la linéarité, le bruit ou encore la consommation.

En outre, la tendance de l'intégration et de faible tension d'opération est moins évidente en haute fréquence pour réaliser des performances acceptables. Donc, la conception de ce module RF représente un défi pour réaliser la future génération des systèmes de communication.

MÉTHODOLOGIE :

La méthodologie prévue pour réaliser ce travail est la suivante :

- Étude bibliographique et comparaison des travaux réalisés en RF et sur les systèmes de communication;
- Revue de différentes techniques de conception des mélangeurs RF en CMOS;
- Définition des spécifications et choix de l'application;
- Choix et étude de la structure afin de localiser les facteurs limitatifs;
- Conception de l'architecture proposée;
- Fabrication de la puce chez TSMC;
- Analyse et comparaison des résultats.

RÉSULTATS :

La structure d'un mélangeur RF a été conçue, simulé et fabriqué dans un procédé CMOS 0.18µm. Les simulations ont été effectuées sous Spectre RF et confirment la validation de la proposition. La puce fabriquée est en phase de test.

CHUREAU, Alexandre **DIPLÔME: M.Sc.A.**

TITRE :

odélisation et raffinement de systèmes sur puce en UML-RT pour une application de radio réalisée par logiciel.

RÉSUMÉ :

Ce projet consiste à construire un modèle de système sur puce en UML RT (Unified Modeling Language/Real Time) qui servira de base à une plate-forme de conception dédiée à une famille d'application: la radio réalisée par logiciel. Une méthodologie de raffinement itératif est proposée afin de transformer le modèle en une implantation.

PROBLÉMATIQUE :

La conception de systèmes sur puce exige une approche qui allie une vision système à une rigoureuse discipline de réutilisation. Une telle approche implique un mouvement bidirectionnel entre les niveaux d'abstraction, du plus abstrait au moins abstrait et vice-versa. Les outils de conception microélectroniques sont peu adaptés à la complexité de ces systèmes, limitant le mouvement entre les niveaux d'abstraction.

MÉTHODOLOGIE :

La conception basée sur l'interface répond aux exigences de conception de systèmes sur puce en encapsulant les détails d'implantation d'un module dans une coquille projetée à des niveaux d'abstraction supérieurs. Le UML temps réel est le véhicule idéal pour concrétiser cette approche. Deux modèles en UML-RT sont construits afin de créer des recoupements: un modèle d'un processeur vidéo et un modèle d'une radio réalisée par logiciel. Les résultats attendus doivent illustrer les avantages suivants de la méthodologie:

- Une meilleure réutilisation de modules;
- Une facilité de vérification accrue des modules et du système;
- La possibilité d'évaluer les performances du modèle en vue d'un partitionnement logiciel/matériel;
- La possibilité d'un raffinement itératif vers une implantation.

RÉSULTATS:

Un modèle exécutable de filtre complexe indépendant de toute plate-forme matérielle a été développé en UML-RT et C++. Le modèle est couplé à un environnement de vérification réaliste développé en Simulink, ce qui a permis la mise sur pied d'un prototype fonctionnel du système. L'exécution et le profilage de ce prototype ont permis d'identifier les tâches plus lentes du système afin de les diriger vers une implantation matérielle.

COULOMBE, Jonathan **DIPLÔME: Ph.D**.

TITRE:

Stimulateur visuel intra-cortical implantable.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser un système intégré implantable visant à stimuler le cortex cérébral de patients aveugles. Après avoir réalisé un tel dispositif de dimension et de complexité réduites, une attention particulière sera apportée à la consommation en puissance ainsi qu'à la sécurité du dispositif par l'intégration de modules de surveillance et de contrôle de la stimulation. Différents prototypes de fonctionnalité et de complexité croissantes seront conçus, réalisés et testés in-vitro et in-vivo.

PROBLÉMATIQUE:

La réalisation d'un implant cortical au nombre de canaux de stimulation élevé demandera de relever un bon nombre de défis. Entre autres, mentionnons l'intégration de différents modules de circuits intégrés analogiques et numériques, l'interface entre les circuits et une matrice d'électrodes de grande densité, ainsi que l'encapsulation compacte et biocompatible de l'ensemble.

Une fois ces éléments développés adéquatement, une emphase importante doit être mise sur l'optimisation des modules électroniques. En effet, afin de réaliser un système possédant un grand nombre de canaux de stimulation parallèles, la consommation en puissance doit être minimisée de façon substantiellement, par rapport à ce qui est généralement fait pour les neurostimulateurs actuels. Cependant, les techniques conventionnelles visant à réduire la consommation peuvent facilement entraîner des dommages permanents sur les tissus stimulés. Un système de monitoring des charges et tensions de sortie, de contrôle et de compensation devra donc être conçu afin d'assurer l'efficacité et la sécurité de la stimulation. Des techniques novatrices permettant d'effectuer ses tâches de façon énergétiquement efficace devront être développées.

MÉTHODOLOGIE:

Le projet se divise en trois phases distinctes. En un premier temps, l'objectif est de faire un implant comportant un nombre de sites de stimulation réduit, et ce, de manière à maîtriser les techniques élémentaires qui seront nécessaires à la réalisation d'un système complexe (fabrication, assemblage, encapsulation, etc.). L'implant comporte une multitude de modules de stimulation indépendants, contrôlés par un module central d'interface, assurant l'alimentation du système et la communication avec un contrôleur externe. Ensuite, on procèdera à l'optimisation du système au niveau électronique dans le but d'assurer l'efficacité et la sécurité du dispositif. Finalement, l'intégration des éléments développés sera réalisée. Les modules intégrés devront être testés *in-vivo* sur des rats, dans un premier temps, pour évoluer vers les primates, éventuellement.

RÉSULTATS:

Suite aux tests concluants du prototype *in-vitro*, un stimulateur sans fil complet, incluant une caméra, un logiciel d'analyse et un stimulateur portable, ont été conçus, fabriqués et vérifiés avec succès afin d'être testés *in-vivo* en partenariat avec un laboratoire de neuroscience. Les procédures chirurgicales ont été élaborées à partir d'échantillons de matrices de stimulation assemblées et encapsulées dans nos laboratoires et les tests électriquement fonctionnels seront conduits éminemment.

DANG, Hung **DIPLÔME: M.Sc.A.**

TITRE:

Convertisseur analogique à numérique de type parallèle à haut taux d'échantillonnage.

RÉSUMÉ:

L'objectif de ce projet est de réaliser un convertisseur analogique à numérique optimal de type Flash sous la technologie CMOSP18. Les points importants à considérer sont la précision, le taux d'échantillonnages, la consommation de puissance et la surface. Nous analysons les différentes méthodes existantes permettant de minimiser l'effet de tension de décalage qui affecte la linéarité du convertisseur. Nous nous concentrons aussi sur les techniques de décodage du code thermomètre au code binaire, permettant de minimiser l'occurrence d'erreurs.

PROBLÉMATIQUE:

Dans un cadre d'application radio configurable, le convertisseur doit rencontrer des spécifications minimales requises sur la précision et la bande passante: au moins 6-bits à un taux de un milliard d'échantillons par seconde ou supérieur.

L'état de l'art actuel propose l'architecture de types Flash pour atteindre de hauts taux d'échantillonnage. Sous la technologie CMOSP18, il est raisonnable de viser une précision de 6-bits pour des fréquences égales ou supérieures à un million d'échantillons par seconde. La technique dite Averaging permet de réduire l'erreur sur la tension de décalages due au défaut d'appariement entre les transistors. Toutefois, les simulations sur Cadence montrent qu'il est plus facile d'obtenir le juste compromis entre le décalage et la bande-passante lorsqu'on ne considère pas la technique Averaging

MÉTHODOLOGIE:

Nous débutons avec une étude intensive de la littérature concernant les états d'art existants. Nous analysons les architectures proposées et proposons des améliorations possibles. Nous simulons les modules de l'architecture pour en déterminer les limitations et nous terminons avec la création d'un prototype.

RÉSULTATS:

Les résultats de simulation démontrent la faisabilité des circuits MCML (MOS Current Mode Logic) avec une consommation assez faible et une fréquence d'échantillonnage de 1.25 GHz et par rapport à la technique d'interpolation. Un circuit intégré a été fabriqué mais il n'a pas été testé en raison d'une erreur de conception.

DANNEVILLE, Éric **DIPLÔME: Ph.D.**

TITRE:

Estimation de la direction d'arrivée d'un faisceau sur un réseau d'antennes en présence d'une réflexion parasite à l'aide de réseaux de neurones MLP.

RÉSUMÉ:

Il est nécessaire de connaître avec suffisamment de précision l'angle d'arrivée d'un faisceau sur un système dans un nombre varié d'applications, allant du radioguidage de véhicules à l'optimisation de réception d'une antenne satellite. Dans le premier cas, l'angle d'arrivée nous renseigne sur la position du véhicule dans l'espace par rapport à un émetteur générant le signal source. Dans l'autre, la connaissance de cet angle permet de maximiser la puissance à la réception, et donc d'augmenter la qualité de celle-ci. Dans les deux cas, le récepteur ne reçoit pas seulement un signal incident, mais plusieurs de différentes intensités, ce nombre dépendant de l'environnement dans lequel évolue le système. De nombreuses méthodes existent, souvent laborieuses et gourmandes en temps de calcul. Là réside l'avantage d'utiliser un réseau de neurones.

PROBLÉMATIQUE:

Cette étude est le prolongement de celle engagée par Michael Coudyser (M.Sc.A). Il avait validé l'emploi d'un réseau d'antennes composé de deux paires d'antennes dont les axes étaient orthogonaux pour déterminer l'angle d'arrivée d'un faisceau dans un cône d'ouverture 90°, et ce avec une précision angulaire de l'ordre du degré. Un réseau de neurones MLP était aussi employé pour réaliser cette estimation, en se basant sur les signaux de puissance issus d'un combineur placé en aval du réseau d'antennes. Les résultats des simulations, avec du bruit, sous Matlab, étaient concluants, ainsi que ceux issus de données expérimentales.

Ce système étant robuste au bruit, je m'intéresse plus particulièrement dans le cadre de mon projet de maîtrise à tester l'effet d'un signal supplémentaire, issu d'une réflexion du faisceau principal, sur l'erreur angulaire. Celle-ci est engendrée par une route dans le cadre d'une application de « tracking » automobile. L'objectif de ce projet consiste donc à déterminer le meilleur système possible, tant au niveau du réseau d'antennes que du réseau de neurones, du point de vue de la robustesse à une réflexion inconnue et potentiellement importante.

MÉTHODOLOGIE:

J'ai repris les signaux de puissance élaborés dans la maîtrise de Michael Coudyser. J'ai refait ses simulations et implémenté en plus sous Matlab l'effet d'une réflexion de notre signal sur une route. On peut dès lors choisir parmi les différentes structures de réseau d'antennes et en particulier déterminer le nombre optimal d'antennes, ainsi que la structure de réseaux de neurones la mieux adaptée en minimisant l'erreur angulaire moyenne. J'ai également validé la faisabilité d'un tel système en utilisant pour cela les données recueillies expérimentalement sur un réseau d'antennes réelles.

RÉSULTATS:

Le système optimal utilise un réseau de deux triplets d'antennes alignés selon deux axes orthogonaux. Selon le type d'entraînement de mon réseau de neurones, j'atteinds une précision angulaire expérimentale de 1 à 3 degrés dans le cône d'études de 90° d'ouverture.

DECA, Radu **DIPLÔME: Ph.D.**

TITRE:

Solutions basées sur le modèle Méta-CLI pour la configuration et la validation des services réseau.

RÉSUMÉ:

Ce projet de recherche vise le développement d'un modèle de gestion des configurations des services de réseau. Ce modèle, appelé le «Modèle Meta-CLI», est basé sur l'abstraction des systèmes d'exploitation qui utilisent la ligne de commande («command-line interfaces» – CLIs) pour la gestion des informations de configuration. Le projet vise aussi l'implémentation du modèle et la création des outils et technologies qui seront déployées sur les réseaux.

PROBLÉMATIQUE:

La configuration des services réseau à l'aide des moyens traditionnels, telles que les interfaces en mode ligne de commande (command-line interfaces – CLIs), les modèles et protocoles de gestion, tels que SNMP, CMIP, WBEM, doit faire face à de nouveaux défis causés par le développement impétueux des services réseau sur l'Internet.

Pour rendre les processus de configuration et de test plus rapides, plus efficaces et plus sécuritaires, il faut relever ces défis. Pour ce faire, il faut apporter des solutions qui permettront de:

- Élever le niveau d'abstraction de la représentation des configurations des services réseau et des opérations de configuration;
- Élargir la palette et l'expressivité d'opérations;
- Décrire les dépendances de configuration à l'aide des logiques formelles et les appliquer automatiquement aux opérations durant le processus de configuration;
- Capter les facteurs d'hétérogénéité des configurations des services et d'automatiser l'adaptation des configurations à ces facteurs
- Optimiser le processus de configuration et de validation à l'aide des méthodes de structuration convergente des opérations.

MÉTHODOLOGIE:

Le modèle de configuration «Méta-CLI» exprime les états de la configuration des services réseau sous forme arborescente et à l'aide des contraintes sémantiques validées par des requêtes. Pour optimiser le processus de validation, le modèle pourrait être développé pour permettre et garantir la convergence des opérations de configuration et de validation, basées sur le concept de composantes de configuration hiérarchiques et récursives. Également reliés aux états du modèle sont les aspects de l'hétérogénéité de l'environnement matériel et logiciel, qui ont été traités à l'aide d'une solution basée sur la configuration adaptée aux dépendances de l'environnement.

RÉSULTATS:

Le modèle de configuration a été implémenté et testé en à l'aide d'un outil dédié, appelé le «ValidMaker» qui consiste dans des modèles de configuration de services, des modèles de configuration des équipements de réseau et des règles de validations, écrites dans des langages de requêtes spécifiques. Les aspects de modélisation des états de configuration en tenant compte de l'hétérogénéité sont en cours d'implémentation et seront testés à l'aide de cet outil. Les aspects reliés à l'optimisation des opérations de configuration et de validation sont encore en développement. Ils ont été déjà testés au cours du développement à l'aide des méthodes de «model checking» et seront aussi évaluées quantitativement selon divers critères de performance (risques d'erreur, etc.) à l'aide de méthodes probabilistes.

DEJMOUAI, Abdelouhab **DIPLÔME: Ph.D.**

TITRE:

Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables.

RÉSUMÉ:

Dans le présent travail, nous proposons une nouvelle technique destinée à améliorer les performances d'un système transcutané de transfert d'énergie pour des systèmes électroniques implantables (SEI). Le système utilisé est basé sur un lien à couplage inductif est aussi bien exploité pour le transfert de l'énergie que pour la transmission bidirectionnelle de données. La technique proposée consiste en l'utilisation d'un contrôleur intégré permettant d'ajuster automatiquement les niveaux de tension d'entrée et de sortie du lien à couplage inductif. Ce contrôle automatique a pour objectif de maintenir le niveau d'énergie à transférer à l'implant à un niveau bien déterminé et de réaliser la modulation des signaux nécessaires à la transmission des données. En contrôlant le niveau d'énergie à transférer le circuit de contrôle permet aussi de minimiser la sensibilité du lien aux fluctuations de la tension d'alimentation et de l'amplificateur de puissance. Le circuit de contrôle permet aussi de réduire les pertes d'énergie résultant de l'opération de la modulation des signaux à transmettre.

PROBLÉMATIQUE:

Le recours aux systèmes électroniques implantables (SEI) a été depuis longtemps considéré comme une solution alternative pour la récupération de la fonctionnalité des organes humains paralysés. Cependant, l'alimentation de ces systèmes représente un handicap majeur dans leur design. Comme ces SEI sont destinés pour un fonctionnement à long terme, leur alimentation devrait être assurée de l'extérieur du corps. Ceci est indispensable afin d'éviter le recours aux batteries et aux opérations chirurgicales nécessaires à leur remplacement. Souvent le même lien (interface) de transfert d'énergie est aussi utilisé comme moyen de transmission de données. Donc, le développement d'une telle interface représente une étape cruciale dans la conception des SEI. C'est dans cet axe que nous menons des recherches pour concevoir des interfaces de transfert d'énergie et de transmission de données pour des systèmes électroniques implantables.

MÉTHODOLOGIE:

- Étude bibliographique détaillée des systèmes existants de transfert d'énergie;
- Étude théorique détaillée, simulation et caractérisation d'un lien à couplage inductif;
- Proposition d'une méthode pour améliorer les performances d'un système de transfert d'énergie et de transmission de données à base d'un lien à couplage inductif;
- Conception et intégration d'un contrôleur pour des systèmes de transfert magnétique d'énergie et de données.

RÉSULTATS:

Réalisation d'un contrôleur pour des systèmes de transfert magnétique d'énergie et de données qui sont dédiés aux systèmes électroniques implantables. Le contrôleur est intégré en technologie CMOS 0.18 µm et comprend principalement un nouveau modulateur de rapport-cyclique, une nouvelle boucle à verrouillage de fréquence et un nouveau démodulateur ASK.

DÉSILETS, Tommy **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un système d'acquisition de la pression transdiaphragmatique et de l'électromyogramme du diaphragme intégré à un cathéter œsophagien.

RÉSUMÉ:

Ce projet porte sur la conception d'un appareil de diagnostique médical réalisant l'acquisition simultanée de la pression transdiaphragmatique (Pdi) et de l'électromyogramme du diaphragme (EMGdi) en utilisant deux capteurs de pression micro fabriqués et un nouveau type d'électrode œsophagienne. Le traitement des signaux et leur numérisation seront effectués in situ et les données seront transmises sans fil jusqu'au système d'enregistrement grâce à un lien de type BlueTooth. Le système complet devra être intégré à un cathéter œsophagien ne dépassant pas 5mm de diamètre.

PROBLÉMATIQUE:

Afin de poser un diagnostic adéquat sur les dysfonctions du système respiratoire ou tout simplement d'en évaluer les performances physiques, un praticien a recours à plusieurs techniques dont la mesure de la Pdi et de l'EMGdi. La pression transdiaphragmatique permet de quantifier l'action mécanique du diaphragme tandis que l'EMGdi permet d'en évaluer l'activité électrique de telle sorte qu'en connaissance de ces paramètres, l'on peut établir la relation électromécanique du diaphragme et ainsi être en mesure de poser le bon diagnostic. La mesure de ces qualificatifs du système respiratoire se fait encore à l'heure actuelle par deux systèmes distincts qui utilisent des dispositifs encombrants : ballonnets de latex à insérer par voie nasale, capteurs de pressions extérieures, amplificateurs, etc. L'intégration et la miniaturisation de tous ces dispositifs engendreraient une moindre gêne pour le patient et pour le médecin. En outre, il faut recourir à des algorithmes complexes pour atténuer les effets du positionnement vertical des électrodes œsophagiennes et de la contamination cardiaque. Une géométrie d'électrode adaptée permettrait de se passer de tels algorithmes en filtrant le signal à la source.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes :

- Fabrication et validation d'un prototype de cathéter intégrant la nouvelle électrode et deux capteurs de pression micro fabriqués commerciaux.
- Développement et réalisation d'une carte d'acquisition effectuant le traitement de signal et la numérisation des signaux de pression et d'EMG.
- Conception du système de communication BlueTooth entre le cathéter et le système d'enregistrement de données à l'aide de composants commerciaux;
- Test in-vivo et validation du système.

RÉSULTATS:

- Réalisation de la carte d'acquisition alimentée par piles effectuant le traitement de signal, la numérisation et la sélection automatique de la meilleure paire d'électrode en temps réel;
- Développement sous plateforme PC du logiciel de communication et de transfert des données sans fil;
- Application d'un algorithme basé sur la logique floue afin de minimiser l'effet des artéfacts cardiaques sur l'EMG;

DESLAURIERS, François **DIPLÔME: M.Sc.A.**

TITRE :

Développement et analyse de réseaux intégrés sur puce dans un environnement logiciel matériel multiprocesseurs.

RÉSUMÉ :

À partir d'un nombre donné de ressources et d'une application donnée, il est important de déterminer quelle topologie dans un SoC (*System on Chip*) permettra de minimiser les temps de communication entre les ressources pour que celles-ci puissent consacrer plus de temps au traitement de l'application.

PROBLÉMATIQUE :

Grâce à la constante progression dans la technologie du transistor, il est possible d'intégrer sur une même puce des dizaines de ressources pour accélérer le traitement d'une application donnée. Une ressource peut être un processeur, un DSP, une mémoire, un bloc matériel ou un FPGA. Pour que ces ressources puissent communiquer entre elles, le modèle simple du bus n'est plus adéquat. Il faut orienter les communications inter-ressources vers d'autres topologies (anneaux, arbres, etc.). On assiste donc à l'émergence de différents réseaux intégrés sur puce, communément appelés NOC (Network on Chip).

MÉTHODOLOGIE :

- Concevoir et réaliser (ou simplement réaliser, dans certains cas) des modèles de NOC (SPIN, Cross Bar, HotPotato, ROC, ROC hiérarchique) en utilisant SystemC
- Intégrer les différents NOC sur la plate-forme StepNP (System-Level Exploration Platform for Network Processors).
- Créer un générateur de trafic pour émuler des applications (ex: traitement de paquets, multimédia, etc.).
- Créer une interface graphique (PerNOC) pour compiler automatiquement les résultats de simulation.
- Analyser les différents NOC selon ces critères: débit, contention, espace, consommation de puissance, temps de transfert.
- Créer un outil pour déterminer quel NOC est le plus adéquat pour une application donnée selon un nombre de ressources données.

RÉSULTATS :

- Les NOC *Hot Potato, CrossBar, ROC, ROC hiérarchique et ROC bidirectionnel* ont été modélisés en SystemC et intégrés dans les plate-forme StepNP;
- L'interface graphique PerNOC est disponible dans une première version;
- L'analyse sera effectuée en utilisant l'application MPEG 4 de STMicroelectronics.

DOLJANU, Delia Alexandra **DIPLÔME: M.Sc.A.**

TITRE:

Reconstruction 3D d'une scène par stéréoscopie active.

RÉSUMÉ:

Le présent projet est une suite logique des travaux de recherche entrepris par le laboratoire de neurotechnologies Polystim portant sur l'implant visuel. Nous mettons en œuvre un module additionnel au capteur d'images. Ce système sera dédié à la reconstruction de l'environnement tridimensionnel devant le patient.

PROBLÉMATIQUE:

L'implant visuel actuel est dédié à la création d'une vision adéquate aux non voyants. Il se divise en deux grandes parties, soient le stimulateur implanté dans le cortex visuel du patient ainsi qu'un contrôleur externe regroupant une caméra destinée à remplacer la fonction de l'œil. Le capteur d'images actuel donne seulement une image en deux dimensions. Le module de reconstruction de scènes que nous proposons permettra au patient aveugle de percevoir la distance des objets dans la scène pour ainsi se déplacer sans risque de collision.

MÉTHODOLOGIE:

Les images de profondeur seront constituées de 256 niveaux de gris et l'intensité de chaque pixel sera proportionnelle à la distance entre le point correspondant dans la scène et le système de vision. Le système pourra générer la cartographie de l'environnement à une fréquence de 25 images/seconde et chaque image aura une résolution de 640x480 pixels. Puisque le système de vision 3D est basé sur le principe de stéréoscopie, il doit comprendre un émetteur permettant de projeter des patrons dans une scène à partir d'une source de lumière réfléchissant sur une matrice de micro-miroirs. Ainsi, l'information 3D de l'environnement observé est retrouvée à partir des déformations du patron de lumière structurée dans l'image. Une deuxième partie du projet consiste donc en la conception d'un module de contrôle d'activation d'une matrice de micro-miroirs qui permettra de placer les micro-miroirs dans les positions correspondantes au patron que l'on désire projeter dans la scène.

RÉSULTATS:

Les algorithmes ont été vérifiés avec Matlab. La partie logicielle ayant été complétée, la suite du projet consiste en l'implémentation matérielle qui se fera , en premier lieu, sur la plateforme de développement Spartan-3.

DUMORTIER, Cyprien **DIPLÔME: M. Ing.**

TITRE:

Étude et implémentation d'une transformée en ondelettes discrète pour un dispositif implantable multicanal de traitement de signaux neuronaux.

RÉSUMÉ:

Nous avons conçu et implémenté quatre différentes architectures de la transformée en ondelettes numérique. Nous avons comparé les résultats de ces circuits et fait le choix de la meilleure pour l'intégrer dans un implant intracortical qui sert à la collecte de données provenant des électroneurogrames (ENG).

PROBLÉMATIQUE:

Les implants corticaux multicanaux qui servent à la collecte de données de qualité pour les neurophysiologistes ou qu'ils permettent de commander par la «pensée» des prothèses, sont au cœur des recherches de plusieurs laboratoires en ingénierie biomédicale à travers le monde. Le paradoxe majeur de ces dispositifs, appelé BCI (Brain-Computer-Interface), réside dans le désir d'augmenter au maximum le nombre de canaux mesurés simultanément et la nécessité d'un lien sans fil pour communiquer les données pertinentes et de qualité à l'extérieur du corps. En effet, la bande passante restreinte des liens sans fil limite fortement le nombre de canaux traitables en temps réel.

MÉTHODOLOGIE:

Après s'être assuré que la transformée en ondelettes était bien l'outil répondant à nos besoins, le choix des ondelettes les plus appropriées pour l'opération de détection et de compression des potentiels d'action est réalisé. Étant donné la grande variété d'architectures permettant d'implémenter la transformée en ondelettes et le nombre important de paramètres influençant sur la consommation d'un circuit intégré numérique, il convient de réaliser une étude comparative. Pour ce faire, quatre architectures, présentées dans la littérature et présentant des caractéristiques intéressantes pour un BCI, ont été implémentées. Par ailleurs, le BCI échantillonnant plusieurs canaux à une fréquence de 30 kHz (faible pour un circuit numérique), deux architectures, adaptation des précédentes, et triant profit de ces deux caractéristiques du BCI, ont été proposées Ainsi, les performances, en termes de surface de silicium utilisée et de puissance consommée ont été comparées.

RÉSULTATS:

L'implémentation du prototype sur FPGA a permis de concevoir un dispositif compact détectant la signature d'un potentiel d'action au sein des différentes bandes de fréquence issues de la transformée en ondelettes. La détection a permis de détecter les événements porteurs de l'information dans le signal constitue une première étape de la compression. L'étude comparative a fait ressortir une architecture de type polyphasé comme la plus performante en termes de puissance consommée.

DUNGEN, Jeffrey **DIPLÔME: Ph.D.**

TITRE:

Un réseau de neurones biomimétique et polyvalent en VLSI.

RÉSUMÉ:

Il est possible d'implémenter en aVLSI des réseaux de neurones fonctionnellement semblables à leurs équivalents biologiques. Mais ces réseaux sont rarement utilisés dans des applications hors-laboratoire, même s'ils ont de forts avantages en compacité et efficacité. Le but de cette recherche est donc de développer un circuit polyvalent de ces types de neurones et de montrer qu'il peut servir avec succès dans plusieurs applications typiques.

PROBLÉMATIQUE:

Il existe deux obstacles principaux quant au développement d'un circuit neuronal polyvalent. En premier, comme toute implémentation en matériel, le circuit et donc l'architecture du réseau est fixe. Ceci nuit à son adaptabilité. Deuxièmement, pour que les paramètres du réseau soient flexibles et ajustables, beaucoup de ressources supplémentaires sont nécessaires. Ceci nuit aux avantages de compacité et d'efficacité de ce type de neurones.

MÉTHODOLOGIE:

On choisit une architecture de réseau très simple avec des paramètres (poids synaptiques, fuites somatiques, etc…) dynamiques. Puisqu'il n'y a pas beaucoup de neurones, il n'y a pas trop de pénalité en complexité pour le contrôle des paramètres. Ceci fait que le circuit est polyvalent sans trop perdre son avantage en compacité. De plus, on simule le circuit sur plusieurs applications pour assurer sa polyvalence. Pour l'adapter pour chaque application distincte, il suffit d'utiliser un algorithme évolutionnaire pour ajuster les paramètres. Finalement, on complète le circuit en précisant tous les périphériques nécessaires pour être synthétisé physiquement.

RÉSULTATS:

Même un simple réseau ne comprenant que quatre neurones peut se montrer polyvalent et intéressant. Le circuit a démontré qu'il pouvait assumer le contrôle (simulé) d'une voiture chargée de suivre une cible mobile. L'algorithme évolutionnaire améliore adéquatement les paramètres du réseau pour l'application donnée. Finalement, le circuit pourrait facilement être implémenté dans une puce avec ses paramètres contrôlés numériquement par interface sériel ou parallèle.

DUPIRE, Thierry **DIPLÔME: M.Sc.A.**

TITRE:

Transmetteur faible puissance pour implant biomédical.

RÉSUMÉ:

En se servant de la technologie récente de fabrication, on s'intéresse dans ce projet à la mise en œuvre d'un système de transmission de données radiofréquences à très basse consommation et faible encombrement dans le but de l'intégrer dans les neurostimulateurs développés par notre équipe. Le système de transmission RF permet de faire des mesures dans le corps.

PROBLÉMATIQUE:

La plupart des implants actuels utilisent un lien de transmission inductif pour alimenter et transmettre les données. Ce système, cependant, ne permet pas de rayonner dans un champ lointain et limite l'efficacité du transfert de puissance. Pour s'affranchir de ce problème, nous proposons de séparer la transmission d'énergie du lien de communication. L'environnement dans lequel l'implant fonctionne amène, de plus, à considérer d'autres aspects essentiels: la bande de fréquence utilisée doit premièrement être adaptée à l'application et respecter les règlementations d'émission de puissance en matière de santé; deuxièmement, la transmission doit être robuste face aux interférences. Enfin, la consommation de puissance doit être robuste face aux interférences. Enfin, la consommation de puissance doit être très faible pour fonctionner à partir d'une batterie rechargeable pendant une dizaine d'années. Les architectures classiques utilisées dans la téléphonie mobile ne sont pas adaptées étant donné leur grande consommation. Les normes d'émission strictes imposent des architectures lourdes pour limiter les interférences dans les bandes adjacentes.

MÉTHODOLOGIE:

La première phase consiste à déterminer une bande de fréquences optimales en fonction des disponibilités et de leurs interactions avec les systèmes biologiques. Dans la suivante, nous avons identifié les procédés de modulation robuste au bruit avec une simple complexité d'implémentation afin de respecter les considérations énergétiques. L'étude de différentes structures a convergé vars une solution avec une efficacité optimale en puissance. Le système respectera la réglementation concernant les dispositifs biomédicaux (niveau d'émission, stabilité, puissance émise dans les bandes adjacentes). La chaîne de transmission complète sera simulée pour vérifier que les performances attendues soient respectées. Il sera réalisé de façon intégrée en technologie CMOS 0.18µ de la TSMC. Des sorties de test pertinentes devrontêtre choisies pour évaluer la performance du circuit. Un banc de test spécifique adapté aux fréquences utilisées sera ensuite conçu pour réaliser les tests. Une antenne boucle de faible dimension devra enfin être développée afin de rayonner le champ électromagnétique dans la bonne direction et optimiser le transfert d'énergie.

RÉSULTATS:

Nous n'avons pas retenu les architectures classiques de transmetteurs RF Plutôt, nous avons utilisé les oscillateurs de base pour répondre aux contraintes de consommation de quelques milliwatts. La stabilité désirée est atteignable avec un résonateur Surface Acoustique Wave (SAW filter) de faible encombrement. Le design est en cours de réalisation et porte sur l'optimisation des conditions de fonctionnement.

DUVAL, Olivier **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un dispositif microélectronique de test pour des composants nanoélectroniques.

RÉSUMÉ:

Ce projet est une première approche dans le département pour l'application physique de composants nanoélectroniques. En partenariat avec le département de génie physique, ce projet se veut une approche hybride entre les nouveaux dispositifs nanoélectroniques et la microélectronique classique.

PROBLÉMATIQUE:

- Modélisation systématique des composants nanoélectroniques
- Caractérisation des structures microélectroniques pour permettre l'hybridation;
- Réduction des sources d'imprécision dans les mesures de délai et d'impédance des nanostructures;
- Mesure proprement dite de paramètres électriques sur des nanostructures.

MÉTHODOLOGIE:

- Modélisation :
  - Création de nouveaux modèles de dispositifs actifs à partir de courbes courant-tension expérimentales;
  - Intégration de ces modèles à des logiciels de design tel Cadence;
- Au laboratoire de micro fabrication, l'équipe de génie physique mesurera la composition exacte des structures présentes dans un circuit CMOS standard;
- Utilisation de la plateforme de test intégrée pour réduire les capacités parasites au contact de nanostructures;
- Utilisation d'outils de CAD disponibles au département pour la conception et la réalisation de la plate-forme de test;
- Test des propriétés électriques des nanostructures en utilisant la plateforme elle-même et les outils de test au laboratoire du Groupe de Recherche en Microélectronique.

RÉSULTATS:

- Conception de la plate forme de test, qui est actuellement entre nos mains et comporte des défauts de fabrication/conception qui la rendent inopérante;
- Extraction d'un modèle fiable de représentation des nano dispositifs électroniques.

ELSANKARY, Kamal **DIPLÔME: Ph.D.**

TITRE:

Convertisseurs analogiques/numériques (CAN) dédiés à des systèmes de communication sans fil à large bande.

RÉSUMÉ:

Ce projet vise la conception et la réalisation de convertisseurs analogiques/numériques (CAN) intégrés à large bande dédiés aux récepteurs sans fil. Étant donné que les applications des CAN de ce projet ciblent principalement les systèmes de communication sans fil, une attention particulière sera prêtée à l'amélioration du facteur de performance «Spurious-Free Dynamic Range» (SFDR) tout en maintenant une résolution adéquate de ces différents CAN. En outre, des techniques innovatrices de calibrage seront utilisées durant la conception des CAN afin d'améliorer leurs performances. Les CAN en question, seront validées par des circuits et fonctions mixtes (analogique, numérique) en technologies CMOS 0.18 µm.

PROBLÉMATIQUE:

La demande croissante des dispositifs portatifs sans fil dans les différentes applications (voix, médicales, capteurs, divertissement, etc.) a attisé le besoin d'un convertisseur analogique/numérique à haute vitesse et résolution. Notons que dans la technologie semi-conducteur complémentaire d'oxyde de métal (CMOS), le CAN entrelacé est le choix approprié pour la réalisation d'un convertisseur fonctionnant à une fréquence de l'ordre de Gigahertz. Néanmoins, les disparités entre les canaux entrelacés représentent la majeure limitation qui empêche l'utilisation d'un tel type des convertisseurs. En plus, le CMOS est le choix convenable pour permettre un mixage libre des fonctions analogiques à numériques à cause de son faible coût de fabrication et de sa supériorité pour les applications numériques. Cependant, pour la technologie submicronique profonde telle que 0.18um et moins, le design des blocs analogiques CMOS révèle beaucoup de faiblesse au sujet de modulation de canal, dégradation de mobilité de porteurs et divers bruits provenant de son substrat fortement dopé. Ces contraintes nécessitent d'analyser de nouvelles techniques pour la réalisation des CAN dédiés au système de communication sans fil moderne.

MÉTHODOLOGIE:

Nous proposons des techniques de conception afin d'atténuer les effets du comportement non idéal des circuits analogiques cohabités avec les circuits numériques dans les CAN.

- Maîtriser les différentes architectures de convertisseurs analogiques/numériques (CAN) intégrés à large-bande dédiés aux récepteurs sans fil.
- Étudier les circuits intégrés à faible consommation de puissance;
- Proposer de nouvelles architectures qui surmontent les contraintes précitées dans la problématique;
- Simulation, design et implémentation de ces circuits afin de les valider en créant un environnement de test convenable.

RÉSULTATS:

Deux prototypes de CAN, pipelinés en mode tension de 10 bits, ont été fabriqués dans le procédé 0.18um. Les deux prototypes sont dans la phase de test.

EPASSA HABIB, Gabriel **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un processeur à vitesse variable et synthèse d'horloge à cycles ajustables.

RÉSUMÉ:

Ce projet consiste à concevoir un processeur à vitesse variable (VSP). La période de son horloge est générée par le générateur d'horloge à période variable conçue dans la première partie du projet. Le processeur est donc capable de changer en temps réel sa vitesse d'exécution selon le flot d'instruction, et ceci grâce à un dispositif qui permet d'ajuster la plus petite période d'horloge propre à chaque instruction, à chaque cycle. Ainsi pour toute sorte d'application, il y a un gain de performance sans augmentation notable de l'énergie utilisée. Aussi, il est possible avec un tel système, de réduire l'énergie de calcul en réduisant la cadence de l'horloge et le voltage, si la performance supplémentaire n'est pas requise.

PROBLÉMATIQUE:

Plusieurs travaux ont été effectués pour atteindre la performance maximale dans les circuits digitaux. Généralement, cette performance est limitée par les délais dans les composantes utilisées. Les systèmes synchrones fonctionnent à la cadence d'une horloge dont la période est établie selon le plus long délai du chemin critique. Ce dernier n'est pas toujours utilisé par les opérations. Il s'agit donc de pouvoir choisir le délai du plus long chemin utile à chaque opération.

Cependant, nous sommes toujours confrontés à un compromis entre la performance et la consommation de l'énergie, cette dernière étant fonction de la tension d'alimentation, qui à son tour influence la performance. D'où l'importance de prévoir un système qui supporterait des algorithmes de Dynamic Voltage and Frequency Scaling (DVS).

MÉTHODOLOGIE:

Une première étape était d'explorer l'architecture du pipeline du Nios, puis choisir les signaux importants des étages du pipeline qui contrôleront le générateur d'horloge variable. Les opcodes lus de la mémoire d'instructions sont décodés au fur et à mesure. L'étape finale est de mesurer les délais de chaque instruction afin de les numériser pour obtenir la valeur binaire qui engendrerait une horloge à période de longueur appropriée.

RÉSULTATS:

Le processeur a été prototypé sur la plateforme FPGA de système embarqué de chez Altéra. Le processeur embarqué utilisé est le Nios que l'on retrouve dans le FPGA Strtix E1S40. Avec notre modèle, l'énergie consommée par un programme test a été réduite de 14% tout en ayant une performance 3.6% plur rapide que le Nios original à sa vitesse maximale de 133 MHz. Les longueurs de cycles oscillaient entre 6.8ns et 9ns. Un article a été soumis à IEE Computers and Digital Techniques, sur la conception de ce système.

FAUCHER, Corentin **DIPLÔME: M.Sc.A.**

TITRE:

Analyse des mélodies musicales à l'aide des mémoires associatives et des machines à échos.

RÉSUMÉ:

Le projet cherchera à déterminer des techniques utiles permettant d'extraire le thème musical du chant, du fredonnement ou du sifflement d'un sujet, afin de l'associer à un ou des thèmes existants dans sa banque de données.

PROBLÉMATIQUE:

Depuis quelques années, l'avancement des technologies en informatique a permis une véritable explosion de la disponibilité de la musique en ligne sur internet. Ceci a amené une recherche importante dans les méthodes de récupération de pièces musicales. La plupart des moteurs de recherche actuels reposent sur l'utilisation des titres des fichiers ou des étiquettes textes associées aux fichiers de la musique pour la recherche. Cependant, on n'utilise peu de méthodes axées sur la reconnaissance des thèmes musicaux. Il serait parfois plus aisé de rechercher une pièce musicale en chantonnant, sifflant ou fredonnant le thème ou un passage de la pièce. Cette recherche aura donc comme but de déterminer une méthode efficace de stockage et de récupération de thèmes musicaux. La similitude est basée sur une notion intuitive et subjective basée sur la perception humaine. Deux pièces paraissent normalement similaires si elles se basent sur la même partition ou rencontrent les mêmes harmoniques, et ce, même si elles sont données par différentes personnes, à des tempos différents ou à des tonalités différentes. Il est donc important de retrouver la suite médicale, et non pas la suite sonore brute, ainsi que la mélodie et la rythmique pour pouvoir classer différents airs musicaux.

MÉTHODOLOGIE:

Pour réaliser ce travail, nous devrons enregistrer des mélodies chantonnées ou fredonnées pour former une banque de données. Ces données pourront être utilisées afin de tester le système de récupération des thèmes musicaux. Afin de réaliser ce système, nous devrons analyser les séries chronologiques que sont les thèmes musicaux. Pour ce faire, nous effectuerons d'abord un prétraitement du signal afin d'utiliser une échelle «harmonique» qui tient compte des distances harmoniques entre des notes consécutives. Par la suite, nous emploierons les machines à écho afin de caractériser les séquences musicales. Les séquences seront ensuite inscrites dans une mémoire associative afin de les comparer avec un thème musical donné par un usager. Cette mémoire associative permettra donc de trouver rapidement le thème musical se rapprochant le plus de celui recherché. Finalement, pour optimiser la recherche de la mémoire associative, il sera important de maîtriser les techniques de recherche des plus proches voisins dans les espaces en haute dimension. Pour ce faire, on utilisera les méthodes de recherche par arborescence (KD-tree, spill-tree, etc.).

RÉSULTATS:

Une première simulation d'une machine à échos a été effectuée en utilisant le langage C et OpenGl. Cette dernière permet l'apprentissage d'une séquence chronologique. Une échelle permettant de définir les intervalles mélodiques a été suggérée. Cette dernière tient compte du niveau d'harmonie entre deux notes pour déterminer leur distance relative.

La méthodologie de prétraitement du signal afin d'extraire la fondamentale d'une note donnée par un usager a été déterminée. Une étude des mémoires associatives et des arbres de recherche a été effectuée.

FILION, Luc **DIPLÔME: Ph.D.**

TITRE:

Techniques avancées de partitionnement des systèmes en réseaux-sur-puces.

RÉSUMÉ:

Le projet consiste à concevoir une technique de partitionnement pour les réseaux-sur-puces (Network-on-chip). Cette technique est basée sur la simulation des spécifications à haut niveau.

PROBLÉMATIQUE:

Les pressions pour une commercialisation accélérée des systèmes sur puces électroniques obligent les fabricants à se tourner vers la recherche pour raffiner leurs techniques de conception. Une avenue récente propose de développer ces systèmes au moyen de plates-formes programmables qui intègrent les fonctions à implanter, au choix, soit sur plusieurs microprocesseurs (le logiciel), soit sur des blocs de logique électronique spécialisés (le matériel) s'échangeant de l'information (par les interconnexions). Pour manipuler de tels éléments, il faut abstraire les spécifications d'un système (c'est-à-dire simplifier au maximum les détails qui décrivent les systèmes et en éliminer d'autres qui ne sont pas utiles avant les phases plus avancées de conception.) Cette seule tâche représente un défi énorme. Cette recherche sera basée sur SPACE, un modèle de plate-forme pour systèmes embarqués développée à l'École Polytechnique.

MÉTHODOLOGIE:

- Effectuer une exploration des systèmes sur puce en utilisant la modélisation par transaction sur la plate-forme: cette technique favorise la partitionnement (c'est-à-dire la migration des fonctions du matériel vers le logiciel, ou vice versa). Nous développerons un modèle transactionnel pour la plate-forme avec SystemC. Le modèle sera basé sur un processeur et un protocole de communication connu.

- Déterminer les topologies de systèmes sur puce (c'est-à-dire l'assemblage des interconnexions, du logiciel et du matériel) qui peuvent être favorablement liées à des techniques de partitionnement. Nous analyserons les liens entre les types d'applications existants et les réseaux-sur-puce (RSP). Nous intégrerons à SPACE les réseaux choisis. Nous testerons plusieurs RSP, notamment des bus (lien simple) et des réseaux usant de routage.

- Développer des techniques de partitionnement pour des systèmes de type plate-forme basées sur la simulation. Les résultats sont des partitions logiciel-matériel. Nous développerons des algorithmes que nous implanterons dans des outils informatiques selon chaque type d'application. Nous créerons un système de simulations intensives sous SPACE usant diverses contraintes, ce qui me permettra de tester des partitions que nous définirons ou que l'outil proposera. Nous implanterons les partitions sur des circuits électroniques pour valider mes algorithmes.

RÉSULTATS:

Le partitionnement logiciel-matériel à partir de simulation des plates-formes abstraites sera la contribution principale dans le domaine de la conception des systèmes sur puces. Les techniques connues à ce jour sont basées sur des heuristiques, qui ne se sont jamais révélées efficaces pour ce genre de problèmes. L'autre innovation sera l'application de la modélisation par transaction dans une approche de design de type plate-forme. Cette pratique facilite la compréhension des interactions dans un système, une caractéristique clé et qui saura être populaire dans l'académique, comme dans l'industrie.

FORTIN, Marc-Antoine **DIPLÔME: M.Sc.A.**

TITRE:

Alimentation intermittente d'un robot miniature et sans fil, synchronisé avec ses déplacements.

RÉSUMÉ:

Le but de ce projet est de concevoir le système d'alimentation pouvant mener à bien les opérations du robot miniature, NanoWalker, à partir de l'identification des limites et contraintes actuelles concernant le déplacement du robot et l'arc électrique produite entre pattes et la surface où le robot travaille.

PROBLÉMATIQUE :

Le projet NanoWalker (NW) vise à développer une nano-usine, composée d'une flotte de 100 robots miniatures, mobiles et sans fil. Le robot se déplace sur trois tubes de céramiques piézoélectriques lui servant de pattes. On sait que tous les robots ont besoin d'alimentation pour pouvoir mener à bien leurs opérations. Toutefois, et surtout en ce qui concerne les robots mobiles sans fil, les encombrer de batteries a plusieurs inconvénients. Un autre problème déjà entrevu est en fait l'occurrence d'arcs électriques entre le plancher d'alimentation et les pattes lorsque celles-ci doivent briser le lien d'alimentation pour effectuer un pas.

MÉTHODOLOGIE :

Pour l'activation des pattes, une plage fréquentielle d'opération de 1 à 10 kHz est visée. En plus de couvrir la fréquence de résonance latérale du tube piézoélectrique de 8 kHz, ceci permet de maximiser la vitesse de déplacement en plus d'offrir une gamme d'amplitudes de pas. Pour l'arc électrique, un circuit de prévention d'arcs est développé. L'approche envisagée consiste à emmagasiner assez d'énergie entre chaque séquence de pas permettant ainsi le déplacement du robot sans qu'il soit connecté à son alimentation externe (le plancher), évitant ainsi les arcs électriques.

RÉSULTATS :

Les travaux ont permis de valider l'ensemble de l'électronique du NW en plus de développer deux circuits. Un premier pour l'activation des pattes et un second pour l'alimentation sans arc électrique.

FOURNIER, Pierre-Alexandre **DIPLÔME: M.Sc.A.**

TITRE:

Techniques d'apprentissage machine appliquées à la modélisation du timbre d'un individu pour la synthèse de voix réaliste.

RÉSUMÉ:

Ce projet a consisté à concevoir un algorithme qui apprend à prédire les caractéristiques timbrales de cinq voyelles d'un groupe de locuteurs. Nous utilisons d'autres voyelles de ce locuteur pour reconstruire une voyelle inconnue à partir des voyelles d'autres locuteurs.

PROBLÉMATIQUE:

Le modèle harmonique et résiduel (harmonic and noise model) a donné des résultats prometteurs pour la synthèse de voix. Cependant, il n'est applicable que lorsque tous les phonèmes d'un locuteur sont disponibles pour le discours à synthétiser. Jusqu'à maintenant, aucune méthode n'a été proposée pour résoudre ce problème.

MÉTHODOLOGIE:

Nous voulons comparer plusieurs architectures et algorithmes d'apprentissage pour découvrir les relations entre les caractéristiques timbrales d'un locuteur. Nous devons donc:

- Construit un système d'analyse, modification et synthèse de voix;
- Extrait les composantes timbrales nécessaires pour la prédiction (le modèle harmonique et résiduel);
- Utilisé des algorithmes d'apprentissage et des réseaux de neurones pour construire un modèle acoustique des locuteurs d'une langue.

RÉSULTATS:

Nos résultats montrent qu'il est possible de donner une bonne approximation de l'enveloppe harmonique de puissance d'une voyelle inconnue d'un locuteur lorsque d'autres voyelles sont utilisées pour interpoler la voyelle manquante à partir de clé d'autres locuteurs. Une réduction de 36% de la distorsion harmonique a été atteinte avec des noyaux gaussiens asymétriques par rapport à une moyenne de l'enveloppe des locuteurs de la base de données. Des résultats ont été publiés dans deux articles de conférence et l'International Joint Conference on Neural Networks. Un mémoire intitulé « Techniques d'apprentissage machine appliquées à la modélisation du timbre d'un individu pour la synthèse de voix réaliste » a été déposé en décembre 2005.

FOUZAR, Youcef **DIPLÔME: Ph.D.**

TITRE:

Contributions aux systèmes à phase asservie rapides et à haute performance.

RÉSUMÉ:

La conception d'un système à phase asservie est souvent le résultat d'un compromis entre robustesse, rapidité de réponse, simplicité, précision et qualité des signaux générés. Dans un tel système, quand la bande passante est étroite, le temps de commutation entre une fréquence initiale et une fréquence désirée est indéniablement large.

Des études précédentes ont montré que la réduction du temps de commutation et l'obtention d'un temps courts de verrouillage est possible et requiert, généralement, une modification du comportement dynamique du système. Notre but est de réaliser un système entièrement intégré avec une bande passante étroite (<300 KHz) à temps de réponse court, capable d'opérer sur une large gamme d'excursion de fréquence (10-700MHz) et ce avec une valeur moyenne quadratique de la gigue de phase de sortie inférieure à 1%. À cela s'ajoute, les contraintes de basse alimentation et de basse consommation d'énergie.

PROBLÉMATIQUE:

Un système à phase asservie a pour objectif de générer une horloge précise et stable obtenue aussi bien par la correction des erreurs de phase et de fréquence que par la multiplication de l'horloge d'entrée. Cependant, l'un des aspects les plus critiques dans la conception de tels systèmes est le temps de verrouillage; temps nécessaire pour qu'un système atteigne une nouvelle fréquence.

Le temps de verrouillage d'un système à phase asservie est inversement proportionnel à la largeur de la bande passante. D'une part, une bande passante large diminue la capacité du système à filtrer le bruit du signal d'entrée, même si elle réduit le temps de verrouillage et la contribution du bruit de l'oscillateur au signal de sortie. D'autre part, si une bande passante étroite réduit la contribution du bruit du signal d'entrée, elle augmente considérablement le temps de verrouillage. Pour ce dernier cas, le bruit du signal de sortie est dominé par le bruit intrinsèque du système, en particulier par celui de l'oscillateur. Ce dernier se dégrade de façon dramatique avec l'utilisation d'une large gamme d'excursion de fréquence de sortie.

MÉTHODOLOGIE:

La méthodologie de conception adaptée pour notre travail est la suivante:

- Concevoir un système à phase asservie avec faible gigue de phase;
- Concevoir un mécanisme d'auto-calibrage numérique à large gamme de verrouillage et avec le temps de réponse réduit;
- Concevoir des circuits CMOS très rapides et ayant une faible consommation d'énergie;
- Fabrication et validation expérimentale des résultats.

RÉSULTATS:

Un circuit intégré a été fabriqué en utilisant la technologie CMOS 0.18µm. Le circuit a été fabriqué et vérifié. Le circuit intégré inclut les sous-circuits suivants:

- Un système à phase asservie basée sur la technique de gain adapté. Ce système offre une acquisition de fréquence/phase rapide tout en ayant une faible gigue sur la phase de sortie;
- Un système à phase asservie avec un oscillateur auto calibré numériquement et qui réalise une large plage de verrouillage avec gigue sur la phase de sortie réduite;
- Un convertisseur fréquence/courant rapide totalement linaire à basse fluctuation sur le courant de sortie;
- Technique de reconfiguration du système dans le mode test (DFT).

GENEST, PIER OLIVIER **DIPLÔME: M.Sc.A.**

TITRE:

Élaboration d'un modèle graphique probabiliste pour l'analyse en temps réel de trajectoires 2D bruitées.

RÉSUMÉ:

Que ce soit par surveillance vidéo, par communication cellulaire ou par réseaux de senseurs, de plus en plus de systèmes de monitoring font leur apparition dans divers milieux. Plusieurs de ces systèmes sont en mesure de fournir en temps réel les positions d'objets mobiles dans le temps. Dans ce projet, on s'interroge sur la façon d'utiliser l'apprentissage machine, et plus particulièrement les modèles graphiques probabilistes (réseaux bayésiens), pour analyser dans leur contexte et en temps réel les trajectoires bidimensionnelles d'objets observés dans de tels systèmes.

PROBLÉMATIQUE:

Deux difficultés se présentent d'emblée: l'intégration du contexte à l'analyse qui, bien que facilitée par l'usage d'un modèle graphique probabiliste, peut rapidement se complexifier et l'exécution de l'analyse en temps réel. La problématique du contexte se résume dans le fait que l'on devrait pouvoir en extraire suffisamment d'information afin de représenter et interpréter une trajectoire par rapport à la multiciplité des trajets possibles, et idéalement, prévoir les suites futures de cette trajectoire (et leur probabilité) tout en considérant l'impact d'une trajectoire sur une trajectoire voisine. L'inférence probabiliste et les calculs de forage de données nécessaires à cette analyse révèlent une toute autre problématique, celle de l'exécution en temps réel.

MÉTHODOLOGIE:

Dans un premier temps, nous devons caractériser les trajectoires dans une métrique que nous devons définir. Cela implique une segmentation des séquences temporelles de données ainsi qu'une extraction de caractéristiques à partir d'algorithmes non supervisés.

D'autre part, la topologie du modèle graphique probabiliste (détermination des états discrets et continus, détermination des observables) doit être construite à partir des données et du contexte, lui-même constitué de profils sur les objets mobiles et sur l'environnement. Des algorithmes de forage de données sont alors utilisés pour la construction de ces profils. Il est prévu dans la phase d'apprentissage de comparer la performance d'au moins un algorithme à l'algorithme EM (maximisation de l'espérance). Étant donné la complexité envisagée du modèle, il est prévu d'effectuer le calcul d'inférence à l'aide d'un algorithme d'approximation.

Finalement, une interface graphique logicielle permettant de simuler des trajectoires dans un environnement donné doit permettre de tester et de valider le modèle.

RÉSULTATS:

Une interface graphique permettant de définir des objets mobiles, un environnement et des parcours dans le temps a été développée. Un modèle graphique probabiliste et des profils ont été définis. Les premières simulations sont en cours.

GHAFAR ZADEH, Ebrahim **DIPLÔME: Ph.D.**

TITRE:

Laboratoire sur puce basé sur le procédé «CMOS»

RÉSUMÉ:

La recherche multidisciplinaire récente mène au développement des dispositifs du laboratoire sur puce (LOC) qui comprennent l'intégration des composants de l'ordre micron qui sont nécessaires pour la manipulation du fluide en utilisant les senseurs ou les actionneurs intégrés. Le LOC est composé de micro fluidiques (par exemple, micro canaux, réservoirs, chambres) et de microélectronique tels que les senseurs capacitives et les manipulateurs. Les dispositifs de LOC sont les systèmes portatifs exigeant seulement quelques nano ou pico litres comme échantillon d'entrée (par exemple, des cellules ou des molécules pour applications biologiques). Dans ce travail, on s'intéresse à surmonter les limitations de la fabrication des micros canaux en utilisant la photolithographie. Pour ce faire, on propose la fabrication des micros canaux en utilisant un système d'écriture directe qui va les déposer sur une ligne d'encre. Ensuite l'encre est enlevée pour obtenir ces canaux.

PROBLÉMATIQUE:

Des techniques de traitement de liaison et d'adhésion sont généralement employées pour intégrer les canaux micro fluidiques faits par photolithographie aux circuits microélectroniques de «CMOS». Dans ce projet, nous présentons une nouvelle approche d'intégration du micro fluidique sur un circuit CMOS. Cette approche-ci est basée sur la fabrication par écriture directe «direct-write» des micros canaux sur des circuits «CMOS». Les objectifs principaux de ce projet sont: conception de senseur à semi-conducteurs capacitive en technologie CMOS, intégration de puce CMOS et de structure micro fluidique et analyse de bio particules à l'aide de LOC résultant.

MÉTHODOLOGIE:

Un micro canal cylindrique a été fabriqué sur une puce en utilisant l'écriture directe «direct-write» après l'assemblage. Un modèle est donné à un robot bien contrôlé qui, à son tour, va déposer une encre fugitive, expulsée par un micro seringue, sur le substrat. Ensuite, une résine fraîche de polymère est versée pour couvrir l'encre et polymérisée à un instant spécifique et à une température bien déterminée. Enfin à la température modérée, l'encre est fondue et extraite sous pression.

RÉSULTATS:

On a déposé en utilisant l'écriture directe «direct-write», une encre sur un substrat de verre. On a couvert cette dernière par un polymère qui a été polymérisé. Ensuite, nous avons enlevé l'encre. Nous avons réussi à répéter ce procédé en déposant canaux sur des circuits «CMOS» comme une étape d'intégration et d'assemblage après la fabrication du circuit «CMOS».

GHATTAS, Nader **DIPLÔME: M.Sc.A.**

TITRE:

Architecture qui teste et répare automatiquement les mémoires ayant une capacité ultra-large.

RÉSUMÉ:

Ce projet présente une stratégie pour incorporer une validation et une réparation automatique dans les mémoires qui possèdent une ultra-haute capacité. Cette structure automatique permet aux mémoires de haute capacité d'appliquer des tests de vérification, de localiser les erreurs et de les réparer sans assistance externe d'un ingénieur ou d'un équipement de vérification. Le projet améliorera le rendement de la mémoire et réduira les coûts de production. L'efficacité de la structure automatique des tests de vérification et de réparation de la mémoire est supportée par une organisation de mémoire hiérarchique.

PROBLÉMATIQUE:

De nos jours, les puces SRAM utilisent la technologie sous-micron MOS pour atteindre une mémoire de haute capacité tout en maintenant la surface de la matrice sous les contraintes de la technologie. De plus, accroître la capacité de la mémoire aura pour conséquence une augmentation de la taille de la puce qui, à sont tour, rendra la mémoire vulnérable aux pannes dues à la fabrication et diminuera ainsi le rendement. Par conséquent, une vérification et une tolérance aux pannes seront d'une grande nécessité dans le futur des puces de mémoire à grande capacité.

MÉTHODOLOGIE:

Des cellules de la mémoire redondantes sont introduites à plusieurs niveaux de la hiérarchie. Au plus bas niveau, les mots redondants sont introduits. Si la logique locale de réparation automatique peut réparer toutes les pannes au niveau local, le système de mémoire entier fonctionnera à pleine capacité. Cependant, si le bloc mémoire contient un nombre excessif d'erreurs qui ne peuvent être réparées automatiquement au niveau local, ce bloc ne doit pas être accessible durant le fonctionnement normal. Une tentative d'accéder à ce bloc doit être dirigée vers un bloc redondant fonctionnel.

RÉSULTATS:

Une puce prototype a été fabriquée mais ne peut être testée à cause d'une erreur dans les plots de sortie. Les résultats obtenus par les diverses simulations prouvent le bon fonctionnement du concept. Une analyse approfondie de ses résultats a été menée sur le plan de la surface additionnelle, le rendement et le délai.

GHEORGHE, Luiza **DIPLÔME: PH.D.**

TITRE:

Spécification et validation des systèmes hétérogènes.

RÉSUMÉ:

Les systèmes continus/discrets sont un des plus importants pilotes de systèmes hétérogènes et sont trouvés dans différents domaines avec application en: défense, médical, électronique ou communictions. Une technique utilisée pour la modélisation et la validation est la simulation du système aux divers niveaux d'obstruction. L'objectif de ce travail est de construire un nouvel environnement générique de co-simulation. Il a pour but de fournir un environnement de conception assurant une simulation au niveau système des systèmes hétérogènes continus/discrets ou les interfaces de co-simulation seront générées automatiquement.

PROBLÉMATIQUE:

Actuellement, la validation globale (par co-simulation) des systèmes hétérogènes est difficile et demande de nouvelles techniques de validation pour lesquelles le principal défi est l'accommodation des différents concepts spécifiques pour le modèle continu et pour le modèle discret tout en respectant les contraintes de performance et de précision. Étant donné la diversité des concepts manipulés par le domaine continu et le domaine discret la validation globale demande des interfaces de simulation capables à accommoder les deux. La conséquence est un comportement complexe de ces interfaces, leur conception nécessite beaucoup de temps et peut représenter une source d'erreurs dans le flot de conception. Par conséquent, de nouveaux outils de validation capables de générer automatiquement des interfaces de simulation sont nécessaires. Le défi est la définition rigoureuse du comportement et de l'architecture des interfaces de simulation.

MÉTHODOLOGIE:

Le travail consiste dans la définition d'une sémantique opérationnelle pour un modèle de synchronisation pour les systèmes continus/discrets ainsi que la description formelle de l'architecture interne des interfaces de simulation. Ces définitions permettent la conception d'un outil de co-simulation capable de fournir des modèles globaux de simulation pour la validation des systèmes continus/discrets.

Basé sur les définitions formelles un outil pour la génération automatique des modèles de simulation a été implémenté. Les entrées dans le flux sont les modèles en SystemsC pour le domaine discret et Simulink pour le domaine continu et la sortie est le modèle de simjlation globale qui contient le bus de co-simulation et les interfaces de simulation. Les interfaces ont été générés automatiquement.

RÉSULTATS:

L'outil a été vérifié sur une application. Il s'agit d'une commande d'un moteur à courant continu utilisé pour actionner un bras manipulateur horizontal. Pour la régulation de la vitesse du moteur, nous utilisons un régulateur PID en boucle fermée. La commande du moteur est assurée par un contrôleur discret qui fournit les ordres de la vitesse calculés par rapport à la position du bras. Un senseur de position est utilisé pour indiquer l'arrivée du bras à la position voulue et l'arrête.

GIRODIAS, Bruno **DIPLÔME: Ph.D.**

TITRE:
Spécification et validation de nouveaux systèmes multiprocesseurs sur puce pour des applications 4G

RÉSUMÉ:
L'objectif général de ce projet est de faire l'exploration de systèmes multiprocesseurs sur puce dans le but de trouver des solutions pour les défis d'implémentation et de développement de réseau et d'application 4G. Ceci entraîne le développement de nouvelles architectures et de nouvelles techniques d'optimisation de mémoire.

PROBLÉMATIQUE:
Tranquillement, le 3G s'intègre dans notre quotidien, éprouvant quelques difficultés et obstacles, mais réussissant à prendre de plus en plus une part du marché. Entre temps, le 4G se prépare et confronte des obstacles plus importants. Non comme son prédécesseur, le 4G introduit la convergence des différentes technologies. Le 4G promet d'intégrer différents modes de communications sans fil: des réseaux d'interne, tel que le WiFi et le Bluetooth, aux systèmes cellulaires, aux transmissions par radio ainsi qu'aux communications par satellite (Qaddour et Barbour 2004). L'intégration de toutes ces technologies demande une grande puissance de calcul entre autres pour une procédure de relève transparente entre les différentes technologies. La demande de puissance de calcul par ces nouvelles plateformes excède les prédictions de la loi de Moore. De plus, pour ajouter à la difficulté, ces unités de calcul puissantes doivent consommer moins que ce que nous avons coutume de voir de nos jours. Le domaine s'attend à une puissance équivalente à 16 fois plus grande que celle d'un Pentium 4 2-GHz et une consommation d'énergie n'excédant pas 75mW. Comme la plupart de ces applications vont devoir être disponibles sur des dispositifs portables comme des cellulaires, des ordinateurs portables et des assistants électroniques, les systèmes sur puces vont devoir confronter les différents obstacles tout en restant rentable à la conception, performant et consommant très peu d'énergie. Une catégorie de système sur puce qui respecte certains de ces critères est les multiprocesseurs sur puce. Ils sont composés de plusieurs processeurs embarqués, de matériels spécialisés, de circuits analogues et digitaux et d'applications faites sur mesure.

MÉTHODOLOGIE:
La mémoire joue un rôle primordial pour l'amélioration de systèmes sur puce (défauts de cache, temps exécution et espace). Avec l'apparition d'applications multimédias embarquées dans le 4G, ces caractéristiques deviennent de plus en plus essentielles. Ces applications emploient souvent des tableaux multidimensionnels pour stocker des résultats intermédiaires pendant les traitements de leurs tâches multimédias. Plusieurs techniques de base d'optimisations telles que la fusion, le pavage et l'allocation de tampon existent et ont fait leur preuve sur une architecture monoprocesseur. Notre recherche présente ces techniques et leurs impacts sur un environnement multiprocesseur. Par analyse des applications et des impacts, des améliorations de performance significatives sont proposées pour des techniques s'appliquant à un environnement multiprocesseur. Nos premiers travaux se concentrent sur l'optimisation de la mémoire. Cette section du projet de recherche est en collaboration avec STMicroelectronics. La plateforme Multiflex de cette compagnie est utilisée pour les différentes explorations et expérimentations.

RÉSULTATS:
Les résultats initiaux obtenus réduisent l'espace mémoire de 80%, augmentent le taux de succès de données de 20% et diminuent le temps d'exécution de 50%. Cette étude montre qu'en améliorant les techniques de base, on optimise les défauts de cache, le temps d'exécution et l'espace mémoire dans un environnant multiprocesseur sans perte d'efficacité. Les futurs travaux sur l'optimisation de la mémoire se concentreront sur l'exploration de l'environnement de traitement multiprocessus offert par la plateforme Multiflex. De même, les techniques développées dans cette recherche seront testées sur des applications plus évoluées et complexes. Par la suite notre recherche explorera davantage l'impact des systèmes multiprocesseurs sur puce pour les systèmes 4G. Les systèmes multiprocesseurs sur puce seront de plus en plus utilisés, car ils procurent un bon équilibre entre puissance de calcul, consommation d'énergie et miniaturisation. Les systèmes et applications 4G nécessiteront de plus amples recherches dans ce domaine, car ils continueront à demander toujours plus de puissance. L'utilisation de protocoles de télécommunication pour les transferts de donnée est une solution appropriée pour résoudre les problèmes d'engorgement des données dans les interconnexions et l'utilisation de techniques d'optimisation et l'étude des mémoires partagées ou partitionnées permettent de réduire la consommation d'énergie et diminuer les transferts à la mémoire.

GORSE, Nicolas **DIPLÔME: Ph.D.**

TITRE:

Méthodes formelles de haut niveau pour la conception de systèmes électroniques fiables.

RÉSUMÉ:

Cette thèse porte sur l'emploi de méthodes formelles pour l'amélioration de la qualité dans le cycle de développement matériel logiciel, visant ainsi la production de systèmes électroniques fiables. Nous nous concentrons sur deux axes de recherche conjoints, l'un portant sur l'ingénierie des exigences, l'autre sur la vérification des techniques de tolérance aux pannes.

PROBLÉMATIQUE:

Le rythme actuel des innovations technologiques se traduit par une croissance exponentielle de la complexité des circuits intégrés. Confirmant les prédictions de la loi de Moore, le nombre de transistors double tous les deux ans. Cet accroissement repousse les limites des méthodes de conception actuelle au-delà de leur capacité, ce qui a pour résultat d'affecter fortement la production de systèmes sur puce (System on Chip) complexes fiables et performants. Il devient, entre autres, de plus en plus difficile de s'assurer qu'un SoC correspond aux spécifications données. Un certain nombre de problèmes touche aujourd'hui aujourd'hui le cycle de développement matériel logiciel. Ces derniers sont regroupés en deux champs, respectivement relatifs au développement et à l'utilisation des systèmes.

MÉTHODOLOGIE:

Sur le plan du traitement des exigences, nous avons défini une méthodologie destinée à être greffée au tout début du cycle de conception. Nous fournissons un mécanisme de représentation et documentation des fonctionnalités énoncées dans les exigences. Ce mécanisme se base sur la description d'une fonctionnalité suivant une structure formelle au sein de laquelle les éléments de la fonctionnalité sont exprimés de manière informelle en utilisant un anglais restreint. Les fonctionnalités ainsi modélisées sont traduites automatiquement en une représentation totalement formelle sur laquelle deux phases de vérification sont appliquées :

- La première phase effectue une vérification de cohérence de manière à s'assurer de l'absence de contradictions et d'éléments mal définis dans l'ensemble des fonctionnalités.
- La seconde phase consiste en une extraction des fonctionnalités manquantes via un calcul de complétude.

Sur le plan de la tolérance aux pannes, nous avons élaboré une méthodologie de vérification complète destinée à être greffée au tout début de leur cycle de développement. Cette dernière commence par l'implémentation d'une méthode au sein de programmes génériques de taille réduite. Ces programmes sont traduits automatiquement en des modèles formels en langage PROMELA qui sont ensuite vérifiés formellement à l'aide du *model-check*er SPIN. La vérification formelle permet d'explorer toutes les conséquences de pannes possibles, et donc de s'assurer de la robustesse de la méthode de tolérance aux pannes. L'utilisation de SPIN permet d'obtenir des scénarios illustrant les cas où des pannes modifiant le comportement du modèle fautif ne sont pas détectées par la méthode. De ce fait, le concepteur peut, ayant connaissance des défauts, raffiner sa méthode et procéder à de nouvelles vérifications.

RÉSULTATS:

Les axes de recherche présentés dans ce rapport ont été validés par des études de cas d'envergure industrielle dont les résultats sont présentés dans notre thèse de doctorat.

GOSSELIN, Benoît **DIPLÔME: Ph.D.**

TITRE:

Circuits mixtes et microsystèmes implantables dédiés à la mesure sans fil de l'activité neuronale du cortex.

RÉSUMÉ:

Ces travaux de recherche consiste à élaborer des méthodes de conception de circuits et de nouvelles techniques de mise en œuvre de microsystèmes pour réaliser des dispositifs implantables sans fil, dédiés à l'enregistrement bioélectrique intra cortical. Les dispositifs projetés permettront, par exemple, d'effectuer des mesures simultanées et précises dans plusieurs régions du cortex d'un animal éveillé pendant de longues périodes.

PROBLÉMATIQUE:

Contrairement aux techniques de mesure non invasives ou d'imagerie par résonnance magnétique, un système minimalement invasif utilisant une électrode micro fabriquée, comme celui projeté, offre la résolution nécessaire pour acquérir l'activité simultanée d'une grande quantité de cellules pour procéder à une analyse multi neurone. Or, un dispositif implantable basé sur cette méthode doit faire face à plusieurs défis technologiques dont la consommation d'énergie minimale des circuits, la dissipation de chaleur sécuritaire des systèmes impliqués et la gestion d'un débit de données considérables par lien de la transmission sans fil.

MÉTHODOLOGIE:

Nous proposons une architecture hétérogène constituée d'une électrode matricielle micro fabriquée combinée à un système sur puce actif. Ce dernier comprend l'électronique nécessaire pour traiter les signaux captés par les multiples électrodes. Grâce à un module de détection matériel intégré, le système capitalise sur la nature discontinue des signaux d'intérêt (les potentiels d'action) pour économiser les ressources. Nos études menées grâce à des enregistrements *in vivo* montrent que des périodes d'activités typiques présentent un pourcentage de données utiles inférieur à 5%. La détection d'évènements basée sur une implantation matérielle permet de capter les portions utiles des signaux et de se débarrasser de ce qui est superflu. Nous comprenons que l'excédent de bande passante allouée par le désengorgement du module de communication sans fil peut être redistribué pour implanter plusieurs autres canaux. Nous travaillons actuellement à augmenter l'efficacité de ces systèmes grâce à l'élaboration de nouvelles topologies de circuits mixtes, l'utilisation de procédés de fabrication plus performant et grâce à de nouvelles approches misant sur le partage des ressources parallèles. Des travaux basés sur les systèmes adaptatifs et architectures inspirés du vivant sont aussi en cours.

RÉSULTATS:

Un prototype de l'étage d'entrée et d'un module de détection des signaux ont été réalisés en technologie CMOS 0.18um. Les méthodes de conception de circuits utilisées ont permis d'atteindre une consommation réduite de 40µW par canal et une surface d'intégration très compacte pour ces deux modules.

GROU-SZABO, Robert **DIPLÔME: M.Sc.A.**

TITRE:

Plate-forme d'intégration reconfigurable spécialisée pour applications vidéo.

RÉSUMÉ:

Le but de ce travail est de concevoir et réaliser l'implémentation, à un niveau d'abstraction matérielle, d'une plate-forme reconfigurable pour assister l'implémentation de nouveaux algorithmes destinés au traitement vidéo.

PROBLÉMATIQUE:

Comment concevoir des architectures qui offrent la longévité à laquelle nous nous sommes habitués avec les ordinateurs conventionnels? Lors de la conception de circuits ASIC pour des applications similaires dans une même entreprise, l'ingénieur est appelé à effectuer à nouveau certaines tâches qu'il a déjà faites auparavant.

Or, si certains choix architecturaux avaient été pris de façon plus judicieuse lors de la première intégration, les subséquentes itérations de conception pour des applications différentes mais tout de même semblables seraient plus faciles.

MÉTHODOLOGIE:

- Étudier les compromis qu'une plate-forme d'intégration reconfigurable implique, dans le cas particulier d'une plate-forme optimisée pour facilement implémenter des applications vidéo;
- Implémenter une première architecture micro-codée avec un processeur de type «VLIW» pour obtenir une plate-forme flexible et dynamiquement reconfigurable;
- Développer des bibliothèques au niveau RTL qui permettraient d'implémenter de nouveaux algorithmes rapidement.

RÉSULTATS:

Suite à une étude des différents types d'architectures de co-processeur configurables une architecture modulaire, «cellulaire», a été conçue. Chaque nœud d'un flot de calcul représente une opération et, pour faciliter l'implémentation, une interface générique et paramétrable a été développée dont les sorties sont directement compatibles avec les ports d'entrée. Ainsi une série de ces nœuds peuvent être imbriqués bout à bout pour former un flot de calcul complet. Une implémentation du filtre vidéo de Wiener a aussi été implémentée en VHDL. Ensuite, chaque opération de ce filtre sera encapsulée à l'aide de cette interface générique. Puisque les interfaces sont compatibles entre elles, quelques variantes du filtre peuvent être facilement configurées simplement en modifiant le flot de données en un chemin différent mais tout en réutilisant les composantes existantes.

Une interface graphique a été développée pour gérer les fichiers qui sont générés ainsi que pour faciliter l'implémentation du graphe de dépendance de données.

HAJJ-HASSAN, Mohamad **DIPLÔME: M.Sc.A.**

TITRE:

Balayeur micro électromécanique dédié aux systèmes échographiques

RÉSUMÉ:

L'imagerie médicale est employée pour estimer le volume des organes du corps humain et afficher leur image sur un moniteur. L'échographie par ultrasons exploite la physique des ultrasons lors de la propagation d'un faisceau ultrasonore et des réflexions qu'il subit en rencontrant des obstacles. La détection et le traitement des échos générés servent à reconstituer la forme du corps qui en est l'initiateur, permettant ainsi d'en composer image en deux ou trois dimensions. De nos jours, l'imagerie ultrasonore est un outil important pour évaluer de façon invasive et en temps réel la structure de l'anatomie interne.

PROBLÉMATIQUE:

La mise en œuvre d'un balayeur ultrasonique (micro plateforme à deux degrés de liberté) permet d'obtenir une résolution en 3D tout en demeurant de dimension réduite. C'est donc dans cette optique que la conception, la simulation (analytique et numérique) et la fabrication d'une micro plateforme seront nécessaires pour réaliser un balayeur ultrasonique miniature.

Nous recherchons une technique de balayage qui permettra l'obtention d'une image échographique tridimensionnelle. Cette plateforme sera basée sur la technologie MEMS (microelectromechanical systems).

MÉTHODOLOGIE:

Nous planifions concevoir, optimiser et mettre en œuvre le balayeur à deux degrés de liberté. Ces travaux de conception et d'implémentation se dérouleront selon les étapes suivantes :

- Simulation par le logiciel CoventorWare d'un balayeur pour l'optimiser et augmenter son angle de rotation;
- Fabrication d'un balayeur actionné par des électrodes selon la technologie MUMPS (Multi user MEMS Processes)
- Fabrication du balayeur actionné par des actuateurs « Comb drive »;
- Mise au point d'une méthode de test de composant fabriqué;
- Analyse et comparaison des résultats obtenus par les simulations et par la fabrication.

RÉSULTATS:

Une première version d'un balayeur MEMS a été implémentée et soumise pour fabrication.

HASAN, Syed Rafay **DIPLÔME: Ph.D.**

TITRE:

Méthode de dédoublement d'arbres en H pour des SoC de haute performance basée sur une stratégie globalement asynchrone localement synchrone (GALS).

RÉSUMÉ:

Il est connu que les conceptions purement synchrones atteignent leurs limites dû aux questions de bande passante d'interconnexions et au nombre croissant de domaines d'horloges dans les circuits intégrés. Un schéma de conception alternatif est requis pour éviter ce problème. La stratégie Globalement Asynchrone Localement Synchrone (GALS) a toujours attiré les concepteurs étant donné qu'elle exploite le meilleur des domaines synchrones et asynchrones. Bien que les systèmes GALS soient une solution prometteuse, l'inertie des conceptions GALS actuelles, la maturité relative des méthodes de conception synchrones et le scepticisme de l'industrie par rapport aux conceptions asynchrones, maintiennent la stratégie GALS comme option secondaire.

PROBLÉMATIQUE:

En gardant les questions précédentes à l'esprit, l'objet de ce travail est le développement d'une méthode de conception qui aboutirait à un système GALS à haute performance, et la validation de ce système à travers des schémas de validation conventionnelle.

MÉTHODOLOGIE:

Une méthode de distribution d'horloge conventionnelle (arbre en H) est choisie pour étudier ce problème. Des limitations théoriques de fréquence sont analysées. Une analyse mathématique est réalisée pour comprendre les facteurs qui limitent la fréquence, et des formes fermées d'équations sont dérivées pour comprendre les effets de la réduction de la longueur de fil sur la fréquence d'horloge. Une simulation numérique est réalisée pour valider cette dérivation ainsi qu'une simulation de circuit pour suggérer des solutions particulières. La recherche est en cours pour compléter cette méthodologie de conception en termes de différents métriques de performance.

RÉSULTATS:

Une méthode de conception qui transforme un système purement synchrone en système GALS, tout en améliorant la performance d'un facteur de 6, a été conçue. Cette performance est réalisée en dédoublant l'arbre en H en de petits modules et en faisant communiquer les différents modules via des interfaces mésochrones ou asynchrones. Un modèle mathématique est formulé pour les longueurs d'interconnexions, après dédoublements successifs. Des résultats de simulation supportent nos conclusions analytiques, en ce sens que, les arbres en H dédoublés permettent de synchroniser des circuits intégrés, d'une certaine taille, à une plus grande fréquence. De plus, une comparaison, de différents mécanismes de communication asynchrones, est réalisée pour suggérer une conception optimale basée sur une performance système cible.

HASHEMI, Saeid **DIPLÔME: Ph.D.**

TITRE:

Amélioration d'efficacité des chaînes de conversion de puissance dédiées aux implants biomédicaux intégrés.

RÉSUMÉ:

Une chaîne conventionnelle de conversion de puissance (PCC) est composée d'un redresseur à diode conventionnel à son étage d'entrée. La diode a une contrainte de tension de seuil en sens direct, résultant en une perte significative de puissance. Cette perte affecte l'efficacité globale et diminue la tension fournie aux étages suivants. Ce facteur négatif devient de plus en plus significatif dans la conception de sources d'alimentation, qui est le cas de la nouvelle technologie (IC sub-micron). En outre, la diode est généralement réalisée en dehors de la puce en utilisant des composants discrets, ce qui empêche la conception d'un implant entièrement intégré.

PROBLÉMATIQUE:

Des implants biomédicaux sont intensivement employés pour améliorer la qualité de vie. Bien que le succès de mise en œuvre de tels dispositifs, l'obtention de la puissance exigée en les mettant sous tension avec une source d'alimentation fiable et efficace, reste un défi significatif à la conception. Due à la complexité plus élevée de l'implant et les limites biologiques impliquées, il est nécessaire de contribuer à l'étude et à la réalisation d'une architecture efficace pour concevoir un PCC. Une étude sur la topologie existante de la chaîne de puissance et ses composants du point de vue d'efficacité de puissance, est un point approprié de départ. Alors, il faut tout simplement les remplacer par d'autres dispositifs intégrés de moindre consommation de puissance.

MÉTHODOLOGIE

L'utilisation d'outils d'évaluation et d'optimisation de puissance facilite la prévision de la consommation de puissance pendant le processus de conception et mène par la suite à rencontrer le budget de puissance sans devoir passer par un effort coûteux d'une nouvelle conception. Les outils accomplissant cette tâche sont largement basés sur des approches existantes de simulation au niveau de circuit. Ceci ne peut pas être prolongé aux stimulateurs de nerfe/muscle, où d'autres paramètres plutôt électriques, telles que les issues électrochimiques, mécaniques et biologiques sont impliquées. À notre connaissance, aucune analyse n'est apparue dans la littérature sur l'aspect de dissipation de puissance d'implant électronique. Une nouvelle approche a été employée pour représenter les modèles de modules complexes de PCC. La modularité des composants des modèles permet d'étudier l'impact de l'architecture de PCC de la puissance d'énergie et des points de vue d'efficacité de puissance. Le modèle Verilog-A établi a été basé sur la puissance d'énergie moyenne et la dissipation non instantanée de puissance.

RÉSULTATS:

Une nouvelle technique de modélisation a été présentée, qui est basée sur des expressions analytiques, comportementales et/ou considérations empiriques. Elle explique explicitement les paramètres principaux de conception de PCCs. Dû à sa flexibilité, le modèle proposé peut être appliqué à différents dispositifs implantables. Ce modèle a été avec succès appliqué à un implant de stimulation intra cortical. La consommation de puissance simulée de l'implant a un excellent accord avec des mesures, en termes d'exactitude et validité. En outre, le modèle détermine la puissance dispersée, qui est avantageuse comparée aux outils conventionnels.

HU, Yamu **DIPLÔME: Ph.D.**

TITRE:

Techniques CMOS sans-fil dédiées aux liens électromagnétiques de dispositifs médicaux implantables.

RÉSUMÉ:

De nos jours, il existe plusieurs dispositifs électroniques médicaux qui sont implantés dans le corps humain pour palier à une défaillance. Ces circuits ont besoin d'alimentation électrique et d'une façon de communiquer de l'information avec le monde extérieur. Pour éviter de multiples chirurgies, nous visons à transmettre énergie et données à distance. Le travail s'effectue selon les spécifications précises d'un implant cortical dédié à redonner la vue aux aveugles.

PROBLÉMATIQUE:

Les dispositifs implantés doivent pouvoir fonctionner en tout temps et sans restreindre la mobilité du sujet. C'est pourquoi l'efficacité de transmission d'énergie est très importante : elle permettra de réduire la quantité de batteries externes nécessaires. De même manière, le circuit implantable de réception de données doit être très modeste dans sa consommation de puissance. De plus, la transmission de données partant de l'implant doit se faire sans perturber l'arrivée de puissance.

MÉTHODOLOGIE:

Dans le but de transmettre de l'énergie à un implant avec une bonne efficacité, le système proposé ajuste la quantité de puissance envoyée selon les besoins. Ainsi, il faut que l'implant retourne de l'information sur l'état de sa tension d'alimentation. Celle-ci sera maintenue constante à l'aide d'un régulateur du côté du circuit externe. Ce dernier doit aussi être optimisé. Les différents types d'amplificateurs haute performance sont donc à l'étude. Du côté des données, la bidirectionnalité simultanée est nécessaire pour permettre une bonne régulation de puissance tout en gardant un bon débit de données entrantes (dans l'implant). Les normes et régulation étant limitantes, nous nous proposons d'effectuer la communication bidirectionnelle sur la même onde porteuse, à une fréquence permise. Au niveau de l'implant, ceci implique une modulation passive (modulation de charge), ainsi que la démodulation en phase. L'inverse doit se faire du côté du circuit externe. Les circuits qui se trouveront sur un implant doivent être simples et avoir une très basse consommation de puissance.

RÉSULTATS:

Un prototype a été conçu et les fonctionnalités critiques ont été rencontrées, à savoir l'implant par lien inductif et la transmission de données dans les deux directions. Pour l'instant, nous avons réalisé le circuit régulateur de tension, nouveau démodulateur BPSK et convertisseur A/N avec 8 bits en CMOSP18 et les résultats de simulation ont montré sa bonne fonctionnalité. Le circuit proposé a été implémenté et fabriqué par la CMC.

HUBIN, Mortimer **DIPLÔME: M.Sc.A.**

TITRE:

Conception et implémentation d'une architecture de traitement multiprocessus matériel pour circuits reconfigurables.

RÉSUMÉ:

Ce projet élabore un modèle facile à réaliser de multiprocessus matériel (de l'anglais hardware multithreading) en suivant les contraintes des systèmes sur puce. La facilité vient du fait que des modules déjà existants sont utilisés pour réaliser le système. Une architecture de plusieurs processeurs d'une fréquence moindre est utilisée pour satisfaire les contraintes associées aux SOC. Cette approche devrait avoir pour effet de dissimuler la latence de communication des processeurs sur les bus, de diminuer la consommation de puissance et d'utiliser toute la superficie disponible sur la puce, comparativement à une architecture monoprocesseur standard.

PROBLÉMATIQUE:

Plusieurs projets de recherche au niveau de la structure et de l'organisation des ordinateurs visent l'élimination des temps d'attente (idle times) à l'intérieur des microprocesseurs. Dans le passé, ce même objectif a conduit à l'utilisation de systèmes multitâches où la latence due au délai posé par l'utilisateur est masquée. Nous avons atteint un stade où la latence imposée par les changements de contextes dans les systèmes multitâches pose de nouveau des ralentissements de performance. En réponse à ce problème, différentes solutions sont proposées. Une de ces solutions fait appel au multiprocessus matériel sur lequel repose ce projet. Ce projet vise à implémenter un tel système sur une plate-forme contenant un Virtex 2 Pro en utilisant autant que possible des composants déjà existants tel que le Micro blaze.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes :

- Explorer les différentes possibilités de l'outil de Xilinx EDK;
- Réaliser un design de référence comportant plusieurs processeurs Micro blaze;
- Concevoir une architecture multiprocesseur capable d'élaborer le concept de multiprocessus matériel;
- L'ajout de l'application Nano click sur la plateforme multithreadée;
- Comparer les résultats avec ceux obtenus lors des simulations logicielles.

RÉSULTATS:

Les résultats obtenus à ce jour sont intéressants, mais pour tirer des conclusions convaincantes, plus de résultats doivent être recueillis. Pour une application type qui fait un accès lent pour 30 accès rapides, ou un accès lent est un accès avec une latence de plus 10 cycles d'horloge, nous obtenons un gain de 50%. Ce résultat n'est pas seulement dû au fait que la latence des longs accès est dissimulée mais plutôt parce que la mémoire sur la plateforme est vu comme un mémoire DDR pour le processeur. Les accès à la mémoire prennent seulement 1 cycle au lieu de 2 à 3 cycles sur une plateforme Micro blaze normale.

IBRAHIM, Yasser, M., **DIPLÔME: M.Sc.A.**

TITRE:

Implémentation sur FPGA d'une simulation d'un système immunitaire basé sur un réseau d'automates cellulaires.

RÉSUMÉ:

L'objectif de ce projet est de développer un accélérateur pour la simulation d'un système immunitaire basé sur un réseau d'automates cellulaires. L'amélioration d'exécution est réalisée en exploitant le parallélisme inhérent aux modèles d'automates cellulaires sur un matériel parallèle et reconfigurable (FPGA).

PROBLÉMATIQUE:

L'implémentation existante de logiciel de simulation d'un système immunitaire a une efficacité limitée due à la nature séquentielle des plates-formes de traitements conventionnels. Des plateformes de multiprocesseurs sont parfois employées pour obtenir une meilleure exécution, mais demeurent très onéreuses.

Cette recherche explore la possibilité d'employer un FPGA à bas prix pour rouler la simulation sous la commande d'un PC. On s'attend à ce que non seulement l'exécution du matériel reconfigurable surpasse en performance les logiciels implantables mais également que cette solution soit flexible et adaptable à l'augmentation de l'échelle.

MÉTHODOLOGIE:

Une carte de développement sera employée pour mettre en application une version de démonstration du simulateur (IMMSIM-FPGA). La carte inclut un FPGA, de la SRAM et une communication USB avec le PC.

Les fonctions matérielles suivantes seront mises en application dans le FPGA:

- Interface du FPGA avec la SRAM (contient l'information des automates cellulaires);
- Interface du FPGA avec le PC (par l'intermédiaire de l'USB)
- Éléments des traitements pour simuler les diverses entités du système immunitaire; principalement, le phénomène de diffusion;
- Commandes de simulation.

Les fonctions suivantes de logiciel seront développées:

- Un logiciel pour la communication d'USB avec la carte de développement;
- Un logiciel pour initialiser et commander IMMSIM-FPGA;
- Un logiciel pour la collecte et l'analyse des résultats de simulation.

RÉSULTATS:

Une recherche de la littérature a été conduite pour choisir la simulation informatique du système immunitaire la plus appropriée pour son implémentation dans un FPGA. La conception de l'interface du FPGA au SRAM aussi bien qu'au PC par l'intermédiaire d'un port USB est fonctionnelle. Le logiciel nécessaire pour l'interface du PC avec la carte de développement a également été développé. L'architecture à haut niveau des composants de simulation de système immunitaire dans le FPGA a été conçue. Des simulations de diffusion ont été réalisées afin d'explorer les architectures matérielles pouvant possiblement accélérer le temps de traitement du phénomène de diffusion. Une configuration de cellules en alvéoles semblent la plus indiquée.

LAAZIRI, Yassir **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation et design d'une interface dédiée à la caractérisation du contact électrode-tissu nerveux.

RÉSUMÉ:

L'objectif principal de ce projet est de pouvoir modéliser le contact électrode tissu nerveux en tenant compte de tous les phénomènes électrochimiques pouvant subvenir de ce contact et de réaliser un circuit permettant de «surveiller» ce contact pour s'assurer du bon fonctionnement des électrodes.

PROBLÉMATIQUE:

La modélisation permet de rendre possible des simulations en laboratoire avant toute expérimentation, à détecter, identifier et pourquoi pas expliquer des phénomènes constatés au cours des expériences et à prédire le fonctionnement des électrodes. Dans la littérature scientifique, différents modèles de l'interface entre l'électrode et le tissu nerveux ont été proposés, des modèles qui restent valides mais dans certaines conditions d'expérimentation. Notre objectif principal étant de réaliser un modèle bien plus général de l'interface biomédical électrode-tissu-nerveux. Nous souhaitons proposer un modèle précis et le valider in vivo chez l'animal.

MÉTHODOLOGIE:

La caractérisation de l'interface permet d'évaluer, d'analyser et prédire le comportement des électrodes in vivo surtout après leur implantation. L'interface électrode-tissu présente un comportement digne d'intérêt, qu'il faut modéliser avec précision. Un modèle pourra tenir compte des différents phénomènes électrochimiques qui se produisent entre le métal et l'électrolyte et en plus pourra être utilisé lors des tests in vitro avant d'implanter tout le système pour des expériences in vivo. La mesure d'impédance complexe est une étape incontournable dans ce processus puisqu'elle permettra de valider ou non le contact entre les tissus biologiques et l'électronique.

RÉSULTATS:

La modélisation de l'interface et ses simulations sur MATLAB ont permis de différencier entre les modèles électroniques de l'interface selon telle ou telle application. Un modèle plus complet a été proposé et des expérimentations in vivo sur des chiens males ont prouvé la validité de ce modèle (nous nous sommes intéressés au contact « cuff electrode » et nerf sacre S2). Nous nous sommes aussi focalisés sur les effets du module et de la phase de l'impédance sur le diamètre du nerf, la fréquence de stimulation. C'est un modèle dont les paramètres dépendent essentiellement des conditions de simulation. Aussi un circuit intégré de mesure d'impédance complexe à double alimentation (1.8V et 3.3V), en technologie CMOS 0.18 micron, a été soumis à la fabrication et les premiers tests sur le chip se feront en fin d'année.

LAFRANCE, Louis-Pierre **DIPLÔME: Ph.D.**

TITRE:

Plateforme de mesures pour la caractérisation et le développement de système hybride Nano/CMOS.

RÉSUMÉ:

L'avancement technologique des systèmes microélectroniques passe par le développement et l'intégration de structures électroniques novatrices. Généralement du domaine des nanotechnologies, ces nouvelles technologies représentent un sujet chaud de l'actualité scientifique. Parmi les plus connues ou prometteuses nous retrouvons les nanotubes de carbone, diodes organiques luminescentes, molécules électroniques et nano-fils semi-conducteurs. Toutes ces composantes électroniques offrent des propriétés intéressantes à différents niveaux: géométriques, électriques, optiques, etc. Si, à long terme, nous pouvons envisager l'intégration de telles composantes en systèmes nanoélectroniques complets, à moyen et à court terme, ce sont au travers de systèmes hybrides qu'elles trouveront leur utilité.

Les systèmes hybrides combinent les nanostructures à une technologie MOS standard afin de créer une application efficace qui permette d'exploiter, via un procédé bien connu, leurs propriétés novatrices. Par exemple, un système hybride pourrait utiliser les nanotubes de carbone et mettre à profit leur forte densité de courant afin d'amplifier adéquatement les signaux sortant du circuit.

La réalisation de système de ce type nécessite la contribution et l'expertise de chercheurs de différents domaines. Présentement, l'équipe de recherche comprend des étudiants et des professeurs de génie physique, électrique et chimique.

PROBLÉMATIQUE:

Le processus menant à ce type de système est long et les défis sur le plan scientifique sont nombreux. Présentement, le principal défi consiste à déposer des structures comme les nanotubes de carbone sur un circuit intégré MOS et à établir un contact électrique. Le dépôt, la fabrication de contact ainsi que la génération de tensions électriques adéquates sont toutes des embûches que doivent surmonter les différents chercheurs impliqués dans le projet.

MÉTHODOLOGIE:

Tel que mentionné au paragraphe précédent, la première phase du projet consiste à mettre en contact une nanostructure – la nanotube de carbone en l'occurrence – avec un circuit intégré fabriqué à l'aide d'une technologie MOS. Pour ce faire, nous avons dessiné et réalisé un circuit spécialement dédié à cet effet. Le circuit est une plate-forme de test comprenant, en plus d'une interface physique spécifiquement dessinée pour le dépôt de nanotubes, un ensemble de modules de tests électroniques efficaces et précis qui permettront de caractériser l'interface nano/MOS. L'information que nous espérons recueillir de ces expérimentations sera extrêmement utile pour améliorer le contact entre les nanotubes et la plateforme MOS pour éventuellement, passer à la prochaine phase du processus. Le circuit est présentement en cours de fabrication.

RÉSULTATS:

Un circuit a été fabriqué avec une technologie TSMC 180nm et implémente différents modules de caractérisation. Les premières étapes de test ont été effectuées, démontrant un circuit fonctionnel. Nous sommes présentement à la validation des instruments de mesure.

Le circuit comporte une interface physique qui, nous l'espérons, servira au dépôt d'un nanotube de carbone. Évidemment, cette étape est loin d'être simple à réaliser. Plusieurs obstacles doivent être surmontés avant de pouvoir réussir ce mariage technologique. Toutefois, en raison de nombreux progrès qui sont réalisés partout dans le monde, il est raisonnable de croire que ce sera bientôt possible

LANDRY, Alexandre **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un bus partagé AMBA AHB de 2 GHz pour les plates formes SOC.

RÉSUMÉ:

Un des enjeux majeurs pour les systèmes sur puce (SoC) de haute performance est de savoir comment interconnecter les modules afin d'obtenir un transfert de données efficaces (sans goulot d'étranglement). Ce projet étudie une architecture de bus partagé AMBA AHB ayant une fréquence opérationnelle de deux gigahertz. La conception d'une architecture minutieuse ainsi que d'une conception de circuits haut niveau dans les règles de l'art sont nécessaires pour la réalisation de ce projet.

PROBLÉMATIQUE:

Les réseaux d'interconnexion sur puces (NoC) forment un concept émergeant. Bien peu de normes matures existent à ce jour. Nous retrouvons deux types de normes dans l'industrie: la première est basée sur les bus partagés (tel que AMBA AHB) et la deuxième standardise des interfaces de communication. Toutes ces normes ont été créées dans le but de s'inscrire dans le cadre d'un flot de développement par synthèse. La fréquence maximale est donc de quelques centaines de mégahertz. En additionnant les besoins en bande passante de chacun des modules, la pleine capacité d'un bus partagé se trouve vite monopolisée. Bien qu'il existe des architectures de réseaux qui offrent une bande passante proportionnelle au nombre de modules qui s'y rattache, le bus partagé demeure une approche plus appropriée compte tenu du petit nombre de noyaux qui compose les SoC. De plus, avec toutes les percées récentes en microélectronique, il est possible de voir des modules qui commutent au-delà de 500 mégahertz. Ceci est une raison supplémentaire pour développer un bus opérant à haute fréquence.

MÉTHODOLOGIE:

Premièrement, une étude approfondie des réseaux de communication pour les architectures parallèles a été conduite. De cette façon, les points forts et les points faibles de plusieurs réseaux existants ont pu être identifiés. Cela nous a permis d'inventer une architecture à bus partagée basée sur la norme AMBA AHB qui a toutes les chances de répondre à la fréquence cible. Par la suite, la conception de circuits dédiés de haute performance a débuté. Il fut nécessaire de concevoir les circuits manuellement puisqu'aucun outil de synthèse ne permet d'atteindre une fréquence de deux gigahertz. Finalement, la conception de bancs d'essai haut niveau codés en Verilog nous permet de vérifier la précision des circuits qui forment le bus AHB de deux gigahertz.

RÉSULTATS:

À ce jour, la conception du bus AMBA AHB de deux gigahertz est avancée. La plupart des composants clé atteignent la fréquence cible. De plus, l'article suivant a été publié à la conférence NEWCAS 2004 « Design Constraints of a HyperTransport Compatible Network on Chip ». Un deuxième article intitulé « A Beyond-1GHZ AMBA High-Speed Bus for SoC DSP Platforms » a récemment été accepté pour publication à la conférence ICM 2004.

LARAB, Abdelaziz **DIPLÔME: M.Sc.A.**

TITRE:
Nouveau wrapper P1500 incorporant une structure BIST pour le test des IP et des interconnexions d'un système sur puce.

RÉSUMÉ:
L'objectif de ce projet de recherche est de développer une nouvelle architecture de test pour les «Intellectual Property» (IP) et les interconnexions du système sur puce «System on Chip» (SOC). Cette interface est un wrapper, dans lequel les IP du SOC vont être encapsulés. En monde fonctionnement normal du SOC, le wrapper connecte l'IP au reste du système et en mode test, il agit en tant que wrapper P1500 et structure BIST pour tester les IP et les interconnexions. La configuration du wrapper en mode P1500 nous permet d'avoir une structure de test compatible à la norme IEEE P1500 développée pour le test des SOC. Ce mode de test permet de contrôler et d'observer les plots d'entrée/sortie des IP à partir de l'extérieur, ce qui améliore la qualité de test des IP et des interconnexions du SOC. La configuration du wrapper en mode test BIST va nous permettre soit de générer les vecteurs de test soit d'analyser les réponses du test à l'interne ou bien les deux à la fois. Ce mode permet de tester les IP et les interconnexions à la vitesse nominale du SOC et de détecter un bon nombre de fautes en utilisant des vecteurs de test aléatoires. La combinaison de ces deux modes P1500 et BIST permet d'avoir une structure de test capable de garantir une bonne qualité de test en un temps raisonnable. Cette combinaison permet aussi d'avoir une structure de test qui engendre le minimum possible d'augmentation de surface et de dégradation des performances du SOC.

PROBLÈMATIQUE:
De nos jours, l'utilisation des IP permet de concevoir des SOC qui sont des circuits intégrés très complexes en peut de temps mais le test de ces systèmes et très difficile et coûteux. Cette difficulté est due d'une part à l'inaccessibilité aux plots d'entrée/sortie des IP à partir de ceux du SOC et d'autre part à la diversité des sources de provenance des IP qui chacun d'eux à sa propre méthode de test. Dans un futur proche, selon les prévisions de la « Semiconductor International Association » (SIA), le coût de test des SOC va dépasser celui de leur fabrication. Pour résoudre cette problématique, plusieurs architectures de test ont été proposées mais celles-ci sont destinées soit aux IP soit aux interconnexions mais pas aux deux à la fois. Ceci nous conduit à prévoir des structures de test pour les IP et d'autres pour les interconnexions sur la même puce du SOC. Cette multiplication des architectures de test engendre l'augmentation de la surface du SOC et la dégradation des performances du système.

MÉTHODOLOGIE:
Pour réaliser le nouveau wrapper, nous avons proposé une nouvelle architecture spécifique chaque type des cellules d'entrée/sortie en modifiant du wrapper qui seront associées aux plots d'entrée/sortie de l'IP. Le reste des composants qui constitueront le nouveau wrapper, nous avons utilisé les mêmes que ceux de la norme IEEE 1149.1 vu la ressemblance entre le wrapper proposé et le Boundary Scan. Chaque élément du wrapper a été codé en VHDL et simulé par l'outil Modelsim de Mentor Graphics pour vérifier son fonctionnement logique. Pour vérifier le fonctionnement du wrapper proposé conformément aux instructions de test prévues, nous avons élaboré d'abord un test bench en VHDL pour chaque instruction et simulé avec l'outil Modelsim de Mentor Graphics. Nous avons comparé les surfaces de certains circuits benchmarks encapsulés le wrapper proposé à celles des mêmes circuits mais qui sont encapsulés dans une structure de test conventionnelle. La structure de test conventionnelle est composée d'un wrapper P1500 et d'une structure BIST. Les surfaces des circuits encapsulés sont estimées après leur placement/routage par l'outil Encounter de Cadence.

RÉSULTATS:
Les surfaces des circuits benchmarks encapsulés dans l'architecture de test proposée sont en moyenne plus petites de 4,43% comparativement à celles des mêmes circuits mais qui sont encapsulés dans la structure de test conventionnel. Le plus important gain obtenu lors de la validation est de 9,87% et le plus faible est de 0.84%. Après analyse des résultats, nous avons déduit que le gain en surface est proportionnel au rapport entre les plots de l'IP et sa surface avant encapsulation.

LAVIGUEUR, Bruno **DIPLÔME: M.Sc.A.**

TITRE:

Exploration architecturale de processeurs réseaux utilisant un jeu d'instruction configurable à l'aide d'une plate-forme générique.

RÉSUMÉ:

Ce projet traite de l'élaboration d'une plate-forme modulaire axée vers la création de processeurs réseaux. À partir de modèles décrits en SystemC représentant différents modules (tels des mémoires, des processeurs génériques ou encore des processeurs spécialisés) une plate-forme peut rapidement être construite. Ce prototypage rapide permet de vérifier les avantages et les inconvénients d'une architecture donnée. Plus particulièrement, les impacts des modifications au niveau du jeu d'instruction des processeurs seront étudiés. Le second volet de cette recherche se penche sur les techniques utilisées pour masquer la latence des communications dans un processeur réseau. Plus précisément, un processeur supportant plusieurs fils d'exécution concurrents est étudié.

PROBLÉMATIQUE:

Les systèmes-sur-puces sont des circuits de plus en plus complexes et dispendieux à concevoir et à réaliser. Afin de diminuer les coûts de développement, il est nécessaire d'augmenter le niveau d'abstraction lors de la spécification du système et aussi de maximiser la réutilisation. Le développement récent des processeurs configurables offre une nouvelle solution pour s'attaquer au problème du temps de conception d'un SoC. Un processeur configurable peut-être facilement modifié et étendu afin d'offrir des instructions spécialisées pour une classe d'application donnée. Un second problème auquel il faut faire face lors de la création d'un circuit demandant de hautes performances, tel un processeur réseau, est la latence des communications qui peut dégrader grandement les performances globales. Un processeur capable de supporter plusieurs processus en parallèle et offrant des changements de contexte rapides semble être une solution intéressante au problème de la latence.

MÉTHODOLOGIE:

Le langage de modélisation SystemC ainsi que l'outil de développement et de modélisation StepNP sont utilisés pour créer un processeur réseau simple qui sera par la suite simulé et analysé afin de mesurer les avantages d'un processeur configurable. Le même environnement peut être utilisé pour mesurer les gains offerts par un processeur supportant plusieurs processus concurrents. Plus précisément, pour atteindre ces objectifs, un modèle d'un processeur Xtensa a été réalisé à partir d'un stimulateur ISS. Une plate-forme simple d'un processeur réseau ainsi qu'une application réseau représentative et des instructions spécialisées ont aussi été créées.

RÉSULTATS:

Une plate-forme de base d'un processeur réseau contenant un microprocesseur configurable a été réalisé. Certaines instructions spécialisées pour le traitement de paquets et l'encryption des données ont été implémentées et offrent de gains substantiels. Ces résultats ont été présentés à la conférence Design Automation and Test in Europe 2004 (DATE04). La deuxième phase du projet, c'est-à-dire la création d'un modèle simulable d'un processeur ayant plusieurs fils d'exécution concurrents, est aussi complétée et des gains intéressants sont obtenus. Le mémoire a été déposé et accepté.

LAYACHI, Mohammed **DIPLÔME: M.Sc.A.**

TITRE:

Influence du couplage π-π dans le transport électrique à travers les assemblages moléculaires de type 1,4 di thiol benzène.

RÉSUMÉ :

La microélectronique approche des limites de la miniaturisation, d'où la nécessité de trouver des technologies de remplacement. C'est ce que le domaine de la nanotechnologie explore maintenant dans le but de réaliser des composants à l'échelle nanométrique.

PROBLÉMATIQUE :

La description du courant à travers une molécule est un problème complexe dont la modélisation se fonde sur la mécanique quantique. Lorsque la molécule est connectée entre deux électrodes macroscopiques en or, le système combiné est un exemple de dispositif mésoscopique. Ce dispositif opère sous l'influence d'un potentiel électrique externe qui conduit le courant à travers la molécule.

MÉTHODOLOGIE :

- Étude théorique des différentes méthodes de mécanique quantique pour traiter le problème;
- Calcul et simulation de la transmission au travers la molécule en utilisant un code simple relié à la méthode étudiée;
- Apporter les modifications nécessaires pour le code;
- Tester le code modifié sur certaines structures moléculaires;
- Faire les calculs de structures électroniques sur les modèles moléculaires et extraire les paramètres nécessaires;
- Injecter les résultats obtenus dans un code qui modélise la transmission et tracer cette dernière en fonction de l'énergie. La transmission est proportionnelle à la conductance, ce qui permet de calculer le courant.

RÉSULTATS:

Dans la première étape, nous avons étudié la molécule modèle (benzène di thiol). Cette dernière possède des caractéristiques structurales et électriques similaire à un semi-conducteur classique. Ensuite, nous avons étendu l'étude pour voir l'effet de groupe sur les propriétés électriques d'un fil moléculaire constitué de plusieurs molécules assemblées. Le résultat a montré que la variation de l'énergie de la bande interdite est sensible à deux paramètres principaux: la distance intermoléculaire et le nombre de molécules assemblés. D'autre part et afin d'étudier le transport électrique à travers de telles structures, nous nous sommes intéressés à l'effet de l'introduction de la molécule sur le métal. Ce dernier change drastiquement la structure énergétique en s'introduisant dans la bande interdite de la molécule semi-conductrice, créant ainsi des états MIGS.

LEBEL, Éric **DIPLÔME: M.Sc.A.**

TITRE:

Circuits programmables numériquement réalisation des fonctions analogiques.

RÉSUMÉ:

Le but de ce projet est de concevoir un circuit inspiré des Field Programmable Analog Array (FPAA). Le circuit doit être programmable numériquement et pouvoir traiter des signaux analogiques à haute fréquence en temps continu. Des opérations telles que l'amplification de courant ou de tension ou le filtrage de signaux avec la possibilité de programmer les paramètres sont désirables sur une même puce. La cellule de transconductance est utilisée comme élément de base du circuit étant donné ses caractéristiques intéressantes. La faible consommation de puissance est également un aspect recherché dans ce projet.

PROBLÉMATIQUE:

Les circuits programmables sont maintenant courants dans le domaine du numérique (FPGA). Ils permettent de réduire de façon notable le temps de développement d'une application numérique. De plus, il n'est pas nécessaire de connaître les détails du fonctionnement interne du FPGA pour l'utiliser. Du côté analogique, des circuits aussi polyvalents sont beaucoup moins répandus étant donné la complexité que cela implique. Des circuits analogiques programmables numériquement ont fait leur apparition. Ils sont pour la plupart basés sur le concept des capacités commutées, limitant ainsi les signaux à traiter à quelques mégahertz tout au plus. Ces raisons justifient donc la pertinence de créer un circuit analogique programmable pouvant opérer à de plus hautes fréquences. Ce circuit pourrait faciliter la conception de radio par exemple (sélection de canal, contrôle du gain) ou tout autre système impliquant des circuits analogiques.

MÉTHODOLOGIE:

Les étapes planifiées dans ce projet sont :

- Revue de littérature sur les circuits programmables numériquement;
- Choix d'une cellule de transconductance (élément de base)
- Conception, implémentation, fabrication et test de la puce;
- Raffinement du circuit de filtre pour permettre d'autres opérations (amplificateurs, calibration automatique)

RÉSULTATS:

Un filtre programmable utilisant la technologie CMOS 0.18µm a été fabriqué. Ce filtre passe-bande biquadratique est basé sur une matrice de transconductance ainsi que sur des capacités programmables. La technique de programmation consiste à activer et désactiver certaines transconductances pour contrôler la fréquence centrale ainsi que le facteur de qualité. Les tests expérimentaux sur le circuit ont démontré que la technique de programmation fonctionne. La fréquence centrale du filtre peut varier de 6 à 60 MHz. Le facteur de qualité est ajustable sur une plage allant de 0.3 à 8.

LESBROS,Guillaume **DIPLÔME: M.Sc.A.**

TITRE:

Étude et validation expérimentale de l'évolution du contact électrode-tissus nerveux

RÉSUMÉ:

Ce projet porte sur la conception de dispositifs d'instrumentations implantables visant à caractériser l'évolution du contact électrodes-tissus nerveux. De récents travaux au sein du laboratoire ont permis de modéliser cette interface. L'extraction des paramètres de ce modèle sur plusieurs mois permettra de mieux comprendre l'évolution du contact. C'est la fonction principale du circuit intégré conçu au cours de cette maîtrise.

PROBLÉMATIQUE:

Afin de connecter les implants et le système nerveux, des électrodes à contact métalliques sont fixées autour du nerf. L'efficacité du neurostimulateur dépend de l'état de cette jonction. Les électrodes seront attaquées par le système immunitaire humain tout au long de leur durée de vie. De plus, les stimulations électriques engendrent des réactions électrochimiques complexes qui peuvent amener à modifier les caractéristiques de ce contact. Afin d'effectuer des stimulations sûres et efficaces, il est nécessaire de connaître et de comprendre l'évolution de cette interface et ce, tout au long de la vie de l'implant. En équipant les stimulateurs intégrés du laboratoire PolyStim avec ce bloc de mesure, nous serons capables d'obtenir de précieuses informations sur l'évolution de notre implantation mais en plus, nous pourrons interagir efficacement sur les paramètres de stimulation à utiliser

MÉTHODOLOGIE:

La première partie du projet consiste donc à déterminer les paramètres pertinents permettant de caractériser l'évolution de l'interface (ex.: résistance de transfert des charges, impédance non faradique, impédance de Warburg, résistance du nerf…).

Dans la seconde partie, les dispositifs télémétriques implantables permettant de recueillir les paramètres pendant plusieurs mois sont réalisés:

- Un premier implant discret sera réalisé et implanté durant une longue période sur un animal dans le cadre des expériences réalisées avec les collaborateurs du département d'urologie de McGill. Il permettra d'obtenir les premiers résultats in-vivo.

- Par la suite, il s'agira de réaliser un ASIC (Application Specific Integrated Circuit). Ce circuit miniature, plus complet et plus autonome que la version discrète, permettra de mesurer tous les paramètres choisis dans la première partie. Pour cela, il utilisera divers principes d'électrochimie (spectroscopie d'impédance, voltamétrie cyclique …).

RÉSULTATS:

La version discrète de l'implant a été complétée. Aussi, plusieurs modules ont été implémentés sur une seule puce qui est présentement en fabricaiton en CMOS 0.18μm.

LÉVESQUE, Philippe **DIPLÔME: Ph.D.**

TITRE:

Conception et validation d'un échographe intégré

RÉSUMÉ:

Ce travail s'inscrit dans le cadre du projet de conception d'un système échographique intégré sans fil, système qui sera portable, possédera une grande autonomie et pourra être utilisé en conjonction avec un système contrôlé par un processeur (CPU) ou seul, en tant qu'instrument d'imagerie médicale utilisé pour de nombreux diagnostics. Afin de diminuer la consommation d'énergie et les dimensions, le projet propose l'implémentation en matériel avec un circuit programmable (FPGA) des algorithmes des systèmes d'aujourd'hui généralement exécutés par un CPU ou un «Digital Signal Processor» (DSP). La technologie «system-on-chip» (SoC), «multichip package» ou «System in Package» (SiP) permettra d'intégrer les parties analogiques et numériques du système, ce qui nous conduira vers la réalisation d'une nouvelle catégorie de système ultrasonique.

PROBLÉMATIQUE:

La majorité des appareils ultrasoniques commerciaux disponibles aujourd'hui sont principalement utilisés près du lit des patients et occupent un très grand espace dans les cliniques; leur consommation de puissance peut dépasser plusieurs centaines de watts. Ces systèmes sont constitués de plusieurs composants discrets assemblés sur un circuit imprimé (PCB). Des pilotes (logiciel) sont utilisés pour contrôler le système et pour générer l'image ultrasonique. Les dimensions et le coût de l'appareil limitent l'accessibilité de cette technologie pour certaines applications et certains niveaux, notamment pour les soins dispensés en ambulance ou dans les régions économiquement moins favorisés.

MÉTHODOLOGIE :

Une recherche bibliographique approfondie sur les systèmes échographiques, sur les méthodes de traitement de signaux ultrasoniques et sur l'imagerie médicale a été effectuée et est régulièrement mise à jour. Le choix des différentes méthodes de traitement de signal a été validé en comparant les techniques à l'aide de Matlab. La réalisation du circuit complet de la partie numérique du système échographique, du démodulateur jusqu'à l'affichage de l'image sur un LCD (résolution de 320x240) en passant par l'interpolation, est développée sur FPGA (XC3S1500L) à faible consommation et à faible coût. La partie analogique est réalisée avec des composants discrets pour l'instant mais sera implémentée sur une ou plusieurs puces sous peu.

RÉSULTATS :

Plusieurs simulations ainsi qu'un premier prototype sur PCB furent réalisés afin de démontrer la possibilité de réaliser un système échographique intégré. Une deuxième version du prototype est en cours de fabrication afin de corriger quelques erreurs et d'optimiser la consommation. Ce deuxième prototype permettra également d'élargir le champ de recherche au niveau des algorithmes de traitement.

MAHONEY, Patrick **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'une architecture alternative à la CAM basée sur la technologie RAM.

RÉSUMÉ:

Le présent projet consiste en la conception d'une architecture mémoire offrant des performances d'accès similaires à celles des CAM tout en tirant profit des caractéristiques des RAM : faible coût, forte densité et faible consommation.

PROBLÉMATIQUE:

Les unités de mémoire issues de la technologie CAM sont très dispendieuses en droit d'utilisation, en aire de silicium ainsi qu'en dissipation de chaleur. Elles offrent toutefois la caractéristique de pouvoir effectuer des recherches et des insertions en un seul cycle. De plus, elles garantissent l'absence d'échec lors des insertions tant que la capacité de l'unité n'est pas atteinte.

La problématique consiste à lui trouver une alternative moins dispendieuse offrant des performances d'accès mémoire similaires.

MÉTHODOLOGIE:

- Conception d'un simulateur qui permet d'évaluer les performances de l'architecture;
- Conception d'un modèle analytique permettant d'élargir le domaine de solutions couvert par le simulateur;
- Réalisation RTL de l'architecture et simulations.

RÉSULTATS:

La solution préconisée par l'étude consiste en une architecture de hashing parallèle utilisant des cellules RAM et offrant des performances configurables et statistiquement déterministes.

Le modèle analytique nous permet d'identifier les configurations qui permettent d'atteindre une performance cible donnée. La présence d'une fonction de coût nous permet de plus d'identifier la configuration à coût minimal parmi celles identifiées par le modèle analytique.

MAHREZ, Omar **DIPLÔME: M.Sc.A.**

TITRE:

Méthodologies d'automatisation de tests pour des routeurs configurables.

RÉSUMÉ:

Le contenu du mémoire est basé sur les travaux de recherche réalisés dans le cadre de deux projet industriels distincts, mais néanmoins, complémentaires.

- Développement et implémentation d'une méthode permettant de structurer et d'automatiser certains aspects des tests dans le but de les réutiliser ;
- Développement d'une technique permettant le test simultané de plusieurs services réseau en vue d'une détection éventuelle d'interactions de services dans les routeurs.

PROBLÉMATIQUE:

L'entreprise Cisco Systems compte 35,000 employés dans le monde dont plus de 10% s'occupent des tests de produits, Dans un souci de création de nouvelles stratégies pouvant minimiser les coûts associés aux tests, l'entreprise a mis en place des programmes de recherche pour trouver des solutions pouvant améliorer les processus de test.

MÉTHODOLOGIE:

Au cours du premier projet, nous avons développé une application permettant la réutilisation des scripts de tests existants tout en modifiant leur contenu selon les nouveaux paramètres de service et d'environnement de test. Un concept d'abstraction de services et de structuration de données a été mis en application afin d'atteindre ces objectifs.

Le deuxième projet est relatif aux tests simultanés de plusieurs services sur plusieurs équipements. Nous avons développé une technique basée sur des attributs de paramètres de cas de tests relatifs à des services distincts ; elle permet de comparer ces paramètres, de les combiner et ainsi tester plusieurs services simultanément. Des scénarios de tests ont été réalisés grâce à cette technique et des cas d'interactions de service ont été simulés pour montrer comment, à travers cette technique, il est possible de détecter d'éventuelles interactions entre les services.

Les tests ont été réalisés sur des bancs d'essais constitués d'équipements routeurs GSR et de générateur de trafic de type Agilent.

RÉSULTATS:

Les résultats du premier projet se limitent à des Scripts de tests générés de façon pseudo-automatique par l'outil développé à cet effet. Nous avons pu réutiliser des composantes de tests pour créer de nouveaux tests en se basant sur des scénarios de changement d'environnement de test et de services configurés sur les routeurs.

Pour le second projet, les résultats de tests ont prouvé, d'une part, qu'il est possible de combiner de façon automatique des cas de tests valides afin d'examiner plusieurs services de façon simultanée et, d'autre part, de simuler des interactions (non désirées) entre les services.

MAHVASH Mohammad Hossein **DIPLÔME: M.Sc.A.**

TITRE:

Techniques d'entrelacement spatio-temporelles.

RÉSUMÉ:

Dans ce projet, nous considérons les différents types d'entrelacement, leur efficacité et leur complexité. Ces méthodes incluent les désentrelaceurs patiaux et temporels.

PROBLÉMATIQUE:

Les désentrelaceurs compensent des lignes manquantes du signal entrelacé. Globalement, il y a deux sortes de méthodes de désentrelacement: compensation en présence de mouvement et compensation en l'absence de mouvement. Les méthodes «non-mouvement» utilisent l'interpolation spatiale dans un champ alors que les méthodes «mouvement» utilisent l'interpolation temporelle dans plusieurs champs pour compenser les lignes manquantes. Les désentrelaceurs adaptatifs peuvent utiliser les deux méthodes pour les différentes parties de l'image. Les méthodes «mouvement» donnent des résultats raisonnables mais ils sont très complexes et ont un grand effort de calcul. Actuellement, le problème avec les désentrelaceurs est: «Comment faire un compromis entre l'efficacité et la performance du désentrelaceur»?

MÉTHODOLOGIE:

Les algorithmes avec compensation de mouvement proposés récemment, mais qui ne sont pas encore disponibles dans des produits, sont de plus en plus performants et abordables. Ainsi, les prochains efforts se concentreront sur les désentrelaceurs avec compensation de mouvement. Ces efforts incluent le développement de quelques techniques de moindre complexité qui pourraient être exécutées dans un système en temps réel et le fait d'explorer les différentes implémentations d'algorithmes avancés matériels ou logiciels l'implémentation existant dans les systèmes en temps réel.

RÉSULTATS:

Nous avons proposé quelques techniques d'optimisation pour accélérer la méthode d'entrelacement améliorée ELA. Les variables à virgules flottantes et la vérification du contour sont utilisées dans un programme de test ELA pour réduire le temps d'exécution. De nouvelles instructions spécialisées pour ELA sont définies dans le processeur reconfigurable Xtensa pour accélérer l'algorithme ELA. Une accélération jusqu'à un facteur de 48 est obtenue par l'optimisation du code et les instructions spécialisées.

MARCHE, David **DIPLÔME: Ph.D.**

TITRE:

Conception d'un convertisseur numérique à analogique (CNA) haute performance.

RÉSUMÉ:

L'objectif du projet est la conception d'un CNA de haute performance qui tire profit d'une nouvelle méthode de calibration. Le projet permettra d'allier vitesse et précision en intégrant la possibilité de calibration à un circuit de conversion parallèle rapide.

PROBLÉMATIQUE:

De façon générale, les architectures de CNA les plus rapides effectuent un traitement parallèle dont la précision est dictée par le niveau d'appariement des éléments intégrés. La résolution des CNA rapides est donc limitée par les variations des procédés de fabrication. Les solutions généralement employées nécessitent soit un circuit additionnel de calibration, soit l'utilisation d'une couche résistive supplémentaire (ex: thin-film) ajustable au laser. Cette dernière solution n'est pas compatible avec les procédés de fabrication standard. Une nouvelle technologie de calibration découverte à l'École Polytechnique offre une nouvelle solution. Elle permet une calibration laser post-fabrication sur un procédé standard.

Dans le cadre de ce projet, il est proposé d'intégrer et de tirer profit de cette nouvelle technologie de calibration et d'augmenter la résolution d'un convertisseur rapide.

MÉTHODOLOGIE:

Après revue de la littérature du domaine, les bancs d'essais des modèles de simulation des circuits ont été construits pour évaluer les performances de différents CNAs en simulation. Un modèle de CNA utilisant un réseau R2R a ensuite été conçu. Sa linéarité repose sur la précision des rapports de résistance. Une modélisation des défauts de fabrication a été introduite dans les simulations pour mesurer leurs impacts sur les performances. Ces impacts ont permis de déterminer la calibration nécessaire pour concevoir et intégrer les éléments ajustables. À partir du modèle du circuit, un premier dessin de masque a permis la fabrication d'un prototype.

Le test et la calibration des prototypes permettront de mesurer les performances atteintes par le nouveau CNA.

RÉSULTATS:

Un premier circuit de CNA a été reçu. Il est fonctionnel et les éléments de calibration permettent de modifier sa linéarité. Malheureusement, ses performances statiques sont limitées par des éléments parasites qui n'ont pas été pris en compte lors des simulations.

MBAYE, Mame Maria **DIPLÔME: M.Sc.A.**

TITRE:

Caractérisation et mise en œuvre de métriques orientées boucle pour l'exploration architecturale de plateforme SoC comportant des processeurs spécialisés.

RÉSUMÉ:

Le projet consiste à étudier les métriques qui permettront de mesurer les possibilités d'accélérer le traitement d'une boucle logicielle avec des instructions spécialisées ou un coprocesseur matériel externe.

PROBLÉMATIQUE:

L'industrie a à sa disposition une multitude d'outils pour la conception de plateforme SoC tels que le générateur de processeur spécialisé de la compagnie Tensilica, le générateur de code RTL de Mentors Graphics-CatapultC, etc. Malheureusement, l'industrie doit faire des choix architecturaux qui reposent généralement sur l'expérience de ses concepteurs. Les concepteurs acquièrent une méthodologie en statuant sur les traitements qui s'accélèrent mieux en matériel qu'en logiciel alors qu'ils devraient prendre en compte des métriques rigoureuses pour faire leurs choix architecturaux. Les recherches actuelles montrent que presque 90% du temps d'exécution d'une application concerne 10% des lignes de code de l'application. Donc, au lieu de disperser ses énergies à vouloir optimiser toutes les lignes de code d'une application, il serait bien plus efficace de cibler l'accélération des boucles contenues dans le code. Les métriques orientées boucle permettront ainsi de définir la facilité et l'efficacité d'accélérer une boucle de traitement.

MÉTHODOLOGIE:

La première étape sera la caractérisation des métriques orientées boucle, suivie de la conception et l'implémentation de ces métriques. Elles seront déployées dans l'environnement du compilateur reconfigurable SUIF2. La prochaine étape sera l'interprétation des métriques pour statuer sur les possibilités d'accélération. De ces métriques, une méthode de partitionnement devra être sélectionnée telle que l'intégration d'instructions spécialisées ou de coprocesseurs externes.

RÉSULTATS:

De premières métriques telles que le type de la boucle, sa hiérarchie, le nombre de variables manipulées dans la boucle, le nombre de boucle enfants, le nombre de chargement et de stockage dans la boucle, ont été implémentées. Ces métriques ont été utilisées dans le cadre de la conception d'un processeur dédié à un algorithme de désentrelacement. Le nombre exhaustif de statistiques générées lors du profilage peut freiner l'analyse des résultats, ainsi il serait utile de raffiner les métriques afin d'avoir des métriques qui donneraient des indications plus globales sur la méthode de conception à appliquer sur un segment de code à accélérer. Il serait aussi utile d'avoir un profileur de boucle qui fournirait le temps d'exécution et le nombre de cycles d'horloge associés aux boucles de l'application. Ce qui permettrait de détecter rapidement les boucles les plus gourmandes et de mieux cibler le profilage orienté boucle.

MORIN, Benoit **DIPLÔME: M.Sc.A.**

TITRE:

Exploration d'une plateforme reconfigurable à mémoire distribuée.

RÉSUMÉ:

Le projet consiste à adapter des paradigmes de développement du domaine des systèmes à mémoire distribuée, afin de satisfaire aux contraintes particulières d'une plate forme matérielle reconfigurable. Il s'agit donc d'exploiter de manière efficace sous forme de grappe plusieurs puces de types FPGA, tout en respectant des contraintes temps réel.

PROBLÉMATIQUE:

L'intégration à très grande échelle permet de nos jours d'obtenir des puces reprogrammables de type FPGA contenant un nombre élevé de portes logiques. Malgré ceci, il arrive que les besoins de performance dépassent les capacités des meilleures puces disponibles sur le marché. La mise en réseau de puces de ce type permet d'en augmenter la puissance de traitement équivalente. Afin de faciliter l'intégration de système de ce genre, des outils de parallélisation typiquement utilisés dans les systèmes informatiques à mémoire distribuée devront être adaptés.

MÉTHODOLOGIE:

Voici les étapes proposées:

- Intégration au sein d'une grappe à système à image unique du matériel reconfigurable;
- Implémentation d'un sous ensemble de la librairie de passage de messages MPI;
- Conception et implémentation d'un mécanisme de routage des paquets (logiciel et matériel);
- Conception et implémentation d'un mécanisme de synchronisation de zones de mémoires partagées-distribuées (logiciel et matériel);
- Conception et implémentation d'une application de type temps réel exploitant l'ensemble des ressources de la plate forme matérielle.

RÉSULTATS:

- L'implémentation actuelle de la plateforme matérielle à base de Gigabit Ethernet offre de piètres performances, avec une bande passante de pointe inférieure à 80MB/s, soit une performance inférieure au Fast Ethernet;
- Le système à image unique Adelie Linux a été étendu afin de supporter une architecture hétérogène. Un mécanisme de configuration centralisé a été développé afin de permettre la configuration de l'ensemble des services à partir d'un fichier de configuration unique;
- Une distribution GNU/linux de taille minimale a été créée à l'aide de PtxDist. Cette distribution utilise un schéma de configuration compatible avec Gentoo GNU/Linux afin de supporter une configuration unique;
- Une implémentation réduite de la bibliothèque de passage a été réalisée permettant l'exploitation conjointe de deux niveaux du système;
- L'implémentation matérielle de certains modules a du être abandonnée par faute d'espace disponible sur la plateforme reconfigurable.

MORIN, Dominic **DIPLÔME: M.Sc.A.**

TITRE :

Convertisseur analogique à numérique (CAN) pour des applications à la télévision haute définition.

RÉSUMÉ :

Ce projet vise à concevoir un convertisseur de type Nyquist pour des applications de vidéo haute définition. Ce convertisseur doit atteindre une cadence de 200 ME/s avec une résolution et précision de 10 bits. Le convertisseur devra être implantable dans une technologie standard CMOS 0.18um. Il s'agira d'identifier les architectures et les techniques nécessaires à l'obtention des performances requises.

PROBLÉMATIQUE :

La tendance de l'industrie à toujours vouloir augmenter la performance des systèmes amène de nouvelles difficultés aux concepteurs de CAN. En plus, les nouveaux procédés sous-microniques sont de plus en plus mal adaptés aux systèmes analogiques de précision. Ainsi, des techniques spécialisées doivent être utilisées pour atteindre les paramètres de linéarité et les critères fréquentiels demandés par les systèmes HDTV.

MÉTHODOLOGIE :

Dans le but d'identifier les techniques présentement utilisées en industrie et en développement dans le milieu de la recherche, une revue intensive de littérature sera effectuée dès le début du projet. Des simulations mixtes au niveau transistor des différents modules critiques seront ensuite effectuées pour déterminer le type d'architecture et les techniques à utiliser. Les techniques permettant d'atteindre les performances requises seront étudiées ou développées. Un prototype sera fabriqué pour valider les performances attendues.

RÉSULTATS :

L'architecture choisie pour ce projet est de type pipelinée, suivie d'un traitement numérique visant à linéariser le convertisseur. Pour atteindre la vitesse spécifiée, il faut réduire au minimum la complexité analogique du convertisseur ce qui a pour conséquence de réduire sa précision. Ainsi, le traitement numérique permet de compenser les non linéarités introduites par la réduction de précision du convertisseur. La plus grande difficulté dans ce projet est de déterminer, de façon transparente à l'usager, la magnitude des erreurs introduites dans le convertisseur et la compensation nécessaire à sa sortie. Pour ce faire, nous avons élaboré un modèle d'erreur qui permettra d'améliorer les techniques actuelles de compensation numérique. Un circuit intégré contenant la partie analogique du convertisseur a été fabriqué. Les simulations montrent que ce convertisseur en conjonction avec le traitement numérique peut atteindre les spécifications de vitesse et de précision.

MORNEAU, Michel **DIPLÔME: M.Sc.A.**

TITRE:

Méthodes d'accélération de la simulation de circuits intégrés analogiques utilisées dans des applications nécessitant des simulations multiples.

RÉSUMÉ:

Le projet consiste à élaborer et à valider diverses méthodes permettant d'accélérer la simulation analogique dans le cas où un même circuit doit être resimulé plusieurs fois avec de légères modifications. Ces méthodes seront par la suite utilisées par un outil d'évaluation de performance, un simulateur de pannes et un outil d'analyse Monte-Carlo. Nous espérons obtenir un gain appréciable en temps de simulation.

PROBLÉMATIQUE:

Les simulateurs jouent un rôle prépondérant au niveau de la conception des circuits analogiques, mais ne sont pas adaptés au cas de simulations multiples du même circuit auquel on a effectué de légères modifications. Trois applications majeures requièrent de telles simulations multiples: le dimensionnement automatique des composants, la simulation de pannes et l'analyse Monte-Carlo. Ces opérations nécessitent beaucoup de temps de calcul, parfois trop élevé pour être utilisées en pratique. D'une part, une grande quantité d'information peut être réutilisée d'une simulation à l'autre. D'autre part, ces applications ne nécessitent pas de résultats précis. Nous souhaitons exploiter ces deux caractéristiques afin d'élaborer des méthodes permettant de diminuer de façon appréciable le temps de calcul pour ces opérations.

MÉTHODOLOGIE:

Tout d'abord, l'algorithme itératif Newton-Raphson, qui est au cœur de la simulation de circuits analogiques, a été étudié. Par la suite, une structure de données permettant de conserver et d'observer les résultats intermédiaires de simulation a été ajoutée au simulateur *Spice3*. Des critères d'arrêt de l'algorithme Newton-Raphson avant la convergence ont alors été expérimentés. Plusieurs fonctionnalités ont été ajoutées au simulateur *Spice3* afin de l'optimiser pour les applications qui nécessitent des simulations multiples. Une application permettant la simulation de pannes, la comparaison de performance pour le dimensionnement automatique et l'analyse Monte-Carlo est en cours de développement.

RÉSULTATS:

L'importance de l'utilisation d'une solution initiale en simulation DC a été constatée. Un compromis temps de calcul /précision a été réalisé en spécifiant la précision requise à l'aide du paramètre de tolérance relative des simulateurs (*reltol)*. La méthode *Threshold-Based Simulation Accuracy* développée s'est avérée efficace pour accélérer la simulation de pannes sans altérer significativement la classification des pannes. Le simulateur *MultiSPICE*, développé à partir de *Spice3*, diminue le temps de calcul engendré par les simulations multiples grâce à une interface de communication TCP, à l'injection efficace de modifications dans le circuit nominal, à l'utilisation de solutions initiales précises, au partage d'information et à l'utilisation de méthodes d'arrêt de la simulation DC avant convergence. Les applications de simulation de pannes, de dimensionnement automatique et d'analyse Monte-Carlo peuvent utiliser efficacement ces fonctionnalités afin de réduire de façon importante le temps de calcul, particulièrement en simulation DC.

MOSS, Laurent **DIPLÔME: M.Sc.A.**

TITRE:

Implantation d'algorithmes de partitionnement fonctionnel sur une plate-forme de conception de systèmes embarqués.

RÉSUMÉ:

L'objectif de ce projet est d'implanter, dans le cadre de la plate-forme de co-design SPACE, un module pour réaliser le partitionnement logiciel/matériel et logiciel/logiciel de systèmes embarqués multiprocesseurs. Ce module se servira de divers algorithmes heuristiques, tels que la recherche taboue, le recuit simulé et les algorithmes génétiques, pour optimiser le partitionnement logiciel/matériel, et même logiciel/logiciel, d'un système embarqué selon des contraintes de temps maximal d'exécution des tâches et de surface maximale pouvant être occupée par le matériel. Le module prendra en entrée la description d'un système embarqué en SystemC et donnera comme résultat une série de partitionnements optimisés parmi lesquels l'utilisateur pourra choisir.

PROBLÉMATIQUE:

Les systèmes embarqués ont généralement des composantes matérielles qui sont implantées sur des ASIC ou des FPGA ainsi que des composantes logicielles qui sont implantées sur un microprocesseur ou de plus en plus sur plusieurs microprocesseurs. Le partitionnement logiciel/matériel et le partitionnement logiciel/logiciel entre les microprocesseurs est une étape critique lors du design d'un système embarqué. Étant donné la complexité grandissante des systèmes embarqués, le partitionnement devient difficile à effectuer manuellement et il devient important pour les concepteurs de systèmes embarqués de pouvoir disposer d'outils automatisant le partitionnement.

MÉTHODOLOGIE:

Le projet débutera par une revue de littérature sur les problèmes de partitionnement logiciel/matériel et logiciel/logiciel, afin de mieux déterminer les algorithmes heuristiques pouvant être utilisés pour le partitionnement ainsi que les métriques de coût et de performance liées aux composantes logicielles, aux composantes matérielles et aux communications entre les composantes. Le prototype d'un module de partitionnement sera ainsi ensuite réalisé et sera graduellement raffiné. Les fonctionnalités de ce module seront testées avec diverses applications typiques des systèmes embarqués.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

MOUNAIM, Fayçal **DIPLÔME: M.Sc.A.**

TITRE:

Neurostimulation du système urinaire et monitoring du volume de la vessie pour paraplégiques.

RÉSUMÉ:

Ce projet a pour objectif de développer des dispositifs électroniques implantables pour la réhabilitation des fonctions vésicales. La stimulation électrique d'un nerf sacré innervant le système urinaire permettra aux paraplégiques une miction volontaire et une réduction du problème d'hyperréflexie. La surveillance de l'état de la vessie et en particulier le volume d'urine permettra de prévenir toute incontinence. Si la neurostimulation a déjà fait ses preuves, il n'en est pas de même pour la mesure du volume pour laquelle il faut trouver de nouvelles approches.

PROBLÉMATIQUE:

Les dysfonctions vésicales chez les paraplégiques sont directement liées à l'interruption de l'innervation sensitive et motrice passant par la moelle épinière. Un sujet normal éprouve le besoin d'uriner lorsque sa vessie est pleine. Le cerveau commande alors volontairement la contraction de la vessie et la relaxation du sphincter permettant ainsi la miction. Il inhibe également toute contraction reflexe involontaire pouvant survenir. En Amérique du Nord, plus de deux millions d'individus souffrent dysfonctions urinaires. Un dispositif médical intelligent (DMI), comme l'implant urinaire développé par l'équipe PolyStim, constitue une approche prometteuse pour la réhabilitation des fonctions vésicales. Il reste cependant à trouver un moyen fiable pour surveiller le volume de la vessie et prévenir le patient avant toute incontinence.

MÉTHODOLOGIE:

Le projet se divise en deux parties :

- Neurostimulation du système urinaire:
  - Amélioration des électrodes de stimulation et de l'encapsulation de l'implant;
  - Expériences aigues sur des animaux pour valider la qualité des électrodes et l'implant;
  - Expériences chroniques pour valider la stimulation sélective (miction volontaire) et permanente (inhibition de l'hyperréflexie);
  - Intégration du micro stimulateur sur une seule puce pour des fins de miniaturisation;
  - Réalisation de prototypes d'implant avec composants discrets pour transfert technologique;
  - Réalisation de prototypes d'implant offrant la possibilité de surveiller la qualité de l'interface nerf-électrodes à l'aide d'une mesure d'impédance DC et un lien RF montant;
  - Réalisation d'un implant discret miniaturisé pour petits animaux afin de valider une nouvelle approche de stimulation sélective.

- Monitoring du volume de la vessie:
  - Investigation de l'approche indirecte consistant à corréler les signaux neuronaux sensoriels avec le volume et la pression de la vessie;
  - Investigation de méthodes de mesures directes du volume;
  - Réalisation d'un implant de surveillance du volume permettant de prévenir le patient;

RÉSULTATS:

Les prototypes d'implant urinaire ont été livrés avec succès à Victhom Bionique Humaine. L'investigation de nouvelles méthodes de mesures du volume de la vessie a mené à une solution innovante. La réalisation des implants pour des fins expérimentales est en cours.

NADEAU, Patrick **DIPLÔME: M.Sc.A.**

TITRE:

Mise en œuvre d'un générateur de stimuli haut-voltage dédié à un stimulateur électrique implantable.

RÉSUMÉ:

L'objectif principal de ce projet est de développer un circuit permettant de générer des signaux haut voltage afin de stimuler les tissus nerveux tout en tenant compte du fait que le circuit doit utiliser le moins d'espace possible et en disposant d'une source d'alimentation limitée. Ce générateur de stimuli (étage de sortie d'un micro stimulateur) serait alimenté à de hautes tensions mais la partie de contrôle fonctionne avec des tensions inférieures. Combiné à d'autres projets en cours au sein du laboratoire PolyStim, il mènera à la réalisation d'un micro stimulateur complètement intégré. Ce générateur de stimuli devra permettre de modifier la fréquence, la durée et l'amplitude des stimuli et utiliser des formes de stimuli élaborés et bi-fréquentielles tout en permettant de stimuler de manière monophasique ou biphasique

PROBLÉMATIQUE:

Les stimulateurs implantables requièrent des tensions élevées pour appliquer des stimuli adéquats et efficaces sur les tissus nerveux. Par contre, il est de plus en plus difficile d'alimenter ces dispositifs en haute tension à cause de leur miniaturisation et les récentes technologies supportent des tensions d'alimentation beaucoup trop faibles. Heureusement, il existe des technologies dites à haut-voltage qui offrent la possibilité d'utiliser de hautes tensions tout en offrant des dimensions sous le micromètre.

MÉTHODOLOGIE:

Pour atteindre cet objectif, il est préférable d'utiliser une technologie haut voltage pour les modules qui requièrent une tension d'alimentation élevée telle que l'étage de sortie et d'utiliser une technologie standard pour les autres parties, en particulier pour la partie de contrôle numérique, qui nécessite un très grand nombre de transistors. C'est pourquoi deux puces seront réalisées et assemblées l'une contre l'autre afin d'obtenir un maximum de miniaturisation. Deux circuits différents devront donc être réalisés. La technologie utilisée pour la réalisation de la partie haut-voltage sera le procédé 0.8µm 5V/20Vde DALSA Semiconductor. Cette puce contiendra un générateur de haute-tension ainsi qu'une source de courant programmable composé d'un convertisseur numérique à analogique et d'un étage de sortie. Afin de contrôler ce circuit, la technologie 0.18µm de la TSMC sera utilisée afin d'implémenter un circuit numérique de contrôle. Une attention particulière devra être portée sur le design de l'interface entre les deux puces car des tensions différentes seront utilisées de part et d'autre.

RÉSULTATS:

Le design et l'implémentation des deux puces ont été complétés. Ces circuits ont été envoyés pour la fabrication via la Société Canadienne de Microélectronique.

NADERI, Ali **DIPLÔME: Ph.D.**

TITRE:

Un convertisseur analogique à numérique (CAN) passe-bande Sigma-delta dédié pour des applications SDR.

RÉSUMÉ:

L'objectif de ce projet est de concevoir un CAN sigma-delta à temps continu pour des applications à haute fréquence, en utilisant la technologie CMOS 0.13µm. C'est une nouvelle approche qui est étudiée pour la conception du CAN sigma-delta dans l'application SDR (Software-Defined-Radios).

PROBLÉMATIQUE:

La conception du CAN sigma-delta à haute fréquence pose d'importants problèmes. En première étape, ce CAN demande un résonateur réglable de haute qualité, compatible avec le fonctionnement en haute fréquence. Le résonateur doit pouvoir choisir une faible largeur de bande autour de la fréquence de porteuse, qui indique un facteur de qualité de 200. Il est également nécessaire d'ajuster la fréquence centrale du filtre à la fréquence désirée. En ce qui concerne l'application de ce projet, la consommation de puissance devrait être acceptable pour les dispositifs portatifs. Le quantificateur de ce CAN consomme beaucoup de puissance due à la théorie de CAN sigma-delta. En conséquence, une attention particulière est exigée pour avoir une basse consommation de puissance. Évidemment, la variation de phase d'horloge peut produire de grands défis pour obtenir un rapport de signal sur bruit élevé.

MÉTHODOLOGIE:

Pour filtrer un signal avec une bonne qualité, une nouvelle méthode a été utilisée, opère avec une large plage dynamique (DR) et une basse consommation de puissance. Ce filtre, qui est un filtre analogique de second ordre à temps continu, peut fonctionner à une fréquence de 2GHz. Le facteur de qualité du filtre est réglable en utilisant la méthode (Q-enhanced) pour une gamme de 100-200. La fréquence du filtre est réglable et nous pouvons changer sa fréquence centrale de l'extérieur de la puce ainsi que son facteur de qualité. Par conséquent, la méthode de sous-échantillonnage a été utilisée pour que le quantificateur permette de réduire le taux de donnée et par conséquent la consommation de puissance. La méthode de sous-échantillonnage peut également traduire la fréquence centrale du signal à une faible fréquence intermédiaire (IF), et diminuer le nombre d'éléments pour la démodulation du signal à la bande de base. Une architecture cascadée de second ordre basée sur la méthode de sous-échantillonnage, est suggérée pour la conception de ce CAN, qui peut produire un rapport signal sur bruit (SNR) élevé pour des hautes fréquences.

RÉSULTATS:

Le diagramme bloc de la structure proposée a été simulé par MATLAB. Le bloc de résonateur, qui utilise un filtre analogique de second ordre, a été vérifié par MATLAB et un filtre a été conçu et simulé en utilisant le simulateur SPECTRE de logiciel de conception CADENCE, et la technologie d'IBM CMOS8RF. Finalement, le dessin des masques du filtre a été soumis à la fabrication.

NGUYEN, Huu The Phiet **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un module de synchronisation pour l'intégration à l'échelle de la tranche de routeurs de communication.

RÉSUMÉ:

L'objectif est de concevoir un système de synchronisation très tolérant aux dérives et aux gigues sur les données tout en permettant de maintenir une latence fixe pendant la séquence de transmission. Le système de synchronisation sera réalisé pour être intégré dans un démonstrateur.

PROBLÉMATIQUE:

Dans un système de communication intégré à l'échelle de la tranche, les données du transmetteur sont envoyées au récepteur sur de très longues lignes de transmission, susceptibles d'être perturbées à des phénomènes tels que le gradient de température, la variation de tension de l'alimentation, la variation de procédé et le bruit. Les signaux peuvent prendre plus d'un cycle d'horloge pour arriver au récepteur. L'horloge au récepteur et du transmetteur sont de même fréquence mais sans relation de phase fixe. Les données sont envoyées au récepteur accompagnées de l'horloge du transmetteur. Le module de communication permet de recevoir des données du transmetteur et de synchroniser les données à l'horloge du récepteur.

MÉTHODOLOGIE:

Le travail consiste à valider une solution existante, par calcul théorique et par simulation comportementale en VHDL. Constatant que la solution proposée comporte des limitations et considérant que ces limitations sont inacceptables pour l'application, des méthodes ont été proposées pour rendre le système plus robuste et plus fiable. Parmi les méthodes proposées, la solution la plus prometteuse a été retenue après des analyses poussées. Finalement, la solution retenue a été implantée dans une puce d'évaluation.

RÉSULTATS:

Les tests de déverminage montrent que plusieurs plots sont collés en plus des problèmes d'impédance entre certaines alimentations. De plus, les structures de protection contre l'électrostatique (ESD) ne répondent pas comme attendu. Ces problèmes nous ont empêchés de démontrer la validité de la nouvelle méthode de communication. Malgré les efforts pour diagnostiquer le problème, les causes du problème ne sont pas encore trouvées.

NORMANDIN, Frédéric **DIPLÔME: M.Sc.A.**

TITRE:

Réseau de capteurs optiques pour mesures in vivo et en temps réel des variations de concentration d'oxygène dans les tissus.

RÉSUMÉ:

Ce projet vise à réaliser les détecteurs nécessaires à la mise en place d'un réseau de capteurs optiques de faibles dimensions et à faible puissance qui se veut portable et sans fil. Le système pourra fournir des données en temps réel concernant les variations de concentration d'oxygène dans les tissus vivants.

PROBLÉMATIQUE:

On veut réaliser un système de lecture des variations des concentrations d'oxygène dans les tissus vivants. Cette lecture doit se faire par la mesure des variations des propriétés optiques (absorption, diffusion) du milieu vivant.

La problématique de ce projet réside dans le fait que le système doit être compact, sans fil et fournir des données en temps réel. Comme les tissus biologiques atténuent beaucoup les signaux optiques, il faut développer un détecteur assez sensible pour que le rapport signal/bruit soit raisonnable pour un temps d'intégration assez court (quelques ms).

MÉTHODOLOGIE:

Le travail dans ce projet se divise de cette façon :

- Modélisation des propriétés optiques des tissus;
- Déterminer la sensibilité requise au niveau du détecteur;
- Déterminer le temps d'intégration approximatif;
- Design du circuit de réception, incluant le photo détecteur et les modules de décodage et de filtrage;
- Simulation de chacun des modules du circuit de réception;
- Réalisation d'une puce intégrant toutes les fonctionnalités du récepteur.

RÉSULTATS:

L'ordre de grandeur de la sensibilité nécessaire a été déterminé à partir des calculs de modélisation et le design du circuit de détection est complété. Le processeur en vue de produire un circuit intégré (CMOS 0.18µm) renfermant tous les modules nécessaires à la réception des signaux optiques et à leur prétraitement est actuellement complété. La conception d'un prototype permettant de tester cette puce et de la comparer à des composants actuellement disponibles sur le marché est actuellement en cours.

OULD BACHIR, Tarek **DIPLÔME: M.Sc.A.**

TITRE:

Intégration d'un processeur d'images pour l'implant visuel

RÉSUMÉ:

Notre objectif principal dans ce projet consiste en la conception d'un processeur d'images dédié à l'implant visuel intracortical de notre équipe Polytstim. Ceci permet que les traitements d'images bas niveau soient effectués de façon matérielle.

PROBLÉMATIQUE:

Le présent projet est une suite logique des travaux de recherche entrepris par le laboratoire de neurotechnologies PolyStim portant sur l'implant visuel. Ce dispositif est dédié à la création d'une vision adéquate aux non voyants. Il se divise en deux grandes parties, soient le stimulateur implanté dans le cortex visuel du patient ainsi qu'un contrôleur externe regroupant une caméra destinée à remplacer la fonction de l'œil. Le patient aveugle pourra percevoir une scène constituée des phosphènes que le processeur aura générés en fonction des images traitées. Les buts visés sont d'une durée d'autonomie suffisamment longue et une performance de calcul en temps réel appréciable pour donner un effet de réalité au patient.

MÉTHODOLOGIE:

Il est important dans une conception matérielle telle que la nôtre de procéder à une évaluation du système avant toute initiation de la fabrication. Étant donné la nature du projet, plusieurs niveaux de validation sont requis. D'une part, nous considérons le niveau d'abstraction algorithmique, qui est celui du traitement des images. Plusieurs algorithmes sont choisis pour traiter l'information reçue. Ces algorithmes doivent donc être testés.

Une fois l'architecture du matériel choisi, ce choix étant guidé par le travail susmentionné, un travail de co-design est amorcé en vue de valider les performances du circuit. Ce travail est essentiel et requis pour l'implémentation finale du circuit en vue de la fabrication.

RÉSULTATS:

Les algorithmes de traitement d'images ont été vérifiés avec Matlab.

PAQUET-FERRON, Dominique **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation d'un nerf du système périphérique.

RÉSUMÉ:

L'objectif dans ce projet est de modéliser la conduction neuronale dans un nerf périphérique regroupant deux types de fibres. Ensuite simuler une stimulation sélective. Le projet (UroStim) vise à restituer les fonctions urinaires chez les blessés médullaires. Pour ce faire, une combinaison de signaux électriques appliqués directement sur le nerf (appelée stimulation sélective) permet de stimuler conjointement la vessie et le sphincter afin d'obtenir une miction.

PROBLÉMATIQUE:

Lors d'une blessure au niveau de la colonne vertébrale, il est fréquent d'assister à une paralysie des membres inférieurs et à la perte de contrôle volontaire sur certains organes internes. Un des problèmes majeurs rencontré lors de la stimulation électrique fonctionnelle pour la vessie est la disynergie entre le detrusor et le sphincter. Celle-ci entraîne non seulement une pression intra-vésicale élevée, mais empêche également la miction. La stimulation sélective permet le relâchement du sphincter en même temps que la contraction du detrusor. Une fois l'optimisation et la modélisation complétées, la stimulation sélective devrait être beaucoup plus efficace afin d'éliminer la disynergie et ainsi obtenir une miction complète et efficace.

MÉTHODOLOGIE:

Cette modélisation s'effectue à l'aide de Neuron (logiciel de stimulation neuronale) et de SciRun/BioPse (logiciel d'éléments finis) et comporte plusieurs aspects:

- Modélisation complète du nerf; axones myélinisés, épineurium, périneurium, etc.;
- Regroupement des axones en fascicules et regroupement de ces fascicules en un nerf;
- Modélisation de tous les tissus entourant le nerf ainsi que du liquide extra neuronal;
- Modélisation des électrodes, simulations et validation;
- Optimisation des paramètres de la stimulation sélective;
- Validations des paramètres à l'aide d'expériences aiguës

RÉSULTATS:

La modélisation est terminée et les simulations finales donnent des résultats qui semblent corroler avec les tests expérimentaux.

PETERSON, Kevin **DIPLÔME: M.Sc.A.**

TITRE:

Environnement de vérification en temps réel basé sur les assertions pour les systèmes matériels.

RÉSUMÉ:

L'objectif de ce projet consiste à développer un environnement de vérification permettant la vérification de systèmes matériels temps réel en utilisation des assertions. Dans les systèmes actuels, l'identification et la localisation des erreurs et instabilités constituent un problème de taille. En effet, la haute intégration des circuits réduit la visibilité des signaux entre les différents modules. De plus, les instabilités surviennent souvent lorsque le système fonctionne à pleine vitesse d'horloge. L'ajout de signaux de déverminage externes utiliserait également une trop grande surface dans le circuit. Pour résoudre ces difficultés, nous proposons d'implanter un port de déverminage standard dans le circuit, constitué de sondes branchées à un filtre de données configurables qui permet de maximiser la bande passante utilisée sur les signaux de sortie. Ce port se branche sur une carte constituée d'un FPGA et d'un processeur. Le FPGA contient des générateurs d'événements couplés à des vérificateurs d'assertions qui servent à s'assurer que la zone du circuit présentement examinée se comporte selon ses spécifications. Le FPGA a également la capacité de changer en temps réel la configuration du filtre de données, permettant ainsi de changer la zone vérifiée dans le circuit selon les besoins. Le processeur, quant à lui, a accès aux registres et à la mémoire du FPGA pour consulter l'état des vérificateurs d'assertions, des générateurs d'événements et des signaux stockés en mémoire. Un compilateur permet de générer le fichier de routage du FPGA ainsi que la configuration du port de déverminage, à partir d'assertions décrites en langage dédié. Cet environnement de vérification permettra l'identification plus précise des causes d'erreur pendant la fonctionnement en temps réel du circuit, en plus de minimiser le nombre de signaux nécessaires sur le port de déverminage.

PROBLÉMATIQUE:

Les technologies reliées au milieu de la microélectronique permettent la réalisation de circuits de plus en plus complexes. Cela implique que les signaux internes sont plus nombreux et moins accessibles. L'ajout de signaux externes pour le déverminage constitue une tâche longue et fastidieuse car l'intégrité du signal doit être préservée. De plus, les instabilités surviennent souvent seulement quand le système fonctionne à pleine vitesse, dans un environnement réel. L'identification et la localisation d'instabilités dans un système deviennent donc plus difficiles. L'augmentation de la visibilité ainsi qu'une méthode de localisation des sources d'erreur s'avèrent pour ces raisons primordiales.

MÉTHODOLOGIE:

Ce projet comporte les étapes suivantes:

- Revue de littérature sur les méthodes de vérification en temps réel actuelles;
- Conception de l'architecture de l'environnement de vérification;
- Développement d'un exemple simple sur simulateur pour valider le concept;
- Développement du compilateur d'assertions;
- Application de la méthode sur une plate-forme de prototypage.

RÉSULTATS:

La revue de littérature a permis de découvrir les différents types d'environnement de vérification existants. La conception de l'architecture a pris en compte certaines limitations des systèmes existants pour mener à l'écriture d'une spécification incluant une sonde reconfigurable utilisant un minimum de ressources et maximisant la bande passante, en plus d'une architecture souple de vérificateurs d'assertions synthétisables dans un FPGA. Après réalisation du code VHDL de ces modules, des essais sur simulateur et outils de synthèse ont montré l'impact minimal de la sonde sur le circuit validé et des vitesses d'horloge de l'ordre de centaines de MHz. Un circuit comportant la sonde configurable a été implantée sur une plate-forme de prototypage, ce qui a permis de démontrer la faisabilité du concept en environnement réel.

PIERRON, Loïc **DIPLÔME: M.Sc.A.**

TITRE:

Méthodologie de codesign pour l'exploration architecturale rapide de systèmes sur puce programmable.

RÉSUMÉ:

Le projet propose une méthodologie d'exploration architecturale et de développement rapide sur une carte de co-design intégrant un VirtexII-Pro. Afin de pouvoir étudier et valider cette méthodologie, nous développerons un modèle cosimulable à haut niveau d'abstraction d'une plate-forme matérielle/logicielle. Un tel modèle permet non seulement de s'affranchir des limites de conception imposées par le matériel, mais aussi de faciliter l'exploration architecturale.

PROBLÉMATIQUE:

Certains FPGA (Field Programmable Gate Array) intègrent des microprocesseurs au sein même de la puce reprogrammable, tels les VirtexII-Pro de Xilinx. Avec ces FPGA, il devient alors plus simple de concevoir des SoC (System on Chip). Cependant, nous restons limités par les capacités, non seulement du composant (le matériel qui est intégré sur la puce, sa taille, etc.), mais aussi de la carte sur laquelle le composant est placé (mémoire, etc.). De plus, pour reprogrammer le FPGA, il faut absolument posséder une version synthétisable de l'ensemble du système.

MÉTHODOLOGIE:

Tout d'abord, nous nous familiariserons avec les technologies et les outils qui seront utilisés dans le projet. Par la suite, nous étudierons comment migrer un design d'EDK vers Seamless CVE. Nous développerons ensuite les modèles de la plate-forme de référence et par la suite ceux des composants utilisés pour explorer différentes architectures. Enfin, nous validerons la méthodologie à l'aide d'un exemple d'application.

RÉSULTATS:

- Maîtrise des outils et de la migration d'un design d'EDK vers Seamless CVE;
- Développement du modèle de cosimulation de l'architecture de référence;
- Développement d'une méthodologie intégrant la cosimulation et le raffinement progressif dans la méthodologie de conception classique;
- Validation de la méthodologie à l'aide d'un exemple d'application;
- Mesures;
- Analyse des résultats.

PONTIKAKIS, Bill **DIPLÔME: Ph.D.**

TITRE:

La conception d'architectures et de circuits de faible puissance à délai variable.

RÉSUMÉ:

Le but du projet est d'utiliser une technique à période d'horloge fractionnaire pour augmenter la vitesse et pour réduire la consommation de puissance pour certains microprocesseurs. Nous appliquons aussi une technique qui utilise une source d'alimentation variable, ce qui a pour effet de pouvoir réduire la consommation de puissance dans plusieurs cas. La combinaison de ces deux techniques permet la conception de microprocesseurs à faible puissance qui fonctionnent à des vitesses raisonnables.

PROBLÉMATIQUE:

La consommation de puissance est un facteur très important dans les produits électroniques portatifs. Pour des applications tels que les dispositifs portables («wearable devices») et les réseaux de sondes distribuées sans-fils («wireless sensor networks»), ces produits nécessitent une longue durée de vie de la batterie, un poids léger et la capacité d'effectuer une tâche donnée. Puisque la consommation de puissance dynamique est directement proportionnelle à la fréquence, il est possible de réduire celui-ci en ajustant la fréquence de façon dynamique. Grâce à cette technique, il est possible de prolonger la durée de vie d'une batterie. De plus, puisque la consommation de puissance a une dépendance quadratique sur la tension d'alimentation, il est possible de réduire la consommation de puissance en ajustant cette tension. En utilisant certains circuits à une tension en-deçà du seuil du transistor, une réduction plus importante en puissance peut être obtenue.

MÉTHODOLOGIE:

Pour atteindre nos objectifs, nous suivrons les étapes suivantes:

- Analyse théorique de l'accélération maximale possible en utilisant des périodes d'horloge fractionnaire;
- Modélisation au niveau circuit en utilisant les outils de Cadence;
- Développement de nouvelles techniques de conception à faible puissance;
- Fabrication de puces.

RÉSULTATS:

- L'architecture a été présentée à la conférence NEWCAS 2004;
- Les résultats d'une analyse théorique de l'accélération ont été présentés à la conférence IWSOC 2005;
- Un algorithme pour la conception d'un oscillateur en boucle à faible énergie a été soumis à la conférence ISCAS 2006;
- Une puce a été fabriquée en technologie TSMC CMOS 0.18µm et des résultats de test préliminaires ont été obtenus.

PROVOST, Ghislain **DIPLÔME: M.Sc.A.**

TITRE:

Exploration architecturale et implémentation matérielle du décodeur à seuil itératif de codes convolutionnels doublement orthogonaux.

RÉSUMÉ:

Ce mémoire consiste en l'implémentation matérielle et optimisation d'un décodeur à seuil itératif de code convolutionnel doublement orthogonal. La principale motivation de l'implémentation de cet algorithme est qu'il permet de réduire de manière significative la latence et la complexité tout en maintenant un bon BER comparativement à la classe de décodeur turbo. Ainsi, ce nouvel algorithme permet notamment de réduire le bruit blanc dans les communications à de forts rapports signal à bruit. Une exploration des possibilités d'implémentation VLSI est explorée dans le domaine numérique synchrone et asynchrone.

PROBLÉMATIQUE:

Depuis plus de 30 ans, les communications électroniques sont devenues un besoin essentiel aux sociétés modernes. Ainsi, pour transmettre l'information de manière fiable, les différents spécialistes des communications ont essayé de minimiser la probabilité d'erreur de transmission afin de maximiser la transmission d'information utile. Pour ce faire, ces spécialistes de l'information ont toujours recherché à créer des codeurs toujours de plus en plus performant. L'année 1993 a été marquée par la découverte des codeurs turbo. Ce codeur permet notamment de s'approcher de manière très proche des limites théoriques, mais toutefois l'algorithme comporte une très grande complexité matérielle. Ce mémoire concerne l'étude et l'implémentation matérielle d'un nouveau décodeur.

MÉTHODOLOGIE:

La première étape consiste à implémenter une version numérique de base du décodeur afin de faire la preuve de concept. Ce premier décodeur sera générique quant au paramètre J (complexité de l'algorithme de décodage) et au nombre de bits de quantification des symboles à l'entrée. Ce même décodeur a été implémenté dans un environnement de caractérisation des performances de corrections d'erreurs à l'intérieur même d'un composant FPGA. Avec cette méthode d'accélération de la caractérisation d'un décodeur, une optimisation de différents paramètres ont été effectués dans un intervalle de temps beaucoup moindre comparativement à la version logicielle du décodeur. Également afin d'optimiser les ressources matérielles ainsi que la fréquence d'opération du décodeur itératif à seuil, une étude de l'évolution de ces derniers en fonction des différents paramètres du décodeur fut réalisé. Ainsi l'influence du coefficient de pondération sur la résolution binaire nécessaire à l'intérieur de l'algorithme est démontrée.

RÉSULTATS:

Une première implémentation du décodeur fut réalisée en code VHDL. Également, ce décodeur fut intégré dans un système de communication matérielle complète et paramétrable sur la plateforme ARM Integrator qui permet de calculer le taux d'erreurs pour chacune des itérations du décodeur. Ce même environnement fut interfacé avec un logiciel d'optimisation et a permis de trouver un vecteur de coefficient de pondération. Également nous avons démontré qu'avec un tel accélérateur de calcul qu'il est possible de réduire par un facteur de 3906 le temps nécessaire pour la détermination des performances de corrections d'erreur de cet algorithme.

PROVOST, Simon **DIPLÔME: M.Sc.A.**

TITRE:

Exploration architecturale de processeurs configurables utilisés dans une plateforme multiprocesseurs réalisant de l'encodage MPEG4.

RÉSUMÉ:

Ce projet vise à créer une plateforme d'encodage MPEG4 qui minimise la quantité de modules matériels dédiés et maximise l'utilisation de processeurs tout en respectant la contrainte d'encoder trente images par seconde. Ceci sera fait en utilisant des processeurs configurables et en évaluant l'influence qu'a leur nombre, leur configuration et les diverses instructions spécialisées possibles. Le développement de cette plateforme s'effectue en SystemC, ce qui permet un prototypage et une analyse des résultats rapides.

PROBLÉMATIQUE:

Toujours désireux d'ajouter de nouvelles fonctionnalités à leurs systèmes embarqués, plusieurs compagnies, principalement dans le domaine des téléphones cellulaires, cherchent maintenant à ajouter de la compression vidéo à leurs systèmes. Malheureusement, cette opération nécessite une très grande puissance de calcul qui est généralement limitée sur des systèmes embarqués puisque ceux-ci doivent opérés à faible puissance. Par ailleurs, les nouveaux systèmes développés se doivent d'être flexibles pour permettre un développement rapide d'applications futures. L'utilisation de processeurs configurables s'avère un bon compromis entre rapidité, puissance et flexibilité et devrait ainsi résoudre le problème d'encodage vidéo sur les systèmes embarqués.

MÉTHODOLOGIE:

Pour atteindre l'objectif visé, les étapes suivantes devront être effectuées :

- Intégrer plusieurs processeurs Xtensa à la plateforme actuelle;
- Effectuer des simulations pour obtenir les points critiques de celle-ci;
- Réaliser des instructions spécialisées;
- Explorer les performances obtenues en utilisant diverses configurations des Xtensa.

RÉSULTATS:

La plateforme de test a été analysée et profilée. Les points critiques à accélérer on été identifiés. Des instructions spécialisées ont été développées et permettent d'accélérer l'application par un facteur d'environ 5. Plusieurs fonctionnalités, nécessaires au fonctionnement de la plateforme d'encodage ont été ajoutées aux processeurs configurables.

RENAUD, Mathieu **DIPLÔME: M.Sc.A.**

TITRE*:*

Détecteurs de phase linéaires de précision à usage multiple.

RÉSUMÉ:

Les détecteurs de phase sont essentiels à la conception de divers systèmes en microélectronique. Qu'ils soient destinés à la réalisation d'une boucle de verrouillage de phase, un synthétiseur de fréquence, un système de recouvrement d'horloge ou même pour mesurer un déphasage en boucle ouverte, ceux-ci se doivent d'être très précis et, idéalement, linéaires.

PROBLÉMATIQUE:

Un bon nombre de détecteurs de phase existent dans la littérature, certains plus précis, d'autres moins. Les quelques détecteurs dits de précision souffrent par contre de quelques imperfections les rendant non souhaitables ou, à la limite, inutilisables pour certaines applications typiques. Celles-ci requièrent alors la conception de nouveaux détecteurs exempts de ces imperfections. Des exemples de ces imperfections sont la sensibilité au bruit en mode commun, l'exigence de signaux d'horloge de forme particulière, la génération de bruit en sortie ou un comportement non linéaire.

MÉTHODOLOGIE:

Le projet de recherche consiste en la conception d'un détecteur simple exempt de tels défauts et pouvant être exploité dans toutes les applications nommées précédemment. Pour ce faire, certains autres circuits adapteront le détecteur aux différentes applications. De plus, étant donné la précision recherchée, de nouvelles méthodes de test et d'auto calibration à même le circuit intégré doivent être élaborées pour bien caractériser le détecteur et le dénuder des défauts liés au procédé de fabrication. Par ailleurs, une stratégie doit être élaborée pour éviter les compromis entre la pureté spectrale du signal asservi et la réponse de la boucle. Outre les méthodes d'auto calibration, il est aussi possible d'exploiter des résistances programmables issues d'une nouvelle technologie pour calibrer de façon manuelle le déphasage statique. La figure de bruit de ces résistances doit donc être bien caractérisée pour bien connaître l'impact de ces résistances sur la précision du circuit. Ici, l'étude se limite à donner ou ne pas donner le feu vert vis-à-vis l'utilisation de cette technologie via une caractérisation expérimentale de la figure de bruit typique des résistances programmables.

RÉSULTATS:

La caractérisation expérimentale du comportement bruité des résistances programmables indique que celui-ci est dicté par la même loi qui régie le comportement des résistances en théorie. De plus, leur bruit à basse fréquence n'a rien d'anormal. On peut donc utiliser sans crainte la technologie des résistances programmables.

Une combinaison parallèle d'un nouveau détecteur de phase et d'un nouveau détecteur de fréquence à trois états permet de se départir du traditionnel compromis entre la pureté spectral du signal asservi et la vitesse de convergence de la boucle. De plus, une nouvelle méthode de test embarquée permet de caractériser facilement et de façon très précise la réponse du détecteur de phase.

ROBERT, Manuel **DIPLÔME: M.Sc.A.**

TITRE:

Étude des convertisseurs analogique à numérique en virgule flottante : performance théorique.

RÉSUMÉ:

L'objectif du projet est l'étude et la réalisation d'un convertisseur analogique à numérique en virgule flottante (FPADC). L'étude préliminaire servira à déterminer les avantages de ce type de conversion, ainsi que les possibilités d'exploitation de ces avantages. Il sera alors possible de se servir de ces avantages pour déterminer les champs d'application qui peuvent profiter de la représentation en virgule flottante. Le projet est une étape préliminaire qui permet l'exploration des FPADC pour faciliter la sélection d'une application spécifique pour laquelle un convertisseur pourrait être conçu.

PROBLÉMATIQUE:

À prime abord, il semble que l'acquisition d'échantillons sous forme de nombres à virgule flottante présente plusieurs avantages, mais il faut les prouver afin de démontrer l'utilité d'une telle méthode d'acquisition.

Il y aura donc recherche sur les métriques de performance des ADC afin d'adapter ces métriques pour avoir un indice de la performance des FPADC.

MÉTHODOLOGIE:

L'utilisation du principe des nombres en virgule flottante dans la conception d'un convertisseur analogique à numérique peut comporter des points faibles et des difficultés technologiques. Ceux-ci devront être identifiés et des solutions devront être apportées afin de réduire l'impact qu'ils peuvent représenter.

Tout d'abord, une revue de littérature sera nécessaire afin de pousser les connaissances du sujet et pour trouver les applications du projet. La recherche portera sur la conversion en virgule flottante et les domaines d'applications qui se prêtent bien à ce genre de conversion. Les résultats obtenus par les autres chercheurs pourront servir à valider ou appuyer les concepts en cause. Des simulations seront faites pour prouver les avantages de l'utilisation de la représentation à virgule flottante.

RÉSULTATS:

La revue de littérature avance bien et se précise de plus en plus. La construction d'un modèle idéal d'un FPADC a permis de procéder à des simulations qui ont prouvé que le rapport signal sur bruit restait constant, malgré la diminution de l'amplitude du signal. On veut cependant pousser plus loin pour avoir d'autres avantages et pour identifier les applications qui mettront à profit ce genre d'avantages.

Étant donné que la question du pourquoi faire un FPADC devient plus importante que la question du comment, il ne sera pas question de faire des démarches auprès de la CMC pour la fabrication d'une puce. Ces démarches ne pourront être entreprises tant que la preuve de l'utilité des FPADC ne sera pas faite.

La rédaction du mémoire est en cours et la soutenance devrait avoir lieu avant décembre.

ROBERT, Pierre, Yves **DIPLÔME: M.Sc.A.**

TITRE:

Algorithme de classification de signaux pour un système d'acquisition de signaux corticaux.

RÉSUMÉ:

L'objectif de ce projet est de réaliser une classification lors de l'acquisition de signaux provenant du cortex pour pouvoir en isoler les diverses composantes utiles, soit des potentiels d'action associés à des neurones indépendantes. Cet algorithme se base sur une machine neuronale et sera construit sur des données artificielles provenant d'un logiciel de simulation (NEURON) ou de données recueillies in-vivo chez l'animal. Il sera développé de manière logicielle mais pourra par la suite être implémenté matériellement.

PROBLÉMATIQUE:

L'algorithme de prétraitement des signaux recherché, basé sur un réseau de neurones artificiels, permettrait d'isoler les données envoyées par des neurones uniques. En effet, étant donné les dimensions des neurones et des microélectrodes, les potentiels captés correspondent à une mixture des potentiels d'action (PA) émis par l'ensemble des neurones environnants. Le fait de pouvoir isoler le potentiel neurone par neurone permettrait à la fois de diminuer le flot de données en sortie tout en clarifiant l'organisation de ces données.

MÉTHODOLOGIE:

Dans le but de vérifier le fonctionnement de l'algorithme, un ensemble de données artificielles sera construit à l'aide d'un logiciel de simulation neuronale. L'algorithme sera par la suite implémenté de manière logicielle puis testé. Enfin, une version matérielle de l'algorithme (plus ce qui a trait à la classification proprement dite qu'à l'algorithme d'apprentissage) sera développée.

RÉSULTATS:

Un modèle a été élaboré sous Matlab et transféré dans l'environnement Neuron. Aussi, plusieurs outils logiciels ont été complétés pour effectuer des simulations dans Neuron.

ROY, Jean-François **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation et conception d'un contrôleur avec compression dédié à l'implantation d'un système d'acquisition des électroneurogrammes.

RÉSUMÉ:

L'objectif principal est la modélisation et la réalisation d'un système d'acquisition numérique et de contrôle temps-réel pour un implant. La réalisation sur puce dédiée est un objectif à moyen terme mais non inclus dans le cadre de cette recherche, l'application se limitera donc à l'utilisation du FPGA. Cet implant de l'équipe Cortisens inclura dans son système: une matrice d'électrodes, un étage d'amplification pour des signaux à très faible amplitude, des convertisseurs analogique/numérique, ce contrôleur numérique ainsi qu'un lien de communication sans-fil à lien inductif pour l'alimentation de l'implant.

PROBLÉMATIQUE:

Cette recherche se divise en deux volets distincts. Le premier, l'analyse des signaux neuronaux d'intérêts permettra de définir l'algorithme optimal qui maximisera la compression des signaux permettant une plus grande densité. Le deuxième, la réalisation du circuit de contrôle incluant l'optimisation des ressources. La consommation de puissance ainsi que la surface d'implantation sont des soucis constants, ils doivent être minimisés.

MÉTHODOLOGIE:

Une étude avec l'outil Matlab permettra d'analyser les signaux expérimentaux. Différents filtres et méthodes seront testés et comparés afin de prouver la pertinence de l'implémentation matérielle. Le développement d'une description en langage VHDL devient nécessaire ainsi que tout son environnement de test. Un environnement de haut niveau en «C» permettra de tester en détail les différents paramètres en visant un excellent niveau de confiance pour la réalisation matérielle. Un souci particulier sera porté sur l'intégration de la simulation et la situation réelle afin d'aboutir à un environnement hybride facilitant le développement. Le système développé sera porté sur un FPGA comprenant un système complet d'acquisition et de configuration. Ensuite, le système sera optimisé pour minimiser l'utilisation des ressources matérielles et maximiser le transfert de données. Un protocole de communication avec l'implant permettra une configuration proche ainsi que le multiplexage temporel de plusieurs canaux sur un même lien.

RÉSULTATS:

Un premier prototype sur FPGA, avec un lien USB est opérationnel. Un deuxième prototype est en cours de développement pour un lien sans fil. Nous avons utilisé des signaux expérimentaux pour l'analyse des filtres et des algorithmes de compression (DWT, DCT, STFT), transformation en ondelettes (WT), etc. Par la suite, nous avons développé un algorithme adaptatif afin de l'implémenter en VHDL pour le dernier prototype du sujet de ma maîtrise.

SAHEB, Jean-François **DIPLÔME: M.Sc.A.**

TITRE:

Système électronique de commande d'activateurs MEMS dédiés à une micro pompe à usages biomédicaux.

RÉSUMÉ:

Notre objectif principal dans ce mémoire est de mettre en œuvre un système électronique dédié au contrôle et à l'alimentation d'une matrice d'activateurs MEMS à haut voltage. Ce dispositif a comme fonction de commander une micro pompe permettant de distribuer d'infimes quantités de liquides. Le système comportera un convertisseur de tension DC/DC programmable qui servira à convertir la tension d'une pile à une tension de l'ordre de centaines de volts. Aussi, il englobera une interface électronique CMOS à haut voltage pour adresses des matrices d'activateurs MEMS piézoélectriques et électrostatiques. Finalement, le centre du système comporte un microcontrôleur permettant l'activation des sorties par l'intermédiaire de commandes données à l'interface à haut voltage et au convertisseur de tension DC/DC.

PROBLÉMATIQUE:

Avec les progrès croissants en génomique, protéomique et la découverte de nouveaux médicaments, le contrôle microscopique du transport des fluides est devenu crucial. Contrairement aux autres applications MEMS, les micros pompes possèdent de grandes possibilités de principes d'opération. Les nombreuses procédures pharmaceutiques, chimiques et biologiques requièrent souvent des dispositifs qui peuvent distribuer des quantités infimes et précises de liquides injectables. D'autre part, la miniaturisation et l'intégration des dispositifs médicaux dans le but d'obtenir la portabilité et une réduction de coût est de mise. Le projet consiste à développer un système de contrôle d'activateurs MEMS électrostatiques ou piézoélectriques à l'aide de la technologie haut voltage de Dalsa Semiconductor.

MÉTHODOLOGIE:

Pour réaliser nos objectifs, nous procéderons à la conception du système par le biais des étapes suivantes:

- Définir les charges électriques équivalentes des activateurs MEMS afin d'arriver à établir les caractéristiques de l'électronique d'interfaçage;
- Concevoir un convertisseur DC/DC programmable permettant d'alimenter une interface à haut voltage de DALSA pouvant aller de dizaines de volts jusqu'à des centaines de volts;
- Présenter une interface CMOS à haut voltage permettant de commander une matrice d'activateurs MEMS avec la technologie CMOS haut voltage 0.8 µm de DALSA Semiconducteur;
- Décrire les modes de fonctionnement de l'interface à haut voltage et les formes d'ondes à générer;
- Établir la programmation du microcontrôleur pour faire fonctionner le système global (adressage et données PWM à l'interface à haut voltage et programmation du convertisseur DC/DC)

RÉSULTATS:

Le système proposé a été réalisé sur PCB. Il comporte un convertisseur DC/DC à tension réglable permettant d'obtenir en sortie une tension variable de 15 à 380V avec une tension d'entrée de 3 à 11 V. Il comporte aussi un microcontrôleur de format intégré contrôlant le convertisseur sériel/parallèle à haute tension permettant de programmer l'activation individuelle ou groupée des activateurs MEMS électrostatique ou piézoélectrique d'une micro pompe. Le système permet aussi une variation temporelle de l'excitation piézoélectrique à l'aide d'une programmation PWM en sortie.

SALEH, Abbas **DIPLÔME: Ph.D.**

TITRE:

Nouvelle méthode pour estimer le volume de la vessie par le biais de leurs voies neuronales.

RÉSUMÉ:

Ce travail consiste à proposer une nouvelle méthode pour estimer le volume urinaire et de concevoir et réaliser un circuit électronique intégré implantable destiné à corriger les dysfonctions urinaires. Il s'agit d'un moyen de mesurer le volume de la vessie en utilisant un système d'acquisition à faible bruit pour extraire l'information utile représentant la quantité de l'urine accumulée dans la vessie..

PROBLÉMATIQUE:

Des millions d'individus souffrent de dysfonctions urinaires. Plusieurs types de stimulateurs neuromusculaires miniaturisés implantables permettant de corriger les fonctions vésicales font l'objet de travaux de recherche et de tests en phase clinique. Cependant, la mesure du volume de la vessie demeure inaccessible mais elle est nécessaire pour informer le patient de l'état de son volume vésical et joue le rôle d'une boucle de retour pour un meilleur contrôle de la stimulation.

MÉTHODOLOGIE:

La méthodologie de conception adaptée pour notre travail est la suivante:

- Utilisation du système nerveux comme source d'information pour estimer le volume de la vessie;
- Utilisation d'une électrode tripolaire à gaine entre le nerf et le système d'acquisition nous permet d'éliminer l'interférence (EMG électromyogramme);
- Concevoir et réaliser un système d'acquisition à faible bruit pour amplifier les signaux de faible amplitude et déterminer le comportement du signal nerveux en fonction du volume de la vessie;
- Utilisation d'un filtre coupe bande pour débarrasser de la fréquence du secteur (60Hz);
- Analyse de l'information obtenue pour calculer en temps réel le volume de la vessie;
- Implémentation et validation de l'ensemble du système sur une puce.

RÉSULTATS:

La conception du circuit discret a été complétée. Le circuit résultant a été testé au laboratoire et les premiers tests in vivo donnent de bons résultats.

SALOMON, Max-Élie **DIPLÔME: Ph.D.**

TITRE:

Proposition, modélisation et validation expérimentale d'un synthétiseur de fréquence à très faible gigue.

RÉSUMÉ:

Les développements que connaissent les domaines des télécommunications et de la vidéo entraînent une forte demande pour des circuits de synthèse d'horloge de haute performance, entièrement intégrés sur une puce et de faible coût. Un excellent candidat est le circuit de synthèse numérique directe de phase «DDPS». Cependant, le spectre du signal généré par ce circuit n'est pas pur et il génère une certaine quantité de gigue. Le but de ce travail est de proposer un circuit de synthèse de fréquence à très faible gigue et dont l'étalement spectral est minime.

PROBLÉMATIQUE:

Nous souhaitons produire une horloge à haute fréquence qui soit une fraction exacte de l'horloge de référence. La solution est basée sur le circuit de synthèse numérique directe de phase «DDPS», dont le spectre fréquentiel n'est pas pur et dont les performances concernant la gigue temporelle restent à améliorer. Les travaux en cours ont permis de mettre au point un modèle permettant d'étudier l'effet du choix des paramètres du DDPS sur le spectre du signal produit. Une solution prometteuse consiste à synchroniser la sortie du DDPS avec une boucle à verrouillage de phase «PLL» à bande passante étroite, de façon à rejeter le contenu fréquentiel indésirable. Des simulations à partir d'un modèle conceptuel à l'aide de Simulink laissent envisager des résultats intéressants.

MÉTHODOLOGIE:

Voici en quoi consiste la méthodologie de ce projet:

- Par simulation dans Matlab, comparer diverses modifications du circuit DDPS visant à minimiser la gigue et l'étalement spectral;
- Ajuster les paramètres et choisir la solution offrant le meilleur compromis complexité/performances;
- À l'aide de Cadence, concevoir le circuit retenu;
- Simuler et optimiser le design pour obtenir une gigue et un étalement spectral faible;
- Fabriquer le circuit intégré via notre partenariat avec la CMC, un organisme voué au développement de la microélectronique au Canada;
- Mesurer les performances du circuit à l'aide du spectromètre.

RÉSULTATS:

- Architecture de circuit de synthèse de fréquence améliorée (appuyé par des résultats de simulation);
- Proposition d'une méthode de conception;

SAMSON, Patrick **DIPLÔME: M.Sc.A.**

TITRE:

Abstraction des communications dans une stratégie de codesign logiciel/matériel en vue du raffinement sur une plateforme (SoC) multiprocesseur hétérogène.

RÉSUMÉ:

Ce projet consiste en la conception d'une interface haut-niveau de modèles de communication orientés vers les systèmes sur puce multiprocesseurs hétérogènes. L'objectif est de permettre à des tâches de communiquer même si ces tâches exécutent sur des processeurs différents, qu'ils soient de nature identique (processeurs homogènes) ou non (processeurs hétérogènes). Cette interface sera inspirée des modèles existants tel le partage de mémoire (shared memory) ou la transmission de messages («message passing»). Elle vise une homogénéité au niveau de l'application entre sa modélisation à haut niveau et son implantation finale afin d'éviter de programmer de nouveau les communications une fois le partitionnement effectué. De plus, elle abstrait les détails de plus bas niveau quant aux échanges de données. Il est essentiel que le travail accompli ici soit compatible avec la plateforme SPACE existante. Enfin, le flot de développement complet, de la modélisation haut niveau jusqu'à une plateforme multiprocesseur matérielle, sera implantée et vérifiée sur une plateforme reconfigurable de type FPGA.

PROBLÉMATIQUE:

Suite à l'augmentation constante du niveau d'intégration des circuits intégrés, la conception de plateformes multiprocesseurs hétérogènes gagne en popularité dû à des contraintes de performance et de coût croissants. De tel système impose une complexité croissante aux développeurs-logiciels et aux développeurs matériels. De surcroît, les marchés imposent des contraintes de temps («Time to Market») qui rétrécissent sans cesse. Dans une stratégie de codesign logiciel/matériel, il est essentiel de pouvoir développer de tels systèmes à un niveau d'abstraction plus élevé et de pouvoir les vérifier et enfin, les raffiner rapidement vers une implantation fonctionnelle.

Les systèmes sur puce multiprocesseurs imposent une complexité supplémentaire au niveau de la programmation de ses applications. En fait, une de ces complexités se situe au niveau de la communication entre les différents processeurs possiblement hétérogènes. Puisque la stratégie de codesign appelle d'abord à une modélisation à haut niveau et ensuite à un raffinement successif vers une implantation, il est essentiel que le modèle de communication représenté au départ se traduise par une implantation valide et fonctionnelle. Aussi, il y a un besoin pour différents modèles de communication au niveau de la modélisation des systèmes.

MÉTHODOLOGIE:

Afin d'atteindre les objectifs de ce projet, plusieurs étapes devront être accomplies avec succès. D'abord, il est essentiel de définir l'interface de communication désirée et d'assurer sa compatibilité avec la plateforme SPACE. Par la suite, le moteur de synchronisation et de communication, un module qui assure une synchronisation correcte et une gestion des données échangées entre les tâches, sera modélisé avec la bibliothèque SystemC. Son intégration dans la plateforme SPACE suivra. Ce modèle plus abstrait servira de guide pour l'élaboration d'une version matérielle du moteur de synchronisation et de communication. Cette nouvelle version raffinée sera produite à l'aide du langage de description matérielle VHDL. Enfin, afin de vérifier l'ensemble des étapes traversées, un système multiprocesseur sera d'abord conçu et par la suite implanté. Ce travail se fera avec les outils de Xilinx, tel «Platform Studio» et «ISE». Une carte de la compagnie Amirix, contenant un FPGA de Xilinx, servira de plateforme de prototypage afin de vérifier l'exécution de ce système multiprocesseur.

RÉSULTATS:

Le projet débute. Aucun résultat n'est disponible pour l'instant.

SEHIL, Mohamed **DIPLÔME: M.Sc.A.**

TITRE:

Mise en œuvre de bobines intégrées dédiées aux liens inductifs nécessaires aux dispositifs médicaux.

RÉSUMÉ:

Les systèmes biomédicaux implantables nécessitent l'amélioration des méthodes pour le transfert d'énergie. Dans les applications biomédicales, un lien inductif doit satisfaire deux conditions, à savoir la miniaturisation de la taille de la bobine réceptrice, ainsi qu'un haut rendement énergétique puisqu'il est essentiel pour les émetteurs d'être alimentés à l'aide de piles. Les objectifs du projet sont alors la réduction de la taille du récepteur et l'amélioration du rendement de ces dispositifs.

PROBLÉMATIQUE:

Deux obstacles majeurs se posent à nous pour l'atteinte de nos objectifs. D'une part, le modèle existant des liens inductifs ne prend pas en compte les pertes dues à la miniaturistion du récepteur. D'autre part, le rendement des liens inductifs dépend à la fois du couplage et du facteur de qualité des bobines primaire et secondaire qui eux dépendent d'un grand nombre de paramètres géométriques.

MÉTHODOLOGIE:

Pour atteindre les objectifs du projet, nous proposons d'adapter le modèle existant des liens inductifs pour tenir compte des pertes dues à l'intégration du récepteur sur silicium. Ce qui nous amènera à prédire de manière plus exacte le comportement du dispositif. Ainsi, en incluant les pertes résistives et capacitives dans les couches d'oxyde et de silicium de la bobine réceptrice, on obtient un modèle plus complet.

Nous proposons de combiner la modélisation citée ci-dessus et une optimisation discrète des paramètres géométriques de la liaison pour trouver les dimensions géométriques des bobines permettant d'obtenir le rendement maximal en puissance. Cette modélisation permet dès lors de faire un compromis entre le rendement énergétique désiré et la taille maximale à allouer à la bobine réceptrice.

Ce même modèle est étendu pour couvrir le cas de plusieurs bobines réceptrices, dont tout est actionné par l'émetteur externe. Les bobines réceptrices sont alors disposées de telle sorte à être désalignées du centre de la bobine émettrice.

La modélisation utilisée pour décrire le comportement des bobines intégrées a été vérifiée en utilisant la méthode des éléments finis. La comparaison des valeurs d'impédance du composant obtenu à l'aide des simulations électromagnétiques (Agilent Design System) et celles déterminées par le modèle sont en accord.

RÉSULTATS:

Les résultats de simulation montrent qu'en utilisant une spirale planaire de forme circulaire ayant un diamètre externe de 4mm, la charge reçoit 50mW à une distance de 1cm et ceci avec un rendement de 21%. Pour le cas de plusieurs récepteurs, les résultats de simulation montrent qu'en utilisant quatre récepteurs similaires de 4.5mm de diamètre externe, la charge peut recevoir 10mW à une distance de 1cm et ceci avec un rendement de 25%.

SINGH, Rahul **DIPLÔME: M.Sc.A.**

TITRE:

Conception de circuits analogiques de précision utilisant des résistances diffusées par laser.

RÉSUMÉ:

L'objectif du projet est d'étudier et de concevoir des circuits analogiques de précision. Ces circuits emploieront une structure de résistance diffusée par laser pour réaliser l'exactitude désirée. De telles résistances seront insérées dans une architecture d'amplificateur opérationnel à plusieurs étages qui peut être réalisée en technologie de CMOS.

PROBLÉMATIQUE:

Les variations des caractéristiques physiques et les variations de tension de seuil lors de la fabrication d'un circuit et les efforts mécaniques subits lors de l'empaquetage contribuent au mésappariement. Ceci limite la performance d'un circuit analogique qui exige une précision élevée. Pour le cas proposé de l'amplificateur opérationnel en technologie CMOS, le paramètre affecté par ces variations est la tension de décalage d'entrée. La conception vise également à identifier une solution pour réduire la dérive de la tension de décalage d'entrée avec la température.

MÉTHODOLOGIE:

- Identification et choix des étages de l'amplificateur opérationnel permettant de respecter les spécifications;
- Définition d'une architecture d'amplificateur opérationnel faisant appel à des résistances diffusées par laser pour compenser les variations de mésappariement;
- Définition d'une architecture d'amplificateur ayant une faible sensibilité au vieillissement dû au temps et à la température.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

ST-PIERRE, Francis **DIPLÔME: M.Sc.A.**

TITRE*:*

Implémentation matérielle sur FPGA et analyse d'un réseau sur puce dans un environnement matériel multiprocesseur.

RÉSUMÉ:

Après caractérisation d'un modèle de réseau sur puce (NOC pour Network on a Chip), il est nécessaire d'évaluer sa performance ainsi que le coût relié à son implémentation réelle. Il est d'ailleurs important de déterminer quelle topologie dans un SoC (System on Chip) permettra de minimiser les temps de communication entre les ressources pour que celles-ci puissent consacrer plus de temps au traitement de l'application.

PROBLÉMATIQUE:

Grâce à la constante progression dans la technologie du transistor, il est possible d'intégrer sur une même puce des dizaines de ressources pour accélérer le traitement d'une application donnée. Une ressource peut être un processeur, un DSP, une mémoire, un bloc matériel ou un FPGA. Pour que ces ressources puissent communiquer entre elles, le modèle simple du bus n'est plus adéquat. Il faut orienter les communications inter ressources vers d'autres topologies (anneaux, arbres, etc.). On assiste donc à l'émergence de différents réseaux intégrés sur puce, communément appelés NoC (Network on Chip). Étant donné qu'un NoC a déjà été modélisé et simulé de façon logicielle, il est essentiel d'avoir une évaluation tangible de la qualité de ce NoC.

MÉTHODOLOGIE:

- Concevoir et réaliser de façon matérielle un NoC appelé RoC (Rotator On a Chip) avec l'aide du VHDL;
- Créer un générateur de trafic pour émuler des applications de traitement de paquets, multimédia, etc.;
- Analyse des résultats obtenus pour certains paramètres: espace utilisé, latence maximale, débit maximal et puissance utilisée;
- Se comparer à différents NOC selon les critères: débit, contention, espace, consommation de puissance et temps de transfert.

RÉSULTATS:

Une première implémentation matérielle a été réalisée. Une évaluation de l'espace utilisé sur un FPGA pour quatre nœuds a été obtenue. La partie générique des connexions du RoC ainsi que le format des paquets pouvant être expédié est maintenant générique. Les prochains travaux à venir porteront sur l'optimisation de ses capacités par l'ajout de la bidirectionnalité de transmission des messages à l'intérieur du cœur du RoC et la capacité de hiérarchisation d'échange de messages entre plusieurs RoC. Une implémentation sur FPGA est en cours pour tester son fonctionnement matériel. Ce test portera à faire communiquer plusieurs processeurs entre eux pour effectuer un calcul multiprocesseurs. Une architecture de communication avec un tunnel hyper transport a été développée pour fonctionner avec le projet d'un autre étudiant. Après synthèse pour un Virtex 2VP30, nous démontrons que l'espace est très limité et que les futures versions de la puce de Xilinx seront nécessaires pour pousser le projet encore plus loin.

TANGUAY, Bruno **DIPLÔME: M.Sc.A.**

TITRE:

Chaîne de traitement numérique basée sur des processeurs configurables pour la radio reconfigurable par logiciel (SDR)

RÉSUMÉ:

L'objectif du projet est d'évaluer l'application des processeurs configurables pour le traitement numérique d'une radio reconfigurable par logiciel (Software Defined Radio). En fait, l'étude doit démontrer si les processeurs configurables peuvent être utilisés pour du traitement de signal en temps réel. Étant donné que l'égalisation est l'un des algorithmes les plus exigeants mathématiquement, l'étude sera principalement consacrée à ce type d'algorithme.

PROBLÉMATIQUE:

La demande grandissante en communication sans fil a donné naissance à différents standards de télécommunication à travers le monde (GSM, IS-95, IS-136, PDC, UMTS, etc.). Chacun des standards possède ses propres caractéristiques en termes de type d'accès, de modulation, de fréquence porteuse, d'encodage et de bande passante. Le principal problème de l'émergence de ces différents standards est la compatibilité des différents dispositifs de télécommunication entre eux. Il en résulte une incapacité des systèmes sans fil de communiquer entre eux. La solution à un tel problème serait un système radio capable d'être entièrement reconfiguré par logiciel pour permettre à celui-ci de répondre aux caractéristiques spécifiques de n'importe quel type de communication. Une SDR idéale serait entièrement constituée de processeurs DSP; cependant, les performances de ceux-ci sont insuffisantes.

MÉTHODOLOGIE:

À priori, une revue de littérature exhaustive sera nécessaire afin de pousser les connaissances concernant la SDR. Une étude de quantification sera réalisée sur les égaliseurs LTE-LMS et DFE-LMS avec un outil d'optimisation afin de déterminer le nombre de bits optimal pour les différentes opérandes. Une étude sera effectuée sur une technologie Xtensa (Tensilica) qui vise une implémentation sur ASIC. Une autre étude portera sur la technologie Nios (Altera) qui vise plutôt une implémentation sur FPGA.

RÉSULTATS:

Les égaliseurs ont été implémentés avec les différentes technologies. Leur fonctionnement a été vérifié. Des gains de performance considérables ont pu être atteints avec des instructions spécialisées par rapport à une configuration de base. L'étude de la quantification est toujours en cours.

TANGUAY, Louis-François **DIPLÔME: PH.D.**

TITRE:

Réseau sans-fil de capteurs intégrés implantables pour la surveillance des articulations arthritiques.

RÉSUMÉ:

Nous proposons de développer un réseau sans-fil de capteurs intégrés implantables à consommation ultra-faible dédié à la surveillance et au diagnostic de l'arthrite. À l'aide de ces divers capteurs, il sera possible d'obtenir de l'information sur les propriétés mécaniques, électriques ou biochimiques des articulations affectées. En plus de permettre la surveillance et l'évaluation des performances de greffes biologiques ou synthétiques, l'analyse de ces données aidera à mieux comprendre la nature et l'évolution de l'arthrite, fournissant ainsi des pistes de solutions au traitement efficace de la maladie.

PROBLÉMATIQUE:

La recherche sur l'arthrite nécessite la surveillance périodique de l'état physico-biologique de l'articulation afin de faciliter le développement de nouveaux traitements et médicaments ainsi que le choix de la thérapie appropriée. La maturité de la technologie CMOS ainsi que les récents développements dans le domaine des microsystèmes électromécaniques (MEMS) rendent possible la réalisation de réseaux sans-fil de capteurs implantables dans le corps humain pour des applications biomédicales. Le système qui sera développé dans le cadre de ce projet sera utilisé pour mesurer diverses propriétés des joints déficients comme leur pression, leur température, leur impédance électrique complexe ou encore les variations de concentration de protéines particulières qui s'y trouvent. Les données ainsi acquises par les capteurs seront transmises vers un contrôleur externe en utilisant un lien bidirectionnel sans-fil. Certains aspects de ce projet, comme la miniaturisation de chaque nœud de ce réseau de capteurs, la consommation d'énergie ultra-faible, l'intégration du système de communication sans-fil ainsi que le développement des biocapteurs sont riches en défis technologiques.

MÉTHODOLOGIE:

Le déroulement de ce projet est divisé en trois étapes principales. Premièrement, un module de communication bidirectionnel sans-fil intégré à consommation ultra-faible sera développé. Deuxièmement, les modules électroniques de traitement et de contrôle du système seront développés. Troisièmement, les différents capteurs utilisés pour mesurer les paramètres biologiques des articulations seront conçus en utilisant conjointement les technologies CMOS et MEMS. La validation du système final sera faite à l'aide d'essais *in vitro* dans des conditions similaires au milieu biologique que représente le corps humain.

RÉSULTATS:

La conception et l'implémentation d'un transmetteur basse consommation ont été complétées. Une puce résultante est en fabrication.

TAPP, Martin **DIPLÔME: M.Sc.A.**

TITRE:
Une approche générique à l'interopérabilité des environnements de simulation distribués par génération de code dynamique.

RÉSUMÉ:
Le but de l'approche générique à l'interopérabilité est d'atteindre l'interopérabilité entre des environnements de simulation distribués peu importe la technologie de communication encourues ou les modèles objets utilisés tout en minimisant le temps et les coûts reliés au développement et à la maintenance du logiciel nécessaire à l'interopérabilité.

PROBLÉMATIQUE:
Les environnements de simulation distribués, tels que ceux basés sur les standards IEEE 1516.1 High Level Architecture (HLA) ou IEEE 1278.1 Distributed Interactive Simulation (DIS), jouent un rôle clé tant pour fournir l'environnement d'entraînement des pilotes d'avion commercial et militaire, que dans l'acquisition de nouveau matériel par simulation de scénarios de mises en service. Tous ces environnements de simulation ont en commun des définitions de modèles objets comme fondation logicielle de communication. L'interopérabilité entre des environnements de simulation où les modèles objets diffèrent largement est un défi majeur. Typiquement, deux solutions existent: la première implique l'adaptation des applications à interopérer par modification de leur code source; et la deuxième implique l'utilisation d'une passerelle, c'est-à-dire un pont logiciel entre les environnements de simulation à interopérer. Peu importe l'approche utilisée, du développement logiciel, ainsi que de la maintenance, sont requis afin de faire communiquer des environnements de simulation distribués ce qui s'avère être très coûteux et consomme énormément de temps.

MÉTHODOLOGIE:
L'interopérabilité entre des environnements de simulation distribués où les modèles objets utilisés et les technologies de communication diffèrent largement est un problème de grande envergure. C'est pourquoi une approche générique est proposée afin de faire interopérer les environnements de simulation entre eux et ce peu importe les modèles objets utilisés ou les technologies de communication encourues. L'approche consiste à concentrer le développement sur les problèmes d'interopérabilité et non sur le développement logiciel nécessaire à réaliser l'interopérabilité. Pour ce faire, l'approche propose d'utiliser des fichiers pour exprimer l'interopérabilité. Une fois exprimée, l'interopérabilité peut être générée à partir d'une application au moment de l'exécution. Ainsi, une définition d'interopérabilité, « Object Model Interoperability (OMI) description », peut être lu pour ensuite être transformé en code exécutable sous forme de composante logicielle (librairie). Il en va de même pour la définition des modèles objets, « Object Model Representation (OMR) description», qui seront lu pour être transformé composantes logicielles. L'approche proposée est possible grâce à la technologie .NET. C'est à l'aide des services de réflexion de .NET qu'il est possible de générer du code et de l'exécuter dynamiquement, c'est-à-dire à tout moment lors de l'exécution d'une application. Une passerelle peut donc être entièrement définie au moment de l'exécution, sans avoir à recompiler du code et à utiliser un environnement de développement traditionnel.

RÉSULTATS:
Après un an de recherche et développement:

- il est possible de générer des composantes logicielles à partir d'une définition de modèle objet comme OMT;
- un environnement a été conçu pour permettre de se connecter à des environnements de simulation basés sur HLA et DIS;
- dans cet environnement, il est possible de représenter sous forme d'objets les instances retrouvées sur les environnements de simulation HLA et DIS lorsque connecté.

Les résultats de recherche ont été établis dans le contexte des environnements de simulation distribuées STRIVE™ et ITEMS™ de CAE, et de l'environnement de simulation distribué OneSAF de l'armée américaine. De plus, dans le cadre de l'interopérabilité entre STRIVE™ et OneSAF, des métriques ont été recueillies sur la mesure de l'effort logiciel pour atteindre l'interopérabilité.

THIBEAULT, Jean-François **DIPLÔME: M.Sc.A.**

TITRE:

Exploration de techniques de modélisation logicielle en avionique.

RÉSUMÉ:

Le projet consiste, dans un premier temps, à faire une démonstration du bien-fondé de la conception de l'outil «SCADE Suite» de la firme Esterel Technologies. Cet outil est utilisé dans le développement d'applications avioniques embarquées respectant les objectifs DO 178B au niveau A et B. Ces applications requièrent traditionnellement un très grand et difficile effort de développement et de vérification. En particulier, une étude comparative entre l'outil SCADE et la méthodologie utilisant Matlab/Simulink sera effectuée en utilisant une fonction avionique utilisée par des systèmes de gestion de vols, où les modèles systèmes exprimés en notation Matlab-Simulink seront transformés en SCADE. Par la suite, une exploration de stratégies alternatives non basées sur SCADE pour modéliser des systèmes et produire des spécifications sera effectuée.

PROBLÉMATIQUE:

Les systèmes avioniques étant des systèmes critiques devant respecter les objectifs de la norme DO-178B, il devient très fastidieux et difficile de les développer. En effet, pour obtenir la certification du logiciel, nous devons absolument suivre cette norme. L'utilisation d'outils, facilitant la certification peut s'avérer très payant. L'outil SCADE permet, à partir d'un modèle graphique d'exécution développé directement à partir d'une spécification, de générer du code certifié. De plus, SCADE nous permet de simuler directement la spécification, tout en évitant les erreurs de transcription de celle-ci en code exécutable (à l'aide du générateur de code).

MÉTHODOLOGIE:

La méthodologie suivante sera suivie pour l'évaluation de l'outil SCADE d'Esterel Technologies. Premièrement, une modélisation logicielle ainsi qu'une revue de spécification de la fonctionnalité avionique seront effectuées. Par la suite, nous procéderons à une simulation de la modélisation logicielle et à une vérification du design. Ensuite, nous utiliserons l'outil de génération de code de SCADE pour générer la fonctionnalité et ainsi je pourrai la simuler. Subséquemment, une intégration et des tests fonctionnels seront réalisés. Pour finir, une critique et une évaluation post-intégration de la fonctionnalité avionique seront accomplies. De plus, il faudra effectuer une comparaison entre les artéfacts traditionnels, comme par exemple la modélisation avec Matlab/Simulink et SCADE. Dans un deuxième temps, d'autres stratégies, guidées par modèles (model-driven), de modélisation de systèmes seront analysées et une exploration de techniques de spécification pour la génération sera aussi effectuée. En particulier, l'utilisation de tables de décision et de tableaux d'énumération de séquence des événements.

RÉSULTATS:

Une partie de la fonctionnalité avionique a été implantée avec SCADE. Nous en sommes maintenant à analyser et à simuler cette implémentation.

TRABELSI, Abdelaziz **DIPLÔME: Ph.D.**

TITRE:

Correction de l'audition par traitement de la parole dans des prothèses auditives numériques.

RÉSUMÉ:

La correction auditive est généralement associée à un véritable traitement du signal en vue d'égaliser la bande passante de l'ensemble prothèse-oreille et/ou de compresser la dynamique du signal. Ces fonctions sont, depuis plusieurs années, réalisées de manière analogique, avec des limitations que l'on sait. Le développement des techniques de fabrication CMOS permet présentement d'intégrer sur une seule puce dédiée toutes les fonctions nécessaires au traitement numérique d'un signal, depuis son acquisition jusqu'à sa restitution. Cependant, les audioprothésistes ne sont pas actuellement convaincus de la supériorité des prothèses numériques par rapport aux prothèses analogiques. Bien que le son d'un prothèse numérique soit meilleur que celui d'une prothèse analogique, il n'est pas clair que ceci a un impact direct sur l'intelligibilité de la parole dans la zone de perception du malentendant.

Ce projet de recherche porte notamment sur l'amélioration de l'intelligibilité de la parole, pour les surdités sévères et moyennes, en traitant le signal dans le but de discriminer les bruits et isoler la voix.

PROBLÉMATIQUE:

Les difficultés traditionnelles associées à l'utilisation de l'aide auditive conventionnelle dite «analogique» touchent principalement la compréhension de la parole dans le bruit, la nécessité de changer la position du volume selon l'environnement et de manière générale le confort et la qualité du son. Est-ce que la montée de la technologie numérique signifie pour autant que les aides conventionnelles soient reléguées dans la catégorie «bas de gamme» comme certains n'hésitent plus à prétendre? Pas si sûr...

À notre connaissance et à ce stade-ci, aucune étude n'a pu démontrer que l'aide numérique offre une meilleure compréhension de la parole dans le bruit. On parle tout au plus d'une satisfaction dans certains cas chez l'utilisateur de l'aide numérique dans les situations bruyantes.

MÉTHODOLOGIE:

Dans une première étape, il est proposé de déterminer l'ensemble des paramètres qui influencent l'intelligibilité d'un signal audionumérique en se fondant sur les propriétés psycho acoustiques et les caractéristiques des signaux audio mis en jeu. Cette étape aura recours à une approche modélisation/simulation et aboutira au développement d'une plate-forme logicielle qui permettra l'analyse et la reconstruction d'un signal audionumérique de meilleure qualité même dans les situations bruyantes.

RÉSULTATS:

La plate-forme logicielle est déjà développée. La dissertation d'un article de journal et en cours de finalisation.

TRUONG, Olivier-Don **DIPLÔME: M.Sc.A.**

TITRE:

Fabrication et intégration de micromoteurs électrostatiques (MEMS) pour un micro robot: Le WalkingDie.

RÉSUMÉ:

Le projet Walking Die consiste à concevoir le plus petit robot programmable au monde. Ce micro robot possède une dimension totale inférieure à 3 mm x 3 mm x 3 mm et un poids de l'ordre de 8 mg qui est destiné à opérer au niveau nanométrique à l'aide d'une pointe intégrée de microscope à effet tunnel (Scanning Tunneling Microscope – STM). Ce micro robot est composé d'un System on Chip (SoC) qui effectue le contrôle et de deux micromoteurs électrostatiques (MEMS) qui assure la locomotion. Le SoC étant déjà construit, cette recherche consiste à produire ces micromoteurs électrostatiques.

PROBLÉMATIQUE:

L'intégration des micromoteurs électrostatiques dans un micro robot de 3 mm cube demande un assemblage assez complexe. Il faut aussi considérer que les micromoteurs électrostatiques sont reconnus pour ne pas développer beaucoup de puissance. Ces deux facteurs doivent influencer la conception des micromoteurs électrostatiques.

MÉTHODOLOGIE:

Les micros moteurs sont construits à l'aide de techniques de micro fabrication. Nous utilisons la technique de BulkMachining avec un procédé de gravure chimique sèche appelé Deep Reactive Ion Etching (DRIE). Grâce à cette technique, nous pouvons produire des micromoteurs électrostatiques en silicium qui pourront produire assez de puissance pour déplacer le WalkingDie. Cette technique de gravure est la seule qui peut produire un tel type de micromoteur électrostatique étant facile à intégrer.

RÉSULTATS:

Grâce aux calculs théoriques, nous sommes capables de déterminer la puissance minimum requise pour que les micromoteurs électrostatiques puissent faire déplacer le WalkingDie sur un plancher de silicium. À l'aide d'un logiciel d'élément fini spécialisé dans les microsystèmes (Coventor), nous avons pu déterminer les optimums de puissance en fonction de la position du rotor en fonction du stator du moteur. Nous avons aussi comparé les valeurs théoriques avec les valeurs de simulation. Avec la complicité du laboratoire de microfabrication (LMF) de l'École Polytechnique, je conçois présentement les micromoteurs électrostatiques.

VAILLANCOURT VEILLEUX, Nicolas **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation et caractérisation d'une architecture générique de systèmes ultrasoniques portables.

RÉSUMÉ:

L'objectif de ce projet est de modéliser l'architecture de systèmes ultrasoniques portables. Il est question d'un système ultrasonique entièrement intégré. La création d'une architecture modulaire générique permet de modifier certaines parties du système avec facilité. Afin de rendre la modélisation la plus flexible possible, nous développons des interfaces permettant de faire des simulations avec des modules programmés en différents langages (VERILOG, VERILOG-A, VHDL, C/C++, etc.). De plus, l'architecture permet d'implanter des modules de bas niveau, IC (Integrated circuits), afin de pouvoir noter l'impact sur le système global. Ce dernier comprend aussi un module de conversion qui permet d'implanter des signaux complexes réels bruités au système. Enfin, chaque module analogique est «paramétré», c'est-à-dire qu'il est possible de reproduire certains paramètres non idéaux (délais, bruit, slew rate, distorsions, etc.).

PROBLÉMATIQUE:

Avec le développement rapide des technologies liées à la microélectronique, il est difficile de gérer un système complexe qui fait appel à plusieurs de ces technologies et à les intégrer ensemble. Ensuite, il faut penser au code de programmation à utiliser pour le genre de circuit que l'on veut créer. Par exemple, pour concevoir un système analogique nous utilisons VERILOG-A. Par contre, pour concevoir un circuit numérique nous pouvons utiliser le VHDL ou le VERILOG. Alors comment intégrer ces différents codes ensemble. Par la suite, lors de la conception d'un système générique, il faut être capable de quantifier les performances apportées par les modifications. Et enfin, il faut être en mesure de vérifier et de valider le fonctionnement du système global. Ainsi, on peut voir que la modélisation et la caractérisation d'une architecture générique de systèmes ultrasoniques portables s'avèrent d'une importance capitale.

MÉTHODOLOGIE:

Le projet devrait suivre les étapes suivantes:

- Caractérisation des modules de l'architecture du système ultrasonique portable;
- Définition comportementale de chacun des modules;
- Choix du code de programmation des modules;
- Programmation ou conversion des différents modules;
- Validation du fonctionnement des modules;
- Conception des interfaces entre les modules (Verilog, VHDL, SystemC, etc.)
- Conception d'un système flexible multi fréquentiel;
- Paramétrisation réelle des modules idéaux;
- Vérification et validation du système ultrasonique portable.

RÉSULTATS:

La programmation des modules analogiques du récepteur et les simulations VHDL, Verilog et Verilog-A ont été complétées.

WILD, Guillaume **DIPLÔME: M.Sc.A.**

TITRE:

Mesure de l'effet de l'injection de charges par laser sur un circuit oscillant voisin.

RÉSUMÉ:

L'objectif de ce projet est d'entamer la caractérisation de dispositifs résistifs activés par laser au cœur d'un circuit intégré. Au sein de ce vaste cadre d'étude, cette maitrise se concentre sur l'impact d'un faisceau laser sur un circuit oscillant voisin.

PROBLÉMATIQUE:

L'activation d'un dispositif au sein d'un circuit intégré par laser pose d'importants problèmes. Le dispositif est situé dans un environnement sensible, il peut être entouré de circuiteries dont la précision de fonctionnement est cruciale et l'envoi d'une impulsion laser à ses côtés pourrait lui être fatal. En effet, le laser vient apporter des charges électriques dans le substrat et dans les connexions, des charges qui peuvent endommager les autres circuits si certaines règles de dessin ne sont pas respectées. Ce sont vers ces règles de dessin que le projet va s'efforcer de converger. Un autre objectif est de jeter les bases de la mise au point à long terme d'un modèle électrique pour le dispositif étudié.

MÉTHODOLOGIE:

La caractérisation portera sur différents aspects, notamment le temps de relaxation du dispositif après activation au laser, la quantification des charges injectées et la protection contre certains effets non souhaités. Pour arriver à ces fins, nous allons mettre au point des circuits de test adaptés à chacun des problèmes. Ce projet fait appel à des connaissances de dessin de circuits analogiques. Compte tenu de la nature de la problématique, la simulation n'est pas envisageable et le test doit se faire sur des circuits intégrés réels. Il y aura donc une première phase de conception de circuits de tests et une seconde phase de mesures et d'interprétation de résultats pour affiner la conception suivante jusqu'à obtenir des résultats satisfaisants. Les recherches orientées «électriques» sont effectuées en étroite collaboration avec une équipe du département de génie physique qui travaille sur une étude approfondie des phénomènes physiques engendrés par l'envoi d'une salve laser sur des régions diffusées.

RÉSULTATS:

La première phase de ce projet a été l'apprentissage des techniques de base du dessin de circuits intégrés, l'utilisation des logiciels pour augmenter les chances d'obtenir au final un circuit fabriqué apte à livrer des résultats. Le résultat de cette phase a été la fabrication de deux circuits intégrés regroupant des batteries de circuits de test et de caractérisation via la CMC. La seconde phase de ce projet a trait à l'interaction laser – circuits microélectroniques et à l'étude expérimentale sur les circuits fabriqués obtenus.

Finalement des résultats expérimentaux concernant l'impact de l'impulsion laser sur des circuits oscillants voisins ont été obtenus, publiés et présentés lors de la conférence ISCAS 2005 dans l'article intitulé «Characterization of Laser-Induced Photoexcitation Effect on a Surrounding CMOS Ring Oscillator»

ZHOU, Bo **DIPLÔME: M.Sc.A.**

TITRE:

Caractérisation du retard de la disparité due aux variations de processus.

RÉSUMÉ:

Avec la diminution de la taille de circuits intégrés, les variations de processus affectent de plus en plus les performances des circuits intégrés CMOS. Ce projet se concentre sur la caractérisation intra-chips par la mesure de retard de la disparité à l'intérieur du chip et les variations entre puces de plusieurs morceaux.

PROBLÈMATIQUE:

Dans le circuit numérique, une des caractéristiques les plus communes a souffert de retard de la disparité due aux variations de processus et de non linéarité de skew et de synchronisation d'horloge. Dans certaines analyses de synthèse d'horloge, la variation de processus est l'effet principal qui cause les signaux désordonnés d'horloge, qui causent à leur tour la non synchronisation de système.

MÉTHODOLOGIE:

Un oscillateur à anneau, avec sa possibilité de fournir la propagation du retard du signal sur n'importe quelle entrée, est notre choix idéal dans notre circuit. D'autant plus qu'il est la plupart du temps employé pour réaliser le signal d'horloge dans beaucoup de circuits d'applications. Caractérisez par conséquent retarde la disparité à l'aide de l'oscillateur d'anneau est assurément significatif à l'exactitude de réduction dans les signaux d'horloge.

Au lieu d'utiliser les oscillateurs à anneaux indépendants, comme la plupart des circuits précédents, nous utilisons une série d'oscillateurs modifiés d'anneaux, qui ont un certain rapport entre eux. En mesurant chaque période d'oscillateur d'anneau et en utilisant leur rapport pour déduire la propagation du retard de la cellule qui représente le spatial intra chip des variations complémentaires.

RÉSULTATS:

Un papier a été édité dans ISCAS, en mai 2005, qui est intitulé « Measurement of Delay Mismatch Due to Process Variations by Means of Modified Ring Oscillators ». Un morceau d'essai a été mis en application sous la technologie de TSMC CMOS 0.18µm. Des morceaux ont été examinés et analysés. La grande quantité de simulations de post-layout est effectuée pour étudier les effets de la variation et du layout sur le retard de la disparité dans l'étape profonde. En même temps, la mémoire est progressivement accomplie.

ZONG, Pu **DIPLÔME: M.Sc.A.**

TITRE:

Analyse des processeurs reconfigurables dans le contexte de l'implantation d'un estimateur de canal basé sur l'algorithme RLS.

RÉSUMÉ:

Les applications embarquées de nos jours requirent une grande puissance de calcul et des fonctionnalités très spécifiques, surtout dans les domaines du multimédia et de la communication. Les exigences en termes de performance, de consommation d'énergie, du coût et de taille de ces applications ne peuvent souvent pas être satisfaites efficacement en utilisant des processeurs aux usages généraux. Même avec les puissances de calcul qu'apportent les DSP (Digital Signal Processor), les ingénieurs doivent souvent développer manuellement des parties du design en Verilog ou en VHDL afin d'atteindre la performance visée. Toutefois, les logiques RTL pour des fonctionnalités complexes nécessitent beaucoup de temps de conception et de vérification. De plus, les blocs RTL codés manuellement sont trop difficiles à modifier une fois qu'ils sont conçus. Or, les modifications sont souvent nécessaires à cause des changements de standard ou de l'ajout des nouvelles fonctionnalités. Récemment, une nouvelle génération de processeurs, les processeurs configurables, a été développée et mise en marché. Elle est considérée comme une solution très prometteuse. Cette technologie est basée sur un noyau de processeur prédéfini et un environnement de développement permettant une grande adaptation du processeur de base aux requis des applications spécifiques.

PROBLÉMATIQUE:

L'objectif de cette maîtrise est d'analyser les processeurs configurables dans le contexte de l'implantation d'un estimateur de canal basé sur l'algorithme RLS. Cet algorithme complexe est très demandant en terme de puissance de calcul et des bandes passantes requises pour le transfert des données. Cette recherche tente d'évaluer les différentes méthodes d'optimisation qu'offrent les processeurs configurables, les gains en performance et les facteurs limitatifs de cette technologie.

MÉTHODOLOGIE:

Les étapes suivantes seront réalisées pour atteindre les objectifs ;

- Revue littérature sur les processeurs configurables et les estimateurs de canal RLS ;
- Concevoir et valider l'estimateur RLS dans Matlab ;
- Implanter l'estimateur à l'aide des processeurs configurables de la compagnie Tensilica ;
- Analyser les différentes méthodes d'optimisation des processeurs configurables ;
- Développer une métrique de qualité pour les instructions spécialisées ;
- Étudier les limites d'accélération des processeurs configurables.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés dans ce rapport sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels.)

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Audet, Y.	CRSNG	23,000.00 $	2002 – 2007	«Interconnexions photoniques pour systèmes intégrés VLSI»
Audet, Y.,	PIED	15,000.00 $	2002 – 2004	«Laboratoire d'optoélectronique»
Bois, G.,	CRSNG	19,000.00 $	2004 – 2008	«A Platform for the Architectural Exploration of System-On-A-Chip»
Bois, G.,	Micronet	22,000.00 $	2004 – 2005	Design approaches using open and interoperable environments
Bois, G.,	CRSNG	125,000.00 $	2005 – 2006	A Refinement Methodology based on a SystemC Platform for the Hardware/Software Codesign of
Boyer, F.R.,	CRSNG	20,500.00 $	2002- 2006	«Horloge à période variable et lien entre le synchrone et l'asynchrone»
Boyer, F.R.,	Fondation de Polytechnique	15,000.00 $	2003 – 2004	«Traitement de signal et isolation de la voix dans des prothèses auditives numériques»
Boyer, F.R.,	NATEQ	15,000.00 $	2003 – 2006	«Méthodologies et outils pour le développement efficace de systèmes sur puce avec architecture parallèle hétérogène»
Brault, J.J.,	CRSNG	17,000.00 $	2002 – 2005	«Circuits électroniques pour l'optimisation utilisant le recuit déterministe»
Brault, J.J.,	École Polytechnique	6,740.00 $	2004 – 2005	Conception de matériels pédagogiques adaptés à l'enseignement avec simulateur logique en classe
Khouas, A.	CRSNG	18,350.00 $	2003 – 2006	«Méthodes de conception envue du test des systèmes intégrés sur puce»
Khouas, A.	École Polytechnique	7,500.00 $	2004 – 2005	«Caractérisation et mesures des effets des fluctuations des procédés de fabrication sur les délais de propagation dans les cellules de chaînes à délai»
Martel, S.,	Chaire de Recherche du Canada	100,000.00 $	2001 – 2006	«Conception de micro/nano systèmes»

Martel, S.,	CRSNG	32,000.00 $	2002 – 2005	«Miniature Instrumented Robots for Applications at the Molecular and/or Atomic Scale»
Martel, S.,	Institute for Robotics and Intelligent Systems	16,000.00 $	2003 – 2004	«Magnetotactic Bacteria-Based Micro-Electromagnetic Matrix Manipulation and Interconnection Systems»
Martel, S.,	CRSNG	109,200.00	2003 – 2004	«Propulsion et contrôle de micro-dispositifs par gradients magnétiques pour applications endovasculaires»
Martel, S.,	FCI	4,428,859.00 $	2004 – 2006	«Advance Nanorobotic Research Infrastructure»
Martel, S.,	CRSNG	131,200.00 $	2004 – 2007	«Design and assembly of three dimensional micro heat pipe networks for heat dissipation in microelectronics»
Nicolescu, G.,	Fondation Polytechnique	15,000.00 $	2004 – 2005	«New technics for fast and accurate simulation of system on chip»
Nicolescu, G.,	FQRNT	19,500.00 $	2004 – 2007	«Design space exploration for system on chip design»
Nicolescu, G.,	CRSNG	17,500.00 $	2004 – 2009	«Specification and validation in automatic design flow of heterogeneous system on chip»
Nicolescu, G.,	PIED	15,000.00 $	2004 – 2005	«System on chip Design»
Savaria, Y.,	Chaire de Recherche du Canada	200,000.00 $	2001 – 2008	«Conception de systèmes microélectroniques intégrés»
Savaria, Y.,	CRSNG	53,000.00 $	2004 – 2009	«Méthodes de conception de circuits intégrés analogiques précis et d'horloges rapides et précises»
Savaria, Y.	CRSNG, Micronet, PMC Sierra, Gennum	181,000.00 $	2002– 2004	«Architecture of Digital Video Circuits and Synchronization of High Speed Systems»
Sawan, M.,	Victhom	170,000.00 $	2004 – 2006	«Mise en œuvre d'un stimulateur urinaire».
Sawan, M.,	CRSNG, Micronet	60,000.00 $	2003 – 2005	«High Performance mixed-signal circuits for ultrasound applications»
Sawan, M.	Institut Nazareth et Louis Braille	18,000.00 $	2004-2006	«Stimulateur visuel cortical : assemblage d'un prototype»
Sawan, M.,	CRSNG	46,850.00 $	2003 – 2007	«Smart Medical Microsystems Dedicated for Wireless ans Massively Parallel Neural Recording in The Cortex»
Sawan, M.,	Chaire de Recherche du Canada	200,000.00 $	2000 – 2007	«Dispositifs médicaux intelligents»
Sawan, M.,	Dalsa Semiconductor	11,000.00 $	2005 – 2006	«CMOS-DMOS High-Voltage Building Blocks»

Sawan, M.,	Victhom	150,000.00 $	2005 – 2007	Réalisation d'un module de contrôle pour implants

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Aboulhamid, M., Bois, G., Nicolescu, G.,	Micronet	82,000.00 $	2004 – 2005	«Design Approaches Using Open and Interoperable Environments»
Aboulhamid, M., Bois, G., Nicolescu, G.,	CRSNG	210,000.00 $	2004 – 2007	«System-Level Design for Heterogeneous Parallel SoCs»
Aboulhamid, M., Bois, G., Nicolescu, G.	Micronet	53,400.00 $	2004 – 2005	Design approaches using open and interoperable environments
Aboulhamid, M., Bois, G., Nicolescu, G.	St-Microelectronics	30,000.00 $	2004 – 2005	Design approaches using open and interoperable environments
Audet, C., Beaudry, C., Bertrand, F., Boyer, F.R., Dufour, S., Galinier, P., Roy, R., Saucier, A.,	Fondation Canadienne pour l'Innovation (FCI)	4,574,178.00 $	2002 – 2006	«Plate-forme de développement d'algorithmes parallèles pour la modélisation et l'optimisation de systèmes complexes d'ingénierie et de systèmes multi-agents de production industrielle».
Barge, B., Savaria, Y., et 5 autres	Fondation Canadienne pour l'Innovation (FCI) FCI – National Networks	2,300,000.00 $	2002 – 2005	«National Collaboratory for Verification, Validation and Testing in Microelectronics Photonics and Systems»
Bilodeau, G.-A., Nicolescu, G.	Fondation Canadienne pour l'innovation (FCI)	995,731.00 $	2005 – 2006	Infrastructure de surveillance par ordinateur en temps réel.
Bushmann, M., Martel, S.,	CRSNG	150,000.00 $	2004 – 2007	«Cell and tissue imaging and analysis facility»
Bushmann, M., Sawan, M., et 20 autres	FRSQ	250,000.00	2005 – 2007	Groupe de recherche en Sciences et Technologies de la Santé
Camarero, R., Savaria, Y., et 8 autres	Fondation Canadienne de l'Innovation CRSNG, MEQ, Fonds Polytechnique	1,595,000.00 $	1999 – 2003	«Projet Étoile : Réseau de métaconception et prototypage»
Gagnon, F., Savaria, Y., Thibeault, C.,	Prompt-Québec	125,000.00 $	2003 – 2005	«Méthodologie de conception conjointe, matériel-logiciel, appliquée au traitement de signal d'un multi-égaliseurs»

Ghannouchi, F., Sawan, M.,	CRSNG Stratégique	131,500.00 $	2003 – 2004	«Power and spectrum efficient RF/DSP designed transmitters for 4G applications»
Ghannouchi, F., Brault, J.-J.,	École Polytechnique	50,000.00 $	2004 – 2005	Génie électrique par projets (enseignement)
Gourdeau, R., Khouas, A., Cohen, P., Roy, G.	École Polytechnique	20,000.00 $	2005 – 2006	Fond pour le renouvellement des approches pédagogiques
Houde, D., Maciejko, R.,	Valorisation Recherche Québec	597,500.00 $	2001- 2004	«FEMTOTECH : développements et applications des technologies laser à impulsion ultra-brèves»
Marsh, T., Savaria, Y., et 9 autres	Fondation Canadienne pour l'Innovation Gouvernement du Québec FCI	9,718,975.00 $	2003 – 2004	«System-On-Chip Research Network : A national library of microelectronic system components and CAD tools available to multiple research sites through secure communications links»
Meunier, M., Savaria, Y.,	LTRIM Partenariats Technologiques	60,000.00 $	2002 – 2005	«Modélisation d'un procédé de calibrage par laser de circuits microélectroniques et élaboration d'un algorithme de centrale»
Meunier, M., Savaria, Y.,	CRSNG	220,000.00 $	2002 – 2004	«Modélisation d'un procédé de calibrage par laser de circuits microélectroniques et élaboration d'un algorithme de centrales»
Meunier, M., Savaria, Y.,	CRSNG CRD Coop	175,000.00 $	2004 – 2007	High throughput laser trimming of ultra-accurate state-of-the-art analogs circuits
Roy, R., Boyer, F.-R., et 6 autres	FCI	423,959.00 $	2004 – 2005	«Plate-forme de développement d'algorithmes parallèles pour la modélisation et l'optimisation de systèmes complexes d'ingénierie et de systèmes multi-agents de production industrielle».
Savaria, Y., Badia, A., Desjardins, P., Rochefort, A.,	Nano-Québec	120,000.00 $	2002 – 2004	«A Molecular Electronics Test Platform for the Development of an Integrated Hybrid CMOS/Molecular Electronics Technology»

Savaria, Y., Sawan, M.,	FQRNT Équipement	50,000.00 $	2003 – 2004	«Conception et réalisation de systèmes intégrés reliés par liens de communication sans fil»
Savaria, Y., Sawan, M.,	FQRNT Fonctionnement	75,000.00 $	2003 – 2006	«Conception et réalisation de systèmes intégrés reliés par liens de communication sans fil»
Sawan, M., Savaria, Y., & Al.	Fondation Canadienne pour l'Innovation Gouvernement du Québec	3 017,223.00 $	2003 – 2004	«Dispositifs Médicaux Intelligents (DMI): Design, Construction Essais et Validation in Vitro et inVivo»
Sawan, M., Guitton, D., Savaria, Y., Meunier, M	CRSNG stratégique	135,700.00 $	2001 – 2004	«Dispositif électronique implantable dédié à la création d'une vision artificielle chez les non-voyants»
Sawan, M., Corcos, J., Elhilali, M.,	Institut de la recherche en Santé	133,760.00 $	2003 – 2004	«Wireless monitoring and subsequent selective stimulation to efficiently recuperate the bladder function in spinal cord injured patients».
Sawan, M., Savaria, Y., Bois, G., et 17 autres	FQRNT (FCAR) Infrastructure ReSMiQ	255,000.00 $	2002 – 2007	«Analog, digital and RF circuits and systems»
Sawan, M., et 22 autres	Polytechnique, U. de Montréal, Concordia, UQAM, McGill, ETS	125,000.00 $	2002 – 2004	«Analog, Digital and RF Circuits and Systems Design»
Sawan, M., Savaria, Y., Gagnon, F.,	Prompt-Québec	150,000.00 $	2004 – 2006	«Convertisseurs analogiques numériques dédiés aux récepteurs sans fil : conception, implémentation et caractérisation»
Sawan, M., Savaria, Y.,	CRSNG Stratégique	134,000.00 $	2003 – 2005	«RFIC Techniques for Efficient Power Transfer with Full-Duplex High Data Rate Communication Dedicated to Implants»

Équipement électronique

Un ensemble diversifié d'équipement de tests électronique provenant de diverse subvention (FCI, NATEQ, NSERC) obtenu par les différents professeurs membre du GRM ou acheté avec la CMC.

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GRM.polymtl.ca)

Nb	Fabricant	Modèle	Description
	AEROFLEX	IFR3413	Générateur de signal RF 3GHz
	Agilent	16034H	test fixture
	Agilent	16047E	Test Fixtures 40 Hz to 110 MHz
	Agilent	16048G	Test Leads
	Agilent	16065A	Ext Voltage Bias Fixture
	Agilent	16314A	balance /unbalance 4 terminal converter
	Agilent	33250A	0-80MHz WaveForm Generator
	Agilent	4294-61001	Impedance Analyser fixture 100Ω
	Agilent	4294A	Impedance Analyzer 40Hz-110MHz
2	Agilent	E3631A	Power Supply
	Agilent	E3641A	Power Supply
	Agilent	E3642A	Power Supply
	Agilent	E3646A	Power Supply
	Agilent	E3647A	Power Supply
	Agilent	N5771A	System dc power supply
	AVR ICE		Microcontroler programmer and debugger
	Barnstead / Thermolyne	F30430CM	Programmable furnace
	BK	879	LCR meter
	BK	4011	FUNCTION GENERATOR
	BP microsystem	FP1700/240	Universal programmer
	BP microsystem	SM100VQ	
	BP microsystem	SM128CS	
	BP microsystem	SM84UP	
	BP microsystem	SM56TB	TSSOP 56 PINS
	casira		Bluetooth
	CMC/AMI	9444-04-R1	DUT BOARD
	Data Physics	A-120	Power Supply
	Data Physics	DP-V011	Shaker
	Data Translation	DT9834-16-0-12-BNC	Hight Performance Multifunction Data acquisition USB
	Fluke	177	True RMS Multimeter
	HP	54124	Four Chanel test set DC to 50 Ghz
	HP	16500B	Logic Analyzer
	HP	16550A	100Mhz STATE / 500Mhz TIMING
	HP	1741A	Oscilloscope
	HP	3580A	Spectrum Analyzer
	HP	3709B	Constellation Analyzer
	HP	54006A	Probe 6 GHz
	HP	54007A	accessory kit
	HP	54120B	Sampling oscilloscope 50GHz
	HP	54616B	Oscilloscope 500MHz
2	HP	54645D	Mixed signal oscilloscope 100MHz
	HP	6202B	DC Power supply
	HP	6202B	DC Power supply
	HP	8111A	Pulse Function Generator 20 Mhz
	HP	8553L	Spectrum Analyzer 110MHz
2	Instek	PC-3030	Power Supply
	Intel	EVAL80960VH	INTEL 80960VH Developpement board

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GRM.polymtl.ca)

Nb	Fabricant	Modèle	Description
	Intel	KEIXP 12EBAB	Network processor development platform
	INES	GPIB	PCI Card (dans un pc)
	Karl Suss	10577065	Probe station
5	Karl Suss	PH120	Manual Probe Head
	Karl Suss	PH600	SEMI-AUTO PROBE HEAD
2		Z040-K3N-GSG-	
	Karl Suss	100	RF probe 100um dc-40 GHz,Z probe
2	Keithley	2002	Precision Multimeter
	LEITCH	SPG-1680MB	Sync Pulse Generator
	Logical Device	QUV-T8Z	UV ERASER
	METCAL	MX500P-11	Fer a souder surface mount
2	Microchip	ICD2	Microcontroler programmer
	MIRANDA	DAC-100	4224 DAC
	Miranda	Expresso	
	MiroTech	VME+PC	Cabinet
	Nahishige	MB-PB	Micromanipulator
	NI	PXI-1042	PXI BUS
	NI	PXI-6071E	Analog input multifunction
	NI	PXI-6071E	Analog input multifunction
	NI	PXI-8186	Embedded Controler P4 2.2 GHz
3	Philips	PE1514	Power Supply
	PHILIPS	PM3055	Oscilloscope 20 Mhz
	PolyScience	5L	Saline Bath
	Sanyo	VCC3700	CAMERACOULEUR + POWER SUPPLY
	SONY	PVM-1354Q	Télévision
	SRS	SR560	low noise préamp.
	SRS	SR785	Signal Analyzer
	SUN	960	Data center cabinet
	Tektronix	3002	Logic Analyzer
	Tektronix	7623	Oscilloscope
	Tektronix	011-0055-02	75 Ω feedthrough
	Tektronix	012-1605-00	interface cable
	Tektronix	067-0484-01	differential deskew fixture
	Tektronix	CSA7404B	Communication Signal Analyser
4	Tektronix	FG502	Function Generator
	Tektronix	P6139A	Sonde 500MHz
2	Tektronix	P6243	Probe 10X 1GHz
4	Tektronix	P6245	sonde 1.5Ghz 10X pour TDS7154
	Tektronix	P6418	Sonde Logique 16ch
7	Tektronix	P6470	Patern Générator v1.0 17 ch
2	Tektronix	P6810	SONDE LOGIQUE HAUTE PERFORMANCE 32ch
	Tektronix	P7240	sonde active 5X
	Tektronix	P7350	sonde Différentielle 5GHz
	Tektronix	PG506	Calibration Generator
	Tektronix	SG503	Sine Wave Generator
	Tektronix	TCA-1MEG	ADAPTATEUR D'IMPÉDENCE 50Ω 1MΩ
	Tektronix	TCA-1MEG	ADAPTATEUR D'IMPÉDENCE 50Ω 1MΩ
	Tektronix	TCA-SMA	adaptateur TCA-SMA
	Tektronix	TCP202	Sonde de courant de précision DC
	Tektronix	TCP312	Sonde de courant de précision AC/DC
	Tektronix	TCPA300	Amplifier ac/dc current probe power supply
	Tektronix	TDS3054B	Oscilloscope PORTABLE
4	Tektronix	TDS320	Oscilloscope 100Mhz 2ch.
	Tektronix	TDS3AAM	Advanved Analysis Module (TDS3054B)

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GRM.polymtl.ca)

Nb	Fabricant	Modèle	Description
	Tektronix	TDS3LIM	Limit Testing Module (TDS3054B)
	Tektronix	TDS3VID	Advanved Video Module (TDS3054B)
	Tektronix	TDS7154	Oscilloscope 1.5GHz 4ch.
2	Tektronix	TLA715	Analyseur logique 32Mb/ch 64ch/68ch ou 32ch+32stim.
3	Tektronix	TM503	power module mainframe for 3 plug-ins
3	Topward	TPS4000	Power Supply
	vision eng.	lynx	LAMP
	vision eng.	lynx	POWER SUPPLY
2	WAVETEK	19	Générateur de fonction
2	Weller	WES50	Soldering iron
2	Weller	WTCPT	Soldering iron
1	Wenworth labs	MP0901	Prober Microscope
3	Wenworth labs	PRO195LH	Prober Microscope
2	Xantrex	XT20-3	Power Supply

Usine Tyco (GRM / PolyStim)

Nb	Fabricant	Modèle	Description
	creative automation	champion 8300	Creative Automation Paste Dispenser
	Heller Industries	1700EXL	Reflow Oven
	Hesse-Knipps	Bondjet 810	Wedge Bonder
	hitachi	S-4700II	scanning electronic microscope
	JOT AUTOMATION	J202-01	conveyor
	JOT AUTOMATION	J202-02-02	Pickup PCB Destacker
	JOT AUTOMATION	J204-01.6/2	Roller Chain Accumulation Conveyor 59"
	JOT AUTOMATION	J204-02-022	Buffer/Inspection Conveyors 20"
	5 x JOT AUTOMATION	J204-10.9/19	Side Shuttle Transport
	Kulicke & Soffa	4524-d	Ball bonder
	Metcal	1E6000	OPTICAL INSPECTION CAMERA
	Metcal	BGA 3101	Rework station
	Metcal	BGA 3591	Rework station
	METCAL	VPI-1000	OPTICAL INSPECTION SYSTEM
	oxford instrument	7200	EDX
	panasonic	CT-2086YD	monitor
	Perkin Elmer	--	Differential Scanning Calorimeter Pyris Diamond DSC
	PMR Systems	PMR-3500	Ultrasound Cleaner
	Royce Instruments	System 580	Wire Bond Tester
	Shreiber Engineering	trueton 500W	Water Chiller
	SPEEDLINE TECHNOLOGIE	UP1500	
	Techcon	TS9150	Solder Paste Dispenser
	TYCO	--	Offline IQ Feeder Loading Station
	TYCO	APS-1H	Pick and Place Machine with WPS and flipper tool
	TYCO	AVX-1500	Screen Printer
	TYCO	MT-30	Matrix Tray Handler
	Unitek Miyachi	LW500A-1	Nd:YAG laser
	Unitek Miyachi	LW500AWS	5 axis Laser Welding Motion Control System WS
	virtual industries	SMD-VAC-GP	vacuum pen

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)

Nb	Fabricant	Modèle	Description
	Agilent	81200	Test fixture
2	Agilent	83712B	Synthesized CW generator 10MHz 20 GHz
	Agilent	E4805B	VXI Timing module

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)

Nb	Fabricant	Modèle	Description
	Agilent	E8491B	Firewire VXI Controller
8	ALESSI	MH5-L , MH5-R	Micropositioner
3	ALESSI	MMM-01, MMM-02	Micropositioner
	Analogic	DB58750	Arb. Function Generator
	CMC	REV0	VXI Test Fixture Rev.0 (bois)
	CMC/AMI	TH1000	Mixed Signal Head Test
	CMC/FERNBANK	MOD2	Rapid prototyping board V2
3	GGB	28	Picoprobe
4	GGB	40A-GSG-150-P	Microwave Probe
11	GGB	40A	Microwave Probe
2	GGB	dual output	Power supply (Dual Output)
2	GGB	mcw-9-4635	Microwave Probe multi chanel
3	HP	1144A	ACTIVE PROBE
	HP	6623A	Programmable P/S
	HP	745i	HPUX Test Station
	HP	81130A	Pulse Pattern Generator
	HP	85033D	Calibration Kit
	HP	8593E	Spectrum Analyser
	HP	8753E	Network Analyser
	HP	E1401A	VXI Mainframe
	HP	E1406A	HPIB Command module
	HP	E1429B	A/D Digitizer
	HP	E1445A	A/W Generator
	HP	E1450A	Timing Module
	HP	E1452A	Terminator PAT I/O
2	HP	E1454A	Pattern I/O POD
	HP	E3661A	Instrument Rack
3	HP	E4841A	Gen/Anal. Module
	IMS	XL100	High Speed numeric universal tester
	IOTECH	SB488A	Sun GPID CNTL
	KEITHLEY	KI236	Source Measurement Unit
	Rhode&Schwarz	NRVZ 1020.1809.02	Power Meter
	Rhode&Schwarz	NRVZ-Z6	Power sensor

Équipement Informatique prêté par la CMC (www.CMC.ca)

Nb	Fabricant	Modèle	Description
	SUN	Sun Blade 1000	2 processeurs, 5 gig ram
	SUN	Sun Storage A1000	200 gig (12x16go), raid-5
	SUN	Sun Blade 1500	1gig ram
4	SUN	Sun Blade 100	2gig ram
5	SUN	Ultra 10	1gig ram
2	SUN	Ultra 1-140	
14	SUN	Moniteur	17”, 19”, 20”, 21”
1	SUN	Tape Drive	0.25” 150 MB
1	SUN	Tape Drive	20-40GB 8MM
4	SUN	Multi-Pack	Disque 36GB
2	SUN	Unipack	Disque 9GB
16	IBM	IntelliStation M pro	2HD 80gig, 1-3gig ram
16	IBM	LCD L170	
16	SLPS	FPGA board	Altera, Xilinx, (DSP, MM, ES, XLX)
2	ARM	FPGA board	RPP

Équipement informatique

Un ensemble diversifié d'équipement informatique provenant de diverse subvention (FCI, NATEQ, NSERC) obtenu par les différents professeurs membre du GRM ou acheté avec la CMC.

Équipement Informatique appartenant au GRM (www.GRM.polymtl.ca)

Nb	Fabricant	Modèle	Description
	SUN	Sun Blade V890	16 processeurs, 32 gig ram
	SUN	Sun Blade 1000	2 processeurs, 2 gig ram
2	SUN	SUN V440	4 processeurs, 8 Giga RAM
	SUN	Sun Storage A1000	400 gig (12x36go), raid-5
15	SUN	Sun Blade 100	Station du laboratoire VLSI
4	SUN	Ultra 10	
10	SUN	Ultra 5	
6	SUN	Ultra-1	
2	SUN	Ultra-1^{e} 140	
7	SUN	Sparc Station 10	
8	SUN	Sparc Station 5	
5	SUN	Sparc Station 4	
100	PROSYS & DELL	PC	Pentium III ou IV
2	HP	4050tn	Imprimante Laser Noir
4	HP	4M Plus	Imprimante Laser Noir
	HP	5M	Imprimante Laser Noir
	HP	4V	Imprimante Laser Noir 11x17
2	DELL	3100n	Imprimante Laser Couleur
	DELL	5100n	Imprimante Laser Couleur
4	DELL	1700n	Imprimante Laser

LOGICIELS DE MICROÉLECTRONIQUE

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont achetés par le GRM, les autres, Cadence, Mentor, Synopsys, Xilinx etc, sont distribués en tout ou en partie par la Société Canadienne de Microélectronique. (CMC)

Logiciels disponibles au GRM (www.GRM.polymtl.ca)

Compagnie	Logiciel
Cadence	Assura, Confrml, Ic, Icc, Ius, Mmsim, Neocell, Neockt, Rc, Sev, Sna, Soc, Spb, Spw, Tsi, Vsde
Agilent	ADS
Agility	Celoxica
Aldec	VHDL
Altera	Quartus
Ansys	Ansys, Workbench
ARM	ARM Developper Suite
Coware	SPW, LisaTech
Femlab	
Frame, Maker	Version 4, et, 5
Matworks	Matlab, Simulink
Mentor Graphics	Calibre, Dft, Fa, Hds, Seamless, Pads, Expedition, Power PCB, ModelSim, DxD, Hyperlinks,

Logiciels disponibles au GRM (www.GRM.polymtl.ca)

Compagnie	Logiciel
Specman	E
Synopsys	Css, Fm, Hspice, Ns, Pt, Scl, Sentaurus, Star_Rcxt, Syn
Synplicity	Synplify
Telelogic	TAU
Tensilica	Xtensa
Virage	Mem compiler
Xilinx	ISE, EDK, CHIPSCOPE

LOGICIELS

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont achetés par le GRM, les autres, Cadence, Mentor, Synopsys, Xilinx etc, sont distribués en tout ou en partie par la Société Canadienne de Microélectronique. (CMC)

Aldec Agilent ADS Ansys ARM developer suite for SOC/IP Cadenc*e* (environnement intégré par la conception des circuits VLSI) ▪ Cadmos ▪ DES ▪ DSMDP ▪ DSMSE ▪ FE ▪ IC ▪ ICC ▪ LDV ▪ SPR ▪ SPW ▪ VCC Femlab FrameMaker 4 et 5 (Logiciel de traitement de texte spécialisé) HSPICE (maintenant Synopsys) Matlab (logiciel pour le traitement mathématique) Mentor Graphics ▪ C.1, C.2 ▪ DFT ▪ HDL Designer ▪ Seamless ▪ Renoir ▪ Calibre ▪ ModelTech / ModelSim ▪ DxD-EE Innoveda ▪ HyperLynx 6.1/Innoveda ▪ Power PCB 5.0/Innoveda ▪ BoardSim/Innoveda ▪ Design Suite/Innoveda	Specman Synopsys ▪ NS (Nanosim) ▪ SIM (Core Simulation Tools) ▪ SYN (Core Synthesis Tools) ▪ CCSS (Co-Centric) ▪ FM (Formality) ▪ PT (PrimeTime) ▪ FPGA Compiler2 ▪ HSPICE ▪ STAR SIM Synplicity / Synplify Tau Tensilica TSpice with L-Edit de Tanner Virage Logic – Compilateur de mémoire matériel Xilinx Alliance ▪ ChipScope ▪ EDK ▪ ISE

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

[P-1] BA, A., SAWAN, M., SCHNEIDER, E., ABDEL-KARIM, A.M., ELHILALI, M.M., «Dual stimulation techniques to recuperate the urinary bladder functions: chronic experiments in dogs and new implantable neural stimulator», accepté à Journal de Neuromodulation, 2005.

[P-2] BOYOGUENO-BENDE, A., SAWAN, M., SLAMANI, M., «Design for Stability of High-Speed Integrated Photoreceivers», Springer Analog ICs & Signal Proc. J., 2005, vol. 45 no. 1, pp. 79-98.

[P-3] CANTIN, M.-A., SAVARIA, Y., PRODANOS, D., LAVOIE, P., «A Metric for Automatic Word Length Demtermination of Hardware Datapaths», accepté à IEEE Transaction on CAD.

[P-4] CHEBLI, R., SAWAN, M., «A CMOS High-Voltage DC-DC Up Converter Dedicated for Ultrasonic», accepté à International Journal of Micro and Nano Systems, 2005.

[P-5] DUBOIS, M., SAVARIA, Y., HACCOUN, D., BÉLANGER, N., «On Low Power Configurable and Generic Shift Register Hardware Realizations for Convolutional Encoders and Decoders», accepté à IEE Proc. Circuits, Devices & Systems.

[P-6] FAYOMI, C., SAWAN, M., ROBERTS, G., «Low-Voltage Analog Switch in Deep Submicron CMOS: Design Technique and Experimental Measurements», accepté à IEICE Trans., 2005.

[P-7] KHALI, H., SAVARIA, Y., «A System Level Implementation Strategy and Partitioning Algorithm for Applications Based on Lookup Tables», accepté à Internaitional Journal of Computer and Electrical Engineering.

[P-8] LAPALME, J., ABOULHAMID, M., NICOLESCU, G., «A New Efficient EDA tools design Methodology», accepté à ACM Transactions on Embedded Computing Systems.

[P-9] NICOLESCU, B., IGNAT, Y., SAVARIA, Y., NICOLESCU, G., «Analysis of Real-Time Systems Sensitivity to Transient Faults: A Case Study for MicroC» accepté à IEEE Transaction on Nuclear Science.

[P-10] QIN, L., EL-SANKARY, K., SAWAN, M., «A 1.8v CMOS Forth-Order Gm-C BP Sigma-Delta Modulator dedicated to Front-End Ultrasonic», accepté à Springer Anal. IC & Sign. Proc. J., 2005.

Articles de revues publiés de septembre 2004 à août 2005

[P-11] BELLEMARE, F., PECCHIARI, M., BANDINI, M., SAWAN, M., D'ANGELO, E., «Reversibility of Inspiratory Flow Limitation by Hypoglossal Nerve Stimulation in Anesthetized Rabbits», American Journal of Respiratory and Critical Care Medecine, 2005, vol. 172, pp. 606-612.

[P-12] BUFFONI, L.X., SAWAN, M., COULOMBE, J., «Image Processing Strategies Dedicated to Visual Cortical Stimulators: A Survey», Artifical Organ Journal, 2005, vol. 29, no. 8, pp. 658-664.

[P-13] CANTIN, M.-A., REGIMBAL, S., CATUDAL, S., SAVARIA, Y., «A Unified Environment to Assess Image Quality in Video Processing», Journal of Circuits, Systems and Computers, décembre 2004, vol. 13, no. 6, pp. 1289-1306.

[P-14] CANTIN, M.A., SAVARIA, Y., «An Automatic Word Length Determinatin Methods», WSEAS Transactions on Informatin Science & Applications, novembre 2004, issue 5, vol. 1, pp. 1440-1448.

[P-15] CHAPMAN, G.H., AUDET, Y., KOREN, I., KOREN, Z., DJAJA, S., CHEUNG, D.Y., «A Self-Correcting Active Pixel Sensor using Hardware and Software Correction», IEEE Design and Test of Computers, vol. 21, no 6, 2004, pp. 544-551.

[P-16] COULOMBE, J., CARNIGUIAN, S., SAWAN, M., «A Power Efficient Electronic Implant for A Visual Cortical Stimulator», Artificial Organs Journal, 2005, vol. 29, no. 3, pp. 233-238.

[P-17] CYR, G., BOIS, G., ABOULHAMID, M., «Generation of processor interface for SoC using VSIA recommendations», IEE Proc. – Computers and Digital Techniques, septembre 2004, vol. 151, no. 5, pp. 367-376.

[P-18] DJEBBI, M., ASSI, A., SAWAN, M., «New Tunable CMOS CFOA Based Band-Pass Filter», Springer Analog ICs & Signal Processing J., 2005, vol. 45, no. 2, pp. 143-154.

[P-19] DUBOIS, M., BOIS, G., SAVARIA, Y., «Double Profiling Methodology for Video Processing Platform», WSEAS Transactions, décembre 2004, issue 6, vol. 3, pp. 1802-1807.

[P-20] ELSANKARY, K., SAWAN, M., «A Digital Blind Background Capacitor Mismatch Calibration technique for Pipelined ADC», IEEE Transactions on Circuits and Systems II, Octobre 2004, vol. 51, issue 10, pp. 507-510.

Articles de revues publiés de septembre 2004 à août 2005 (suite)

[P-21] ELSANKARY, K., ASSI, A., SAWAN, M., «New Sampling Method to Improve the SFDR of Wide Bandwidth ADC dedicated to next Generation Wireless Transceiver», Jorunal of Circuits, Systems and Computers, 2004, vol. 13, no. 6, pp. 1-19.

[P-22] HU, Y., SAWAN, M., «A Fully-Integrated Low-Power BPSK Demodulator for Implantable Medical Devices», IEEE Transaction on CAS I, 2005, vol. 52, no. 12, pp. 2552-2562.

[P-23] HU, Y., SAWAM, M., «A Power Recovery Strategy Dedicated to Implantable Devices Applications», Journal Springer Analog ICs & Signal Processing, 2005, vo. 42, no. 3, pp. 171-181.

[P-24] JECKLEN, E.G., GHANNOUCHI, F.M., SAWAN, M., «A New Adaptative Predistortion Technque Using Software-Defined Radio and DSP Technologies Suitable for Base Station 3G Power Amplifiers», IEEE Trans. On Microwave Theory and Techniques, septembre 2004, vol. 52, no. 9, part 1, pp. 2139-2147.

[P-25] KASSEM, A., SAWAN, M., BOUKADOUM, M., «A New Digital Scan Conversion Architecture for Ultrasonic Imaging Systems», Journal of Circuits Systems & Computers (JCSC), 2005, vol. 14, no. 2, pp. 367-382.

[P-26] KASSEM, A., SAWAN, M., BOUKADOUM, M., HAIDAR, A., «Perception SoC based on an ultrasonic array of sensors: Efficient DSP core implementation and subsequent experimental results», EURASIP Journal on Applied Signal Processing, 2005, vol. 7, no. 11, pp. 1071-1081.

[P-27] LU, Z., HU, Y., SAWAN, M., «A 900 mV 66µ W Sigma-Delta Modulator Dedicated to Implantable Sensors», IEICE Trans. On Information and Systems, juillet 2005, vol. E-88-D, no. 7, pp. 1610-1617.

[P-28] NICOLESCU, B., SAVARIA, Y., VELAZCO, R., «Software Detection Mechanisms Providing Full Coverage Against Single Bit-flip Faults», Transaction on Nuclear Science, décembre 2004, vol. 51, no.6, pp. 3510-3518.

[P-29] NORMANDIN, F., SAWAN, M., FAUBERT, J., «A New Integrated Front-End for a Non-InvasiveBrain Imaging System Based on Near-Infrared Spectroreflectometry»IEEE Transactions on CASI, vol. 52, no. 12, 2005, pp. 2663-2671.

[P-30] SAWAN, M., HU, Y., COULOMBE, J., «Wireless Smart Implants Dedicated to Multichannel Monitoring and Microstimulation», IEEE Circuits & Systems Mag., 2005, vol. 5, Issue 1, pp. 21-39.

Articles de revues publiés de septembre 2003 à août 2004

[P-31] BOUDJELLA, A., SAVARIA, Y., ZHONGFANG, J., «Electrical Field Analysis os Nanoscale Field Effect Transistors», Japanese Journal of Applied Physics (JJAP), vol. 43, no 6B, 2004, pp. 3831 – 3837.

[P-32] CATUDAL, S., CANTIN, M.-A., SAVARIA, Y., «Performance Driven Validation Applied to Video Processing», WSEAS Transactions on Electronics, issue 3, vol. 1, juillet 2004, pp. 568-574.

[P-33] CESARIO, W., PAVIOT, Y., GAUTHIER, L., LYONNARD, D., NICOLESCU, G., YOO, S., JERRAYA, A.A., «Object-based Hardware/Software Component Interconnection Model for Interface Design in System-on-a-chip Circuits» Journal of Systems and Software, Elsevier Science, 2004, vol. 70/3, pp. 229-244.

[P-34] FAYOMI, C., SAWAN, M., ROBERTS, G., «Reliable Circuit Techniques for Low-Voltage Analog Design in Deep Submicron Standard CMOS: A Survey», à paraître à Analog Integrated Circuits and Signal Processing Journal, 2004, vol. 39, pp. 21-38.

[P-35] FOFONOFF, T., MARTEL, S., HATSAPOULOS, N., HUNTER, I., DONOGHUE, J., «Microelectrode array fabricaiton by electro-discharge machining and chemical etching» IEEE Transactions on Biomedical Engineering, vol. 51, no. 6, juin 2004, pp. 890-895.

[P-36] GRANGER, E., CATUDAL, S., GROU-SZABO, R., MBAYE, M.M., SAVARIA, Y., «On Current Strategies for Hardware Acceleration of Digital Image Restoration Filters» WSEAS Transactions on Electronics, issue 3, vol. 1, juillet 2004, pp. 551-557.

[P-37] HARB, A., SAWAN, M., «Low-Power CMOS Interface for Recording and Processing Very Low Amplitude Signal», Kluwer Analog IC and Signal Processing Journal, 2004, vol. 39, pp. 39-54.

[P-38] JIANG, Y., WANG, Y., SONG, X., SAVARIA, Y., «Computation of Signal Output Probability for Boolean Functions Represented by OBDD», Elsevier Computers and Mathematics with Application 47, vol. 12, juin 2004, pp. 1865-1874.

Articles de revues de septembre 2003 à août 2004 (suite)

[P-39] KHALI, H., SAVARIA, Y., HOULE, J.-L., RIOUX, M., BERALDIN, J.-A., POUSSART, D., «Improvement of Sensor Accuracy in the Case of a Variable Surface Reflectance Gradient for Active Laser Rnage Finders», IEE Transactions on Instrumentation and Measurement, vol. 52, no. 6, décembre 2003, pp. 1799-1808.

[P-40] MARTEL, S., HUNTER, L., «Nanofactories based on a fleet of scientific instruments configures as miniature autonomous robots», Journal of Micromechatronics, vol. 2, no. 3-4, 2004, pp. 201-214.

[P-41] TOHIO, B., PIERRE, S., SAVARIA, Y., MBAYE, M., «Protocol Convertibility in Network Processing Environments», WSEAS Transactions on Communications, issue 1, volume 3, janvier 2004, pp. 302-310.

Articles de conférence de septembre 2004 à août 2005

[C-1] ACHIGUI, H., SAWAN, M., FAYOMI, C., «A 1–V Low-Power, Low-Noise, DTMOS-Based Class AB Opamp»", ***IEEE-NEWCAS***, Quebec, 19-22 juin 2005, pp. 307-310.

[C-2] AMEZZANE I., SAWAN, M., BELLEMARE, F., HALLÉ, S., «A CFD Qualitative Study of an Infant's Plethysmograph», ***IEEE-CMBES***, Quebec, September 2004.

[C-3] BENDALI, A., AUDET, Y., «Low Voltage Current Reference with Temperature and Process Parameter Variation Compensation», IASTED International Conference on Circuits, Signals and Systems, Clearwater, Floriad, USA, 28 novembre – 1er décembre 2004, pp. 443-446.

[C-4] BENDALI, A., AUDET, Y., «1V High-performance CMOS Current Reference for Application in Photoreceiver Transimpedance Amplifier», SPIE Photonics North, Ottawa, Ontario, 26-29 septembre 2004, vol. 5577 pp. 459-466.

[C-5] BOUCHHIMA, F., NICOLESCU, G., ABOULHAMID, M., ABIB, M., «Discrete-Continuous Simulation Model for Accurate Validation in Component-Based Design of Heterogeneous SoC», The 16th IEEE International Workshop on Rapid System Prototyping (RSP 2005), 8-10 juin 2005, pp. 181-187.

[C-6] BOUSSAA, M., AUDET, Y., «A 1.6 GHz Digital DLL for Optical Clock-Distribution», The 3rd International IEEE-NEWCAS Conference, Québec, Canada, 19-22 juin 2005, pp. 146-149.

[C-7] BUI, H.T., SAVARIA, Y., «A Generic Method for Embedded Measurement and Compensation of Process and Temperature Variations in SOCs», The 5th IEEE International Workshop on System-On-Chip for Real-Time Applications, Banff, Alberta, Canada, 20-24 juillet 2005, pp. 557-562.

[C-8] BUI, H.T., SAVARIA, Y., «Design and Analysis of XOR Gates for High-Speed and Low-Jitter Applications», The 9th World Multi-Conference on Systemics, Cybernetics and Informatics, (WMSCI 2005,) Orlando, Floride, 10-13 juillet 2005, pp. 60-65.

[C-9] BUI, H.T., SAVARIA, Y., «High-Speed Differential Frequency-to-Voltage Converter», NEWCAS 2005, Québec, Canada, 19-22 juin 2005, pp. 373-376.

[C-10] CATUDAL, S., CANTI, M-A., SAVARIA, Y., «Parameters Estimation Applied to Automatic Video Processing Algorithms Validation», ISCAS 2005, Japon, 23-26 mai 2005, pp. 3439-3442.

[C-11] CATUDAL, S., CANTIN, M.-A., SAVARIA, Y., «Performance Driven Validation Applied to Video Processing» 4th WSEAS Int. Conf. on Signal, Speech and Image Processing (ICOSSIP 2004), Izmir, Turquie, 13-16 septembre 2004, pp. 568-575.

[C-12] CHEBLI, R., SAWAN, M., SAVARIA, Y., «A Programmable Positive and Negative High-Voltage DC-DC Converter Dedicated for Ultrasonic Applications» IEEE-MWSCAS, Cincinnati, Ohio, 7-10 août 2005.

[C-13] CHEBLI, R., ZHAO, X., SAWAN M., «A Wide Tuning Range Voltage-Controlled Ring Oscillator dedicated to Ultrasound Transmitter», ***IEEE-ICM***, Tunisia, 6-8 décembre 2004, pp. 313-316.

[C-14] CHEVALIER, J., DE NANCLAS, M., BOIS, G., ABOULHAMID, E.M., «SPACE: SystemC Partitioning of Architectures for Co-design of real-time Embedded systems», 2nd North American SystemC User's Group, Sans Jose USA septembre 2004.

[C-15] CHOUIA, Y, EL-SANKARY, K., SALEH, A., SAWAN M., GHANNOUCHI, F., «A New Technique for Designing High Performance Front-End Sample and Hold Circuits», ***IEEE-ICM***, Tunisia, décembre 2004, pp. 16-19.

[C-16] COULOMBE, J., CARNIGUIAN, S., SAWAN, M., «A Power Electronic Implant for a Visual Cortical Stimulator», ***Vienna Workshop on FES***, 10-13 septembre 2004, pp. 172-175.

Articles de conference de septembre 2004 à août 2005 (suite)

[C-17] COULOMBE, J., SAWAN, M., «An Implant for a Visual Cortical Stimulator», ***CDEN Biomimetics Symposium***, Montreal, 28-30 juillet 2004, pp. 155-160.

[C-18] CHUREAU, A., SAVARIA, Y., ABOULHAMID, M., «The Role of Model-Level Transactors and UML in Functional Prototyping of Systems-on-Chip: a Software», DATE 2005, Munich, Germany, 7 - 11 mars 2005, vol. 2, pp. 698-703.

[C-19] DANG, H., SAWAN, M., SAVARIA, Y., «A Novel Approach for Implementing Ultra-High Speed Flash ADC Using MCML Circuits», ISCAS 2005, Japon, 23-26 mai 2005, vol. 6, pp. 6158-6161.

[C-20] DANNEVILLE, E., BRAULT, J.-J., LAURIN, J.-J., «Implementation of an MLP-based DOA System Using a Reduced Number of MM-Wave Antenna Elements», IJCNN 2005, Montréal, 31 juillet – 4 août 2005, pp. 3220-3225.

[C-21] DECA, R., MAHREZ, O., CHERKAOUI, O., SAVARIA, Y., SLONE, D., «Contributions to Automated Testing of Network Service Interactions» 5e Colloque International sur les Nouvelles Technologies de la Répartition (NOTERE 2005) 30 août 1er septembre 2005, Gatineau, Québec, pp. 175-180.

[C-22] DUBOIS, M., SAVARIA, Y., BOIS, G., «A Generic AHB Bus for Implementing High-Speed Locally Synchronous Islands», IEEE Southeast Con 05, Fort Lauderdale, Florida, 8-10 avril 2005, pp. 11-16.

[C-23] DUBOIS, M., BOIS, G., SAVARIA, Y., «Double Profiling Methodology for Video Processing Platform», WSEAS Transactions, décembre 2004, pp. 1802 – 1807.

[C-24] DUNGEN, J., BRAULT, J.-J., «Simulated Control of a Tracking Mobile Robot by Four a VLSI Integrate-and-Fire Neurons Paired into Maps», IJCNN 2005 Montréal, 31 juillet – 4 août 2005, pp. 695-699.

[C-25] ELSANKARY, K., SAWAN, M., «Higth resolution self-calibrated ADCs for software defined radios», The 16th International Conference on Microelectronics, ICM 2004, 6-8 décembre 2004, pp. 120-123.

[C-26] EPASSA, H.G., BOYER, F.R., SAVARIA, Y., «Implementation of a Cycle by Cycle Variable Speed Processor», ISCAS 2005, Japon, 23-26 mai 2005, vol. 4, pp. 3335-3338.

[C-27] FAYOMI, C., ROBERTS, G., SAWAN, M., «Low-Voltage CMOS Analog Bootstrapped Switch for Sample-And-Hold Circuit: Design and Chip Characterization», ***IEEE-ISCAS***, Kobe, Japan, 23-26 mai 2005, vol. 3 pp. 2200-2203.

[C-28] FOURNIER, P.-A., BRAULT, J.J., «Harmonic Envelope Prediction for Realistic Speech Synthesis Using Kernel Interpolation», IJCNN 2005, Montréal 31 juillet – 4 août 2005, pp. 2059-2063.

[C-29] FOURNIER, P.A., BRAULT, J.J., «Learning the Timbre of Individuals for Realistic Speech Synthesis», The Learning Workshop, Snowbird, Utah, 5-8 avril 2005.

[C-30] GHAFAR-ZADEH, E., SAWAN, M., «A High Accuracy Differential Capacitive Circuit For Bioparticles Sensing Applications», ***IEEE-MWSCAS,*** Cincinati, 7-10 août 2005.

[C-31] GHAFAR-ZADEH, E., SAWAN, M., «A High Precision and linearity differential capacitive sensor circuit dedicated to bioparticles detection», ***IEEE-NEWCAS***, Quebec, 19-22 juin 2005, pp. 299-302.

[C-32] GHEORGHE, L., NICOLESCU, G., «MP SoCs including Optical Interconnect. Technological Progresses and Challenges for CAD Tools Design», Proceedings of Fifth International Conference on System-on-Chip for Real-Time Applications (IWSOC 2005), 20-24 juillet 2005, pp. 546-551.

[C-33] GORSE, N., METZGER, M., LAPALME, J., ABOULHAMID, E.M., SAVARIA, Y., NICOLESCU, G., «Enhancing ESys. Net with a Semi-Formal Verification Layer», Proceedings of the 16th IEEE International Conference on Microelectronics (ICM'04), Tunis, Tunisie, 6-8 décembre 2004, pp. 388-391.

[C-34] GORSE, N., BÉLANGER, P., ABOULHAMID, E.M., SAVARIA, Y., «Mixing Linguistic and Formal Techniques for High-Level Requirements Engineering», ICM 2004, Tunisie, 6-8 décembre 2004, pp. 339-342.

[C-35] GOSSELIN, B., SIMARD, V., ROY, J.-F., MARROUCHE, W., DUMORTIER, C., SAWAN, M., «Multichannel wireless cortical recording: circuits, system design and assembly challenges» IEEE International Workshop on Biomedical Circuits and Systems, 1-3 décembre 2004, pp. S1/7/INV – S1/79-12.

[C-36] GOSSELIN, B., SAWAN, M., «A Highly Parallelizable Signal Conditioning Module Dedicated To Cortical Implantable Monitoring Devices», ***IFESS***, Bournemouth, England, 6-9septembre 2004, pp. 401-403.

[C-37] GOSSELIN, B., SIMARD, V., ROY, J.F., SAWAN, M., «A Low-Power Front-End Module Dedicated To Wireless Cortical Data Recording» ***IEEE-CMBES***, Quebec, 9-11 septembre 2004, pp. 90-94.

Articles de conference de septembre 2004 à août 2005 (suite)

[C-38] GRANGER, E., CATUDAL, S., GROU, R., MBAYE, M.M., SAVARIA, Y., «On Current Strategies for Hardware Acceleration of Digital Image Restoration Filters», 4th WSEAS Int. Conf. on Signal, Speech and Image Processing (ICOSSIP 2004), Izmir, Turquie, 13-16 septembre 2004, pp. 551-557

[C-39] GROU-SZABO, R., GHATTAS, H., SAVARIA, Y., NICOLESCU, G., «Component-based Methodology for Hardware Design of a Dataflow Procesing Network», Proceedings of Fifth International Conference on System-on-Chip for Real-Time Applications (IWSOC 2005), 20-24 juillet 2005, pp. 289-294.

[C-40] HASHEMI, S., SAWAN, M., SAVARIA, Y., «Modeling Power Budget Requirements to Design Optimized Implantable Stimulator», ISAB, Montréal, 3-6 avril 2005, p. 215.

[C-41] LAAZIRI, Y., SAWAN, M., «Implantable neurostimulator for bladder rehabilitatin in paraplegics», ***IFESS,*** Montréal, 5-8 juillet 2005, pp. 221-223.

[C-42] LAAZIRI, Y., MOUNAIM, F., ELZAYAT, E., SAWAN, M., ELHILALI, M.M. «Electrode-Tissues Interface (ETI): Modeling and experiments on dogs», ***IFESS,*** Montréal, 5-8 juillet 2005, pp. 364-366.

[C-43] LAAZIRI, Y., SAWAM, M., «Electrode-Tissue Interface (ETI): Modeling and Experimental measurements», ISAB, Montréal, 3-6 avril 2005, p. 213.

[C-44] LAHAYE, M.L., CHAPMAN, G.H., JUNG, C., CHEUNG, D.Y., DJAJA, S., AUDET, Y., «Fault-tolerant Photodiode and Photogate Active Pixel Sensors», SPIE Symposium on Electronic Imaging 2005,San Jose, CA USA,16-20 janvier 2005,vol. 5677, pp. 78-89.

[C-45] LAHAYE, M.L., CHAPMAN, G.H., JUNG, C., CHEUNG, D.Y., DJAJA, S., AUDET, Y., «Characteristics of Fault-tolerant Photodiode and Photogate Active Pixel Sensors (APS)», International Symposium on DFT in VLSI Systems, Cannes, France, 11-13 octobre 2004, pp. 58-66.

[C-46] LANDRY, A., SAVARIA, Y., NEKILI, M., «Circuits Techniques for a 2 GHz AMBA AHB Bus» NEWCAS 2005, Québec, Canada, 19-22 juin 2005, pp. 311-314.

[C-47] LANDRY, A., NEKILI, M., SAVARIA, Y., «A Novel 2 GHz Multi-Layer AMBA High-Speed Bus Interconnect Matrix for SoC Platforms», ISCAS 2005, Japon, 23-26 mai 2005, pp. 3343 – 3346.

[C-48] LANDRY, A., SAVARIA, Y., NEKILI, M., «A Beyond 1-GHz AMBA High-Speed Bus for SoC DSP Platforms», ICM 2004, Tunisie, 6-8 décembre 2004, pp. 46-49.

[C-49] LAPALME, J., ABOULHAMID, M., NICOLESCU, G., «Leveraging model representations for system level design tools», the 16th IEEE International Workshop on Rapid System Prototyping (RSP 2005), 8-10 juin 2005, (RSP 2005), pp. 33-39.

[C-50] LARAB, A., KHOUAS, A., «Nouveau wrapper) 1500 incorporant une structure BIST pour le test des IP et des interconnexions des systèmes sur puce», IEEE Conférence Canadienne de Génie Électrique et Informatique CCGEI, Saskatoon, Saskatchewan, mai 2005, pp. 1885-1888.

[C-51] LEBEL, E., ASSI, A., SAWAN, M., «Field Programmable Gm-C Array For Wide Frequency Range Bandpass Filter Applications», ***IEEE-ISCAS***, Kobe, Japan, 23-26 mai 2005, vol. 3, pp. 1952-1995.

[C-52] LING, W., SAVARIA, Y., «Analysis of Wave-Pipelined Domino Logic Circuit and Clocking Styles Subject to Parametric Variations», ISQED05, San Jose, CA, 21-23 mars 2005, pp. 688-693.

[C-53] MAHONEY, P., SAVARIA, Y., BOIS, G., PLANTE, P., «Parallel Hashing Memories: an Alternative to Content Addressable Memories», NEWCAS 2005, Québec, Canada, 19-22 juin 2005, pp. 223-226.

[C-54] MARCHE, D., SAVARIA, Y., GAGNON, Y., «A New Switch Compensation Technique for Inverted R-2R Ladder DACs», ISCAS 2005, Japon, 23-26 mai 2005, pp.196-199.

[C-55] MBAYE, M., BÉLANGER, N., SAVARIA, Y., SAMUEL, P., «Application Specific Instruction-Set Processor Generation for Video Processing Based on Loop Optimization», ISCAS 2005, Japon, 23-26 mai 2005, pp. 3515-3518.

[C-56] MORIN, D., SAVARIA, Y., SAWAN, M., «A 200 MSPS 10-bit Pipelined ADC Using Digital Calibration», NEWCAS 2005, Québec, Canada, 19-22 juin 2005, pp. 67-70.

[C-57] MORNEAU, M., KHOUAS, A., «Analysis of DC simulation convergence of nonlinear analog circuits with initial solution» IEEE Conférence Candienne de Génie Électrique et Informatique CCGEI, Saskatoon, Saskatchewan, mai 2005, pp. 708-712.

[C-58] NADERI, A., SAWAN, M., SAVARIA, Y., «A 1-mW 2-GHz-Q-Enhanced LC Bandpass Filter for Low-Power RF Applications» NEWCAS 2005, Québec, Canada, 19-22 juin 2005, pp. 365-368.

[C-59] NICOLESCU, B., IGNAT, N., SAVARIA, Y., NICOLESCU, G., «Sensitivity of Real-Time Operating Systems to Transient Faults: A case study for MicroC kernel», IEEE RADECS, 19-23 septembre 2005.

Articles de conference de septembre 2004 à août 2005 (suite)

[C-60] NICOLESCU, B., GORSE, N., SAVARIA, Y., ABOULHAMID. E.-M., VELAZCO, R., «Validating a Dynamic Signature Monitoring Approach Using the LTL Model Checking Technique», Workshop on Radiation Effects on Components and Systems, (RADECS 2004) Madrid, Espagne, 22-24 septembre 2004, pp. 93-96.

[C-61] NORMANDIN, F., SAWAN, M., FAUBERT, J., «Front-end of a Non-Invasive Wireless Real-Time Brain Imaging System Based on Near-Infrared Spectroreflectometry», ***IEEE-BIOCAS***, Singapore, 1-3 décembre 2004, pp. S 3/1-S1-4.

[C-62] *NSAME, P., **SAVARIA, Y.,** «Multi-Processor SoC Integration: A Case Study on BlueGene», SOCC 2004, 12-15 septembre 2004, pp. 201-204.

[C-63] O7ULT-BACHIR, T., BRAULT, J.J., «A Multiplexer-based Device for Simulated Binary Bayesian Networks», The Learning Workshop, Snowbird, Utah, 5-8 avril 2005.

[C-64] PAQUET-FERRON, D., SAWAN, M., «Modeling Peripheral Nerve to Improve Selective Stimulation Improvement», ***IFESS,*** Montréal, 5-8 juillet 2005, pp. 373-375.

[C-65] PAULIN, P., PILKINGTON, C., LANGEVAIN, M., BENSOUDANE, NICOLESCU. G., «Parallel Programming Models for a Multi-Processor SoC Platform Applied to High-Speed Traffic Management» Proceedings of ISSS/CODES, septembre 2004, pp. 48-53.

[C-66] PEOU, J., DUBOIS, M., SAVARIA, Y., BOIS, G., «High Speed System bus for a SoC Network Processing Platform», Proc. of the IEEE International Conference on Microelectronic, Maro, Octobre 2004, pp. 253-256.

[C-67] PONTIKAKIS, B., BOYER, F.-R., SAVARIA, Y., «Performance Improvement of Configurable Processor Architectures Usign a Variable Clock Period», the 5th IEEE International Workshop on Systme-on-Chip for Real-Time Applications, Banff, Alberta, 20-24 juillet 2005, pp. 454-458.

[C-68] PROVOST, G., SAWAN, M., CARDINAL, C., HACCOUN, D., «Implementation and Error Performance Evaluation of an Iterative Decoding Algorithm», ***IEEE-NEWCAS***, Quebec, 19-22 juin 2005, pp. 263-266.

[C-69] PROVOST, G., CANTIN, M.A., SAWAN, M., CARDINAL, C., SAVARIA, Y., HACCOUN, D., «Fast Parameters Optimization of an Iterative Decoder using a Configurable Hardware Accelerator» ISCAS 2005, Japon, 23-26 mai 2005, vol. 4, pp. 4159-4162.

[C-70] .QIN, L., ELSANKARY, K, SAWAN, M., «A 1.8V CMOS Fourth-Order Gm-C Bandpass Sigma-Delta Modulator Dedicated to Front-end Ultrasonic Receivers», ***IEEE-ICSICT***, Beijing, 18-21 octobre 2004, vol. 2, pp. 1425-1428.

[C-71] RIOUX, S., LACOURSE, A., DUCHARME, M., GAGNON, Y., SAVARIA, Y., MEUNIER, M., «Design Methods for CMOS Low-Current Finely Tunable Voltage References Covering a Wide Output Range», ISCAS 2005, Japon, 23-26 mai 2005, pp. 4257-4260.

[C-72] ROY, J.-F., SAWAN, M., «A fully reconfigurable controller dedicated to implantable recording devices», NEWCAS 2005, Québec, Canada, 19-22 juin 2005, pp. 303-306.

[C-73] SAHEB, J.F., RICHARD, J.-F., MEINGAN, R., SAWAN, M., SAVARIA, Y., «System Integration of High Voltage Electrostatic MEMS Actuators», NEWCAS 2005, Québec, Canada, 19-22 juin 2005, pp. 155-158.

[C-74] SALOMON, M.-E., KHOUAS, A., SAVARIA, Y., «A Complete Spurs Distribution Model for Direct Digital Period Synthesizers», ISCAS 2005, Japon, 23-26 mai 2005, pp. 4859-4862.

[C-75] SAWAN, M., «Microsystems dedicated to wireless multichannel monitoring and microsstimulation: design, test and packaging», 7th International Conference on Solid-State and Integrated Circuits Technology, 18-21 octobre 2004, vol. 2, pp. 1408-1411.

[C-76] SAWAN, M., DJEMOUAI, A., EL-SANKARY, K., DANG, H., NADERI, A., SAVARIA, Y., GAGNON, F., «High Speed ADCS Dedicated for Wideband Wireless Receivers», NEWCAS 2005, Québec, Canada, 19-22 juin 2005, pp. 283-286.

[C-77] SEHIL, M., KHOUAS, H., SAWAN, M., «Modeling Efficient Inductive Power Transfer Required To Supply Implantable Devices», ***IFESS,*** Montréal, 5-8 juillet 2005, pp. 376-378.

[C-78] SEHIL, M., SAWAN, M., KHOUAS, A., «Modeling Inductive Power Transfer Required to Supply Implantable Devices», ISAB, Montréal, 3-6 avril 2005, p. 214.

[C-79] SIMARD, V., GOSSELIN, B., SAWAN, M., «An Analog Wavelet Processor for an Implantable Cortical Signals Recording System», ***Vienna Workshop on FES***, 10-13 septembre 2004, pp. 164-167.

[C-80] SYED MASSOUD, A., RAUT, R., SAWAN, M., «A Power efficient decoder for 2GHz, 6-bit CMOS Flash-ADC architecture», ***IEEE-IWSOC,*** Montréal, 20-24 juillet 2005, pp. 123-126.

Articles de conference de septembre 2004 à août 2005 (suite)

[C-81] TANGUAY, B., SAVARIA, Y., SAWAN, M., «Accelerating Equalization Algorithms Using the Xtensa Configurable Processor» ICM 2004, Tunisie, 6-8 décembre 2004, pp. 434-437.

[C-82] TAPP, M., PAGES, B., NICOLESCU, G., ABOULHAMID, M., «A Generelized Approach to Network Systems Interoperability». Simulation Interoperability Workshop, Florida, 2005,

[C-83] THIBEAULT, J.-F., HUBIN, M., DESLAURIERS, F., SAMSON, P., BOIS, G., «A Reprogrammable S Design for a Real-Time Control Application», Proc. Of Microelectronic Systems Education Conf., Anahein, CA, USA, juin 2005, pp. 73-74.

[C-84] TISKANOVITCH, A., LAPALME, J., ABOULHAMID, M., BOIS, G., NICOLESCU, G., «A Methodology for H/Sw Specification and Simulation at Multiple Levels of Abstraction», IWSOC 2005, 20-24 juillet 2005, pp. 24-29.

[C-85] TRÉPANIER, A., TRÉPANIER, J.-L., SAWAN, M., AUDET, Y., «New CMOS Digtial Sensor Architecture Dedicated to a Visual Cortical Implant», SPIE Photonics North, Ottawa, Ontario, 26-29 septembre 2004, vol. 5578, pp. 365-376.

[C-86] WILD, G., SAVARIA, Y., MEUNIER, M., «Characterization of Laser-Induced Photoexcitation Effect on a Surrounding CMOS Ring Oscillator» ISCAS 2005, Japon, 23-26 mai 2005, pp. 3696 – 3699.

[C-87] ZAKI, M., TAHAR, S., BOIS, G., «On the formal Analysis of Analog Systems using Interval Abstractions», Proc. Of the Verification and Theorem Proving for Continuous Systems (NETCA) Workshop, Oxford, UK août 2005, pp. 42-56.

[C-88] ZHAO, X., CHEBLI, R., SAWAN, M., «A wide tuning range voltage-controlled ring oscillator dedicated to ultrasound transmitter», The 16th International Conference on Microelectronics, ICM 2004, 6-8 décembre 2004, pp. 313-316.

[C-89] ZHOU, B., KHOUAS, A., «Measurement of Delay Mismatch due to Process Variations by Means of Modified Ring Oscillators», IEEE International Symposium on Circuits and Systems ISCAS, Kobe, Japon, 23-26 mai 2005, vol. 5, pp. 5246 – 5249.

Articles de conférence de septembre 2003 à août 2004

[C-86] ACHIGUI, H., FAYOMI, C.J.B., SAWAN, M., «A DTMOS-Based 1 V OPAMP», IEEE-ICECS, Sharjah, United Arab Emirates, 14-17 décembre 2003, vol. 1 p. 252-255.

[C-87] AWADA, A, SAWAN, M., BELLEMARE, F., «Electromyogram recording of the Diaphragm: Modeling, Simulation and Experimental Comparison», IEEE-EMBS, Cancun, Mexique, septembre 2003, pp. 443-446.

[C-88] BA, A., SAWAN, M., «Multi-waveforms generator dedicated to selective and continuous stimulations of the bladder», IEEE-EMBS, Cancun, Mexique, septembre 2003, pp. 1569-1572.

[C-89] BENNY, O., RONDONNEAU, M., CHEVALIER, J., BOIS, G., ABOULHAMID, M., BOYER, J.F., «SoC Software Refinement Approach for a SystemC Platform», Proc. of International Conference on Using Hardware Design and Verification Languages (DVCON2004), San José, USA 1-3 mars 2004.

[C-90] BERTOLA, M., BOIS. G., «A Methodology for the Design of AHB Bus Master Wrappers», Euromicro Symposium on Digital System Design (DSD 2003), Antalya, Turquie, septembre 2003, pp. 90-95.

[C-91] BOLAND, J.F., CHUREAU, A., THIBEAULT, C., SAVARIA, Y., GAGNON, F., ZILIC, Z., «An Efficient Methodology for Design and Verification of an Equalizer for a Software Defined Radio», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 73-76.

[C-92] BOUDJELLA, A., JIN, Z.F., SAVARIA, Y., «Electrical Field Analysis of Nanoscaled Field Effect Transistors», International Microprocesses and Nanotechnology Conference, 28-31 octobre 2003, Tokyo, Japon, pp. 240-241.

[C-93] BOYER, F.-R., LIPING, Y., ABOULHAMID, E.M., CHAREST, L., NICOLESCU, G., «Multiple Simplescalar Processors with Introspection under SystemC»,46 IEEE Midwest Symposium on Circuits and Systems, Caire, Égypte, 17-30 décembre 2003, vol. 3, pp. 1400-1404.

[C-94] BOYER, F.-R., EPASSA, H.G., PONTIKAKIS, B., SAVARIA, Y., LING, W., «A Variable Period Clock Synthesis (VPCS) Architecture for Next-Generation Power-Aware SoC Applications», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 145-148.

[C-95] BRAULT, J.J., «Entraînement d'un réseau neuronal recurrent à pulses pour la détection du mouvement et des orientations préférentielles,Séminaire en Informatique Cognitive, UQAM, 8 avril 2004.

Articles de conférence de septembre 2003 à août 2004 (suite)

[C-96] BUI, H.T., SAVARIA, Y., «10 GHz PLL Using Active Shunt-Peaked MCML Gates and Improved Frequency Acquisition XOR Phase Detector in 0.18µm CMOS» IWSOC 2004, Banff, 19-21 juillet 2004, pp. 115-118.

[C-97] BUI, T., SAVARIA, Y., «Shunt-Peaking of MCML Gates Using Active Inductors», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 361-364.

[C-98] BUI, H.T., SAVARIA, Y., «Shunt-Peaking in MCML Gates and its Application in The Design of a 20GB/S Half-Rate Phase Detector» ISCAS 2004, Vancouver, 26-28 mai 2004, vol. IV pp. 369-372.

[C-99] **C**ALBAZA, D.E**.,** CORDOS, I., SETH-SMITH, N., SAVARIA, Y., «An ADPLL Circuit Using a DDPS for Genlock Applications», ISCAS'2004, Vancouver, 26-28 mai 2004, vol. IV, pp. 569-572.

[C-100] CHAREST, L, ABOULHAMID, M., BOIS, G., «Using Design Patterns for Type Unification and Introspection in SystemC», Proc. Of the International Workshop on System-on-Chip for Real-Time Applications, Banff, 19-21 juillet 2004, pp. 45-50.

[C-101] CHEBLI, R., SAWAN, M., «A CMOS high-voltage DC-DC up converter dedicated for ultrasonic», IEEE-ISCAS04, Banff, Alberta, 19-21 juillet 2004, pp. 119-122.

[C-102] CHEUNG, D.Y., CHAPMAN, G.H., DJAJA, S., AUDET, Y., WAI, B., JUNG, C., «Fault Tolerant Active Pixel Sensors for Large Area Digital Imaging Systems», SPIE, San José, CA, 24-29 janvier 2004. vol. 5356, pp. 142-153.

[C-90] CHEVALIER, J., BENNY, O., RONDONNEAU, M., BOIS, G., ABOULHAMID, E.M., BOYER, F-R., «SPACE: A Hardware/Software SystmC Modeling Platform Including an RTOS», Forum on Specification & Design Languages, Frankfor, Allemagne, 23-26 septembre 2003, pp. 704-715.

[C-103] CHOUIA, Y., EL-SANKARY, K., SALEH, A., SAWAN, M., GHANNOUCHI, F., «14b, 50MS/s CMOS front-end S/H module dedicated to ADCS, IEEE-MWSCAS, Hiroshima, 25-28 juillet 2004, vol. 1 pp. 353-356.

[C-104] CHUREAU, A., SAVARIA, Y., ABOULHAMID, E.M., «Interface-based Design of Systems-on-Chip using UML-RT», IWSOC 2004, Banff, 19-21 juillet 2004, pp. 39-44.

[C-105] DJAJA, S., CHAPMAN, G.H., CHEUNG, D.Y., AUDET, Y., «Implementation and Testing of Fault-Tolerant Photodiode-based Active Pixel Sensor (APS)», Proceedings of the 2003 International Workshop on DFT in VLSI Systems, Boston, MA, 3-5 novembre 2003, pp. 53-60.

[C-106] DJEBBI, M., ASSI, M., SAWAN, M., «High Frequency Offset-Compensated CMOS Current-Feedback Operational Amplifier», IEEE-MWSCAS, Caire, Egypte, 27-30 décembre 2003, vol. 1, pp. 193-196.

[C-107] DJEMOUAI, A., SAWAN, M., «Integrated ASK demodulated dedicated to implantable electronic devices» MWSCAS03, Caire, Egypte, 27-30 décembre 2003, vol. 1, pp. 80-83.

[C-108] DUBOIS, M., SAVARIA, Y., HACCOUN, D., «On Low Power Shift Register Hardware Realizations for Convolutional Encoders and Decoders», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 213-216.

[C-109] DUVAL, O., LAFRANCE, L.-P**.,** SAVARIA, Y., DESJARDINS, P., «An Integrated Test Platform for Nanostructure Electrical Characterization», MEMS, NANO, and Smart Systems, Banff, Alberta, 25-27 août 2004, pp. 237-242.

[C-110] DUVAL, O., SAVARIA, Y., «An On-Chip Delay Measurement Module for Nanostructures Characterization», ISCAS 2004, Vancouver, 26-28 mai 2004, vol. III, pp. 721-724.

[C-111] ELSANKARY, K., SAWAN, M., «A new digital background calibration technique for pipelined ADC» ISCAS 04, Vancouver, mai 2004, vol. 1, pp. I-5-I-8.

[C-112] ELSANKARY, K., SAWAN, M., «Background capacitor mismatch calibration for pipelined ADC», MWSCAS03, Caire, Egypte, 27-30 décembre 2003, vol. 1, pp. 164-167.

[C-113] FOFONOFF, T., MARTEL, S., HUNTER, I., «Assembly-ready brain microelectrode arrays», Proceedings of the 25th Annual International Conference of the IEEE Engineerint in Medicine and Biology Conference, Cancun, Mexico, 17-21 septembre 2003, vol. 2, pp. 1937-1940.

[C-114] GHATTAS, H., MBAYE, M.M., PEPGA, J.B**.,** SAVARIA, Y., «SoC Platform Architecture for a Network Processor», International Symposium on System-On-Chip, Tampere, Finland, 19-21 novembre 2003, pp. 49-52.

[C-115] GORSE, N., ABOULHAMID, E.M., SAVARIA, Y., «Consistency Validation of High-Level Requirements», IWSOC 2004, Banff, 19-21 juillet 2004, pp. 93-98.

[C-116] GOSSELN, B., SIMARD, V., SAWAN, M., «Low-power implantable microsystem intended to multichannel cortical recording», ISCAS 2004, Vancouver, B.C, 23-26 mai 2004, vol. 4, pp. IV-5-IV-8.

Articles de conférence de septembre 2003 à août 2004 (suite)

[C-117] GOSSELIN, B., SIMARD, V., SAWAN, M., «An ultra low-power chopper stabilized front-end for multichannel cortical signals recording» IEEE-CCECE, Niagara, 2-5 mai 2004, vol. 4, pp. 2259-2262.

[C-118] HARB, A., SAWAN, M., «A SC Rectification and BIN-Integration Circuits for Nerve Signal Processing: Experimental Results», IEEE_ECECS, Sharjah, United Arab Emirates, 14-17 décembre 2003, vol. 1, pp. 264-267.

[C-119] HASAN, S.R., LANDRY, A., SAVARIA, Y., NEKILI, M., «Design Constraints of a HyperTransport-Compatible Network-On-Chip», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 269-272.

[C-120] HASHEMI, S., SAWAN, M., SAVARIA, Y., «Characterization of Stress Induced Defects in Deep Sub-Micron MOSFETS», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 329-332.

[C-121] HU, Y., SAWAN, M., «A fully-integrated low-power BPSK based wireless inductive link for implantable medical devices», IEEE-MWSCAS, Hirochima, 25-28 juillet 2004, vol. 3 pp. 25-28.

[C-122] HU, Y., SAWAN, M., EL-GAMAL, M., «A Power Recovery Strategy Dedicated to Implantable Applications», IEEE-ICECS, Sharjar, United Arab Emirates, 14-17 décembre 2003, vol. 3 pp. 1212-1215.

[C-123] HUANG, Z., SAVARIA, Y., SAWAN, M., «A Dynamically controlled and refreshed low-power level-up shifter», IEEE-MWSCAS, Hiroshima, 25-28 juillet 2004, vol. 1, pp. 97-100.

[C-124] HUANG, Z., SAVARIA, Y., SAWAN, M., «Robust Design of a Dynamically Controlled Low-Power Level-up Shifter Operating up to 300V», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 321-324.

[C-125] IZOUGGHAGHEN, B., KHOUAS, A., SAVARIA, Y., «Spurs Modeling in Direct Digital Period Synthesiz+ers Related to Phase Accumulator Truncation», ISCAS'2004, Vancouver, 26-28 mai 2004, vol. III, pp. 389-392.

[C-126] JIN, Z,F., YANG, M., SAVARIA, Y., WU, K., «Analysis of Gate Modulation in Nanoscale Field Effect Transistors using Anequivalent Substrate Integrated Waveguide (SIW) Model», ANTEM 2004/URSI Conference, Ottawa, Ontario, 20-23 juillet 2004, pp. 63-65.

[C-127] KHALI, H., SAVARIA, Y., «A Hardware- Software Co Design Model for Real-Time 3D Image Computation Using Active Laser Range Finders: A Case Study», 10th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2003, Sharjah, United Arab Emirates, 14-17 décembre 2003, vol. 2, pp. 854-857.

[C-128] LAFRANCE, L.-P., SAVARIA, Y., «A Framework for Implementing Reusable Digital gnal Procesing Modules», IWSOC 2004, Banff, 19-21 juillet 2004, pp. 51-54.

[C-129] LAPALME, J., ABOULHAMID, M., NICOLESCU, G, CHAREST, L., DAVID, J., BOYER, F.-R., BOIS, G., «ESys.NET: A New Solution for Embedded Systems Modeling and Simulation», ACM SIGPLAN/SIGBED 2004, Conference on Languages, Compilers and Tools for Embeddes Systems (LCTES'04) Washington, DC, juin 2004, pp. 11-13.

[C-130] LAPALME, J., ABOULHAMID, E.M., NICOLESCU, G., CHAREST, L., BOYER, F.R., DAVID, J.P., BOIS, G., «Net Framework – a solution for next generation tools for system level design?» DATE 16-20 février 2004, vol. 1 pp. 732-733.

[C-131] LAYACHI, M., SAVARIA, Y., «The Effect of π-Coupling on the Electronic Properties f 1,4-Dithiol Benzene Stacking», MEMS, NANo and Smart Systems, Banff, Alberta, 25-27 août 2004, pp. 588-592.

[C-132] LING, W., SAVARIA, Y., «Variable-Precision Multiplier for Equalizer with Adaptive Modulation», MWSCAS, Hiroshima, Japon, 25-28 juillet 2004, vol. 1, pp. 553-556.

[C-133] MARSOLAIS, A., EL-GAMAL, M., SAWAN, M., «A CMOS Frequency Synthesizer Covering the Lower and Upper Bands of 5 GHz WLANs», IEEE_MWSCAS, Caire, Égypte, décembre 2003, vol. 3, pp. 1146-1149.

[C-134] MARTEL, S., FOFONOFF, T., «New approaches for the implementation of minimally invasive microelectrode arrays designed for brain-machine interfaces», Proceedings fo the 25th Annual International Conference of the IEEE Engineering in Medicine and Biology Conference, Cancun, Mexico, 17-21 septembre 2003, vol. 4, pp. 3794-3797.

[C-135] MARTEL, S., «Fundamentals of high-speed piezo-actuated three-legged motion for miniature robots designed for nanometer-scale operations», Proceedings fo the 6th International Conference on Climbing and Walking Robots and the Support Technologies for Mobile Machines», CLAWAR 2003, Catana, Italy, 17-19 septembre 2003, pp. 635-642.

Articles de conférence de septembre 2003 à août 2004 (suite)

[C-136] MARTEL, S., BAUMANN, G., «Infrared positioning and communication unit for a nanorobotics platform operating in a cold helium atmosphere», Proceedings of the IEEE/RSJ International Conference on Intelligent Robots and Systems (IEEE/RSJ IROS 2003), Las Vegas, USA 27-31 octobre 2003, vol. 2 pp. 1865-1881.

[C-137] MATHIEU, J.B., MARTEL, S., YAHIA, L., SOULEZ, G., BEAUDOIN, G., «MRI systems as a mean of propulsion for a microdevice in blood vessels», Proceedings of the 25th Annual International Conference of the IEEE Engineering in Medicine and Biology Conference, Cancun, Mexico, 17-21 septembre 2003, pp. 3419-3422.

[C-138] MOKHTARI, E., SAWAN, M., «CMOS High-Resolution All-Digital Phase-Locked Loop», IEEE_MWSCAS, Caire, Égypte, 27-30 décembre 2003, vol. 1, pp. 221-224.

[C-139] MORIN, D., NORMANDIN, F., GRANDMAISON, M.-E., DANG, H., SAVARIA, Y., SAWAN, M., «An Intellectual Property Module for Auto-Calibration of Time-Interleaved Pipelined Analog-to-Digital Converters», ISCAS04, Banff, 19-21 juillet 2004, pp. 111-114.

[C-140] NICOLESCU, B., SAVARIA, Y., VELAZCO, R., «Software Solutions for 100% Detection of Single Transient Faults», NSREC, Atlanta USA, 1 juillet 2004

[C-141] NICOLESCU, B., SAVARIA, Y., VELAZCO, R., «Performance Evaluation and Failure Rate Prediction for the Soft Implemented Error Detection Technique», 10th IEEE International On-Line Testing Symposium, Funchal, Madeira Island, Portugal, 12-14 juillet 2004, pp. 233-238.

[C-142] NICOLESCU, B., SAVARIA, Y., VELAZCO, R., «SIED: Software Implemented Error Detection», 18th Conference International Symposium in Defect and Fault Tolerant in VLSI Systems, Cambridge, MA, USA, 3-5 novembre 2003, pp. 589-596.

[C-143] NICOLESCU, B., PERRONNARD, PP., VELAZCO, R., SAVARIA, Y., «Efficiency of Transient Bit-Flips Detection by Software Means A Complete Study», 18th Conference International Symposium in Defect and Fault Tolerant in VLSI Systems, Cambridge, MA, USA, 3-5 novembre 2003, pp. 377-384.

[C-144] NOHRA, G., RAUT, R., SAWAN, M., «A 0.85V Tunable Gain 5 GHz Cascode Low Noise Amplifier», IEEE_NEWCAS, 20-23 juin 2004, pp. 353-356.

[C-145] NSAME, P., SAVARIA, Y., «Multi-Processor SoC Integration: A Case Study on BlueGene», SOCC 2004, 12-15 septembre 2004, pp. 201-204.

[C-146] NSAME, P., SAVARIA, Y., «A Customizable Embedded SoC Platform Architecture», IWSOC 2004, Banff, 19-21 juillet 2004, pp. 299-304.

[C-147] PEPGA BISSOU, J., DUBOIS, M., SAVARIA, Y., BOIS, G., «High Speed System bus for a SoC Network Processing Platform», ICM'2003, Caire, 9-11 décembre 2003, pp. 194-197.

[C-148] PETERSON K., SAVARIA Y., «Assertion-Based On-Line Verification and Debug Environment for Complex Hardware Systems, ISCAS'2004», Vancouver, 26-28 mai 2004, vol. II, pp. 685-688.

[C-149] QUINN D, LAVIGUEUR, B., BOIS, G., ABOULHAMID, M., «A System Level Exploration Platform and Methodology for Network Applications Based on Configurable Processors», Proc. Of Design Automation and Test in Europe 2004, (DATES 2004), Paris, pp. 364-369.

[C-150] RÉGIMBAL, S., SAVARIA, Y., BOIS, G., BARON, A., «Verification Strategy Determination Using Dependence Analysis of Transaction-Level Models», IWSOC 2004, Banff, 19-21 juillet 2004, pp. 87-92.

[C-151] RICHARD, J.-F., SAVARIA, Y., «High Voltage Charge Pump Using Standard CMOS Technology», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 317-320.

[C-152] ROBERT, M., SAVARIA, Y., WANG, C., «Analysis of Metrics Used to Compare Analog-to-Digital Converters», NEWCAS 2004, Montréal, 20-23 juin 2004, pp. 301-304.

[C-153] ST-JACQUES, D., BOITANI, T., DUMAS, P.A., DUCAS, M.-A., FORTIN, M-A., MARTEL, S., «Atomic scale positioning reference grid system for miniature robots with embedded scanning tunneling capability» IEEE International Conference on Robotics and Automation, Nouvel Orléans, USA, 26 avril – 1er mai 2004, vol. 2, pp. 1339-1344.

[C-154] TRÉPANIER, A., TRÉPANIER, J.-L., SAWAN, M., AUDET, Y., «A multiple operation mode CMOS DPS dedicated to a visual cortical implant», IEEE-MWSCAS, Hiroshima, 25-28 juillet 2004, vol. 1 pp. 369-372.

[C-155] TOHIO, B., PIERRE, S., SAVARIA, Y., MBAYE, M.M., «Protocol Convertibility in Network Processing Environments», 6th WSEAS International Conference on Telecommunications and Informatics (TELE-INFO'04), Cancun, Mexico, 12-15 mai 2004, pp. 302-310.

AUTRES PUBLICATIONS (invitation)

CHAPITRE DE LIVRES

[L-1] BOIS, G., FILION, L., TSIKHANOVICH, A., ABOULHAMID, E.M., «Modélisation, raffinement et techniques de programmation orientée objet avec SystemC», chap. 6 de La spécification et la validaiton des systèmes hétérogènes appliqués, A.Arraya et G. Nicolescu (ed.), Hermes, 2004, ISBN 2-7462-0820-2, pp. 171-207.

[L-2] BOIS, G., NICOLESCU, G., ABOULHAMID, E.-M., «System-Level Exploration Platforms for SoC: Concepts and Experimentations» Kluwer Academic Publishers, Michael Hacket, ed. Senior, à paraître à l'automne 2004.

[L-3] CHEVALIER, J., BENNY, O., RONDONNEAU, M., BOIS, G., ABOULHAMID, E.M., BOYER, F.R., «SPACE: A Hardware/Software System C Modeling Platform Including an RTOS», Language for System Specification, Kluwer Academic Press, juin 2004, ISBN 1-4020-7990-7.

[L-4] JERRAYA, A..A, NICOLESCU, G., «Specification and Validation of System on Chip» Hermes Sciences, Paris, mars 2004.

[L-5] PAULIN, P.G., PILKINGTON, C., LANGEVIN, M., BENSOUDANE, E., SZABO, K., LYONNARD, D., NICOLESCU, G., «A Multi-Processor SoC Platform and Tools for Communications Applications», in Embbedded Systems Handbook, CRC Press, Florida, Editeur: R. Zurawski, à paraître en 2005.

[L-6] SAWAN, M., «L'Homme réparé: succès et limites de l'implantologie», édition de l'Université Laval, 2004.

BREVETS

[B-1] ELSANKARY, K., SAWAN, M., «Digital Background Calibration Techniques for Multibit/Stage Pipelined and Time-Interleaved ADCs», Octobre 2004.

INDEX DES AUTEURS

A

ACHIGUI FACPONG , Hervé 24
AMEZZANE, Ilham 25
AMIRI, Amir Mohammad 26
ANDRÉ, Walder 27
AUCLAIR, Gérard 28
AYOUB, Amer Elias 29

B

BENAMRANE, Iliasse 30
BENDALI, Abdelhalim 31
BINET, Vincent 32
BOUENDEU, EMMANUEL 33
BOUSSAA, Mohamed 34
BUI, Hung Tien 35

C

CANTIN, Marc-André 36
CASTONGUAY, AMI 37
CATUDAL, Serge 38
CHEBLI, Robert 39
CHEVALIER, JÉRÔME 40
CHOUCHANE, Tahar 41
CHUREAU, Alexandre 42
COULOMBE, Jonathan 43

D

DANG, Hung 44
DANNEVILLE, Éric 45
DECA, Radu 46
DEJMOUAI, Abdelouhab 47
DÉSILETS, Tommy 48
DESLAURIERS, François 49
DOLJANU, Delia Alexandra 50
DUMORTIER, Cyprien 51
DUNGEN, Jeffrey 52
DUPIRE, Thierry 53
DUVAL, Olivier 54

E

ELSANKARY, Kamal 55
EPASSA HABIB, Gabriel 56

F

FAUCHER, Corentin 57
FILION, Luc 58
FORTIN, Marc-Antoine 59
FOURNIER, Pierre-Alexandre 60
FOUZAR, Youcef 61

G

GENEST, PIER OLIVIER 62
GHAFAR ZADEH, Ebrahim 63
GHATTAS, Nader 64
GHEORGHE, Luiza 65
GIRODIAS, Bruno 66
GORSE, Nicolas 67
GOSSELIN, Benoît 68
GROU-SZABO, Robert 69

H

HAJJ-HASSAN, Mohamad 70
HASAN, Syed Rafay 71
HASHEMI, Saeid 72
HU, Yamu 73
HUBIN, Mortimer 74

I

IBRAHIM, Yasser, M. 75

L

LAAZIRI, Yassir 76
LAFRANCE, Louis-Pierre 77
LANDRY, Alexandre 78
LARAB, Abdelaziz 79
LAVIGUEUR, Bruno 80
LAYACHI, Mohammed 81
LEBEL, Éric 82
LESBROS,Guillaume 83
LÉVESQUE, Philippe 84

M

MAHONEY, Patrick 85
MAHREZ, Omar 86
MAHVASH Mohammad Hossein 87
MARCHE, David 88
MBAYE, Mame Maria 89
MORIN, Benoit 90
MORIN, Dominic 91
MORNEAU, Michel 92
MOSS, Laurent 93
MOUNAIM, Fayçal 94

N

NADEAU, Patrick 95
NADERI, Ali 96
NGUYEN, Huu The Phiet 97
NORMANDIN, Frédéric 98

O

OULD BACHIR, Tarek 99

P

PAQUET-FERRON, Dominique 100
PETERSON, Kevin 101
PIERRON, Loïc 102
PONTIKAKIS, Bill 103
PROVOST, Ghislain 104
PROVOST, Simon 105

R

RENAUD, Mathieu 106
ROBERT, Manuel 107
ROBERT, Pierre, Yves 108
ROY, Jean-François 109

S

SAHEB, Jean-François 110
SALEH, Abbas 111
SALOMON, Max-Élie 112
SAMSON, Patrick 113
SEHIL, Mohamed 114
SINGH, Rahul 115
ST-PIERRE, Francis 116

T

TANGUAY, Bruno 117
TANGUAY, Louis-François 118
TAPP, Martin 119
THIBEAULT, Jean-François 120
TRABELSI, Abdelaziz 121
TRUONG, Olivier-Don 122

V

VAILLANCOURT VEILLEUX, Nicolas 123

W

WILD, Guillaume 124

Z

ZHOU, Bo 125
ZONG, Pu 126