GRM

École Polytechnique

GROUPE DE RECHERCHE EN MICROÉLECTRONIQUE ET MICROSYSTÈMES

RAPPORT ANNUEL
2006 - 2007

ÉCOLE
POLYTECHNIQUE
MONTRÉAL

TABLE DES MATIÈRES

REMERCIEMENTS 4

INTRODUCTION 4

COLLABORATIONS EN 2006-2007 4

OBJECTIFS DU GR2M 5

COMPOSITION DU GROUPE 5

- LISTE DES MEMBRES RÉGULIERS 5
- LISTE DES MEMBRES ASSOCIÉS 6
- LISTE DES CHERCHEURS POST DOCTORAUX ET AUTRES PROFESSIONNELS 6

PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE 7

- DOMAINES 7
- ACTIVITÉS DES MEMBRES RÉGULIERS 7
- ACTIVITÉS DU PROFESSEUR SAVARIA 8
- ACTIVITÉS DU PROFESSEUR AUDET 9
- ACTIVITÉS DU PROFESSEUR BOIS 10
- ACTIVITÉS DU PROFESSEUR BRAULT 12
- ACTIVITÉS DU PROFESSEUR DAVID 13
- ACTIVITÉS DU PROFESSEUR KHOUAS 14
- ACTIVITÉS DU PROFESSEUR LANGLOIS 15
- ACTIVITÉS DU PROFESSEUR MARTEL 16
- ACTIVITÉS DU PROFESSEUR NICOLESCU 17

CONCEPTION DES SYSTÈMES EMBARQUÉS HÉTÉROGÈNES 17

CONCEPTION DES SYSTÈMES SUR-PUCE MULTIPROCESSEUR 17

- ACTIVITÉS DU PROFESSEUR SAWAN 18

ÉTUDIANTS AUX CYCLES SUPÉRIEURS 19

- ÉTUDIANTS NOUVELLEMENT INSCRITS 20
- TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT 21
- DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS 24

RÉSUMÉ: 84

PROBLÉMATIQUE: 84

MÉTHODOLOGIE: 84

RÉSULTATS: 84

SUBVENTIONS ET CONTRATS 88

- SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES 88
- SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE DE GROUPE 91
- ÉQUIPEMENT ÉLECTRONIQUE 94

ÉQUIPEMENT APPARTENANT AU GROUPE (WWW.GR2M.POLYMTL.CA) 94

USINE TYCO (GR2M / POLYSTIM) 96

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA) 96

ÉQUIPEMENT INFORMATIQUE PRÊTÉ PAR LA CMC (WWW.CMC.CA) 97
ÉQUIPEMENT INFORMATIQUE 98
ÉQUIPEMENT INFORMATIQUE APPARTENANT AU GR2M (WWW.GR2M.POLYMTL.CA) 98
LOGICIELS DE MICROÉLECTRONIQUE 98
LOGICIELS DISPONIBLES AU GR2M (WWW.GR2M.POLYMTL.CA) 98
PUBLICATIONS ET RÉALISATIONS 100
ARTICLES DE REVUES ACCEPTÉS POUR PUBLICATION 100
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2006 À AOÛT 2007 100
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2005 À AOÛT 2006 102
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2006 À AOÛT 2007. 103
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2005 À AOÛT 2006. 107
AUTRES PUBLICATIONS (INVITATION) 113
CHAPITRE DE LIVRES 113

REMERCIEMENTS

Nous désirons remercier tous les membres du GR2M (Groupe de Recherche en Microélectronique et Microsystèmes) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à sa diffusion sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche.

INTRODUCTION

Le Groupe de Recherche en Microélectronique et Microsystèmes (GR2M) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 2006 – 2007, 84 étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GR2M et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) auprès du Fonds Québécois de la recherche sur la nature et les technologies (FQRNT), ainsi qu'au Programme de Recherche Orientée en Microélectronique, photonique et télécommunication. Citons aussi les projets réalisés avec des partenaires industriels, Gennum, LTRIM, Sanyo, PMC-Sierra, Scanview, Victhom, Amirix, ST-Microélectronique, Technocap et Tundra. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 2006-2007

L'année 2006 - 2007 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GR2M et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs, Savaria, Martel, Bois et Aboulhamid de l'Université de Montréal (vérification et méthodes de conception); Savaria et Cherkaoui de l'UQAM (configuration et vérification de routeurs réseau), Savaria, Gagnon et Thibeault (architecture de systèmes de communication sans fil), Savaria et Meunier (technologie de calibration par laser de circuits analogiques), Sawan, Savaria, (mise en œuvre de convertisseurs analogique à numérique performants), Sawan et El-Gamal (circuits à fréquences radio). Kashyap et Wu (Polygrames), Zhang (Concordia) Yao (Ottawa) sur le domaine de radio sur fibre, Kashyap et Maciejko, Azaan (INRS), Bertrand (EPM), Chen (McGill), Kieffer (IRNS) Piché (U Laval), Skorobogatiy (EPM) sur le domaine des sources ultra large bande pour la bio photonique. De plus, Bois et Nicolescu collaborent avec Aboulhamid de l'Université de Montréal, et Tahar de l'Université Concordia sur la conception et la vérification des systèmes sur puces complexes. Notons la collaboration avec plusieurs membres du centre PolyGrames, notamment les professeurs Brault et Laurin (direction d'arrivée d'un faisceau électromagnétique), Sawan et Meunier (microélectrodes), Sawan et Peter (structures MEMS), Sawan et Therriault (structures micro fluidiques), Sawan et Lesage (capteurs optiques).Ajoutons que sur le plan de la mise en œuvre de dispositifs microélectroniques médicaux, le professeur Sawan collabore avec le Dr M. Elhilali de l'Université McGill (implant urinaire), le Dr F. Bellemare de l'Université de Montréal (cathéter oephagien), le Dr D. Guitton et Dr. A. Chaudhuri de l'Université McGill (implant visuel cortical et les Drs. Chapman de Concordia et Leporé de l'Université de Montréal (surveillance intra corticale). Enfin, notons que les professeurs Kashyap, Martel, Meunier, Savaria et Sawan sont titulaires de Chaires de recherche du Canada.

OBJECTIFS DU GR2M

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique et Microsystèmes a pour objectif général de «promouvoir et regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».
Plus spécifiquement, le Groupe de Recherche en Microélectronique et Microsystèmes poursuit les objectifs suivants:

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GR2M;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique et Microsystèmes relève du directeur du département de génie électrique et se compose des membres réguliers, membres associés et d'autres professionnels et chercheurs:

Liste des membres réguliers

- **Dr Yvon Savaria:** professeur titulaire au département de génie électrique, titulaire d'une chaire de recherche du Canada en Conception de systèmes microélectroniques intégrés, directeur du Groupe de Recherche en Microélectronique et Microsystèmes, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de tolérance aux pannes et de testabilité, à la conception et la vérification des systèmes sur puce (SOC), à la conception des circuits numériques, analogiques et mixtes et aux applications de ces technologies.
- **Dr Yves Audet:** professeur adjoint au département de génie électrique, ses travaux de recherche portent sur les circuits intégrés analogiques, les capteurs d'images CMOS et les interconnexions photoniques pour système VLSI.
- **Dr Guy Bois:** professeur titulaire au département de génie informatique qui s'intéresse à la conception des systèmes embarqués, plus particulièrement à leurs spécification, modélisation, partitionnement logiciel/matériel, synthèse, vérification fonctionnelle et prototypage.
- **Dr François Raymond Boyer:** professeur adjoint au département de génie informatique qui s'intéresse aux architectures et méthodes de conception des circuits VLSI. Il s'intéresse notamment à l'optimisation des systèmes exploitant des horloges multi phase.
- **Dr Jean-Jules Brault:** professeur agrégé au département de génie électrique et directeur du Laboratoire de Réseaux Neuronaux (LRN), qui s'intéresse aux diverses architectures et applications des machines neuronales, virtuelles ou électroniques, de même qu'au développement de leurs algorithmes d'apprentissage.
- **Dr. Jean-Pierre David**: professeur adjoint au département de génie électrique, qui s'intéresse à la conception rapide et fiable de systèmes numériques à partir d'une description de haut niveau, en particulier pour les systèmes reconfigurables (FPGA).
- **Dr. Raman Kashyap:** professeur titulaire aux départements de génie électrique et de génie physique. Il s'intéresse aux nouveaux concepts en photonique pour les applications en radio sur fibre, technologies et composants à bandes interdites, biocapteurs, communications optiques, réseaux de Bragg en fibre optique à base de polymères, nouveaux procédés pour fabriquer des guides d'ondes et leur intégration avec les circuits électroniques. Il est membre fondateur du groupe Polyphotonique et le directeur du laboratoire de concepts photoniques avancés (APCL).
- **Dr Abdelhakim Khouas:** professeur adjoint au département de génie électrique dont les domaines de recherche portent sur le test et la conception en vue du test (chemin de SCAN, BIST, JTAG) des circuits

intégrés numériques, analogiques et mixtes, le développement d'outils de CAO pour la microélectronique, le prototypage de systèmes numériques et la synthèse sur FPGA.

- **Dr. Pierre Langlois:** professeur agrégé au département de génie informatique, s'intéresse à la conception et à la réalisation de systèmes embarqués pour le traitement du signal et le traitement d'images, aux circuits arithmétiques, et à l'architecture des ordinateurs.
- **Dr Sylvain Martel**: professeur agrégé au département de génie informatique et titulaire d'une chaire de recherche du Canada dont le domaine de recherche est principalement la conception de micro et nano systèmes électromécaniques, incluant la nano robotique pour les applications au niveau moléculaire et atomique en touchant plusieurs aspects comme l'instrumentation, l'électronique, les ordinateurs ainsi que les systèmes reconfigurables. En nano robotique, nous exploitons les découvertes fondamentales en nano sciences par la conception de nano robots capable de travailler au niveau du nanomètre pour créer de nouveaux systèmes, produits et applications.
- **Dr. Gabriela Nicolescu**: professeure adjoint au département de génie informatique qui s'intéresse à la conception de haut niveau des systèmes embarqués hétérogènes composés de sous systèmes spécifiques aux différents domaines d'application: logiciel, matériel, mécanique, optique et RF. Elle travaille aussi sur la conception des systèmes sur puce multiprocesseurs.
- **Dr. Mohamad Sawan:** professeur titulaire au département de génie électrique et détenteur d'une chaire de recherche du Canada sur les dispositifs médicaux intelligents et directeur du regroupement stratégique en microsystèmes du Québec, qui s'intéresse à la conception et la réalisation de circuits mixtes (numériques, analogiques, optiques et RF) et à leurs applications dans les domaines industriel (communication sans fil) et biomédical (stimulateurs et capteurs sensoriels).

Liste des membres associés

- **Dr David Haccoun:** professeur titulaire au département de génie électrique qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI. Il collabore avec MM Savaria et Sawan sur l'implantation de codeurs-décodeurs.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et titulaire d'une chaire de recherche du Canada en micro-ingénierie et nano-ingénierie des matériaux par laser. Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique et avec Mohamad Sawan sur les microélectrodes.

Liste des chercheurs post doctoraux et autres professionnels

- M. Normand Bélanger — associé de recherche
- M. Éric Legua — associé de recherche
- M. Olivier Valorge — Post-doctorat

De plus, les personnes suivantes collaborent aux travaux du groupe à divers titres:

- M. Réjean Lepage — technicien et chef d'équipe du laboratoire GR2M.
- M. Laurent Mouden — technicien du laboratoire GR2M

Ces personnes forment le Groupe de Recherche en Microélectronique et Microsystèmes de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la microélectronique.

PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE

Domaines

Les programmes de recherche et de formation de chercheurs en microélectronique de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie microélectronique en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défectuosités;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, et en biomédical par la réalisation de capteurs et micro stimulateurs implantables;
- Les logiciels de synthèse, de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques, ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse des activités de chaque membre au sein du GR2M.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, de circuits de synthèse d'horloge, de circuits analogiques précis, de plates-formes SOC ainsi que sur la vérification des systèmes électroniques. Il englobe aussi les techniques d'autotest et de tolérance aux pannes et aux défectuosités. Le second axe couvre des thèmes divers comme la conception de systèmes de radio configurable, la conception de décodeurs convolutionnels, la conception d'une plate-forme SOC pour la réalisation de processeurs réseau et de systèmes de traitement vidéo, la réalisation de circuits de synthèse d'horloge, la conception de circuits analogiques précis et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Nos travaux sur les méthodes de conception explorent diverses architectures pour la synthèse d'horloge exploitant des accumulateurs de phase qui commandent la sélection de phases dérivées d'une horloge de référence à l'aide de lignes à délais. Du côté des circuits analogiques précis, nous explorons les architectures d'amplification de haute précision, les architectures de convertisseurs A/D précis, ainsi que celles applicables aux systèmes vidéo de haute performance. Nos recherches portent notamment sur la possibilité de calibrer ces circuits par la création locale de résistances de valeurs programmables. Nous étudions aussi l'impact des couplages par le substrat sur la précision de ces circuits.

Nous explorons la notion de plate-forme SOC comme façon de développer efficacement des circuits dérivés pour une classe d'application. Une telle plate-forme est composée de modules paramétrables, réutilisables et compatibles entre eux qui forment la base d'une architecture flexible pour la classe d'application ciblée. Nos recherches portent aussi sur l'élaboration d'architectures capables de traiter efficacement des problèmes sujets à une importante variabilité de l'effort de calcul combiné à des contraintes temps réel d'une sévérité variable. Une solution envisagée est l'introduction d'une forme de contrôle centralisé qui peut ajuster les paramètres de traitement afin d'assurer la meilleure qualité de service qui rencontre les contraintes de temps réel. De plus, nous explorons plusieurs techniques pour la conception de processeurs configurables visant l'accélération des calculs. Ces techniques permettent aussi de réduire considérablement l'énergie requise pour effectuer un traitement.

Enfin, en rapport avec les techniques de tolérance aux pannes, nous les explorons dans le cadre d'un projet qui vise à détecter les pannes transitoires par des méthodes logicielles. Nous explorons notamment la sensibilité aux erreurs douces des systèmes d'exploitation temps réel dans le but d'en améliorer la robustesse. De plus, nous explorons des techniques pour permettre l'intégration de circuits de grande superficie dont la taille peut s'étendre jusqu'à une tranche complète.

Applications

Dans le cadre de cet axe, nous explorons un ensemble d'applications. Plusieurs de ces applications permettent d'explorer les méthodes de dimensionnement automatique des chemins de données. Nous explorons les architectures possibles pour la mise en œuvre des systèmes de traitement vidéo et nous appliquons la méthode de dimensionnement automatique afin de produire des implémentations valides Ce projet sert de véhicule pour appliquer et raffiner les notions de plate-forme SOC. Le projet intéresse notamment la société Gennum.

Nous travaillons aussi à la mise en œuvre de diverses classes de modules nécessaires pour la mise en œuvre de radios configurables, de processeurs réseau et de systèmes de traitement vidéo.

Enfin, en collaboration avec Technocap, nous élaborons une technologie d'intégration configurable pour les systèemes électroniques dans le cadre du projet DreamWafer.

Activités du professeur Audet

Les activités du professeur Audet sont reliées aux capteurs photoniques, fabriqués en procédé CMOS, visant deux champs d'applications spécifiques soient : les capteurs d'images intégrés et les détecteurs photoniques de haute performance pour système VLSI à interconnections optiques.

1. Les capteurs d'images CMOS

Ce programme de recherche adresse la problématique de conception et de fabrication de capteurs d'images CMOS de grande surface, qui permettrait d'obtenir une caméra numérique de résolution spatiale comparable à celle d'une caméra avec pellicules chimiques photosensibles. On vise un capteur ayant une matrice de pixel de 36 x 24 mm de surface pour atteindre la compatibilité avec la gamme des lentilles développées pour la photographie SLR 35 mm.

Outre la réalisation d'un capteur d'images de grande surface, les techniques de conception de pixels redondants avec autocorrection développées sont aussi utiles à la réalisation de capteurs d'images employés dans des environnements hostiles comme l'espace, les mines, les réacteurs nucléaires, …etc., là où une caméra peut-être exposée à des radiations, des températures et des pressions extrêmes pouvant endommager le capteur. Ainsi, les propriétés d'autocorrection de l'architecture redondante permettront à la caméra de transmettre des images plus longtemps dans ces milieux hostiles où le remplacement et la réparation sont difficiles, voire impossibles.

2. Les détecteurs photoniques

Ici on s'intéresse au développement de technique de propagation de signaux par modulation photonique, tant sur un même circuit intégré qu'entre puces d'un même système, de façon à éliminer les interconnections métalliques critiques qui limitent la performance des systèmes. Des taux de propagation supérieurs à 1 Gb/s sont visés.

Bien que la recherche sur les interconnections photoniques ait favorisé jusqu'à maintenant les dispositifs III-V pour la conversion de signaux électriques à signaux photoniques, la diminution constante de la taille des structures fabriquées sur technologie CMOS pourrait avantager les dispositifs photoniques au silicium notamment au niveau des photo-détecteurs. Avec la diminution de la taille des structures, les capacités parasites des composants actifs diminuent également de sorte qu'un faisceau lumineux de moindre énergie est requis pour activer une cellule photo-détectrice au silicium et une réponse plus rapide peut être obtenue. Les avantages d'un photo détecteur au silicium pouvant être intégré à même une puce VLSI sont considérables, même si les performances sont moindres qu'un photo-détecteur en technologie III-V. Citons entre autre la simplicité du procédé de fabrication CMOS comparé aux technologies hybrides III-V – CMOS et l'élimination des circuits liés à l'intégrité des signaux d'horloge en amplitude et en phase, tels que les répétiteurs et les circuits de verrouillage de phase (PLL). À l'heure actuelle, dû aux problèmes de délais associés aux interconnections métalliques, il est de plus en plus difficile d'assurer la synchronisation entre les différents modules d'un système VLSI, de sorte que les techniques de propagation de signaux asynchrones sont maintenant envisagées pour relier des modules sur une même puce, ajoutant à la complexité du système. Les interconnections photoniques assureront la performance des systèmes VLSI sans ajouter à leur complexité.

Activités du professeur Bois

Le professeur Bois poursuit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux: contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous, la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommé co-design.

Le professeur Bois travaille au développement de méthodes modernes de conception et de vérification conjointe logiciel/matériel. Plus particulièrement, ses travaux visent à solutionner quatre problèmes importants:

1. Des outils permettent la spécification, la modélisation et le raffinement d'un système embarqué à partir de langages niveau système (e.g. SystemC). En particulier, nous sommes à pré commercialiser une plate-forme à haut niveau nommé SPACE Co design™. À partir d'une spécification entièrement décrite en SystemC, SPACE permet la simulation et l'estimation de performance au niveau transactionnel, afin de faciliter l'exploration architecturale et le partitionnement logiciel/matériel. SPACE permet ensuite un raffinement graduel de la spécification afin d'implémenter le système. En termes de plate-forme pour l'implémentation, nous travaillons avec la carte AP100 de Amirix qui est basé sur le Virtex-II Pro (2VP30) de la société Xilinx.

2. Notre effort de réutilisation se fait principalement au niveau des standards de bus (e.g. CoreConnect de IBM). Nous travaillons à la conception de modèles transactionnels pour réseau-sur-puce et bus-sur-puce, ainsi qu'à la génération d'adaptateurs.

3. Nous travaillons également au développement de réseaux intégrés sur puce dans un environnement logiciel/matériel multiprocesseur. En particulier nous avons travaillé à l'implémentation sur FPGA d'une nouvelle architecture de réseau sur puce nommé RoC (Rotator-on-Chip) basé sur le concept de réseau en anneau avec jetons.

4. Finalement, nous travaillons à l'exploration architecturale de processeurs réseaux utilisant un jeu d'instructions configurable (e.g. processeur XTensa de Tensilica).

Les partenaires industriels qui collaborent à ces projets sont Amirix, STMicroelectronics et CMC Electronics, alors qu'au niveau universitaire les collaborateurs sont les professeurs Aboulhamid (Université de Montréal), Tahar (Concordia), Thibeault (ETS), ainsi que Nicolescu et Savaria de l'École Polytechnique.

Activités du professeur Boyer

Le professeur Boyer conduit des recherches incluant les domaines de la microélectronique, de la compilation et du traitement de signal. Plus spécifiquement, il s'intéresse au design, à synthèse et à l'optimisation des systèmes conjoints logiciel/matériel dédiés, ainsi qu'au développement d'architectures prenant partie d'un nouveau type d'horloge.

L'horloge à période variable est un concept nouveau, découlant de ses recherches au doctorat, qui pourrait avoir une grande influence sur notre manière de voir les circuits synchrones par rapport aux circuits asynchrones ainsi qu'avoir des nouvelles applications. L'idée est de permettre de moduler la longueur des cycles d'horloges pour pouvoir suivre précisément un ordonnancement. Cet ordonnancement peut être fait à l'avance mais aussi à l'exécution, pour pouvoir traiter de manière optimale les expressions conditionnelles et pour pouvoir tenir compte de d'autres facteurs qui ne sont pas connus lors de la compilation (ou synthèse). À l'exception des circuits asynchrones, les circuits ont présentement une horloge fixe qui limite la possibilité d'ordonnancement. Pour obtenir le meilleur ordonnancement possible, il faut relâcher les contraintes de l'horloge et ce nouveau type d'horloge permet beaucoup plus de flexibilité.

La conception de systèmes dédiés demande à la fois de déterminer la structure matérielle et le logiciel devant s'exécuter sur ce matériel. Une approche conjointe logicielle/matérielle est nécessaire pour la conception et l'optimisation d'un tel système. Pour des systèmes dédiés, les outils doivent permettre la spécialisation (paramétrisation) des composantes. Puis la partie logicielle doit être compilée pour une architecture parallèle possiblement hétérogène (avec des processeurs de plusieurs types différents) et comportant des instructions spéciales. Ses recherches se situent sur différents plans, dont l'automatisation de la séparation logiciel/matériel, la compilation parallélisante pour un système hétérogène configurable, une diminution du temps associé à l'assemblage et test du système, pour un temps de mise en marché minimum.

Application au traitement audio :

Traitement de signal et isolation de la voix dans des prothèses auditives numériques

Le domaine de la prothèse auditive numérique est en expansion, dû au fait que la miniaturisation des processeurs le permet mais aussi au fait que la demande en prothèses auditives augmente (la population vieillit) et que les gens recherchent une qualité supérieure. Des études montrent que l'utilisation de plusieurs microphones est présentement la méthode qui a le plus de succès pour augmenter la discrimination des sons et améliore l'intelligibilité. Par contre, le traitement fait sur ces sources pourrait être amélioré. L'idée du traitement en étude est de faire une analyse de phase, en utilisant des FFT sur les différentes sources, pour réduire les bruits de l'environnement par rapport à la voix venant de l'avant. Le circuit complet de traitement, avec entrée analogique, traitement numérique et sortie analogique ainsi qu'une source électrique, doit être très petit et avoir une faible consommation d'énergie pour avoir une bonne autonomie. Pour ces raisons, un système sur puce («System on Chip» ou SoC) mixte numérique/analogique sera développé.

Les principaux partenaires qui collaborent sur ces recherches sont le professeur E.M. Aboulhamid (Diro, Université de Montréal), sur l'algorithme, la simulation et la vérification, le professeur Y. Savaria (génie électrique, École Polytechnique), sur le côté matériel, le professeur G. Bois (génie informatique, École Polytechnique), dont le domaine de recherche est la conception de systèmes embarqués (dédiés), le professeur A. Saucier (mathématiques, École Polytechnique), sur l'analyse et le traitement de signal.

Les partenaires industriels sont: STMicrelectronics (systèmes dédiés pour les traitements réseaux) et ACE (compilation reciblable).

Activités du professeur Brault

Le professeur Brault dirige le LRN (Laboratoire de Réseaux Neuronaux.) Ses recherches visent plus spécifiquement l'application les algorithmes d'apprentissage (AA) à des problèmes d'inférence sur des données expérimentales en utilisant des machines neuronales (MN), virtuelles ou électroniques. Le champ d'application des AA/MN est très vaste puisque les MN sont des approximateurs universels utilisés tant en classification, en régression qu'en estimation de fonction de densité. D'autre part, vu l'homogénéité des traitements réalisés par les MN, ils peuvent souvent être intégrés relativement aisément sur des circuits électroniques.

Les principales difficultés que l'on rencontre dans le design de ces machines proviennent du fait qu'elles sont habituellement adaptées itérativement et que l'information est massivement distribuée dans les interconnexions de la MN. Parmi ces difficultés, notons, le choix du type de neurones à utiliser (déterministes ou stochastiques, modèle de McCulloch-Pitts ou Hodgkin-Huxley), le nombre de neurones (capacité à s'adapter au problème) le type d'interconnexions (avec ou sans récurrence), le paradigme/loi d'apprentissage (supervisé ou non, correction d'erreurs, minimisation d'entropie, etc.), la fonction de coût à minimiser, etc. Tous ces «hyperparamètres» doivent évidemment conduire à la conception d'une machine capable de bien généraliser (intrapoler ou extrapoler) sur de nouvelles données.

Outre les architectures bien connues de type MLP (ou RBF) optimisées pour diverses applications (antennes, parole, robotique), les MN qui retiennent particulièrement notre attention sont les machines stochastiques causales (réseaux bayesiens) et les machines à états liquides (MEL) (également appelées «réseaux à échos»). Pour le premier cas, ce type de système comporte habituellement un très grand nombre de variables stochastiques et les techniques d'optimisation comme le recuit simulé, sont souvent jugées inutilisables à cause des temps de calcul ou de la mémoire requise pour leur mise en œuvre. En effet, pour valider un réseau bayesien, on doit générer un très grand nombre de cas (vecteurs de tests) en fonction d'une distribution de probabilité multi-variables. On se frappe alors au problème de la «malédiction de la dimensionnalité». Une modification possible est l'ajout d'aspects déterministes dans le processus d'optimisation conduisant par exemple au recuit déterministe RD (Deterministic Annealing). Dans le second cas, (MEL), le problème est de concevoir une machine à rétroaction massive qui se comporte de façon quasi chaotique afin d'explorer un espace d'états continus (ou liquides).

Concernant les aspects électroniques de ces projets, nous étudions la conception de circuits échantillonneurs en fonction d'une distribution de probabilité d'un espace approximé par un réseau bayesien. Nous modifions les circuits logiques traditionnels afin de les rendre probabilistes. D'autre part, des circuits appelés «neurones à pulses» ont été simulés sur SPICE pour équiper des robots suiveurs.

Activités du professeur David

Le professeur David mène des activités de recherche dans le domaine de la synthèse des systèmes logiques matériel-logiciel et leurs applications, notamment en traitement du signal et en cryptographie. En particulier, il se spécialise dans la programmation des systèmes reconfigurables de type FPGA ou autres à partir d'une description de haut niveau.

Un système reconfigurable est un circuit logique programmable dont le comportement sera déterminé au moment de sa programmation. Aujourd'hui, ces circuits intègrent plusieurs noyaux de processeurs, des centaines de mémoires, des centaines de multiplieurs, des dizaines de milliers de fonctions logiques programmables, de multiples ressources dédiées et un immense réseau de connexions configurables permettant d'interconnecter ces ressources pour réaliser un circuit complexe et hautement parallèle. Ils concurrencent de plus en plus les circuits dédiés de type *ASIC* car nous pouvons les reprogrammer à volonté et leur densité atteint maintenant la dizaine de millions de portes logiques équivalentes.

Les circuits reconfigurables relèvent à la fois du Génie Électrique (GÉ) et du Génie Informatique (GI). Une fois le circuit physique réalisé (GÉ), il reste à le programmer (GI). Toutefois, la programmation sert à implémenter un circuit avec des signaux logiques qui se propagent d'une manière semblable à ce qui se passe dans un circuit logique traditionnel (GÉ). Enfin, ces circuits contiennent souvent un ou plusieurs processeurs devant être programmés (GI). Les deux domaines sont donc très étroitement reliés et il devient nécessaire d'avoir une vision plus large qui réunit les deux disciplines.

Notre programme de recherche principal, subventionné par le CRSNG, consiste à développer un nouveau langage de description de matériel (HDL) d'un niveau d'abstraction intermédiaire entre les langages de programmation utilisés en GI et les langages de description de matériel utilisés en GÉ. Nous visons à décrire des circuits au niveau fonctionnel (algorithmique) et développons un compilateur (CASM) capable de transformer cette description en un circuit de manière automatique et sûre par construction. En résumé, notre langage permet de décrire des réseaux de machines algorithmiques qui traitent et s'échangent des jetons de données en parallèle, un peu sur le modèle de CSP (Communicating Sequential Processes) et SDL (Specification and Description Language). Une grande nouveauté par rapport aux ASM (Algorithmic State Machine) traditionnels consiste en la possibilité de faire des appels (et donc des retours) d'états d'une manière semblable à un appel de méthode en logiciel ou encore une continuation dans les langages fonctionnels. Il devient alors possible de synthétiser des machines récursives, ce qui nous a permis, par exemple, d'implémenter une version de l'algorithme QuickSort (un algorithme de tri rapide hautement récursif) sur FPGA très facilement. En outre, l'outil génère automatiquement tous les signaux de contrôle pour la synchronisation des envois-réceptions des jetons de données dans tout le réseau sans perdre de cycle d'horloge (possiblement sous la forme de pipeline continu). Le concepteur peut donc se concentrer sur les aspects algorithmiques et déléguer la tâche de réalisation du circuit au compilateur. Toutefois, l'utilisateur averti a conscience de l'architecture qui sera synthétisée et peut, dans la manière dont il décrit l'algorithme, influencer celle-ci.

Notre programme de recherche va s'ouvrir prochainement à la possibilité de configurer dynamiquement un circuit reconfigurable. De la même manière qu'un processeur peut générer le code qu'il va exécuter un peu plus tard (compilation *JIT*), nous voulons explorer comment un circuit reconfigurable pourrait efficacement générer le circuit qui va travailler un peu plus tard à une tâche dédiée. Nous explorerons surtout comment intégrer cette fonctionnalité à notre langage CASM et à son compilateur.

Activités du professeur Khouas

Le professeur Khouas conduit des activités de recherche dans le domaine de la microélectronique, et principalement dans les domaines suivants : test des circuits analogiques, conception en vue du test « Design for Testability » (DFT), des circuits intégrés et des systèmes sur puce « System on Chip SOC » (SOC), circuits de synthèse de fréquence, circuits de test et de caractérisation, convertisseurs temps numérique, synthèse sur FPGA et outils de CAO pour la conception, la vérification et le test des circuits intégrés.

Techniques de conception en vue du test : La demande croissante de nouveaux produits électroniques de plus en plus petits, à bas prix et de faible consommation dans toutes les applications de l'électronique a stimulé la croissance rapide des systèmes intégrés sur puce « System on Chip Soc ». Les SOC intègrent des parties analogiques, numériques, des mémoires et des microprocesseurs sur le même circuit intégré. Les technologies modernes de fabrication de circuits intégrés permettent cette intégration de plusieurs modules sur la même puce, ce qui permet d'avoir des circuits plus performants, plus rapides, plus petits et à faible coût. Par contre, à cause de cette intégration croissante, le test de ces SOC devient de plus en plus difficile et surtout de plus en plus coûteux, ce qui risque de ralentir leur croissance au cours des prochaines années. L'objectif de ces travaux de recherche est de développer de nouvelles méthodes de test pour les SOC afin de maintenir un coût de test relativement faible par rapport au coût de fabrication.

Méthodes d'accélération de la simulation analogique : L'objectif de ces travaux de recherche est l'étude et l'implémentation de techniques d'accélération de la simulation de circuits analogiques pour certaines applications particulières qui sont très coûteuses en temps de calcul et moins exigeantes en précision. Parmi les outils de CAO visés par ces travaux, nous avons les logiciels de dimensionnement automatique des transistors, les simulateurs de pannes et les outils d'analyse Monte-Carlo. Ces applications utilisent les résultats de la simulation pour comparer des circuits et prendre des décisions à savoir : choisir le meilleur circuit dans le cas d'un outil de dimensionnement automatique, décider si un défaut physique est détectable ou non dans le cas d'un simulateur de pannes et savoir si le circuit conçu est robuste dans le cas de l'analyse Monte-Carlo. Contrairement à l'application normale d'un simulateur qui est la vérification et la validation de circuits, pour ces applications, la précision intrinsèque du simulateur n'est pas importante tant que les résultats des comparaisons restent corrects. Le but de ces travaux est donc d'explorer les différentes méthodes pour accélérer les simulations analogiques dans le cas de simulations multiples d'un même circuit avec des modifications mineures et pour lesquelles une grande précision des résultats n'est pas toujours nécessaire.

Circuits de test et de caractérisation : Ces travaux de recherche visent le développement de méthodes pour la caractérisation des effets des fluctuations des procédés de fabrication sur le comportement des circuits fabriqués. Pour améliorer les performances des circuits de haute performance, il est indispensable de disposer pour chaque procédé de fabrication de modèles statistiques des variations «intra-die» et «die-to-die» des paramètres physiques et électriques les plus critiques. Les méthodes classiques d'extraction de ces paramètres nécessitent un grand nombre de circuits provenant de plusieurs emplacements différents sur la gaufre et des équipements de mesure très coûteux, ce qui les rend très coûteuses. L'objectif de nos travaux est la conception de circuits pour la caractérisation. L'idée est de concevoir pour chaque paramètre, un circuit permettant de faciliter l'analyse et la mesure des effets des fluctuations du procédé de fabrication sur le paramètre en question. Un des problèmes critiques ciblés par ces travaux de recherche est la variation des délais de propagation dans un circuit intégré.

Activités du professeur Langlois

Le professeur Langlois s'intéresse à la conception et à la réalisation de systèmes embarqués pour le traitement du signal et le traitement d'images, aux circuits arithmétiques, et à l'architecture des ordinateurs.

Plusieurs projets sont en cours :

Processeurs spécialisés pour le traitement vidéo. Les objectifs de ce projet incluent le développement de méthodologies de conception pour des processeurs spécialisés (Application Specific Instruction set Processor - ASIP), principalement pour des applications de traitement vidéo en temps réel. Nous considérons présentement le désentrelacement et la conversion du taux de trame pour la télévision à haute définition, et le traitement en temps réel d'images pour des applications médicales. Ce projet inclut une collaboration avec le professeur Savaria.

Détection automatisée en temps réel de crises épileptiques chez le nouveau-né. Ce projet est mené conjointement avec des chercheurs en neurologie de l'hôpital Ste-Justine et avec le professeur Bilodeau du département de génie informatique et génie logiciel. Le but du projet est de développer un système fiable pouvant détecter automatiquement et en temps réel les crises d'épilepsie chez les nouveau-nés. C'est un problème difficile en partie à cause de l'immaturité du cerveau des très jeunes enfants, et à cause des mouvements déjà erratiques de leurs membres. Pourtant la détection préventive est très importante afin de minimiser les chances de séquelles. Le projet a deux composantes: l'analyse de l'électroencéphalogramme et l'analyse de la vidéo des patients.

Système embarqué de navigation véhiculaire avec intégration des données de positionnement inertielles et par GPS. Le but de ce projet est de démontrer la faisabilité de l'intégration des données de positionnement provenant de senseurs inertiels et du GPS pour la navigation véhiculaire, sur une plateforme à très faible coût. Les senseurs inertiels tendent à être très précis à court terme, et peuvent complémenter adéquatement les données GPS lors de brèves interruptions de service. La contrainte de coût est menée par les besoins de l'industrie automobile. À long terme, le système doit intégrer des accéléromètres sous la forme de systèmes micro-électromécaniques (MEMS). Ce projet est effectué en collaboration avec le professeur Noureldin du Collège militaire royal à Kingston.

Oscillateurs numériques et mélangeurs complexes pour systèmes de communication sans fils. Ce projet comporte plusieurs volets, dont le développement de nouvelles architectures pour les oscillateurs numériques (Direct Digital Frequency Synthesizer - DDFS), et l'utilisation des systèmes de numération logarithmique et complexe pour l'implémentation de la multiplication complexe. Certains volets de ce projet sont effectués en collaboration avec le professeur Al-Khalili du Collège militaire royal à Kingston.

Accélérateurs de calculs pour applications en bioinformatique. Les objectifs de ce projet sont de proposer de nouvelles architectures matérielles pour l'accélération des calculs en bioinformatique. Ce projet est effectué en collaboration avec la professeure Nicolescu.

Activités du professeur Martel

Les activités du professeur Martel se situent principalement dans la recherche et le développement de systèmes miniatures intelligents et plus particulièrement dans le domaine de la nanorobotique. L'objectif actuel consiste à développer des nanorobots avec une infrastructure conçue pour supporter une flotte d'une centaine de ces nanorobots capables d'opérer très rapidement et de façon autonome au niveau moléculaire et jusqu'au niveau des atomes.

Pour ce genre de projets, nous devons développer plusieurs systèmes électroniques et microélectroniques spécialisés pour supporter, contrôler et implanter plusieurs tâches complexes incluant par exemple :

Système en temps réel et de très haute performance de positionnement, de navigation et communication à infrarouge pour plates-formes nanorobotique ;

Système de positionnement miniature de résolution atomique basé sur les techniques de microscopie à effet tunnel ;

Systèmes et instruments miniatures de manipulation, mesure, synthèse et fabrication au niveau moléculaire ;

Système de contrôle embarqué pour déplacement de nanorobots, etc.

Notre intérêt est donc le développement de divers circuits miniatures (analogue et numérique) de haute performance en utilisant diverses approches, techniques, outils de conception et systèmes de vérification/validation essentiellement au niveau système sur puces (SoC).

La miniaturisation, précision, vitesse et le rendement en temps réel sont des aspects très importants et critiques dans la plupart des systèmes électroniques développés pour ce genre de projet. Les systèmes à concevoir sont aussi généralement très complexes et exigeants et font appel à plusieurs technologies qui doivent être intégrées dans des systèmes micro-mécatroniques avec instruments intégrés de très haute précision et opérant à de très grandes vitesses.

Activités du professeur Nicolescu

Gabriela Nicolescu conduit des recherches sur la conception des systèmes embarqués. Deux types de systèmes sont visés par ses recherches : la dernière génération des systèmes embarqués intégrant des sous-systèmes hétérogènes provenant de différents domaines d'application (ex. électronique, optique, mécanique, RF) et les systèmes-sur-puce intégrant plusieurs processeurs hétérogènes (ex. processeurs configurables, processeurs spécialisés pour un type d'application, processeurs d'usage général). Les thèmes de recherche seront élaborés brièvement par la suite.

Conception des systèmes embarqués hétérogènes

Nos travaux sur la conception des systèmes embarqués hétérogènes portent sur les nouvelles techniques pour la modélisation et la validation globale de ces systèmes. Nous travaillons sur la définition et la mise en place d'un environnement permettant la coopération des concepteurs provenant des domaines d'application différents, avec de différentes cultures et utilisant différents niveaux d'abstraction (ex. RTL, niveau transactionnel), langages de spécification (ex. VHDL, SytemC, Matlab) et modèles d'exécution (simulation native, simulation à base d'ISS). Nos travaux explorent particulièrement la modélisation et la simulation des interactions entre les composantes fournies par divers concepteurs et nous explorons les techniques de génération automatique des interfaces d'adaptation entre ces composantes.

Nous utilisons comme applications concrètes les MEMS (micro electro-mechanical systems), MOEMS (micro opto-elctro-mechanical systems) et les réseaux optiques sur puce.

Conception des systèmes sur-puce multiprocesseur

Nos travaux sur la conception des systèmes-sur-puce multiprocesseurs portent sur l'exploration architecturale et la validation par simulation de ces systèmes.

Concernant l'exploration architecturale nous étudions des nouvelles architectures mémoires et les algorithmes efficaces pour mapper les différentes applications sur ces architectures. Nous explorons aussi l'impact de l'implémentation des systèmes d'exploitation sur l'efficacité des systèmes multiprocesseurs sur puce. Les approches prises en compte sont : les systèmes d'exploitation implémentés en logiciel, les systèmes d'exploitation implémentés en matériel, et les systèmes d'exploitation logiciels/matériels. Nous explorons aussi l'impact de l'intégration sur même puce des processeurs différents et des systèmes d'exploitation implémentés par les différentes techniques présentés plus haut.

Concernant la validation des systèmes, multiprocesseurs, nous explorons de nouvelles modèles de simulation permettant une validation rapide et précise de ces systèmes. Nous étudions les modèles de simulation de haut niveau pour les parties logiciels dépendants du matériel (hardware dependent software) pour la simulation native du logiciel embarqué.

Nous évaluons nos approches à l'aide des applications multimédia (ex. MPEG4, DivX).

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon les grandes priorités suivantes: la conception, la réalisation et le test des circuits intégrés numériques, analogiques, mixtes et à fréquences radio; la conception des systèmes pour l'acquisition et le traitement de signal et d'image, l'assemblage et l'encapsulation de dispositifs électroniques; le prototypage rapide se servant de circuits intégrés programmables et de systèmes reconfigurables.

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels soient la réalisation de modules et de systèmes complets dédiés à des applications industrielles variées tel que les télécommunications, et la mise en œuvre de dispositifs médicaux servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions, plus particulièrement des micro stimulateurs et capteurs sensoriels implantables et non-implantables et des systèmes optiques et ultrasoniques portables.

Nous nous intéressons aux trois catégories de convertisseurs analogique à numérique (ADC): rapide, à haute précision et à très basses alimentation et consommation. Nous proposons des filtres reconfigurables et à bande passante élevée, des préamplificateurs à très faible niveau de bruit et à large bande passante, des amplificateurs variés programmables, des régulateurs de tension, des PLL (Phase-Looked Loop) à grande plage d'opération, des FLL (Frequency-Looked Loop) à réponse très rapide. Aussi, des nombreux autres circuits intégrés mixtes font l'objet de nos travaux de recherche dans le cadre des applications médicales : capteurs et micro stimulateurs, conversion optique – électrique, ultrasons, microélectrodes, techniques de mesures intégrés, etc. Ajoutons que nous menons des travaux dans le domaine de communications sans fil, plus spécifiquement nous travaillons à la mise au point de systèmes complets, soient des mélangeurs, des MODEM, des ADC des amplificateurs de puissance avec techniques de linéarisation dédiées, etc.

Les systèmes dédiés à des applications médicales doivent être performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. La plupart de ces applications pluridisciplinaires regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités connexes en sciences et génie. Ceci implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc. Nous nous intéressons présentement à mettre en œuvre un bon nombre de ces systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la création d'une vision acceptable chez les non-voyants, un dispositif capteur de signaux neuronaux dans le but de mesurer le volume d'urine dans la vessie et de commander le mouvement des membres artificiels remplaçant des membres amputés. Nous prévoyons apporter des solutions aux dysfonctions dans le domaine de la respiration (apnée) chez les nourrissants et chez les adultes, de l'énurésie nocturne, etc. À titre d'exemple, nous proposons un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons. Nous poursuivons nos travaux sur les techniques de télémétrie pour la mesure de divers paramètres biologiques. Nous ferons des travaux dans le domaine de laboratoire sur puce pour mettre au point des outils de diagnostique.

Titulaire d'une Chaire de recherche du Canada sur les dispositifs médicaux intelligents, le professeur Sawan est co-fondateur de l'IFESS (International Functional Electrical Stimulation Society), Fellow de l'IEEE, Fellow de l'Académie Canadienne du génie, et membre de plusieurs comités d'organisation et de programme de conférences nationales et internationales. Fondateur de la conférence internationale IEEE-NEWCAS, fondateur du Laboratoire de neurotechnologies PolyStim et directeur du regroupement stratégique en microélectronique du Québec (ReSMiQ).

Pour plus de détails sur les différents travaux cités ci-dessus, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport et à consulter notre site web au http://www.polystim.ca

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées au GR2M durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Ait Yakoub, My El Mustapha	M.Sc.A.	M. Sawan	C. Thibeault
Amiri, Amir Mohammad	M.Sc.A.	A. Khouas	
André, Walder	Ph.D..	S. Martel	
Ayoub, Amer Élias	M.Sc.A.	M. Sawan	
Bafunba-Lokilo, David	M.Sc.A.	J.P. David	
Basile Bellavance, Yan	M.Sc.A.	Y. Savaria	
Benamrane, Eliasse	M.Sc.A.	M. Meunier	Y. Savaria
Bendali, Abdelhalim	Ph.D.	Y. Audet	C. Akyel
Beucher, Nicolas	M.Sc.A.	Y. Savaria	
Binet, Vincent	M.Sc.A.	M. Meunier	Y. Savaria
Burasa, Pascal	M.Sc.A.	Y. Audet	
Chebli, Robert	Ph.D.	M. Sawan	
Chénier, Félix	M.Sc.A.	M. Sawan	
Chevalier, Jérôme	M.Sc.A.	G. Bois	M. Aboulhamid
Coulombe, Jonathan	Ph.D.	M. Sawan	
Deca, Radu	Ph.D.	O. Cherkaoui	Y. Savaria
De Nanclas, Maxime	M.Sc.A.	G. Bois	
Doljanu, Alexandra Delia	M.Sc.A.	M. Sawan	
Dungen, Jeffrey	M.Sc.A.	J.-J. Brault	
Dupire, Thierry	M.Sc.A.	M. Sawan	
Faiz, Ahmed	M.Sc.A.	G. Bois	
Faucher, Corentin	M.Sc.A.	J.J. Brault	
Fontaine, Sébastien	M.Sc.A.	G. Bois	
Genest, Pier Olivier	M.Sc.A.	J.J. Brault	
Ghafar-Zadeh, Ebrahim	Ph.D.	M. Sawan	Therriault
Ghannoum, Roula	M.Sc.A.	M. Sawan	
Gheorghe, Luiza	Ph.D.	G. Nicolescu	
Girodias, Bruno	Ph.D.	G. Nicolescu	M. Aboulhamid
Gosselin, Benoit	Ph.D.	M. Sawan	
Goyette, Sylvain	M.Sc.A.	G. Bois	
Hajj-Hassan, Mohamad	M.Sc.A.	M. Sawan	
Hasan, Syed, Rafay	Ph.D.	M. Nekili	Y. Savaria
Hashemi, Aghcheh Body	Ph.D.	M. Sawan	Y. Savaria
Kowarzyk Moreno, Gilbert	M.Sc.A.	Y. Savaria	D. Haccoun
Laug, Nicolas	M.Sc.A.	G. Bois	
Lebel, Dany	M.Sc.A.	Y. Savaria	G. Nicolescu
Lesbros, Guillaume	M.Sc.A.	M. Sawan	
Lévesque, Philippe	Ph.D.	M. Sawan	
Lu, Zhijun	Ph.D.	M. Sawan	
Mahvash, Mohammadi, Hossein	Ph.D.	Y. Savaria	Langlois, P.
Marche, David	Ph.D.	Y. Savaria	Y. Gagnon
Mbaye, Mama Maria	Ph.D.	Y. Savaria	S. Pierre
Ménard-Beaudoin, Philippe	M.Sc.A.	Y. Audet	
Miled, Amine	Ph.D.	M. Sawan	
Moss, Laurent	Ph.D..	G. Bois	M. Aboulhamid
Mounaim, Faycal	M.Sc.A.	M. Sawan	
Naderi, Ali	Ph.D.	M. Sawan	Y. Savaria
Nemr, Abbas	M.Sc.A.	M. Sawan	

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Nguyen, Anh Tuan	Ph.D.	S. Martel	
Nsame, Pascal	Ph.D.	Y. Savaria	
Ould Bachir, Tarek	M.Sc.A.	M. Sawan	
Pontikakis, Bill	Ph.D.	Y. Savaria	F.-R. Boyer
Rhou, Bassam	M.Sc.A.	M. Sawan	
Robert, Pierre-Yves	M.Sc.A.	M. Sawan	
Robillard, Charles	M.Sc.A.	M. Sawan	
Saleh, Abbas	Ph.D.	M. Sawan	
Salomon, Max-Élie	M.Sc.A.	Y. Savaria	A. Khouas
Singh, Rahul	M.Sc.A.	Y. Savaria	Y. Audet
Tabari, Karima	Ph.D.	A.Khouas	M. Boukadoum
Tanguay, Louis-François	Ph.D.	M. Sawan	
Tapp, Martin	M.Sc.A.	G. Nicolescu	M. Aboulhamid
Thibeault, Jean-François	M.Sc.A.	G. Bois	
Trabelsi, Abdelaziz	Ph.D.	F.R. Boyer	Y. Savaria
Wehbe, Mohamad	M.Sc.A.	M. Sawan	

ÉTUDIANTS NOUVELLEMENT INSCRITS

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Al-Terkawi, Omar	M.Sc.A.	M. Sawan	
Laflamme-Mayer, Nicolas	M.Sc.A.	M. Sawan	Y. Blaquière
Simard, Guillaume	M.Sc.A.	M. Sawan	
Tareque, Muhammad Salam	Ph.D.	M. Sawan	

Titres des projets et diplômes en cours de chaque étudiant

Cette section contient une liste de projets avec le nom des personnes concernées. Plus de détails sur chacun des projets se trouvent dans les descriptions individuelles des étudiants chercheurs.

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
Ait Yakoub, E.M.	M.Sc.A.	Convertisseur analogique à numérique (CAN en technologie CMOS 0.18µm à architecture basée sur une cellule de neurone basse puissance pour des applications biomédicales.
Amiri, A.M.,	M.Sc.A.	Conception sur FPGA d'un convertisseur temps-numérique de haute résolution.
André. W.	Ph.D.	Conception de dispositifs microélectroniques basés sur l'intégration des bactéries magnétotactiques.
Ayoub, A.E.	M.Sc.A.	Interfaçage électrique entre matrices d'électrodes implantables microfabriquées et circuits intégrés avec antenne pour communication par lien inductif pour enregistrement d'activités neurales.
Bafumba-Lokilo, D.	M.Sc.A.	Méthodologie de conception de système sur puce par langage de haut niveau.
Basile Bellavance, Y.	M.Sc.A.	Conception d'un système de programmation JTAG tolérant aux fautes pour un circuit intégré à l'échelle de la tranche: le «DreamWafer».
Benamrane, E.	M.Sc.A.	Conception et réalisation d'un convertisseur numérique à analogique à source de courant de haute résolution trimmable.
Bendali, A.	Ph.D.	Conception et caractérisation de circuits intégrés CMOS de haute performance pour applications aux interconnexions photoniques.
Beucher, N.	M.Sc.A.	Utilisation de processeurs configurables (ASIP) dans le domaine des traitements vidéo.
Binet, V.,	M.Sc.A.	Caractérisation et modélisation du bruit se propageant dans un substrat entre un agresseur de type numérique et des circuits analogiques sensibles.
Burasa, P.	M.Sc.A.	Circuit de balayage et de lecture de pixels d'un capteur d'images couleur sans filtre.
Chebli, R.	Ph.D.	Émetteur sans fil intégré sur puce pour un système ultrasonique.
Chénier, F.,	M.Sc.A.	Mise en œuvre d'un système monocanal d'imagerie médicale fonctionnelle basé sur la spectrométrie infrarouge.
Chevalier, J.	M.Sc.A.	Partitionnement, vérification et raffinement de système logiciel/matériel conçu à haut niveau en SystemC.
Coulombe, J.,	Ph.D.	Microsystème implantable dédié à la stimulation du cortex visuel.
Deca, R.	Ph.D.	Modèle structuré basé sur les contraintes pour la gestion de la configuration des réseaux et services.
De Nanclas, M.	M.Sc.A.	Abstraction et optimisation de l'utilisation de système d'exploitation temps-réel, dans le contexte d'une plateforme virtuelle de codesign nommée SPACE.
Doljanu, A.D.	M.Sc.A.	Reconstruction 3D de scènes dynamiques dédiées au capteur d'images du stimulateur visuel intracortical.
Dungen, J.	M.Sc.A.	Un réseau de neurones biomimétique et polyvalent en VLSI.
Dupire, T.	M.Sc.A.	Transmetteur à faible puissance pour implant biomédical.
Faiz, A.	M.Sc.A.	Implémentation des communications d'une plateforme SystemC sur un système reprogrammable de type FPGA.
Faucher, C.,	M.Sc.A.	Analyse des mélodies musicales à l'aide des mémoires associatives et des machines à échos.
Fontaine, S.,	M.Sc.A.	Conception et réalisation d'un outil d'exploration architecturale de la hiérarchie de mémoire d'un système sur puce afin d'optimiser la performance de la plateforme logicielle.
Genest, P.O.	M.Sc.A.	Élaboration d'un modèle graphique probabiliste pour l'analyse en temps réel de trajectoires 2D bruitées.
Ghafar-Zadeh, E.,	Ph.D.	Laboratoire sur puce basé sur le procédé CMOS.
Ghannoum, R.,	M.Sc.A.	Capteur d'images à modes multiples implémenté dans la technologie CMOS 90nm dédié à un stimulateur visuel cortical.
Gheorghe, L.	Ph.D.	Spécification et validation des systèmes hétérogènes embarqués.

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
Girodias, B.	Ph.D.	Spécification et validation de nouveaux systèmes multiprocesseurs sur puce pour des applications multimédia et sans fil.
Gosselin, B.,	Ph.D.	Circuits mixtes et microsystèmes implantables dédiés à la mesure sans fil de l'activité neuronale du cortex.
Goyette, S.,	M.Sc.A.	Conception d'un modèle d'abstraction des communications point-à-point pour les systèmes multiprocesseurs hétérogènes sur puce.
Hajj-Hassan, M.	M.Sc.A.	Balayeur micro électromécanique dédié aux systèmes échographiques.
Hasan, S.R.	Ph.D.	Méthodes d'interfaçage synchrone point-à-point de haute performance pour SoCs.
Hashemi, S.	Ph.D.	Amélioration d'efficacité des chaînes de conversion de puissance dédiées aux implants biomédicaux.
Kowarzyk Moreno, G.,	M.Sc.A.	Optimisation et implémentation d'un algorithme SMP de recherche de codes convolutionnels doublement orthogonaux.
Laug, N.	M.Sc.A.	Gestion de composants et systèmes dans un environnement de codesign.
Lebel, D.	M.Sc.A.	Vérification et validation de performance pour des propositions de tissus d'interconnections.
Lesbros, G.	M.Sc.A.	Étude et validation expérimentale de l'évolution du contact électrode-tissus nerveux.
Lévesque, P.	Ph.D.	Architecture d'un processeur dédié aux traitements de signaux ultrasoniques en temps réel en vue d'une intégration sur puce.
Lu, Z.	Ph.D.	Transmissions de données à haute vitesse avec transfert élevé de puissance sans fil dédié aux dispositifs microélectroniques implantables.
Mahvash, M.H.,	Ph.D.	Désentrelacement avec compensation de mouvement à 5 champs basé sur le mouvement vertical.
Marche, D.,	Ph.D.	Convertisseur numérique à analogique haute définition.
Mbaye, M.M.	Ph.D.	Partitionnement et construction de systèmes sur puce multiprocesseurs hétérogènes comportant des processeurs spécialisés basés sur des métriques orientées-boucle.
Ménard-Beaudoin, P.	M.Sc.A.	Étude, conception et réalisation des circuits analogiques servant au traitement des signaux en provenance d'un pixel innovateur.
Miled, A.	M.Sc.A.	Conception et implémentation d'un décodeur dédié à un modulateur Sigma-Delta.
Moss, L.	M.Sc.A.	Profilage, caractérisation et partitionnement fonctionnel dans une plate-forme de conception de systèmes embarqués.
Mounaim, F.,	M.Sc.A.	Réhabilitation des fonctions urinaires. Neurostimulation et Monitoring.
Naderi, A.,	Ph.D.	Un convertisseur analogique numérique Sigma-Delta-bande dédié pour des applications radio logiciel.
Nemr, A.	M.Sc.A.	Optimisation architecturale, accélération matérielle et prototypage des décodeurs à seuil itératif de codes convolutionnels doublement orthogonaux simplifiés, perforés et récursifs.
Nguyen A. T.	Ph.D.	Conception d'un robot miniature pour opérations nanométriques.
Nsame, P.	Ph.D.	Techniques et méthodes de conception des systèmes intégrés de type SoC.
Ould Bachir, T.	M.Sc.A.	Génération aléatoire de nombres suivant une distribution non-uniforme par circu numériques intégrés.
Pontikakis, B.,	Ph.D.	La conception d'architectures et de circuits de faible puissance à délai variable.
Rhou, B.	M.Sc.A.	Microsystème de filtrage en temps réel des signaux respiratoires.
Robert, P.-Y.,	M.Sc.A.	Analyse et classification de signaux neuronaux modélisés.
Robillard, C.,	M.Sc.A.	La stimulation des tissus nerveux, étude et analyse des caractéristiques de la forme d'onde d'excitation.
Saleh, A.	Ph.D.	Conception, réalisation d'un circuit intégré pour estimer le volume de la vessie par le biais de leurs voies neuronales.
Salomon, M.-E.,	M.Sc.A.	Proposition, modélisation et validation expérimentale d'un synthétiseur de

Nom de l'étudiant	***Diplôme en cours***	***Le titre de son projet***
		fréquence à très faible gigue.
Singh, R.	M.Sc.A.	Conception de circuits analogiques de précision utilisant des résistances diffusées par laser.
Tabari, K.	Ph.D.	Développement d'un glucomètre implantable pour mesurer la concentration du glucose dans le sang.
Tanguay, L.-F.,	Ph.D.	Synthétiseur de fréquences RF à ultra-faible consommation dédié aux microsystèmes implantables.
Tapp, M.	M.Sc.A.	Approche générique à l'interopérabilité des environnements de simulation distribués par génération de code dynamique.
Thibeault, J.-F.,	M.Sc.A.	Exploration de techniques de modélisation logicielle en avionique.
Trabelsi, A.	Ph.D.	Amélioration de l'audition dans des conditions bruyantes par traitement de signal dans des prothèses auditives numériques.
Wehbe, M.	M.Sc.A.	Œil prosthétique à pupille dynamique réagissant à la lumière incidente.

Description détaillée des projets d'étudiants

AIT YAKOUB, My El Mustapha **DIPLÔME: M.Sc.A.**

TITRE:

Convertisseur analogique à numérique (CAN) en technologie CMOS 0.18µm avec architecture basée sur une cellule de neurone basse puissance pour des applications biomédicales.

RÉSUMÉ :
9

Ce sujet consiste à la conception et la réalisation d'un CAN unipolaire précis en technologie 0.18µm. Ce convertisseur utilise une topologie sans amplificateur basée sur une cellule de neurone. Étant donné que ce convertisseur est dédié principalement à des applications biomédicales portables, notre objectif primordial est la minimisation de la consommation en puissance du système en assurant en même temps une bonne linéarité intégrale et différentielle (INL' DNL) et autres performances. Les CAN en question fonctionnent sous un sur-échantillonnage dans une plage de fréquence inférieure ou égale à 10 KHz.

PROBLÉMATIQUE:

Dans le cadre de la réalisation de la partie de numérisation d'une application biomédicale de pointe, portable, non invasive, le CAN doit rencontrer des spécifications telles que : basse tension d'alimentation (raison de sécurité) et basse consommation en puissance (longue durée d'autonomie) à l'égard de vitesse d'opérations. Le choix d'une nouvelle architecture basée sur une cellule de neurone permet d'obtenir un CAN ultra basse consommation en puissance, en technologie CMOS 0.18µm. Cette structure est formée essentiellement de trois modules. Le premier consiste en un système qui génère, durant une période d'échantillonnage, un nombre d'impulsions proportionnelles à l'intensité du courant d'entrée (stimulation) et à amplitude constante. Ceci est semblable au fonctionnement d'un neurone physiologique naturel, d'où le nom de cette architecture. À la sortie du deuxième module, constitué d'un compteur binaire d'impulsions générées par la cellule du neurone, on obtient la valeur quantifiée du courant d'entrée durant chaque période d'échantillonnage. Vu les imperfections de la technologie CMOS, il est indispensable d'ajouter un troisième bloc que l'on nommera circuit du calibrage dont sa fonction principale est de vérifier la proportionnalité souhaitée par le premier module par l'intermédiaire d'une rétroaction au niveau de ce dernier.

MÉTHODOLOGIE:

- Réalisation d'une revue de la littérature sur les CAN à basse puissance;
- Choix d'une architecture à base d'une cellule de neurone à laquelle nous apporterons des améliorations;
- Modélisation en Verilog-A des parties du circuit afin de déterminer les limites de l'architecture adoptée;
- Validation des modules des circuits en technologie 0.18µm sous Cadence.

RÉSULTATS:

Les résultats de simulation montrent que la consommation en puissance du circuit est de quelques dizaines de nano watts par contre la linéarité INL n'est pas assez bonne. D'où la nécessité d'apporter quelques améliorations à l'architecture.

AMIRI, Amir Mohammad **DIPLÔME: M.Sc.A.**

TITRE:
Conception sur FPGA d'un convertisseur temps-numérique de haute résolution.

RÉSUMÉ:
Un convertisseur temps-numérique ou TDC (Time to Digital Converter), mesure la distance dans le temps entre deux impulsions et convertit cette distance en un mot binaire numérique pour fin de traitement. Considérant l'importance des circuits TDC à haute résolution dans beaucoup d'applications scientifiques et d'ingénierie, et la flexibilité et la grande capacité des circuits FPGA (Field Programmable Gate Array), ce projet de recherche vise à concevoir sur FPGA un circuit TDC de haute résolution.
Les principales mesures de performance d'un TDC incluent la résolution du temps de mesure, la précision de la mesure, le délai minimum entre deux événements successifs, la gamme dynamique (intervalle maximale de mesure), le temps de conversion, le temps mort et la capacité de mesure de plusieurs impulsions successives. L'architecture de TDC proposée, en plus de sa portabilité, vise à améliorer la résolution de temps et à minimiser le temps mort et le délai minimum entre deux événements successifs.

PROBLÉMATIQUE:
De nombreuses applications, tant en science qu'en ingénierie exigent la mesure précise d'intervalles de temps. Ces mesures sont largement utilisées dans des applications telles que la mesure du temps de vol pour l'identification de particules, la détection du temps de vie de particules, le calcul de la gamme dynamique d'un laser, les instruments de mesure tels que les oscilloscopes numériques et les analyseurs logiques et la mesure sur puce de la gigue dans un signal. Les premiers circuits TDC étaient basés sur des circuits analogiques, mais des approches numériques ont été suggérés au cours des deux dernières décennies et ce en raison de la simplicité de la conception et d'une faible sensibilité à la température ambiante et aux perturbations tel que le bruit externe.
Avec les techniques TDC, un intervalle de temps peut être mesuré à l'aide d'un calcul grossier effectué par un compteur, avec une résolution limitée à la période d'horloge, et par un calcul précis faisant appel à des méthodes d'interpolation de temps qui permettent de diviser la période d'horloge de référence en petits incréments égaux. L'utilisation des lignes à délai pour effectuer l'interpolation du temps est très répandue dans les applications où la numérisation à des résolutions de l'ordre des centièmes de nanosecondes est requise. Cependant, la faiblesse de cette technique réside dans le fait que le temps mort du circuit dépend linéairement de l'intervalle maximal mesuré. Par conséquent, le temps mort associé à cette technique demeure relativement élevé.

MÉTHODOLOGIE:
Comme le temps mort associé à un interpolateur de temps est proportionnel à l'intervalle maximal mesuré, une minimisation de ce dernier est possible si l'interpolation est faite en deux étapes en utilisant deux différents pas de mesure: un élevé et l'autre petit. Dans ce cas, on divise l'intervalle concerné en N étages et chaque étage en M sous-étages. Pour un intervalle de temps supérieur aux M sous-étages, le temps mort associé est éliminé si on interpole l'intervalle concerné en utilisant les pas élevés.
La structure de TDC proposée utilise une matrice de retards permettant de réduire le temps de mesure en sautant des lignes à délai selon la longueur de l'intervalle évalué. Ainsi, cette topologie nous permet de mesurer plusieurs impulsions successives pour un intervalle de temps donné. Afin d'augmenter la gamme dynamique du circuit à un compteur de n-bit est aussi utilisé. De plus, les résultats de mesure sont calibrés afin d'améliorer la précision de mesure.

RÉSULTATS:
Présentement, le projet est en phase de test. L'implémentation matérielle sur FPGA d'un prototype du circuit est complète. En plus, deux circuits supplémentaires dont un banc d'essai ont été conçus pour la génération et la détection en grande quantité des impulsions. Cela est nécessaire pour obtenir l'histogramme de donnée requis pour la vérification du système par la méthode de Code Density Test. Cette méthode est utilisée pour la caractérisation statique du circuit tel que la non linéarité différentielle et intégrale. Par ailleurs, trois méthodes de la calibration ont aussi été étudiées dont une a été choisie pour déterminer la résolution finale de la mesure en collaboration avec les résultats de test histogramme.

ANDRÉ, Walder **DIPLÔME: Ph.D.**

TITRE:

Conception de dispositifs microélectroniques basés sur l'intégration des bactéries magnétotactiques.

RÉSUMÉ:

Le but de ce projet est d'étudier les caractéristiques propres aux bactéries magnétotactiques censées intégrer les microsystèmes, c'est-à-dire, des systèmes hybrides et autonomes. Dans ce travail, nous proposons d'abord une architecture capable d'orienter les bactéries magnéto tactiques selon n'importe quelle direction. Nous montrons que celles-ci peuvent s'acquitter de tâches diverses après assimilation de commandes envoyées par un ordinateur central. En effet, elles peuvent accomplir le balayage de surface, l'auto-assemblage (self-assembly) et des analyses liées au domaine non destructif de matériel magnétique. Cette première étape nous permettra de déterminer le courant minimum requis pour contrôler les bactéries.

PROBLÉMATIQUE:

Dans le cadre de ce travail, nous tentons de construire un système utilisant l'énergie des bactéries magnéto tactiques en vue d'exécuter des tâches diverses. Il faut noter que leur durée de vie constitue un facteur important étant donné que c'est leur énergie qui est employée. La durée de vie dépend toutefois d'une série de facteurs, notamment de la teneur en oxygène du milieu de culture.

Par ailleurs, l'intégration des bactéries dans un circuit peut s'avérer difficile, car les bactéries ne peuvent vivre que dans un médium spécial, à savoir un liquide dépourvu d'oxygène ou dosé avec un montant d'oxygène maintenu très bas.

MÉTHODOLOGIE:

Nous allons utiliser la méthodologie SoC pour intégrer sur une même et unique puce la grille de manipulation, les sources de courant et le circuit de contrôle, le tout ne dépassant pas les 2 mm de côté. Le contrôle est également assisté par ordinateur et effectué à l'aide d'un microscope optique pour le pistage des bactéries magnétotactiques. Notre design peut obtenir les valeurs minimales exactes pour le courant et le champ requis de façon à influencer positivement le comportement magnétotactique des bactéries.

RÉSULTATS:

Le test du circuit électronique est réalisé et nous avons obtenu les résultats escomptés, actuellement, nous faisons le test setup en vue d'intégrer les composantes biologiques dans le design.

Pour l'alimentation du microsystème, nous avons fabriqué des cellules photovoltaïques en utilisant le procédé CMOS standard. Des tests sont en cours pour caractériser le photocell.

AYOUB, Amer Elias **DIPLÔME: M.Sc.A.**

TITRE:

Interfaçage électrique entre matrices d'électrodes implantables microfabriquées et circuits intégrés avec antenne pour communication par lien inductif pour enregistrement d'activités neurales.

RÉSUMÉ:

L'être humain est un sujet qui a toujours fasciné l'homme. De plus, avec l'avancement de la technologie, nous essayons de mieux le comprendre pour palier à certains handicaps qu'il rencontre au cours de sa vie. La cécité est un handicap qui suscite beaucoup d'intérêts car beaucoup de travail reste à faire pour en venir à bout. Le groupe Cortisens travaille sur l'implantation de senseurs d'activités électriques dans le cortex visuel pour permettre d'étudier cette région du cerveau.

PROBLÉMATIQUE:

Le corps humain est constitué de telle sorte que ses composantes, bien que flexibles, ne permettent qu'un jeu limité dans les espaces disponibles. Les dimensions autour du cerveau sont très restreintes et nous limitent dans les méthodes d'intégration des circuits avec les matrices de microélectrodes ainsi que la juxtaposition de multiples matrices. De plus, lors de l'implantation d'un corps étranger dans le corps humain, une réaction néfaste peut se produire. Dans le cas d'un implant cortical, la présence d'une réaction est dangereuse vu la présence de plusieurs systèmes critiques. Finalement, le transfert de données et de puissance par câbles offre un endroit propice à l'infection et diminue la mobilité du patient.

MÉTHODOLOGIE:

En partant d'études existantes, telles que la méthode de fabrication de matrice d'électrodes développée par notre équipe, les électrodes seront adaptées à l'acquisition de signaux. Par la suite, une exploration de différentes approches pour diminuer la taille équivalente du regroupement des différentes composantes électriques sera effectuée. Une étude sur l'intégration d'une antenne pour une communication sans fil sera aussi faite.

RÉSULTATS:

- Reproduction de la majorité des étapes des matrices de microélectrodes;
- Création du procédé de routage des connexions sur la base des matrices;
- Réalisation des traces sur les matrices;
- Élaboration du procédé de Die Stacking;
- Réalisation de Die-Stacking sur gaufre de test;
- Test de Die-Stacking sur les matrices;
- Implémentation d'une méthode de coupe de matrice par laser.

BAFUMBA- LOKILO, David **DIPLÔME: M.Sc.A.**

TITRE:

Méthodologie de conception de système sur puce par langage de haut niveau.

RÉSUMÉ:

Au cours de cette maîtrise, il sera question de proposer une méthodologie de conception matérielle plus rapide de système sur puce et l'applicabilité d'un langage matériel de haut niveau, en l'occurrence, le CASM. Nous voulons développer à l'occasion une architecture basée de processeurs spécialisés pour le traitement vidéo.

PROBLÉMATIQUE:

La progression effrénée de la miniaturisation des transistors sur une même puce suit son cours selon la loi de Moore. Le potentiel énorme qu'offre cette progression permet aux concepteurs des systèmes embarqués de concevoir des systèmes plus complexes. Cependant, les outils et procédés qu'emploient les concepteurs des systèmes embarqués pour réaliser des systèmes complexes, ne suivent pas nécessairement l'allure empressée de la miniaturisation des transistors. Étant donné le nombre et la complexité des systèmes électroniques, les concepteurs se voient contraints de chercher des méthodes plus efficaces de conception pour éviter des erreurs de prototypage et augmenter la rapidité de conception. Nous voyons de plus en plus des initiatives de conception des applications complexes de système sur puce.

Dans ce projet, nous investiguerons sur une architecture basée de processeurs spécialisés pour le traitement vidéo. L'idée est de trouver un moyen de conception rapide avec en appui l'utilisation d'un langage matériel de haut niveau.

MÉTHODOLOGIE:

Pour arriver à rencontrer les objectifs prévus pour la réalisation de ce projet, nous utilisons une carte de prototypage FPGA VIRTEX 2, quelques modules IP de XILINX, ainsi qu'un paquet d'outils CAO qui les accompagne et un processeur XTENSA utilisant des instructions spécialisées. La première étape sera de concevoir une architecture efficace de traitement de flots vidéo et valider le prototype en le ciblant dans le VIRTEX 2P. Nous devrons employer les méthodes de vérification matérielle nécessaires pour le debugge du système. Après validation du prototype, nous pourrons utiliser le CASM pour l'intégration des modules de l'architecture du système de traitement vidéo. Par la suite faire le passage du CASM au VHDL en utilisant un compilateur qui a été développé pour ce but. Le résultat du système réalisé à l'aide du CASM sera comparé à celui du système du début afin de remarquer les apports bénéfiques en termes de rapidité de conception et réduction d'erreur dans la conception d'un système complexe.

RÉSULTATS:

L'implémentation sur FPGA du prototype de traitement vidéo est presque au point. Jusque là nous avons deux projets qui fonctionnent sur FPGA. Le premier est un projet à base de processeur POWERPC et le second comporte deux processeurs XTENSA. Les deux systèmes devront être mis ensemble à l'aide de modules d'interconnexion. Nous avons développé un réseau sur puce générique avec le langage matériel de haut niveau, le CASM. Ce module générique permet d'obtenir n'importe quel module d'interconnexion selon le nombre de port et la grandeur de bit d'entrée/sortie.

BASILE-BELLAVANCE, Yan **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un système de programmation JTAG tolérant aux fautes pour un circuit intégré à l'échelle de la tranche: le «DreamWafer»

RÉSUMÉ:

Le but du projet est de concevoir, implanter et vérifier un système de programmation JTAG tolérant aux pannes pour un circuit intégré à l'échelle de la tranche (WSIC, *Wafer Scale Integrated Circuit*). Le projet comprend la conception de l'interface logiciel matériel, l'implémentation en VHDL du système, la conception de l'environnement de vérification SystemC, l'émulation sur un FPGA ainsi que le «DFT», c'est-à-dire le design pour la testabilité.

PROBLÉMATIQUE:

Une nouvelle approche face à la conception de banc de test programmable pour le test de circuit numérique est en cours de développement sous le projet DreamWafer. Ce nouveau système de prototypage rapide de circuits numériques a pour but de mettre au point un réseau intégré d'interconnexions configurables, nommé WaferNet. Ce réseau d'interconnexions est déployé sur un circuit intégré à l'échelle de la tranche. Ainsi, le projet «DreamWafer» vise à développer un circuit intégré qui ferait l'équivalent d'un PCB reconfigurable, permettant d'interconnecter numériquement des circuits intégrés discrets (FPGA, processeurs, DSP…) et à les tester, ceux-ci étant déposés sur sa surface. Ce circuit intégré, est une matrice de milliers de cellules identiques, chacune comportant un centre de contrôle logique, un crossbar configurable et un ensemble de «plots» de quelques centaines de micromètres de large (points de contact avec les composants déposés). Cette matrice de cellule se nomme le WaferIC.

MÉTHODOLOGIE:

Pour accéder aux fonctionnalités du WaferIC, il faut un système de programmation tolérant aux pannes capables de se reconfigurer en fonction des zones mortes du circuit. Ce système est basé sur le protocole IEEE1149.1 JTAG. Pour commander le WaferIC à partir d'un ordinateur, il faut mettre au point un émulateur JTAG adapté aux besoins spécifiques du circuit. Un environnement de vérification a été codé en C++ et en SystemC pour tester et vérifier l'interface logiciel matériel et pour vérifier la validité des fonctionnalités internes de chaque cellule. Un plan de vérification a été rédigé et plusieurs «testcases» doivent être réalisés pour valider le WaferIC ainsi que l'émulateur JTAG. De plus, il est important de rendre le WaferIC testable et diagnostiquable en prenant en compte le protocole JTAG.

RÉSULTATS:

- Le premier prototypage « ASIC » est en cours de développement et sera soumis à la CMC pour avril 2008;
- Le code VHDL du système de programmation JTAG et du centre de contrôle logique intégré dans chaque cellule est terminé et la synthèse réussit avec les cellules normalisées à 180nm d'Artisan;
- L'environnement de vérification SystemC est codé et testé;
- L'émulateur JTAG (logiciel) a été testé et validé avec le modèle VHDL du système de configuration;
- Environ 60% des «testcases» au plan de vérification ont été codés.

BENAMRANE, Iliasse **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un convertisseur numérique à analogique à source de courant de haute résolution trimmable.

RÉSUMÉ:

Ce projet consiste à concevoir et implémenter un convertisseur à source de courant numérique à analogique de haute résolution. Ce convertisseur est conçu en technologie CMOS 0.18 µm, avec une optimisation de ses performances statiques (INL et DNS). La tension d'alimentation de la partie numérique et analogique est de 3.3V. La surface du convertisseur est d'environ 0.3 mm^2 à 100 MSample/s, le SFDR est de 56 dB pour un signal d'entrée de 2 MHz. Les deux non linéarités différentielles sont de 18 mLSB et 7 mLSB respectivement. Ce convertisseur est conçu pour une application vidéo.

PROBLÉMATIQUE:

La demande de convertisseurs numérique à analogique (CNA) de haute résolution fonctionnant à haute vitesse continue d'augmenter d'une année à l'autre, en visant surtout le domaine des télécommunications, tels que les modems employant des xDSL et les réseaux cellulaires. De telles applications exigent des CNAs capables de gérer les données à une vitesse de plusieurs centaines de MS/s avec une résolution de l'ordre de 10 à 14 bits. Les CNAs ne doivent pas seulement avoir une bonne linéarité statique en effectuant les mesures classiques du INL et DNL, mais le plus important, c'est de maintenir leur linéarité à haute vitesse, plus précisément au taux de Nyquist. À haute vitesse, les mesures des performances dynamiques comme le SFDR (Spurious Free Dynamic Range) et le IM (Intermodulation Distorsion) sont utilisés pour caractériser et comparer les performances du CNA.

Plusieurs architectures ont été utilisées pour concevoir des CNAs de haute résolution fonctionnant à haute vitesse avec les spécifications de performance mentionnées plus haut. En particulier, les CNAs à source de courant ont été examinés récemment dans la littérature comme des candidats intéressants pour rencontrer de telles spécifications. Ils ont aussi la particularité de pouvoir alimenter une charge résistive sans avoir besoin d'amplificateur de tension.

MÉTHODOLOGIE:

- État de l'art des différentes architectures des convertisseurs numérique à analogique;
- Trouver une nouvelle façon d'améliorer les performances dynamiques des DACs à source de courant;
- Concevoir un DAC à source de courant de 3 bits afin de se familiariser avec l'outil de simulation Cadence;
- Concevoir un DAC de 10 bits opérant à une fréquence d'échantillonnage 100 MS/s, schématique et dessin de masque;
- Concevoir un circuit imprimé afin de tester le DAC;
- Utilisation d'oscilloscopes afin d'effectuer les tests et les différentes mesures;
- Utilisation du laboratoire laser afin d'ajuster le circuit.

RÉSULTATS:

Le dessin de masque de la deuxième version du DAC de 10 bits à source de courant a été finalisé et envoyé pour la fabrication. Les résultats de simulation ont été obtenus. Ces résultats incluent les performances statiques et dynamiques du DAC tel que le INL (Non-Linéarité-Intégrale), DNL (Non-Linéarité Différentielle) et le SFDR (Spuriours Free Dynamic Range)

BENDALI, Abdelhalim **DIPLÔME: Ph.D.**

TITRE:

Conception et caractérisation de circuits intégrés CMOS de haute performance pour applications aux interconnexions photoniques.

RÉSUMÉ:

Dans ce projet, nous proposons d'utiliser le procédé CMOS standard pour la fabrication de détecteurs photoniques opérant à très haute fréquence. L'objectif visé par la technique proposée est d'améliorer les performances des systèmes numériques rapides, intégrées en technologie CMOS.

PROBLÉMATIQUE:

L'une des problématiques majeures pour la synthèse numérique à haute vitesse est le biais de synchronisation (BS), skew, qui est actuellement parmi les principaux facteurs limitatifs de la performance des systèmes intégrés synchrones. Une tendance récente et très peu explorée propose de remplacer les interconnexions métalliques par leurs équivalents optiques. Parmi les bénéfices de cette approche on peut citer : une plus large bande passante, une dégradation très faible du signal véhiculé, une immunité aux interférences électromagnétiques et une réduction notable du BS. Ce qui permet une synchronisation quasi parfaite du système avec une cadence de plusieurs dizaines de giga Hertz.

MÉTHODOLOGIE:

Afin d'émettre ou de recevoir de l'information sur l'interconnexion optique, des dispositifs électro-optiques sont utilisés. Un système expérimental d'émission et de réception optique sera développé afin d'étudier la génération des signaux électriques ultra-rapides (supérieurs à 1 Giga Hertz) produits par des photos détecteurs à semi-conducteurs CMOS basés sur de nouveaux concepts. Le système d'émission optique est principalement composé d'une source lumineuse à diode laser modulée à haute fréquence. Divers dispositifs photo détecteurs seront fabriqués en technologie CMOS 0.18µm et caractérisés à partir de cette source.

RÉSULTATS:

Nous avons mis au point un système pour la caractérisation optique des photo-détecteurs (PD). De nouveaux circuits à base de PD ont été fabriqués et sont en cours de test. Nous avons publié une partie de nos résultats dans IEEE Transactions on Circuits and Systems.

BEUCHER, Nicolas **DIPLÔME: M.Sc.A.**

TITRE :

Utilisation de processeurs configurables (ASIP) dans le domaine des traitements vidéo.

RÉSUMÉ :

Le projet vise à utiliser des processeurs configurables et à jeu d'instructions spécialisées (ASIP: Application Specific Instruction-set Processor) pour accélérer le traitement d'algorithmes vidéo tels que la conversion de taux de trames par compensation de mouvement (MC-FRC : Motion Compensated Frame Rate Conversion). Les processeurs configurables autorisent la création d'un jeu d'instructions spécialisés permettant l'exécution plus rapide et plus efficace de l'application visée en proposant des méthodes plus adaptées que les méthodes utilisant des instructions génériques.

PROBLÉMATIQUE :

La conversion de taux de trames est un enjeu important dans le domaine de la télévision numérique; télévision haute définition, flux internet et visioconférence, téléphones avec vidéo embarquée, cinéma numérique sont les grands acteurs de ce domaine. Un problème majeur se pose lorsqu'il faut convertir les flux d'un protocole à un autre. L'utilisation de techniques simples et basiques comme la répétition ou l'interpolation temporelle ne permet pas d'atteindre des résultats satisfaisants en termes de qualité et ce problème s'aggrave encore dans le cas de vidéo haute-définition pour lesquelles la qualité d'image est une donnée essentielle. Les algorithmes de MC-FRC répondent à cette problématique mais sont extrêmement coûteux en terme de calcul ce qui les rend impraticables pour du temps réel. L'utilisation d'un processeur configurable permet d'accélérer leur traitement et de rendre réaliste leur utilisation en temps réel. Des considérations de consommation énergétique viennent également s'ajouter à la problématique.

MÉTHODOLOGIE:

La méthodologie utilisée est la suivante :

- Revue des différents algorithmes MC-FRC et de leur fonctionnement;
- Utilisation de technologie de processeurs configurables comme le Xtensa de Tensilica;
- Exploration architecturale et analyse des résultats de performance;
- Utilisation d'un portage FPGA du processeur configurable créé pour évaluer les performances énergétiques.

RÉSULTATS:

La définition d'un jeu d'instruction correspondant chacun à un algorithme de MC-FRC a permis d'atteindre des accélérations de la performance de l'ordre de la centaine pour le premier et de l'ordre de cinquantaine pour le second. Les évaluations de consommation d'énergie, pour le premier algorithme, ont montrées que le processeur configurable était 50 fois plus performant énergétiquement qu'un processeur non accéléré. D'autres simulations ont pu établir que les performances étaient aussi bonnes, voire meilleures, lorsque le processeur était intégré à un système plus complet (SoC).

BINET, Vincent **DIPLÔME: M.Sc.A.**

TITRE:

Caractérisation et modélisation du bruit se propageant dans un substrat entre un agresseur de type numérique et des circuits analogiques sensibles.

RÉSUMÉ:

Ce projet consiste à développer et implémenter des structures de test permettant de mesurer précisément le bruit injecté dans le substrat par des agresseurs numériques, ainsi que d'utiliser des logiciels d'extraction et de modélisation du substrat afin de caractériser le couplage du bruit au substrat. Le but est de comparer les mesures expérimentales réalisées sur des chips tests avec celles obtenues en simulation et ainsi de prévoir et développer des structures permettant de réduire le couplage du bruit par le substrat.

PROBLÉMATIQUE:

L'intégration toujours plus grande de systèmes sur un même chip (SOC) a amené l'industrie de la microélectronique à faire partager sur le même substrat des designs numériques et analogiques. Les dispositifs analogiques étant très sensibles demandent un niveau de bruit faible pour être performant et donc le partage de leur substrat avec des structures bruyantes peut provoquer le dysfonctionnement total du circuit sensible. Le nerf de la guerre est donc de pouvoir prévoir le bruit injecté dans le substrat et de caractériser un taux maximal d'injection acceptable pour lequel les performances sont maximales. L'intérêt est donc de pouvoir étudier l'efficacité des protections au niveau du design sans avoir à supporter les coûts de fabrication.

MÉTHODOLOGIE:

La première phase de ce projet a été de maîtriser les outils fournis par Cadence pour l'étude et l'extraction du substrat: SubstrateStorm, SeismIC. Ces logiciels nous ont permis d'obtenir des résultats quant au bruit injecté par un design numérique.

La deuxième phase est de concevoir des structures de test permettant de mesurer des potentiels de substrat de l'ordre du µV au mV. Ces structures à la fois très sensibles devront également amplifier des signaux sur de larges bandes de fréquence.

La troisième étape sera la réalisation de circuits intégrés comportant toutes ces structures (analogique de précision, numérique bruyante, capteur de bruit dans le substrat) puis les tests permettant de confirmer les simulations faites.

RÉSULTATS:

Des simulations comportant une partie numérique composée de plus de 10 000 portes dont la commutation est contrôlée par une horloge ont été réalisées et ont permis de valider l'efficacité du logiciel pour ce type de traitement et d'estimer le bruit se propageant dans le substrat.

Il a été prouvé, par simulation, l'atténuation du bruit dans le substrat de plus de 60 dB par la présence d'un Deep Nwell. D'autres types de protection ont été utilisés comme des anneaux de garde P+ ou NWELL et leurs isolations face au bruit de substrat ont été étudiées.

Par ailleurs, les simulations ont montré de larges variations de tension au niveau du substrat et du puits N qui nous ont poussées à utiliser un modèles « custom » du substrat en rajoutant des transistors bipolaires verticaux. Cette modification a permis d'affiner les résultats et de se rapprocher du comportement réel. Les circuits de test sont en cours de test pour confirmer nos simulations.

BURASSA, Pascal **DIPLÔME: M.Sc.A.**

TITRE:

Circuit de balayage et de lecture des pixels d'un capteur d'images couleur sans filtre.

RÉSUMÉ:

Une matrice de pixels basée sur une nouvelle méthode de détection de la lumière a été réalisée. Ce projet de recherche vise à concevoir un circuit qui permettra aux trois électrodes du pixel de récolter les charges produites par la radiation électromagnétique pénétrant dans le silicium, caractériser et mesurer les différents paramètres de performance du pixel, à savoir la consommation du pixel, la sensibilité, la plage dynamique, etc…

PROBLÉMATIQUE:

Les capteurs d'image CMOS représentent une alternative d'avenir aux dispositifs CCD, grâce à leur capacité d'intégrer l'ensemble capteur avec l'électronique de traitement, fabriqués en faisant appel à un processus de fabrication microélectronique standard. Malheureusement, ces dispositifs sont vulnérables au bruit, et ainsi limitant leur performance. Nous nous inspirons de cette innovation basée sur l'utilisation du silicium comme élément séparateur de différentes longueurs d'ondes, afin d'intégrer dans le même pixel, un circuit capable de traiter les signaux de luminance et de chrominance, permettant ainsi l'amélioration de la résolution et de la sensibilité.

MÉTHODOLOGIE:

Afin de caractériser et de comprendre le comportement de la matrice de pixels, nous procédons tout d'abord aux différents tests avec un prototype déjà fabriqué basé sur la nouvelle méthode de détection de la lumière. Par la suite, un circuit capable de polariser et de lire convenablement chacun des pixels sera conçu.

RÉSULTATS:

Le circuit de lecture utilisant les composants discrets et l'implémentation sur FPGA d'un circuit de balayage ont été réalisés. Cette dernière nous a permis d'interfacer le capteur d'images avec l'ordinateur, ce qui nous permet de suivre à temps réel le pixel sous test. Nous avons réussi à lire les trois signaux vidéo sur les trois électrodes du pixel.

Présentement, nous caractérisons et explorons les limites de cette innovation telles que la consommation, la sensibilité, etc. ceci nous permettra d'obtenir le meilleur compromis vis-à-vis des performances recherchées pour un capteur d'images à usage courant. Les résultats obtenus sont prometteurs et les mesures expérimentales continues.

CHEBLI, Robert **DIPLÔME: Ph.D.**

TITRE:

Émetteur sans fil intégré sur puce pour un système ultrasonique.

RÉSUMÉ:

Les progrès en microélectronique ont eu un impact significatif sur la miniaturisation de systèmes électroniques dédiés à des applications médicales et surtout en échographie. Notre objectif est de proposer de nouvelles techniques pour réduire les dimensions de ces équipements et en particulier les étages d'émetteur qui est conventionnellement réalisé sur circuits imprimés. À savoir que la basse consommation de puissance, le faible bruit, l'encombrement, la meilleure qualité d'images sont parmi les défis de taille qui nécessitent d'innover à plusieurs niveaux de complexité. Nous proposons une nouvelle topologie permettant l'intégration de l'étage émetteur conventionnel sur une puce de faible dimension. L'émetteur regroupe une interface de commande RF et une sonde électronique sans fil à balayage sectoriel. Ce type de balayage sera réalisé avec un réseau annulaire de cristaux. Cette technologie offre une haute résolution latérale par rapport à la profondeur. La sonde consiste en une pile d'alimentation, un convertisseur DC/DC (haute tension), un générateur d'impulsions de basse tension et un amplificateur de puissance utilisé pour exciter le cristal avec des impulsions de haute tension. La conception de ces blocs sera réalisée en utilisant la technologie 0.8µm CMOS/DMOS de haute tension fourni par DALSA Semi-conducteur.

PROBLÉMATIQUE:

Réalisation d'un convertisseur DC/DC totalement intégré de faible consommation de puissance et avoir un temps de stabilisation inférieur à la période de la répétition d'une impulsion. Protection de l'oxyde mince de la grille d'un transistor HV CMOS contre tout signal de haute tension. Respectabilité des contraintes de conception et de fabrication de ces circuits de haute tension.

MÉTHODOLOGIE:

La conception et l'intégration du module Émetteur sur une puce nécessite les étapes suivantes:

- Étudier les méthodes d'optimisation et les topologies de circuits intégrés à faible bruit et basse consommation de puissance;
- Simulation et caractérisation des modules en utilisant le logiciel MATLAB;
- Conception, fabrication, validation et test.

RÉSULTATS:

La conception et la fabrication d'une nouvelle architecture d'un convertisseur DC/DC de tension de sortie programmable allant de -100 à 200V, d'une nouvelle architecture d'un générateur d'impulsion, de deux nouvelles topologies de décalage de niveau de tension « Level-Up-Shifter », des portes logiques haute tension et d'un amplificateur de puissance ont été réalisées et les résultats expérimentaux de la puce reçue par la CMC ont montré de bonnes performances.

CHÉNIER, Félix **DIPLÔME: M.Sc.A.**

TITRE:

Mise en œuvre d'un système monocanal d'imagerie médicale fonctionnelle basé sur la spectrométrie infrarouge.

RÉSUMÉ:

L'équipe travaille sur la création d'un système d'imagerie médicale à plusieurs canaux, portable et sans fil. Ce système qui se basera sur la spectrométrie infrarouge, servira à mesurer l'activité cérébrale du patient au niveau du cortex, de manière totalement non-invasive. Ce dispositif aura l'allure d'un casque qui pourra être porté continuellement. Il doit donc encombrer le patient le moins possible, d'où l'avantage de sa petite taille et de l'absence de fils.

A la fin de cette maîtrise, le projet consistera en un système complet d'imagerie médicale à un canal; soit des circuits de détection, d'amplification, d'échantillonnage et de contrôle. De plus, le système sera conçu de façon à être extensible, en offrant la possibilité d'ajouter d'autres canaux ultérieurement.

PROBLÉMATIQUE:

Il y a plusieurs nouveautés dans ce projet, qui ont rarement été abordées. Premièrement, l'utilisation de LEDs au lieu de lasers acheminées par fibres optiques peut s'avérer difficile, puisque la lumière émise est moins forte et possède un spectre plus étendu. De plus, la question de l'amplification et de la démodulation des signaux reçus par les capteurs doit être traitée en tenant compte des problèmes de bruit potentiel. Finalement, avant de concevoir un circuit final, des tests sur des personnes doivent être complétés, ce qui implique des normes de sécurité et d'éthique rigoureuses.

MÉTHODOLOGIE:

Le projet débute par une revue de littérature, laquelle sera complétée par des rencontres répétées avec des spécialistes dans le domaine. Ceci permettra de déterminer les caractéristiques importantes auxquelles le système doit répondre.

Par la suite, les éléments suivant seront conçus:

- Un circuit pilote pour les émetteurs;
- Un circuit d'amplification à gain variable pour permettre au circuit de s'adapter à différentes conditions, comme la couleur de la peau;
- Un système de contrôle et interface avec l'ordinateur.

A partir de ce point, des essais sur les biceps, sur l'avant-bras et sur l'index pourront être complétés. Ces essais tenteront de déterminer la validité du principe utilisé, en comparant avec des données de la littérature. Aussi, les lacunes évidentes du système pourront être détectées et corrigées avant que le système ne soit développé davantage.

Une fois le principe du système vérifié, le circuit pourra être raffiné de manière à être assez sensible pour capter l'activité cérébrale du sujet. Des tests plus poussés pourront être effectués, ceux-ci consistant à vérifier la corrélation entre l'activité cérébrale dans la zone motrice du cerveau et l'activité physique du sujet. Ce travail sera terminé par la publication des résultats de ce projet.

RÉSULTATS:

Le circuit pilote pour les LEDs est complété et les LEDs sont caractérisées. Elles sont utilisées de façon sécuritaire pour le patient. Des signaux correspondant aux ondes de Mayer et aux battements cardiaques ont été observés à partir de prises de données dans le cortex préfrontal. Des signaux correspondant à l'activité cérébrale ont été observés à partir du cortex moteur primaire, selon le protocole de *Finger-Tapping*.

CHEVALIER, JÉRÔME **DIPLÔME: Ph.D.**

TITRE:
Partitionnement, vérification et raffinement de système logiciel/matériel conçu à haut niveau en SystemC.

RÉSUMÉ:
Le projet consiste à concevoir une méthodologie pour le partitionnement et à construire une plate-forme à haut niveau en SystemC. Cette plate-forme sera une représentation à haut niveau d'une architecture existant sur un FPGA Virtex II Pro. Elle permettra la simulation et l'estimation au niveau transactionnel des systèmes codesign logiciel/matériel avant leur implémentation sur cette puce.

PROBLÉMATIQUE:
L'utilisation combinée de processeurs d'usage général et de circuits spécialisés nécessitent des méthodologies de conception nouvelles. Ces méthodes et techniques doivent notamment permettre au concepteur du système d'en effectuer la spécification et la modélisation sans se soucier du découpage logiciel/matériel, tout en l'aidant à effectuer ce partitionnement par la suite. Le projet consiste à concevoir une méthodologie pour le partitionnement et à construire une plate-forme à haut niveau en SystemC. Cette plate-forme permettra la simulation et l'estimation au niveau transactionnel des systèmes codesign. Les résultats de ces simulations permettront la validation des systèmes et d'obtenir un partitionnement adéquat. Par la suite, le système partitionné doit être raffiné aussi bien au niveau du code interne à chaque module qu'au niveau des communications en ayant pour cible sa synthèse et son intégration sur un FPGA contenant déjà une architecture commerciale (processeur et bus).

MÉTHODOLOGIE :
La démarche consiste d'abord à effectuer une revue des méthodologies de spécification et de partitionnement existantes pour le niveau transactionnel. La majorité de ces méthodes sont dédiées exclusivement au matériel, mais elles constituent une bonne approche pour construire une méthodologie pour le codesign. Suite à ces lectures, nous allons créer notre propre méthodologie. Elle doit permettre de construire et simuler une modélisation du système au niveau transactionnel. Le but étant de trouver le partitionnement idéal entre le logiciel et le matériel pour un système donné en simulant diverses configurations de ce système. Pour cela, notre méthodologie doit permettre le passage de module du logiciel au matériel et vice-versa sans avoir à y effectuer de changement.

Après avoir détaillé l'ensemble des contraintes à respecter sur le codage et la communication des modules, nous avons choisi d'implémenter cette méthodologie sous forme d'une plate-forme haut niveau en SystemC, utilisant un ISS avec un OS pour la partie logiciel et un bus pour la partie matériel. Cette architecture permettra d'obtenir une simulation réaliste du logiciel en fournissant les aspects interruption et exécution séquentiel pour les modules placés en logiciel. Pour la partie matérielle, nous retrouverons les notions d'exécution parallèle et de partage des communications.

Ensuite, une plate forme (et les modules de l'application) doit être raffinée en ayant pour cible son intégration sur un FPGA contenant déjà une architecture commerciale (processeur et bus). Les modules matériels seront remplacés par des IP en VHDL (ou en Verilog) fourni par Xilinx. L'ensemble du système sera alors reconstitué dans l'outil EDK pour être ensuite envoyé sur le FPGA Virtex II Pro.

RÉSULTATS :
La méthodologie de conception qui a été élaborée, comporte 3 niveaux de raffinement: de fonctionnel à transactionnel. La plate-forme de simulation en SystemC permettant d'effectuer les simulations à ces différents niveaux a été implémentée. Elle offre plusieurs types de simulation du logiciel (natif, ISS, etc.) et du matériel (transactionnel time) et permet leur-co-débogage. Le bus OPB du CoreConnect et le Micro Blaze ont été porté au niveau transactionnel. Le système d'exploitation uC a été porté sur le Power PC et le Microblaze. Des implantations à plus bas niveau de la méthodologie sur le FPGA ont été testés et sont en cours de raffinement Un simulateur de logiciel natif est en construction; il sera inséré au niveau intermédiaire de la méthodologie et permettra d'accélérer la simulation.

COULOMBE, Jonathan **DIPLÔME: Ph.D.**

TITRE:

Microsystème implantable dédié à la stimulation du cortex visuel.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser un système implantable visant à stimuler le cortex cérébral de patients aveugles. Les objectifs poursuivis par ces travaux incluent la conception du système en question, la réalisation d'un prototype permettant d'évaluer ses performances critiques, ainsi que la conception et la réalisation d'un système expérimental destiné à la validation in-vivo du stimulateur.

PROBLÉMATIQUE:

Un implant visuel est caractérisé par le nombre élevé de sites de stimulation qu'il doit comporter afin de fournir à son utilisateur une vision intelligible et utile. De ce fait découle les contraintes complémentaires et contradictoires ayant trait à la rapidité, la consommation, la flexibilité et la sécurité d'utilisation du dispositif. La littérature actuelle ne présente, à notre connaissance, aucun système dont les performances sont adéquates en tout point. Il importe donc de proposer une solution globale valide. Pour ce faire, le système doit être étudié et conçu dans son intégralité et les tests doivent être appliqués au système complet.

MÉTHODOLOGIE:

Les éléments composant le dispositif implantable sont considérés en un premier temps. Des circuits originaux relatifs au transfert de données et à la stimulation doivent être conçus et intégrés vu leur impact significatif sur les performances générales du système. Un prototype fonctionnel doit également être fabriqué et testé afin de vérifier l'atteinte des performances selon chacun des critères de performance énoncés plus haut. L'effort d'optimisation du système ne se limitant pas qu'au dispositif implantable, un prototype du contrôleur externe doit également être conçu, réalisé et évalué. Des performances atteintes, une évaluation de l'applicabilité du système proposé à une prothèse destiné à l'humain doit être faite. Finalement, afin de valider le fonctionnement réel du stimulateur conçu, un système destiné à des expérimentations in-vivo doit être conçu et fabriqué.

RÉSULTATS:

Un prototype de stimulateur incluant deux circuits intégrés dédiés (fabriqués en technologie CMOS 0.18 µm) ainsi qu'une plate-forme matérielle/logicielle a été dûment conçu, réalisé et testé. Il a été vérifié que le système est en mesure de fournir jusqu'à 500k impulsions de stimulation par seconde, en utilisant un lien inductif au débit de 1.5 bps avec un taux d'erreurs de transmission inférieur à 1E-6. Le module de stimulation consomme moins de 900uW et il est estimé qu'un implant incluant 1000 électrodes basé sur le système proposé pourrait consommer un total de moins de 50mW. Ce système représente, à notre connaissance, le premier système complet à atteindre des performances adéquates pour une prothèse applicable à l'humain.

Un système expérimental sans fil, incluant une caméra, un logiciel d'analyse et un stimulateur portable, ont été conçus, fabriqués et vérifiés avec succès afin d'être testés *in-vivo* en partenariat avec un laboratoire de neuroscience. Différentes procédures chirurgicales ont été élaborées et des outils d'insertion de matrices d'électrodes ont été fabriqués et ont validé la fonctionnalité et la sécurité des dites procédures.

Des expériences comportementales pourront donc utiliser ces travaux à court terme une fois que des matrices d'électrodes intra-corticales électriquement fonctionnelles seront disponibles.

DECA, Radu **DIPLÔME: Ph.D.**

TITRE:
Modèle structuré basé sur les contraintes pour la gestion de la configuration des réseaux et services.

RÉSUMÉ:
Ce projet de recherche vise le développement d'un modèle de gestion des configurations des services de réseau. Ce modèle permettrait de réduire la complexité et d'augmenter le niveau d'automatisation de ces tâches de gestion. Le modèle inclut une taxonomie des principaux types de contraintes de configuration et réuni les types définis par cette taxonomie dans un modèle intégrateur.

PROBLÉMATIQUE:
La configuration des services réseau à l'aide des moyens traditionnels, telles que les interfaces en mode ligne de commande (CLI), les modèles et protocoles de gestion, tels que SNMP, CMIP, WBEM, doit faire face à de nouveaux défis causés par le développement impétueux des services réseau sur l'Internet.
Pour ce faire, on a besoin de nouvelles solutions qui :

- Proposent des modèles de haut niveau pour la gestion des changements des configurations et des pannes;
- Utilisent des formalismes et des outils qui donnent la possibilité aux administrateurs de réseau de configurer et manipuler les modèles de services;
- Réduisent la complexité des manipulations des contraintes de configuration des services en utilisant des modèles de haut niveau pour abstraire et représenter les contraintes de configuration des services réseau.

MÉTHODOLOGIE:
Les paramètres de configuration et les opérations de configuration sont reliés et restreints par des contraintes de configuration de divers types. Pour réduire la complexité des manipulations des contraintes de configuration des services réseau, nous proposons une méthode de modélisation de haut niveau. Cette méthode inclus une taxonomie des principaux types de contraintes de configuration et réunit les types définis par cette taxonomie dans un modèle intégrateur.

Nous proposons aussi un modèle original de quantification de la complexité de la configuration des réseaux et services, basé sur les métriques des contraintes de configuration.

RÉSULTATS:
Le modèle de configuration a été implémenté et testé à l'aide d'un outil dédié de configuration et de validation automatique des services réseau, appelé le « ValidMaker ». Cet outil contient des modèles de configuration de services et d'équipements de réseau et des règles de validation. Pour démontrer la validité du modèle proposé, nous avons fait des expérimentations à l'aide de cet outil et d'un banc d'essai consistant en plusieurs topologies de réseau. Chacune de ces topologies contient un nombre différent de services réseau, équipements, paramètres et commandes de configuration.

Durant les expérimentations, l'outil génère aléatoirement des erreurs de configuration qui sont injectées dans les configurations des équipements et services de chaque réseau. À l'aide d'une base de règles configurables interactivement, on fait la validation automatique des configurations des équipements et services de chaque réseau, en y attrapant les erreurs injectées. En utilisant le cycle automatique de validation, nous obtenons des statistiques portant sur l'efficacité de la base de règles ainsi que de chaque règle de validation. Nous avons comparé les résultats expérimentaux avec les métriques de complexité obtenues grâce à notre modèle théorique de complexité. Grâce aux résultats expérimentaux et aux métriques de complexité, nous avons démontré l'utilité de notre modèle. Nous avons montré comment améliorer l'efficacité des tâches de gestion des configurations des réseaux et des services, optimiser la composition de la base de règles de configuration, détecter et éliminer les goulots d'étranglement dans la gestion des configurations des réseaux et services et remplacer les règles complexes, lentes, qui consument plus de ressources du système (temps, mémoire, pouvoir de calcul) et sont moins efficaces, avec d'autres règles plus simples, moins coûteuses en termes de ressources du système et plus rapides.

DE NANCLAS, Maxime **DIPLÔME: M.Sc.A.**

TITRE:

Abstraction et optimisation de l'utilisation de système d'exploitation temps-réel, dans le contexte d'une plateforme virtuelle de codesign nommé SPACE.

RÉSUMÉ:

Il s'agit de faciliter à un concepteur de système électronique embarqué la conception avec un système d'exploitation temps-réel, à travers l'utilisation de la dominante logicielle de la plateforme virtuelle Space Codesign (abrégé par Space) qui permet de simuler et d'obtenir des résultats afin de faciliter l'exploration architecturale et plus particulièrement le partitionnement logiciel/matériel.

Le concepteur développe son système à l'aide du langage SystemC, langage sur lequel est basé Space, en faisant abstraction du système d'exploitation, des communications sous-jacentes; ce qui lui permet de supprimer une complexité supplémentaire dans son flot de conception.
Le travail consiste donc en l'intégration de plusieurs systèmes d'exploitation temps-réel qui seront sélectionnés suivant les besoins du l'application conçue, de la création d'une entité permettant la communication de la plateforme Space ainsi que l'exécution de l'application.

PROBLÉMATIQUE:

Les nouveaux défis de la conception des systèmes électroniques embarqués ont amené la venue de nouvelles solutions de conception. Un de ces défis est lié à la croissance de systèmes dans lesquels la composante logicielle prend une part de plus en plus importante.
Une solution actuelle, appelée *Electronic System Level* (ESL), permet de rencontrer ces nouvelles contraintes de conception, grâce à une simulation qui abstrait les détails d'implémentation du système à concevoir. Cependant, les solutions ESL proposées délaissent la composante logicielle, pourtant indispensable, et laisse le soin au concepteur de concevoir le logiciel avec tout la complexité que cela implique.

MÉTHODOLOGIE:

La méthode prévue sera constituée de plusieurs étapes :

- Revoir la conception et optimiser de la version précédente de la couche d'abstraction SystemC.
- Intégrer un système d'exploitation temps-réel commercial.
- Réaliser la conception d'un système d'exploitation temps-réel offrant la possibilité d'exécuter l'application conçue de façon optimisée.
- Insérer des métriques logicielles permettant l'optimisation de la partie logicielle suivant des résultats d'exécution.

Il est également prévu de mettre en œuvre une application permettant la validation des objectifs fixés.

RÉSULTATS:

- Intégration du projet dans la plateforme.
- Un banc d'essai a permis de mettre en évidence la nécessité d'optimiser le travail effectué.
- De nombreuses applications développées dans le cadre du projet Space ont permis de valider une partie des concepts proposés.

*

DOLJANU, Delia Alexandra **DIPLÔME: M.Sc.A.**

TITRE:

Reconstruction 3D de scènes dynamiques dédiées au capteur d'images du stimulateur visuel intracortical.

RÉSUMÉ:

Le présent projet est une suite logique des travaux de recherche entrepris par le laboratoire de neurotechnologies PolyStim portant sur l'implant visuel. Ce dispositif est dédié à la création d'une vision adéquate aux non voyants. Il se divise en deux grandes parties, soient le stimulateur implanté dans le cortex visuel du patient ainsi qu'un contrôleur externe regroupant une caméra destinée à remplacer la fonction de l'œil.

PROBLÉMATIQUE:

Le but de ce projet est de concevoir un module additionnel au capteur d'images. Ce système sera dédié à la reconstruction de l'environnement tridimensionnel devant le patient puisque le capteur d'images actuel donne seulement une image en deux dimensions. Le patient aveugle pourra donc percevoir la distance des objets dans la scène pour ainsi se déplacer sans risque de collision.

MÉTHODOLOGIE:

Les images de profondeur seront constituées de 256 niveaux de gris et l'intensité de chaque pixel sera proportionnelle à la distance entre le point correspondant dans la scène et le système de vision. Le système pourra générer la cartographie de l'environnement à une fréquence de 25 images/seconde et chaque image aura une résolution de 640x480 pixels. Puisque le système de vision 3D est basé sur le principe de stéréoscopie, il doit comprendre un émetteur permettant de projeter des patrons dans une scène à partir d'une source de lumière réfléchissant sur une matrice de micro-miroirs. Ainsi, l'information 3D de l'environnement observé est retrouvée à partir des déformations du patron de lumière structurée dans l'image. Une deuxième partie du projet consiste donc en la conception d'un module de contrôle d'activation d'une matrice de micro-miroirs qui permettra de placer les micro-miroirs dans les positions correspondantes au patron que l'on désire projeter dans la scène.

RÉSULTATS:

Les algorithmes de reconstruction 3D ont tout d'abord été vérifiés avec Matlab. Ensuite, le système a été implémenté et testé en matériel sur la plateforme de développement Spartan-3. De plus, un circuit imprimé a été conçu pour le contrôle de la matrice de micro-miroirs. Finalement, un deuxième circuit imprimé a été conçu afin de simuler une caméra haute-vitesse.

DUNGEN, Jeffrey **DIPLÔME: Ph.D.**

TITRE:

Un réseau de neurones biomimétique et polyvalent en VLSI.

RÉSUMÉ:

Il est possible d'implémenter en VLSI des réseaux de neurones fonctionnellement semblables à leurs équivalents biologiques. Mais ces réseaux sont rarement utilisés dans des applications hors-laboratoire, même s'ils ont de forts avantages en compacité et efficacité. Le but de cette recherche est donc de développer un circuit polyvalent de ces types de neurones et de montrer qu'il peut servir avec succès dans plusieurs applications typiques.

PROBLÉMATIQUE:

Il existe deux obstacles principaux quant au développement d'un circuit neuronal polyvalent. En premier, comme toute implémentation en matériel, le circuit et donc l'architecture du réseau est fixe. Ceci nuit à son adaptabilité. Deuxièmement, pour que les paramètres du réseau soient flexibles et ajustables, beaucoup de ressources supplémentaires sont nécessaires. Ceci nuit aux avantages de compacité et d'efficacité de ce type de neurones.

MÉTHODOLOGIE:

On choisit une architecture de réseau très simple avec des paramètres (poids synaptiques, fuites somatiques, etc…) dynamiques. Puisqu'il n'y a pas beaucoup de neurones, il n'y a pas trop de pénalité en complexité pour le contrôle des paramètres. Ceci fait que le circuit est polyvalent sans trop perdre son avantage en compacité. De plus, on simule le circuit sur plusieurs applications pour assurer sa polyvalence. Pour l'adapter pour chaque application distincte, il suffit d'utiliser un algorithme évolutionnaire pour ajuster les paramètres. Finalement, on complète le circuit en précisant tous les périphériques nécessaires pour être synthétisé physiquement.

RÉSULTATS:

Même un simple réseau ne comprenant que quatre neurones peut se montrer polyvalent et intéressant. Le circuit a démontré qu'il pouvait assumer le contrôle (simulé) d'une voiture chargée de suivre une cible mobile. L'algorithme évolutionnaire améliore adéquatement les paramètres du réseau pour l'application donnée. Finalement, le circuit pourrait facilement être implémenté dans une puce avec ses paramètres contrôlés numériquement par interface sériel ou parallèle.

DUPIRE, Thierry **DIPLÔME: M.Sc.A.**

TITRE:
Transmetteur à faible puissance pour implant biomédical.

RÉSUMÉ:
Grâce à la miniaturisation des circuits électriques, il est possible d'utiliser la technologie pour créer des implants qui compensent la perte de fonction du système nerveux. Chez les personnes paraplégiques, le stimulateur urinaire développé par l'équipe PolyStim permet de récupérer les fonctions vésicales par le biais de la stimulation des nerfs périphériques sacrés. Un point essentiel dans cet implant est le retour d'information pour mesurer in vivo les différents paramètres de la vessie tel son volume et sa pression. Notre objectif est donc de concevoir un système de transmission de données radiofréquences très basse consommation et faible encombrement dans le but de l'intégrer sur des neurostimulateurs.

PROBLÉMATIQUE:
La plupart des implants actuels utilisent un lien de transmission inductif pour alimenter et transmettre les données. Ce système, cependant, ne permet pas de rayonner dans un champ lointain et limite l'efficacité du transfert de puissance. Pour s'affranchir de ce problème, nous proposons de séparer la transmission d'énergie du lien de communication. L'environnement spécifique dans lequel le circuit est implanté introduit des contraintes supplémentaires. Premièrement, la bande de fréquence d'émission est choisie en fonction de l'atténuation des ondes dans les tissus et du niveau de puissance permis par les réglementations en matière de santé; deuxièmement, le type de modulation doit être adapté au canal de propagation dans les tissus humains. Le défi porte sur la consommation de puissance. En effet, l'inconvénient du lien actif par rapport au lien inductif est de dissiper beaucoup plus de puissance. L'accent doit donc être mis sur les techniques de minimisation de puissance. L'objectif est d'obtenir une autonomie d'une dizaine d'années avec une alimentation sur batterie. De nouveaux circuits de transmission faible puissance basés sur des architectures simples sont nécessaires.

MÉTHODOLOGIE:
La première phase consiste à déterminer une bande de fréquences optimales en fonction des disponibilités et de leurs interactions avec les systèmes biologiques. Dans la suivante, nous avons identifié les procédés de modulation robuste au bruit qui nécessite une simple complexité d'implémentation afin de respecter les considérations énergétiques. La structure choisie a été modifiée et optimisée pour assurer une efficacité de puissance optimale. Le système respectera la réglementation concernant les dispositifs biomédicaux (niveau d'émission, stabilité, puissance émise dans les bandes adjacentes). La chaîne de transmission complète a été simulée pour vérifier que les performances attendues soient respectées. Le circuit a été réalisé de façon intégrée en technologie CMOS 0.18µ de la TSMC. Une procédure de test a été mise en place pour évaluer la performance du circuit. Un banc de test spécifique adapté aux fréquences est nécessaire pour réaliser les tests. Une antenne boucle de faible dimension, plus efficace dans les tissus, sert à rayonner le champ électromagnétique dans la bonne direction et optimiser le transfert d'énergie.

RÉSULTATS:
La bande 402-405MHz réservée aux dispositifs actifs de système de communication d'implants biomédicaux a été choisie. La modulation s'avérant être la plus appropriée est la modulation de fréquence à déviation de phase minimum (MSK) afin de réduire l'étalement de spectre et être immunisé au bruit. Les structures de modulation indirectes étant trop complexes et gourmandes en énergie, la modulation sera réalisée directement dans l'oscillateur local. Les structures à base de PLL (Phase Lock Loop) avec modulation dans la boucle n'a pas été retenue car elles exigeaient un modulateur sigma-delta d'ordre trois pour réduire les raies spectrales parasites. Les oscillateurs de base seuls peuvent répondre aux contraintes de consommation de quelques milliwatts. La stabilité désirée est atteignable avec un résonateur Surface Acoustique Wave (SAW filter) de faible encombrement. La modulation est réalisée en changeant la fréquence de résonance au moyen de capacité commutée. Le design a été implémenté et simulé. La consommation est inférieure à 2 mW et permet d'émettre une puissance de 300uW soit une efficacité de 15% au maximum. Le bruit de phase du transmetteur est très faible inférieur à -140dBc/Hz à 100kHz de la porteuse. La surface d'un transmetteur sur la puce de silicium est de 0.01mm^2. Les transmetteurs répertoriés dans la littérature ont une efficacité similaire mais pour une surface cent fois plus élevé. Le circuit de transmission réalisé a abouti à des résultats intéressants. La technologie utilisée limite cependant les performances haute fréquence qui pourraient être grandement améliorées en 90nm.

FAIZ, Ahmed **DIPLÔME: M.Sc.A.**

TITRE:

Implémentation des communications d'une plateforme SystemC sur un système reprogrammable de type FPGA.

RÉSUMÉ:

Ce projet consiste à passer d'une spécification du système au niveau TLM (transaction level model) basée sur SystemC vers une implémentation sur un circuit intégré reprogrammable FPGA, en générant automatiquement le logiciel, et en implémentant des adaptateurs pour la communication matériel/matériel et matériel/logiciel. La partie calcul des blocks matériels sera retranscrite manuellement.

PROBLÉMATIQUE:

Space Codesign (abrégé par Space) est une plateforme basée sur SystemC, développé au sein du laboratoire de CoDesign de l'École Polytechnique de Montréal. Elle permet la conception et la simulation des systèmes à haut niveau. Toutefois et pour étendre la méthodologie de conception de Space jusqu'à l'implémentation physique, il faut assurer une génération complètement ou en partie automatique de tout ce qui est nécessaire au niveau de l'implémentation à savoir l'exécutable du logiciel qui sera exécuté par le processeur embarqué, l'architecture cible au niveau de la puce, les modules matériels de l'application, les interfaces de communication entre le logiciel et le matériel.

MÉTHODOLOGIE:

La méthodologie suivie consiste à séparer le travail en plusieurs sous parties:

- La génération du logiciel qui est compilé et exécuté à bas niveau par le processeur embarqué, avec le minimum voire aucune modification par rapport au logiciel exécuté sur l'ISS du processeur à haut niveau.
- Conception et implémentation d'un adaptateur pour un module matériel lui permettant d'envoyer et recevoir des données à travers le bus OPB en utilisant le protocole de communication implémenté dans Space à haut niveau.
- Conception et implémentation d'un adaptateur pour assurer la communication entre le matériel et le logiciel.

RÉSULTATS:

- Adaptateurs des communications entre le matériel et le logiciel au niveau RTL.
- Méthodologie de conception de Space jusqu'au niveau de l'implémentation physique.
- Base de comparaison avec le dernier niveau de Space surtout au niveau des latences prises en compte dans le modèle TLM du haut niveau.

FAUCHER, Corentin **DIPLÔME: M.Sc.A.**

TITRE:

Analyse des mélodies musicales à l'aide des mémoires associatives et des machines à échos.

RÉSUMÉ:

Le projet cherchera à déterminer une technique utile permettant d'extraire le thème musical du chant, du fredonnement ou du sifflement d'un sujet, afin de l'associer à un ou des thèmes existants dans une banque de mélodies.

PROBLÉMATIQUE:

Depuis quelques années, l'avancement des technologies en informatique a permis une véritable explosion de la disponibilité de la musique en ligne sur internet. Ceci a amené une recherche importante dans les méthodes de récupération de pièces musicales. La plupart des moteurs de recherche actuels reposent sur l'utilisation des titres des fichiers ou des étiquettes textes associées aux fichiers de la musique pour la recherche. Cependant, on n'utilise peu de méthodes axées sur la reconnaissance des thèmes musicaux. Il serait parfois plus aisé de rechercher une pièce musicale en chantonnant, sifflant ou fredonnant le thème ou un passage de la pièce. Cette recherche aura donc comme but de déterminer une méthode efficace de stockage et de récupération de thèmes musicaux. La similitude est basée sur une notion intuitive et subjective basée sur la perception humaine. Deux pièces paraissent normalement similaires si elles se basent sur la même partition ou rencontrent les mêmes harmoniques, et ce, même si elles sont données par différentes personnes, à des tempos différents ou à des tonalités différentes.

MÉTHODOLOGIE:

Pour réaliser ce travail, nous devrons enregistrer des mélodies chantonnées ou fredonnées pour former une banque de données. Ces données pourront être utilisées afin de tester le système de récupération des thèmes musicaux. Afin de réaliser ce système, nous devrons analyser les séries chronologiques que sont les thèmes musicaux. Pour ce faire, nous effectuerons d'abord un prétraitement du signal afin d'utiliser une échelle «harmonique» qui tient compte des distances harmoniques entre des notes consécutives. Par la suite, nous emploierons un réseau à échos afin de caractériser les séquences musicales. Les séquences seront ensuite inscrites dans une mémoire associative afin de les comparer avec un thème musical donné par un usager. Cette mémoire associative permettra donc de trouver rapidement le thème musical se rapprochant le plus de celui recherché. Finalement, pour optimiser la recherche de la mémoire associative, nous utilisons les méthodes de recherche par arborescence (KD-tree, spill-tree, etc.).

RÉSULTATS:

Le système a été testé chez un groupe de 15 participants et permet pour une banque de 36 chansons, un taux de reconnaissance de 76%. Le système permet également la reconnaissance de variantes mélodiques d'un même thème.

FONTAINE, Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un outil d'exploration architecturale de la hiérarchie de mémoire d'un système sur puce afin d'optimiser la performance de la plateforme logicielle.

RÉSUMÉ:

L'objectif est d'implémenter un outil permettant d'optimiser la performance d'un logiciel s'exécutant sur un processeur embarqué en segmentant le programme sur différentes mémoires et en optimisant la configuration de la mémoire cache.

PROBLÉMATIQUE:

Les plateformes embarquées présentent de nouveaux défis et de nouvelles possibilités quant aux optimisations possibles. Les compilateurs sont déjà très compétents pour optimiser le code pour un processeur spécifique, mais ils ont une limitation : ils ne connaissent que le processeur sur lequel le logiciel s'exécutera et n'ont aucune connaissance de l'architecture du système et plus particulièrement de l'architecture de la mémoire du système. Il est donc possible d'appliquer d'autres optimisations afin d'améliorer la performance du logiciel en tirant avantage de la hiérarchie de la mémoire. Plus particulièrement, de tirer avantage de la cache et de la mémoire locale. De plus sur une plateforme basée sur un FPGA, les configurations possibles sont très nombreuses, une exploration architecturale est donc possible.

MÉTHODOLOGIE:

Dans un premier temps, une revue des travaux effectués dans le domaine sera entreprise. Suite à cette revue, une approche appropriée à l'évaluation efficace de la performance du logiciel sera élaborée. Une architecture et un algorithme d'exploration répondants aux objectifs seront ensuite conceptualisés, viendra par la suite l'implémentation initiale des différents mécanismes impliqués dans les mémoires caches et de la mémoire locale (scratchpad); cette implémentation sera testée et validée afin de s'assurer du bon fonctionnement des blocs de base. L'algorithme d'exploration architecturale sera ensuite implémenté et intégré à l'outil. L'outil d'exploration sera ensuite intégré dans la plateforme Space Codesign afin d'être utilisé avec le Microblaze. Finalement, des tests seront exécutés et les résultats seront analysés et validés.

RÉSULTATS:

Le projet n'est pas encore assez avancé pour pourvoir obtenir des résultats finaux. Par contre, la mémoire cache du Microblaze a été modélisée et bien que les tests en simulation du système ne correspondent pas avec la performance réelle du système implémenté sur FPGA, la présence de la cache permet d'accélérer les performances du logiciel simulé mais également de réduire considérablement le temps de simulation (wall clock time).

GENEST, Pier-Olivier **DIPLÔME: M.Sc.A.**

TITRE:

Élaboration d'un modèle graphique probabiliste pour l'analyse en temps réel de trajectoires 2D bruitées.

RÉSUMÉ:

Que ce soit par surveillance vidéo, par communication cellulaire ou par réseaux de senseurs, de plus en plus de systèmes de monitoring font leur apparition dans divers milieux. Plusieurs de ces systèmes sont en mesure de fournir en temps réel les positions d'objets mobiles dans le temps. Dans ce projet, nous nous interrogeons sur la façon d'utiliser l'apprentissage machine, et plus particulièrement les modèles graphiques probabilistes (réseaux bayesiens), pour analyser dans leur contexte et en temps réel les trajectoires bidimensionnelles d'objets observés dans de tels systèmes.

PROBLÉMATIQUE:

Deux difficultés se présentent d'emblée : l'intégration du contexte à l'analyse qui, bien que facilitée par l'usage d'un modèle graphique probabiliste, peut rapidement se complexifier et l'exécution de l'analyse en temps réel. La problématique du contexte se résume dans le fait que l'on devrait pouvoir en extraire suffisamment d'informations afin de représenter et interpréter une trajectoire par rapport à la multiciplité des trajets possibles, et idéalement, prévoir les suites futures de cette trajectoire (et leur probabilité). Les calculs de prétraitement des données et d'inférence probabiliste nécessaires à cette analyse révèlent une toute autre problématique, celle de l'exécution en temps réel.

MÉTHODOLOGIE:

Dans un premier temps, nous devons caractériser les trajectoires dans une métrique que nous devons définir. Cela implique une segmentation des séquences temporelles de données ainsi qu'une extraction de caractéristiques à partir d'algorithmes non supervisés.

D'autre part, la topologie du modèle graphique probabiliste (détermination des variables discrètes et continues, détermination des observables et des états possibles) doit être « apprise » à partir des données et s'avère dépendante du contexte, i.e. que la topologie intègre certains aspects essentiels quant aux profils des objets mobiles et sur l'environnement. Afin de capturer ces aspects essentiels, trois algorithmes de prétraitement des données sont utilisés et comparés. L'algorithme EM (maximisation de l'espérance) est utilisé dans la phase d'apprentissage. Dans la phase d'inférence, il est prévu de comparer les performances d'algorithmes exactes et approximées.

Finalement, une interface graphique logicielle permettant de simuler des trajectoires dans un environnement donné doit permettre de tester et de valider le modèle.

RÉSULTATS:

Dans une première approche, une interface graphique dédiée de même qu'une première famille de modèles graphiques probabilistes (statiques) introduisant explicitement des variables contextuelles à des variables de déplacement s'est avérée plutôt limitative en termes d'applicabilité et de capacité de calcul.

Une seconde approche, plus générique, faisant intervenir une famille de modèles graphiques probabilistes dynamiques et des algorithmes de prétraitement non-supervisés s'avère beaucoup plus prometteuse. Les algorithmes sont testés sur des données de simulation (RoboCup) publique.

GHAFAR ZADEH, Ebrahim **DIPLÔME: Ph.D.**

TITRE:

Laboratoire sur puce basé sur le procédé CMOS.

RÉSUMÉ:

Les développements récents de la technologie de laboratoire-sur-puce (Laboratory-on-Chip: LoC) proposent des analyses ou des procédés biologiques rapides et automatiques en chimie analytique à travers des dispositifs miniaturisés. Leur réponse rapide, portabilité et facilité d'utilisation rendent les LoCs convenables pour opérer dans des conditions réelles, pour beaucoup d'applications en santé et de sciences de la vie comme le dépistage de maladies génétiques ou les tests de contamination de nourriture et d'eau. Le développement des biopuces est un immense pas dans l'industrie de la biotechnologie en expansion rapide. Ceci comprend un effort de recherche multidisciplinaire incluant la microfluidique, la microélectronique et la biochimie.

PROBLÉMATIQUE:

Ce travail concerne l'intégration de structures microfluidiques avec de la microélectronique. Les objectifs principaux de ce projet sont: conception de capteurs à semi-conducteurs capacitifs en technologie CMOS, intégration de puce CMOS et de structure micro fluidique et analyse de bio particules à l'aide du LoC résultant. Les composants microfluidiques sont requis pour injecter l'analyte vers les sites de détection.

MÉTHODOLOGIE:

Nous relevons ce défi avec un procédé microfluidique d'écriture directe pour la première fois sur une puce CMOS. Nous proposons aussi un capteur capacitif basé sur la charge pour détecter les petits changements de capacité induits par la présence de bioparticules dans le canal.

RÉSULTATS:

Bien que beaucoup de capteurs capacitifs aient été publiés pour maintes applications, peu d'intérêts ont été accordé envers un système dédié à la détection capacitive d'un liquide sur la surface d'une puce CMOS. Pour cela, nous proposons trois architectures de puces avec des niveaux de complexité différents en CMOS 0,18µm. Chaque puce capteur est incorporé avec la microfluidique pour la détection d'analytes. Nous démontrons la viabilité du système proposé pour les applications de LoC pour différents solvants organiques avec différentes constantes diélectriques.

GHANNOUM, Roula **DIPLÔME: M.Sc.A.**

TITRE:

Capteur d'images à modes multiples implémenté dans la technologie CMOS 90nm dédié à un stimulateur visuel cortical.

RÉSUMÉ:

Ce projet s'insère dans le cadre de la réalisation par l'équipe de neurotechnologies PolyStim d'un stimulateur visuel cortical. Il consiste à créer un capteur d'images monochrome à gamme dynamique élevée, doté de plusieurs modes d'opération pour acquérir et transmettre les images à un contrôleur externe. La technologie choisie pour l'implémentation est le CMOS 90nm.

PROBLÉMATIQUE:

L'objectif est d'implémenter en CMOS 90nm un capteur d'images monochrome ayant une vitesse d'acquisition supérieure à 400 images par seconde, avec une résolution de 64 x 48 pixels sur un éventail de 256 tons de gris avec trois modes d'opération: linéaire, logarithmique et différentiel. Ce capteur devrait aussi résoudre le manque de précision du CAN et la fuite de l'obturateur, dont souffre l'ancienne version en 0,18µm. Il devrait d'ailleurs profiter des avantages de la technologie 90nm pour réduire la consommation de puissance ainsi que la surface et donc faciliter l'intégration.

MÉTHODOLOGIE:

La première étape consiste à définir les spécifications du capteur. Des tests sur l'ancien prototype en CMOS 0,18µm doivent suivre pour déterminer ses failles. La partie conséquente serait la transition vers la technologie CMOS 90nm en approfondissant davantage les topologies afin de s'approcher le plus possible des spécifications du capteur en 0,18µm; le tout en réduisant la surface et la consommation. La puce doit ensuite être envoyée à la fabrication. Durant le délai de fabrication, un contrôleur numérique doit être implanté dans un FPGA et un PCB conçu pour préparer le banc d'essais. Des tests du système doivent suivre pour valider les résultats de simulation et établir une comparaison expérimentale entre les deux technologies.

RÉSULTATS:

Des tests ont été repris sur l'ancien prototype du capteur d'image. Différents types de capacités et de comparateurs ont été comparés pour trouver la plus idéale pour notre capteur. Le circuit a ensuite été implémenté en CMOS 90nm en apportant des modifications à la topologie pour contourner les problèmes de fuite de courant. La puce a été fabriquée; un module de contrôle VDHL a été implanté dans un FPGA; un PCB a été conçu et fabriqué; un module Matlab a été programmé pour traiter les données de sortie. Des tests sont présentement en cours.

GHEORGHE, Luiza **DIPLÔME: PH.D.**

TITRE:

Spécification et validation des systèmes hétérogènes embarqués.

RÉSUMÉ:

ITRS annonce une grande évolution en hétérogénéité pour les systèmes sur puce. Ainsi, ces systèmes seront composés des composants électroniques, optiques, mécaniques, etc. L'utilisation des systèmes sur puce hétérogènes sera très répandue, ils seront utilisés dans de nombreux secteurs d'activité (la médecine, la communication, etc.). Étant donné leur importance, ces systèmes doivent être à la fois performants et fiables. Ils doivent également présenter un coût réduit de conception et ils nécessitent un temps minimum de mise sur le marché. Jusqu'ici, la recherche sur les systèmes sur puce hétérogènes s'est concentrée sur la conception des différents composants de ces systèmes et leur intégration à un bas niveau d'abstraction. L'intégration au bas niveau d'abstraction des différents composants implique une spécification fastidieuse, une simulation lente ainsi que la détection tardive des problèmes de conception. Ainsi, les flots classiques existants ne sont plus pratiques et l'élévation du niveau d'abstraction pour la conception de ces systèmes s'impose.

Le projet proposé s'articule autour de ce point clé pour la conception des systèmes hétérogènes continus/discrets: la conception à partir d'un niveau haut d'abstraction. Plus particulièrement ce travail se focalise sur la problématique de la modélisation et la validation de haut niveau de ces systèmes.

PROBLÉMATIQUE:

L'intégration des composants à un niveau élevé d'abstraction nécessite un nouveau cadre conceptuel pour l'abstraction des différentes interfaces d'adaptation entre les composants hétérogènes ainsi que de nouvelles méthodologies pour la validation.

Le défi le plus important dans la définition des outils de validation pour les systèmes continus/discrets est dû à l'hétérogénéité des concepts manipulés par les composants continus et les composants directs. Dans le cas des outils de validation, plusieurs sémantiques d'exécution doivent être prises en considération pour réaliser la simulation globale.

MÉTHODOLOGIE:

Ce travail propose la sémantique opérationnelle pour un modèle de synchronisation requis pour la simulation globale des systèmes continus/discrets. La définition formelle de l'architecture interne des interfaces de simulation est aussi fournie. Ces définitions ont permis la conception d'un outil de co-simulation qui fournit des modèles de simulation globaux pour la validation des systèmes continus/discrets.

Le travail exploite aussi le formalisme DEVS ainsi que la modélisation des systèmes à l'aide des automates temporisés.

RÉSULTATS:

La définition formelle d'un nouvel outil de co-simulation a été réalisée. Cet outil permet la validation globale des systèmes hétérogènes intégrant de sous-systèmes discrets en SystemC et des sous-systèmes continus en Simulink/Matlab. L'outil a été ainsi utilisé pour la modélisation et la simulation d'un système régulateur de niveau de glycémie.

GIRODIAS, Bruno **DIPLÔME: Ph.D.**

TITRE:
Spécification et validation de nouveaux systèmes multiprocesseurs sur puce pour des applications multimédia et sans fil.

RÉSUMÉ:
Ce projet consiste à faire l'exploration de systèmes multiprocesseurs sur puce dans le but de trouver des solutions pour les défis d'implémentation et de développement de réseau et d'application 4G. Ceci entraîne le développement de nouvelles architectures et de nouvelles techniques d'optimisation de mémoire.

PROBLÉMATIQUE:
Tranquillement, le 3G s'intègre dans notre quotidien, éprouvant quelques difficultés et obstacles, mais réussissant à prendre de plus en plus une part du marché. Entre temps, le 4G se prépare et confronte des obstacles plus importants. Non comme son prédécesseur, le 4G introduit la convergence des différentes technologies. Le 4G promet d'intégrer différents modes de communications sans fil: des réseaux d'interne, tel que le WiFi et le Bluetooth, aux systèmes cellulaires, aux transmissions par radio ainsi qu'aux communications par satellite (Qaddour et Barbour 2004). L'intégration de toutes ces technologies demande une grande puissance de calcul entre autres pour une procédure de relève transparente entre les différentes technologies. La demande de puissance de calcul par ces nouvelles plateformes excède les prédictions de la loi de Moore. De plus, pour ajouter à la difficulté, ces unités de calcul puissantes doivent consommer moins que ce que nous avons coutume de voir de nos jours. Le domaine s'attend à une puissance équivalente à 16 fois plus grande que celle d'un Pentium 4 2-GHz et une consommation d'énergie n'excédant pas 75mW. Comme la plupart de ces applications vont devoir être disponibles sur des dispositifs portables comme des cellulaires, des ordinateurs portables et des assistants électroniques, les systèmes sur puces vont devoir confronter les différents obstacles tout en restant rentable à la conception, performant et consommant très peu d'énergie. Une catégorie de système sur puce qui respecte certains de ces critères est les multiprocesseurs sur puce. Ils sont composés de plusieurs processeurs embarqués, de matériels spécialisés, de circuits analogues et digitaux et d'applications faites sur mesure.

MÉTHODOLOGIE:
Après une bonne analyse de l'état de l'art, nous allons définir quelques techniques d'optimisation pour la mémoire et nous allons définir un modèle intégrant un modèle d'architecture de système de mémoire et quelques concepts provenant du domaine de télécommunication. Notre système sera un modèle fonctionnel composé de processeurs embarqués ARM et de matériels reconfigurables (mémoires, FPGA, Xtensa, DSP, bus). Les interconnexions des différentes composantes utiliseront dans un cas des protocoles de bus standard. Nous allons intégrer notre modèle dans la plateforme StepNP développée par le département de recherche et développement de STMicroelectronics à Ottawa. StepNP est un environnement d'exploration de simulation de processeurs réseaux pour l'exploration d'applications et d'architectures multiprocesseurs. De plus, cette plateforme offre déjà un environnement qui nous permet de tester les différentes techniques de compilation que nous aurons définies.

RÉSULTATS:
Nos premiers travaux se concentrent sur l'optimisation de la mémoire. Cette section du projet de recherche est en collaboration avec STMicroelectronics. La plateforme Multiflex de cette compagnie est utilisée pour les différentes explorations et expérimentations. La mémoire joue un rôle primordial pour l'amélioration de systèmes sur puce. Avec l'apparition d'applications multimédias embarquées dans le 4G, ces caractéristiques deviennent de plus en plus essentielles. Ces applications emploient souvent des tableaux multidimensionnels pour stocker des résultats intermédiaires pendant les traitements de leurs tâches multimédias. Plusieurs techniques de bases d'optimisations tels que la fusion, le pavage et l'allocation de tampon existent et ont fait leurs preuves sur une architecture monoprocesseur. Notre recherche présente ces techniques et leurs impacts sur un environnement multiprocesseur. Par analyse des applications et des impacts, des améliorations de performance tiennent compte de l'optimisation de l'espace mémoire, de la réduction du nombre de défauts de cache et de l'amélioration du temps d'exécution. Les résultats initiaux obtenus réduisent l'espace mémoire de 80%, augmentent le taux de succès de données de 20% et diminuent le temps d'exécution de 50%. Cette étude montre qu'en améliorant les techniques de base, nous optimisons les défauts de cache, le temps d'exécution et l'espace mémoire dans un environnant multiprocesseur sans perte d'efficacité. Les futurs travaux sur l'optimisation de la mémoire se concentreront sur l'exploration de l'environnement de traitement multiprocessus offert par la plateforme Multiflex. De même, les techniques développées dans cette recherche seront testées sur des applications plus évoluées et complexes.

GOSSELIN, Benoît **DIPLÔME: Ph.D.**

TITRE:

Circuits mixtes et microsystèmes implantables dédiés à la mesure sans fil de l'activité neuronale du cortex.

RÉSUMÉ:

Ces travaux de recherche consiste à élaborer de nouvelles techniques de mise en œuvre de microsystèmes (circuits intégrés, MEMS, etc.) pour réaliser des dispositifs implantables sans fil, dédiés à l'enregistrement bioélectrique intra cortical. Les dispositifs projetés permettront, par exemple, d'effectuer des mesures simultanées et précises dans plusieurs régions du cortex d'un animal éveillé pendant de longues périodes.

PROBLÉMATIQUE:

Contrairement aux techniques de mesure non invasives ou d'imagerie par résonnance magnétique, un système minimalement invasif utilisant une électrode micro fabriquée, comme celui projeté, offre la résolution nécessaire pour acquérir l'activité simultanée d'une grande quantité de cellules pour procéder à une analyse multi neurone. Or, un dispositif implantable basé sur cette méthode doit faire face à plusieurs défis technologiques dont la consommation d'énergie minimale des circuits.

MÉTHODOLOGIE:

La faisabilité de mettre en œuvre une interface neuronale intégrée, sans fil et implantable a été étudiée. L'utilisation d'une matrice pénétrante de petite taille et le fait que le système soit en contact avec les tissus biologiques imposent une dimension réduite et une consommation d'énergie minimum. Par conséquent, des techniques de conception de circuits à faible consommation ainsi que le développement d'une architecture microélectronique mixte dédiée ont été développées pour réaliser un prototype de capteur matriciel miniature et implantable dans le cortex. L'architecture proposée est basée sur une structure extensible exploitant le regroupement et le parallélisme des ressources. L'architecture a été intégrée en technologie CMOS 0.18 µm et testée avec succès en laboratoire. Grâce à cette nouvelle architecture, il nous est dorénavant possible de fabriquer des capteurs matriciels de topologies arbitraires, comportant une chaîne d'acquisition complète par canal et consommant très peu d'énergie. Ces performances reposent sur la conception d'une nouvelle chaîne d'acquisition compacte, présentant une consommation d'énergie ultra réduite utilisant un nouveau bioamplificateur intégré et un convertisseur analogique-numérique à approximation successive dédié. La simulation de la chaîne complète montre une consommation aussi basse qu'une trentaine de microwatts. Par conséquent, elle offre une densité d'énergie et une surface de silicium par canal suffisamment basses pour accommoder des systèmes comportant un très grand nombre de canaux (> 1000).

RÉSULTATS:

Le bioamplificateur intégré conçu a été utilisé pour réaliser des enregistrements *in-vivo* chez les rats. Il consomme moins de 9µW et présente un bruit d'entrée de 5µVrms. La chaîne développée a été utilisée pour concevoir un prototype de capteur miniature à 16 canaux intégrés. Le prototype mixte est présentement assemblé, testé et caractérisé en laboratoire.

GOYETTE, Sylvain **DIPLÔME: M.Sc.A.**

Titre:

Conception d'un modèle d'abstraction des communications point-à-point pour les systèmes multiprocessurs hétérogènes sur puce.

Résumé:

Ce projet a pour but principal de développer une abstraction des communications point-à-point conciliant la souplesse du concept de *drag & drop* dans l'environnement SPACE aux caractéristiques spécifiques des architectures utilisées et en maintenant la transparence du partitionnement logiciel-matériel sur un ou plusieurs processeurs.

Problématique:

Un problème important en systèmes embarqués est celui de l'exploration architecturale et plus particulièrement celui du partitionnement matériel-logiciel qui vise la décomposition d'une spécification au niveau transactionnel. Le but principal du concepteur d'un système est de trouver la partition qui requiert le moins de matériel pour rencontrer les critères de performance. Sur un FPGA, un lien point à point permet de relier directement deux unités de traitement, e.g. un processeur et un copresseur. Comme ce lien.n'est pas partagé par d'autres unités, la latence et la performance est déterministe. La bande passante est élevée et permet notamment de désengorger un bus partagé en créant des chemins de données spécifiques. Afin de respecter la philosophie de Space Codesign, le lien point à pont doit être offert pour des modules pré-partitionnés en matériel et en logiciel. Un lien direct pont à point peut être aisément visualisé en matériel, mais ce n'est pas le cas pour un lien matériel-logiciel ou logiciel-logiciel multiprocesseur, pour lequel il faut utiliser les spécificités du processeur.

À partir d'un modèle transactionnel temporisé, de nouvelles partitions logiciel/matériel mieux adaptées aux architectures contemporaines pourront donc être considérées (simulées) durant l'exploration architecturale.

Méthodologie:

Les étapes qui conduisent à la réalisation de ce projet seront les suivantes:

- Définir une plateforme au niveau TLM qui peut recevoir plusieurs types de processeurs;
- Définir une abstraction totalement transparente pour l'utilisateur afin de modéliser les communications point-à-point;
- Développer les raffinements de ces liens point-à-point abstraits pour différentes architectures (processeurs);
- Prouver la fonctionnalité du modèle et les gains de performances pour différents types d'architecture.

Résultats :

- Consolidation de la plate-forme Space autour du modèle CoreConnect d'IBM et ajout d'un modèle simulable du processeur configurable PowerPC405;
- Développement de la spécification du modèle d'abstractions dans Space et de son raffinement pour les communications dans un système hétérogène PowerPC/MicroBlaze.

HAJJ-HASSAN, Mohamad **DIPLÔME: M.Sc.A.**

TITRE:

Balayeur micro électromécanique dédié aux systèmes échographiques

RÉSUMÉ:

L'imagerie médicale est employée pour estimer le volume des organes du corps humain et afficher leur image sur un moniteur. L'échographie par ultrasons exploite la physique des ultrasons lors de la propagation d'un faisceau ultrasonore et des réflexions qu'il subit en rencontrant des obstacles. La détection et le traitement des échos générés servent à reconstituer la forme du corps qui en est l'initiateur en deux ou trois dimensions. De nos jours, l'imagerie ultrasonore est un outil important pour évaluer de façon non-invasive et en temps réel la structure de l'anatomie interne.

PROBLÉMATIQUE:

La mise en œuvre d'un balayeur ultrasonique (micro plateforme à deux degrés de liberté) permet d'obtenir une résolution en 3D tout en demeurant de dimension réduite. C'est donc dans cette optique que la conception, la simulation (analytique et numérique) et la fabrication d'une micro plateforme seront nécessaires pour réaliser un balayeur ultrasonique miniature.

Nous recherchons une technique de balayage qui permettra l'obtention d'une image échographique tridimensionnelle. Cette plateforme sera basée sur la technologie MEMS (microelectromechanical systems).

MÉTHODOLOGIE:

Nous planifions concevoir, optimiser et mettre en œuvre le balayeur à deux degrés de liberté. Ces travaux de conception et d'implémentation se dérouleront selon les étapes suivantes :

- Simulation par le logiciel CoventorWare d'un balayeur pour optimiser et augmenter l'angle de rotation;
- Fabrication d'un balayeur actionné par des électrodes selon la technologie MUMPS (Multi user MEMS Processes)
- Assemblage des deux parties afin d'obtenir un espacement suffisant entre eux;
- Mise au point d'une méthode de test de composants fabriqués;
- Analyse et comparaison des résultats obtenus par les simulations et par la fabrication.

RÉSULTATS:

La première version soumise du balayeur a été reçue et l'assemblage a été effectué.

HASAN, Syed Rafay **DIPLÔME: Ph.D.**

TITRE:

Méthodes d'interfaçage synchrone point-à-point de haute performance pour SoCs

RÉSUMÉ:

Avec les progrès dans les technologies de fabrication, de plus en plus de fonctionnalités sont introduites dans les SoCs. Des modules IP, fonctionnant à des fréquences d'horloges différentes, sont inévitables dans de telles conceptions. Par conséquent, le concept «îles locales» à horloges indépendantes prédomine dans les SoCs. Ces îles locales communiquent à l'aide d'une méthodologie d'interfaçage pour communication intermodulée, telles les méthodes asynchrones. Cependant, les méthodes asynchrones sont mal adaptées aux flots de conception synchrone conventionnels, en plus de leur vulnérabilité au MTBF. Dans de travail, une méthode de conception, nouvelle et entièrement synchrone, est proposée pour les communications point-à-point.

PROBLÉMATIQUE:

Jusqu'à présent, la plupart des concepteurs hardware ont recherché des solutions, pour les communications intermodulées, dans les méthodes asynchrones, comme GALS (Globalement Asynchrone Localement Synchrone) qui sont non prédictibles, étant donné la nature des méthodes asynchrones. La solution décrite dans ce travail utilise des méthodes prédictibles pour dépasser le problème de communication intermodulée. Cette solution se base sur l'idée que si une solution synchrone, dans un contexte donné, offre une performance égale ou meilleure, que les méthodes asynchrones, alors cette solution sera mieux appréciée en industrie. Par conséquent, la solution proposée est une tentative de montrer que les méthodes synchrones sont des solutions viables et efficaces pour interfacer des modules multi-horloge contraints par le biais de synchronisation (skew).

MÉTHODOLOGIE:

La solution utilise des bus plus large (étant donné la présence abondante de fils dans les SoCs) afin de soulager la communication intermodulée. Dans nos travaux antérieurs, une méthode a été proposée pour déterminer les positions des modules terminaux qui subissent le pire biais de synchronisation. Les modules terminaux fonctionnent à une fréquence supérieure et les modules d'interface à une fréquence inférieure, dont le rapport de fréquences est un nombre entier. Par un ajustement adéquat de l'interface, et par la détermination de la valeur du pire biais de synchronisation, une tolérance plus élevée au biais de synchronisation est ainsi rendue possible.

RÉSULTATS:

Une amélioration globale de la tolérance au biais de synchronisation, en termes de cycles d'horloge, est observée dans ce travail. Un des cas d'étude a montré une amélioration de 2 cycles d'horloge comparé aux meilleures méthodes asynchrones basées sur la technique FIFO. Trois différents cas de communication inter modulées, sous toutes les contraintes temporelles possibles, sont analysés. La vérification des résultats analytiques a été réalisée en utilisant des simulations au niveau porte et par exécution sur FPGA Virtex-II Pro.

HASHEMI, Saeid **DIPLÔME: Ph.D.**

TITRE:

Amélioration d'efficacité des chaînes de conversion de puissance dédiées aux implants biomédicaux.

RÉSUMÉ:

Des implants biomédicaux sont intensivement utilisés pour améliorer la qualité de vie. Bien que de tels dispositifs aient été conçus avec succès, ces derniers sont exigeants d'un point de vue consommation de puissance. Ainsi, l'implémentation de sources d'alimentation fiables et efficaces demeure un défi signification pour la conception. Il est à noter que l'augmentation de l'efficacité de la puissance n'est pas seulement un problème au niveau du dispositif à concevoir, mais aussi un problème au niveau de l'étude du système et son architecture.

PROBLÉMATIQUE:

L'étage d'entrée d'une chaîne conventionnelle de conversion de puissance se compose d'un redresseur à diode conventionnel. La diode possède une tension de seuil induisant une perte significative de puissance. Cette dernière affecte l'efficacité globale et diminue la tension à fournir aux étages suivants. Cet impact négatif devient de plus en plus significatif dans la conception de la source d'alimentation, qui est le cas de la nouvelle technologie (IC sub-micron). En outre, la diode n'est pas généralement implémentée dans la puce même, mais remplacée par un composant discret, ce qui est peu commode si on veut concevoir un implant entièrement intégré.

Due à la complexité élevée de l'implant et les limites biologiques qui s'imposent, il est nécessaire de développer une architecture plus efficace pour concevoir une chaîne de conversion de puissance. Une étude, sur la topologie existante de la chaîne de puissance et ses composants du point de vue d'efficacité de puissance, est nécessaire. Par la suite, une intégration de tous les composants dans une même puce en réduisant la consommation de puissance serait le choix le plus judicieux. Des études récentes ont montré qu'en utilisant des redresseurs à contrôleur passif/actif nous pourrions diminuer la tension de seuil de la diode et la consommation de puissance. Ces derniers font usage des caractéristiques des redresseurs de diode tout en commandant l'angle de conduction du dispositif. Par conséquent, l'efficacité de puissance peut être améliorée et l'intégration de l'implant se trouve plus facilement réalisable.

MÉTHODOLOGIE

Afin d'étudier l'impact de la dissipation de puissance de chaque composant des chaînes de conversion de puissance pour les implants biomédicaux, un modèle est développé. La vérification de ce modèle est primordiale pour s'assurer de la validité des hypothèses et la précision des résultats. L'étape suivante est la conception et la simulation des nouveaux redresseurs passifs/actifs. Par la suite, nous réaliserons le circuit en utilisant une technologie (CMOS Sub-micron). Enfin, des tests sur le prototype développé seront réalisés et nous déterminerons les modifications adéquates dans la perspective d'améliorer les performances.

RÉSULTATS:

Un modèle complet pour la chaîne conventionnelle de conversion de puissance d'un implant biomédical a été réalisé en utilisant Verilog-A et il a été appliqué sur un stimulateur intracortical. Les résultats obtenus concordent avec les mesures effectuées. Un nouveau design pour un redresseur à contrôleur passif a été simulé là où le commutateur principal fonctionne dans la zone linéaire où la tension grille-drain est la plus élevée du circuit. Le redresseur résultant montre une augmentation significative de la tension de sortie et de l'efficacité de puissance par rapport aux circuits précédemment développés. Le circuit a été implémenté et il est en cours de fabrication.

KOWARZYK MORENO, Gilbert **DIPLÔME: M.Sc.A.**

TITRE:

Optimisation et implémentation d'un algorithme SMP de recherche de codes convolutionnels doublement orthogonaux.

RÉSUMÉ:

Le présent projet est une suite logique des travaux de recherche entrepris par le GR2M portant sur les décodeurs à seuil itératif de codes convolutionnels doublement orthogonaux (CSO2C) à architecture configurable ainsi que la recherche de codes convolutionnels doublement orthogonaux. La principale motivation de ce mémoire est de concevoir et implémenter un logiciel de recherche SMP de codes S-CSO2C-WS et CSO2C-WS. Pour accélérer la recherche de ces codes, un nouvel algorithme sera présenté et une plateforme de recherche permettant d'augmenter le MTF sera développée.

PROBLÉMATIQUE:

Avec l'omniprésence des moyens de communication électroniques et le besoin d'une bande passante de plus en plus grande, il devient important à la fois d'avoir des communications fiables et de trouver des techniques maximisant le débit d'information utile. Le décodage à seuil itératif permet de minimiser la probabilité d'erreur lors des transmissions et offre une alternative intéressante aux décodeurs turbo à latence et complexité généralement plus élevées. Trouver des codes optimaux, ou au «span» minimal, permet de réduire notre latence de beaucoup sans pour autant réduire nos performances de correction d'erreurs. Ce mémoire concerne l'étude d'un algorithme de recherche de codes au span minimal exploitant plusieurs processeurs en parallèle (SMP) et ainsi réduisant considérablement le temps de recherche. Étant donné que le temps d'exécution du logiciel de recherche prend plusieurs jours, voire semaines, une technique permettant d'augmenter notre MTF (mean time to failure) sera développée.

MÉTHODOLOGIE:

La première phase de ce projet consiste à la compréhension de l'algorithme de référence et une évaluation des goulots d'étranglement de celui-ci. Cette étape a été complétée.

La deuxième phase consiste à concevoir et implémenter un algorithme de recherche SMP permettant de trouver de façon exhaustive les codes existants tout en réduisant le temps de recherche. Cette étape a été complétée.

La troisième phase consiste à développer un système permettant d'augmenter le «mean time to failure» et ainsi pouvoir lancer la recherche pendant des périodes de temps prolongées. Une fois cette étape complétée, une comparaison des performances avec l'algorithme avant l'ajout de la plateforme sera effectuée.

RÉSULTATS:

Nous avons réduit le «span» de plusieurs codes d'environ 20% à 30% (donc la latence du décodeur est aussi réduite de 20% à 30%). De plus, notre recherche exhaustive de codes s'effectue dans un temps de 3 à 4 ordres de magnitude plus court sur une machine à 16 processeurs. La plateforme permettant de réduire le «mean time before failure» est presque complète et commence à montrer ses avantages.

LAUG, Nicolas **DIPLÔME: M.Sc.A.**

TITRE:

Gestion de composants et systèmes dans un environnement de codesign.

RÉSUMÉ:

Le but du projet est de fournir une base logicielle permettant la gestion de composants modélisés à haut niveau. Cela comprend notamment l'utilisation de formats de données standardisés et l'automatisation de tâches pour faciliter l'utilisation et l'exploration architecturale du système.

PROBLÉMATIQUE:

Grâce aux environnements de développement de systèmes su puce au niveau ESL, il est désormais possible de faire totalement abstraction des contraintes matérielles lors des premières étapes de la conception. Cela facilite ainsi la portabilité et donc la réutilisation des modules du système. Différents standards allant dans ce sens sont récemment parus, mais ces derniers ne sont pas assez matures pour que cette portabilité soit une réalité.

De plus, de nombreuses tâches doivent toujours être réalisées manuellement, notamment ce qui concerne la communication entre les modules et le raffinement vers des niveaux de description plus précis.

L'objectif est de répondre à ces problèmes en créant une base logicielle utilisable dans un environnement de développement de codesign.

MÉTHODOLOGIE:

Les étapes du développement sont les suivantes:

- Recherche documentaire, analyse de l'environnement de développement, définition détaillée des objectifs;
- Définition de fichiers de schéma XML;
- Création de méthodes d'analyse de ces fichiers;
- Création du système de gestion des connexions (avec possibilité de sauvegarde et restauration de la configuration);
- Méthodes d'automatisation de raffinement du système.

RÉSULTATS:

Au stade présent des recherches, les formats de fichiers de description des composants sont définis. Le logiciel est capable de lire des descriptions de composants et de gérer leurs paramètres et leurs interconnexions et d'en générer les déclarations en SystemC.

Il est également capable de recourir automatiquement à des adaptateurs si l'utilisateur souhaite connecter deux composants dont les interfaces de communication sont incompatibles entre elles.

LEBEL, Dany **DIPLÔME: M.Sc.A.**

TITRE:

Vérification et validation de performance pour des propositions de tissus d'interconnexion.

RÉSUME:

Il est d'une grande importance pour la productivité d'un projet d'avoir des réponses aux questions d'architecture tôt dans le projet. Dans le cadre du partenariat avec Tundra Semiconductor, le GR2M propose de nouvelles architectures de tissus d'interconnexion. Le présent projet a pour but de supporter ces propositions architecturales ou de les infirmer aisément et tôt dans un projet tout en uniformisant la méthodologie du projet en intégrant le modèle de vérification à ce même modèle d'exploration architecturale. Il s'agit du développement d'un environnement à plusieurs granularités qui sert dès la phase d'exploration en début de projet et qui suit l'évolution du projet jusqu'aux dernières phases de la vérification. Par le fait même, les étapes du projet s'en trouvent uniformisées et la productivité augmentée.

PROBLÉMATIQUE:

Une des grandes problématiques, lors du développement de composants microélectronique, est la détermination de l'efficacité de propositions architecturales tout en évitant l'implantation au niveau RTL. Le présent projet a pour but d'explorer cette problématique et de proposer des solutions efficaces et uniformes. Le temps de conception peut ainsi être réduit de façon majeure par des choix architecturaux judicieux.

MÉTHODOLOGIE:

À l'aide de SystemC, des librairies de vérification de SystemC (SCV) ainsi que de scripts d'analyse de performance en langage Perl, réaliser un environnement aisément configurable de vérification/validation de performance à niveau d'abstraction variable en C++ (SystemC, SCV) dans le but d'explorer de nouvelles architectures et des méthodes de vérification modernes pour des tissus d'interconnexion (jusqu'à 64x64 ports) à protocole multiples (Rapid IO, PCI express, DMA, DRAM). Réaliser un modèle de tissu d'interconnexion de référence facilement configurable pour y inclure des propositions architecturales. Évaluer la performance des diverses propositions. Extraire les règles performantes de design, de vérification et d'exploration architecturale. Raffiner les modèles de trafic pertinents et un module d'analyse de performance basés sur le lange *Perl.*

RÉSULTATS:

Une méthodologie efficace et uniforme basée sur les techniques de vérification modernes a été appliquée et implantée pour l'exploration architecturale et la vérification de tissus d'interconnexion. Le système conçu possède les deux granularités désirées : une avec l'interface haut niveau pour l'exploration qui sert également de spécification exécutable et l'autre avec une interface matérielle pour la vérification. Certains raffinements des modèles de trafic et de scripts d'analyse sont en développement afin de générer/identifier les cas pertinents. Un modèle de trafic réel basé sur un des processeurs configurables est également en développement afin d'appliquer des contraintes réelles aux diverses architectures développées.

LESBROS, Guillaume **DIPLÔME: M.Sc.A.**

TITRE:

Étude et validation expérimentale de l'évolution du contact électrode-tissus nerveux

RÉSUMÉ:

Ce projet porte sur la conception de dispositifs d'instrumentations implantables visant à caractériser l'évolution du contact électrodes-tissus nerveux. De récents travaux au sein du laboratoire ont permis de modéliser cette interface. L'extraction des paramètres de ce modèle sur plusieurs mois permettra de mieux comprendre l'évolution du contact. C'est la fonction principale du circuit intégré conçu au cours de cette maîtrise.

PROBLÉMATIQUE:

Afin de connecter les implants et le système nerveux, des électrodes à contact métalliques sont fixées autour du nerf. L'efficacité du neurostimulateur dépend de l'état de cette jonction. Les électrodes seront attaquées par le système immunitaire humain tout au long de leur durée de vie. De plus, les stimulations électriques engendrent des réactions électrochimiques complexes qui peuvent amener à modifier les caractéristiques de ce contact. Afin d'effectuer des stimulations sûres et efficaces, il est nécessaire de connaître et de comprendre l'évolution de cette interface et ce, tout au long de la vie de l'implant. En équipant les stimulateurs intégrés du laboratoire PolyStim avec ce bloc de mesure, nous serons capables d'obtenir de précieuses informations sur l'évolution de notre implantation mais en plus, nous pourrons interagir efficacement sur les paramètres de stimulation à utiliser

MÉTHODOLOGIE:

La première partie du projet consiste à déterminer les paramètres pertinents permettant de caractériser l'évolution de l'interface (ex.: résistance de transfert des charges, impédance non faradique, impédance de Warburg, résistance du nerf…).

Dans la seconde partie, les dispositifs télémétriques implantables permettant de recueillir les paramètres pendant plusieurs mois sont réalisés:

- Un premier implant discret sera réalisé et implanté durant une longue période sur un animal dans le cadre des expériences effectuées avec les collaborateurs du département d'urologie de McGill. Il permettra d'obtenir les premiers résultats in-vivo.

- Par la suite, il s'agira de réaliser un ASIC (Application Specific Integrated Circuit). Ce circuit miniature, plus complet et plus autonome que la version discrète, permettra de mesurer tous les paramètres choisis dans la première partie. Pour cela, il utilisera divers principes d'électrochimie (spectroscopie d'impédance, voltamétrie cyclique …).

RÉSULTATS:

En équipant les stimulateurs intégrés du laboratoire PolyStim avec ce bloc de mesure, nous serons capables d'obtenir de précieuses informations sur l'évolution d'implantations mais en plus, nous pourrons interagir efficacement sur les paramètres de stimulation à utiliser. Le mémoire a été complété.

LÉVESQUE, Philippe **DIPLÔME: Ph.D.**

TITRE:

Architecture d'un processeur dédié aux traitements de signaux ultrasoniques en temps réel en vue d'une intégration sur puce.

RÉSUMÉ:

Ce travail s'inscrit dans le cadre du projet de la mise en œuvre d'un système échographique intégré sans fil. Ce système sera portable, possédera une grande autonomie et pourra être utilisé en conjonction avec un système contrôlé par un processeur dédié ou seul, en tant qu'instrument d'imagerie médicale utilisé pour de nombreux diagnostics. Le prototype portatif complété est de 16cm x 10cm et permet de guider l'élaboration de l'architecture en vue d'une intégration sur puce. La section numérique du système est réalisée avec un seul FPGA (Spartan3) tandis que la section analogique est composée de composants discrets.

PROBLÉMATIQUE:

Les fonctions de traitement du signal radio fréquence (RF) des systèmes ultrasoniques actuellement disponibles sont généralement exécutées par un logiciel sur un processeur conventionnel (Central Processor Unit – CPU) ou sur autre processeur dédié au traitement de signal (Digital Signal Processor – DSP). Ces systèmes ne permettent pas une vitesse d'exécution adéquate ou requièrent beaucoup d'énergie pour chercher les performances nécessaires. De plus, les dimensions et le coût limitent l'accessibilité de cette technologie pour certaines applications et certains milieux. La réalisation d'un nouveau type d'appareil permettra d'accroître le champ d'utilisation de cette technologie dans les secteurs militaire et vétérinaire, les pays économiquement défavorisés ainsi que la médecine à domicile.

MÉTHODOLOGIE:

Une recherche bibliographique approfondie sur les systèmes échographiques, sur les méthodes de traitement de signaux ultrasoniques et sur l'imagerie médicale a été effectuée et est régulièrement mise à jour. Le choix des différentes méthodes de traitement de signal a été validé en comparant les techniques à l'aide de Matlab. La partie numérique du système échographique, du démodulateur jusqu'à l'affichage de l'image sur une réalisation du circuit complet de la partie numérique du système échographique, du démodulateur jusqu'à l'affichage de l'image sur un écran (résolution de 320x240) est implantée sur FPGA (XC3S1500L) à faible consommation et à faible coût. La partie analogique est réalisée avec des composants discrets pour l'instant mais sera implémentée sur une ou plusieurs puces dans le cadre d'un autre projet.

RÉSULTATS:

Une première version fonctionnelle du système est complétée. Le système regroupe, entre autres, une unité mixte (logique/analogique) et divers circuits d'alimentation. L'unité mixte effectue un échantillonnage des données à 20MHz sur 10 bits et permet de compenser une atténuation de 100dB. Le niveau de tension du signal d'excitation est de -100V et supporte les modes continu et pulsé. Les fréquences supportées sont de 1MHz à 10MHz. La section numérique est entièrement implémentée sur un seul FPGA à l'exception des deux mémoires et son utilisation est inférieure à 30% (3791 slices utilisées). Un démodulateur en quadrature basé sur une Transformée d'Hilbert permet d'obtenir l'enveloppe du signal RF constitue l'élément important de l'unité Ultrason. La gestion du système est réalisée par l'unité système. De plus, cette unité gère l'interface usager qui est composé d'un clavier matriciel 16x16. La gestion des priorités d'accès aux ressources mémoires est assurée par l'unité Mémoire. L'image obtenue qui possède une résolution de 320 x 240 pixels est affichée sur un écran LCD TFT grâce à l'unité affichage. Notez que le système requiert une puissance maximale inférieure à 3W (incluant la sonde).

LU, Zhijun **DIPLÔME : Ph.D.**

TITRE:

Transmission de données à haute vitesse avec transfert élevé de puissance sans fil dédié aux dispositifs microélectroniques implantables.

RÉSUMÉ:

Ce projet porte sur le transfert de la puissance et les systèmes de transmission de données haute performance qui sont dédiés aux systèmes électroniques implantables. Des liens inductifs entre deux circuits ont été largement répandus dans des dispositifs électroniques implantables. Dans un système implantable, l'émetteur produit un signal modulé en utilisant des techniques numériques de modulation et l'envoie avec la puissance adéquate au dispositif implantable et traite les données reçues des implants par le lien sans fil. En attendant, le dispositif implantable démodule les données, reçoit la puissance et transfert les données au contrôleur externe (émetteur) pour la surveillance. Le signal électromagnétique modulé transféré à l'aide d'un lien inductif portera les données et la puissance.

PROBLÉMATIQUE:

Puisque certains liens inductifs inefficaces et le bruit perturbent généralement le transfert des données et réduisent la largeur de bande du signal d'entrée, la réduction de ce bruit et l'amélioration du débit d'informations ainsi que le lien inductif est d'une importance élevée. Ainsi, nous cherchons à concevoir un lien inductif efficace et des circuits de modulation et de démodulation à très haut débit.

MÉTHODOLOGIE:

- Schéma du circuit sur cadence et simulation post-layout;
- Techniques de modulation et de démodulation digitale, telles que Offset Quadrature Phase Shift Keying (OQPSK);
- Modulation entièrement différentielle OQPSK;
- Transmission des données sans fil, tel que le lien par couplage inductif;
- Boucle de COSTA pour la démodulation de données.

RÉSULTATS:

Le modulateur et le démodulateur d'OQPSK ont réalisé un taux élevé de transmission de données jusqu'à 8 Mbps par lien sans fil avec une porteuse de basse fréquence de 13.56 MHz. La consommation de puissance des circuits développés est respectivement de l'ordre de 16uW et 680uW pour le modulateur et le démodulateur avec une tension d'alimentation de 1.8V. Le layout du circuit a été soumis à la CMC en vue de son implémentation.

MAHVASH Mohammad Hossein **DIPLÔME: Ph.D.**

TITRE:

Méthodes d'entrelacement adaptables pour la compensation de mouvement.

RÉSUMÉ:

Une nouvelle méthode de désentrelacement avec compensation de mouvement est proposée dans un projet. L'estimation de mouvement trouvera un bloc dont l'appariement dans des champs ayant une parité identique ou différente sera optimal. La compensation de mouvement sera effectuée selon le nombre de champs de référence afin d'atteindre de meilleures améliorations sur la résolution verticale de l'image.

PROBLÉMATIQUE:

Développer une méthode de désentrelaceur de mouvement efficace qui améliorera la résolution verticale avec un minimum d'artéfacts dus aux mouvements accélérés.

MÉTHODOLOGIE:

La méthode de compensation de mouvement proposée utilise une estimation de mouvement avant et arrière. L'estimation de mouvement bidirectionnel est opérée en utilisant deux champs précédents et de deux champs subséquents. Tous les champs de référence sont recherchés afin de trouver le bloc avec le meilleur appariement parmi les blocs trouvés. Le bloc ayant l'erreur la plus petite sera sélectionné. Basé sur le mouvement vertical, la méthode utilise les données dont la parité est identique ou opposée pour la compensation de mouvement. L'erreur associée au bloc final est comparée avec le seuil critique afin d'éviter l'apparition d'artéfacts visuels en présence d'objets se déplaçant rapidement dans la séquence d'images.

RÉSULTATS:

La méthode proposée a été implémentée en C. Des résultats expérimentaux ont montré que la méthode en se basant sur des critères objectifs ou subjectifs donne de meilleures images que les méthodes conventionnelles de désentrelacement. Ce travail a été publié en août 2007 dans un article de journal: IEEE Transaction of Consumer Electronics.

MARCHE, David **DIPLÔME: Ph.D.**

TITRE:

Convertisseur numérique à analogique haute définition.

RÉSUMÉ:

Ce projet vise la conception de convertisseurs de haute résolution tirant profit d'un ajustement laser post-fabrication. L'architecture choisie est basée sur un réseau de résistance utilisé en mode courant. L'optimisation comprend une modélisation du CNA, l'addition des résistances ajustables par laser ainsi qu'un design original des interrupteurs.

PROBLÉMATIQUE:

Pour tirer profit de la progression du traitement numérique, l'information souvent analogique au départ, est échantillonnée, traitée en format binaire, puis reconvertie en signal analogique. Dans ce contexte, les convertisseurs numérique à analogique (CAN) et analogique à numérique (CNA) représentent des interfaces dont la performance est critique pour le fonctionnement du système entier. Nous demandons à ces interfaces un taux de conversion rapide et une précision élevée. Le projet actuel se concentre sur CNA R2R en mode courant car ils offrent une vitesse .élevée et permettent de mettre à profit une nouvelle technologie d'ajustement de résistance par laser. Cette technologie, initialement développée à Polytechnique, est actuellement commercialisée par la compagnie LTRIM Technologies Inc.

MÉTHODOLOGIE:

Une modélisation des réseaux R2R a d'abord eu lieu, pour permettre d'identifier les points sensibles de ce type d'architecture. Cette modélisation permet de mesurer l'appariement nécessaire pour les résistances des circuits R2R en fonction de la résolution ciblée. Cette mesure est nécessaire pour la conception des éléments ajustables par laser. Un circuit intégrant ces éléments a ensuite été dessiné et fabriqué. Un second volet de la recherche s'est penché sur le problème des interrupteurs dans les réseaux R2R. Une nouvelle solution a été pensée, simulée et validée par un circuit intégré.

RÉSULTATS:

Les résultats se divisent en trois contributions complémentaires :

- Des modèles de réseaux R2R (mode courant et tension) ont été développés ;
- Un circuit intégré de CNA ajustable par laser a été réalise et caractérisé. Ses performances démontrent comment il est possible d'intégrer les nouvelles résistances ajustables par laser pour obtenir une précision de 14 bits;
- Un circuit intégré de CNA utilisant une nouvelle méthode de compensation des interrupteurs a été caractérisé. Ses performances démontrent que la nouvelle méthode est efficace et permet une réduction de surface en même temps qu'une augmentation de la vitesse de conversion.

MBAYE, Mame Maria **DIPLÔME: Ph.D.**

TITRE:

Partitionnement et construction de systèmes sur puce multiprocesseurs hétérogènes comportant des processeurs spécialisés basé sur des métriques orientées-boucle.

RÉSUMÉ:

Le projet consiste à spécifier des métriques orientées boucle qui permettront de mesurer les possibilités d'accélération de boucles de traitement soit par un processeur spécialisé, soit par un module matériel dédié en vue de la construction d'architectures multiprocesseurs hétérogènes.

PROBLÉMATIQUE:

L'industrie a à sa disposition, une multitude d'outils pour la conception de plateformes SoC tels que le générateur de processeur spécialisé de la compagnie Tensilica, le générateur de code RTL CatapultC de Mentors Graphics-, etc. Malheureusement, l'industrie doit faire des choix architecturaux qui reposent généralement sur l'expérience de ses concepteurs. Les concepteurs acquièrent une méthodologie en statuant sur le traitement qui s'accélère mieux en matériel qu'en logiciel alors qu'ils devraient prendre en compte des métriques rigoureuses pour faire leurs choix architecturaux. Les recherches actuelles montrent qu'environ 90% du temps d'exécution d'une application s'effectue dans 10% des lignes de code de l'application. Donc, au lieu de disperser ses énergies à vouloir optimiser toutes les lignes de code d'une application, il est bien plus efficace de cibler l'accélération des boucles contenues dans le code. Les métriques orientées boucle permettront ainsi de définir les possibilités d'accélération d'une boucle de traitement.

MÉTHODOLOGIE:

La première étape de notre projet consistera à proposer une technique d'accélération de boucles par des instructions spécialisées fortement couplées. Ensuite, durant la seconde étape, des métriques orientées boucles seront caractérisées, suivie de la conception et de l'implémentation de ces métriques. Elles seront déployées dans l'environnement du compilateur reconfigurable SUIF2. La prochaine étape sera l'interprétation des métriques pour statuer sur les possibilités d'accélération. De ces métriques, une méthode de partitionnement devra être sélectionnée telle que l'intégration d'instructions spécialisées ou de module matériel dédié. Ensuite, une technique de construction d'architectures multiprocesseurs sera proposée basée sur les résultats de partitionnement qui seront obtenus.

RÉSULTATS:

Une nouvelle approche de conception d'instructions spécialisées fortement couplées a été proposée et les performances obtenues avec cette approche montrent que les processeurs spécialisés peuvent être une alternative aux modules matériels dédiés. Suite à la proposition de cette approche, un premier ensemble de métriques, tel que le type de la boucle, sa hiérarchie, le nombre de variables manipulées dans la boucle, le nombre de chargement et de stockage dans la boucle a été implémenté. Ces métriques ont été utilisées dans le cadre de la conception d'un processeur dédié à un algorithme de désentrelacement. Le grand nombre de statistiques générées lors du profilage peut freiner l'analyse des résultats, aussi des métriques un peu plus raffinées sont en phase d'implémentation afin d'voir des métriques qui donneraient des indications plus globales sur la méthode de conception à appliquer sur un segment de code à accélérer.

MÉNARD BEAUDOIN Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Étude, conception et réalisation des circuits analogiques servant au traitement des signaux en provenance d'un pixel innovateur.

RÉSUMÉ:

Ce projet de recherche consiste à élaborer, mettre au point, concevoir et réaliser les circuits électroniques servant à traiter et à amplifier les signaux analogiques en provenance d'un pixel nouveau genre (une demande de brevet a été soumise). La structure fondamentale de ce pixel permet d'augmenter la résolution spatiale des images obtenues par rapport à ce qui est actuellement disponible sur le marché. Le pixel fournit des courants électriques faibles qui sont proportionnels à l'illumination photonique à laquelle il est exposé. Ces derniers doivent être amplifiés et traités de manière à assurer l'intégrité et la qualité de l'information lumineuse captée.

PROBLÉMATIQUE:

La problématique se divise en deux parties. Tout d'abord, étant donné que nous sommes au début du processus de développement du capteur, le comportement réel du pixel est encore relativement méconnu. Il est donc impossible de concevoir un circuit avec une relative certitude de performance. Nous sommes encore en processus de recherche pour caractériser le fonctionnement du pixel et connaître ses propriétés électroniques. Puisque le pixel étudié est très différent d'un pixel conventionnel, il est possible que les procédés de traitement actuels ne conviennent pas.

La deuxième partie de la problématique touche l'accroissement constant du nombre de pixels des capteurs actuels. Pour être en mesure d'être en compétition avec les capteurs actuels, les circuits conçus doivent occuper un espace physique minimal et consommer le moins de puissance possible. De plus, certaines caractéristiques doivent être implémentées pour maximiser la gamme dynamique et minimiser le bruit.

MÉTHODOLOGIE:

Une première étape consiste à concevoir un circuit de traitement simple, semblable à ce que l'on retrouve dans les capteurs d'images actuels. Ce circuit nous permettra de déterminer avec plus d'exactitude, le comportement électronique du pixel. Par la suite, certaines améliorations (changements de topologies, optimisation, réduction du bruit, etc.) seront implémentées lors d'une seconde fabrication.

RÉSULTATS:

Un premier circuit est présentement en développement et sera soumis pour fabrication au début janvier.

MILED, Mohamed Amine **DIPLÔME: M.Sc.A.**

TITRE:

Conception et implémentation d'un décodeur dédié à un modulateur Sigma-Delta.

RÉSUMÉ:

Les convertisseurs Sigma-delta occupent une place prépondérante dans les applications nécessitant une haute précision au dépend d'une fréquence d'échantillonnage relativement faible, telles les applications biomédicales. Un convertisseur Sigma-delta contient principalement deux parties: une partie d'encodage qui consiste en la transformation d'un signal analogique en une suite de bits formant ainsi une séquence encodée d'information et une autre partie importante est le décodage qui consiste à retrouver le signal analogique à partir de cette séquence codée. Beaucoup de recherches dans ce sens ont été élaborées précédemment pour trouver l'algorithme idéal pour résoudre le problème de décodage dont les fameux algorithmes suivants: le Zoomer, l'algorithme O (N log N) « Robust (N log N) algorithm » et un autre algorithme récemment développé par l'université technologique de Dresden en Allemagne. Au cours de cette recherche, le but est de concevoir une architecture sur FPGA dédiée au décodage d'une séquence de bit provenant d'un encodeur d'un convertisseur Sigma-delta, le but étant d'avoir un facteur signal sur bruit le plus large possible et une restitution du signal d'entrée la plus fiable. L'implémentation sur FPGA de l'architecture est dans le but d'utiliser cette architecture pour une matrice d'électrodes et donc le FPGA est un outil très puissant dans le développement d'une architecture nécessitant un calcul parallèle intense.

PROBLÉMATIQUE:

Actuellement, les algorithmes de décodage nécessitent une architecture relativement complexe. Étant donné que, dans le domaine biomédical, l'utilisation de matrices d'électrodes devient de plus en plus courante, le FPGA paraît être la solution la plus envisageable pour manipuler les informations provenant d'une telle matrice étant donné sa capacité de calcul parallèle grandissante. Cependant dans notre conception architecturale, nous devons simplifier le plus possible les calculs étant donné que plus le calcul est complexe plus il nécessitera des ressources importantes et un temps de décodage important. En plus, l'architecture doit pouvoir réduire au maximum le bruit provenant du module de l'encodeur du convertisseur Sigma-delta.

MÉTHODOLOGIE:

Pour réaliser cette architecture, la première étape consiste à parcourir le plus grand nombre d'algorithmes ayant été développés jusqu'à ce jour dans le domaine de décodage des séquences obtenues par l'encodeur du convertisseur Sigma-delta. Ce travail ayant été fait, nous nous proposons de développer une nouvelle architecture sur FPGA pouvant réaliser cette opération de décodage. Une fois la conception faite, nous nous proposons de l'implémenter sur FPGA sur la plateforme d'Actel récemment développée Fusion, et plus précisément en utilisant le kit de développement de cette dernière, la simulation fonctionnelle, présynthèse, postsynthèse et postlayout seront faites à l'aide de Modelsim en utilisant Libero d'Actel. Enfin, nous nous proposons de comparer nos résultats avec des résultats précédemment établis incluant les résultats obtenus suite à la simulation des algorithmes précédemment cités.

RÉSULTATS:

L'implémentation du décodeur dynamique pour des séquences de 40 bits a été faite sur un FPGA Fusion AFS600 d'Actel. L'algorithme de décodage dynamique proposé a permis une diminution du temps de décodage de 2 à 4 fois par rapport à un algorithme de décodage itératif. Le décodeur en question a nécessité 86.44% des ressources logiques et combinatoires du FPGA et 79.17% des ressources mémoires. La fréquence maximale de fonctionnement de ce dernier est de 37.50 MHz.

MOSS, Laurent **DIPLÔME: Ph.D.**

TITRE:

Profilage, caractérisation et partitionnement fonctionnel dans une plate-forme de conception de systèmes embarqués.

RÉSUMÉ:

Cette recherche vise à développer une méthodologie d'exploration architecturale de systèmes embarqués en se basant sur la technologie Space Codesign, qui implémente une plate-forme virtuelle en SystemC pour des architectures multiprocesseurs. La méthodologie proposée combine un modèle de calcul formel, une spécification unique de l'application en SystemC à haut niveau, une méthode de synthèse comportementale pour en dériver un code RTL au besoin, une méthode de profilage au niveau système, une méthode de caractérisation automatisée autant que possible et un algorithme heuristique qui considère simultanément le partitionnement logiciel/matériel multiprocesseurs et la sélection d'une architecture de communications.

PROBLÉMATIQUE:

La complexité et les requis de performance des systèmes informatiques embarqués augmentent constamment. Pour répondre à ces requis, les systèmes embarqués comprennent maintenant plusieurs processeurs, blocs matériels, mémoires et périphériques sur une seule et même puce. Le choix de l'architecture de communications reliant ces composants, ainsi que le choix d'implanter les différentes fonctionnalités d'un tel système sous la forme de logiciels embarqués ou de composants matériels conçus sur mesure, a un grand impact sur la performance et le coût du système. Les méthodologies présentement utilisées par l'industrie pour la conception des systèmes embarqués ont de la difficulté à gérer ces architectures complexes et les retards et dépassements de coûts sont fréquents dans les projets de conception de systèmes embarqués.

MÉTHODOLOGIE:

Des applications connues, tel que le traitement d'images, serviront d'étude de cas. Ces applications seront modélisées à l'aide de Space, puis profilées afin d'en recueillir des données sur leur performance. Ensuite, ces applications seront caractérisées afin de pouvoir estimer la performance et le coût matériel des différentes architectures pouvant implémenter cette application. Ces estimateurs serviront de fonction d'évaluation pour des méta-heuristiques qui optimiseront le partitionnement logiciel-logiciel, le partitionnement logiciel-matériel et l'architecture de communications selon des contraintes de performance et de coût. Finalement, nous comparerons le temps d'exécution et la qualité des solutions obtenues pour deux algorithmes d'exploration architecturale automatisée (un algorithme exact et un algorithme heuristique), de même que la durée et la qualité des mesures obtenues par profilage et estimation.

RÉSULTATS:

Un modèle de calcul a été défini et proposé pour la modélisation des systèmes embarqués avec SPACE. Une méthode de synthèse matérielle des modules Space a été réalisée à l'aide de l'outil de synthèse comportementale Forte Cynthesizer. Une méthode de profilage logiciel/matériel a également été implémentée. Ces méthodes ont été testées sur plusieurs applications codées avec Space.

MOUNAIM, Fayçal **DIPLÔME: Ph.D.**

TITRE:

Réhabilitation des fonctions urinaires : Neurostimulation et Monitoring.

RÉSUMÉ:

La lésion de la moelle épinière (Spinal Cord Injury-SCI) est l'un des problèmes les plus dévastateurs médicalement et socialement. Selon l'Association Canadienne des Paraplégiques, près de 36,000 canadiens vivent avec une SCI. À la suite d'une SCI, il se produit une perte du contrôle sensoriel et moteur qui entraîne divers degrés de dysfonctionnement du bas appareil urinaire.

PROBLÉMATIQUE:

Notre objectif général est d'investiguer, de proposer et d'expérimenter des solutions pour rétablir, chez les paraplégiques, une fonction urinaire contrôlée et aussi proche que possible de la fonction physiologique. Que ce soit un dispositif électronique, mécanique, et/ou hydraulique, les solutions seront évaluées selon le degré d'efficacité, la facilité d'implémentation ainsi que la difficulté chirurgicale. À l'aide d'un dispositif électronique implantable, la stimulation électrique des nerfs sacrés innervant le système urinaire constitue notre approche principale. Elle permettra aux paraplégiques une miction volontaire et une réduction de l'hyperréflexie de la vessie. L'un des principaux défis est de pouvoir stimuler avec suffisamment de sélectivité pour agir de manière exclusive et efficace sur les organes ciblés. Afin de prévenir le patient avant toute incontinence, il est nécessaire de surveiller l'état de la vessie. Cependant, il reste à trouver de nouvelles approches pour mesurer de manière continue ou intermittente le volume d'urine et la pression intravésicale.

MÉTHODOLOGIE:

Le projet se divise en trois parties:

A. Neurostimulation du système urinaire:
   - Proposition et expérimentation in vivo d'une nouvelle stratégie de neurostimulation sélective bilatérale qui améliore l'efficacité et l'évacuation d'urine.

B. Surveillance de l'état de la vessie:
   - Proposition et expérimentation in-vivo d'une méthode de surveillance directe de la vessie à l'aide de nouveaux capteurs et matériaux.

C. Implant urinaire intégrant les nouvelles fonctions sur puce:
   Réalisation d'un système complet maximisant l'intégration et minimisant la consommation d'énergie.
   - Une première puce microélectronique en technologie CMOS-0.8µm haut-voltage traitera le signal récupéré par résonnance du lien inductif. Cette puce comprendra principalement un circuit de redressement, une référence en tension ainsi que plusieurs régulateurs pour minimiser la consommation en alimentant différemment les parties numériques et analogiques du système.
   - Pour la seconde puce, une technologie CMOS <0.18µm sera nécessaire pour regrouper toutes les nouvelles fonctions proposées et liées à la neurostimulation et à la surveillance de la vessie. Elle comprendra en particulier, un émetteur/récepteur radiofréquence pour établir un lien de communication bidirectionnel entre l'implant et son contrôleur externe. Ce lien permettra d'extraire les données analogiques ou numériques issues des mesures.
   - En plus des composants discrets non-intégrables, ces deux circuits intégrés seront assemblés et encapsulés au sein d'un même implant miniature qui sera testé et validé in vitro et in vivo.

RÉSULTATS:

Les phases A et B d'investigation et d'expérimentation in vivo ont mené à la proposition de nouvelles méthodes de neurostimulation et de surveillance de la vessie. En particulier, une solution innovatrice a été divulguée au BRCDT (DIV205) et fut recommandée pour le dépôt d'une demande de brevet. Dans la phase C, la première puce en technologie CMOS-0.8µm a été soumise pour fabrication. Deux articles ont été présentés aux conférences ISCAS et BIOCAS 2007.

NADERI, Ali **DIPLÔME: Ph.D.**

TITRE:

Un convertisseur analogique à numérique Sigma-Delta passe-bande dédié aux applications de radio logiciel.

RÉSUMÉ:

L'objectif de ce projet est de concevoir un CAN sigma-delta à temps continu pour des applications à haute fréquence, en utilisant la technologie CMOS 0.13µm. C'est une nouvelle approche qui est utilisée pour la conception du CAN sigma-delta dans l'application radio logiciel (Software-Defined-Radios).

PROBLÉMATIQUE:

La conception du CAN sigma-delta à haute fréquence pose d'importants problèmes. En première étape, ce CAN demande un résonateur réglable de haute qualité, compatible avec le fonctionnement en haute fréquence. Le résonateur doit pouvoir choisir une faible largeur de bande autour de la fréquence de porteuse, qui implique un facteur de qualité de 200. Il est également nécessaire d'ajuster la fréquence centrale du filtre à la fréquence désirée. En ce qui concerne l'application de ce projet, la consommation de puissance devrait être acceptable pour les dispositifs portatifs. Le quantificateur de ce CAN consomme beaucoup de puissance due à la théorie de CAN sigma-delta. En conséquence, une attention particulière est exigée pour avoir une basse consommation de puissance. Évidemment, la variation de phase d'horloge peut provoquer de grands défis pour obtenir un rapport de signal sur bruit élevé.

MÉTHODOLOGIE:

Pour obtenir un signal de bonne qualité, un filtre à large plage dynamique (DR) et basse consommation de puissance est proposé. Ce filtre analogique de second ordre à temps continu, peut fonctionner à une fréquence de 2GHz. Le facteur de qualité du filtre est réglable en utilisant la méthode (Q-enhanced) pour une gamme de 100-200. La fréquence centrale du filtre ainsi que son facteur de qualité sont réglables. Par conséquent, il possède deux degrés de liberté. En ce qui concerne la basse consommation de puissance la méthode de sous-échantillonnage a été utilisée pour que le quantificateur permette de réduire le taux de donnée et par conséquent la consommation de puissance. La méthode de sous-échantillonnage peut également traduire la fréquence centrale du signal à une faible fréquence intermédiaire (IF), et diminuer le nombre d'éléments pour la démodulation du signal à la bande de base. Une architecture cascadée de second ordre basée sur la méthode de sous-échantillonnage est suggérée pour la conception de ce CAN, qui peut produire un rapport signal sur bruit (SNR) élevé pour des hautes fréquences.

RÉSULTATS:

Le diagramme bloc de la structure proposée a été simulé par MATLAB. Tous les blocs ont été conçus au niveau du circuit et simulé par Spectre RF en utilisant la technologie CMOS8RF d'IBM. Les résultats de simulation sont prometteurs. De plus, le layout de la conception a été soumis pour fabrication.

NEMR, Abbas **DIPLÔME: M.Sc.A.**

TITRE:

Optimisation architecturale, accélération matérielle et prototypage des décodeurs à seuil itératif de codes convolutionnels doublement orthogonaux simplifiés, perforés et récursifs.

RÉSUMÉ:

Ce mémoire consiste en l'implémentation matérielle et l'optimisation des décodeurs à seuil itératif de code convolutionnels doublement orthogonaux simplifiés, perforés et récursifs. La principale motivation de ces algorithmes est qu'ils permettent de réduire de manière significative la latence et la complexité tout en maintenant un bon BER comparativement aux autres classes de décodeur (Turbo, LDPC). L'accélération de chacune des architectures est explorée ainsi qu'une comparaison du décodeur récursif avec le décodeur des codes LDPC.

PROBLÉMATIQUE:

Depuis plus de 30 ans, les communications électroniques sont devenues un besoin essentiel aux sociétés modernes. Ainsi, pour transmettre l'information de manière fiable, les différents spécialistes des communications ont essayé de minimiser la probabilité d'erreur de transmission afin de maximiser la transmission d'informations utiles. Pour ce faire, ces spécialistes de l'information ont toujours cherché à créer des codeurs de plus en plus performants. L'année 1993 a été marquée par la découverte du décodeur turbo qui a permis notamment de s'approcher étroitement des limites théoriques, mais toutefois l'algorithme comporte une très grande complexité matérielle. Ce mémoire concerne l'étude et l'implémentation matérielle des décodeurs à seuil itératif.

MÉTHODOLOGIE:

Pour atteindre l'objectif visé, les étapes suivantes devront être effectuées:

- Implémenter une version de base du décodeur simplifié;
- «Pipeliner» le décodeur afin d'accélérer sa fréquence d'opération;
- Construire l'environnement de caractérisation matérielle et simuler les codes simplifiés;
- Insérer un module de perforation dans le décodeur et simuler les codes perforés;
- Implémenter le décodeur récursif, simuler et comparer avec les codes LDPC.

RÉSULTATS:

Une première implémentation de base du décodeur fut réalisée en code VHDL. Ce décodeur fonctionne actuellement sous forme matérielle. Également, ce décodeur fut intégré dans un système de communication matérielle complet et paramétrable sur la plateforme «ARM Integrator» qui permet de calculer le BER pour chacune des étages du décodeur. Le code VHDL fut aussi «pipeliné», par conséquent la fréquence d'opération du décodeur a passé de 21 MHZ jusqu'au 120 MHZ pour certains codes.

NGUYEN, Anh Tuan **DIPLÔME: Ph.D.**

TITRE:

Conception d'un robot miniature pour opérations nanométriques.

RÉSUMÉ:

Ce projet vise à concevoir le NanoWalker, ce robot miniature instrumenté et sans fil, pour les opérations autonomes à l'échelle atomique utilisant des techniques avancées microélectro-mécaniques et d'intégration. Puisque l'espace occupé par chaque robot a un impact majeur sur le rendement de la flotte de robots NanoWalker, la conception de tout composant devrait tenir compte de la miniaturisation du robot. En outre, comme le robot devrait opérer de façon autonome pour une période de temps acceptable ce qui fait que la consommation de puissance constitue aussi un paramètre important à considérer durant la conception. Donc, la miniaturisation, la précision et la consommation de puissance sont les facteurs clés de ce projet.

PROBLÉMATIQUE:

La problématique de ce projet est la réduction de la taille du robot et l'intégration entre les composantes dans sa structure. En effet, la miniaturisation entraîne plusieurs complications au niveau de la conception en termes d'alimentation, d'isolation au bruit et aux vibrations et de densité des composants électroniques. Cette dernière engendre une dissipation élevée de chaleur et limite les ressources disponibles à même le robot. Notamment, une optimisation est indispensable pour les routines effectuées ainsi que pour le protocole de communication. Un autre défi de ce projet est l'intégration de différents éléments du robot tant au niveau mécanique qu'au niveau piézo-électro-mécanique.

MÉTHODOLOGIE:

La réalisation de ce projet consiste en quatre étapes. Premièrement, une revue de littérature des travaux antécédents de ce projet ainsi que dans le domaine de nanorobotique sera requise afin d'exploiter le projet pour voir ce qui est à modifier et à améliorer. Par la suite, pour la partie mécanique du robot, une optimisation des systèmes de l'actuateur piézoélectrique et de positionnement offrira un asservissement adéquat des commandes mécaniques. Afin d'obtenir une meilleure isolation des circuits, la méthodologie des systèmes intégrés sur puce (SoC) sera utilisée pour optimiser les circuits microélectroniques du robot. La conception sur PCB discrète-analogique mixte sera également envisagée. Une fois conçu, le prototype du robot sera complètement intégré, calibré et testé pour valider son bon fonctionnement.

RÉSULTATS:

Le système de locomotion du robot a été implémenté. Un prototype du robot ainsi qu'une plateforme vibrante ont été réalisés. Les tests ont révélé que ce système offre une force suffisante pour permettre au robot, de dimension de 10 mm x 10 mm x 10 mm et d'un poids de 1 gramme, de se déplacer sur la plateforme vibrante. Ces résultats ont été présentés à la conférence d'IEEE-Advanced Intelligent Mechatronics (AIM) 2007.

NSAME, Pascal **DIPLÔME: Ph.D.**

TITRE:

Techniques et méthodes de conception des systèmes intégrés de type SoC.

RÉSUMÉ:

Ce projet vise l'élaboration de techniques et méthodes de conception et de vérification des circuits intégrés de type SoC (System-on-Chip). La complexité grandissante des systèmes de type SoC impose une réutilisation efficace des ressources centrées autour des méthodes de conception autres que le VHDL ou Verilog au niveau RTL. Toutefois, à cause de la dépendance entre les représentations au niveau comportemental, RTL et portes, et leur impact sur le partitionnement matériel/logiciel, la performance, la dissipation de puissance et surtout l'effort de vérification, il est nécessaire de développer une approche intégrée à la méthode de conception elle-même. L'objectif du projet consiste à étudier les interfaces matérielle/matérielle et matérielle/logicielle régissant l'intégration des SIP (Silicon Intellectual Property cores) ou «virtual components (VC)» afin de proposer des modèles d'interface améliorés et d'explorer les architectures VLSI intégrées qui permettent d'implanter efficacement une synchronisation non-bloquante pour des systèmes complexes multiprogrammés à mémoire partagée.

PROBLÉMATIQUE:

La capacité d'intégration offerte par les technologies sub-microniques rend l'implantation des systèmes de type SoC très intéressante. Toutefois, les besoins en vérification croissent de façon exponentielle. Cette capacité d'intégration élevée impose au concepteur un niveau de productivité extrêmement élevé. En effet, les besoins des applications en temps réel, l'augmentation constante du niveau d'intégration matérielle/logicielle, du parallélisme au niveau instruction et de la complexité de la hiérarchie de mémoires intégrées et partagées conduisent à une dégradation de performance due à une synchronisation bloquante entre agents communicants. Ceci rend obsolètes ou inadéquates les méthodes traditionnelles de conception et de vérification basées sur la simulation et synthèse logique. Un défi majeur consiste à développer une méthodologie qui facilite le travail du concepteur dans un environnement de design, où les outils CAD/CAE et la technologie de fabrication sont en constante évolution et où les bibliothèques de composants SIP deviennent de plus en plus complexes.

MÉTHODOLOGIE:

- Étude comparative des interfaces de communication actuelles incluant les standards PCI Express, AMBA et CoreConnect;
- Définition et spécification d'une nouvelle architecture basée sur l'utilisation et la gestion de canaux de communication dédiés à travers un bus partagé;
- Validation du protocole de communication proposé utilisant un processeur ARM ou PPC;
- Implantation matérielle du prototype et test du prototype réalisé.

RÉSULTATS:

L'implémentation matérielle sur ASIC du FIFO virtuel ainsi que l'implémentation de l'outil de spécification InTime est complète. Trois articles de conférence ont été acceptés et publiés. En plus, trois méthodes de conception ont été étudiées et une nouvelle méthode de conception basée sur une technique adaptative de la fiabilité basée sur une optimisation à deux phases a été proposée. La première phase identifie les opérations asynchrones implémentées à l'aide d'une librairie de composants ACAS. La deuxième phase minimise l'énergie afin de satisfaire la contrainte de température moyenne. Les deux problèmes d'optimisation ont été formulés à l'aide de la technique de programmation linéaire entière validée avec l'application MPEG4. Des articles de journaux sont en préparation.

OULD BACHIR, Tarek **DIPLÔME: M.Sc.A.**

TITRE:

Génération aléatoire de nombres suivant une distribution non-uniforme par circuits numériques intégrés.

RÉSUMÉ:

Générer aléatoirement des nombres suivant une distribution non uniforme est une tâche difficile et elle l'est davantage dans un contexte de circuits intégrés. Les limitations en ressources matérielles, notamment en disponibilité des mémoires embarquées, ainsi que la difficulté d'évaluer rapidement des fonctions transcendantales font que les générateurs matériels connus sont difficiles à concevoir, voire indisponibles. Un intérêt grandissant s'est fait sentir dans la communauté scientifique pour des générateurs de gaussiennes, et plus récemment encore pour des générateurs universels. Notre objectif est de proposer une architecture matérielle pour générer des distributions non-uniformes en utilisant un nouvel algorithme dédié à l'environnement matériel. Le développement mathématique, issu de la théorie des réseaux Bayesiens (RB), est en grande partie investigué dans le cadre de ce travail et un prototype sur FPGA est prévu pour valider différentes distributions, nommément les distributions: gaussienne, exponentielle, Gamma, Beta et Weibull.

PROBLÉMATIQUE:

La génération aléatoire de nombres suivant une distribution non-uniforme est un problème mathématique de grande envergure. La technique universelle consiste à inverser la fonction cumulative de la distribution. Or nombre de fonctions cumulatives des distributions connues ne sont pas inversibles analytiquement et l'on recourt généralement à diverses techniques ardues. Aussi, il n'existe pas de générateur universel et cette indisponibilité est plus flagrante encore dans le cadre des générateurs matériels. Cependant, un intérêt grandissant s'est fait sentir dans la communauté scientifique pour des générateurs de gaussiennes, la gaussienne étant très répandue dans le test de circuits numériques et l'évaluation des systèmes de correction d'erreurs des codes. Des travaux récents proposent par dépit des outils permettant de développer des architectures dédiées aux distributions non uniformes visées, mais cela au coût des ressources matérielles importantes. Le seul générateur matériel que l'on pourrait qualifier d'universel est difficile à mettre en œuvre et gourmand en ressources matérielles. Aussi, les objectifs de notre travail sont d'une part de trouver une nouvelle architecture universelle pour toutes sortes de distribution et de valider l'algorithme sous-jacent par les outils statistiques connus.

MÉTHODOLOGIE:

Pour réaliser nos objectifs, nous partons d'une idée simple d'algorithme tirant profit de la représentation binaire des nombres. Cette approche pouvant être modélisée par un réseau Bayesien binaire, nous utilisons le formalisme des RB pour valider théoriquement l'algorithme d'une part, et démontrer que notre approche est universelle d'autre part. Une fois ceci fait, nous procéderons à une analyse en simulation (Matlab) du générateur en effectuant une batterie de tests : Chi2 et Kolmogorov-Smirnov. L'architecture sera ensuite réalisée matériellement dans une plateforme de prototypage rapide FPGA afin de mesurer les performances temporelles du système et sa gourmandise en ressources matérielles, ainsi que la dépendance de ces derniers en fonction des différentes implémentations.

RÉSULTATS:

L'algorithme proposé a été implémenté en MATLAB et validé pour la distribution exponentielle et la gaussienne. Les résultats obtenus sur le test du Chi2 donne une *p-value* très élevée (≈ 0.4), gage de la qualité du bruit généré. Nous avons également mesuré la corrélation entre les échantillons successifs et avons montré que cette dernière était heureusement absente. Nous avons également poussé l'analyse mathématique de l'algorithme pour expliquer la variabilité de son comportement suivant les distributions visées. Nous sommes donc en mesure de proposer une architecture générique et des architectures dédiées et de mesurer leurs performances respectives sur FPGA. Ce travail est planifié pour les derniers mois de 2007.

PONTIKAKIS, Bill **DIPLÔME: Ph.D.**

TITRE:

La conception d'architectures et de circuits de faible puissance à délai variable.

RÉSUMÉ:

Le but du projet est d'utiliser une technique à période d'horloge fractionnaire pour augmenter la vitesse et pour réduire la consommation de puissance pour certains microprocesseurs. Nous appliquons aussi une technique qui utilise une source d'alimentation variable, ce qui permet de réduire la consommation de puissance dans certains cas. La combinaison de ces deux techniques permet la conception de microprocesseurs à faible puissance qui fonctionnent à bonne vitesse.

PROBLÉMATIQUE:

La consommation de puissance est un facteur très important dans les produits électroniques portatifs. Pour des applications tels que les dispositifs portables («wearable devices») et les réseaux de sondes distribués sans-fil («wireless sensor networks»), une longue durée de vie de la batterie, un poids léger et la capacité d'effectuer des calculs relativement complexes sont nécessaires. Puisque la consommation de puissance dynamique est directement proportionnelle à la fréquence, il est possible de réduire celui-ci en ajustant la fréquence de façon dynamique. Grâce à cette technique, il est possible de prolonger la durée de vie d'une batterie. De plus, puisque la composante dynamique de la consommation de puissance a une dépendance quadratique sur la tension d'alimentation, il est possible de réduire la consommation de puissance en ajustant cette tension. En utilisant certains circuits à une tension en-deçà du seuil du transistor, une réduction plus importante en puissance peut être obtenue.

MÉTHODOLOGIE:

Pour atteindre nos objectifs, nous suivrons les étapes suivantes:

- Analyse théorique de l'accélération maximale possible en utilisant des périodes d'horloge fractionnaire;
- Modélisation au niveau circuit en utilisant les outils de Cadence;
- Développement de nouvelles techniques de conception à faible puissance;
- Fabrication de puces.

RÉSULTATS:

- Les résultats d'une analyse théorique de l'accélération ont été présentés à la conférence IWSOC 2005;
- Un algorithme pour la conception d'un oscillateur en boucle à faible énergie a été présenté à la conférence ISCAS2006;
- Un système de génération d'horloge à fréquence variable a été conçu et un article a été soumis à la conférence ISCAS 2007;
- Un synthétiseur d'horloge périodique «Free-Running» de précision (FRPS) avec la compensation de processus et de température a été présenté à la conférence MWSCAS/NEWCAS 2007;
- Deux puces ont été fabriquées en technologie TSMC CMOS 0.18µm et des résultats de test préliminaires ont été obtenus.

RHOU, Bassam **DIPLÔME: M.Sc.A.**

TITRE:

Microsystème de filtrage en temps réel des signaux respiratoires.

RÉSUMÉ:

L'objectif du projet de cette maîtrise est de concevoir un microsystème implémentant un algorithme de filtrage des signaux respiratoires qui sera intégré à un prototype d'un système d'acquisition des signaux respiratoires déjà réalisé au sein du laboratoire PolyStim. Ce microsystème sera réalisé en technologie CMOS et devra opérer en temps réel et consommer le minimum d'énergie possible.

PROBLÉMATIQUE:

Les signaux respiratoires EMGdi (= électromyogrammes diaphragmatiques) sont des signaux électriques provenant du diaphragme (principal muscle respiratoire) et qui permettent le diagnostic de plusieurs anomalies respiratoires. Ces signaux sont souvent contaminés par les signaux cardiaques ECG (= électrocardiogrammes) lors de leur acquisition par des instruments biomédicaux. Cette contamination empêche un bon diagnostic et doit être éliminée. Dans la plupart des cas, le filtrage des signaux respiratoires se fait au niveau de l'interface d'affichage logicielle et non au niveau matériel. Intégrer un système de filtrage matériel au système d'acquisition donnera des résultats de filtrages meilleurs.

MÉTHODOLOGIE:

Le projet implique les étapes suivantes :

- Étude comparative des différents algorithmes de filtrage des signaux respiratoires EMGdi et choix d'un algorithme à implémenter;
- Intégration de l'algorithme sous forme de programme en assembleur aux microcontrôleurs de la carte du prototype du système d'acquisition des signaux respiratoires déjà réalisés à PolyStim;
- Implémentation matérielle de l'algorithme en technologie CMOS pour être intégré au système déjà réalisé;
- Tests in vivo pour validation.

RÉSULTATS:

Une étude comparative des différents algorithmes de filtrage des signaux EMGdi a été faite et des algorithmes ont été testés en simulation sous NI LabView. Un choix final de l'algorithme a été fait.

ROBERT, Pierre-Yves **DIPLÔME: M.Sc.A.**

TITRE:
Analyse et classification de signaux neuronaux modélisés.

RÉSUMÉ:
Ce projet porte sur une architecture d'analyse et de classification statistique de signaux neuronaux. Cette architecture est destinée à être utilisée en conjonction avec le système développé pour le projet Cortisens. Son objectif est d'être en mesure d'associer aux signaux multicanaux captés une estimation des stimulations les ayant causés. Ces stimulations peuvent être par la suite associées à des sensations du sujet de l'enregistrement ou encore certaines de ses intentions. Ultimement, ces intentions pourraient être utilisées pour commander une prothèse contrôlée par la pensée. Dans un tout autre ordre d'idées, un tel traitement est en mesure de faire une compression efficace des données captées, en plus de rendre plus informative chaque parcelle d'information envoyée en sortie.

L'architecture proposée utilise les corrélations spatiale et temporelle entre les échantillons pour extraire des patrons associés aux stimulations externes. L'analyse temporelle inclut une détection d'événements basée sur l'énergie du signal, suivie d'une classification des impulsions neuronales basée sur l'énergie du signal, suivie d'une classification des impulsions neuronales basée sur un algorithme de *k*-moyennes. L'activité neuronale est approchée par une estimation de l'intervalle interimpulsionnel local moyen. Le traitement spatial est basé sur une analyse en composantes indépendantes (ACI) de l'activité neuronale observée.

PROBLÉMATIQUE:
L'évolution de l'efficacité de la technologie des interfaces cerveau-puces amène de nouvelles opportunités dans le domaine du traitement des signaux neuronaux. L'électroneurogramme (ENG) multi canal acquis à partir d'une matrice de microélectrodes rend possible l'enregistement d'informatoins à partir d'une aire précise du cortex, et ce avec une résolution très fine. Une analyse efficace de ces informations mènera à une meilleure compréhension de l'architecture fonctionnelle sous-jacente de cette aire. Une application intéressante de cette analyse pourrait mener des patients atteints de troubles neuronaux à être en mesure de contrôler diverses prothèses fonctionnelles directement par la pensée ou encore de recouvrir certaines sensations. Parallèlement, un système implantable d'enregistrement de l'ENG requiert un lieu pourvu d'une large bande passante entre l'implant et le monde extérieur. Comme les contraintes d'implantation requièrent que ce lien se fasse sans fil transcutané, un algorithme performant de compression de ces données doit être appliqué pour diminuer la bande passante nécessaire.

MÉTHODOLOGIE:
Les étapes suivantes sont suivies dans le but de développer les traitements appropriés dans le cas étudié et pour valider leur efficacité. Premièrement, une modélisation d'un réseau de neurones artificiels à l'aide du logiciel NEURON a été nécessaire dans le but de créer un ensemble de données réalistes pour un système d'acquisition cortical multi canal. Ensuite une implémentation logicielle d'algorithmes de séparation aveugles de sources a été réalisée en se basant sur les données de simulation. Une comparaison des différentes architectures d'algorithmes disponibles été faite selon leur précision et leur complexité, et une architecture a été retenue. Finalement, des enregistrements *in vivo* ont été faits dans l'optique de valider l'algorithme avec des données réelles.

RÉSULTATS:
Les traitements présentés sont en mesure de pratiquer une compression des données efficaces, atteignant un ratio de 240 au terme de l'analyse temporelle. Aussi, ils sont en mesure de séparer les signaux en composantes, certaines pouvant être associées à des stimulations externes. Une estimation de la complexité calculatoire amène à un total de $7{,}91 \times 10^7$ opérations par secondes pour les traitements temporels et spatiaux sur 16 canaux, demandant une consommation énergétique estimée de 79,1µW, dont 1,03µW par canal est destiné à la détection et à la classification d'événements neuronaux. L'algorithme proposé a fonctionné de manière satisfaisante en simulation et sa validation à partir des données acquises *in vivo* est planifiée.

ROBILLARD, Charles **DIPLÔME: M.Sc.A.**

TITRE:

La stimulation des tissus nerveux, étude et analyse des caractéristiques de la forme d'onde d'excitation.

RÉSUMÉ:

Les objectifs de ce projet sont d'analyser les phénomènes mis en cause lors de la stimulation des tissus nerveux afin de réduire la consommation de puissance des stimulateurs et de maximiser la sécurité de la stimulation. Pour atteindre ces objectifs, une modélisation biomorphique de la 4e couche du cortex visuel a due être faite.

PROBLÉMATIQUE:

Plusieurs défis se présentent pour contribuer dans le cadre de ce projet de recherche. Ainsi, nous retrouvons

- Modélisation des tissus nerveux et de la membrane cellulaire;
- Modélisation de l'interface électrode-tissus (IÉT) et détermination des paramètres s'appliquant à une matrice d'électrodes;
- Identifier les paramètres de stimulations optimaux;
- Réduction de la consommation d'énergie des stimulateurs;

MÉTHODOLOGIE :

Nous avons entrepris la mise en œuvre de travaux suivants:

- Analyser les différents modèles et choix d'un modèle approprié au cortex visuel;
- Déterminer les paramètres de l'IÉT s'appliquant à une matrice d'électrode par le biais de test en bain salin;
- Choix d'une forme d'onde de stimulation réduisant l'énergie requise à la stimulation et augmentant la sécurité de la stimulation;
- Choix d'architecture de génération des formes d'ondes retenues;
- Implémentation des procédures de tests et tests.

RÉSULTATS :

Nous avons complété les travaux suivants:

- Modélisation de l'IÉT et des tissus et de la 4e couche du cortex visuel afin de déterminer la forme d'onde optimale à la stimulation de tissus nerveux;
- Identification de la forme d'onde optimale à la stimulation des tissus nerveux;
- Identification d'architecture permettant de générer de façon analogique l'onde identifiée;
- Identification de méthode alternative afin de réduire l'énergie totale consommée.

SALEH, Abbas **DIPLÔME: Ph.D.**

TITRE:

Conception, réalisation d'un circuit intégré pour estimer le volume de la vessie par le biais des voies neuronales.

RÉSUMÉ:

Ce travail consiste en la conception et la réalisation d'un implant permettant d'estimer le volume urinaire contenu dans la vessie. Cet implant devra se servir des électroneurogrammes qui véhiculent dans le nerf sacré pour estimer le volume de la vessie en temps réel. Pour enregistrer les signaux nerveux, une électrode à gaine (cuff) est placée autour de l'un des nerfs sacrés. Cet implant devra être réalisable avec des composants électroniques qui seront intégrés sur une seule puce avec le stimulateur.

PROBLÉMATIQUE:

Des millions d'individus souffrent de dysfonctions urinaires. Plusieurs types de stimulateurs neuromusculaires miniaturisés implantables permettant de corriger les fonctions vésicales font l'objet de travaux de recherche et de tests en phase clinique. Cependant, la mesure du volume de la vessie demeure inaccessible mais elle est nécessaire pour informer le patient de l'état de son volume vésical et joue le rôle d'une boucle de rétroaction pour un meilleur contrôle de la stimulation.

MÉTHODOLOGIE:

La méthodologie de conception adaptée pour notre travail est la suivante:

- Utilisation du système nerveux comme source d'information pour estimer le volume de la vessie;
- Utilisation d'une électrode tripolaire à gaine entre le nerf et le système d'acquisition pour nous permettre d'éliminer l'interférence (EMG électromyogramme);
- Concevoir et réaliser un système d'acquisition à faible bruit pour amplifier les signaux de faible amplitude et déterminer le comportement du signal nerveux en fonction du volume de la vessie;
- Utilisation d'un filtre coupe bande pour débarrasser de la fréquence du secteur (60Hz);
- Analyse de l'information obtenue pour calculer en temps réel le volume de la vessie;
- Implémentation et validation de l'ensemble du système sur une puce.

RÉSULTATS:

La conception du circuit discret a été complétée et celui-ci a été testé au laboratoire et *in vivo* avec de bons résultats. Nous avons entrepris l'intégration d'un canal d'amplification à faible bruit sur puce pour enregistrer les signaux neuronaux.

SALOMON, Max-Élie **DIPLÔME: M.Sc.A.**

TITRE:

Proposition, modélisation et validation expérimentale d'un synthétiseur de fréquence à très faible gigue.

RÉSUMÉ:

Le développement que connaissent les domaines des télécommunications et de la vidéo numérique entraîne une forte demande pour des circuits de synthèse d'horloge de haute performance, entièrement intégrés sur une puce et de faible coût. Un excellent candidat est le circuit de synthèse numérique directe de phase «DDPS». Cependant, le spectre du signal généré par ce circuit n'est pas pur et il génère une certaine quantité de gigue. Le but de ce travail est de proposer un circuit de synthèse de fréquence à très faible gigue et dont l'étalement spectral est minime.

PROBLÉMATIQUE:

Nous souhaitons produire une horloge à haute fréquence qui soit une fraction exacte de l'horloge de référence. La solution est basée sur le circuit de synthèse numérique directe de phase, «DDPS», dont le spectre fréquentiel n'est pas pur et dont les performances concernant la gigue temporelle restent à améliorer. Les travaux en cours ont permis de mettre au point un modèle permettant d'étudier l'effet du choix des paramètres du DDPS sur le spectre du signal produit. Une solution prometteuse consiste à synchroniser la sortie du DDPS avec une boucle à verrouillage de phase «PLL» à bande passante étroite, de façon à rejeter le contenu fréquentiel indésirable. Des simulations, à partir d'un modèle conceptuel à l'aide de Simulink, laissent envisager des résultats intéressants.

MÉTHODOLOGIE:

Voici en quoi consiste la méthodologie de ce projet:

- Par simulation dans Matlab, comparer diverses modifications du circuit DDPS visant à minimiser la gigue et l'étalement spectral;
- Ajuster les paramètres et choisir la solution offrant le meilleur compromis complexité/performance;
- À l'aide de Cadence, concevoir le circuit retenu;
- Simuler et optimiser le design pour obtenir une gigue et un étalement spectral faible;
- Fabriquer le circuit intégré via notre partenariat avec la CMC, un organisme voué au développement de la microélectronique au Canada;
- Mesurer les performances du circuit à l'aide d'un spectromètre.

RÉSULTATS:

- Architecture de circuit de synthèse de fréquence améliorée (appuyé par des résultats de simulation);
- Proposition d'une méthode de conception;

SINGH, Rahul **DIPLÔME: M.Sc.A.**

TITRE:

Conception de circuits analogiques de précision utilisant des résistances diffusées par laser.

RÉSUMÉ:

L'objectif du projet est d'étudier et de concevoir des circuits analogiques de précision. Ces circuits emploieront une structure de résistance diffusée par laser pour réaliser l'exactitude désirée. De telles résistances seront insérées dans une architecture d'amplificateur opérationnel à plusieurs étages qui peut être réalisée en technologie CMOS.

PROBLÉMATIQUE:

Les variations de caractéristiques physiques et les variations de tension de seuil lors de la fabrication d'un circuit et les efforts mécaniques subits lors de l'empaquetage contribuent au mésappariement. Ceci limite la performance d'un circuit analogique qui exige une précision élevée. Pour le cas proposé de l'amplificateur opérationnel en technologie CMOS, le paramètre affecté par ces variations est la tension de décalage d'entrée. La conception vise également à identifier une solution pour réduire la dérive de la tension de décalage d'entrée avec la température.

MÉTHODOLOGIE:

- Identification et choix des étages de l'amplificateur opérationnel permettant de respecter les spécifications;
- Définition d'une architecture d'amplificateur opérationnel faisant appel à des résistances diffusées par laser pour compenser les variations de mésappariement;
- Définition d'une architecture d'amplificateur ayant une faible sensibilité au vieillissement dû au temps et à la température.

RÉSULTATS:

Un amplificateur opérationnel Railt-to-Rail I/O comprenant des résistances diffusées par laser a été conçu avec un circuit polarisant intégré dans la puce afin de réduire au maximum les variations provoquées par la température et les variations de procédés lors de fabrication. La puce a été récemment soumise pour fabrication à TSMC.

La puce fabriquée de l'amplificateur opérationnel a été testée avec succès. La découpe au laser de résistances diffusées a permis le contrôle de la tension de décalage avec une précision de 50 µV.

TABARI, Karima **DIPLÔME: Ph.D.**

TITRE:

Développement d'un glucomètre implantable pour mesurer la concentration du glucose dans le sang.

RÉSUMÉ:

Ce projet de recherche vise la conception et le développement d'un glucomètre implantable qui utilise une technique de fluorescence pour mesurer la concentration de glucose dans le sang et qui soit à faible coût. Le glucomètre proposé est composé d'un capteur implantable et d'un système de traitement externe basé sur un DSP. Le capteur servira à mesurer la concentration de glucose dans le sang en utilisant des technologies avancées de VLSI, de matériaux optoélectroniques de type III-V nitrite, et de la technologie RF pour la communication avec le monde externe.

PROBLÉMATIQUE:

Le diabète est la sixième cause de mortalité dans le monde chez les adultes de 60 ans et plus, il constitue jusqu'à ce jour un problème majeur au Canada ou plus d'un million de personnes âgées de 20 ans ou plus sont atteintes d'un diabète diagnostiqué par un professionnel de la santé, le nombre réel étant probablement plus élevé. Selon les études effectuées, il est évident d'affirmer que des complications chroniques sont reliées à la durée et la sévérité de l'hypo ou l'hyperglycémie. Par conséquent, un bon contrôle de glucose est indispensable mais il est très difficile à mettre en pratique car des prélèvements sanguins fréquents doivent être effectués par le patient afin d'injecter la quantité d'insuline nécessaire pour atteindre un taux de glucose normal.

Les glucomètres non invasifs (ou semi invasifs) existants à ce jour souffrent de plusieurs problèmes tels que la nécessité de calibrations fréquentes, la faible sensibilité, l'inexactitude des mesures, l'irritation de la peau et le coût très élevé du glucomètre. Ainsi, de nouvelles approches sont activement explorées pour remédier aux problèmes existants.

MÉTHODOLOGIE:

La première phase du projet consiste en la conception d'un capteur permettant le contrôle in vivo du glucose dans le sang. Nous procédons tout d'abord à la caractérisation du processus de fluorescence, puis la conception de la source d'énergie du capteur et le sous-système de communication. Dans la deuxième phase, nous procédons à la réalisation d'un module intelligent externe dont le rôle principal est le traitement des signaux biomédicaux. Notons que ce module comprend un DSP à faible consommation, un émetteur/récepteur RF et un affichage à LCD. Enfin, la phase finale de notre projet sera consacrée aux tests expérimentaux.

RÉSULTATS:

Une étude et une analyse ont été réalisées sur les glucomètres commerciaux, les brevets ainsi que plusieurs recherches récentes qui ont été publiées dans ce domaine.

Notons qu'aucun résultat lié à notre projet n'est disponible pour le moment.

TANGUAY, Louis-François **DIPLÔME: Ph.D.**

TITRE:

Synthétiseur de fréquences RF à ultra-faible consommation dédié aux microsystèmes implantables.

RÉSUMÉ:

Nous proposons de concevoir un synthétiseur de fréquences RF à ultra-faible consommation destiné aux microsystèmes implantables de biotélémétrie à l'aide d'un procédé CMOS nanométrique. Le synthétiseur opérera dans la bande de fréquence ISM 902-928 MHz, il devra permettre la syntonisation de 12 canaux et un temps de démarrage très court. Sa consommation de puissance devra être inférieure à 1 mW.

PROBLÉMATIQUE:

Les microsystèmes biomédicaux implantables présentent un énorme potentiel pour la recherche en médecine. Les dispositifs médicaux intelligents implantables, qui combinent des capteurs et/ou des actuateurs avec des circuits intégrés, ouvrent la voie à des applications fascinantes. Aujourd'hui, la possibilité d'utiliser la technologie CMOS pour intégrer des circuits RF, numériques et même certains types de capteurs sur une même puce, suscite un vif intérêt dans un domaine nouveau : celui des réseaux de capteurs implantables, ou BSN (Body-Sensor Networks) et leurs applications en recherche biomédicale. Typiquement, les nœuds d'un tel réseau de capteurs implantables accumulent des mesures de façon continue sur une certaine période de temps puis transmettent l'information par paquets vers une station de traitement distante à l'aide d'un lien RF. L'implantation dans le corps de tels réseaux de capteurs sans fils permettraient de surveiller, détecter ou même combattre différentes maladies, et ce de manière *in situ*.

MÉTHODOLOGIE:

Dans cette optique, nous proposons de concevoir un module de communications RF destiné aux microsystèmes implantables de biotélémétrie à l'aide d'un procédé CMOS nanométrique opérant avec une alimentation inférieure à 1-V. Bien que les performances RF des transistors nanométriques soient très attrayantes, la tension d'alimentation très basse ainsi que l'impédance de sortie limitée de ces transistors compliquent la conception de circuits analogiques tels les miroirs de courant, les pompes à charge etc. Des méthodes de conception électronique innovatrices devront être utilisées et des compromis judicieux devront être faits afin d'obtenir les performances requises au niveau du bruit de phase, du temps de démarrage, de la consommation de puissance, etc. L'utilisation d'un procédé nanométrique CMOS, conjointement avec des techniques de conception de circuits analogiques à faible puissance telle la méthodologie gm/ID, permettront d'implémenter ce synthétiseur à consommation de puissance ultra faible.

RÉSULTATS:

Une première version d'un synthétiseur intégré-N entièrement intégré opérant dans la bande Industrielle, Scientifique et Médicale (ISM) de 920-928 MHz a été conçue. Ce synthétiseur, basé sur un PLL, permet la sélection de 12 canaux dans la bande ISM et fournit les versions différentielles, I/Q des porteuses RF. La consommation de puissance de ce synthétiseur est d'environ 580 uW; soit un ordre de grandeur inférieure comparativement à celle de synthétiseur d'architecture similaire récemment publié dans la littérature.

TAPP, Martin **DIPLÔME: Ph.D.**

TITRE:

Approche générique à l'interopérabilité des environnements de simulation distribués par génération de code dynamique.

RÉSUMÉ:

L'interopérabilité entre des environnements de simulation où les modèles objets utilisés et les technologies de communication diffèrent largement est un problème de grande envergure et c'est pourquoi une approche générique est proposée.

L'approche consiste à concentrer le développement logiciel sur la résolution des problèmes d'interopérabilité et non sur l'ensemble du logiciel nécessaire à l'interopérabilité (couches réseaux, protocoles, encodage et décodage des données réseaux, particularités des plates-formes,). Par l'entremise de fichiers décrivant les modèles objets et l'interopérabilité, il devient possible de lire ces descriptions pour ensuite générer le code réalisant l'interopérabilité. De plus, à l'aide des services de compilation dynamique de la technologie .NET, il devient possible de générer l'interopérabilité au moment même de l'exécution de l'application requérant l'interopérabilité i.e. génération de code dynamique. L'approche proposée permet donc de générer l'interopérabilité seulement à partir de définitions de modèles objets et d'interopérabilité.

PROBLÉMATIQUE:

Depuis les événements du 11 septembre 2001, le besoin d'interconnecter rapidement différents environnements de simulation distribués (ESD) n'a cessé d'augmenter, notamment ceux basés sur les standards *IEEE 516 High Level Architecture* (HLA) et *IEEE 1278 Distrbuted Interactive Simulation* (DIS). Que ce soit pour des fins d'entraînement ou pour l'évaluation de scénarios d'hostilités potentielles, l'interopérabilité entre ces environnements sans modifier les applications existantes est un défi majeur étant donné leurs différences au niveau des technologies de communication utilisées et au niveau de la complexité associée à la conversion des données réseaux à échanger. Peu importe l'approche utilisée, les solutions actuelles requièrent du développement logiciel cas par cas ce qui s'avère couteux, consomme du temps et nécessite des connaissances techniques spécialisées (programmation réseau, particularités des protocoles, etc).

MÉTHODOLOGIE:

La méthodologie utilisée pour ce projet est d'élaborer un prototype évolutif et de valider les hypothèses émises au travers de différentes phases, où les hypothèses d'évaluation de performance et de validation seront validées en continue au cours de l'évolution du prototype.

RÉSULTATS:

Les résultats suivants ont été obtenus:

- Génération dynamique d'une composante logicielle représentant un modèle objet à partir de sa définition;
- Transformation de données réseaux dans le modèle objets générer dynamiquement pour les environnements de simulation basés sur HLA et DIS;
- Génération dynamique partielle d'une composante logicielle représentant l'interopérabilité entre des modèles objets dans un format prototype défini en C#;
- Interface utilisateur partielle permettant de définir l'interopérabilité dans le format prototype défini en C#.

Les résultats de recherche ont été établis dans le contexte des environnements de simulation distribuée STRIVE^{TM} (HLA) ET ITEMS^{TM} (HLA et DIS) de CAE, ainsi que de OneSAF (HLA et DIS) de l'armée américaine.

THIBEAULT, Jean-François **DIPLÔME: M.Sc.A.**

TITRE:

Exploration de techniques de modélisation logicielle en avionique.

RÉSUMÉ:

Le projet consiste, dans un premier temps, à faire une démonstration du bien-fondé de la conception de l'outil «SCADE Suite» de la firme Esterel Technologies. Cet outil est utilisé dans le développement d'applications avioniques embarquées respectant les objectifs DO 178B au niveau A et B. Ces applications requièrent traditionnellement un très grand et difficile effort de développement et de vérification. En particulier, une étude comparative entre l'outil SCADE et la méthodologie utilisant Matlab/Simulink sera effectuée en utilisant une fonction avionique utilisée par des systèmes de gestion de vols, où les modèles systèmes exprimés en notation Matlab-Simulink seront transformés en SCADE. Par la suite, une exploration de stratégies alternatives non basées sur SCADE pour modéliser des systèmes et produire des spécifications sera effectuée.

PROBLÉMATIQUE:

Les systèmes avioniques étant des systèmes critiques devant respecter les objectifs de la norme DO-178B, il devient très fastidieux et difficile de les développer. En effet, pour obtenir la certification du logiciel, nous devons absolument suivre cette norme. L'utilisation d'outils, facilitant la certification peut s'avérer très payant. L'outil SCADE permet, à partir d'un modèle graphique d'exécution développé directement à partir d'une spécification, de générer du code certifié. De plus, SCADE nous permet de simuler directement la spécification, tout en évitant les erreurs de transcription de celle-ci en code exécutable (à l'aide du générateur de code).

MÉTHODOLOGIE:

La méthodologie suivante a été suivie pour l'évaluation de l'outil SCADE d'Esterel Technologies. Premièrement, une modélisation logicielle ainsi qu'une revue de spécification de la fonctionnalité avionique ont été effectuées. Par la suite, nous avons procédé à une simulation de la modélisation logicielle et à une vérification du design. Ensuite, nous avons utilisé l'outil de génération de code de SCADE pour générer la fonctionnalité et ainsi pouvoir la simuler. Une intégration et des tests fonctionnels ont aussi été réalisés.

Une méthodologie de vérification respectant DO-178B et qui utilise les fonctionnalités avancées de SCADE, soit le vérificateur de design et l'outil de mesure de la couverture du modèle a été suggérée. Ces outils étant nouveaux dans l'industrie, aucune méthodologie n'a été proposée dans la littérature.

Une expérience d'utilisation de l'outil a aussi été menée avec des étudiants pour comparer le degré de productivité du projet SCADE et d'un projet plus classique en C.

RÉSULTATS:

Une partie de la fonctionnalité avionique a été implantée avec SCADE. La fonctionnalité a été intégrée et testée dans un module graphique. La méthodologie de vérification a été appliquée à un module de gestion des messages de la fonctionnalité. L'expérience d'utilisation a été menée et certains résultats qualitatifs suggérant une augmentation de la productivité avec l'outil SCADE ont pu être obtenus.

TRABELSI, Abdelaziz **DIPLÔME: Ph.D.**

TITRE:

Amélioration de l'audition dans des conditions bruyantes par traitement de signal dans des prothèses auditives numériques.

RÉSUMÉ:

Le processus d'amélioration de l'audition dans des conditions bruyantes est généralement associé à un véritable traitement du signal en vue d'égaliser la bande passante de l'ensemble prothèse-oreille et/ou de compresser la dynamique du signal. Depuis plusieurs années, ces fonctions sont accomplies de manière analogique, avec les limitations connues. Le développement des techniques de fabrication CMOS permet présentement d'intégrer sur une seule puce dédiée toutes les fonctions nécessaires au traitement numérique d'un signal, depuis son acquisition jusqu'à sa restitution. Cependant, les audioprothésistes ne sont pas actuellement convaincus de la supériorité des prothèses numériques par rapport à celles analogiques. Bien que le son d'une prothèse numérique soit meilleur que celui d'une prothèse analogique, il n'est pas toujours clair que ceci a un impact direct sur l'intelligibilité de la parole dans la zone de perception du malentendant. L'objectif principal de ce projet de recherche consistera à augmenter à la fois la qualité de perception et l'intelligibilité de la parole dans des prothèses auditives numériques opérant dans des conditions bruyantes, en traitant le signal dans le but de réduire les bruits et isoler la voix.

PROBLÉMATIQUE:

Les difficultés traditionnelles associées à l'utilisation de l'aide auditive conventionnelle dite «analogique» touchent principalement la compréhension de la parole dans le bruit, la nécessité de changer la position du volume selon l'environnement et de manière générale le confort et la qualité du son. Est-ce que la montée de la technologie numérique signifie pour autant que les aides conventionnelles soient reléguées dans la catégorie «bas de gamme» comme certains n'hésitent plus à prétendre? Pas si sûr…

À notre connaissance et à ce stade-ci, aucune étude n'a pu démontrer que l'aide numérique offre une meilleure compréhension de la parole dans le bruit. Nous parlons tout au plus d'une satisfaction dans certains cas chez l'utilisateur de l'aide numérique dans les situations bruyantes.

MÉTHODOLOGIE:

La réalisation du présent projet de recherche s'appuiera sur une démarche en trois étapes :

- Dans une première étape, il est proposé de déterminer l'ensemble des paramètres qui influencent l'intelligibilité et la qualité de perception d'un signal audionumérique en se basant sur les propriétés psycho acoustiques et les caractéristiques des signaux audio visés par cette étude (i.e. parole, musique). Cette étape aura recours à une approche modélisation/simulation et aboutira au développement d'une technique algorithmique qui permettra l'analyse et la reconstruction d'un signal audionumérique de meilleure qualité même dans les situations sévèrement bruyantes.
- L'objectif de la seconde étape est d'élaborer un circuit numérique synchrone permettant de satisfaire les spécifications décrites sous forme algorithmique (i.e. traitement temps réel, couverture de la bande 20Hz-20kHz, etc)
- Cette troisième et dernière étape permettra l'intégration des différentes modules analogiques-numériques sur un SoC en vue d'une validation du circuit global d'abord par simulation, et ensuivre de façon expérimentale.

RÉSULTATS:

Deux techniques algorithmiques qui offrent une meilleure compréhension des signaux audionumériques dans le bruit à travers des traitements numériques adéquats ont été développées et proposées. Une architecture à deux microphones a été utilisée dans la validation quantitative et qualitative de la performance des deux techniques proposées.

WEHBE, Mohamad **DIPLÔME: M.Sc.A.**

TITRE:

Œil prosthétique à pupille dynamique réagissant à la lumière incidente.

RÉSUMÉ:

Ce projet porte sur la conception d'un dispositif qui permet à la pupille de l'œil prosthétique de se contracter et se dilater par rapport à la quantité de lumière exposée à l'œil. Ce projet se divise en trois parties, soit un afficheur qui montre une image d'une pupille, un capteur de lumière, ainsi qu'un contrôleur pour ajuster la taille de la pupille à afficher.

PROBLÉMATIQUE:

La perte d'un œil n'est pas rare. Environ 100,000 – 200,000 personnes/année perdent un œil (Society for prévention of blindness). Ce phénomène a un grand impact sur l'image de soi, sur la confiance en soi et sur l'estime de soi. Bien que le remplacement de ce dernier par un œil prosthétique ne restaure pas la vision, celui-ci sert comme une amélioration esthétique avec un grand effet psychologique sur le patient. Cependant, avec l'œil prosthétique classique, la taille de la pupille est fixe en tout temps, ce qui a un effet inesthétique sur l'apparence. On appelle ce défaut anisocorie post-prothèse. Pour résoudre ce problème, nous avons l'intention de développer un œil prosthétique à pupille dynamique.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes:

- Développement d'un afficheur LCD à faible consommation ayant une surface active de taille de 8 mm x 8 mm;
- Emploi d'un capteur de lumière possédant une taille qui ne dépasse pas 2 mm x 2 mm, que l'on peut trouver sur le marché;
- Implémentation d'un système de contrôle qui relie le capteur de lumière à l'afficheur pour ajuster la taille de la pupille.

La pupille que nous prévoyons fabriquer aura une taille identique à la pupille naturelle, soit 42,4 mm^2. Il y aura une surface fixe de 4 mm^2 qui n'est pas affectée par la quantité de lumière, le capteur de lumière sera installé dans cette surface. La surface qui varie selon la quantité de lumière est un anneau ayant un diamètre intérieur de 2 mm et un diamètre total de 8 mm. Ainsi, selon la quantité de lumière, la taille de la pupille varie entre un cercle ayant un diamètre de 2 mm, et un cercle ayant un diamètre de 8 mm.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés dans ce rapport sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels.)

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Audet, Y.	CRSNG	23,000.00 $	2002 – 2007	«Interconnexions photoniques pour systèmes intégrés VLSI»
Audet, Y.,	Polyvalor Sanyo	50,000.00 $	2007 – 2009	«Caractérisation et modélisation du pixel d'un capteur d'images couleurs»
Audet, Y.,	MDEIE Polyvalor Sanyo	169,016.00 $	2007 – 2009	«Développement d'un capteur d'images couleurs»
Audet, Y.,	CRSNG	15,300.00 $	2007 – 2011	«Integration of Surface Plasmon Polaritons into CMOS Circuits»
Bois, G.,	CRSNG	19,000.00 $	2004 – 2008	«A Platform for the Architectural Exploration of System-On-A-Chip»
Bois, G.,	CRSNG	125,000.00 $	2005 – 2006	«A Refinement Methodology based on a SystemC Platform for the Hardware/Software Codesign of »
Bois, G.,	CRSNG	62,500.00 $	2006 – 2007	«The SPACE technology: for the codesign of SoC/FPGA at high level»
Bois, G.,	MDEIE Gouvernement du Québec	388,813.00 $	2007 – 2009	«Maturation de la technologie Space Codesign»
Bois, G.,	MSBi Valorisation Soutien à la valorisation et au transfert	108,004.00 $	2007 – 2008	«Maturation de la technologie Space Codesign»
Bois, G.,	Univalor	142,000.00 $	2006 - 2007	«The SPACE technology: for the codesign of SoC/FPGA at high level»
Boyer, F.R.,	FQRNT	15,000.00 $	2006 – 2010	«Variable clock period for low power and high performance»
Brault, J.J.,	École Polytechnique	6,740.00 $	2005 – 2006	«Conception de matériels pédagogiques adaptés à l'enseignement avec simulateur logique en classe»
David, J.P.,	CRSNG	15,000.00 $	2007 – 2011	«Description et synthèse automatique de réseaux de machines algorithmiques évoluées»
David, J.P.,	École Polytechnique	20,000.00 $	2007	«PIED»
Kashyap, R.,	CRSNG	35,500.00 $	2003 – 2007	«Self-organised, ultra-stable, beat frequency laser»

Kashyap, R.,	Chaire de recherche du Canada	200,000.00 $	2003 – 2007	«Future Photonic Systems Federal»
Kashyap, R.,	CRSNG	187,500.00 $	2005 – 2006	«Dual wavelength fabrication of optical waveguides»
Kashyap, R.,	CRSNG	116,866.00 $	2006 – 2007	«Ultra long Optical fibre Bragg gratings» 333
Kashyap, R.,	NCE (CIPI)	2,500.00 $	2006 – 2007	«Student Travel Grant»
Kashyap, R.,	Université de Montréal VINCI	10,000.00 $	2006 – 2007	«A Prototype Light Lyre made with Optical Fibres»
Kashyap, R.	NCE (CIPI)	7,000.00 $	2006 – 2007	«Microstructure fibres»
Khouas, A.,	CRSNG	18,350.00 $	2003 – 2006	«Méthodes de conception en vue du test des systèmes intégrés sur puce»
Langlois, P.,	Ministère de la Défense	5,900.00 $	2005 – 2007	«Approximate function evaluation for hardware implementation of wireless transceivers»
Langlois, P.,	CRSNG	15,000.00 $	2005 – 2007	«Quadrature digital synthesizer/mixer architectures»
Langlois, P.,	PIED : École Polytechnique de Montréal	10,000.00 $	2006 – 2007	«Lancement de programme de recherche»
Langlois, P.,	CMC	7,500.00 $	2006 – 2007	«Implementation of bioinformatics algorithms»
Langlois, P.,	FQRNT	45,223.00 $	2006 – 2007	«Oscillateurs numériques à haute performance et faible consommation de puissance»
Langlois, P.,	CRSNG	16,200.00 $	2007 – 2011	«Méthodologies de conception pour processeurs spécialisés»
Martel, S.,	Chaire de Recherche du Canada	100,000.00 $	2006 – 2010	«Conception de micro/nano systèmes»
Martel, S.,	CRSNG	32,000.00 $	2002 – 2006	«Miniature Instrumented Robots for Applications at the Molecular and/or Atomic Scale»
Martel, S.,	CFI Operation Support	600,000.00 $	2006	«Advanced Nanorobotics Research Infrastructure»
Martel, S.,	CRSNG	40,000.00 $	2007 – 2009	«Magnetotactic Bacteria-based Microrobots»
Martel, S.,	CRSNG	44,000.00 $	2007 – 2011	«Magnetotactic Bacteria-based Microrobots»
Nicolescu, G.,	FQRNT	19,500.00 $	2004 – 2007	«Design space exploration for system on chip design»
Nicolescu, G.,	CRSNG	17,500.00 $	2004 – 2009	«Specification and validation in automatic design flow of heterogeneous system on chip»
Savaria, Y.,	Chaire de Recherche du Canada	200,000.00 $	2001 – 2008	«Conception de systèmes microélectroniques intégrés»
Savaria, Y.,	CRSNG	53,000.00 $	2004 – 2009	«Méthodes de conception de circuits intégrés analogiques précis et d'horloges rapides et précises»

Sawan, M.,	CRSNG	56,800.00 $	2007 – 2011	«Medical Microsystems Dedicated for Wireless Sensing».
Sawan, M.	CRSNG	46,850.00 $	2003 – 2007	«Smart Medical Microsystems Dedicated for Wireless and Massively Parallel Neural Recording in The Cortex»
Sawan, M.	Chaire de Recherche du Canada	200,000.00 $	2000 – 2007	«Dispositifs médicaux intelligents»
Sawan, M.,	Micronet, CRSNG eMPOWR, Dalsa	30,000.00 $	2005 – 2006	«High Performance Mixed Signal Circuits for Ultrasound Applications Using High Voltage Technologies»
Sawan, M.,	Victhom	50,000.00 $	2006 – 2007	«Réalisation d'un module de contrôle pour implants»

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Aboulhamid, M., Bois, G., Nicolescu, G.,	CRSNG	210,000.00 $	2004 – 2007	«System-Level Design for Heterogeneous Parallel SoCs»
Audet, C., Beaudry, C., Bertrand, F., Boyer, F.R., Dufour, S., Galinier, P., Roy, R., Saucier, A.,	Fondation Canadienne pour l'Innovation (FCI)	4, 574,178.00 $	2002 – 2006	«Plate-forme de développement d'algorithmes parallèles pour la modélisation et l'optimisation de systèmes complexes d'ingénierie et de systèmes multi-agents de production industrielle».
Bilodeau, G.-A., Nicolescu, G.,	Fondation Canadienne pour l'innovation (FCI)	995,731.00 $	2005 – 2006	«Infrastructure de surveillance par ordinateur en temps réel».
Bushmann, M., Martel, S.,	CRSNG	150,000.00 $	2004 – 2007	«Cell and tissue imaging and analysis facility»
Bushmann, M., Sawan, M., et 20 autres	FRSQ	250,000.00 $	2007 – 2011	«Groupe de recherche en Sciences et Technologies de la Santé»
Chen, L., Kashyap, R.,	FQRNT	118,000.00 $	2005 – 2008	«Projet de recherche en équipe»
Chen, L., Kashyap, R.,	FQRNT	78,000.00 $	2006 – 2008	«DOCTOR (Dual Wavelength Optical Coherence Tomography»
Gagnon, F., Savaria, Y., Thibeault, C.,	Prompt-Québec	75,000.00 $	2006 – 2008	«Evaluation of Mobile OFDMA Strategies»
Gourdeau, R., Khouas, A., Cohen, P., Roy, G.,	École Polytechnique	20,000.00 $	2005 – 2006	«Fond pour le renouvellement des approches pédagogiques»
Guénat, O., Martel, S., et 2 autres	CRSNG	12,420.00 $	2007 – 2008	«Universal chip-chip bonder»
Haccoun, D., Savaria, Y., Cardinal, C., Sawan, M.,	CRSNG	152,000.00 $	2005 – 2007	«Technique de codage et de décodage iterative de faible complexité pour codes convolutionnels doublement orthogonaux et réalisations matérielles»
Kabashin, A., Kashyap, R.,	CRSNG	131,500.00 $	2005 – 2008	«Phase-Polarization methods in Surface Plasmon Resonance biosensing»

Kashyap, R., et 2 autres	NCE (CIPI)	30,000.00 $	2006 – 2008	«The study of impacts of climate warming: permafrost sensing with photonics engineering (persephone
Kashyap, R., et 1 autre	NCE (CIPI)	70,000.00 $	2006 – 2008	Reliability testing of optical waveguide devices
Laurin, J-.J., Kashyap, R.,	FQRNT	126,035.00 $	2006 – 2009	«Système de tomographie micro-ondes pour la détection du cancer du sein»
Maciejko, R., Kashyap, R.,	NCE	149,600.00 $	2005 – 2010	«BIOPSY contd.»
Martel, S., et 3 autres	CRSNG	124,200.00 $	2007 – 2009	«High-speed nanoprobes-based processes for sub-micrometer electronic interconnects»
Martel, S., et 2 autres	CRSNG	120,400.00 $	2004 – 2007	«Design and assembly of three-dimensional micro heat pipe networks for heat dissipation in microelectronics»
Martel, S., et 2 autres	CRSNG	154,350.00 $	2005 – 2008	«Magnetotactif phage-based microrobotics systems for the detection of live bacteria»
Martel, S., et 2 autres	National Institute of Health (NIH)- USA	132,400.00 $	2007 – 2009	«MRI-based tumor targeting enhancement with magnetotactic bacterial carriers»
Martel, S., et 6 autres	FQRNT	61,440.00 $	2007 – 2009	«Plateforme pour les interventions médicales ciblées par des dispositifs propulsés par gradients générés par un système d'imagerie par résonance magnétique»
Meunier, M., Savaria, Y.,	CRSNG CRD Coop	175,000.00 $	2004 – 2007	«High throughput laser trimming of ultra-accurate state-of-the-art analogs circuits»
Peter, Y.A., Kashyap, R.,	CRSNG	20,000.00 $	2005 – 2008	«Tunable Micro Electro Mechanical Grating in Silicon for Optical Systems and Devices»
Savaria, Y., Sawan, M., et 3 autres	École Polytechnique de Montréal	35,000.00 $	2006 – 2007	«Fonds GR2M»
Savaria, Y., Bois, G., Khouas, A., Nicolescu, G.,	CRSNG	127,000.00 $	2006 – 2009	«Design Methods, Architectures and Circuits for Reliable Configurable High Performance SoC Platforms»

Savaria, Y., Thibeault, C., Gagnon, F.,	Prompt Québec	50,000.00 $	2006 – 2008	«Conception de modules matériels pour le traitement vidéo et leur interfaçage à un tissu d'interconnexion»
Savaria, Y., Aboulhamid, M., Bois, G.,	NATEQ	45,000.00 $	2006 – 2008	«Méthodes de vérification et de raffinement automatisé de systèmes électroniques complexes»
Savaria, Y., Aboulhamid M., Bois, G.,	NATEQ Équipement	44,250.00 $	2006 – 2007	«Méthodes de vérification et de raffinement automatisé de systèmes électroniques complexes»
Savaria, Y., Khouas, A., Nicolescu, G.,	CRSNG	127,500.00 $	2006 – 2008	«Design Methods, Architectures and Circuits for Reliable Configurable High Performance Soc»
Sawan, M., Savaria, Y., Bois, G., et 17 autres	FQRNT (FCAR) Infrastructure ReSMiQ	223,125.00 $	2002 – 2007	«Analog, digital and RF circuits and systems»
Sawan, M., et 26 autres	Polytechnique, U de Montréal, Concordia, UQAM, McGill, ETS	125,000.00 $	2003 – 2007	«Contributions des universités ReSMiQ centre infrastructure»
Sawan, M., et 3 autres	FQRNT	96,250.00 $	2006 – 2007	«Microsystèmes dédiés à l'interface du cortex Visual primaire: modélisation et validation expérimentale»
Sawan, M., Savaria, Y.,	CRSNG	100,000.00 $	2007 – 2010	«Wireless sensors platform dedicated to build smart medical devices»
Thibeault, C., Gagnon, F., Savaria, Y.,	CRSNG	109,707.00 $	2006 – 2007	«Multi-Level Modeling for Design Derivation of Software-Defined Radio Applications»
Thibeault, C., Savaria, Y., Gagnon, F.,	Octasic	69,667.00 $	2006 – 2007	«Multi-Level modeling for design derivation of software-defined radio applications»
Yao, J., Kashyap, R.,	CRSNG	169,000.00 $	2005 – 2008	«Broadband Radio-Over-Fiber System for Full-Duplex Hybrid Optical/Wireless Access follow on»

Équipement électronique

Un ensemble diversifié d'équipement de tests électronique provenant de diverse subvention (FCI, NATEQ, NSERC) obtenu par les différents professeurs membre du GR2M ou acheté avec la CMC.

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabricant	Modèle	Description
	AEROFLEX	IFR3413	Générateur de signal RF 3GHz
	Agilent	16034H	test fixture
	Agilent	16047E	Test Fixtures 40 Hz to 110 MHz
	Agilent	16048G	Test Leads
	Agilent	16065A	Ext Voltage Bias Fixture
	Agilent	16314A	balance /unbalance 4 terminal converter
	Agilent	33250A	0-80MHz WaveForm Generator
	Agilent	4294-61001	Impedance Analyser fixture 100Ω
	Agilent	4294A	Impedance Analyzer 40Hz-110MHz
2	Agilent	E3631A	Power Supply
	Agilent	E3641A	Power Supply
	Agilent	E3642A	Power Supply
	Agilent	E3646A	Power Supply
	Agilent	E3647A	Power Supply
	Agilent	N5771A	System dc power supply
	AVR ICE		Microcontroler programmer and debugger
	Barnstead / Thermolyne	F30430CM	Programmable furnace
	BK	879	LCR meter
	BK	4011	FUNCTION GENERATOR
	BP microsystem	FP1700/240	Universal programmer
	BP microsystem	SM100VQ	
	BP microsystem	SM128CS	
	BP microsystem	SM84UP	
	BP microsystem	SM56TB	TSSOP 56 PINS
	casira		Bluetooth
	CMC/AMI	9444-04-R1	DUT BOARD
	Data Physics	A-120	Power Supply
	Data Physics	DP-V011	Shaker
	Data Translation	DT9834-16-0-12-BNC	High Performance Multifunction Data acquisition USB
	Fluke	177	True RMS Multimeter
	HP	54124	Four Chanel test set DC to 50 Ghz
	HP	16500B	Logic Analyzer
	HP	16550A	100Mhz STATE / 500Mhz TIMING
	HP	1741A	Oscilloscope
	HP	3580A	Spectrum Analyzer
	HP	3709B	Constellation Analyzer
	HP	54006A	Probe 6 GHz
	HP	54007A	accessory kit
	HP	54120B	Sampling oscilloscope 50GHz
	HP	54616B	Oscilloscope 500MHz
2	HP	54645D	Mixed signal oscilloscope 100MHz
	HP	6202B	DC Power supply
	HP	6202B	DC Power supply
	HP	8111A	Pulse Function Generator 20 Mhz
	HP	8553L	Spectrum Analyzer 110MHz
2	Instek	PC-3030	Power Supply
	Intel	EVAL80960VH	INTEL 80960VH Developpement board

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabricant	Modèle	Description
	Intel	KEIXP 12EBAB	Network processor development platform
	INES	GPIB	PCI Card (dans un pc)
	Karl Suss	10577065	Probe station
5	Karl Suss	PH120	Manual Probe Head
	Karl Suss	PH600	SEMI-AUTO PROBE HEAD
2		Z040-K3N-GSG-	
	Karl Suss	100	RF probe 100um dc-40 GHz,Z probe
2	Keithley	2002	Precision Multimeter
	LEITCH	SPG-1680MB	Sync Pulse Generator
	Logical Device	QUV-T8Z	UV ERASER
	METCAL	MX500P-11	Fer a souder surface mount
2	Microchip	ICD2	Microcontroler programmer
	MIRANDA	DAC-100	4224 DAC
	Miranda	Expresso	
	MiroTech	VME+PC	Cabinet
	Nahishige	MB-PB	Micromanipulator
	NI	PXI-1042	PXI BUS
	NI	PXI-6071E	Analog input multifunction
	NI	PXI-6071E	Analog input multifunction
	NI	PXI-8186	Embedded Controler P4 2.2 GHz
3	Philips	PE1514	Power Supply
	PHILIPS	PM3055	Oscilloscope 20 Mhz
	PolyScience	5L	Saline Bath
	Sanyo	VCC3700	CAMERACOULEUR + POWER SUPPLY
	SONY	PVM-1354Q	Télévision
	SRS	SR560	low noise préamp.
	SRS	SR785	Signal Analyzer
	SUN	960	Data center cabinet
	Tektronix	3002	Logic Analyzer
	Tektronix	7623	Oscilloscope
	Tektronix	011-0055-02	75 Ω feedthrough
	Tektronix	012-1605-00	interface cable
	Tektronix	067-0484-01	differential deskew fixture
	Tektronix	CSA7404B	Communication Signal Analyser
4	Tektronix	FG502	Function Generator
	Tektronix	P6139A	Sonde 500MHz
2	Tektronix	P6243	Probe 10X 1GHz
4	Tektronix	P6245	sonde 1.5Ghz 10X pour TDS7154
	Tektronix	P6418	Sonde Logique 16ch
7	Tektronix	P6470	Pattern Generator v1.0 17 ch
2	Tektronix	P6810	SONDE LOGIQUE HAUTE PERFORMANCE 32ch
	Tektronix	P7240	sonde active 5X
	Tektronix	P7350	sonde Différentielle 5GHz
	Tektronix	PG506	Calibration Generator
	Tektronix	SG503	Sine Wave Generator
	Tektronix	TCA-1MEG	ADAPTATEUR D'IMPÉDENCE 50Ω 1MΩ
	Tektronix	TCA-1MEG	ADAPTATEUR D'IMPÉDENCE 50Ω 1MΩ
	Tektronix	TCA-SMA	adaptateur TCA-SMA
	Tektronix	TCP202	Sonde de courant de précision DC
	Tektronix	TCP312	Sonde de courant de précision AC/DC
	Tektronix	TCPA300	Amplifier ac/dc current probe power supply
	Tektronix	TDS3054B	Oscilloscope PORTABLE
4	Tektronix	TDS320	Oscilloscope 100Mhz 2ch.
	Tektronix	TDS3AAM	Advanced Analysis Module (TDS3054B)

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabricant	Modèle	Description
	Tektronix	TDS3LIM	Limit Testing Module (TDS3054B)
	Tektronix	TDS3VID	Advanved Video Module (TDS3054B)
	Tektronix	TDS7154	Oscilloscope 1.5GHz 4ch.
2	Tektronix	TLA715	Analyseur logique 32Mb/ch 64ch/68ch ou 32ch+32stim.
3	Tektronix	TM503	power module mainframe for 3 plug-ins
3	Topward	TPS4000	Power Supply
	vision eng.	lynx	LAMP
	vision eng.	lynx	POWER SUPPLY
2	WAVETEK	19	Générateur de fonction
2	Weller	WES50	Soldering iron
2	Weller	WTCPT	Soldering iron
1	Wenworth labs	MP0901	Prober Microscope
3	Wenworth labs	PRO195LH	Prober Microscope
2	Xantrex	XT20-3	Power Supply

Usine Tyco (GR2M / PolyStim)

Nb	Fabricant	Modèle	Description
	creative automation	champion 8300	Creative Automation Paste Dispenser
	Heller Industries	1700EXL	Reflow Oven
	Hesse-Knipps	Bondjet 810	Wedge Bonder
	hitachi	S-4700II	scanning electronic microscope
	JOT AUTOMATION	J202-01	conveyor
	JOT AUTOMATION	J202-02-02	Pickup PCB Destacker
	JOT AUTOMATION	J204-01.6/2	Roller Chain Accumulation Conveyor 59"
	JOT AUTOMATION	J204-02-022	Buffer/Inspection Conveyors 20"
	5 x JOT AUTOMATION	J204-10.9/19	Side Shuttle Transport
	Kulicke & Soffa	4524-d	Ball bonder
	Metcal	1E6000	OPTICAL INSPECTION CAMERA
	Metcal	BGA 3101	Rework station
	Metcal	BGA 3591	Rework station
	METCAL	VPI-1000	OPTICAL INSPECTION SYSTEM
	oxford instrument	7200	EDX
	panasonic	CT-2086YD	monitor
	Perkin Elmer	--	Differential Scanning Calorimeter Pyris Diamond DSC
	PMR Systems	PMR-3500	Ultrasound Cleaner
	Royce Instruments	System 580	Wire Bond Tester
	Shreiber Engineering	trueton 500W	Water Chiller
	SPEEDLINE TECHNOLOGIE	UP1500	
	Techcon	TS9150	Solder Paste Dispenser
	TYCO	--	Offline IQ Feeder Loading Station
	TYCO	APS-1H	Pick and Place Machine with WPS and flipper tool
	TYCO	AVX-1500	Screen Printer
	TYCO	MT-30	Matrix Tray Handler
	Unitek Miyachi	LW500A-1	Nd:YAG laser
	Unitek Miyachi	LW500AWS	5 axis Laser Welding Motion Control System WS
	virtual industries	SMD-VAC-GP	vacuum pen

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)

Nb	Fabricant	Modèle	Description
	Agilent	81200	Test fixture
2	Agilent	83712B	Synthesized CW generator 10MHz 20 GHz
	Agilent	E4805B	VXI Timing module

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)

Nb	Fabricant	Modèle	Description
	Agilent	E8491B	Firewire VXI Controller
8	ALESSI	MH5-L , MH5-R	Micropositioner
3	ALESSI	MMM-01, MMM-02	Micropositioner
	Analogic	DB58750	Arb. Function Generator
	CMC	REV0	VXI Test Fixture Rev.0 (bois)
	CMC/AMI	TH1000	Mixed Signal Head Test
	CMC/FERNBANK	MOD2	Rapid prototyping board V2
3	GGB	28	Picoprobe
4	GGB	40A-GSG-150-P	Microwave Probe
11	GGB	40A	Microwave Probe
2	GGB	dual output	Power supply (Dual Output)
2	GGB	mcw-9-4635	Microwave Probe multi chanel
3	HP	1144A	ACTIVE PROBE
	HP	6623A	Programmable P/S
	HP	745i	HPUX Test Station
	HP	81130A	Pulse Pattern Generator
	HP	85033D	Calibration Kit
	HP	8593E	Spectrum Analyser
	HP	8753E	Network Analyser
	HP	E1401A	VXI Mainframe
	HP	E1406A	HPIB Command module
	HP	E1429B	A/D Digitizer
	HP	E1445A	A/W Generator
	HP	E1450A	Timing Module
	HP	E1452A	Terminator PAT I/O
2	HP	E1454A	Pattern I/O POD
	HP	E3661A	Instrument Rack
3	HP	E4841A	Gen/Anal. Module
	IMS	XL100	High Speed numeric universal tester
	IOTECH	SB488A	Sun GPID CNTL
	KEITHLEY	KI236	Source Measurement Unit
	Rhode&Schwarz	NRVZ 1020.1809.02	Power Meter
	Rhode&Schwarz	NRVZ-Z6	Power sensor

Équipement Informatique prêté par la CMC (www.CMC.ca)

Nb	Fabricant	Modèle	Description
	SUN	Sun Blade 1000	2 processeurs, 5 gig ram
	SUN	Sun Storage A1000	200 gig (12x16go), raid-5
	SUN	Sun Blade 1500	1gig ram
4	SUN	Sun Blade 100	2gig ram
5	SUN	Ultra 10	1gig ram
2	SUN	Ultra 1-140	
14	SUN	Moniteur	17”, 19”, 20”, 21”
1	SUN	Tape Drive	0.25” 150 MB
1	SUN	Tape Drive	20-40GB 8MM
4	SUN	Multi-Pack	Disque 36GB
2	SUN	Unipack	Disque 9GB
16	IBM	IntelliStation M pro	2HD 80gig, 1-3gig ram
16	IBM	LCD L170	
16	SLPS	FPGA board	Altera, Xilinx, (DSP, MM, ES, XLX)
2	ARM	FPGA board	RPP
2	SUN	XTA 3511	Disk 6 +B
1	Adaptec	Snap server 550	Disk 3TB

Équipement informatique

Un ensemble diversifié d'équipement informatique provenant de diverse subvention (FCI, NATEQ, NSERC) obtenu par les différents professeurs membre du GR2M ou acheté avec la CMC.

Équipement Informatique appartenant au GR2M (www.GR2M.polymtl.ca)

Nb	Fabricant	Modèle	Description
	SUN	Sun Blade V890	16 processeurs, 32 gig ram
	SUN	Sun Blade 1000	2 processeurs, 2 gig ram
2	SUN	SUN V440	4 processeurs, 8 Giga RAM
	SUN	Sun Storage A1000	400 gig (12x36go), raid-5
15	SUN	Sun Blade 100	Station du laboratoire VLSI
4	SUN	Ultra 10	
10	SUN	Ultra 5	
6	SUN	Ultra-1	
2	SUN	Ultra-1^{e} 140	
7	SUN	Sparc Station 10	
8	SUN	Sparc Station 5	
5	SUN	Sparc Station 4	
150	PROSYS	PC	Pentium IV, Core 2 DUO, Core2 Quad
2	HP	4050tn	Imprimante Laser Noir
4	HP	4M Plus	Imprimante Laser Noir
	HP	5M	Imprimante Laser Noir
	HP	4V	Imprimante Laser Noir 11x17
2	DELL	3100n	Imprimante Laser Couleur
	DELL	5100n	Imprimante Laser Couleur
4	DELL	1700n	Imprimante Laser

LOGICIELS DE MICROÉLECTRONIQUE

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont achetés par le GR2M, les autres, Cadence, Mentor, Synopsys, Xilinx etc, sont distribués en tout ou en partie par la Société Canadienne de Microélectronique. (CMC)

Logiciels disponibles au GR2M (www.GR2M.polymtl.ca)

Compagnie	Logiciel
Cadence	Assura, Confrml, Ic, Icc, Ius, Mmsim, Neocell, Neockt, Rc, Sev, Sna, Soc, Spb, Spw, Tsi, Vsde
Agilent	ADS
Agility	Celoxica
Aldec	VHDL
Altera	Quartus
Ansys	Ansys, Workbench
ARM	ARM Developper Suite
Coware	SPW, LisaTech
Femlab	
Frame Maker	Version 4 et 5
Matworks	Matlab, Simulink
Mentor Graphics	Calibre, DFT, FA, HDS, Seamless, PADs, Expedition, Power PCB, ModelSim, DxD, Hyperlinks,

Logiciels disponibles au GR2M (www.GR2M.polymtl.ca)

Compagnie	Logiciel
Specman	E
Synopsys	NS (Nanosim), SIM (Core Synthesis Tools), SYN (Core Synthesis Tools), CCSS (Co-Centric), FM (Formality), PT (PrimeTime), FPGA Compiler2, HSPICE, STAR SIM
Synplicity	Synplify
Telelogic	TAU
Tensilica	Xtensa
Virage	Mem compiler
Xilinx	ISE, EDK, CHIPSCOPE

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

[P-1] AWWAD, F., NEKILI, M., RAMACHANDRAN, V., SAWAN, M., «On Modeling of Parallel Repeater-Insertion Methodologies for SoC Interconnects», accepté à IEEE Transactions on Circuits and Systems – I, juin 2007.

[P-2] BEAUDOIN, P., AUDET, Y., BENDALI, A., «Characterizing a Thermoelectric Module as Part of a Semiconductor Courses Laboratory», à paraître IEEE Transactions on Education.

[P-3] BEY-OUESLATI, R., PALM, S., THERRIAULT, D., MARTEL, S., «High speed direct-write for rapid fabrication of three-dimensional microfluidic devices», accepté à International Journal of Heat and Technology.

[P-4] BOUCHEBABA, Y., GIRODIAS, B., NICOLESCU, G., ABOULHAMID, M., LAVIGUEUR, B. PAULIN, P., «MPSoC Memory Optimization Using Program Transformation» accepté pour publication à ACM Transaction on Design Automation of Electronic Systems (ACM TODAES)

[P-5] BUI, T.H., SAVARIA, Y., «Design of a High-Speed Differential Frequency-to-Voltage Converter and its Application in a 5 GHz Frequency Locked Loop» accepté à IEEE Transactions on CAS I.

[P-6] CHANU, A., FELFOUL, O., BEAUDOIN, G., MARTEL, S., «Adapting the software platform of MRI for the real-time navigation of endovascular untethered ferromagnetic devices», accepté à Magnetic Resonance in Medicine.

[P-7] FELFOUL, O., MATHIEU, J.-B., BEAUDOIN, G., MARTEL, S., «MR-tracking based on magnetic signature selective excitation», accepté à IEEE Transa99tions on Medical Imaging.

[P-8] MATHIEU, J.-B., MARTEL, S., «Magnetic microparticle steering within the constraints of an MRI system: Proof of concept of a novel targeting approach», accepté à Biomedical Microdevices.

[P-9] TAMAZ, S., CHANU, A., MATHIEU, J.-B., GOURDEAU, R., MARTEL, S., «Real-time MRI-based control of a ferromagnetic core for endovascular navigation», accepté à IEEE Transactions on Biomedical Engineering.

Articles de revues publiés de septembre 2006 à août 2007

[P-10] ACHIGUI, H.F., FAYOMI, C.J.B., SAWAN, M., «1-V DTMOS Based Class AB Operational Amplifier: Implementation and Experimental Results», IEEE Journal of Solid-State Circuits, novembre 2006, vol. 41, issue 11, pp. 2440-2448.

[P-11] BENDALI, A., AUDET, Y., «A 1-V CMOS Current Reference with Temperature and Process Compensation» IEEE Transactions on Circuits and Systems I, 2007, vol. 54 no. 7, pp. 1424-1429.

[P-12] BOUCHHIMA, F., NICOLESCU, G., ABOULHAMID, M., ABIB, M., «Generic Discrete-Continuous Simulation Model for Accurate Validation in Heterogeneous Systems Design», Elsevier Microelectronics Journal juin 2007, vol. 38, issue 6-7, pp. 805-815.

[P-13] BOYOGUENO-BENDE, A., SAWAN, M., SLAMANI, M., «A BiCMOS 120 mw 11 GHz transimpedance amplifier for high-speed Photoreceivers», The Journal of Circuits, Systems, and Computers (JCSC), 2006, vol. 15, no. 4, pp. 467-490.

[P-14] CANTIN, M.A., SAVARIA, Y., PRODANOS, D., LAVOIE, P., «A Metric for Automatic Word Length Determination of Hardware Datapaths» IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, octobre 2006, vol. 25, no. 10, pp. 2228-2231.

[P-15] CHEBLI, R., SAWAN, M., "Fully Integrated High-Voltage Front-End Interface for Ultrasonic Sensing Applications", IEEE Transactions on Circuits and Systems I, vol. 54, no. 1, janvier 2007, pp. 179-190.

[P-16] DECA, R., CHERKAOUI, O., SAVARIA, Y., SLONE, D., «Constraint-Based Model for Network Service Provisioning», Annales des télécommunications, GET/DS, juillet août 2007, volume 62, no 7/8, pp. 847-870.

[P-17] DJEMOUAI, A., SAWAN, M., «Circuit Techniques Dedicated to Effectively Wireless Transfer Power and Data to Electronic Implants», Journal of Circuits, Systems & Comp., juillet 2007, vol. 16, no. 5, pp. 801-818.

[P-18] GAO, S., CHABINI, N., AL-KHALILI, D., LANGLOIS, J.M.P., «Optimized realizations of large integer multipliers and squarers using embedded blocks», IET Computers & Digital Techniques, vol. 1, issue 1, janvier 2007, pp. 9-16.

Articles de revues publiés de septembre 2006 à août 2007 (suite)

[P-19] GHAFAR-ZADEH, E., SAWAN, M., THERRIAULT, D., «Novel Direct-Write CMOS based Laboratory-On-Chip: Design, Assembly and Experimental Results», Elsevier Sensors & Actuators, vol. 134, vol. 1, février 2007, pp. 27-36.

[P-20] GORSE, N., BÉLANGER, N., CHUREAU, A., ABOULHAMID, E.M., SAVARIA, Y., «A High Level Requirements Engineering Methodology for Electronic System-Level Design», International J. Computers in Electrical Engineering, Elsevier, juin 2007, vol. 33, no. 4, pp. 246-268.

[P-21] HANNOYER, P., KWANGSOO, K., MARTEL, S., «Cooling an array of high-powered miniature robots using forced air convention», IEEE Transactions on Automation Science and Engineering, juillet 2007, vol. 4, no. 3, pp. 373-381.

[P-22] LIZE, Y.K., CHRISTEN, L., YANG, J.Y., SAGHARI, P., NUCCIO, S.C, WILLNER, A.E., KASHYAP, R., «Independent and simultaneous monitoring of chromatic and polarization mode dispersion in OOK and DPSK transmission», IEEE Photon. Technol. Letters, 19 (1) Janvier 2007.

[P-23] MAHVASH MOHAMMADI, H., LANGLOIS, J.M.P., SAVARIA, Y., «A five-field motion compensated deinterlacing method based on vertical motion», IET Computers & Digital Techniques, vol. 53, issue 3,août 2007, pp. 1117-1124.

[P-24] MARTEL, S., MATHIEU, J.-B., FELFOUL, O., CHANU, A., ABOUSSOUAN, É., TAMAZ, S., POUPONNEAU, P., BEAUDOIN, G., SOULEZ, G., YAHIA, L'H., MANKIEWICZ, M., «Automatic navigation of an untethered device in the artery of a living animal using a conventional clinical magnetic resonance imaging system», Applied Physics Letters, mars 2007, vol. 90, pp. 114105-114107.

[P-25] MBAYE, M., LEBEL, D., BÉLANGER, N., SAVARIA, Y., SAMUEL, P., «Novel Application-Specific Instruction-Set Processor Design Approach for Video Processing Acceleration», Journal of VLSI Signal Processing Systems, juin 2007, vo. 47, no. 3, pp. 297-315.

[P-26] MORNEAU, M., KHOUAS, A., «TBSA: Threshold-Based Simulation Accuracy method for fast analog DC fault simulation», Journal of Electronic Testing Theory and Applications, Kluwer Academic Publishers, décembre 2006, vol. 22, no. 4-6, pp. 425-436.

[P-27] NEMOVA, G., KASHYAP, R., «Modeling of Plasmon-polaritonrefractive-index hollow core fiber sensors assisted by a fiber Bragg grating», Journal of Light wave Technology, octobre 2006, volume 24, issue 10, pp. 3789-3796.

[P-28] NEMOVA, G., KASHYAP, R., «A Compact Integrated Planar-Waveguide Refractive-Index Sensor Based on a Corrugated Metal Grating», Journal of Light wave Technology, août 2007, volume 25, issue 8, pp. 2244-2250.

[P-29] NEMOVA, G., KASHYAP, R., «Theoretical model of a planar integrated refractive index sensor based on surface Plasmon-polariton excitation with a long period grating», JOSAB, août 2007, volume 24, issue 10 pp. 2696-2701.

[P-30] OZCAN, L., TREANTON, V., KASHYAP, R., MARTINU, L., «A Compact Integrated Planar-Waveguide Refractive-Index Sensor Based on a Corrugated Metal Grating», Journal of Light wave Technologies, août 2007, volume 25, issue 8, pp. 2244-2250.

[P-31] OZCAN, L., TREANTON, V., GUAY, F., KASHYAP, R., «Highly Symmetric Optical Fiber Tapers Fabricated with a CO_2 Laser», Photonics Technology Letters, mai 2007, volume 19, issue 9 pp. 656-658.

[P-32] OZCAN, L., TREANTON, V., KASHYAP, R, MARTINU, L., «High-Quality Flat-Top Micromachining of Silica by a CW COS_ {2} Laser», IEEE Photonics Technology Letters, avril 2007, volume 19, issue 7, pp. 459-461.

[P-33] QI, G., YAO, J., SEREGELYI, J., PAQUET, S., BÉLISLE, C., ZHANG, X., WU, K., KASHYAP, R., «Phase-Noise Analysis of Optically Generated Millimeter-Wave Signals with External Optical Modulation Techniques», Journal of Light wave Technology, décembre 2006, volume 24, issue 12, pp. 4861-4875.

[P-34] RIBEIRO, R.M., KOSTKO, I.,A., KASHYAP, R., «Mode Locking and Electrical Tuning of a Hybrid Laser Source Using a Connectorized Ultra-Short Fiber Bragg Grating» Journal of Light wave Technology, novembre 2006, volume 24, issue 11, pp. 4380-4390.

[P-35] SALEH, A., SAWAN, M., EL-ZAYAT, E., ELHILALI, M.M., «Detection of Bladder Volume from the Neural Afferent Activities in dogs: Experimental Results», SCI Special Issue of Neurophysiology Research, juillet 2007, vol. 30, no. 1, pp. 28-35.

Articles de revues publiés de septembre 2006 à août 2007 (suite)

[P-36] SAWAN, M., LAZZIRI, Y., MOUNAIM, F., ELZAYAT, E., CORCOS, J., ELHILALI, M.M., «Electrode-Tissues Interface: Modeling and Experimental Measurements», Biomedical Material, mars 2007, vol. 2, pp. S7-S15.

[P-37] WU, K, ZHANG, X., KASHYAP, R., «Millimeter-Wave Photonic Techniques for Broadband Communication and Sensor Applications», IEEE Lasers & Electro-Optics Society, octobre 2006, pp. 270-271.

Articles de revues publiés de septembre 2005 à août 2006

[P-38] AMEZZANE, I., SAWAN, M., BELLEMARE, F., «Modelling and Simulation of an Infants's Whole Body Plethsmograph», IEE-Med. Biol. Eng. Computer, 2006, disponible en ligne, 6 pages.

[P-39] BOYER F.R., EPASSA, H.G., SAVARIA, Y., «Embedded Power-Aware Cycle by Cycle Variable Speed Processor», IEE Proc. Computers & Digital Techniques, juillet 2006, vol. 153, no. 4, pp. 283-290.

[P-40] BOYOGUENO-BENDE, A., SAWAN, M., SLAMANI, M., «Design for Stability of High-Speed Integrated Photoreceivers», Springer Analog ICs & Signal Proc. J., 2005, vol. 45 no. 1, pp. 79-98.

[P-41] CHEVALIER, J., DE NANCLAS, M., FILION, L, BENNY, O., RONDONNEAU, M., BOIS, G., ABOULHAMID, M., «A SystemC Refinement Methodology for Embedded Software», Design & Test of Computers, IEEE, 2006, vol. 23, no. 2, pp. 148-158.

[P-42] DUBOIS, M., SAVARIA, Y., HACCOUN, D., BÉLANGER, N., «Low Power Configurable and Generic Shift Register Hardware Realizations for Convolutional Encoders and Decoders» IEE Proc. Circuits, Devices & Systems, juin 2006, vol. 153, no. 3, pp. 207-213.

[P-43] EL-SANKARY, K., SAWAN, M., «High Resolution Background Calibrated ADCs for Software Defined Radios», IEEE Microelectronics Journal, 2006, vol. 37, pp. 1231-1240.

[P-44] EL-SANKARY, K., SAWAN, M., «A Background Calibrated Technique for Multi-bit/Stage Pipelined and Time-Interleaved ADCs», IEEE Trans. On Circuits and Systems II, 2006, vol. 53, no. 6, pp. 448-452.

[P-45] FAYOMI, C., SAWAN, M., ROBERTS, G., «Low-Voltage Analog Switch in Deep Submicron CMOS: Design Technique and Experimental Measurements», IEICE Trans., 2006, vol. E89, no 4, pp. 1076-1087.

[P-46] KHALI, H., SAVARIA, Y., HOULE, J.-L., «A System Level Implementation Strategy and Partitioning Algorithm for Applications Based on Lookup Tables», Elsevier International Journal of Computer and Electrical Engineering, Octobre 2005, vol. 31, issue 7, pp. 485-502.

[P-47] KOSTKO, I., KASHYAP, R., «Dynamic of ultimate spectral narrowing in a semiconductor fiber-grating laser with an intra-cavity saturable absorber», Optics Express, avril 2006, vol. 14, no. 7, pp. 2706-2714.

[P-48] LANGLOIS, J.M.P., AL-KHALILI, D., «Carry-free approximate squaring functions with O(n) complexity and O(1) delay», IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 53, no. 5, mai 2006, pp. 374-378.

[P-49] LAPALME, J., ABOULHAMID, M., NICOLESCU, G., «A New Efficient EDA tools design Methodology», ACM Transactions on Embedded Computing Systems, 2006, vol. 5 issue 2, pp. 408-430.

[P-50] LIU, R., KOSTKO, I., KASHYAP, R., WU, K., KIIVERI, P., «Inband-Pumped, Boradband Bleaching of Absorption and Refractive Index Changes in Erbium Doped Fiber», Optics Communications, novembre 2005, vol. 255, no. 1-3, pp. 65-67.

[P-51] LIZÉ, Y.K., PALMER, L., AUBÉ, M., GODBOUT, N., LACROIX, S., KASHYAP, R., «Scalable Polarization Mode Dispersion Emulator with Proper First and Second Order Statistics», IEEE Photonics Technol. Letters, novembre 2005, vol. 17, no. 11, pp. 2451-2453.

[P-52] LIZÉ, Y.K., LIU, X., KASHYAP, R., «Single Modulator Payload/Label Encoding and Node Operations for Optical Label Switching», IEEE Photonics Technologye Letters, mai 2006, vol. 18 no. 10, pp. 1140-1142.

[P-53] LIZÉ, Y.K., PALMER, L., AUBÉ, M., GODBOUT, N., LACROIX, S, KASHYAP, R., «Autocorrelation Function of the Single PC Polarization Mode Dispersion Emulator», IEEE Photonics Technoly. Letters, janvier 2006, vol. 18, no. 1, pp. 217-219.

Articles de revues publiés de septembre 2005 à août 2006 (suite)

[P-54] MATHIEU, J.-B., BEAUDOIN, G., MARTEL, S., «Method of propulsion of a ferromaghntic core in the cardiovascular system through magnetic gradients generated by an MRI system», IEEE Transactions on Biomedical Engineering, février 2006, vol. 53, no. 2, pp. 292-299.

[P-55] NEMOVA, G., KASHYAP, R., «Fiber-Bragg-grating-assisted surface Plasmon-polariton sensor», Opts. Lett, juillet 2006, vol. 31, no. 15, pp. 2118-2120.

[P-56] NEMOVA, G., CHAUVE, J., KASHYAP, R., «Design of sidetap fiber Bragg grating filters», Opt. Commun, mars 2006, vol. 259, no. 2, pp. 649-654.

[P-57] NICOLESCU, B., IGNAT, Y., SAVARIA, Y., NICOLESCU, G., «Analysis of Real-Time Systems Sensitivity to Transient Faults: A Case Study for MicroC» IEEE Transaction on Nuclear Science, août 2006, vol. 53, issue 4, partie 1, pp. 1902-1909.

[P-58] NICOLESCU, B., GORSE, N., SAVARIA, Y., ABOULHAMID, E.M., VELAZCO, R., «On the Use of Model Checking for the Verification of a Dynamic Signature Monitoring Approach», IEEE Transactions on Nuclear Sciences, octobre 2005, vol. 52, issue 5, part 2, pp. 1555-1561.

[P-59] PAULIN, P., PILKINGTON, C., LANGEVIN, M., BENSOUDANE, E., BELTRAME, G., NICOLESCU, G., «Parallel Programming Models for a MPSoC Platform Applied to Networkingand Multimedia», IEEE Transactions on VLSI, juillet 2006, vol. 14, issue 7, pp. 667-680.

[P-60] QIN, L., EL-SANKARY, K., SAWAN, M., «A 1.8v CMOS Forth-Order Gm-C BP Sigma-Delta Modulator dedicated to Front-End Ultrasonic», Springer Anal. IC & Sign. Proc. J., 2006, vol. 48, pp. 121 - 132.

[P-61] SAWAN, M., TRÉPANIER, A., TRÉPANIER, J-L., AUDET, Y., «A New CMOS Multimode Digital Pixel Sensor Dedicated to an Implantable Visual Cortical Stimulator», Springer Analog ICs & Signal Processing Journal, 2006, vol. 49, pp. 187-197.

[P-62] ZHANG, X., LIU, B., YAO, J.P., WU, K., KASHYAP, R., «A Novel millimetre-wave band radio-over-fiber system with dense wavelength division multiplexing bus architecture» IEEE Transactions on Microwave Theory and Techniques, février 2006,vol. 54, no. 2, partie 2, pp. 929-937.

[P-63] ZHOU, B., AMIRI, M.A., KHOUAS, A., «Characterizing Delay Mismatch in Ring Oscillator Based Test Structure», Transactions on Circuits and Systems, World Scientific and Engineering Academy and Society, juillet 2006, vol. 5, no. 7, pp. 903-910.

Articles de conférence de septembre 2006 à août 2007.

[C-1] ABDERRAHMAN, A., SAVARIA, Y., KHOUAS, A., SAWAN, M., Accurate Testability Analysis Based-on Multi-Frequency Test Generation and New Test Metric», 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS ET MWSCAS) Montréal, Canada, 5-8 août 2007, pp. 1356-1359.

[C-2] AL-SAMMANE, G., ZAKI, M., TAHAR, S., BOIS, G., «Constraint based Verification, Formal Verification, Interval Analysis, Symbolic Methods, Delta Sigma Modulators», Proc. IEEE Northeast Workshop on Circuits and Systems, Montréal, Canada, 5 – 8 août 2007, pp. 726-729.

[C-3] AMIRI, M.A., BOUKADOUM, M., KHOUAS, A., «On the Timing Uncertainty in Delay-Line-based Time Measurement Applications Targeting FPGAs» IEEE International Symposium on Circuits and Systems, ISCAS, New Orleans, USA, 27-30 mai 2007, pp. 3772-3775.

[C-4] ANDRÉ, W., MARTEL, S., «Acting on nanoparticles embedded in Magnetotactic bacteria to implement propulsion and steering for microrobots», The 7th International Conference on Nanotechnology (IEEE-NANO), Hong Kong, Chine, 2 - 5 août 2007, pp.

[C-5] AUCLAIR, G., SAWAN, M., DÉSILETS, T., BELLEMARE, F., «Electrical stimulation for the treatment of obstructive sleep apnea (OSA): system design and experimental results», AWC, Montréal, Canada, volume 7, supplément 2, 27-30 septembre 2006, p. S74.

[C-6] AYOUB, A.E., GOSSELIN, B., SAWAN, M., «A Microsystem Integration Platform Dedicated to Build Multi-Chip Neural Interfaces», IEEE-EMBS, France 22 – 26 août 2007, pp. 6604-6607.

[C-7] BENAMRANE, I., SAVARIA, Y., «Design Techniques for High Speed Current Steering DACs» 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits Systems, (NEWCAS ET MWSCAS) Montréal, Canada, 5-8 août 2007, pp. 1485-1488.

[C-8] BERGERON, E., FEELEY, M., DAVID, J.P., «Toward on-Chip JIT Synthesis on Xilinx II-Pro FPGAs», MWSCAS/NEWCAS'2007, Montréal, Canada, 5 – 8 août 2007, pp. 642-645.

Articles de conférence de septembre 2006 à août 2007 (suite).

[C-9] BEUCHER, N., BÉLANGER, N., SAVARIA, Y., BOIS, G., «Motion Compensated Frame Rate Conversion Using a Specialialized Instruction Set Processor», IEEE 2006 Workshop on Signal Processing Systems, Banff, Canada, 2-4 octobre 2006 pp.130-135.

[C-10] BINET, V., SAVARIA, Y., MEUNIER, M., GAGON, Y., «Modeling the Substrate Noise Injected by a DC-DC Converter» 11th ISCAS, New Orleans, USA, 27-30 mai 2007, pp. 309-312.

[C-11] BOUCHEBABA, Y., NICOLESCU, G., GIRODIAS, B., LAVIGUEUR, B., PAULIN, P., «MPSoC Memory Optimization for Digital Camera Application», 10th Euromicro Conference on Digital System Design, Lübech, Germany, 29-31 août 2007, pp. 424-427.

[C-12] BOUCHEBABA, Y., NICOLESCU, G., GIRODIAS, B., LAVIGUEUR, B., PAULIN, P., «Two level tiling for MPSoC architecture», IEEE ASAP 2007, Montréal, Canada, 8-11 juillet 2007, pp. 314-319.

[C-13] BOUCHHIMA, F., BRIÈRE, M., NICOLESCU, G., ABOULHAMID, M., ABID, M., «A SystemC/Simulink Cosimulation Framework for Continuous/Discrete Simulation», IEEE BMAS'06, San José, USA, 14-15 septembre 2006, pp. 1-6.

[C-14] BRIÈRE, M., GIRODIAS, B., NICOLESCU, G., O'CONNOR, I., MIEYEVILLE, F., «Optical Network on Chip Evaluation in a System Level MPSoC Platform using Multimedia Applications», IEEE DATE 2007, Nice, France, 16-20 avril 2007 pp. 1084-1089.

[C-15] BRIÈRE, M., GIRODIAS, B., BOUCHEBABA, Y., NICOLESCU, G., O'CONNOR, I., «Architectural Exploration of Optical and Electrical Interconnects in MPSoC», IEEE NEWCAS/MWCAS'07, Montréal, Canada, 5 – 8 août 2007, pp. 1469-1473.

[C-16] CHANU, A., MARTEL, S., «Real-time software platform design for in vivo navigation of a small ferromagnetic device in a swine carotid artery using a magnetic resonance imaging system» 29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBS), Lyon, France, 23-26 août 2007 pp. 6584-6587.

[C-17] CHANU, A., MARTEL, S., «MRI driven nano biosensor for wireless physiological data measurements using deformable polymers coated magneto elastic devices», The 7th IEEE International conference o Nanotechnology (IEEE-NANO), Hong-Kong, Chine, 2-5 août 2007, pp.

[C-18] CHEBLI, R., SAWAN, M., SAVARIA, Y., EL-SANKARY, K., «High-voltage dmos integrated circuits with floating gate protection technique», IEEE-ISCAS, New Orleans, USA, 27-30 mai 2007, pp. 3343-3346.

[C-19] DENOMME R., LU, Z., MARTEL, S., «A microsensor for the detection of a single pathogenic bacterium using Magnetotactic bacteria-based bio-carriers: simulations and preliminary experiments» 29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBS), Lyon, France, 23-26 août 2007, pp. 99-102.

[C-20] DOLJANU, A.D., SAWAN, M., «3D Shape Acquisition system Dedicated to a Visual Intracortical Stimulator», IEEE-ISCAS, New Orleans, USA 27-30 mai 2007, pp. 1313-1316.

[C-21] DONG, Z. J., ZAKI, M., AL-SAMMANE, G., TAHAR, S., BOIS, G., «Run-Time Verification Using the VHDL-AMS Simulation Environment», Proc. IEEE Northeast Workshop on Circuits and Systems, Montréal, Canada, 5-8 août 2007, pp. 1513-1516.

[C-22] DUPIRE, T., TANGUAY, L.F., SAWAN, M., «Low power CMOS transmitter for biomedical sensing devices», IEEE-ICECS, Nice, France, 10-13 décembre 2006, pp. 339-342.

[C-23] EL FOULADI, JL, LU, Z., SAVARIA, Y., MARTEL, S., «An integrated biosensor for the detection of bio-entities using magnetotactic bacteria and CMOS technology», 29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBS), Lyon, France, 23-26 août 2007, pp. 119-122.

[C-24] EL FOULADI, J., ANDRÉ, W., SAVARIA, Y., MARTEL, S., «System Design of an Integrated Measurement Electronic Subsystem for Bacteria Detection Using an Electrode Array and MC-1 Magnetotactic Bacteria», International Workshop on Computer Architecture for Machine Perception and Sensing, Montreal, Canada, 18-20 septembre 2006, pp. 42-45.

[C-25] ELSANKARY, K., SAWAN, M., «10-B-100-MS/s Two-Channel Time Interleaved Pipelined ADC», IEEE-CICC, San José, USA, 10-13 septembre 2006, pp. 217-220.

[C-26] ENSANDOUST, F., GOSSELIN, B., SAWAN, M., «Low-Power High-Accuracy Compact Implementation of Analog Wavelet Transforms», IEEE-NEWCAS, Montréal, Canada, 5 – 8 août 2007, pp. 185-188.

Articles de conférence de septembre 2006 à août 2007 (suite).

[C-27] FELFOUL, O., POUPONNEAU, P., MATHIEU, J.-B., MARTEL, S., «MR imaging of FeCo nanoparticles, magnetotactic bacteria and Fe3O4 microparticles for future drug delivery applications», The 7th IEEE International Conference on Nanotechnology (IEEE-NANO), Hong Kong, Chine, 2-5 août 2007, pp.

[C-28] FELFOUL, O., MOHAMMADI, M., MARTEL, S., «Magnetic resonance imaging of Fe3O4 nanoparticles embedded in living Magnetotactic bacteria for potential use as carriers for in vivo applications», 29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBS), Lyon, France, 22-26 août 2007, pp. 1463-1466.

[C-29] FILION, L., CANTIN, M.-A., MOSS, L., ABOULHAMID. E-M., BOIS, G., «Space Codesign: A SystemC Framework for Fast Exploration of Hardware/Software Systems» Design and Verification Conference (DVCON'07), San José, USA, 21-23 février 2007, pp. 1-8.

[C-30] FOTSING-DJOUWE, I.C., GAGNÉ, M., LAURIN, J.-J., KASHYAP, R., «Optical fibre musical instruments: Making sense of the senseless» International Conference on Optical and Optoelectronic Properties of Materials and Applications, ICOOPMA, Queen Mary College, University of London, UK 30 juillet – 3 août 2007, p. 1

[C-31] GHAFAR-ZADEH, E., SAWAN, M., «Charge Based Capacitive Sensor Array for CMOS Based Laboratory-On-Chip Applications», IEEE-Sensors, Korea, 22-24 octobre 2006, pp. 1-4.

[C-32] GHAFAR-ZADEH, E., SAWAN, M., HAJJ-HASSAN, M., MILED, A., «A CMOS Based Microfluidic Detector: Design, Calibration and Experimental Results», IEEE-NEWCAS, Montréal, Canada, 5 – 8 août 2007, pp. 193-196.

[C-33] GHAFAR-ZADEH, E., SAWAN, M., «A CMOS-Based Capacitive Sensor for Laboratory-On-Chips: Design and Experimentals Results», IEEE-ISCAS, New Orleans, USA, 27-30 mai 2007, pp. 85-88.

[C-34] GHEORGHE, L., NICOLESCU, G., BOUCHENEB, H., «A Formalization of Global Simulation Models for Continuous/discrete Systems», Summer Computer Simulation Conference 2007, San Diego, USA 15-18 juillet 2007, pp.

[C-35] GOSSELIN, B., FANIEL, L., SAWAN, M., «A high throughput wireless data transmitter for multi-channel biosignal recording applications», IEEE-BIOCAS, Londres, UK, 29 novembre – 1er décembre 2006, pp. 170-173.

[C-36] GOSSELIN, B., FANIEL, L., SAWAN, M., «A wearable high throughput wireless data transmitter for medical monitoring applications», IFESS, Japon, 30 août – 3 septembre 2006, pp. 222-224.

[C-37] HAMINE, M., AUDET, Y., DAVID, J.P., «A Real Time Image Reconstruction Algorithm for an Integrated Fingerprint Sensor», Proceeding of the IEEE Newcas Conference, Montréal, Canada, 5 – 8 août 2007, pp. 807-810.

[C-38] HASAN, R., SAVARIA, Y., «Metastability Tolerant Mesochronous Synchronizer», 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS ET MWSCAS), Montreal, Canada, 5-8 août 2007, pp. 13-16.

[C-39] HASAN, S.R., SAVARIA, Y., «Crosstalk Effects in Event-Driven Self-time Circuits Designed with 90nm CMOS Technology», 11th ISCAS, New Orleans, 27-30 mai 2007, pp. 629-632.

[C-40] HIRECHE, N., LANGLOIS, P., NICOLESCU, G., «A Systolic Array for Sequence Comparison Based on Two Logic Levels Processing Elements», IEEE NEWCAS/MWCAS'07, Montréal, Canada, 5-8 août 2007, pp. 73-77.

[C-41] KASSEM, A., SAWAN, M., «An Efficient SoC Dedicated to Ultrasonic Digital Imaging», IEEE-IWSOC, Caire, Égypte, 16-17 décembre 2006, pp. 165-168.

[C-42] KOSTKO, I.A., KASHYAP, R., «Novel modulation capability of a long hybrid semiconductor fiber-grating laser with an intra-cavity saturable absorber», Proc. Of LEOS, Montréal, Canada, octobre 2006, pp. 661-662.

[C-43] LESBROS, G., SAWAN, M., «Multiparameters monitoring for long term in-vivo characterization of electrode-tissues contacts», IEEE-ICECS, Nice, France, 10-13 décembre 2006, pp. 25-28.

[C-44] LU, Z., DENOMME, R., MARTEL, S., «Micro-nanoparticle detection : an impedimetric microsensor based on CMOS technology», The 7th IEEE International Conference on Nanotechnology (IEEE-NANO), Hong Kong, Chine, 2 – 5 août 2007, pp.

[C-45] LU, Z, MARTEL, S., «Controlled bio-carriers based on Magnetotactic bacteria», The 14th International Conference on Solid-state Sensors and Actyators, Lyon, France, 10-14 juin 2007, pp. 683-686.

Articles de conférence de septembre 2006 à août 2007 (suite).

[C-46] MAHVASH, H.M., LANGLOIS, J.M.P., SAVARIA, Y., «A Threshold-Based Deinterlacing Algorithm Using Motion Compensation and Directional Interpolation», The 13th International Conference on Electronics, Circuits and Systems (ICECS 2006), Nice, France, 10-13 décembre 2006, pp. 459-462.

[C-47] MARTEL, S., «Magnetic resonance propulsion, control and tracking at 24 Hz of an untethered device in the carotid artery of a living animal: an important step in the development of medical micro-and nanorobots», 29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBS), Lyon, France, 23-26 août 2007, pp. 1463-1466.

[C-48] MARTEL, S., «Magnetotactic bacteria as controlled functional carriers in microsystems, microelectronic circuits and interconnections», 16th European Microelectronics and Packaging Conference (EMPC), Oulu, Finlande, 17-20 juin 2007, pp.

[C-49] MARTEL, S., «Nanorobots for micro factories to operations in the human body and robots propelled by bacteria», DECOM 07, Yzmir, Turquie, 17-18 mai 2007, pp.

[C-50] MATHIEU, J.B., MARTEL, S., «MRI-based magnetic navigation of nanomedical devices for drug delivery and hyperthermia in deep tissues», The 7th IEEE International Conference on Nanotechnology (IEEE-NANO) Hong Kong, Chine, 2-5 août 2007, pp.

[C-51] MILED, A., GHAFAR-ZADEH, E., SAWAN, M., «Fast Decoding Algorithm for First Order DC-Input Sigma-Delta Modulators», IEEE-NEWCAS, Montréal, Canada, 5 – 8 août 2007, pp. 1380-1383.

[C-52] MOSS, L., FONTAINE, S., DE NANCLAS, M., FILION, L., ABOULHAMID, E-M., BOIS, G., «Seamless Hardware/Software Performance Co-Monitoring in a Codesign Simulation Environment with RTOS Support», Design Automation and Test in Europe Conf. Nice, France, 16-20 avril 2007, pp. 1-6.

[C-53] MOUNAIM, F., SAWAN, M., BÉDARD, S., «Implantable Neuro-Monito-Stimulation System Dedicated to Enhance the Bladder Functions», IEEE-BIOCAS, London, UK, 29 novembre – 1er décembre 2006, pp.

[C-54] MOUNAIM, F., SAWAN, M., «Miniature Implantable System Dedicated to Bi-Channel Selective Neurostimulation», Invited paper IEEE-ISCAS, New Orleans, USA 27-30 mai 2007, pp. 2072-2075.

[C-55] NADEAU, P., SAWAN, M., «A flexible high voltage biphasic pulse generator dedicated for constant current electrical stimulation», IEEE-BIOCAS, London, UK, 29 novembre – 1er décembre 2006, pp. 206-209.

[C-56] NADERI, A., SAWAN, M., SAVARIA, Y., «A 1.8GHz CMOS Continuous-Time Band-Pass Delta-Sigma Modulator for RF Receivers», IEEE-NEWCAS, Montréal, Canada, 5 – 8 août 2007, pp. 1078-1081.

[C-57] NEMOVA, G., KASHYAP, R., «Corrugated Metal Bragg Grating Assisted Integrated Planar Waveguide Surface Plasmon-Polariton Based Sensor», Canadian Conference on Electrical and Computer Engineering, CCECE, Vancouver, Canada, avril 2007, pp. 1449-1451

[C-58] NEMOVA, G., KASHYAP, R., «A Novel Plasmon-Polariton Fiber Sensor with an Integrated Corrugated Metal Bragg Grating», Proc. of LEOS, Montréal, Canada, octobre 2006, pp. 366-367.

[C-59] NEMOVA, G., KASHYAP, R., «Novel Integrated Optical Bragg Grating Assisted Surface Plasmon-polariton Refractive Index Sensors», Proc. Of OFS, Cancun, Mexique, octobre 2006, pp. 1-3.

[C-60] NICOLESCU, G., BOUCHENEB, H., GHEORGHE, L., BOUCHHIMA, F., «Methodology for efficient design of Continuous/Discrete-Events Co-Simulation Tool», Proc. Of SCM Western Multi-Conference on Modeling and Simulation, San Diego, USA, pp. 172-180.

[C-61] PONTIKAKIS, B., BUI, H.T., BOYER, F.R., SAVARIA, Y., «Precise Free-running Period Synthesizer (FRPS) with Process and Temperature Compensation » 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS ET MWSCAS) Montreal, Canada, 5-8 août 2007, pp. 1118-1121.

[C-62] PONTIKAKIS, B., BUI, H.T., BOYER, F.R., SAVARIA, Y., «A Low Complexity High-Speed Clock Generator for Dynamic Frequency Scaling of FPGA and Standard-Cell Based Designs», ISCAS 2007, New Orleans, USA, 27-30 mai 2007, pp. 633-636.

[C-63] ROBERT, P.Y., SAWAN, M., «An independent-component analysis-based time-space processor for the identification of neural stimulation sources» IEEE-EMBS, France, 22-26 août 2007, pp. 3876-3879.

Articles de conférence de septembre 2006 à août 2007 (suite).

[C-64] ROBILLARD, C., COULOMBE, J., NADEAU, P., SAWAN, M., «Neural stimulation safety and energy efficiency: Waveform analysis and validation», IFESS, Japon, 12-15 septembre 2006, pp. 94-96.

[C-65] SAINT MLEUX, X., FEELY, M., DAVID, J.-P., «S Hard: a Scheme to Hardware Compiler», Scheme and Functional Programming (affiliated with the 11th ACM SIGPLAN International Conference on Functional Programming (ICFP 2006), Portland Oregon, USA, septembre 2006, pp. 39-49.

[C-66] SINGH, R., AUDET, Y., GAGNON, Y., SAVARIA, Y., «Integrated Circuit Trimming Technique for Offset Reduction in a Precision CMOS Amplifier» IEEE International Symposium on Circuits and Systems, New Orleans, USA, 27-30 mai 2007 pp. 709-712.

[C-67] TANGUAY, L.F., SAWAN, M., «Low Power SAW-Based Oscillator for an Implantable Multisensor Microsystem», IEEE-APCCAS, Singapore, 4-7 décembre 2006, pp. 494-497.

[C-68] TANGUAY, L.F., SAWAN, M., «A Fully-Integrated 580 µW ISM-Band Frequency Synthesizer for Implantable Medical Devices», International Symposium on Signal, Circuits and Systems, IEEE ISSCS, Roumanie, 13-14 juillet 2007, vol. 1, pp. 1-4.

[C-69] TRABELSI, A., BOYER, F.R., SAVARIA, Y., BOUKADOUM, M., «Improving LPC Analysis of Speech in Additive Noise», 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS ET MWSCAS) Montreal, Canada, 5-8 août 2007, pp. 93-96.

[C-70] TRABELSI, A., BOYER, F.R., SAVARIA, Y., «Speech Enhancement Based Noise PSD Estimator to Remove Cosine Shaped Residual Noise» 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS ET MWSCAS) Montreal, Canada, 5-8 août 2007, pp. 393-396.

[C-71] TSIKHANOVICH, A., ABOULHAMID, E.-M., BOIS, G., «Timing Specification in Transaction Level Modeling of Hardware/Software Systems» Proc. IEEE Northeast Workshop on Circuits and Systems, Montréal, Canada, 5 – 8 août 2007, pp. 249-252.

[C-72] VALORGE, O., GOSSELIN, B., TANGUAY, L.F., SAWAN, M., «Electromagnetic Compatibility Modeling in Low-noise Medical Sensor Interfaces», IEEE_ISCAS, New Orleans, USA, 27-30 mai 2007, pp. 1545-1548.

[C-73] VEILLEUX, N., SAWAN, M., «Modélisation d'une architecture générique d'un système ultrasonore embarqué», TAISA, Strasbourg, France, 19-20 octobre 2006, pp. 77-80.

[C-74] WU, K., YAO, J., ZHANG, X., KASHYAP, R., «Millimeter-Wave Photonic Techniques for Broadband Communication and Sensor Applications», Lasers & Electro-Optics Society, IEEE, Montréal, Canada, 29 octobre – 2 novembre 2006, pp. 270-271.

[C-75] ZAKI, M., TAHAR, S., BOIS, G., «A Symbolic Approach for the Safety Verification of Continuous Systems», Real Time System and Adaptive Application Workshop (RTSAA'07) à International Conference on Computational Science, Beijing, Chine, mai 2007, pp. 93-100.

[C-76] ZAKI, M., TAHAR, S., BOIS, G., «Abstraction Based Verification of Analog Circuits Using Computer Algebra and Constraint Solving», Proc. Of International Workshop on Symbolic Methods and Applications to Circuit Design, Italie, octobre 2006, pp. 1-4.

[C-77] ZARRABI, H., ZILIC, Z., AL-KHALILI, A.J., SAVARIA, Y., «A Methodology for Parallel Synthesis of Zero Skew Differential Clock Distribution Networks», 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS et MWSCAS), Montréal, Canada, 5-8 août 2007, pp. 799-802.

Articles de conférence de septembre 2005 à août 2006.

[C-78] ABOUSSOUAN, E., MARTEL, S., «High precision absolute positioning of medical instruments in MRI systems», Proceedings of the 28th IEEE-EMBS Annual International Conference of the Engineering in Medicine and Biology Society, New York, USA, 30 août - 3 septembre 2006, pp. 743-746.

[C-79] ABOUSSOUAN, E., MARTEL, S., «Ferromagnetic artefacts in MRI: Minimization of motion effects in long TR acquisitions», Proceedings of the 28th IEEE-EMBS Annual International Conference of the Engineering in Medicine and Biology Society, New York, USA, 30 août - 3 septembre 2006, pp. 1750-1753.

Articles de conférence de septembre 2005 à août 2006 (suite).

[C-80] ALI, S.M., RAUT, R., SAWAN, M., «Digital Encoders for High Speed Flash-ADCs: Modeling and Comparison», IEEE-NEWCAS, Gatineau, Canada, 18- 20 juin 2006, pp .69-72

[C-81] AMIRI, M.A., BOUKADOUM, M., KHOUAS, A., «Low Dead Time, Multi-hit FPGA-based Time-to-Digital Converter», IEEE Northeast Workshop on Circuits and Systems, NEWCAS, Gatineau, Canada, 18-21 juin 2006, pp. 29-32.

[C-82] AMMARI, A., NICOLESCU, B., LEVEUGLE, R., SAVARIA, Y., «Evaluation of a Software-Based Error Detection Technique by RT-Level Fault Injection», 3 IEEE International Workshop on Electronic Design, Test and Applications (DELTA 2006), Malaisie, 17-19 janvier 2006, pp. 488-493.

[C-83] ANDRÉ, W., MARTEL, S., « Initial Design of a Bacterial Actuated Microrobot for Operations in an Aqueous Medium »EMBS'06 28th Annual International Conference of the Engineering in Medicine and Biology Society, New-York, USA, 30 août – 3 septembre 2006, pp. 2824-2827.

[C-84] AUDET, Y., AUBRAY, L., BLOUIN, D., «A CMOS Fingerpring Sensor Based on Skin Resistivity», The 4th International IEEE-NEWCAS Conference, Gatineau, Canada, 18-21 juin 2006, pp. 269-272.

[C-85] BÉLANGER, N., SAVARIA, Y., «On the Design of a Double Precision Logarithmic Number System Arithmetic Unit», NEWCAS 2006, Gatineau, Canada, 18-21 juin 2006, pp. 241-243.

[C-86] BOUCHEBABA, Y., GAGNÉ, V., NICOLESCU, G., ABOULHAMID, M., «SoC memory optimization using loop transformations», NEWCAS 2006, Gatineau, Canada, 18-21 juin 2006, pp. 189-192.

[C-87] BOUCHEBABA, Y., NICOLESCU, G., ABOULHAMID, E.M., «Buffer and register allocation for memory space allocation», IEEE ASAP, Colorado, USA, septembre 2006, pp. 283-290.

[C-88] BOUCHEBABA, Y., GAGNÉ, V., NICOLESCU, G., ABOULHAMID, E-M., «SoC Memory Optimization Using Loop Transformations», NEWCAS 2006, Gatineau, Canada, 18-21 juin 2006, pp. 189-192.

[C-89] BRASSARD, O., KASTLE, M., ABOULHAMID, E.M., ROUSSEAU, F., DAVID, J.P., «Automatic Generation of Embedded Systems with .NET Framework Based Tools», Northeast Workshop on Circuits and Systems (NEWCAS'2006), Gatineau, Canada, 18-21 juin 2006, pp. 165-168.

[C-90] BUI, H.T., SAVARIA, Y., «High Speed Differential Pulse-Width Control Loop Based on Frequency-to-Voltage Converters» 16th ACM Great Lakes Symposium on VLSI, GLSVLSI 2006, Philadelphia, USA, 30 avril – 2 mai 2006, pp. 53-56.

[C-91] CASTONGUAY, A., SAVARIA, Y., «Architecture for a Hyper Transport Tunnel», ISCAS 2006, Island of Kos, Grèce, 21-24 mai 2006, pp. 4038-4041.

[C-92] CELEBI-OZCAN, L.C., TRÉANTON, V., KASHYAP, R., MARTINU, L., «2D Refractive Index Measurement of CO_2 Laser Written Planar Optical Waveguides», », Photonics North 206, Québec, Canada, 5-8 juin 2006, vol. 6343, issue 1A, pp. 1 - 8.

[C-93] CHANU, A., ABOUSSOUAN, E., TAMAZ, S., MARTEL, S., «Sequence design and software environment for real-time navigation of a wireless ferromagnetic device using MRI system and single echo 3D tracking», Proceedings of the 28th IEEE-EMBS Annual International Conference of the Engineering in Medicine and Biology Society, New York, USA, 30 août – 3 septembre 2006, pp. 1746-1749.

[C-94] CHANU, A., MARTEL, S., BEAUDOIN, G., «Real-time magnetic resonance gradient-based propulsion of a wireless micro device using pre-acquired roadmap and dedicated software architecture» Proceedings 17th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Shanghai, China, 1-4 septembre 2005, pp. 5190-5193.

[C-95] CHEBLI, R., SAWAN, M., SAVARIA, Y., «Gate oxide protection in HV CMOS/DMOS integrated circuits: Design and experimental results», IEEE-ICECS, Gammarth, Tunisie, 11-14 décembre 2005, pp. 18-21.

[C-96] CHEBLI, R., SAWAN, M., «High-Voltage CMOS/DMOS Interface Dedicated for Ultrasonic Sensing», IEEE-CAMPS, Montréal, Canada, 18-20 août 2006, pp. 71-72.

[C-97] CHEN, L.R., KASHYAP, R. AZANA, J., MACIEJKO, R., MATEI, R., BARON, J., NEMOVA, G., CHAUVE, J., BOJOR, L., BEITEL, D., SAQQA, S., SINGH, K., «Developing Broadband Sources for Optical Coherence Tomography», Photonics North 206, Québec, Canada, 5-8 juin 2006, vol. 6343, issue 1, pp. 1-10.

[C-98] CHUREAU, A., BOLAND, J.-F, SAVARIA, Y., THIBEAULT, C., GAGNON, F., Z. ZILIC, «Building Heterogeneous Functional Prototypes using Articulated Interfaces» NEWCAS 2006, Gatineau, Canada, 18-21 juin 2006, pp. 137-140.

Articles de conférence de septembre 2005 à août 2006 (suite).

[C-99] DECA, R., CHERKAOUI, O., SAVARIA, Y., SLONE, D. «Aspects of Configuration Constraints in Network Services» Gestion de Réseaux et de Services 2006, GRES'2006 Bordeaux, France, 9-12 mai 2006, pp. 100-111.

[C-100] DECA, R., MAHREZ, O., CHERKAOUI, O., SAVARIA, Y., SLONE, D., «Contributions to Automated Testing of Network Service Interactions», 5e Colloque International sur les Nouvelles Technologies de la Répartition (NOTERE 2005, 30 août au 1er septembre 2005, Gatineau, Canada, pp. 175-180.

[C-101] DENG, S., HU, Y., SAWAN, M., "A High Data Rate QPSK Demodulator for Inductively Powered Electronics Implants", IEEE-ISCAS, Kos, Grèce, 21-24 mai 2006, pp. 2577-2580.

[C-102] DESLAURIERS, F., LANGEVIN, M., BOIS, G., SAVARIA, Y., PAULIN, P., «RoC: A scalable Network on Chip Based on the Token Ring Concept», Proceeding of Northeast Workshop on Circuits and Systems, Gatineau, Canada, 18-21 juin 2006, pp. 155-157.

[C-103] DESILETS, T., SAWAN, M., BELLEMARE, F., "Wireless E.9sophageal Catheter Dedicated to Respiratory Diseases Diagnostic", IEEE-ISCAS, Kos, Grèce, 21-24 mai 2006, pp. 2581-2584.

[C-104] DOLJANU, A., SAWAN, M., «3D Reconstruction of Dynamic Scenes Dedicated to an Image Sensor of a Visual Intracortical Stimulator», IEEE-CAMPS, Montréal, Canada, 18-20 août 2006, pp. 177-178.

[C-105] DUMORTIER, C., GOSSELIN, B., SAWAN, M., "Wavelet Transforms Dedicated to Compress Recorded ENGs from Multichannel Implants: Comparative Architectural Study", IEEE-ISCAS, Kos, Grèce, 21-24 mai 2006, pp. 2129-2132.

[C-106] FELFOUL, O., RAIMBERT, M., MARTEL, S., «Magnetic field mapping by selective equipotential excitation», Proceedings of the 28th IEEE-EMBS Annual International Conference of the Engineering in Medicine and Biology Society, New-York, USA, 30 août – 3 septembre 2006, pp. 3775-3778.

[C-107] GAO, S., CHABINI, N., AL-KHALILI, D., LANGLOIS, J.M.P., «Efficient realization of large integers multipliers and squarers», Proceedings of IEEE NEWCAS, Gatineau, Canada, 18-21 juin 2006, pp. 37-40.

[C-108] GAO, S, CHABINI, N., AL-KHALILI, D., LANGLOIS, J.M.P., «An optimized design approach for squaring large integers using embedded hardwired multipliers», Proceedings of the ACS/IEEE International Conference on Computer Systems and Application,Dubai/Sharjah, UAE, 8-11 mars 2006, pp. 248-254.

[C-109] GAO, S., CHABINI, N., AL-KAHLILI, D., LANGLOIS, J.M.P. «Optimized multipliers for large unsigned integers», Proceedings of the NORCHIP Conference, Sweden, 21-22 novembre 2005, pp. 78-81.

[C-110] GHAFAR-ZADEH, E., SAWAN, M., «Flexible Biochemical Sensor Array for Environmental Laboratory-On-Chip Applications», IEEE CAMPS, Montréal, Canada, 18-20 août 2006, pp. 65-66.

[C-111] GHAFAR-ZADEH, E., SAWAN, M., «CMOS-Based Capacitive Sensor Array Dedicated to Microfluidic Studies», IEEE-CAMPS, Montréal, Canada, 18-20 août 2006, pp. 42-43.

[C-112] GHAFAR-ZADEH, E., SAWAN, M., THERRIAULT, D., "Direct-write CMOS based Lab-on-chip", NSTI Nanotech, Boston, USA, 7-11 mai 2006, pp. 1-3.

[C-113] GHAFAR-ZADEH, E., THERRIAULT, D., SAWAN, M., "Programmable Three-Dimensional Microfluidic Fabrication by Direct-Write Assembly", NSTI Nanotech, Boston, USA, 7-11 mai 2006, pp. 1-4.

[C-114] GHAFAR-ZADEH, E., SAWAN, M., "CMOS based bioparticle capacitive sensor integrated with direct-write microfluidic devices", IEEE-CCECE, Ottawa, Canada, 7-10 mai 2006, pp. 1613-1616.

[C-115] GHAFER-ZADEH, E., SAWAN, M., THERRIAULT, D., "Direct-Write Fabrication of Microchannel dedicated to CMOS-based Lab-on-chip Applications", ASME, Orlando, USA, 5-11 novembre 2005, pp. 1 - 4.

[C-116] GHEORGHE, L., BOUCHHIMA, F., NICOLESCU, G., BOUCHENEB, H., «Formal definition of simulation interfaces in a continuous/discrete co-simulation tool», IEEE RSP 2006, Grèce, 14-16 juin 2006, pp. 186-192.

[C-117] GIRODIAS, B., BOUCHEBA, Y., NICOLESCU, G., ABOULHAMID, M., PAULIN, P., LAVIGUEUR, B., «Application-Level Memory Optimisation in MPSoC, » IEEE RSP 2006, Grèce, 14-16 juin 2006, pp. 169-178.

[C-118] GIRODIAS, B., ABOULHAMID, M., NICOLESCU, G., «A Platform for Refinement of OS Services in Embedded Systems», Proc. of IEEE International DELTA Conference, Kuala Lumpur, Malaysia, 17-19 janvier 2006, pp. 227-236.

Articles de conférence de septembre 2005 à août 2006 (suite).

[C-119] GOSSELIN, B., ROBERT, P.Y., SAWAN, M., «A Scalable Design for Signal Conditioning and Digitization in Implantable Multi-Channel Neural Sensors» IEEE-CAMPS, Montréal, Canada, 18-20 août 2006, pp. 73-74.

[C-120] GOSSELIN, B., AYOUB, A.E., SAWAN, M., "A Low-Power Bioamplifier With a New Active DC Rejection Scheme", *Invited paper, IEEE-ISCAS*, Kos, Grèce, 21-24 mai 2006, pp. 2185-2188.

[C-121] GUAY, F., DESLANDES, D., LIU, R., KASHYAP, R., «Distributed feedback EBS in a coaxial waveguide by means of a periodical mechanical section modification» IEEE Conference, ANTEM, Montréal, Canada, 15 juillet 2006, pp.565-568.

[C-122] HAJJ-HASSAN, M., SAWAN, M., PETER, Y.-A., MEMS-Based Electrostatic Actuated Scanner Dedicated for Ultrasound Sensors», IEEE-CAMPS, Montréal, Canada, 18-20 août 2006, pp. 69-70.

[C-123] HAJJ-HASSAN, M., SAWAN, M., PETER, Y.-A., "MEMS-Based Scanner Dedicated for Ultrasound Medical Imaging", *IEEE-MWSCAS*, Puerto-Rico, 6-9 août 2006, vol. 1, pp. 3158-3161.

[C-124] HARB, A., SAWAN, M., «Fully Integrated Rectification and Bin-Integration Analog Circuit for Biomedical Signal Processing», 12th International Conference on Electronics, Circuits, and Systems, Gammarth, Tunisie, 11-14 décembre 2005, pp. 14-17.

[C-125] HASAN, S.R., SAVARIA, Y., NEKILI, M., «Split H-tree Design Method for High-Performance GALS Systems», NEWCAS 2006, Gatineau, Canada, 18-21 juin 2006, pp. 161-164.

[C-126] HASHEMI, S., SAWAN, M., SAVARIA, Y., «A Power Planning Model for Bioelectronics Devices», ISCAS 2006, Island of Kos, Grèce, 21-24 mai 2006, pp. 2925-2928.

[C-127] HASHEMI, S., SAWAN, M., SAVARIA, Y., "Modeling Power Budget Requirements of Implantable Electronic devices", IEEE-ICECS, Gammarth, Tunisia, 11-14 décembre 2005, pp. 40-43.

[C-128] HINOJOSA, F.A., MARTEL, S., «Suggested shape for a first generation endovascular untethered microdevice prototype» Proceedings 17th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Shanghai, Chine, 1-4 septembre 2005, pp. 1286-1288.

[C-129] HIRECHE, N., LANGLOIS, J.M.P., NICOLESCU. G., «Survey of Biological High Performance Computing: Algorithms, Implementations and Outlook Research», Proceedings of the IEEE Canadian Conference on Electrical and Computer Engineering, Ottawa, Canada, 7-10 mai 2006, pp. 1926-1929.

[C-130] HIRECHE, N., LANGOIS, P., NICOLESCU, G., «A review of Hw architectures for bioinformatics algorithm acceleration», Canadian Conference on Electrical and Computer Engineering, Ottawa, Canada, 7-10 mai 2006, pp. 1-4.

[C-131] HUANG, Z., SAVARIA, Y., SAWAN, M., MEINGAN, R., «High-Voltage Operational Amplifier Based on Dual Floating-Gate Transistors», ISCAS 2006, Island of Kos, Grèce, 21-24 mai 2006, pp. 4269-4272.

[C-132] HRAIMEL, B., KASHYAP, R., ZHANG, J.X., YAO, J., WU, K., «Large Signal Analysis of Fiber Dispersion Effect on Photonic Up-Conversion in Radio vore Fiber link using Dual Electrode Mach-Zehnder External Modulator» Photonics North 206, Québec, Canada, 5-8 juin 2006, vol. 6343, issue 32L, pp. 1-12.

[C-133] IGNAT, N., NICOLESCU, B., SAVARIA, Y., NICOLESCU, G., «Soft-Error Classification and Impact Analysis on Real-Time Operating Systems», DATE 2006, Munich, Allemagne, 6-10 mars 2006, pp. 182-187.

[C-134] KASHYAP, R., «Fiber Bragg Grating Devices», Proc. of Workshop on Emerging Area of Optical fibres and Future Applications, CGCRI Kolkata, India, 8-10 décembre 2005, pp.

[C-135] KASHYAP, R., NEMOVA, G., «Scattering of light in fiber Bragg gratings», Proc. Of the International Conference on Optics & Optoelectronics, IRDE, Dehradun, India, 12-15 décembre 2005, (9 pages).

[C-136] KASHYAP, R., TRÉANTON, V., CELEBI-OZCAN, L., MARTINU, L., «Dual Laser Fabrication of Planar Lighwave Circuits», Photonics North 206, Québec, Canada, 5-8 juin 2006, vol. 6343, issue H-1, pp. 1-6.

[C-137] KOSTKO, I.A., KASHYAP, R., «A Dynamic Model of a Hybrid Doped-fiber External-cavity Semiconductor Laser», », Photonics North 206, Québec, Canada, 5-8 juin 2006, vol. 6343, issue 0R, pp. 1-8.

[C-138] LAFRANCE, L.P., SAVARIA, Y., «A Delay Characterization Method for Integrated Devices», MWSCAS 2006, The 49th IEEE International Midwest Symposium on Circuits and Systems, San Juan, Puerto Rico, USA, 6-9 août 2006, pp. 3281-3285.

Articles de conférence de septembre 2005 à août 2006 (suite).

[C-139] LANGLOIS, J.M.P., «Design and implementation of high sampling rate programmable FIR filters in FPGAs», Proceedings of IEEE NEWCAS, Gatineau, Canada, 18-21 juin 2006, pp. 237-240.

[C-140] LESBROS, G., SAWAN, M., «Wireless Implantable Sensing Device for In-Vivo Monitoring of Electrode Tissues Contact Variation», IEEE-CAMPS, Montréal, Canada, 18-20 août 2006, pp. 67-68.

[C-141] LIN, K.-Y., TSANG, T., SAWAN, M., EL-GAMAL, M., "Radio-Triggered Solar and Rf Power Scavenging and Management for Ultra Low Power Wireless Medical Applications", IEEE-ISCAS, Kos, Grèce, 21-24 mai 2006, pp. 5728-5731.

[C-142] LIU, R., KOSTKO, I., WU, K, KASHYAP, R., «Tuning characteristics of a long erbium doped fiber external cavity semiconductor laser for radio-over fibre applications», Photonics North 206, Québec, Canada, 5-8 juin 2006, vol. 6343, issue 2J, pp. 1-8.

[C-143] LIZE, Y.K., CHRISTEN, L., GOMMA, R., NUCIO, S., JAYACHANDRAN, N., WILLNER, A.E., KASHYAP, R., «Multi-bit Delay Differential-Phase-Shift-Keye Optical Demodulation» Photonics North 206, Québec, Canada, 5-8 juin 2006, vol. 6343, issue 3V, pp. 1-8.

[C-144] LU, Z., TRUONG, O.D., ANDRÉ, W., MARTEL, S., «Preliminary design of a biosensor based on MC-1 magneto tactic bacteria» The Ninth World Congress on Biosensors (Biosensors 2006) Toronto, Canada, 10-12 mai 2006, pp. 1-4.

[C-145] LU, Z., MARTEL, S., «Microfluidic system for assessing the controllability of MC-1 magneto tactic bacteria as carriers in micro-channels», The Nanotechnology Conference and Trade Show (NSTI) Nanotech, Boston, MA, USA, 7-11 mai 2006, pp. 629-632.

[C-146] LU, Z., MARTEL, S., «Preliminary investigation of bio-carriers using Magnetotactif bacteria», Proceedings of the 28th IEEE-EMBS Annual International Conference of the Engineering in Medicine and Biology Society, New-York, USA, , 30 août – 3 septembre 2006, pp. 3415-3418.

[C-147] LU, Z., GOSSELIN, B., SAWAN, M., "A 16-bit Sigma-Delta Modulator for low power medical implantable sensors", IEEE-ICECS, Gammarth, Tunisie, 11-14 décembre 2005, pp. 8-11.

[C-148] MAHVASH MOHAMMADI, H., SAVARIA, Y., LANGLOIS, J.M.P., «Real Time ELA De-Interlacing with the Xtensa Reconfigurable Processor» NEWCAS 2006, Gatineau, Canada, 18-21 juin 2006, pp. 25-28.

[C-149] MARTEL, S., «Targeted delivery of therapeutic agents with controlled bacterial carriers in the hyman blood vessels» 2nd ASM/IEEE EMBS Conference on Bio, Micro and Nanosystems, San Francisco, Californie, USA, 15-18 janvier 2006, p 9.

[C-150] MARTEL, S., «Magnetotactif phage-based microrobotics systems for the detection of live bacteria», 1er IEEE_RAS/EMBS International Conference on Biomedical Robotics and Biomechatronics – BioRob, Pise, Italie, 20-22 février 2006, pp. 829-834.

[C-151] MARTEL, S., «Controlled bacterial micro-actuation» International Conference on Microtechnologies in Medicine and Biology, Okinawa, Japon, 9-12 mai 2006, pp. 89-92.

[C-152] MARTEL, S., «Towards MRI-controlled ferromagnetic and MC-w Magneto tactic bacterial carriers for targeted therapies in arteriolocapillar networks stimulated by tumoral angiogenesis», Proceedings of the 28th IEEE-EMBS Annual International Conference of the Engineering in Medicine and Biology Society, New York, USA, 30 août – 3 septembre 2006, pp. 3399-3402.

[C-153] MARTEL, S., SOULEZ, G., BELIVEAU, R., MATHIEU, J.-B., FELFOUL, O., «Novel targeted treatments of tumors with microparticles driven by MRI-based gradients» 3rd European Medical and Biological Engineering Conference (EMBEC), Prague, République Tchèque, 20-25 novembre 2005, pp.,

[C-154] MASOOD, A., RAUT, R., SAWAN, M., «Digital Encoders for High Speed Flash-ADCs: Modeling and Comparison», IEEE North-East Workshop on Circuits and Systems, Gatineau, Canada, 18-21 juin 2006, pp. 69-72.

[C-155] MATHIEU, J.-B., MARTEL, S., «Magnetic steering of iron oxide microparticles using propulsion gradient coils in MRI» Proceedings of the 28th IEEE-EMBS Annual International Conference of the Engineering in Medicine and Biology Society, New-York, USA, 30 août – 3 septembre 2006, pp. 472-475.

[C-156] MATHIEU, J.-B., SOULEZ, G., MARTEL, S., «Potential applications of untethered microdevices in the blood vessels within the constraints of an MRI system», Proceedings 27th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Shanghai, Chine, 1-4 septembre 2005, volume 7, pp. 4850-4853.

Articles de conférence de septembre 2005 à août 2006 (suite).

[C-157] MBAYE, M.M., LEBEL, D., BÉLANGER, N., SAVARIA, Y., PIERRE, S., «Design Exploration with Application-Specific Instruction-Set Processor for ELA Deinterlacing», ISCAS 2006, Island of Kos, Grèce, 21-24 mai 2006, pp. 4607-4610.

[C-158] MOHAMMADI MAHVASH, H., SAVARIA, Y., LANGLOIS, J.M.P., «Real-time ELA de-interlacing with the Xtensa reconfigurable processor», Proceedings of IEEE NEWCAS, Gatineau, Canada, 18-21 juin 2006, pp. 25-28.

[C-159] MOUFARREJ, B., MARTEL, S., «System for the validation of cell-tracking algorithms using on-demand simulated optical microscope images», Proceedings of the 28th IEEE-EMBS Annual International Conference of the Engineering in Medicine and Biology Society, New-York, USA, 30 août – 3 septembre 2006, pp. 1960-1963.

[C-160] MOUNAIM, F., SAWAN, M., «Implantable Electronic Device Dedicated to Neural Stimulation and Sensing», IEEE-CAMPS, Montréal, Canada, 18-20 août 2006, pp. 196-197.

[C-161] NADERI, A., SAWAN, M., SAVARIA, Y., «Design of an Active-RC Bandpass Filter for a Subsampling RF Delta Modulator», CCECE Ottawa, Canada, 7-10 mai 2006, pp. 967-970.

[C-162] NADERI, A., SAWAN, M., SAVARIA, Y., «A Novel 2-GHz Band-pass Delta Modulator Dedicated to Wireless Receivers», ISCAS 2006, Island of Kos, Grèce, 21-24 mai 2006, pp. 1900-1903.

[C-163] NEMOVA, G., KASHYAP, R., «Novel Fiber Bragg Grating Assisted Plasmon-Polariton for Bio-Medical Refractive-Index Sensors», First International Conference on Optical and Optoelectronic Materials and Applications, ICOOPMA 2006, Darwin, Australie, juillet 2006, pp.

[C-164] NICOLESCU, B., IGNAT, N., SAVARIA, Y., NICOLESCU, G., «Sensitivity of Real-Time Operating Systems to Transient Faults: A Cause study for MicroC kernel», 8th European Conference on Radiation and its Effects on Components and Systems (RADECS 2005), Cap d'Agde, France, 19-23 septembre 2005, pp. F1.1- F1.6.

[C-165] NICOLESCU, G., BOUCHHIMA, F., GHEORGE, L., «CODIS: An environment for continuous/discrete systems co-simulation», Proc. IFAC Conference on Analysis and Design of Hybrid Systems, Sardenia, Italie, 7-9 juin 2006, pp. 265-274.

[C-166] PONTIKAKIS, B., BOYER, F.R., SAVARIA, Y., «A 0.8V Algorithmically Defined Buffer and Ring Oscillator Low-Energy Design for Nanometre SoCs», IEEE International Symposium on Circuits and Systems, ISCAS 2006, Island of Kos, Grèce, 21-24 mai 2006, pp. 1259-1262.

[C-167] POUPONNEAU, P., YAHIA, L'H., MERHI, Y., EPURE, L.M., MARTEL, S., «Biocompatibility of candidate materials for the realization of medical microdevices», Proceedings of the 28th IEEE-EMBS Annual International Conference of the Engineering in Medicine and Biology Society, New York, USA, 30 août 3 septembre 2006, pp. 1608-1611.

[C-168] PROVOST S., LAVIGUEUR, B., BOIS, G., NICOLESCU, G., «Integration of Configurable Processors in a Multiprocessor platform», IEEE SOCC, Atlanta, USA, septembre 2006, pp. 221-224.

[C-169] RAJAGOPALAN, S., GHAFAR-ZADEH, E., SAWAN, M., "CMOS-based glucose monitor using biofunctionalised polypyrrole electrodes", Biosensors, Toronto, Canada, 10-12 mai 2006, pp. 1-4.

[C-170] ROBERT, P.-Y., AYOUB, A.-E., GOSSELIN, B., SAWAN, M., "An Ultra-Low-Power Successive-Approximation-Based ADC for Implantable Sensing Devices", IEEE-MWSCAS, Puerto-Rico, USA, 6-9 août 2006, vol. 1, pp. 7-11.

[C-171] SABRA, W., KHOUZAM, M., CHAMU, A., MARTEL, S., «Use of 3D potential field and an enhanced breath-first search algorithms for the path planning of microdevices propelled in the cardiovascular system», Proceedings 17th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Shanghai, Chine, 1-4 septembre 2005, pp. 3916-3920.

[C-172] SAWAN, M., HU, Y., COULOMBE, J., "Wirelessly Powered and Bidirectional Data Exchanged in Smart Medical Microsystems", IEEE-CICC, San Francisco, USA, 18-21 septembre 2005, pp. 5-12.

[C-173] TAMAZ, S., MARTEL, S., «Bidimensional MRI-based navigation system using a PID controller», Proceedings of the 28th IEEE-EMBS Annual International Conference of the Engineering in Medicine and Biology Society, New-York, USA, 30 août – 3 septembre 2006, pp. 4424-4427.

[C-174] TAMAZ, S., MARTEL, S., «Impact of the MRI-based navigation system constraints on the step response using PID controller», Proceedings 17th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Shanghai, Chine, 1-4 septembre 2005, pp. 5073-5076.

Articles de conférence de septembre 2005 à août 2006 (suite).

[C-175] TANGUAY, L.F., SAWAN, M., «An Ultra-Low Power, Fully Integrated VCO for an Implantable Wireless Sensor Microsystem in 90-nm CMOS», IEEE-CAMPS, Montréal, Canada, 18-20 août 2006, pp. 44-45.

[C-176] TAPP, M., NICOLESCU, G., ABOULHAMID, E.M., «A Performance Evaluation of Dynamically Generated Gateways» Proc. of Simulation Introspection Workshop, USA, 2006, pp.

[C-177] TAPP, M., NICOLESCU, G., ABOULHAMID, E.M., «Experience with XML Format and Syntax for Describing Interoperability» Proc. of Simulation Introspection Workshop, USA 2006, pp.

[C-178] TRÉANTON, V., OZCAN, L.C., GUAY, F., KASHYAP, R., MARTINU, L., «Engineering of Waveguides and other Micro-Structures in Dielectrics», Photonics North 206, Québec, Canada, 5-8 juin 2006, vol. 6343, issue 12, pp. 1-8.

[C-179] TRÉANTON, V., CELEBI-OZCAN, L., KASHYAP, R., MARTINU, L., «Laser Fabrication of Microfluidics Circuits», Photonics North 206, Québec, 5-8 juin 2006, vol. 6343, issue 25, pp. 1-6.

[C-180] ZARRABI, H., SAAIED, H., AL-KHALILI, J., SAVARIA, Y., «Zero Skew Differential Clock Distribution Network», ISCAS 2006, Island of Kos, Grèce, 21-24 mai 2006, pp. 2077-2080.

[C-181] ZAKI, M., TAHAR, S., BOIS, G., «Formal Verification of Analog and Mixed Signal Designs: Survey and Comparison» Proceedings IEEE Northeast Workshop on Circuits and Systems, Gatineau, Canada, 18-21 juin 2006, pp. 281-284.

[C-182] ZAKI, M., TAHAR, S., BOIS, G., «A Practical Approach for Monitoring Analog Circuits», Proc. ACM 16th Great Lakes Symposium on VLSI, Philadelphia, Pennsylvania, USA 30 avril au 2 mai 2006, pp. 330-333.

[C-183] ZHOU, B., AMIRI, M.A., KHOUAS, A., «Investigation of single cell delay and delay mismatch in ring oscillator based test structure», Proceedings of WSEAS International Conference on Circuits and Systems, Athènes, Grèce 10-12 juillet 2006, pp. 903-906.

AUTRES PUBLICATIONS (invitation)

CHAPITRE DE LIVRES

[L-1] NICOLESCU, G., JERRAYA, .A A., «Global Specification and Validation of Embedded Systems», Springer Publisher, Springer, 2007.

INDEX DES AUTEURS

A

AIT YAKOUB, My El Mustapha 23
AMIRI, Amir Mohammad 24
ANDRÉ, Walder 25
AYOUB, Amer Elias 26

B

BAFUMBA- LOKILO, David 26
BENAMRANE, Iliasse 29
BENDALI, Abdelhalim 30
BEUCHER, Nicolas 31
BINET, Vincent 32

C

CHEBLI, Robert 34
CHÉNIER, Félix 35
CHEVALIER, JÉRÔME 37
COULOMBE, Jonathan 38

D

DE NANCLAS, Maxime 40
DECA, Radu 39
DOLJANU, Delia Alexandra 41
DUNGEN, Jeffrey 42
DUPIRE, Thierry 43

F

FAIZ, Ahmed 44
FAUCHER, Corentin 45
FONTAINE, Sébastien 46

G

GENEST, Pier-Olivier 47
GHAFAR ZADEH, Ebrahim 48
GHANNOUM, Roula 49
GHEORGHE, Luiza 50
GIRODIAS, Bruno 51
GOSSELIN, Benoît 52

H

HAJJ-HASSAN, Mohamad 54
HASAN, Syed Rafay 55
HASHEMI, Saeid 56

K

KOWARZYK MORENO, Gilbert 57

L

LAUG, Nicolas 58
LEBEL, Dany 59
LESBROS,Guillaume 60
LÉVESQUE, Philippe 61
LU, Zhijun 62

M

MAHVASH Mohammad Hossein 63
MARCHE, David 64
MBAYE, Mame Maria 65
MÉNARD BEAUDOIN Philippe 66
MILED, Mohamed Amine 67
MOSS, Laurent 68
MOUNAIM, Fayçal 69

N

NADERI, Ali 70
NEMR, Abbas 71
NGUYEN, Anh Tuan 72
NSAME, Pascal 73

O

OULD BACHIR, Tarek 74

P

PONTIKAKIS, Bill 75

R

RHOU, Bassam 76
ROBERT, Pierre-Yves 76
ROBILLARD, Charles 78

S

SALEH, Abbas 79
SALOMON, Max-Élie 80
SINGH, Rahul 81

T

TABARI, Karima 82
TANGUAY, Louis-François 83
TAPP, Martin 84
THIBEAULT, Jean-François 85
TRABELSI, Abdelaziz 86

W

WEHBE, Mohamad **87**