GRM

École Polytechnique

GROUPE DE RECHERCHE EN MICROÉLECTRONIQUE ET MICROSYSTÈMES

RAPPORT ANNUEL
2007 - 2008

ÉCOLE
POLYTECHNIQUE
MONTRÉAL

TABLE DES MATIÈRES

REMERCIEMENTS 3
INTRODUCTION 3
COLLABORATIONS EN 2007-2008 3
OBJECTIFS DU GR2M 4
COMPOSITION DU GROUPE 4
LISTE DES MEMBRES RÉGULIERS 4
LISTE DES MEMBRES ASSOCIÉS 5
LISTE DES CHERCHEURS POST DOCTORAUX ET AUTRES PROFESSIONNELS 5
PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE 6
DOMAINES 6
ACTIVITÉS DES MEMBRES RÉGULIERS 6
ACTIVITÉS DU PROFESSEUR BOIS 7
ACTIVITÉS DU PROFESSEUR DAVID 8
ACTIVITÉS DU PROFESSEUR AUDET 9
ACTIVITÉS DU PROFESSEUR BOYER 10
ACTIVITÉS DU PROFESSEUR BRAULT 11
ACTIVITÉS DU PROFESSEUR KHOUAS 12
ACTIVITÉS DU PROFESSEUR LANGLOIS 13
ACTIVITÉS DU PROFESSEUR MARTEL 14
ACTIVITÉS DU PROFESSEUR NICOLESCU 15
CONCEPTION DES SYSTÈMES EMBARQUÉS HÉTÉROGÈNES 15
CONCEPTION DES SYSTÈMES SUR-PUCE MULTIPROCESSEUR 15
ACTIVITÉS DU PROFESSEUR SAVARIA 16
ACTIVITÉS DU PROFESSEUR SAWAN 17
ÉTUDIANTS AUX CYCLES SUPÉRIEURS 18
ÉTUDIANTS NOUVELLEMENT INSCRITS 19
TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT 20
DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS 23
RÉSUMÉ: 77
PROBLÉMATIQUE: 77
MÉTHODOLOGIE: 77
RÉSULTATS: 77
SUBVENTIONS ET CONTRATS 81
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES 81
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE DE GROUPE 84
ÉQUIPEMENT ÉLECTRONIQUE 87
ÉQUIPEMENT APPARTENANT AU GROUPE (WWW.GR2M.POLYMTL.CA) 87
USINE TYCO (GR2M / POLYSTIM) 89
ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA) 89
ÉQUIPEMENT INFORMATIQUE PRÊTÉ PAR LA CMC (WWW.CMC.CA) 90
ÉQUIPEMENT INFORMATIQUE 91
ÉQUIPEMENT INFORMATIQUE APPARTENANT AU GR2M (WWW.GR2M.POLYMTL.CA) 91
LOGICIELS DE MICROÉLECTRONIQUE 91
LOGICIELS DISPONIBLES AU GR2M (WWW.GR2M.POLYMTL.CA) 91
PUBLICATIONS ET RÉALISATIONS 93
ARTICLES DE REVUES ACCEPTÉS POUR PUBLICATION 93
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2007 À AOÛT 2008 94
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2007 À AOÛT 2008 (SUITE) 95
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2006 À AOÛT 2007 95
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2006 À AOÛT 2007 (SUITE) 96
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2007 À AOÛT 2008. 97
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2006 À AOÛT 2007. 99
AUTRES PUBLICATIONS (INVITATION) 104
LIVRES 104
BREVETS 104

REMERCIEMENTS

Nous désirons remercier tous les membres du GR2M (Groupe de Recherche en Microélectronique et Microsystèmes) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à sa diffusion sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche.

INTRODUCTION

Le Groupe de Recherche en Microélectronique et Microsystèmes (GR2M) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 2007 – 2008, 58 étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GR2M et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) auprès du Fonds Québécois de la recherche sur la nature et les technologies (FQRNT), ainsi qu'au Programme de Recherche Orientée en Microélectronique, photonique et télécommunication. Citons aussi les projets réalisés avec des partenaires industriels, Sanyo, PMC-Sierra, Scanview, Victhom, Amirix, ST-Microélectronique, Technocap. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 2007-2008

L'année 2007 - 2008 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GR2M et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs, Savaria, Martel, Bois et Aboulhamid de l'Université de Montréal (vérification et méthodes de conception); Savaria et Cherkaoui de l'UQAM (configuration et vérification de routeurs réseau), Savaria, Gagnon et Thibeault (architecture de systèmes de communication sans fil), Savaria et Meunier (technologie de calibration par laser de circuits analogiques), Sawan, Savaria, (mise en œuvre de chaire de conversion d'énergie), Sawan et El-Gamal (circuits à fréquences radio). Kashyap et Wu (Polygrames), Zhang (Concordia) Yao (Ottawa) sur le domaine de radio sur fibre, Kashyap et Maciejko, Azaan (INRS), Bertrand (EPM), Chen (McGill), Kieffer (IRNS) Piché (U Laval), Skorobogatiy (EPM) sur le domaine des sources ultra large bande pour la bio photonique. De plus, Bois et Nicolescu collaborent avec Aboulhamid de l'Université de Montréal, et Tahar de l'Université Concordia sur la conception et la vérification des systèmes sur puces complexes. Notons la collaboration avec plusieurs membres du centre PolyGrames, notamment les professeurs Brault et Laurin (direction d'arrivée d'un faisceau électromagnétique), Sawan et Meunier (microélectrodes), Sawan et Peter (structures MEMS), Sawan et Therriault (structures micro fluidiques), Sawan et Lesage (capteurs optiques).Ajoutons que sur le plan de la mise en œuvre de dispositifs microélectroniques médicaux, le professeur Sawan collabore avec le Dr M. Elhilali de l'Université McGill (implant urinaire), le Dr F. Bellemare de l'Université de Montréal (cathéter oephagien), le Dr D. Guitton et Dr. A. Chaudhuri de l'Université McGill (implant visuel cortical et les Drs. Chapman de Concordia et Leporé de l'Université de Montréal (surveillance intra corticale). Enfin, notons que les professeurs Kashyap, Martel, Meunier, Savaria et Sawan sont titulaires de Chaires de recherche du Canada.

OBJECTIFS DU GR2M

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique et Microsystèmes a pour objectif général de «promouvoir et regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».
Plus spécifiquement, le Groupe de Recherche en Microélectronique et Microsystèmes poursuit les objectifs suivants:

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GR2M;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique et Microsystèmes relève du directeur du département de génie électrique et se compose des membres réguliers, membres associés et d'autres professionnels et chercheurs:

Liste des membres réguliers

- **Dr Guy Bois:** professeur titulaire au département de génie informatique et directeur du Groupe de Recherche en Microélectronique et Microsystèmes. Il s'intéresse à la conception des systèmes embarqués, plus particulièrement à leurs spécifications, modélisation, partitionnement logiciel/matériel, synthèse, vérification fonctionnelle et prototypage.
- **Dr. Jean-Pierre David**: professeur adjoint au département de génie électrique et codirecteur du Groupe de Recherche en Microélectronique et Microsystèmes. Il s'intéresse à la conception rapide et fiable de systèmes numériques à partir d'une description de haut niveau, en particulier pour les systèmes reconfigurables (FPGA).
- **Dr Yves Audet:** professeur adjoint au département de génie électrique, ses travaux de recherche portent sur les circuits intégrés analogiques, les capteurs d'images CMOS et les interconnexions photoniques pour système VLSI.
- **Dr François Raymond Boyer:** professeur adjoint au département de génie informatique qui s'intéresse aux architectures et méthodes de conception des circuits VLSI. Il s'intéresse notamment à l'optimisation des systèmes exploitant des horloges multi phase.
- **Dr Jean-Jules Brault:** professeur agrégé au département de génie électrique et directeur du Laboratoire de Réseaux Neuronaux (LRN), qui s'intéresse aux diverses architectures et applications des machines neuronales, virtuelles ou électroniques, de même qu'au développement de leurs algorithmes d'apprentissage.
- **Dr. Raman Kashyap:** professeur titulaire aux départements de génie électrique et de génie physique. Il s'intéresse aux nouveaux concepts en photonique pour les applications en radio sur fibre, technologies et composants à bandes interdites, biocapteurs, communications optiques, réseaux de Bragg en fibre optique à base de polymères, nouveaux procédés pour fabriquer des guides d'ondes et leur intégration avec les circuits électroniques. Il est membre fondateur du groupe Polyphotonique et le directeur du laboratoire de concepts photoniques avancés (APCL).
- **Dr Abdelhakim Khouas:** professeur adjoint au département de génie électrique dont les domaines de recherche portent sur le test et la conception en vue du test (chemin de SCAN, BIST, JTAG) des circuits intégrés numériques, analogiques et mixtes, le développement d'outils de CAO pour la microélectronique, le prototypage de systèmes numériques et la synthèse sur FPGA.
- **Dr. Pierre Langlois:** professeur agrégé au département de génie informatique, s'intéresse à la conception et à la réalisation de systèmes embarqués pour le traitement du signal et le traitement d'images, aux circuits arithmétiques, et à l'architecture des ordinateurs.

- **Dr Sylvain Martel**: professeur agrégé au département de génie informatique et titulaire d'une chaire de recherche du Canada dont le domaine de recherche est principalement la conception de micro et nano systèmes électromécaniques, incluant la nano robotique pour les applications au niveau moléculaire et atomique en touchant plusieurs aspects comme l'instrumentation, l'électronique, les ordinateurs ainsi que les systèmes reconfigurables. En nano robotique, nous exploitons les découvertes fondamentales en nano sciences par la conception de nano robots capable de travailler au niveau du nanomètre pour créer de nouveaux systèmes, produits et applications.
- **Dr. Gabriela Nicolescu**: professeure adjoint au département de génie informatique qui s'intéresse à la conception de haut niveau des systèmes embarqués hétérogènes composés de sous systèmes spécifiques aux différents domaines d'application: logiciel, matériel, mécanique, optique et RF. Elle travaille aussi sur la conception des systèmes sur puce multiprocesseurs.
- **Dr Yvon Savaria:** professeur titulaire et directeur de département de génie électrique, titulaire d'une chaire de recherche du Canada en Conception de systèmes microélectroniques intégrés, directeur du Groupe de Recherche en Microélectronique et Microsystèmes, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de tolérance aux pannes et de testabilité, à la conception et la vérification des systèmes sur puce (SOC), à la conception des circuits numériques, analogiques et mixtes et aux applications de ces technologies.
- **Dr. Mohamad Sawan:** professeur titulaire au département de génie électrique et détenteur d'une chaire de recherche du Canada sur les dispositifs médicaux intelligents et directeur du regroupement stratégique en microsystèmes du Québec, qui s'intéresse à la conception et la réalisation de circuits mixtes (numériques, analogiques, optiques et RF) et à leurs applications dans les domaines industriel (communication sans fil) et biomédical (stimulateurs et capteurs sensoriels).

Liste des membres associés

- **Dr David Haccoun:** professeur titulaire au département de génie électrique qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI. Il collabore avec MM Savaria et Sawan sur l'implantation de codeurs-décodeurs.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et titulaire d'une chaire de recherche du Canada en micro-ingénierie et nano-ingénierie des matériaux par laser. Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique et avec Mohamad Sawan sur les microélectrodes.

Liste des chercheurs post doctoraux et autres professionnels

- M. Normand Bélanger — associé de recherche
- M. Éric Legua — associé de recherche
- M. Olivier Valorge — Stagiaire post-doctoral

De plus, les personnes suivantes collaborent aux travaux du groupe à divers titres:

- M. Réjean Lepage — technicien et chef d'équipe du laboratoire GR2M.
- M. Laurent Mouden — technicien du laboratoire GR2M

Ces personnes forment le Groupe de Recherche en Microélectronique et Microsystèmes de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la microélectronique.

PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE

Domaines

Les programmes de recherche et de formation de chercheurs en microélectronique de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie microélectronique en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défectuosités;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, et en biomédical par la réalisation de capteurs et micro stimulateurs implantables;
- Les logiciels de synthèse, de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques, ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse des activités de chaque membre au sein du GR2M.

Activités du professeur Bois

Le professeur Bois poursuit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux: contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous, la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommé co-design.

Le professeur Bois travaille au développement de méthodes modernes de conception conjointe logiciel/matériel. Plus particulièrement, ses travaux se concentrent autour de trois projets:

1) Space Codesign

La technologie Space Codesign consiste en un logiciel facilitant la conception de systèmes électroniques embarqués. Par simulation, il est possible de modéliser le comportement d'une application que l'on veut implanter (par exemple un téléphone cellulaire contiendra des algorithmes spécialisés ou d'encodage de la voix). De plus, le fait que le tout soit en simulation permet d'explorer aisément différentes architectures pour ainsi trouver un compromis du système le plus performant, au coût le plus bas. Cette caractéristique est apportée par 2 technologies :

- Elix permettant l'exploration et la simulation rapide de différentes configurations d'un même système électronique embarqué et;
- Simtek permettant de simuler, avec une grande précision, une configuration particulière choisie avec Elix ou construite de toute pièce, et tout cela avant même de créer physiquement le circuit. De plus, un outil complémentaire permet de collecter des statistisques sur les performances et comportements du système en simulation.

En plus d'offrir des possibilités d'exploration de différentes architectures grâce à la simulation, notre technologie propose un flot de conception qui permet à un utilisateur de partir de la simulation pour arriver à l'implantation finale (FPGA ou ASIC). Cette caractéristique utilise la technologie GenX de Space Codesign.

2) Réseau sur puce

Les réseaux sur puce (NoC) sont des réseaux de communications permettant une connexion physique extensible entre plusieurs blocs dans un environnement de systèmes sur puce. Ils remplacent de plus en plus les bus et les méthodes d'interconnexion dédiée. Dans ce projets 2 objectifs sont poursuivis :

- Exploration d'architectures hautes performances pour NoCs
- Partitionnement de modèles de programmation à haut niveau d'abstraction sur des systèmes sur puces multiprocesseurs à base de NoCs.

3) AREXIMAS

Ce projet se concentre sur les systemes avioniques basés sur un réseau de processeurs. Ces systems se doivent d'être sécuritaires, fiables et tolerant aux panes. Plus précisément, nous nous intéressons aux compremis entre la reconfigurabilité, la fiabilité et le coût de ces systèmes. Le but est d'appliquer ces compromis sur une plate-forme IMA (Integrated Modular Avionics) certifiable d'une quinzaine de nœuds utilisant le standard ARINC 653 APEX RTOS.

Les partenaires industriels qui collaborent à ces projets sont STMicroelectronics, CMC Electronics et CAE Electronics. Au niveau universitaire les collaborateurs sont les professeurs Aboulhamid (Université de Montréal), Tahar (Concordia), Boland et Thibault (ETS), ainsi que Nicolescu et Savaria de l'École Polytechnique.

Activités du professeur David

Le professeur David mène des activités de recherche dans le domaine de la synthèse des systèmes logiques matériel-logiciel et leurs applications, notamment en traitement du signal et en cryptographie. En particulier, il se spécialise dans la programmation des systèmes reconfigurables de type FPGA ou autres à partir d'une description de haut niveau.

Un système reconfigurable est un circuit logique programmable dont le comportement sera déterminé au moment de sa programmation. Aujourd'hui, ces circuits intègrent plusieurs noyaux de processeurs, des centaines de mémoires, des centaines de multiplieurs, des dizaines de milliers de fonctions logiques programmables, de multiples ressources dédiées et un immense réseau de connexions configurables permettant d'interconnecter ces ressources pour réaliser un circuit complexe et hautement parallèle. Ils concurrencent de plus en plus les circuits dédiés de type *ASIC* car nous pouvons les reprogrammer à volonté et leur densité atteint maintenant la dizaine de millions de portes logiques équivalentes.

Les circuits reconfigurables relèvent à la fois du Génie Électrique (GÉ) et du Génie Informatique (GI). Une fois le circuit physique réalisé (GÉ), il reste à le programmer (GI). Toutefois, la programmation sert à implémenter un circuit avec des signaux logiques qui se propagent d'une manière semblable à ce qui se passe dans un circuit logique traditionnel (GÉ). Enfin, ces circuits contiennent souvent un ou plusieurs processeurs devant être programmés (GI). Les deux domaines sont donc très étroitement reliés et il devient nécessaire d'avoir une vision plus large qui réunit les deux disciplines.

Notre programme de recherche principal, subventionné par le CRSNG, consiste à développer un nouveau langage de description de matériel (HDL) d'un niveau d'abstraction intermédiaire entre les langages de programmation utilisés en GI et les langages de description de matériel utilisés en GÉ. Nous visons à décrire des circuits au niveau fonctionnel (algorithmique) et développons un compilateur (CASM) capable de transformer cette description en un circuit de manière automatique et sûre par construction. En résumé, notre langage permet de décrire des réseaux de machines algorithmiques qui traitent et s'échangent des jetons de données en parallèle, un peu sur le modèle de CSP (Communicating Sequential Processes) et SDL (Specification and Description Language). Une grande nouveauté par rapport aux ASM (Algorithmic State Machine) traditionnels consiste en la possibilité de faire des appels (et donc des retours) d'états d'une manière semblable à un appel de méthode en logiciel ou encore une continuation dans les langages fonctionnels. Il devient alors possible de synthétiser des machines récursives, ce qui nous a permis, par exemple, d'implémenter une version de l'algorithme QuickSort (un algorithme de tri rapide hautement récursif) sur FPGA très facilement. En outre, l'outil génère automatiquement tous les signaux de contrôle pour la synchronisation des envois-réceptions des jetons de données dans tout le réseau sans perdre de cycle d'horloge (possiblement sous la forme de pipeline continu). Le concepteur peut donc se concentrer sur les aspects algorithmiques et déléguer la tâche de réalisation du circuit au compilateur. Toutefois, l'utilisateur averti a conscience de l'architecture qui sera synthétisée et peut, dans la manière dont il décrit l'algorithme, influencer celle-ci.

Notre programme de recherche va s'ouvrir prochainement à la possibilité de configurer dynamiquement un circuit reconfigurable. De la même manière qu'un processeur peut générer le code qu'il va exécuter un peu plus tard (compilation *JIT*), nous voulons explorer comment un circuit reconfigurable pourrait efficacement générer le circuit qui va travailler un peu plus tard à une tâche dédiée. Nous explorerons surtout comment intégrer cette fonctionnalité à notre langage CASM et à son compilateur.

Activités du professeur Audet

Les activités du professeur Audet sont reliées aux capteurs photoniques, fabriqués en procédé CMOS, visant deux champs d'applications spécifiques soient : les capteurs d'images intégrés et les détecteurs photoniques de haute performance pour système VLSI à interconnections optiques.

1. Les capteurs d'images CMOS

Ce programme de recherche adresse la problématique de conception et de fabrication de capteurs d'images CMOS de grande surface, qui permettrait d'obtenir une caméra numérique de résolution spatiale comparable à celle d'une caméra avec pellicules chimiques photosensibles. On vise un capteur ayant une matrice de pixel de 36 x 24 mm de surface pour atteindre la compatibilité avec la gamme des lentilles développées pour la photographie SLR 35 mm.

Outre la réalisation d'un capteur d'images de grande surface, les techniques de conception de pixels redondants avec autocorrection développées sont aussi utiles à la réalisation de capteurs d'images employés dans des environnements hostiles comme l'espace, les mines, les réacteurs nucléaires, …etc., là où une caméra peut-être exposée à des radiations, des températures et des pressions extrêmes pouvant endommager le capteur. Ainsi, les propriétés d'autocorrection de l'architecture redondante permettront à la caméra de transmettre des images plus longtemps dans ces milieux hostiles où le remplacement et la réparation sont difficiles, voire impossibles.

2. Les détecteurs photoniques

Ici on s'intéresse au développement de technique de propagation de signaux par modulation photonique, tant sur un même circuit intégré qu'entre puces d'un même système, de façon à éliminer les interconnections métalliques critiques qui limitent la performance des systèmes. Des taux de propagation supérieurs à 1 Gb/s sont visés.

Bien que la recherche sur les interconnections photoniques ait favorisé jusqu'à maintenant les dispositifs III-V pour la conversion de signaux électriques à signaux photoniques, la diminution constante de la taille des structures fabriquées sur technologie CMOS pourrait avantager les dispositifs photoniques au silicium notamment au niveau des photo-détecteurs. Avec la diminution de la taille des structures, les capacités parasites des composants actifs diminuent également de sorte qu'un faisceau lumineux de moindre énergie est requis pour activer une cellule photo-détectrice au silicium et une réponse plus rapide peut être obtenue. Les avantages d'un photo détecteur au silicium pouvant être intégré à même une puce VLSI sont considérables, même si les performances sont moindres qu'un photo-détecteur en technologie III-V. Citons entre autre la simplicité du procédé de fabrication CMOS comparé aux technologies hybrides III-V – CMOS et l'élimination des circuits liés à l'intégrité des signaux d'horloge en amplitude et en phase, tels que les répétiteurs et les circuits de verrouillage de phase (PLL). À l'heure actuelle, dû aux problèmes de délais associés aux interconnections métalliques, il est de plus en plus difficile d'assurer la synchronisation entre les différents modules d'un système VLSI, de sorte que les techniques de propagation de signaux asynchrones sont maintenant envisagées pour relier des modules sur une même puce, ajoutant à la complexité du système. Les interconnections photoniques assureront la performance des systèmes VLSI sans ajouter à leur complexité.

Activités du professeur Boyer

Le professeur Boyer conduit des recherches incluant les domaines de la microélectronique, de la compilation et du traitement de signal. Plus spécifiquement, il s'intéresse au design, à synthèse et à l'optimisation des systèmes conjoints logiciel/matériel dédiés, ainsi qu'au développement d'architectures prenant partie d'un nouveau type d'horloge.

L'horloge à période variable est un concept nouveau, découlant de ses recherches au doctorat, qui pourrait avoir une grande influence sur notre manière de voir les circuits synchrones par rapport aux circuits asynchrones ainsi qu'avoir des nouvelles applications. L'idée est de permettre de moduler la longueur des cycles d'horloges pour pouvoir suivre précisément un ordonnancement. Cet ordonnancement peut être fait à l'avance mais aussi à l'exécution, pour pouvoir traiter de manière optimale les expressions conditionnelles et pour pouvoir tenir compte de d'autres facteurs qui ne sont pas connus lors de la compilation (ou synthèse). À l'exception des circuits asynchrones, les circuits ont présentement une horloge fixe qui limite la possibilité d'ordonnancement. Pour obtenir le meilleur ordonnancement possible, il faut relâcher les contraintes de l'horloge et ce nouveau type d'horloge permet beaucoup plus de flexibilité.

La conception de systèmes dédiés demande à la fois de déterminer la structure matérielle et le logiciel devant s'exécuter sur ce matériel. Une approche conjointe logicielle/matérielle est nécessaire pour la conception et l'optimisation d'un tel système. Pour des systèmes dédiés, les outils doivent permettre la spécialisation (paramétrisation) des composantes. Puis la partie logicielle doit être compilée pour une architecture parallèle possiblement hétérogène (avec des processeurs de plusieurs types différents) et comportant des instructions spéciales. Ses recherches se situent sur différents plans, dont l'automatisation de la séparation logiciel/matériel, la compilation parallélisante pour un système hétérogène configurable, une diminution du temps associé à l'assemblage et test du système, pour un temps de mise en marché minimum.

Application au traitement audio :

Traitement de signal et isolation de la voix dans des prothèses auditives numériques

Le domaine de la prothèse auditive numérique est en expansion, dû au fait que la miniaturisation des processeurs le permet mais aussi au fait que la demande en prothèses auditives augmente (la population vieillit) et que les gens recherchent une qualité supérieure. Des études montrent que l'utilisation de plusieurs microphones est présentement la méthode qui a le plus de succès pour augmenter la discrimination des sons et améliore l'intelligibilité. Par contre, le traitement fait sur ces sources pourrait être amélioré. L'idée du traitement en étude est de faire une analyse de phase, en utilisant des FFT sur les différentes sources, pour réduire les bruits de l'environnement par rapport à la voix venant de l'avant. Le circuit complet de traitement, avec entrée analogique, traitement numérique et sortie analogique ainsi qu'une source électrique, doit être très petit et avoir une faible consommation d'énergie pour avoir une bonne autonomie. Pour ces raisons, un système sur puce («System on Chip» ou SoC) mixte numérique/analogique sera développé.

Les principaux partenaires qui collaborent sur ces recherches sont le professeur E.M. Aboulhamid (Diro, Université de Montréal), sur l'algorithme, la simulation et la vérification, le professeur Y. Savaria (génie électrique, École Polytechnique), sur le côté matériel, le professeur G. Bois (génie informatique, École Polytechnique), dont le domaine de recherche est la conception de systèmes embarqués (dédiés), le professeur A. Saucier (mathématiques, École Polytechnique), sur l'analyse et le traitement de signal.

Les partenaires industriels sont: STMicrelectronics (systèmes dédiés pour les traitements réseaux) et ACE (compilation reciblable).

Activités du professeur Brault

Le professeur Brault dirige le LRN (Laboratoire de Réseaux Neuronaux.) Ses recherches visent plus spécifiquement l'application les algorithmes d'apprentissage (AA) à des problèmes d'inférence sur des données expérimentales en utilisant des machines neuronales (MN), virtuelles ou électroniques. Le champ d'application des AA/MN est très vaste puisque les MN sont des approximateurs universels utilisés tant en classification, en régression qu'en estimation de fonction de densité. D'autre part, vu l'homogénéité des traitements réalisés par les MN, ils peuvent souvent être intégrés relativement aisément sur des circuits électroniques.

Les principales difficultés que l'on rencontre dans le design de ces machines proviennent du fait qu'elles sont habituellement adaptées itérativement et que l'information est massivement distribuée dans les interconnexions de la MN. Parmi ces difficultés, notons, le choix du type de neurones à utiliser (déterministes ou stochastiques, modèle de McCulloch-Pitts ou Hodgkin-Huxley), le nombre de neurones (capacité à s'adapter au problème) le type d'interconnexions (avec ou sans récurrence), le paradigme/loi d'apprentissage (supervisé ou non, correction d'erreurs, minimisation d'entropie, etc.), la fonction de coût à minimiser, etc. Tous ces «hyperparamètres» doivent évidemment conduire à la conception d'une machine capable de bien généraliser (intrapoler ou extrapoler) sur de nouvelles données.

Outre les architectures bien connues de type MLP (ou RBF) optimisées pour diverses applications (antennes, parole, robotique), les MN qui retiennent particulièrement notre attention sont les machines stochastiques causales (réseaux bayesiens) et les machines à états liquides (MEL) (également appelées «réseaux à échos»). Pour le premier cas, ce type de système comporte habituellement un très grand nombre de variables stochastiques et les techniques d'optimisation comme le recuit simulé, sont souvent jugées inutilisables à cause des temps de calcul ou de la mémoire requise pour leur mise en œuvre. En effet, pour valider un réseau bayesien, on doit générer un très grand nombre de cas (vecteurs de tests) en fonction d'une distribution de probabilité multi-variables. On se frappe alors au problème de la «malédiction de la dimensionnalité». Une modification possible est l'ajout d'aspects déterministes dans le processus d'optimisation conduisant par exemple au recuit déterministe RD (Deterministic Annealing). Dans le second cas, (MEL), le problème est de concevoir une machine à rétroaction massive qui se comporte de façon quasi chaotique afin d'explorer un espace d'états continus (ou liquides).

Concernant les aspects électroniques de ces projets, nous étudions la conception de circuits échantillonneurs en fonction d'une distribution de probabilité d'un espace approximé par un réseau bayesien. Nous modifions les circuits logiques traditionnels afin de les rendre probabilistes. D'autre part, des circuits appelés «neurones à pulses» ont été simulés sur SPICE pour équiper des robots suiveurs.

Activités du professeur Khouas

Le professeur Khouas conduit des activités de recherche dans le domaine de la microélectronique, et principalement dans les domaines suivants : test des circuits analogiques, conception en vue du test « Design for Testability » (DFT), des circuits intégrés et des systèmes sur puce « System on Chip SOC » (SOC), circuits de synthèse de fréquence, circuits de test et de caractérisation, convertisseurs temps numérique, synthèse sur FPGA et outils de CAO pour la conception, la vérification et le test des circuits intégrés.

Techniques de conception en vue du test : La demande croissante de nouveaux produits électroniques de plus en plus petits, à bas prix et de faible consommation dans toutes les applications de l'électronique a stimulé la croissance rapide des systèmes intégrés sur puce « System on Chip Soc ». Les SOC intègrent des parties analogiques, numériques, des mémoires et des microprocesseurs sur le même circuit intégré. Les technologies modernes de fabrication de circuits intégrés permettent cette intégration de plusieurs modules sur la même puce, ce qui permet d'avoir des circuits plus performants, plus rapides, plus petits et à faible coût. Par contre, à cause de cette intégration croissante, le test de ces SOC devient de plus en plus difficile et surtout de plus en plus coûteux, ce qui risque de ralentir leur croissance au cours des prochaines années. L'objectif de ces travaux de recherche est de développer de nouvelles méthodes de test pour les SOC afin de maintenir un coût de test relativement faible par rapport au coût de fabrication.

Méthodes d'accélération de la simulation analogique : L'objectif de ces travaux de recherche est l'étude et l'implémentation de techniques d'accélération de la simulation de circuits analogiques pour certaines applications particulières qui sont très coûteuses en temps de calcul et moins exigeantes en précision. Parmi les outils de CAO visés par ces travaux, nous avons les logiciels de dimensionnement automatique des transistors, les simulateurs de pannes et les outils d'analyse Monte-Carlo. Ces applications utilisent les résultats de la simulation pour comparer des circuits et prendre des décisions à savoir : choisir le meilleur circuit dans le cas d'un outil de dimensionnement automatique, décider si un défaut physique est détectable ou non dans le cas d'un simulateur de pannes et savoir si le circuit conçu est robuste dans le cas de l'analyse Monte-Carlo. Contrairement à l'application normale d'un simulateur qui est la vérification et la validation de circuits, pour ces applications, la précision intrinsèque du simulateur n'est pas importante tant que les résultats des comparaisons restent corrects. Le but de ces travaux est donc d'explorer les différentes méthodes pour accélérer les simulations analogiques dans le cas de simulations multiples d'un même circuit avec des modifications mineures et pour lesquelles une grande précision des résultats n'est pas toujours nécessaire.

Circuits de test et de caractérisation : Ces travaux de recherche visent le développement de méthodes pour la caractérisation des effets des fluctuations des procédés de fabrication sur le comportement des circuits fabriqués. Pour améliorer les performances des circuits de haute performance, il est indispensable de disposer pour chaque procédé de fabrication de modèles statistiques des variations «intra-die» et «die-to-die» des paramètres physiques et électriques les plus critiques. Les méthodes classiques d'extraction de ces paramètres nécessitent un grand nombre de circuits provenant de plusieurs emplacements différents sur la gaufre et des équipements de mesure très coûteux, ce qui les rend très coûteuses. L'objectif de nos travaux est la conception de circuits pour la caractérisation. L'idée est de concevoir pour chaque paramètre, un circuit permettant de faciliter l'analyse et la mesure des effets des fluctuations du procédé de fabrication sur le paramètre en question. Un des problèmes critiques ciblés par ces travaux de recherche est la variation des délais de propagation dans un circuit intégré.

Activités du professeur Langlois

Le professeur Langlois s'intéresse à la conception et à la réalisation de systèmes embarqués pour le traitement du signal et le traitement d'images, à l'architecture des ordinateurs et au traitement du signal et d'images pour des applications biomédicales.

Des projets sont en cours dans trois domaines principaux:

Conception de processeurs spécialisés et configurables pour le traitement vidéo.
Ce projet est mené conjointement avec les professeurs Savaria, Bois, David et Boyer du GR2M. Une collaboration avec le professeur Aboulhamid du DIRO et la professeure Chériet du département de génie informatique et génie logiciel sont aussi en cours.

Les processeurs configurables offrent d'intéressantes solutions en informatique embarquée pour l'implémentation d'algorithmes de traitement d'image et de traitement du signal en temps réel. Les besoins en calculs, les contraintes de synchronisation, la réduction des coûts et les limites en consommation de puissance pour ces applications écartent habituellement les solutions purement logicielles implémentées sur un processeur à usage général. Les processeurs configurables ont l'intérêt de pouvoir être programmés à l'aide de langages de haut niveau familiers pour la plupart des concepteurs. Les processeurs configurables commerciaux sont paramétrables et extensibles. Des caractéristiques spécifiques comme un multiplicateur peuvent être activées ou non. Des structures peuvent être ajoutées au processeur, comme des instructions additionnelles, des blocs de registres élargis et des interfaces mémoires particulières.

Les objectifs de ce projet incluent le développement de méthodologies de conception pour des processeurs spécialisés (Application Specific Instruction set Processor - ASIP), principalement pour des applications de traitement vidéo en temps réel. Nous considérons présentement le problème du désentrelacement et la conversion du taux de trame pour la télévision à haute définition, et le traitement en temps réel d'images pour des applications médicales.

Détection automatisée en temps réel de crises épileptiques.
Ce projet est mené conjointement avec le Dr. Carmant de l'hôpital Ste-Justine et avec le professeur Bilodeau du département de génie informatique et génie logiciel.
Le but du projet est de développer un système fiable pouvant détecter automatiquement et en temps réel des crises épileptiques chez l'animal et chez l'humain. Ce système supporte des projets de recherche en cours à l'hôpital Ste-Justine sur les mécanismes impliqués dans les dommages au cerveau suite à des convulsions épileptiques, l'impact des lésions et de l'hyperthermie sur le développement de l'épilepsie, et le synchronisme oscillatoire dans le complexe amygdale-hippocampe. Notre approche veut exploiter l'information provenant des potentiels de champs locaux et de l'analyse de séquences vidéo et infrarouge. Cette approche à trois types de senseurs imite mieux le processus naturel de détection des professionnels de la santé.

Systèmes embarqués multi-senseurs temps réel pour navigation véhiculaire et personnelle.
Ce projet est mené en collaboration avec le professeur Noureldin du Collège militaire royal à Kingston et d'autres chercheurs du réseau GEOIDE.
Le but de ce projet est d'implémenter des systèmes de navigation pour véhicules et personnes intégrant des données de positionnement provenant de senseurs inertiels et du GPS. Les senseurs inertiels tendent à être très précis à court terme, et peuvent complémenter adéquatement les données GPS lors de brèves interruptions de service. Le coût est une contrainte importante de réalisation est menée par applications considérées. À long terme, le système doit intégrer des accéléromètres sous la forme de systèmes micro-électromécaniques (MEMS). Un produit attendu du projet est un environnement de développement permettant à des développeurs d'applications de navigation de rapidement considérer des options de designs et leurs coûts associés.

Activités du professeur Martel

Les activités du professeur Martel se situent principalement dans la recherche et le développement de systèmes miniatures intelligents et plus particulièrement dans le domaine de la nanorobotique. L'objectif actuel consiste à développer des nanorobots avec une infrastructure conçue pour supporter une flotte d'une centaine de ces nanorobots capables d'opérer très rapidement et de façon autonome au niveau moléculaire et jusqu'au niveau des atomes.

Pour ce genre de projets, nous devons développer plusieurs systèmes électroniques et microélectroniques spécialisés pour supporter, contrôler et implanter plusieurs tâches complexes incluant par exemple :

Système en temps réel et de très haute performance de positionnement, de navigation et communication à infrarouge pour plates-formes nanorobotique ;

Système de positionnement miniature de résolution atomique basé sur les techniques de microscopie à effet tunnel ;

Systèmes et instruments miniatures de manipulation, mesure, synthèse et fabrication au niveau moléculaire ;

Système de contrôle embarqué pour déplacement de nanorobots, etc.

Notre intérêt est donc le développement de divers circuits miniatures (analogue et numérique) de haute performance en utilisant diverses approches, techniques, outils de conception et systèmes de vérification/validation essentiellement au niveau système sur puces (SoC).

La miniaturisation, précision, vitesse et le rendement en temps réel sont des aspects très importants et critiques dans la plupart des systèmes électroniques développés pour ce genre de projet. Les systèmes à concevoir sont aussi généralement très complexes et exigeants et font appel à plusieurs technologies qui doivent être intégrées dans des systèmes micro-mécatroniques avec instruments intégrés de très haute précision et opérant à de très grandes vitesses.

Activités du professeur Nicolescu

Gabriela Nicolescu conduit des recherches sur la conception des systèmes embarqués. Deux types de systèmes sont visés par ses recherches : la dernière génération des systèmes embarqués intégrant des sous-systèmes hétérogènes provenant de différents domaines d'application (ex. électronique, optique, mécanique, RF) et les systèmes-sur-puce intégrant plusieurs processeurs hétérogènes (ex. processeurs configurables, processeurs spécialisés pour un type d'application, processeurs d'usage général). Les thèmes de recherche seront élaborés brièvement par la suite.

Conception des systèmes embarqués hétérogènes

Nos travaux sur la conception des systèmes embarqués hétérogènes portent sur les nouvelles techniques pour la modélisation et la validation globale de ces systèmes. Nous travaillons sur la définition et la mise en place d'un environnement permettant la coopération des concepteurs provenant des domaines d'application différents, avec de différentes cultures et utilisant différents niveaux d'abstraction (ex. RTL, niveau transactionnel), langages de spécification (ex. VHDL, SytemC, Matlab) et modèles d'exécution (simulation native, simulation à base d'ISS). Nos travaux explorent particulièrement la modélisation et la simulation des interactions entre les composantes fournies par divers concepteurs et nous explorons les techniques de génération automatique des interfaces d'adaptation entre ces composantes.

Nous utilisons comme applications concrètes les MEMS (micro electro-mechanical systems), MOEMS (micro opto-elctro-mechanical systems) et les réseaux optiques sur puce.

Conception des systèmes sur-puce multiprocesseur

Nos travaux sur la conception des systèmes-sur-puce multiprocesseurs portent sur l'exploration architecturale et la validation par simulation de ces systèmes.

Concernant l'exploration architecturale nous étudions des nouvelles architectures mémoires et les algorithmes efficaces pour mapper les différentes applications sur ces architectures. Nous explorons aussi l'impact de l'implémentation des systèmes d'exploitation sur l'efficacité des systèmes multiprocesseurs sur puce. Les approches prises en compte sont : les systèmes d'exploitation implémentés en logiciel, les systèmes d'exploitation implémentés en matériel, et les systèmes d'exploitation logiciels/matériels. Nous explorons aussi l'impact de l'intégration sur même puce des processeurs différents et des systèmes d'exploitation implémentés par les différentes techniques présentés plus haut.

Concernant la validation des systèmes, multiprocesseurs, nous explorons de nouvelles modèles de simulation permettant une validation rapide et précise de ces systèmes. Nous étudions les modèles de simulation de haut niveau pour les parties logiciels dépendants du matériel (hardware dependent software) pour la simulation native du logiciel embarqué.

Nous évaluons nos approches à l'aide des applications multimédia (ex. MPEG4, DivX).

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits de synthèse d'horloge, de circuits analogiques précis, de plates-formes SOC ainsi que sur la vérification des systèmes électroniques. Il englobe aussi les techniques d'autotest et de tolérance aux pannes et aux défectuosités. Le second axe couvre des thèmes divers comme la conception de systèmes de radio configurable, la conception de décodeurs convolutionnels, la conception d'une plate-forme SOC pour la réalisation de processeurs réseau et de systèmes de traitement vidéo, la réalisation de circuits de synthèse d'horloge, la conception de circuits analogiques précis et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception
Nos travaux sur les méthodes de conception explorent diverses architectures pour la synthèse d'horloge exploitant des accumulateurs de phase qui commandent la sélection de phases dérivées d'une horloge de référence à l'aide de lignes à délais. Du côté des circuits analogiques précis, nous explorons les architectures d'amplification de haute précision, les architectures de chaire de conversion d'énergie et de convertisseurs A/D précis, ainsi que celles applicables aux systèmes vidéo de haute performance. Nos recherches portent notamment sur la possibilité de calibrer ces circuits par la création locale de résistances de valeurs programmables. Nous étudions aussi l'impact des couplages par le substrat sur la précision de ces circuits.

Nous explorons la notion de plate-forme SOC comme façon de développer efficacement des circuits dérivés pour une classe d'application. Une telle plate-forme est composée de modules paramétrables, réutilisables et compatibles entre eux qui forment la base d'une architecture flexible pour la classe d'application ciblée. Nos recherches portent aussi sur l'élaboration d'architectures capables de traiter efficacement des problèmes sujets à une importante variabilité de l'effort de calcul combiné à des contraintes temps réel d'une sévérité variable. De plus, nous explorons plusieurs techniques pour la conception de processeurs configurables visant l'accélération des calculs. Ces techniques permettent aussi de réduire considérablement l'énergie requise pour effectuer un traitement.

Enfin, en rapport avec les techniques de tolérance aux pannes, nous les explorons dans le cadre d'un projet qui vise à gérer l'effet des radiations sur l'électronique ainsi que dans le cadre d'un projet qui vise la réalisation par circuit intégré à l'échelle de la tranche (VVSI) d'une technologie de prototypage rapide pour les systèmes électroniques complexes.

Applications
Dans le cadre de cet axe, nous explorons un ensemble d'applications. Plusieurs de ces applications permettent d'explorer les méthodes de dimensionnement automatique des chemins de données. Nous explorons les architectures possibles pour la mise en œuvre des systèmes de traitement vidéo et nous appliquons la méthode de dimensionnement automatique afin de produire des implémentations valides Ce projet sert de véhicule pour appliquer et raffiner les notions de plate-forme SOC.

Nous travaillons aussi à la mise en œuvre de diverses classes de modules nécessaires pour la mise en œuvre de radios configurables, de processeurs réseau et de systèmes de traitement vidéo.

Enfin, en collaboration avec Technocap, nous élaborons une technologie d'intégration configurable pour les systèmes électroniques dans le cadre du projet DreamWafer.

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon les grandes priorités suivantes: la conception, la réalisation et le test des circuits intégrés numériques, analogiques, mixtes et à fréquences radio; la conception des systèmes pour l'acquisition et le traitement de signal et d'image, l'assemblage et l'encapsulation de dispositifs électroniques; le prototypage rapide se servant de circuits intégrés programmables et de systèmes reconfigurables.

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels soient la réalisation de modules et de systèmes complets dédiés à des applications industrielles variées tel que les télécommunications, et la mise en œuvre de dispositifs médicaux servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions, plus particulièrement des micro stimulateurs et capteurs sensoriels implantables et non-implantables et des systèmes optiques et ultrasoniques portables.

Nous nous intéressons aux trois catégories de convertisseurs analogique à numérique (ADC): rapide, à haute précision et à très basses alimentation et consommation. Nous proposons des filtres reconfigurables et à bande passante élevée, des préamplificateurs à très faible niveau de bruit et à large bande passante, des amplificateurs variés programmables, des régulateurs de tension, des PLL (Phase-Looked Loop) à grande plage d'opération, des FLL (Frequency-Looked Loop) à réponse très rapide. Aussi, des nombreux autres circuits intégrés mixtes font l'objet de nos travaux de recherche dans le cadre des applications médicales : capteurs et micro stimulateurs, conversion optique – électrique, ultrasons, microélectrodes, techniques de mesures intégrés, etc. Ajoutons que nous menons des travaux dans le domaine de communications sans fil, plus spécifiquement nous travaillons à la mise au point de systèmes complets, soient des mélangeurs, des MODEM, des ADC des amplificateurs de puissance avec techniques de linéarisation dédiées, etc.

Les systèmes dédiés à des applications médicales doivent être performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. La plupart de ces applications pluridisciplinaires regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités connexes en sciences et génie. Ceci implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc. Nous nous intéressons présentement à mettre en œuvre un bon nombre de ces systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la création d'une vision acceptable chez les non-voyants, un dispositif capteur de signaux neuronaux dans le but de mesurer le volume d'urine dans la vessie et de commander le mouvement des membres artificiels remplaçant des membres amputés. Nous prévoyons apporter des solutions aux dysfonctions dans le domaine de la respiration (apnée) chez les nourrissants et chez les adultes, de l'énurésie nocturne, etc. À titre d'exemple, nous proposons un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons. Nous poursuivons nos travaux sur les techniques de télémétrie pour la mesure de divers paramètres biologiques. Nous ferons des travaux dans le domaine de laboratoire sur puce pour mettre au point des outils de diagnostique.

Titulaire d'une Chaire de recherche du Canada sur les dispositifs médicaux intelligents, le professeur Sawan est co-fondateur de l'IFESS (International Functional Electrical Stimulation Society), Fellow de l'IEEE, Fellow de l'Académie Canadienne du génie, et membre de plusieurs comités d'organisation et de programme de conférences nationales et internationales. Fondateur de la conférence internationale IEEE-NEWCAS, fondateur du Laboratoire de neurotechnologies PolyStim et directeur du regroupement stratégique en microélectronique du Québec (ReSMiQ).

Pour plus de détails sur les différents travaux cités ci-dessus, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport et à consulter notre site web au http://www.polystim.ca

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées au GR2M durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Aboutorabi, Seyed Sadreddin	Ph.D.	Y. Audet	
Ait Yakoub, My El Mustapha	M.Sc.A.	M. Sawan	C. Thibeault
Al-Terkawi-Hasid, Omar	M.Sc.A.	M. Sawan	
André, Walder	Ph.D..	S. Martel	
Aubertin, Philippe	M.Sc.A.	Y. Savaria	P. Langlois
Bafumba-Lokilo, David	M.Sc.A.	J.P. David	Y. Savaria
Basile Bellavance, Yan	M.Sc.A.	Y. Savaria	Y. Blaquière
Bendali, Abdelhalim	Ph.D.	Y. Audet	C. Akyel
Boissière, Benoit	M.Sc.A.	G. Zhu	Y. Savaria
Bouyela Ngoyi, Gérard Armand	M.Sc.A.	P. Langlois	Y. Savaria
Burasa, Pascal	M.Sc.A.	Y. Audet	
Chénier, Félix	M.Sc.A.	M. Sawan	
Coulombe, Jonathan	Ph.D.	M. Sawan	
Daigneault, Marc-André	M.Sc.A.	J.-P. David	
Deca, Radu	Ph.D.	O. Cherkaoui	Y. Savaria
Éthier, Sébastien	M.Sc.A.	M. Sawan	
Faucher, Corentin	M.Sc.A.	J.J. Brault	
Fontaine, Sébastien	M.Sc.A.	G. Bois	
Genest, Pier Olivier	M.Sc.A.	J.J. Brault	
Ghannoum, Anthony	M.Sc.A.	M. Sawan	
Ghannoum, Roula	M.Sc.A.	M. Sawan	
Gheorghe, Luiza	Ph.D.	G. Nicolescu	
Girodias, Bruno	Ph.D.	G. Nicolescu	M. Aboulhamid
Gosselin, Benoit	Ph.D.	M. Sawan	
Goyette, Sylvain	M.Sc.A.	G. Bois	
Hasan, Syed, Rafay	Ph.D.	Y. Savaria	O. Ahmad
Hashemi, Aghcheh Body	Ph.D.	M. Sawan	Y. Savaria
Kowarzyk Moreno, Gilbert	M.Sc.A.	Y. Savaria	D. Haccoun
Laflamme-Mayer, Nicolas	M.Sc.A.	M. Sawan	Y. Blaquière
Laug, Nicolas	M.Sc.A.	G. Bois	
Lebel, Dany	M.Sc.A.	Y. Savaria	G. Nicolescu
Lepercq, Étienne	M.Sc.A.	Y.Savaria	Y. Blaquière
Lévesque, Philippe	Ph.D.	M. Sawan	
Mahvash, Mohammadi, Hossein	Ph.D.	Y. Savaria	Langlois, P.
Marche, David	Ph.D.	Y. Savaria	Y. Gagnon
Mbaye, Mama Maria	Ph.D.	Y. Savaria	S. Pierre
Ménard-Beaudoin, Philippe	M.Sc.A.	Y. Audet	
Miled, Mohamed Amine	Ph.D.	M. Sawan	
Moss, Laurent	Ph.D..	G. Bois	M. Aboulhamid
Mounaim, Faycal	M.Sc.A.	M. Sawan	
Nadeau, Patrick	M.Sc.A.	M. Sawan	
Nemr, Abbas	M.Sc.A.	M. Sawan	C. Cardinal
Nguyen, Anh Tuan	Ph.D.	Y. Savaria	
Nourivand, Afshin	Ph.D.	A. Alkalili	Y. Savaria
Nsame, Pascal	Ph.D.	Y. Savaria	
Ould Bachir, Tarek	M.Sc.A.	M. Sawan	
Pontikakis, Bill	Ph.D.	Y. Savaria	F.-R. Boyer
Rhou, Bassam	M.Sc.A.	M. Sawan	

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Roger-Vallée, Michel	M.Sc.A.	G. Bois	
Sahraii, Negin	M.Sc.A.	Y. Savaria	
Salam, Tariqus	Ph.D.	M. Sawan	
Simard, Guillaume	M.Sc.A.	M. Sawan	
Singh, Rahul	M.Sc.A.	Y. Audet	Y. Savaria
Tanguay, Louis-François	Ph.D.	M. Sawan	
Tapp, Martin	M.Sc.A.	G. Nicolescu	M. Aboulhamid
Trabelsi, Abdelaziz	Ph.D.	F.R. Boyer	Y. Savaria
Wehbe, Mohamad	M.Sc.A.	M. Sawan	
Zarrabi, Houman	Ph.D.	Y. Savaria	A. Alkalili

ÉTUDIANTS NOUVELLEMENT INSCRITS

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Mendez, Arnaldo	Ph.D.	M. Sawan	

Titres des projets et diplômes en cours de chaque étudiant

Cette section contient une liste de projets avec le nom des personnes concernées. Plus de détails sur chacun des projets se trouvent dans les descriptions individuelles des étudiants chercheurs.

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
Aboutorabi, S.S.	Ph.D.	Étude et simulation des phénomènes physiques de détection de la couleur/de la longueur d'onde par la profondeur d'absorption.
Ait Yakoub, E.M.	M.Sc.A.	Un convertisseur analogique-numérique (CAN) inspiré d'un neurone et de dissipation nano watts pour des applications biocapteurs.
Al-Terkawi-Hasid, O.	M.Sc.A.	Conception et implémentation de convertisseurs DC-DC hautement efficaces et intégrés en technologie CMOS à faible tension.
André. W.	Ph.D.	Conception de dispositifs microélectroniques basés sur l'intégration des bactéries magnétotactiques.
Aubertin, P.	M.Sc.A.	Accélération de l'exécution d'algorithmes de voisinage local utilisés pour le traitement vidéo à l'aide de processeurs configurables.
Bafumba-Lokilo, D.	M.Sc.A.	Méthodologie de conception de système sur puce par langage de haut niveau.
Basile Bellavance, Y.	M.Sc.A.	Conception et co-vérification d'un système de programmation JTAG tolérant aux fautes pour un circuit intégré à l'échelle de la tranche: le «DreamWafer».
Bendali, A.	Ph.D.	Conception et caractérisation de circuits intégrés CMOS de haute performance pour applications aux interconnexions photoniques.
Boissière, B.	M.Sc.A.	Étude sur les algorithmes du contrôle de débit binaire dans JPEG 2000.
Bouyela Ngoyi, G.A.,	M.Sc.A.	Conception et implémentation de processeurs dédiés pour des systèmes de traitement vidéo temps réel.
Burasa, P.,	M.Sc.A.	Caractérisation d'une matrice de pixels conçue pour capteurs d'images couleurs sans filtre optique.
Chénier, F.,	M.Sc.A.	Mise en œuvre d'un système monocanal d'imagerie médicale fonctionnelle basé sur la spectrométrie infrarouge.
Coulombe, J.,	Ph.D.	Microsystème implantable dédié à la stimulation du cortex visuel.
Daigneault, M.-A.,	M.Sc.A.	Application de la reconfiguration dynamique des FPGAs à la mesure de signaux numériques à très haute résolution.
Deca, R.	Ph.D.	Modèles basés sur les contraintes pour la gestion automatique des services réseaux.
Éthier, S.	M.Sc.A.	Conception d'un stimulateur sécuritaire à faible consommation de puissance pour un implant visuel intracortical.
Fontaine, S.,	M.Sc.A.	Conception et réalisation d'un outil d'exploration architecturale de la hiérarchie de mémoire d'un système sur puce afin d'optimiser la performance de la plateforme logicielle.
Genest, P.O.	M.Sc.A.	Élaboration d'un modèle graphique probabiliste pour l'analyse en temps réel de trajectoires 2D bruitées.
Ghafar-Zadeh, E.,	Ph.D.	Laboratoire sur puce basé sur le procédé CMOS.
Ghannoum, A.	M.Sc.A.	Module de reconnaissance d'objets dédié à un stimulateur visuel cortical.
Ghannoum, R.,	M.Sc.A.	Capteur d'images à modes multiples implémenté dans la technologie CMOS 90nm dédié à un stimulateur visuel cortical.
Gheorghe, L.	Ph.D.	Spécification et validation des systèmes hétérogènes embarqués.
Girodias, B.	Ph.D.	Spécification et validation de nouveaux systèmes multiprocesseurs sur puce pour des applications multimédia et sans fil.
Gosselin, B.,	Ph.D.	Circuits mixtes et microsystèmes implantables dédiés à la mesure sans fil de l'activité neuronale du cortex.
Goyette, S.,	M.Sc.A.	Conception d'un modèle d'abstraction des communications point-à-point pour les systèmes multiprocesseurs hétérogènes sur puce.
Hasan, S.R.	Ph.D.	Méthodes d'interfaçage synchrone point-à-point de haute performance pour SoCs.
Hashemi, S.	Ph.D.	Amélioration d'efficacité des chaînes de conversion de puissance dédiées aux

Nom de l'étudiant	***Diplôme en cours***	***Le titre de son projet***
		implants biomédicaux.
Kowarzyk Moreno, G.,	M.Sc.A.	Développement d'un algorithme de recherche de codes convolutionnels doublement orthogonaux parallèle et implicitement-exhaustif.
Laflamme-Mayer, N.,	M.Sc.A.	Conception et réalisation d'un réseau de distribution de puissance d'une carte de prototypage rapide de systèmes.
Laug, N.	M.Sc.A.	Gestion générique et raffinement de systèmes électroniques à haut niveau.
Lebel, D.	M.Sc.A.	Vérification et validation de performance pour des propositions de tissus d'interconnections.
Lepercq, É.	M.Sc.A.	Outils logiciel pour l'utilisation et la mise au point d'une carte active programmable, pour le prototypage de circuits numériques: *Le WaferBoard™*
Lévesque, P.	Ph.D.	Architecture d'un processeur dédié aux traitements de signaux ultrasoniques en temps réel en vue d'une intégration sur puce.
Mahvash, M.H.,	Ph.D.	Algorithme de compensation de mouvement hybride par une estimation de mouvement renversé.
Marche, D.,	Ph.D.	Convertisseur numérique à analogique haute définition.
Mbaye, M.M.	Ph.D.	Partitionnement et construction de systèmes sur puce multiprocesseurs hétérogènes comportant des processeurs spécialisés basés sur des métriques orientées-boucle.
Ménard-Beaudoin, P.	M.Sc.A.	Circuits de lecture destinés à un capteur d'image CMOS utilisant un photo détecteur sans filtre.
Miled, A.	Ph.D...	Laboratoire sur puce implantable au cerveau dédié à la détection et séparation des neurotransmetteurs.
Moss, L.	M.Sc.A.	Profilage, caractérisation et partitionnement fonctionnel dans une plate-forme de conception de systèmes embarqués.
Mounaim, F.,	Ph.D.	Dispositif microélectronique implantable dédié à la réhabilitation des fonctions urinaires.
Nadeau, P.	M.Sc.A.	Mise en œuvre d'un générateur de stimuli haut-voltage dédié à un stimulateur électrique implantable.
Nemr, A.	M.Sc.A.	Conception et prototypage de décodeurs à seuil itératif à haut débit.
Nguyen, A.T.,	Ph.D.	Architectures et méthodes de conception pour des systèmes de prototypage rapide basés sur une carte d'interconnexion configurable.
Nourivand, A.	Ph.D.	Réduction de la puissance de fuite des mémoires sur-puce sans impact sur le rendement.
Nsame, P.	Ph.D.	Techniques et méthodes de conception des systèmes intégrés de type SoC.
Ould Bachir, T.	M.Sc.A.	Génération de nombres pseudo-aléatoire suivant une distribution non-uniforme par circuits intégrés programmables.
Pontikakis, B.,	Ph.D.	La conception d'architectures et de circuits de faible puissance à délai variable.
Rhou, B.	M.Sc.A.	Choix, développement et validation matérielle d'une technique d'élimination des ECG dans les EMGdi en temps-réel.
Roger-Vallée, M.	M.Sc.A.	Une méthode d'estimation de la consommation de puissance pour systèmes sur puce reprogrammable.
Sahraii, Negin	M.Sc.A.	Ordonnancement flexible de décodage turbo sur une plate-forme multiprocesseur.
Salam, Muhammad Tariquas	Ph.D.	Microsystème biomédical implantable pour le traitement de l'épilepsie.
Simard, G.	M.Sc.A.	Lien inductif et communication haute vitesse pour les implants biomédicaux.
Singh, R.	M.Sc.A.	Conception de circuits analogiques de précision utilisant des résistances diffusées par laser.
Tanguay, L.-F.,	Ph.D.	Synthétiseur de fréquences RF à ultra-faible consommation dédié aux microsystèmes implantables.
Tapp, M.	M.Sc.A.	Interopérabilité des environnements distribués par génération de code dynamique.
Trabelsi, A.	Ph.D.	Traitement paramétrique des signaux audio: application aux prothèses

Nom de l'étudiant	***Diplôme en cours***	***Le titre de son projet***
		auditives.
Wehbe, M.	M.Sc.A.	Pupille dynamique réagissant à la lumière incidente dédiée aux implants oculaires.
Zarrabi, H.	Ph.D.	Conception et techniques d'évaluation pour la synthèse efficace de microsystèmes à faible énergie.

Description détaillée des projets d'étudiants

ABOUTORABI, Seyed Sadreddin **DIPLÔME: Ph.D.**

TITRE:
Étude et simulation des phénomènes physiques de détection de la couleur/de la longueur d'onde par la profondeur d'absorption.

RÉSUMÉ:
Une nouvelle méthode brevetée de détection de couleur basée sur l'effet «Hall» est sous investigation. Plusieurs configurations ont été simulées et trois parmi elles ont été fabriquées. Les résultats des essais effectués nous démontrent l'importance de certains phénomènes déjà ignorés. Par conséquent, deux autres nouvelles structures ont émergées, qui sont elles-mêmes, aussi sous investigation. Dans le cadre de cette étude menant à une qualification de Ph.D., nous sommes à la recherche d'une meilleure compréhension des détails des interactions entre la configuration géométrique, les porteurs minoritaires/majoritaires et les champs magnétiques et électriques, tout ça dans le but d'améliorer la sensibilité de détection de la couleur/de la longueur d'onde. Le but ultime de cette étude est d'exploiter la capacité de détection de la longueur d'onde par la profondeur d'absorption, pour les applications d'imagerie, les capteurs de la longueur d'onde filtrage, etc.

PROBLÉMATIQUE:
Les limites de la résolution d'un capteur d'image numérique viennent autant des lois physiques que de la méthode, que les capteurs utilisés pour détecter la couleur. Il est à noter que ni le capteur CCD, ni le capteur CMOS ne détectent la longueur d'ondes, c'est-à-dire la couleur de la source lumineuse. Ils ne mesurent que l'intensité des composantes lumineuses filtrées. La lumière incidente sur un groupe de trois détecteurs d'intensité est filtrée de façon à ce que sur chaque élément photo détecteur (pixel), il existe un filtre coloré, propre à une longueur d'onde prédéterminée. C sont les dimensions de ce filtre et la taille du capteur (qui est déterminée parle courant minimal détectable dans le circuit électronique) qui détermine la résolution spatiale du capteur. Notre nouvelle approche exploite plutôt le fait d'absorption de la lumière, ayant différentes longueurs d'onde, à différentes profondeurs de la gaufre de silicium. Donc, le but principal est de classifier les trous (ou les électrons) par la profondeur où ils sont générés dû à l'absorption dans différentes profondeurs. Cette différence de profondeur vient du fait que les couleurs différentes sont associées à différentes longueurs d'onde.

MÉTHODOLOGIE:
Un prototype a déjà été fabriqué et les données expérimentales en étaient obtenues. Ayant les données déjà à la main, nous avons d'abord essayé de les approximer par un modèle théorique assez sophistiqué. La modélisation se fait en exploitant le logiciel COMSOL Multiphysics. Les équations différentielles, les conditions frontière, les constants et les variables décrivant le capteur sont déterminés et implantés dans COMSOL, ce qui permet à ce dernier de prédire le comportement du capteur en fonction des paramètres d'entrées. Par conséquent, plusieurs autres configurations sont examinées et investiguées dans le but d'améliorer la concordance entre les données expérimentales et le comportement du modèle. Pour améliorer l'exactitude du modèle, il est indispensable d'avoir des valeurs exactes de certains paramètres et dont certaines structures de tests sont conçues et fabriquées par COMSOL.

RÉSULTATS:
Nous avons simulé diverses configurations géométriques qui nous permettaient de mieux approximer les courants mesurés et donc mieux approximer le contenant spectral (les couleurs) de la lumière incidente. Ces résultats nous ont démontré que la diffusion des porteurs dans la gaufre consiste en un problème important. Ainsi l'intensité du champ magnétique est trop élevée pour être réalisée dans les petits appareils portables; il est toutefois possible d'en faire des dispositifs utiles pour la recherche ou les appareils non-portables. Nous avons aussi reconnu certains phénomènes physiques dont nous négligeons l'effet. Ceci nous a permis de suggérer de nouvelles configurations à étudier. Les simulations et les essais sur un nouveau prototype sont en cours.

Les résultats de première série des simulations et mesures expérimentales nous ont conduits à proposer de nouvelles structures qui n'utilisent plus l'effet «Hall » ou elle l'exploite de façon différente. Ce sont des structures qui seront fabriquées dans la prochaine série de fabrication.

AIT YAKOUB, My El Mustapha **DIPLÔME: M.Sc.A.**

TITRE:

Convertisseur analogique à numérique (CAN) inspiré d'un neurone et de dissipation nano watts pour des applications de biocapteurs.

RÉSUMÉ :

Ce projet consiste en la conception et la réalisation d'un CAN unipolaire précis en technologie 0.18µm dédié aux biocapteurs. L'architecure de ce CAN est inspirée du fonctionnement d'un neurone physiologique dans sa transmission des informations numériques lors d'une stimulation externe suffisante. Le fonctionnement de la partie frontale du système que nous avons proposé est semblable au fonctionnement d'un CAN classique à double rampe d'intégration mais qui nécessite ni amplificateur ni comparateur à base d'amplificateur. En combinant une méthode de conception numérique de basse puissance et une minimisation de la partie analogique, un CAN ultra-faible puissance a été conçu et simulé en technologie CMOS 0.18 µm avec une tension d'alimentation de 1.5V.

PROBLÉMATIQUE:

Dans le cadre de la réalisation de la partie de numérisation d'une application biomédicale de pointe, portable, et non invasive, le CAN doit rencontrer des spécifications telles qu'une basse tension d'alimentation (raison de sécurité) et une basse consommation en puissance (longue durée d'autonomie) à l'égard de la vitesse d'opérations. Le choix d'une nouvelle architecture basée sur une cellule de neurone permet d'obtenir un CAN à ultra basse consommation de puissance, en technologie CMOS 0.18µm. Cette structure est formée essentiellement de trois modules. Le premier consiste en un système qui génère, durant une période d'échantillonnage, un nombre d'impulsions proportionnel à l'intensité du courant d'entrée (stimulation) et à amplitude constante. Ceci est semblable au fonctionnement d'un neurone physiologique naturel, d'où le nom de cette architecture. À la sortie du deuxième module, constitué d'un compteur binaire d'impulsions générées par la cellule du neurone, on obtient la valeur quantifiée du courant d'entrée durant chaque période d'échantillonnage. Étant donné les imperfections de la technologie CMOS, il est indispensable d'ajouter un troisième bloc que l'on nommera circuit de calibration dont la fonction principale est de vérifier la proportionnalité souhaitée par le premier module par l'intermédiaire d'une rétroaction au niveau de ce dernier.

MÉTHODOLOGIE:

- Réalisation d'une revue de la littérature sur les CAN à basse puissance;
- Choix d'une architecture à base d'une cellule de neurone à laquelle nous apporterons des améliorations;
- Modélisation en Verilog-A des parties du circuit afin de déterminer les limites de l'architecture adoptée;
- Réalisation d'un code Matlab pour tester les paramètres DNL, INL, etc.;
- Validation des modules des circuits en technologie 0.18µm sous Cadence;
- Fabrication de la puce en technologie cmos 0,18 µm.

RÉSULTATS:

Les résultats de simulation montrent que la consommation en puissance du circuit sans les plots de soudure est de l'ordre du nano Watt. Les résultats de simulation montrent aussi que l'INL et le DNL sont inférieurs à 0.05 LSB, et le circuit occupe une surface de 0,05mm^2.

AL-TERKAWI HASIB, Omar **DIPLÔME: M.Sc.A.**

TITRE:

Conception et implémentation de convertisseurs DC-DC hautement efficaces et intégrés en technologie CMOS à faible tension.

RÉSUMÉ:

Les dispositifs alimentés par batterie deviennent une partie importante de notre vie quotidienne. Avec la possibilité d'avoir les ensembles de circuits différents avec les demandes de puissance variables sur une même puce, le design de convertisseur DC-DC intégrés d'une haute efficacité devient une nécessité. Cette recherche se concentrera à fournir un design d'un convertisseur DC-DC de voltage bas complètement intégré qui peut opérer sur une grande gamme de charge avec une haute efficacité. Le circuit sera implémenté dans un procédé CMOS actuel.

PROBLÉMATIQUE:

Dans les technologies modernes, l'intégration de différents circuits sur une même puce est une tendance très commune. Dans beaucoup de cas, les circuits sur la puce ont besoin de différents niveaux de voltage. L'approvisionnement des différents voltages sur la puce est le rôle d'un convertisseur DC-DC. Un des problèmes est l'utilisation d'éléments passifs hors puce. Un autre problème est la difficulté d'obtenir une régulation de la tension de sortie pour des valeurs différentes de résistance de charge tout en maintenant une bonne efficacité. Le design de tels circuits doit prendre en considération tous les critères mentionnés ci-dessus.

MÉTHODOLOGIE:

Pour accomplir l'objectif proposé, nous planifions les étapes suivantes :

- Une révision détaillée de la littérature sera effectuée;
- Le design sera fait pour un procédé CMOS dans l'environnement de Cadence. Pour ce faire, il faudra une maîtrise adéquate de l'environnement de Cadence pour la conception de circuits de signaux mixtes;
- La vérification Post layout sera comparée avec la simulation de circuit. La disposition finale doit être aussi robuste que possible pour tolérer les variations, ainsi, une analyse de procédés Monte-Carlo sera effectuée;
- La puce fabriquée sera testée.

RÉSULTATS:

Dans le processus de conception du convertisseur DC-DC, une révision de la littérature sur le sujet a été effectuée. Différents types de topologies ont été comparés et analysés. Récemment, le travail de simulation a commencé. Les résultats de ces simulations aideront à déterminer les étapes suivantes dans le design. La simulation actuelle est faite avec Cadence dans la technologie de CMOS 180nm.

ANDRÉ, Walder **DIPLÔME: Ph.D.**

TITRE:

Conception d'un Microrobot autonome sans fil pour opération dans un milieu aqueux en utilisant la méthodologie des *System-on-Chip.*

RÉSUMÉ:

Le but de ce projet est de concevoir un robot miniature dont les dimensions sont estimées à quelques centaines de micromètres de côté en utilisant la méthodologie des *System-on-Chip.* Ce robot est capable de travailler de manière autonome et détecter le niveau de pH dans un liquide. Ce robot doit aussi être en mesure d'échanger les données avec un ordinateur central pour le traitement.

PROBLÉMATIQUE:

La conception d'un robot aux dimensions de l'ordre de quelques centaines de micromètres s'avère une tâche difficile compte tenu de la nature et de la multiplicité des contraintes qui y sont rattachées. Un des principaux problèmes que nous avons dû repenser se situe au niveau de l'alimentation électrique du robot. D'une part, en raison de ses faibles dimensions, il ne peut incorporer une batterie d'alimentation, car cette dernière occuperait trop de place. Un autre problème est de trouver un système de communication en tenant compte de l'infirme taille de ce dernier qui se veut un défi à cette échelle.

MÉTHODOLOGIE:

Nous allons utiliser la méthodologie SoC pour intégrer sur une même et unique puce la grille de manipulation, les sources de courant et le circuit de contrôle, le tout ne dépassant pas les 2 mm de côté. Le contrôle est également assisté par ordinateur et effectué à l'aide d'un microscope optique pour le pistage des bactéries magnétotactiques. Notre design peut obtenir les valeurs minimales exactes pour le courant et le champ requis de façon à influencer positivement le comportement magnétotactique des bactéries.

RÉSULTATS:

Le test du circuit électronique est réalisé et nous avons obtenu les résultats escomptés.

Les systèmes d'alimentation et de communication du Microrobot ont été testés et les résultats sont publiés dans un journal.

AUBERTIN, Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Accélération de l'exécution d'algorithmes de voisinage local utilisés pour le traitement vidéo à l'aide de processeurs configurables.

RÉSUMÉ:

Ce projet porte sur l'accélération de traitement vidéo à l'aide de processeurs configurables. Il vise les algorithmes à voisinage local comme la convolution, les morphologies et les algorithmes de désentrelacement intra-champ. L'objectif est de définir et caractériser une approche de conception qui permette le développement rapide d'implémentations à haute vitesse de traitement d'algorithmes de ce type.

PROBLÉMATIQUE:

Les applications vidéo numériques sont de plus en plus omniprésentes. On peut penser par exemple à la télévision haute définition, aux lecteurs vidéo portatifs et aux téléphones cellulaires qui permettent la lecture vidéo. L'apparition de ces applications exigeantes est rendue possible grâce à l'augmentation exponentielle de la densité des circuits intégrés décrite par la loi de Moore. Par contre, cette augmentation exponentielle représente aussi un obstacle puisque les concepteurs doivent concevoir des systèmes toujours plus complexes avec les mêmes contraintes de temps de mise en marché exigeantes.

La principale solution à ce problème consiste à élever le niveau d'abstraction de la conception. Un paradigme de conception à niveau d'abstraction élevé récent et prometteur est le processeur configurable. Étant donné la nouveauté de ce paradigme, des approches de conception et de nouvelles méthodologies doivent encore être développées pour vraiment en tirer avantage.

MÉTHODOLOGIE:

L'approche proposée est appliquée à plusieurs algorithmes ayant des caractéristiques (complexité logicielle, modalité d'accès aux données) diverses afin de valider qu'elle soit bien applicable à ces algorithmes et afin de la caractériser. Pour la caractérisation, les métriques d'intérêt particulier sont la vitesse de traitement, la complexité matérielle et incidemment la métrique AT. Ces métriques sont évaluées à l'aide de simulations et d'estimations obtenues grâce aux outils de conception. Jusqu'à présent, le processeur configurable Xtensa LX2 et la suite d'outils de Tensilica ont été utilisés, mais il n'est pas exclu que d'autres soient éventuellement aussi utilisés.

RÉSULTATS:

Une approche a été proposée et les implémentations rapides de trois algorithmes de désentrelacement vidéo ont été réalisées, notamment du nouvel algorithme PBDI développé au GRM par un étudiant du groupe de recherche. Des accélérations importantes ont été obtenues, atteignant un facteur de 1346 dans le cas de PBDI. Un article concernant ces travaux a été rédigé et soumis à la conférence DATE.

Une implémentation rapide de la convolution 3x3 a été réalisée. Les travaux en cours visent la généralisation de celle-ci avec pour objectif la génération automatique de descriptions d'implémentations de convolution NxM.

BAFUMBA- LOKILO, David **DIPLÔME: M.Sc.A.**

TITRE:

Méthodologie de conception de système sur puce par langage de haut niveau.

RÉSUMÉ:
Au cours de cette maîtrise, il sera question de proposer une méthodologie de conception matérielle plus rapide de système sur puce et l'applicabilité d'un langage matériel de haut niveau, en l'occurrence, le CASM. Nous voulons développer à l'occasion une architecture basée de processeurs spécialisés pour le traitement vidéo. Nous utiliserons une architecture à base de processeurs, mémoires et entrées-sorties pour la réalisation d'un système de traitement vidéo. Par la suite, nous pourrons intégrer les modules décrits dans notre architecture en langage CASM, et les utiliser comme machine algorithmique. Tout cet exercice vise l'amélioration de méthodologie de conception sur le plan de la réduction d'erreurs dans la conception.

PROBLÉMATIQUE:
La progression effrénée de la miniaturisation des transistors sur une même puce suit son cours selon la loi de Moore. Le potentiel énorme qu'offre cette progression permet aux concepteurs des systèmes embarqués de concevoir des systèmes plus complexes. Cependant, les outils et procédés qu'emploient les concepteurs des systèmes embarqués pour réaliser des systèmes complexes, ne suivent pas nécessairement l'allure empressée de la miniaturisation des transistors. Étant donné le nombre et la complexité des systèmes électroniques, les concepteurs se voient contraints de chercher des méthodes plus efficaces de conception pour éviter des erreurs de prototypage et augmenter la rapidité de conception. Nous voyons de plus en plus des initiatives de conception des applications complexes de système sur puce.

Dans ce projet, nous investiguerons sur une architecture basée de processeurs spécialisés pour le traitement vidéo. L'idée est de trouver un moyen de conception rapide avec en appui l'utilisation d'un langage matériel de haut niveau.

MÉTHODOLOGIE:
Pour arriver à rencontrer les objectifs prévus pour la réalisation de ce projet, nous utilisons une carte de prototypage FPGA VIRTEX 2, quelques modules IP de XILINX, ainsi qu'un paquet d'outils CAO qui les accompagne et un processeur XTENSA utilisant des instructions spécialisées. La première étape sera de concevoir une architecture efficace de traitement de flots vidéo et valider le prototype en le ciblant dans le VIRTEX 2P. Nous devrons employer les méthodes de vérification matérielle nécessaires pour le debugge du système. Après validation du prototype, nous pourrons utiliser le CASM pour l'intégration des modules de l'architecture du système de traitement vidéo. Par la suite faire le passage du CASM au VHDL en utilisant un compilateur qui a été développé pour ce but. Le résultat du système réalisé à l'aide du CASM sera comparé à celui du système du début afin de remarquer les apports bénéfiques en termes de rapidité de conception et réduction d'erreur dans la conception d'un système complexe.

RÉSULTATS:
Nous avons développé un système multiprocesseur en co-simulation. En parallèle, nous développons un système générique pour fin de traitement vidéo en l'implémentant sur FPGA, en l'occurrence le Virtex II pro. Le système en co-simulation se compose de NoC2x2 (Network-on-Chip), de processeurs XTensa et de mémoires systèmes. Le NoC2x2 est un module généré automatiquement par un gabarit en java. Ce dernier génère automatiquement un module NoC NxN.

La co-simulation permet de vérifier l'architecture, qui va de trois à soixante-cinq processeurs. C'est un moyen rapide de tester une application avant de l'implémenter sur FPGA. L'implémentation sur FPGA est en cours. Il s'agit de cibler un nombre suffisant de processeurs xtensa dans un Virtex II pro. Pour le moment nous pensons cibler deux processeurs xtensa plus un processeur PowerPC embarqué dans le Virtex II pro.

BASILE-BELLAVANCE, Yan **DIPLÔME: M.Sc.A.**

TITRE:

Conception et co-vérification d'un système de programmation JTAG tolérant aux fautes pour un circuit intégré à l'échelle de la tranche: le «DreamWafer».

RÉSUMÉ:

Le but du projet est de concevoir, implanter et vérifier un système de programmation JTAG tolérant aux pannes pour un circuit intégré à l'échelle de la tranche (WSIC, *Wafer Scale Integrated Circuit*). Le projet comprend la conception de l'interface logiciel matériel, l'implémentation en VHDL du système, la conception de l'environnement de vérification SystemC, l'émulation sur un FPGA ainsi que le «DFT», c'est-à-dire le design pour la testabilité.

PROBLÉMATIQUE:

Une nouvelle approche face à la conception de banc de test programmable pour le test de circuit numérique est en cours de développement sous le projet DreamWafer™. Ce nouveau système de prototypage rapide de circuits numériques a pour but de mettre au point un réseau intégré d'interconnexions configurables, nommé WaferNet. Ce réseau d'interconnexions est déployé sur un circuit intégré à l'échelle de la tranche. Ainsi, le projet «DreamWafer» vise à développer un circuit intégré qui ferait l'équivalent d'un PCB reconfigurable, permettant d'interconnecter numériquement des circuits intégrés discrets (FPGA, processeurs, DSP…) et à les tester, ceux-ci étant déposés sur sa surface. Ce circuit intégré est une matrice de milliers de cellules identiques, chacune comportant un centre de contrôle logique, un crossbar configurable et un ensemble de «plots» de quelques centaines de micromètres de large (points de contact avec les composants déposés). Cette matrice de cellule se nomme le WaferIC.

MÉTHODOLOGIE:

Pour accéder aux fonctionnalités du WaferIC, il faut un système de programmation tolérant aux pannes capables de se reconfigurer en fonction des zones mortes du circuit. Ce système est basé sur le protocole IEEE1149.1 JTAG. Pour commander le WaferIC à partir d'un ordinateur, il faut mettre au point un émulateur JTAG adapté aux besoins spécifiques du circuit. Un environnement de vérification a été codé en C++ et en SystemC pour tester et vérifier l'interface logiciel matériel et pour vérifier la validité des fonctionnalités internes de chaque cellule. Un plan de vérification a été rédigé et plusieurs «testcases» doivent être réalisés pour valider le WaferIC ainsi que l'émulateur JTAG. De plus, il est important de rendre le WaferIC testable et diagnostiquable en prenant en compte le protocole JTAG.

RÉSULTATS:

- Le premier prototypage «ASIC» du circuit à concevoir à été soumis à la CMC;
- Le code VHDL du système de programmation JTAG et du centre de contrôle logique intégré dans chaque cellule est terminé et la synthèse est terminée pour le circuit de test (Test Chip);
- L'environnement de vérification SystemC est codé et testé;
- L'émulateur JTAG (logiciel) a été testé et validé avec le modèle VHDL du système de configuration;
- 100% des «testcases» au plan de vérification ont été codés;
- Des vecteurs de test ont été générés avec un module logiciel d'émulation;
- Un circuit d'accueil pour le circuit de test a été conçu et est en cours de fabrication.

BENDALI, Abdelhalim **DIPLÔME: Ph.D.**

TITRE:

Conception et caractérisation de circuits intégrés CMOS de haute performance pour applications aux interconnexions photoniques.

RÉSUMÉ:

Dans ce projet, nous proposons d'utiliser le procédé CMOS standard pour la fabrication de détecteurs photoniques opérant à très haute fréquence. L'objectif visé par la technique proposée est d'améliorer les performances des systèmes numériques rapides, intégrées en technologie CMOS.

PROBLÉMATIQUE:

L'une des problématiques majeures pour la synthèse numérique à haute vitesse est le biais de synchronisation (BS), skew, qui est actuellement parmi les principaux facteurs limitatifs de la performance des systèmes intégrés synchrones. Une tendance récente et très peu explorée propose de remplacer les interconnexions métalliques par leurs équivalents optiques. Parmi les bénéfices de cette approche on peut citer : une plus large bande passante, une dégradation très faible du signal véhiculé, une immunité aux interférences électromagnétiques et une réduction notable du BS. Ce qui permet une synchronisation quasi parfaite du système avec une cadence de plusieurs dizaines de giga Hertz.

MÉTHODOLOGIE:

Afin d'émettre ou de recevoir de l'information sur l'interconnexion optique, des dispositifs électro-optiques sont utilisés. Un système expérimental d'émission et de réception optique sera développé afin d'étudier la génération des signaux électriques ultra-rapides (supérieurs à 1 Giga Hertz) produits par des photos détecteurs à semi-conducteurs CMOS basés sur de nouveaux concepts. Le système d'émission optique est principalement composé d'une source lumineuse à diode laser modulée à haute fréquence. Divers dispositifs photo détecteurs seront fabriqués en technologie CMOS 0.18µm et caractérisés à partir de cette source.

RÉSULTATS:

Nous avons mis au point un système pour la caractérisation optique des photo-détecteurs (PD). De nouveaux circuits à base de PD ont été fabriqués et sont en cours de test. Nous avons publié une partie de nos résultats dans IEEE Transactions on Circuits and Systems.

BOISSIÈRE, Benoit **DIPLÔME: M.Sc.A.**

TITRE:

Étude sur les algorithmes du contrôle de débit binaire dans JPEG 2000.

RÉSUMÉ:

- Assimilation et caractérisation des performances du logiciel Open JPEG qui encode des images en JPEG 2000;
- Intégration de l'algorithme PRCDO (Pre-Compression Rate-Distorsion Optimisation) dans le logiciel Open JPEG et validation;
- Implémentation d'un nouvel algorithme au résultat optimal et ayant de meilleures performances prochainement.

PROBLÉMATIQUE:

Le traitement d'images numériques joue un rôle central dans les systèmes de communication multimédia modernes et ses domaines d'application ne se comptent plus: on s'en sert partout. Le standard JPEG 2000 a été créé pour succéder au JPEG standard que tout le monde connaît puisqu'il offre de meilleurs taux de compression pour une meilleure qualité d'images que JPEG. Cependant, il est pour le moment impossible de remplacer JPEG par cette nouvelle norme dans de nombreux domaines car l'encodage et le décodage en JPEG 2000 requièrent beaucoup trop de mémoire et de puissance de calcul.

Nous avons donc pour but de créer et d'implémenter un algorithme d'encodage en JPEG 2000 qui s'inscrirait bien entendu dans la norme JPEG 2000 mais qui demandera beaucoup moins de ressources matérielles que Open JPEG pour obtenir des images d'une qualité optimale. Si les résultats sont satisfaisants, cela permettrait d'étendre l'utilisation de JPEG 2000 à de nouveaux domaines d'application.

MÉTHODOLOGIE:

Premièrement, il a fallu comprendre le fonctionnement du standard JPEG 2000 et analyser les différentes phases de son processus d'encodage. Par la suite, en s'appuyant sur OpenJPEG, qui encode les images en suivant à la lettre les directives du standard, il a fallu trouver quelles étapes de l'encodage utilisent le plus de ressources et pourquoi afin de bien définir quelles améliorations peuvent être apportées à l'algorithme d'encodage. Les étapes du processus requérant le plus de ressources sont donc optimisées en priorité et nous essayons même de simplifier la tâche que ces étapes doivent accomplir.

RÉSULTATS:

La progression a suivi plusieurs étapes dont l'assimilation de l'algorithme d'encodage JPEG2000 standard du point de vue théorique mais aussi pratique avec le logiciel OpenJPEG. Certaines interventions et retouches sur le code m'ont ensuite permis d'extraire les résultats attendus quant à la puissance de calcul requise par les différentes étapes de l'encodage. Ce qui a conforté notre idée de concentrer l'optimisation à apporter sur le Tier1-Coding de JPEG2000. Afin de diminuer les ressources matérielles utilisées, nous avons donc transformé le code pour évaluer les taux de distorsion et de compression avant d'encoder pour ne pas encoder ce qui ne doit pas l'être. C'est la méthode du Post-Compression Rate-Distorsion Optimisation, les résultats que nous obtenons sont assez similaires à ceux du papier traitant de cette méthode.

BOUYELA NGOYI, Gérard Armand **DIPLÔME: M.Sc.A.**

TITRE:

Conception et implémentation de processeurs dédiés pour des systèmes de traitement vidéo temps réel

RÉSUMÉ:

Les systèmes de traitement vidéo se caractérisent par des demandes de performances de plus en plus exigeantes en termes de bande passante. Il en découle que les processeurs traitant ce type d'informations doivent être très performants. Les méthodologies de conception basées sur un langage de description d'architecture (ADL) apparaissent pour répondre à ces défis. Elles permettent de concevoir des processeurs dédiés de bout en bout, avec un maximum de flexibilité, comme par exemple l'ajout d'instructions spécialisées et la modification de l'architecture du processeur. Dans ce travail, deux méthodologies de conception de processeurs dédiés ont été proposées. Elles se basent sur un langage ADL, sont synergiques et permettent d'implémenter et d'accélérer des algorithmes de traitements vidéo temps réel. Nous obtenons dans un premier temps un facteur d'accélération de 11 pour la première méthodologie puis un facteur d'accélération de 282 pour la deuxième, pour un algorithme de désentrelacement bien connu.

PROBLÉMATIQUE:

Le problème considéré porte sur la conception de processeurs sur mesure permettant d'effectuer du traitement vidéo en temps réel. Le désentrelacement, destiné aux systèmes de télévision haute définition (HDTV) est considéré comme problème de base. Le désentrelacement est un procédé permettant de restituer une image entière à partir de deux images entrelacées ou plus. Le problème spécifique abordé par le projet consiste à concevoir le processeur sur mesure d'une manière efficace et conviviale tout en maximisant la performance atteinte.

MÉTHODOLOGIE:

La méthodologie suivante a été suivie :

- Implémenter un processeur vidéo pour réaliser des algorithmes de désentrelacement vidéo en temps réel pour différents formats d'image comme les normes NTSC et HDTV.

- Concevoir un environnement de test complet, permettant de visualiser les résultats de l'implémentation matérielle.

- Définir une méthodologie de conception basée sur une description logicielle des algorithmes exploitant les architectures matérielles développées.

- Définir une méthodologie de conception basée sur un ADL (Architecture Description Language) permettant l'accélération d'algorithmes de traitement vidéo.

RÉSULTATS:

Deux méthodologies de conception de processeurs dédiés pour le traitement vidéo ont été développées dans ce travail. La première méthodologie a comme particularité fondamentale d'optimiser les instructions spécialisées tout en supportant une description de l'algorithme en C. Après avoir réalisé que l'accélération d'exécution des instructions atteint, après plusieurs itérations, une valeur maximale avec la première méthodologie, nous avons développé la deuxième. Cette deuxième méthode reprend toutes les améliorations obtenues à l'aide de la première, tout en intégrant la notion de parallélisation des instructions.

Les deux méthodologies ont permis de mettre en évidence trois axes de conception de processeur : l'approche RISC traditionnelle, l'approche VLIW et l'approche SIMD. Les deux méthodologies ont illustré la force d'explorer ces trois axes par une approche systématique.

BURASSA, Pascal **DIPLÔME: M.Sc.A.**

TITRE:

Caractérisation d'une matrice de pixels conçue pour capteurs d'images couleur sans filtre optique.

RÉSUMÉ:

Une matrice de pixels basée sur une nouvelle méthode de détection de la lumière a été réalisée. Ce projet de recherche vise à concevoir un circuit qui permettra aux trois électrodes du pixel de récolter les charges produites par la radiation électromagnétique pénétrant dans le silicium, caractériser et mesurer les différents paramètres de performance du pixel, à savoir la consommation du pixel, la sensibilité, la plage dynamique, etc…

PROBLÉMATIQUE:

Les lois fondamentales de la physique ne sont plus les seules limites de la résolution du capteur d'images numériques, mais également la manière actuelle que les capteurs utilisent pour détecter la couleur. Remarquez que, nie le capteur CCD, ni le capteur CMOS ne détecte la longueur d'ondes (la couleur) de la source lumineuse. Ils ne mesurent que la luminance. Afin de reconstituer les valeurs de chrominance, chaque élément photo détecteur (pixel) est recouvert d'un filtre coloré, ne laissant passer que les rayons d'une certaine longueur d'onde et ainsi diminuer la résolution spatiale du capteur. Ce nouveau concept s'inspire de la nouvelle méthode de détection de la lumière qui repose sur la capacité du silicium d'absorber différemment la lumière selon leur longueur d'ondes (leur couleur). Le capteur d'images résultat dispose de trois électrodes par pixel capable de discriminer les différentes charges selon leur profondeur de provenance, c'est-à-dire leur couleur sans faire appel aux filtres optiques et ainsi augmenter résolution spatiale.

MÉTHODOLOGIE:

En premier lieu, nous avons étudié une méthode appropriée pour polariser les pixels de la matrice du capteur. Ceci a été réalisé par le circuit du FPGA et les composants électroniques discrets, permettant ainsi d'appliquer un champ électrique aux bornes de chaque pixel de la matrice selon la séquence de lecture privilégiée. Par la suite, nous avons procédé à la mise au point d'un système de contrôle réalisé en interfaçant le capteur d'images avec l'ordinateur. Ceci permettra un suivi en temps réel de l'image capturée et d'étudier le nouveau concept de détection d'images couleur. Pour ce faire, nous avons également utilisé le circuit du FPGA pour adresser les pixels du capteur et fournir les signaux de synchronisation à la carte de capture intégré dans l'ordinateur. Finalement, un banc de test et un circuit imprimé qui tient compte des contraintes de l'environnement de test ont également été réalisés.

RÉSULTATS:

Nous avons réalisé un circuit de lecture capable de polariser convenablement et d'afficher à temps réel chaque pixel de la matrice du capteur sur l'ordinateur. Avec le capteur d'images prototype comportant différentes architectures de matrices de pixels préfabriqués, nous avons réussi à lire les trois signaux vidéo sur les trois électrodes du pixel. Répondant différemment aux deux différentes longueurs d'ondes (le laser rouge et le laser vert), ce nouveau concept prouve sa capacité de discriminer la longueur d'onde du rayon incident, et ainsi agir comme un détecteur de couleur sans filtre optique.

CHÉNIER, Félix **DIPLÔME: M.Sc.A.**

TITRE:

Mise en œuvre d'un système monocanal d'imagerie médicale fonctionnelle basé sur la spectrométrie infrarouge.

RÉSUMÉ:

L'équipe travaille sur la création d'un système d'imagerie médicale à plusieurs canaux, portable et sans fil. Ce système qui se basera sur la spectrométrie infrarouge, servira à mesurer l'activité cérébrale du patient au niveau du cortex, de manière totalement non-invasive. Ce dispositif aura l'allure d'un casque qui pourra être porté continuellement. Il doit donc encombrer le patient le moins possible, d'où l'avantage de sa petite taille et de l'absence de fils.

À la fin de cette maîtrise, le projet consistera en un système complet d'imagerie médicale à un canal; soient des circuits de détection, d'amplification, d'échantillonnage et de contrôle. De plus, le système sera conçu de façon à être extensible, en offrant la possibilité d'ajouter d'autres canaux ultérieurement.

PROBLÉMATIQUE:

Il y a plusieurs nouveautés dans ce projet, qui ont rarement été abordées. Premièrement, l'utilisation de LEDs plutôt que de lasers acheminées par fibres optiques peut s'avérer difficile, puisque la lumière émise est moins forte et possède un spectre plus étendu. De plus, la question de l'amplification et de la démodulation des signaux reçus par les capteurs doit être traitée en tenant compte des problèmes de bruit potentiel. Finalement, avant de concevoir le circuit final, des tests sur des personnes doivent être complétés, ce qui implique des normes de sécurité et d'éthique rigoureuses.

MÉTHODOLOGIE:

Le projet débute par une revue de littérature, laquelle sera complétée par des rencontres répétées avec des spécialistes dans le domaine. Ceci permettra de déterminer les caractéristiques importantes auxquelles le système doit répondre.

Par la suite, les éléments suivant seront conçus:

- Un circuit pilote pour les émetteurs;
- Un circuit d'amplification à gain variable pour permettre au circuit de s'adapter à différentes conditions, comme la couleur de la peau;
- Un système de contrôle et interface avec l'ordinateur.

A partir de ce point, des essais sur les biceps, sur l'avant-bras et sur l'index pourront être complétés. Ces essais tenteront de déterminer la validité du principe utilisé, en comparant avec des données de la littérature. Aussi, les lacunes évidentes du système pourront être détectées et corrigées avant que le système ne soit développé davantage.

Une fois le principe du système vérifié, le circuit pourra être raffiné de manière à être assez sensible pour capter l'activité cérébrale du sujet. Des tests plus poussés pourront être effectués, ceux-ci consistant à vérifier la corrélation entre l'activité cérébrale dans la zone motrice du cerveau et l'activité physique du sujet. Ce travail sera terminé par la publication des résultats de ce projet.

RÉSULTATS:

Le circuit pilote pour les LEDs est complété et les LEDs sont caractérisées. Elles sont utilisées de façon sécuritaire pour le patient. Des signaux correspondant aux ondes de Mayer et aux battements cardiaques ont été observés à partir de prises de données dans le cortex préfrontal. Des signaux correspondant à l'activité cérébrale ont été observés à partir du cortex moteur primaire, selon le protocole de *Finger-Tapping.*

COULOMBE, Jonathan **DIPLÔME: Ph.D**.

TITRE:

Microsystème implantable dédié à la stimulation du cortex visuel.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser un système implantable visant à stimuler le cortex cérébral de patients aveugles. Les objectifs poursuivis par ces travaux incluent la conception du système en question, la réalisation d'un prototype permettant d'évaluer ses performances critiques, ainsi que la conception et la réalisation d'un système expérimental destiné à la validation in-vivo du stimulateur.

PROBLÉMATIQUE:

Un implant visuel est caractérisé par le nombre élevé de sites de stimulation qu'il doit comporter afin de fournir à son utilisateur une vision intelligible et utile. De ce fait découle les contraintes complémentaires et contradictoires ayant trait à la rapidité, la consommation, la flexibilité et la sécurité d'utilisation du dispositif. La littérature actuelle ne présente, à notre connaissance, aucun système dont les performances sont adéquates en tout point. Il importe donc de proposer une solution globale valide. Pour ce faire, le système doit être étudié et conçu dans son intégralité et les tests doivent être appliqués au système complet.

MÉTHODOLOGIE:

Les éléments composant le dispositif implantable sont considérés en un premier temps. Des circuits originaux relatifs au transfert de données et à la stimulation doivent être conçus et intégrés vu leur impact significatif sur les performances générales du système. Un prototype fonctionnel doit également être fabriqué et testé afin de vérifier l'atteinte des performances selon chacun des critères de performance énoncés plus haut. L'effort d'optimisation du système ne se limitant pas qu'au dispositif implantable, un prototype du contrôleur externe doit également être conçu, réalisé et évalué. Des performances atteintes, une évaluation de l'applicabilité du système proposé à une prothèse destiné à l'humain doit être faite. Finalement, afin de valider le fonctionnement réel du stimulateur conçu, un système destiné à des expérimentations in-vivo doit être conçu et fabriqué.

RÉSULTATS:

Un prototype de stimulateur incluant deux circuits intégrés dédiés (fabriqués en technologie CMOS 0.18 µm) ainsi qu'une plate-forme matérielle/logicielle a été dûment conçu, réalisé et testé. Il a été vérifié que le système est en mesure de fournir jusqu'à 500k impulsions de stimulation par seconde, en utilisant un lien inductif au débit de 1.5 bps avec un taux d'erreurs de transmission inférieur à 1E-6. Le module de stimulation consomme moins de 900uW et il est estimé qu'un implant incluant 1000 électrodes basé sur le système proposé pourrait consommer un total de moins de 50mW. Ce système représente, à notre connaissance, le premier système complet à atteindre des performances adéquates pour une prothèse applicable à l'humain.

Un système expérimental sans fil, incluant une caméra, un logiciel d'analyse et un stimulateur portable, ont été conçus, fabriqués et vérifiés avec succès afin d'être testés *in-vivo* en partenariat avec un laboratoire de neuroscience. Différentes procédures chirurgicales ont été élaborées et des outils d'insertion de matrices d'électrodes ont été fabriqués et ont validé la fonctionnalité et la sécurité des dites procédures.

Des expériences comportementales pourront donc utiliser ces travaux à court terme une fois que des matrices d'électrodes intra-corticales électriquement fonctionnelles seront disponibles.

DAIGNEAULT, Marc-André **DIPLÔME: M.Sc.A.**

Titre:

Application de la reconfiguration dynamique des FPGAs à la mesure de signaux numériques à très haute résolution.

Résumé:

La reconfiguration dynamique des FPGAs peut être utilisée pour contrôler de façon très fine les délais internes du tissu reprogrammable. Une application importante de ce contrôle fin des délais d'un circuit est la mesure de signaux à très haute résolution.

Problématique:

Les caractéristiques internes des FPGAs proviennent de mesures statistiques résultant principalement du procédé de fabrication. L'utilisation de valeurs moyennes conservatrices par les outils de synthèse traditionnels est donc un obstacle fondamental au contrôle fin des délais d'un circuit. De plus, bien que ces outils permettent un contrôle du placement d'un circuit, il en va tout autrement pour le routage de ce dernier. Cela à pour effet de limiter sérieusement la précision des mesures faites avec un circuit basé sur des lignes à délais.

Méthodologie:

L'utilisation de la reconfiguration dynamique des FPGAs (*Virtex2Pro* de *Xilinx*), jumelée à l'utilisation d'outils permettant une granularité plus fine de la configuration générée offre non seulement la possibilité de contrôler précisément le routage d'un circuit, mais également de le modifier lors de son opération. Avec une méthode de calibration originale basée sur l'utilisation d'un oscillateur à fréquence variable, il est possible d'ajuster précisément les délais d'un circuit permettant d'échantillonner un signal numérique.

Résultats:

- Lignes à délai programmable avec une résolution de 1ps sur une plage d'environ 2.5ns avec un bloc logique combinatoire;
- Oscillateur à fréquence variable précis à la picoseconde sur une plage de période allant de 9ns à 60ns;
- Échantillonneur de signal numérique avec résolution de 50ps fonctionnant avec une horloge de 100MHz, utilisé pour la conversion numérique de temps (TDC). Résultats expérimentaux préliminaires, le projet est toujours en cours de développement.

DECA, Radu **DIPLÔME: Ph.D.**

TITRE:
Modèle structuré basé sur les contraintes pour la gestion de la configuration des réseaux et services.

RÉSUMÉ:
Le modèle proposé abstrait les données et la hiérarchie des langages de configuration qui utilisent des interfaces de commande en ligne (CLI). Le modèle permet de capter et de spécifier les contraintes sur les données de configuration à l'aide des règles de haut niveau, réutilisables et exécutables par un outil. Le modèle inclut une taxonomie des principaux types des contraintes de configuration et des métriques basées sur les contraintes pour quantifier la complexité des tâches de gestion.

PROBLÉMATIQUE:
Le développement impétueux des réseaux et des services pose de nouveaux défis pour la gestion efficace et fiable des réseaux et services. L'approche manuelle ou basée sur des solutions ad-hoc (par exemple, des scripts, des templates), ainsi que les moyens traditionnels de gestion, tels que les interfaces en mode ligne de commande (CLI), les modèles et protocoles de gestion, tels que SNMP, CMIP, WBEM, ne sont plus capables à répondre à ces défis.

Pour répondre à ces défis, nous avons besoin de trouver de nouvelles solutions, qui:

- Prennent en compte la complexité croissante des réseaux, des services et des équipements. Cette complexité est due à plusieurs facteurs, comme par exemple : la taille des réseaux, la quantité des données de configuration des équipements, l'hétérogénéité des réseaux et services (diversité des équipements, des technologies, des protocoles, des politiques déployées sur les réseaux), la distribution de services;
- Permettent de traduire les opérations de gestion des réseaux et services en opération de configuration des équipements;
- Permettent d'automatiser les tâches de gestion des réseaux et services en opération de configuration des équipements;
- Utilisent des modèles de haut niveau simples, réutilisables, configurables, interactifs qui permettent aux administrateurs et aux ingénieurs de réseau d'accomplir les tâches de gestion de façon rapide et efficace.

MÉTHODOLOGIE:
Le problème proposé abstrait les données et la hiérarchie des langages de configuration qui utilisent des interfaces de commande en ligne (CLI). Le modèle permet de capter et de spécifier les contraintes sur les données de configuration à l'aide des règles de haut niveau, réutilisables et exécutables par un outil. Le modèle inclut une taxonomie des principaux types des contraintes de configuration et des métriques basées sur les contraintes pour quantifier la complexité des tâches de gestion.

Nous avons créé un prototype basé sur le modèle proposé que nous avons utilisé pour déployer et valider de façon automatique les services réseau. Nous avons expérimenté avec divers réseaux et services afin de déterminer les performances de notre outil, à savoir, la précision de validation, le taux de validation par règle, complexité du processus de validation, etc.

RÉSULTATS:
Les résultats obtenus montrent que notre approche permet de valider les services réseau de façon précise et efficace. On a constaté aussi que la précision de validation n'est pas affectée lors de la mise à échelle des réseaux et services (augmentation de la taille des réseaux, de la taille des configurations, du nombre des équipements, etc.).

Nous avons analysé l'influence des facteurs de complexité au niveau réseau et des fonctionnalités descriptives des règles sur l'efficacité et la complexité des règles et nous avons constaté une corrélation entre des mesures de complexité et nous avons proposé une formule analytique pour exprimer cette corrélation.

ÉTHIER, Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un stimulateur sécuritaire et à faible consommation de puissance pour un implant visuel intracortical.

RÉSUMÉ:

Le contexte de ce projet est celui d'un implant visuel intracortical. Ce dernier doit être en mesure de stimuler les tissus corticaux sur plusieurs sites de manière à faire percevoir des points lumineux, appelés phosphènes, dans le champ visuel de l'usager.

L'objectif de ce projet, est la conception de stimulateurs sécuritaires à faible consommation de puissance. Un prototype fonctionnel de l'implant ayant déjà été réalisé, il s'agit maintenant de diminuer la consommation d'énergie et d'améliorer l'aspect sécuritaire des stimulateurs. Pour ce faire, différentes formes d'ondes de stimulation, qui demandent théoriquement moins d'énergie, seront étudiées et la phase d'équilibre des charges est à être asservie afin de minimiser la concentration d'ions nocifs relâchés par les électrodes.

PROBLÉMATIQUE:

La génération de stimulation de formes d'onde différentes que le prototype actuel exige nécessairement une puissance plus élevée. Un premier défi est de minimiser cette hausse de manière à ce que globalement la stimulation consomme globalement moins d'énergie pour engendrer une même réponse des tissus corticaux.

De plus, il est nécessaire de maximiser la précision du circuit de retour de charge permettant d'annuler avec précision la charge induite dans une électrode après une stimulation afin d'éviter la libération d'ions nocifs dans les tissus corticaux par réaction d'oxydoréduction. La charge résiduelle au niveau de l'électrode s'accumule avec le nombre de stimulations.

Enfin, la validation des résultats à partir des circuits intégrés n'est pas triviale. Il est nécessaire de s'assurer que les stimulations génèrent bel et bien des réponses dans des tissus corticaux avant de pouvoir comparer les puissances consommées et les concentrations d'ions relâchés.

MÉTHODOLOGIE:

- Conception et simulation des circuits électroniques afin de s'assurer qu'ils répondent aux spécifications de l'application;
- Vérification et comparaison de réponses des tissus vivants aux stimulations simulées obtenues à l'aide d'un modèle du cortex visuel humain afin de s'assurer que les objectifs de consommation réduite d'énergie et de sécurité sont bien respectées en simulation;
- Dessin des masques des circuits électroniques correspondants et fabrication du circuit intégré résultant par la Canadian Microelectronics Corporation (CMC).
- Tests in vitro du circuit intégré réalisé à l'aide d'un montage avec des électrodes et un électrolyte. Ainsi, il sera possible de vérifier le fonctionnement du circuit en observant la forme des stimulations et de mesurer les concentrations d'ions nocifs relâchés selon la forme de stimulation;
- Tests in vivo chez les animaux permettant de mesurer et de comparer la puissance nécessaire pour exciter les tissus corticaux d'un animal selon la forme d'onde.

RÉSULTATS:

Les résultats actuels ne sont tirés que de simulations. Divers modules électroniques ont été simulés avant que leur dessin de masques ne soient entamés. De plus, des stimulations issues de simulations ont été appliquées à des modèles numériques de tissus nerveux afin d'observer leur réponse.

FAUCHER, Corentin **DIPLÔME: M.Sc.A.**

TITRE:

Analyse des mélodies musicales à l'aide des mémoires associatives et des machines à échos.

RÉSUMÉ:

Le projet cherchera à déterminer une technique utile permettant d'extraire le thème musical du chant, du fredonnement ou du sifflement d'un sujet, afin de l'associer à un ou des thèmes existants dans une banque de mélodies.

PROBLÉMATIQUE:

Depuis quelques années, l'avancement des technologies en informatique a permis une véritable explosion de la disponibilité de la musique en ligne sur internet. Ceci a amené une recherche importante dans les méthodes de récupération de pièces musicales. La plupart des moteurs de recherche actuels reposent sur l'utilisation des titres des fichiers ou des étiquettes textes associées aux fichiers de la musique pour la recherche. Cependant, on n'utilise peu de méthodes axées sur la reconnaissance des thèmes musicaux. Il serait parfois plus aisé de rechercher une pièce musicale en chantonnant, sifflant ou fredonnant le thème ou un passage de la pièce. Cette recherche aura donc comme but de déterminer une méthode efficace de stockage et de récupération de thèmes musicaux. La similitude est basée sur une notion intuitive et subjective basée sur la perception humaine. Deux pièces paraissent normalement similaires si elles se basent sur la même partition ou rencontrent les mêmes harmoniques, et ce, même si elles sont données par différentes personnes, à des tempos différents ou à des tonalités différentes.

MÉTHODOLOGIE:

Pour réaliser ce travail, nous devrons enregistrer des mélodies chantonnées ou fredonnées pour former une banque de données. Ces données pourront être utilisées afin de tester le système de récupération des thèmes musicaux. Afin de réaliser ce système, nous devrons analyser les séries chronologiques que sont les thèmes musicaux. Pour ce faire, nous effectuerons d'abord un prétraitement du signal afin d'utiliser une échelle «harmonique» qui tient compte des distances harmoniques entre des notes consécutives. Par la suite, nous emploierons un réseau à échos afin de caractériser les séquences musicales. Les séquences seront ensuite inscrites dans une mémoire associative afin de les comparer avec un thème musical donné par un usager. Cette mémoire associative permettra donc de trouver rapidement le thème musical se rapprochant le plus de celui recherché. Finalement, pour optimiser la recherche de la mémoire associative, nous utilisons les méthodes de recherche par arborescence (KD-tree, spill-tree, etc.).

RÉSULTATS:

Le système a été testé chez un groupe de 15 participants et permet pour une banque de 36 chansons, un taux de reconnaissance de 76%. Le système permet également la reconnaissance de variantes mélodiques d'un même thème.

FONTAINE, Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un outil d'exploration architecturale de la hiérarchie de mémoire d'un système sur puce afin d'optimiser la performance de la plateforme logicielle.

RÉSUMÉ:

L'objectif est d'implémenter un outil permettant d'optimiser la performance d'un logiciel s'exécutant sur un processeur embarqué en segmentant le programme sur différentes mémoires et en optimisant la configuration de la mémoire cache.

PROBLÉMATIQUE:

Les plateformes embarquées présentent de nouveaux défis et de nouvelles possibilités quant aux optimisations possibles. Les compilateurs sont déjà très compétents pour optimiser le code pour un processeur spécifique, mais ils ont une limitation : ils ne connaissent que le processeur sur lequel le logiciel s'exécutera et n'ont aucune connaissance de l'architecture du système et plus particulièrement de l'architecture de la mémoire du système. Il est donc possible d'appliquer d'autres optimisations afin d'améliorer la performance du logiciel en tirant avantage de la hiérarchie de la mémoire. Plus particulièrement, de tirer avantage de la cache et de la mémoire locale. De plus sur une plateforme basée sur un FPGA, les configurations possibles sont très nombreuses, une exploration architecturale est donc possible.

MÉTHODOLOGIE:

Dans un premier temps, une revue des travaux effectués dans le domaine sera entreprise. Suite à cette revue, une approche appropriée à l'évaluation efficace de la performance du logiciel sera élaborée. Une architecture et un algorithme d'exploration répondants aux objectifs seront ensuite conceptualisés, viendra par la suite l'implémentation initiale des différents mécanismes impliqués dans les mémoires caches et de la mémoire locale (scratchpad); cette implémentation sera testée et validée afin de s'assurer du bon fonctionnement des blocs de base. L'algorithme d'exploration architecturale sera ensuite implémenté et intégré à l'outil. L'outil d'exploration sera ensuite intégré dans la plateforme Space Codesign afin d'être utilisé avec le Microblaze. Finalement, des tests seront exécutés et les résultats seront analysés et validés.

RÉSULTATS:

L'outil d'exploration a été développé et répond aux requis énoncés ci-dessus. Les résultats préliminaires disponibles montrent que l'outil permet d'obtenir d'excellentes accélérations tout en minimisant l'utilisation de la mémoire locale et de la mémoire cache. À titre d'exemple, le programme Dhrystone occupe une taille en mémoire d'environ 64 kilo-octets. À l'aide de l'outil, il est possible de déterminer qu'il suffit d'emmagasiner seulement 8 kilo-octets de code et de données dans la mémoire locale et d'emmagasiner le reste dans une mémoire externe. Cette configuration permet d'obtenir la même performance que si le programme entier (64 kilo-octet) était emmagasiné dans la mémoire locale ou encore si 32 kilo-octets de mémoire cache étaient utilisés.

GENEST, Pier-Olivier **DIPLÔME: M.Sc.A.**

TITRE:

Élaboration d'un modèle graphique probabiliste pour l'analyse en temps réel de trajectoires 2D bruitées.

RÉSUMÉ:

Que ce soit par surveillance vidéo, par communication cellulaire ou par réseaux de senseurs, de plus en plus de systèmes de monitoring font leur apparition dans divers milieux. Plusieurs de ces systèmes sont en mesure de fournir en temps réel les positions d'objets mobiles dans le temps. Dans ce projet, nous nous interrogeons sur la façon d'utiliser l'apprentissage machine, et plus particulièrement les modèles graphiques probabilistes (réseaux bayesiens), pour analyser dans leur contexte et en temps réel les trajectoires bidimensionnelles d'objets observés dans de tels systèmes.

PROBLÉMATIQUE:

Deux difficultés se présentent d'emblée : l'intégration du contexte à l'analyse qui, bien que facilitée par l'usage d'un modèle graphique probabiliste, peut rapidement se complexifier et l'exécution de l'analyse en temps réel. La problématique du contexte se résume dans le fait que l'on devrait pouvoir en extraire suffisamment d'informations afin de représenter et interpréter une trajectoire par rapport à la multiciplité des trajets possibles, et idéalement, prévoir les suites futures de cette trajectoire (et leur probabilité). Les calculs de prétraitement des données et d'inférence probabiliste nécessaires à cette analyse révèlent une toute autre problématique, celle de l'exécution en temps réel.

MÉTHODOLOGIE:

Dans un premier temps, nous devons caractériser les trajectoires dans une métrique que nous devons définir. Cela implique une segmentation des séquences temporelles de données ainsi qu'une extraction de caractéristiques à partir d'algorithmes non supervisés.

D'autre part, la topologie du modèle graphique probabiliste (détermination des variables discrètes et continues, détermination des observables et des états possibles) doit être « apprise » à partir des données et s'avère dépendante du contexte, i.e. que la topologie intègre certains aspects essentiels quant aux profils des objets mobiles et sur l'environnement. Afin de capturer ces aspects essentiels, trois algorithmes de prétraitement des données sont utilisés et comparés. L'algorithme EM (maximisation de l'espérance) est utilisé dans la phase d'apprentissage. Dans la phase d'inférence, il est prévu de comparer les performances d'algorithmes exacts et approximées.

Finalement, une interface graphique logicielle permettant de simuler des trajectoires dans un environnement donné doit permettre de tester et de valider le modèle.

RÉSULTATS:

Dans une première approche, une interface graphique dédiée de même qu'une première famille de modèles graphiques probabilistes (statiques) introduisant explicitement des variables contextuelles à des variables de déplacement s'est avérée plutôt limitative en termes d'applicabilité et de capacité de calcul.

Une seconde approche, plus générique, faisant intervenir une famille de modèles graphiques probabilistes dynamiques et des algorithmes de prétraitement non-supervisés s'avère beaucoup plus prometteuse. Les algorithmes sont testés sur des données de simulation (RoboCup) publique.

GHANNOUM, Anthony **DIPLÔME: M.Sc.A.**

TITRE:

Module de reconnaissance d'objets dédié à un stimulateur visuel cortical.

RÉSUMÉ:

Ce projet s'insère dans le cadre de la réalisation d'un stimulateur visuel cortical pr l'équipe Polystim neurotechnologie. Il consiste à créer un module de reconnaissance d'objets pour aider les personnes qui souffrent de cécité visuelle à se retrouver dans un environnement quelconque et de reconnaître les objets qui les entourent.

PROBLÉMATIQUE:

L'objectif est d'implémenter en MATLAB un module de traitement d'image pour faire la reconnaissance d'objets. Le module logiciel devrait ensuite être transféré en VHDL pour exploiter la vitesse du matériel pour avoir la capacité d'appliquer le traitement en temps réel.

MÉTHODOLOGIE:

La première étape consiste à définir les spécifications du module de reconnaissance d'objets, ses objectifs principaux ainsi qu'à définir sa pertinence dans le cadre du projet Cortivision. Cela comprend aussi son intégration au traitement 3D d'images déjà implémenté pour le projet. La partie conséquente serait une étude des différentes approches pour obtenir les résultats requis, en validant et comparant les méthodes avec MATLAB. L'étape suivante serait de sélectionner la meilleure de ses méthodes pour l'implémenter en matériel (VDHL) et l'intégrer au module de traitement d'image existant qui interface le capteur d'image conçu dans le cadre du même projet.

RÉSULTATS:

Une étude de différentes approches de reconnaissance d'objets a été commencée pour avoir une idée générale sur ce qui bénéficierait le plus aux personnes qui souffrent de cécité visuelle. Cela comprendrait aussi les algorithmes d'apprentissage et d'intelligence artificielle. La base du projet a donc été établie, son contexte ainsi que le plan d'action. Les méthodes à explorer sont présentement en cours d'étude.

GHANNOUM, Roula **DIPLÔME: M.Sc.A.**

TITRE:

Capteur d'images à modes multiples implémenté dans la technologie CMOS 90nm dédié à un stimulateur visuel cortical.

RÉSUMÉ:

Ce projet s'insère dans le cadre de la réalisation d'un stimulateur visuel cortical par l'équipe PolyStim neutechnologies. Il consiste à créer un capteur d'images monochrome à gamme dynamique élevée, doté de plusieurs modes d'opération pour acquérir et transmettre les images à un contrôleur externe. La technologie choisie pour l'implémentation est le CMOS 90nm.

PROBLÉMATIQUE:

L'objectif est d'implémenter un capteur d'images monochrome en CMOS 90nm ayant une vitesse d'acquisition supérieure à 400 images par seconde, avec une résolution de 64 x 48 pixels sur un éventail de 256 tons de gris avec trois modes d'opération: linéaire, logarithmique et différentiel. Ce capteur devrait aussi résoudre le manque de précision du CAN et la fuite de l'obturateur, dont souffre l'ancienne version en 0,18µm. Il devrait d'ailleurs profiter des avantages de la technologie 90nm pour réduire la consommation de puissance ainsi que la surface et donc faciliter l'intégration tout en explorant les avantages ainsi que les limitations de cette technologie pour les capteurs d'images.

MÉTHODOLOGIE:

La première étape consiste à définir les spécifications du capteur. Des tests sur l'ancien prototype en CMOS 0,18µm doivent suivre pour déterminer ses failles. La partie conséquente serait la transition vers la technologie CMOS 90nm en approfondissant davantage les topologies de circuits afin de s'approcher le plus possible des spécifications du capteur en 0,18µm; le tout en réduisant la surface et la consommation. La puce doit ensuite être envoyée à la fabrication. Durant le délai de fabrication, un contrôleur numérique doit être implanté dans un FPGA et un PCB conçu pour préparer le banc d'essais. Des tests du système doivent suivre pour valider les résultats de simulation et établir une comparaison expérimentale entre les deux technologies. Les limitations de la technologie en question seront alors discutées.

RÉSULTATS:

Des tests ont été repris sur l'ancien prototype du capteur d'image. Différents types de capacités et de comparateurs ont été comparés pour trouver la plus idéale pour notre capteur. Le circuit a ensuite été implémenté en CMOS 90nm en apportant des modifications à la topologie pour contourner les problèmes de fuite de courant. La puce a été fabriquée; un module de contrôle VDHL a été implémenté dans un FPGA; un PCB a été conçu et fabriqué; un module Matlab a été programmé pour traiter les données de sortie. Des tests ont été effectués et les limitations de la technologie ont été établies.

GHEORGHE, Luiza **DIPLÔME: PH.D.**

TITRE:

Spécification et validation des systèmes hétérogènes embarqués.

RÉSUMÉ:

ITRS annonce une grande évolution en hétérogénéité pour les systèmes sur puce. Ainsi, ces systèmes seront composés des composants électroniques, optiques, mécaniques, etc. L'utilisation des systèmes sur puce hétérogènes sera très répandue, ils seront utilisés dans de nombreux secteurs d'activité (la médecine, la communication, etc.). Étant donné leur importance, ces systèmes doivent être à la fois performants et fiables. Ils doivent également présenter un coût réduit de conception et ils nécessitent un temps minimum de mise sur le marché. Jusqu'ici, la recherche sur les systèmes sur puce hétérogènes s'est concentrée sur la conception des différents composants de ces systèmes et leur intégration à un bas niveau d'abstraction. L'intégration au bas niveau d'abstraction des différents composants implique une spécification fastidieuse, une simulation lente ainsi que la détection tardive des problèmes de conception. Ainsi, les flots classiques existants ne sont plus pratiques et l'élévation du niveau d'abstraction pour la conception de ces systèmes s'impose.

Le projet proposé s'articule autour de ce point clé pour la conception des systèmes hétérogènes continus/discrets: la conception à partir d'un niveau haut d'abstraction. Plus particulièrement ce travail se focalise sur la problématique de la modélisation et la validation de haut niveau de ces systèmes.

PROBLÉMATIQUE:

L'intégration des composants à un niveau élevé d'abstraction nécessite un nouveau cadre conceptuel pour l'abstraction des différentes interfaces d'adaptation entre les composants hétérogènes ainsi que de nouvelles méthodologies pour la validation.

Le défi le plus important dans la définition des outils de validation pour les systèmes continus/discrets est dû à l'hétérogénéité des concepts manipulés par les composants continus et les composants directs. Dans le cas des outils de validation, plusieurs sémantiques d'exécution doivent être prises en considération pour réaliser la simulation globale.

MÉTHODOLOGIE:

Ce travail propose la sémantique opérationnelle pour un modèle de synchronisation requis pour la simulation globale des systèmes continus/discrets. La définition formelle de l'architecture interne des interfaces de simulation est aussi fournie. Ces définitions ont permis la conception d'un outil de co-simulation qui fournit des modèles de simulation globaux pour la validation des systèmes continus/discrets.

Le travail exploite aussi le formalisme DEVS ainsi que la modélisation des systèmes à l'aide des automates temporisés.

RÉSULTATS:

La synchronisation avec « roll-back » a été ajoutée au modèle de synchronisation existant. L'outil de co-simulation réalisé précédemment est utilisé pour la validation globale des systèmes hétérogènes intégrant de sous-systèmes discrets en System Verilog et des sous-systèmes continus en Simulink/Matlab. Le comportement d'un réseau optique sur puce a été aussi modélisé et vérifié formellement.

GIRODIAS, Bruno **DIPLÔME: Ph.D.**

TITRE:
Spécification et validation de nouveaux systèmes multiprocesseurs sur puce pour des applications multimédia et sans fil.

RÉSUMÉ:
Ce projet consiste à faire l'exploration de systèmes multiprocesseurs sur puce dans le but de trouver des solutions pour les défis d'implémentation et de développement de réseau et d'application 4G. Ceci entraîne le développement de nouvelles architectures et de nouvelles techniques d'optimisation de mémoire.

PROBLÉMATIQUE:
Tranquillement, le 3G s'intègre dans notre quotidien, éprouvant quelques difficultés et obstacles, mais réussissant à prendre de plus en plus une part du marché. Entre temps, le 4G se prépare et confronte des obstacles plus importants. Non comme son prédécesseur, le 4G introduit la convergence des différentes technologies. Le 4G promet d'intégrer différents modes de communications sans fil: des réseaux d'interne, tel que le WiFi et le Bluetooth, aux systèmes cellulaires, aux transmissions par radio ainsi qu'aux communications par satellite (Qaddour et Barbour 2004). L'intégration de toutes ces technologies demande une grande puissance de calcul entre autres pour une procédure de relève transparente entre les différentes technologies. La demande de puissance de calcul par ces nouvelles plateformes excède les prédictions de la loi de Moore. De plus, pour ajouter à la difficulté, ces unités de calcul puissantes doivent consommer moins que ce que nous avons coutume de voir de nos jours. Le domaine s'attend à une puissance équivalente à 16 fois plus grande que celle d'un Pentium 4 2-GHz et une consommation d'énergie n'excédant pas 75mW. Comme la plupart de ces applications vont devoir être disponibles sur des dispositifs portables comme des cellulaires, des ordinateurs portables et des assistants électroniques, les systèmes sur puces vont devoir confronter les différents obstacles tout en restant rentable à la conception, performant et consommant très peu d'énergie. Une catégorie de système sur puce qui respecte certains de ces critères est les multiprocesseurs sur puce. Ils sont composés de plusieurs processeurs embarqués, de matériels spécialisés, de circuits analogues et digitaux et d'applications faites sur mesure.

MÉTHODOLOGIE:
Après une bonne analyse de l'état de l'art, nous allons définir quelques techniques d'optimisation pour la mémoire et nous allons définir un modèle intégrant un modèle d'architecture de système de mémoire et quelques concepts provenant du domaine de télécommunication. Notre système sera un modèle fonctionnel composé de processeurs embarqués ARM et de matériels reconfigurables (mémoires, FPGA, Xtensa, DSP, bus). Les interconnexions des différentes composantes utiliseront dans un cas des protocoles de bus standard. Nous allons intégrer notre modèle dans la plateforme StepNP développée par le département de recherche et développement de STMicroelectronics à Ottawa. StepNP est un environnement d'exploration de simulation de processeurs réseaux pour l'exploration d'applications et d'architectures multiprocesseurs. De plus, cette plateforme offre déjà un environnement qui nous permet de tester les différentes techniques de compilation que nous aurons définies.

RÉSULTATS:
Nos premiers travaux se concentrent sur l'optimisation de la mémoire. Cette section du projet de recherche est en collaboration avec STMicroelectronics. La plateforme Multiflex de cette compagnie est utilisée pour les différentes explorations et expérimentations. La mémoire joue un rôle primordial pour l'amélioration de systèmes sur puce. Avec l'apparition d'applications multimédias embarquées dans le 4G, ces caractéristiques deviennent de plus en plus essentielles. Ces applications emploient souvent des tableaux multidimensionnels pour stocker des résultats intermédiaires pendant les traitements de leurs tâches multimédias. Plusieurs techniques de bases d'optimisations telles que la fusion, le pavage et l'allocation de tampon existent et ont fait leurs preuves sur une architecture monoprocesseur. Notre recherche présente ces techniques et leurs impacts sur un environnement multiprocesseur. Par analyse des applications et des impacts, des améliorations de performance tiennent compte de l'optimisation de l'espace mémoire, de la réduction du nombre de défauts de cache et de l'amélioration du temps d'exécution. Les résultats initiaux obtenus réduisent l'espace mémoire de 80%, augmentent le taux de succès de données de 20% et diminuent le temps d'exécution de 50%. Cette étude montre qu'en améliorant les techniques de base, nous optimisons les défauts de cache, le temps d'exécution et l'espace mémoire dans un environnant multiprocesseur sans perte d'efficacité. Les futurs travaux sur l'optimisation de la mémoire se concentreront sur l'exploration de l'environnement de traitement multiprocessus offert par la plateforme Multiflex. De même, les techniques développées dans cette recherche seront testées sur des applications plus évoluées et complexes.

GOSSELIN, Benoît **DIPLÔME: Ph.D.**

TITRE:

Circuits mixtes et microsystèmes implantables dédiés à la mesure sans fil de l'activité neuronale du cortex.

RÉSUMÉ:

Ces travaux de recherche consistent à élaborer de nouvelles techniques de mise en œuvre de microsystèmes (circuits intégrés, MEMS, etc.) pour réaliser des dispositifs implantables sans fil, dédiés à l'enregistrement bioélectrique intra cortical. Les dispositifs projetés permettront, par exemple, d'effectuer des mesures simultanées et précises dans plusieurs régions du cortex d'un animal éveillé pendant de longues périodes.

PROBLÉMATIQUE:

Contrairement aux techniques de mesure non invasives ou d'imagerie par résonnance magnétique, un système minimalement invasif utilisant une électrode micro fabriquée, comme celui projeté, offre la résolution nécessaire pour acquérir l'activité simultanée d'une grande quantité de cellules pour procéder à une analyse multi neurones. Or, un dispositif implantable basé sur cette méthode doit faire face à plusieurs défis technologiques dont la consommation d'énergie minimale des circuits.

MÉTHODOLOGIE:

La faisabilité de la mise en œuvre d'une interface neuronale intégrée, sans fil et implantable a été étudiée. L'utilisation d'une matrice pénétrante de petite taille et le fait que le système soit en contact avec les tissus biologiques imposent une dimension réduite et une consommation d'énergie minimum. Par conséquent, des techniques de conception de circuits à faible consommation ainsi que le développement d'une architecture microélectronique mixte dédiée ont été développées pour réaliser un prototype de capteur matriciel miniature et implantable dans le cortex. L'architecture proposée est basée sur une structure extensible exploitant le regroupement et le parallélisme des ressources. L'architecture a été intégrée en technologie CMOS 0.18µm et testée avec succès en laboratoire. Grâce à cette nouvelle architecture, il nous est dorénavant possible de fabriquer des capteurs matriciels de topologies arbitraires, comportant une chaîne d'acquisition complète par canal et consommant très peu d'énergie. Ces performances reposent sur la conception d'une nouvelle chaîne d'acquisition compacte, présentant une consommation d'énergie ultra réduite utilisant un nouveau bioamplificateur intégré et un convertisseur analogique-numérique à approximation successive dédié. La simulation de la chaîne complète montre une consommation aussi basse qu'une trentaine de microwatts. Par conséquent, elle offre une densité d'énergie et une surface de silicium par canal suffisamment basses pour accommoder des systèmes comportant un très grand nombre de canaux (> 1000).

RÉSULTATS:

Le bioamplificateur intégré très basse consommation conçu a été utilisé pour réaliser des enregistrements *in-vivo* chez les rats. La chaîne développée a été utilisée pour concevoir un prototype de capteur miniature à 16 canaux intégrés. Le prototype mixte a été assemblé, testé et caractérisé en laboratoire avec succès.

GOYETTE, Sylvain **DIPLÔME: M.Sc.A.**

Titre:

Conception d'un modèle d'abstraction des communications point-à-point pour les systèmes multiprocessurs hétérogènes sur puce.

Résumé:

Ce projet a pour but principal de développer une abstraction des communications point-à-point conciliant la souplesse du concept de *drag & drop* dans l'environnement SPACE aux caractéristiques spécifiques des architectures utilisées et en maintenant la transparence du partitionnement logiciel-matériel sur un ou plusieurs processeurs.

Problématique:

Un problème important en systèmes embarqués est celui de l'exploration architecturale et plus particulièrement celui du partitionnement matériel-logiciel qui vise la décomposition d'une spécification au niveau transactionnel. Le but principal du concepteur d'un système est de trouver la partition qui requiert le moins de matériel pour rencontrer les critères de performance. Sur un FPGA, un lien point à point permet de relier directement deux unités de traitement, e.g. un processeur et un copresseur. Comme ce lien.n'est pas partagé par d'autres unités, la latence et la performance est déterministe. La bande passante est élevée et permet notamment de désengorger un bus partagé en créant des chemins de données spécifiques. Afin de respecter la philosophie de Space Codesign, le lien point à pont doit être offert pour des modules pré-partitionnés en matériel et en logiciel. Un lien direct pont à point peut être aisément visualisé en matériel, mais ce n'est pas le cas pour un lien matériel-logiciel ou logiciel-logiciel multiprocesseur, pour lequel il faut utiliser les spécificités du processeur.

À partir d'un modèle transactionnel temporisé, de nouvelles partitions logiciel/matériel mieux adaptées aux architectures contemporaines pourront donc être considérées (simulées) durant l'exploration architecturale.

Méthodologie:

Les étapes qui conduisent à la réalisation de ce projet seront les suivantes:

- Définir une plateforme au niveau TLM qui peut recevoir plusieurs types de processeurs;
- Définir une abstraction totalement transparente pour l'utilisateur afin de modéliser les communications point-à-point;
- Développer les raffinements de ces liens point-à-point abstraits pour différentes architectures (processeurs);
- Prouver la fonctionnalité du modèle et les gains de performances pour différents types d'architecture.

Résultats :

- Consolidation de la plate-forme Space autour du modèle CoreConnect d'IBM et ajout d'un modèle simulable du processeur configurable PowerPC405;
- Développement de la spécification du modèle d'abstractions dans Space et de son raffinement pour les communications dans un système hétérogène PowerPC/MicroBlaze.

HASAN, Syed Rafay **DIPLÔME: Ph.D.**

TITRE:

Méthodes d'interfaçage synchrone point-à-point de haute performance pour SoCs

RÉSUMÉ:

Avec les progrès dans les technologies de fabrication, de plus en plus de fonctionnalités sont introduites dans les SoCs. Des modules IP, fonctionnant à des fréquences d'horloges différentes, sont inévitables dans de telles conceptions. Par conséquent, le concept «d'îles locales» à horloges indépendantes prédomine dans les SoCs. Ces îles locales communiquent à l'aide d'une méthodologie d'interfaçage pour communication intermodule, telles les méthodes asynchrones. Cependant, les méthodes asynchrones sont mal adaptées aux flots de conception synchrone conventionnels, en plus de leur vulnérabilité aux erreurs. Dans de travail, une méthode de conception, nouvelle et entièrement synchrone, est proposée pour les communications point-à-point.

PROBLÉMATIQUE:

Jusqu'à présent, la plupart des concepteurs de circuits intégrés ont recherché des solutions, pour les communications intermodule, dans les méthodes asynchrones, comme GALS (Globalement Asynchrone Localement Synchrone) qui ne sont pas prédictibles, étant donné la nature des méthodes asynchrones. La solution décrite dans ce travail utilise des méthodes prédictibles pour résoudre le problème de communication intermodule. Cette solution se base sur l'idée que, si une solution synchrone dans un contexte donné, offre une performance égale ou meilleure que les méthodes asynchrones, alors cette solution sera mieux appréciée en industrie. Par conséquent, la solution proposée tente de montrer que les méthodes synchrones sont des solutions viables et efficaces pour interfacer des modules multi-horloge contraints par le biais de synchronisation (skew).

MÉTHODOLOGIE:

La solution utilise des bus plus large (étant donné la présence abondante de fils dans les SoCs) afin de soulager la communication intermodule. Dans nos travaux antérieurs, une méthode a été proposée pour déterminer les positions des modules terminaux qui subissent le pire biais de synchronisation. Les modules terminaux fonctionnent à une fréquence supérieure et les modules d'interface à une fréquence inférieure, dont le rapport de fréquences est un nombre entier. Par un ajustement adéquat de l'interface et par la détermination de la valeur du pire biais de synchronisation, une tolérance plus élevée au biais de synchronisation est rendue possible.

RÉSULTATS:

Une amélioration globale de la tolérance au biais de synchronisation, en termes de cycles d'horloge, est observée dans ce travail. Un des cas d'étude a montré une amélioration de 2 cycles d'horloge comparé aux meilleures méthodes asynchrones basées sur la technique FIFO. Trois différents cas de communications intermodulées, sous toutes les contraintes temporelles possibles, sont analysés. La vérification des résultats analytiques a été réalisée en utilisant des simulations au niveau porte. En outre, nous avons synthétisé et mis en application ce résultat sur une carte FPGA (Xilinx XC2VP30FF896-7). Nous avons également incorporé notre conception pour un raisonnable synchronisant où le rapport de fréquence entre les modules de communication est un ratio de nombres co-premiers. Nous avons publié nos résultats dans MNRC'08. Nous avons également présenté un autre papier à ISCAS'09.

HASHEMI, Saeid **DIPLÔME: Ph.D.**

TITRE:

Amélioration de l'efficacité des chaînes de conversion de puissance dédiées aux implants biomédicaux.

RÉSUMÉ:

Des implants biomédicaux sont intensivement utilisés pour améliorer la qualité de vie. Bien que de tels dispositifs aient été conçus avec succès, ces derniers sont exigeants d'un point de vue consommation de puissance. Ainsi, l'implémentation de sources d'alimentation fiables et efficaces demeure un défi significatif pour la conception. Il est à noter que l'augmentation de l'efficacité de la puissance n'est pas seulement un problème au niveau du dispositif à concevoir, mais aussi un problème au niveau de l'étude du système et son architecture.

PROBLÉMATIQUE:

L'étage d'entrée d'une chaîne conventionnelle de conversion de puissance se compose d'un redresseur à diode conventionnel. La diode possède une tension de seuil induisant une perte significative de puissance. Cette dernière affecte l'efficacité globale et diminue la tension à fournir aux étages suivants. Cet impact négatif devient de plus en plus significatif dans la conception de la source d'alimentation, qui est le cas de la nouvelle technologie (IC sub-micron). En outre, la diode n'est pas généralement implémentée dans la puce même, mais remplacée par un composant discret, ce qui est peu commode si on veut concevoir un implant entièrement intégré.

Due à la complexité élevée de l'implant et les limites biologiques qui s'imposent, il est nécessaire de développer une architecture plus efficace pour concevoir une chaîne de conversion de puissance. Une étude sur la topologie existante de la chaîne de puissance et ses composants du point de vue d'efficacité de puissance est nécessaire. Par la suite, une intégration de tous les composants dans une même puce en réduisant la consommation de puissance serait le choix le plus judicieux. Des études récentes ont montré qu'en utilisant des redresseurs à contrôleur passif/actif nous pourrions diminuer la tension de seuil de la diode et la consommation de puissance. Ces derniers font usage des caractéristiques des redresseurs diode tout en commandant l'angle de conduction du dispositif. Par conséquent, l'efficacité de puissance peut être améliorée et l'intégration de l'implant se trouve plus facilement réalisable.

MÉTHODOLOGIE

Afin d'étudier l'impact de la dissipation de puissance de chaque composant des chaînes de conversion de puissance pour les implants biomédicaux, un modèle est développé. La vérification de ce modèle est primordiale pour s'assurer de la validité des hypothèses et la précision des résultats. L'étape suivante est la conception et la simulation des nouveaux redresseurs passifs/actifs. Par la suite, nous réaliserons le circuit en utilisant une technologie CMOS Sub-micron. Enfin, des tests sur le prototype développé seront réalisés et nous déterminerons les modifications adéquates dans la perspective d'améliorer les performances.

RÉSULTATS:

Un modèle complet pour la chaîne conventionnelle de conversion de puissance d'un implant biomédical a été réalisé en utilisant Verilog-A et il a été appliqué sur un stimulateur intracortical. Les résultats obtenus concordent avec les mesures effectuées. Un nouveau design pour un redresseur à contrôleur passif a été simulé là où le commutateur principal fonctionne dans la zone linéaire où la tension grille-drain est la plus élevée du circuit. Le redresseur résultant montre une augmentation significative de la tension de sortie et de l'efficacité de puissance par rapport aux circuits développés précédemment. Le circuit a été implémenté et il est en cours de fabrication. Les résultats de test de la puce confirment la performance du redresseur.

KOWARZYK MORENO, Gilbert **DIPLÔME: M.Sc.A.**

TITRE:

Développement d'un algorithme de recherche de codes convolutionnels doublement orthogonaux parallèle et implicitement exhaustif.

RÉSUMÉ:

Le présent projet est une suite logique des travaux de recherche entrepris par le GR2M portant sur les décodeurs à seuil itératif de codes convolutionnels doublement orthogonaux (CSO2C) à architecture configurable ainsi que la recherche de codes convolutionnels doublement orthogonaux. La principale motivation de ce mémoire est de concevoir, implémenter et optimiser un algorithme de recherche permettant de trouver, dans un temps de calcul réduit, des codes optimaux de type CSO^2C au sens large et CSO^2C simplifiés. La nouvelle technique combine plusieurs améliorations algorithmiques et une utilisation plus efficace des ordinateurs à multi cœurs pour réduire le temps de calcul et permettre l'obtention de nouveaux codes plus courts, ainsi que de nouveaux codes optimaux.

PROBLÉMATIQUE:

Avec l'omniprésence des moyens de communication électroniques et le besoin d'une bande passante de plus en plus grande, il devient important à la fois d'avoir des communications fiables et de trouver des techniques maximisant le débit d'information utile. Le décodage à seuil itératif permet de minimiser la probabilité d'erreur lors des transmissions et offre une alternative intéressante aux décodeurs turbo à latence et complexité généralement plus élevées. Trouver des codes optimaux, ou au «span» minimal, permet de réduire notre latence de beaucoup sans pour autant réduire la performance de correction d'erreurs. Ce mémoire concerne l'étude d'un algorithme de recherche de codes au span minimal exploitant plusieurs processeurs en parallèle (SMP) et ainsi réduisant considérablement le temps de recherche. Étant donné que le temps d'exécution du logiciel de recherche prend plusieurs jours, voire semaines, une technique permettant d'augmenter notre MTF (mean time to failure) sera développée.

MÉTHODOLOGIE:

La première phase de ce projet consiste à analyser l'algorithme référence pour la recherche de CSO^2C, et d'identifier les goulots d'étranglement associés. Dans une deuxième phase, un algorithme parallèle et implicitement exhaustif pour la recherche de codes CSO^2C (au sens large et simplifié) sera développé et implémenté. Celui-ci essaiera de mettre en œuvre des techniques permettant d'utiliser de façon plus efficace, le matériel à multi-cœurs et d'éliminer (ou de réduire) les délais associés aux goulots d'étranglement de l'algorithme de référence. Des tests seront effectués afin de pouvoir comparer les nouvelles performances et d'assurer que la recherche est toujours exhaustive et valide. Dans une troisième partie, des techniques permettant d'arrêter et de redémarrer la recherche de codes seront développées. Ceci est nécessaire car le temps d'exécution du logiciel parfois excède le MTBF de la machine où il a été lancé.

RÉSULTATS:

Un algorithme parallèle implicitement exhaustif fut développé et implémenté. Les performances du nouveau logiciel de recherche sont entre 3 ou 4 ordres de grandeur meilleure par rapport à l'algorithme de référence. De nouveaux codes plus courts ainsi que de nouveaux codes optimaux furent trouvés et validés. L'ajout de techniques pour arrêter et redémarrer la recherche est en cours de développement et d'implémentation.

LAFLAMME-MAYER, Nicolas **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un réseau de distribution de puissance d'une carte de prototypage rapide de systèmes.

RÉSUMÉ:

Le projet DreamWafer™ est un projet de recherche conjoint entre l'UQO, L'UQAM et l'École Polytechnique de Montréal (ÉPM) ainsi que des partenaires industriels afin de créer une carte innovatrice de prototypage rapide de systèmes. Plusieurs circuits intégrés (ICs) sont déposés aléatoirement sur cette carte WaferBoard™, qui est ensuite configurée pour interconnecter ces ICs par des liens physiques configurables à l'aide de circuits actifs dans une tranche de silicium (WaferIC™) comme le ferait un circuit imprimé.

PROBLÉMATIQUE:

L'objectif principal consiste à étudier le réseau de distribution de puissance du WaferBoard™ et de réaliser des plots configurables multi-usages pour le WaferIC. Le défi de ce projet est de réussir à concevoir un réseau d'entrées-sorties (plots) à commutation rapide, pouvant soutenir un fort courant, maintenir un niveau de tension propre et constant, le tout sur une surface restreinte de silicium. De plus, les plots devront idéalement fournir une tension programmable.

MÉTHODOLOGIE:

Pour y arriver, un modèle du réseau de distribution des alimentations du WaferBoard™ sera créé. Des designs de régulateurs distribués seront élaborés avec des contraintes de surface et de performance. La fonctionnalité de tels circuits sera validée au moyen d'outils de CAO tel que CADENCE avec une technologie CMOS de 180nm. La ou les solutions les plus prometteuses seront ensuite dessinées, fabriquées et testées dans cette même technologie pour valider leur comportement et leur performance.

- Design d'une référence de tension de type Bandgap;
- Design d'un DAC programmable;
- Design d'un régulateur de tension programmable;
- Intégration et fabrication;
- Test.

RÉSULTATS:

Présentement le projet est en phase de design pour le Bandgap.

LAUG, Nicolas **DIPLÔME: M.Sc.A.**

TITRE:

Gestion générique et raffinement de systèmes électroniques à haut niveau.

RÉSUMÉ:

Le but du projet est de fournir une base logicielle permettant la gestion de composants modélisés à haut niveau. Cela comprend notamment l'utilisation de formats de données standardisés et l'automatisation de tâches pour faciliter l'utilisation et l'exploration architecturale du système.

PROBLÉMATIQUE:

Grâce aux environnements de développement de systèmes su puce au niveau ESL, il est désormais possible de faire totalement abstraction des contraintes matérielles lors des premières étapes de la conception. Cela facilite ainsi la portabilité et donc la réutilisation des modules du système. Différents standards allant dans ce sens sont récemment parus, mais ces derniers ne sont pas assez matures pour que cette portabilité soit une réalité.

De plus, de nombreuses tâches doivent toujours être réalisées manuellement, notamment ce qui concerne la communication entre les modules et le raffinement vers des niveaux de description plus précis.

L'objectif est de répondre à ces problèmes en créant une base logicielle utilisable dans un environnement de développement de codesign.

MÉTHODOLOGIE:

Les étapes du développement sont les suivantes:

- Recherche documentaire, analyse de l'environnement de développement, définition détaillée des objectifs;
- Définition de fichiers de schéma XML;
- Création de méthodes d'analyse de ces fichiers;
- Création du système de gestion des connexions (avec possibilité de sauvegarde et restauration de la configuration);
- Méthodes d'automatisation de raffinement du système.

RÉSULTATS:

- La plate-forme créée est capable de lire les fichiers au format IP-XACT (avec extensions), et d'enregistrer les configurations dans ce même format.
- Une interface de commande est disponible à l'utilisateur pour lui permettre de modifier ces designs et lui donner accès à une variété d'outils.
- Les principaux sont la génération automatique de connexion, l'assistance au raffinement, et la génération de prototype sur carte à FPGA;
- Le fonctionnement a été validé par la création d'un système haut niveau, suivi de raffinements et de choix architecturaux jusqu'à la création d'une mise en œuvre fonctionnelle sur carte.

LEBEL, Dany **DIPLÔME: M.Sc.A.**

TITRE:

Vérification et validation de performance pour des propositions de tissus d'interconnexion.

RÉSUME:

Il est d'une grande importance pour la productivité d'un projet d'avoir des réponses aux questions d'architecture tôt dans le projet. Dans le cadre du partenariat avec Tundra Semiconductor, le GR2M propose de nouvelles architectures de tissus d'interconnexion. Le présent projet a pour but de supporter ces propositions architecturales ou de les infirmer aisément et tôt dans un projet tout en uniformisant la méthodologie du projet en intégrant le modèle de vérification à ce même modèle d'exploration architecturale. Il s'agit du développement d'un environnement à plusieurs granularités qui sert dès la phase d'exploration en début de projet et qui suit l'évolution du projet jusqu'aux dernières phases de la vérification. Par le fait même, les étapes du projet s'en trouvent uniformisées et la productivité augmentée.

PROBLÉMATIQUE:

Une des grandes problématiques, lors du développement de composants microélectronique, est la détermination de l'efficacité de propositions architecturales tout en évitant l'implantation au niveau RTL. Le présent projet a pour but d'explorer cette problématique et de proposer des solutions efficaces et uniformes. Le temps de conception peut ainsi être réduit de façon majeure par des choix architecturaux judicieux.

MÉTHODOLOGIE:

À l'aide de SystemC, des librairies de vérification de SystemC (SCV) ainsi que de scripts d'analyse de performance en langage Perl, réaliser un environnement aisément configurable de vérification/validation de performance à niveau d'abstraction variable en C++ dans le but d'explorer de nouvelles architectures et des méthodes de vérification modernes pour des tissus d'interconnexion (jusqu'à 64x64 ports) à protocole multiples (par exemple Rapid IO, PCI express, DMA, DRAM). Réaliser un modèle de tissu d'interconnexion de référence facilement configurable pour y inclure des propositions architecturales. Évaluer la performance des diverses propositions. Extraire les règles performantes de design, de vérification et d'exploration architecturale. Raffiner les modèles de trafic pertinents et un module d'analyse de performance basés sur le lange *Perl.*

RÉSULTATS:

Une méthodologie efficace et uniforme basée sur les techniques de vérification modernes a été appliquée et implantée pour l'exploration architecturale et la vérification de tissus d'interconnexion. Le système conçu possède les deux granularités désirées : une avec l'interface haut niveau pour l'exploration qui sert également de spécification exécutable et l'autre avec une interface matérielle pour la vérification. Certains raffinements des modèles de trafic et de scripts d'analyse sont en développement afin de générer/identifier les cas pertinents. Un modèle de trafic réel basé sur un des processeurs configurables est également en développement afin d'appliquer des contraintes réelles aux diverses architectures développées.

LEPERCQ, Étienne **DIPLÔME: M.Sc.A.**

TITRE:

Outils logiciel pour l'utilisation et la mise au point d'une carte active programmable, pour le prototypage de circuits numériques : Le *WaferBoard*™

RÉSUMÉ:

Mes recherches prennent place au sein du projet *DreamWafer*™ et sont dédiées à la réalisation des premiers outils logiciels pour l'utilisation, le développement et l'optimisation du *WaferBoard*™. Ainsi, des algorithmes sont implémentés pour faire face aux contraintes spécifiques de ce système. Deux outils ont été réalisés: une reconnaissance automatique de boîtiers (packages) utilisés et déposés à la surface du wafer ainsi qu'un algorithme de routage capable de calculer un ensemble de chemins non-conflictuels au sein du réseau d'interconnexions, à partir d'une netlist générée par un outil statistique. Cependant, de nombreuses améliorations restent à réaliser et d'autres aspects comme une interface utilisateur, ou un outil de diagnostique de fautes restent à réaliser.

PROBLÉMATIQUE:

L'utilisation du système de prototypage, le *WaferBoard*™, implique un nouveau flot de travail avec des contraintes nouvelles comparées aux actuels systèmes basés sur des PCB. Ce flot de travail implique le routage de quelques millions de segments, la configuration de milliers de points de contact, au travers de plusieurs méga-octets de configuration. Il est évident qu'un outil logiciel d'automatisation doit être réalisé, outil en cours de réalisation et segmenté en plusieurs sous-parties. Deux étapes cruciales sont fonctionnelles, à savoir la reconnaissance de packages et le routage d'une netlist.

Il est également nécessaire de réaliser une interface utilisateur permettant de visualiser l'état interne du wafer (Nano PADs, circuits de configuration, liens, crossbars, etc…). Cette interface pourra être étendue vers la réalisation de netlist, la définition de contraintes sur les nets ou d'autres choses encore.

MÉTHODOLOGIE:

La démarche choisie repose sur l'enchaînement de trois étapes pour atteindre les objectifs fixés:

- Revue de littérature sur les techniques existantes, en termes de reconnaissance ou de routage, mais également sur les outils pour la réalisation d'interfaces sous GNU/Linux;
- Explorer les solutions les plus prometteuses et adapter celles-ci aux contraintes spécifiques du projet : Dijkstra avec gestion de conflit, heuristique ad-hoc,…;
- Développer le meilleur compromis entre performance, temps de développement et gain visible à l'utilisateur.

RÉSULTATS:

Les outils réalisés sont au nombre de quatre. Le premier est un outil capable de générer, comme l'utilisateur le souhaite, des images de packages tels que le wafer les verra, avec une gestion des défectuosités et une prévisualisation du résultat. Deuxièmement, un algorithme capable de reconnaître la plupart des packages fonctionne. Troisièmement, un outil de génération statistique de netlist, configurable pour générer différentes répartitions, densités d'occupation a été écrit. Cet outil sert à bâtir une métrique de comparaison des algorithmes et heuristiques de routage, notamment celui basé sur l'algorithme de Dijkstra. Cet algorithme, adjoint à deux heuristiques de gestion de conflit, constitue le quatrième outil. Celui-ci est fonctionnel et permet de router des netlist au travers du réseau d'interconnexions du wafer en un temps raisonnable et ce en garantissant un trajet optimal en terme de temps de propagation. De plus, la gestion des conflits, quoique simple aujourd'hui, permet de router des netlists à la densité extrême (pire cas) pour les cas d'utilisation projeté du système de prototypage.

LÉVESQUE, Philippe **DIPLÔME: Ph.D.**

TITRE:

Architecture d'un processeur dédié aux traitements de signaux ultrasoniques en temps réel en vue d'une intégration sur puce.

RÉSUMÉ:

Ce travail s'inscrit dans le cadre du projet de la mise en œuvre d'un système échographique intégré sans fil. Ce système sera portable, possédera une grande autonomie et pourra être utilisé en conjonction avec un système contrôlé par un processeur dédié ou seul, en tant qu'instrument d'imagerie médicale utilisé pour de nombreux diagnostics. Le prototype portatif complété est de 16cm x 10cm et permet de guider l'élaboration de l'architecture en vue d'une intégration sur puce. La section numérique du système est réalisée avec un seul FPGA (Spartan3) tandis que la section analogique est composée de composants discrets.

PROBLÉMATIQUE:

Les fonctions de traitement du signal radio fréquence (RF) des systèmes ultrasoniques actuellement disponibles sont généralement exécutées par un logiciel sur un processeur conventionnel (Central Processor Unit – CPU) ou sur autre processeur dédié au traitement de signal (Digital Signal Processor – DSP). Ces systèmes ne permettent pas une vitesse d'exécution adéquate ou requièrent beaucoup d'énergie pour atteindre les performances nécessaires. De plus, les dimensions et le coût limitent l'accessibilité de cette technologie pour certaines applications et certains milieux. La réalisation d'un nouveau type d'appareil permettra d'accroître le champ d'utilisation de cette technologie dans les secteurs militaire et vétérinaire, les pays économiquement défavorisés ainsi que la médecine à domicile.

MÉTHODOLOGIE:

Une recherche bibliographique approfondie sur les systèmes échographiques, sur les méthodes de traitement de signaux ultrasoniques et sur l'imagerie médicale a été effectuée et est régulièrement mise à jour. Le choix des différentes méthodes de traitement de signal a été validé en comparant les techniques à l'aide de Matlab. La partie numérique du système échographique, du démodulateur jusqu'à l'affichage de l'image sur un écran (résolution de 320x240) est implémentée sur FPGA (XC3S1500L) à faible consommation et à faible coût. La partie analogique est réalisée avec des composants discrets pour l'instant mais sera implémentée sur une ou plusieurs puces dans le cadre d'un autre projet. Grâce au prototype, il fut possible d'analyser l'architecture dans son ensemble. Le ratio performance-consommation ainsi que la qualité du traitement étant les deux principaux critères d'analyse et de comparaison.

RÉSULTATS:

Une seconde version de l'architecture module du processeur ultrasonique est complétée. Cette version n'est plus limitée par le nombre restreint de multiplicateurs physiques disponibles dans les FPGAs ; ce qui permet, pour le démodulateur en quadrature de type Transformée d'Hilbert, d'utiliser les filtres d'ordre 64 plutôt que d'ordre 16. De plus, un nouvel algorithme de pseudo-moyenne en temps réel fut ajouté pour la compression des données ultrasoniques. D'autre part, l'architecture permet d'utiliser les technologies de communication sans fil d'aujourd'hui. Finalement, l'analyse du ratio performance-consommation (339 DMISP/MHZW/W) démontre que l'architecture proposée rencontre les objectifs fixés par rapport à une implémentation logicielle. Notons que l'intégration sur puce permettra de réduire la consommation statique, ce qui sera encore plus bénéfique.

MAHVASH Mohammad Hossein **DIPLÔME: Ph.D.**

TITRE:

Algorithme de compensation de mouvement hybride par une estimation de mouvement inversée.

RÉSUMÉ:

Une nouvelle mesure permettant de qualifier la fiabilité des vecteurs de mouvement est proposée. Une méthode, appelée « évaluation inversée de mouvement » est appliquée à l'algorithme de désentrelacement hybride implémenté. Cette méthode hybride alterne le traitement entre l'algorithme de compensation de mouvement existant et le moyennage de lignes, toutes deux basées sur la fiabilité des vecteurs de mouvement.

PROBLÉMATIQUE:

Implémenter un algorithme de désentrelacement hybride avec compensation de mouvement, qui améliore la résolution verticale tout en prévenant les problèmes d'artefacts.

MÉTHODOLOGIE:

Les vecteurs de mouvement sont calculés par la méthode hybride de compensation et l'estimation de mouvement est appliquée au bloc de pixels le plus proche d'une image à l'autre. Si le résultat de cette estimation réfère au bloc original ou à un de ses voisins, les vecteurs de compensation sont considérés comme fiables. La compensation de mouvement est utilisée lorsque ceux-ci le sont, pour améliorer la résolution verticale, sinon c'est la méthode basée sur le moyennage de lignes qui est utilisée, limitant l'apparition d'artefacts provenant de vecteurs de mouvement erronés.

RÉSULTATS:

Les résultats expérimentaux montrent que l'estimation de mouvement inversé permet d'évaluer efficacement la fiabilité des vecteurs de mouvement. Basé sur des critères objectifs et subjectifs, la métrique obtient de meilleurs résultats que les autres mesures de fiabilité avec en plus une complexité algorithmique plus faible.

MARCHE, David **DIPLÔME: Ph.D.**

TITRE:

Convertisseur numérique à analogique haute définition.

RÉSUMÉ:

Ce projet vise la conception de convertisseurs de haute résolution tirant profit d'un ajustement laser post-fabrication. L'architecture choisie est basée sur un réseau de résistance utilisé en mode courant. L'optimisation comprend une modélisation du CNA, l'addition des résistances ajustables par laser ainsi qu'un design original des interrupteurs.

PROBLÉMATIQUE:

Pour tirer profit de la progression du traitement numérique, l'information souvent analogique au départ, est échantillonnée, traitée en format binaire, puis reconvertie en signal analogique. Dans ce contexte, les convertisseurs numérique à analogique (CAN) et analogique à numérique (CNA) représentent des interfaces dont la performance est critique pour le fonctionnement du système entier. Nous demandons à ces interfaces un taux de conversion rapide et une précision élevée. Le projet actuel se concentre sur CNA R2R en mode courant car ils offrent une vitesse importante et permettent de mettre à profit une nouvelle technologie d'ajustement de résistance par laser. Cette technologie, initialement développée à Polytechnique, était commercialisée par la compagnie LTRIM Technologies Inc.

MÉTHODOLOGIE:

Une modélisation des réseaux R2R a d'abord eu lieu, pour permettre d'identifier les points sensibles de ce type d'architecture. Cette modélisation permet de mesurer l'appariement nécessaire pour les résistances des circuits R2R en fonction de la résolution ciblée. Cette mesure est nécessaire pour la conception des éléments ajustables par laser. Un circuit intégrant ces éléments a ensuite été dessiné et fabriqué. Un second volet de la recherche s'est penché sur le problème des interrupteurs dans les réseaux R2R. Une nouvelle solution a été pensée, simulée et validée par un circuit intégré.

RÉSULTATS:

Les résultats se divisent en trois contributions complémentaires :

- Des modèles de réseaux R2R (mode courant et tension) ont été développés ;
- Un circuit intégré de CNA ajustable par laser a été réalisé et caractérisé. Ses performances démontrent comment il est possible d'intégrer les nouvelles résistances ajustables par laser pour obtenir une précision de 14 bits;
- Un circuit intégré de CNA utilisant une nouvelle méthode de compensation des interrupteurs a été caractérisé. Ses performances démontrent que la nouvelle méthode est efficace et permet une réduction de surface en même temps qu'une augmentation de la vitesse de conversion.

MBAYE, Mame Maria **DIPLÔME: Ph.D.**

TITRE:

Partitionnement et construction de systèmes sur puce multiprocesseurs hétérogènes comportant des processeurs spécialisés basé sur des métriques orientées-boucle.

RÉSUMÉ:

Le projet consiste à spécifier des métriques orientées boucle qui permettront de mesurer les possibilités d'accélération de boucles de traitement soit par un processeur spécialisé, soit par un module matériel dédié en vue de la construction d'architectures multiprocesseurs hétérogènes.

PROBLÉMATIQUE:

L'industrie a à sa disposition une multitude d'outils pour la conception de plateformes SoC tels que le générateur de processeur spécialisé de la compagnie Tensilica, le générateur de code RTL CatapultC de Mentors Graphics, etc. Malheureusement, l'industrie doit faire des choix architecturaux qui reposent généralement sur l'expérience de ses concepteurs. Les concepteurs acquièrent une méthodologie en statuant sur le traitement qui s'accélère mieux en matériel qu'en logiciel alors qu'ils devraient prendre en compte des métriques rigoureuses pour faire leurs choix architecturaux. Les recherches actuelles montrent qu'environ 90% du temps d'exécution d'une application s'effectue dans 10% des lignes de code de l'application. Donc, au lieu de disperser ses énergies à vouloir optimiser toutes les lignes de code d'une application, il est bien plus efficace de cibler l'accélération des boucles contenues dans le code. Les métriques orientées boucle permettront ainsi de définir les possibilités d'accélération d'une boucle de traitement.

MÉTHODOLOGIE:

La première étape de notre projet consistera à proposer une technique d'accélération de boucles par des instructions spécialisées fortement couplées. Ensuite, durant la seconde étape, des métriques orientées boucles seront caractérisées, suivie de la conception et de l'implémentation de ces métriques. Elles seront déployées dans l'environnement du compilateur reconfigurable SUIF2. La prochaine étape sera l'interprétation des métriques pour statuer sur les possibilités d'accélération. De ces métriques, une méthode de partitionnement devra être sélectionnée telle que l'intégration d'instructions spécialisées ou de module matériel dédié. Ensuite, une technique de construction d'architectures multiprocesseurs sera proposée basée sur les résultats de partitionnement qui seront obtenus.

RÉSULTATS:

Nous avons proposé un cadre de travail qui permet de cibler un type d'architecture tels que logiciel pur, logiciel avec instructions spécialisées et matériel pur. L'architecture est spécifiée par des contraintes de design. De nouvelles métriques orientées boucle ont été proposées et implémentées. Selon les contraintes de design, les opérations d'une boucle sont ordonnancées et les métriques sont collectées. Celles-ci permettent de déterminer les aspects qui contribuent à accélérer une boucle et ceux qui freinent les possibilités d'accélération d'une boucle. Nous avons spécifié deux groupes de métriques : orientées accès mémoire et orientées calcul. Nous avons aussi proposé un processus d'analyse se basant sur les nouvelles métriques. Ce processus permet de déterminer quelles optimisations pourraient être appliquées pour que les possibilités d'accélération soient exploitées.

MÉNARD BEAUDOIN Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Circuits de lecture destinés à un capteur d'images CMOS utilisant un photo détecteur sans filtre.

RÉSUMÉ:

Ce projet de recherche consiste à élaborer, mettre au point, concevoir et réaliser les circuits électroniques servant à traiter et à amplifier les signaux analogiques en provenance d'un photo détecteur nouveau genre en vue d'obtenir un capteur d'image intégré et autonome. La structure fondamentale de ce photo détecteur innoveur lui permet de détecter les couleurs sans requérir à un filtre chromatique superposé à la matrice de pixels, ce qui améliore la sensibilité ainsi que la résolution spatiale par rapport aux capteurs actuellement disponibles sur le marché.

PROBLÉMATIQUE:

La problématique se divise en deux parties. Tout d'abord, étant donné que nous sommes au début du processus de développement du capteur, le comportement réel du photo détecteur est encore relativement méconnu. Il est donc impossible de concevoir un circuit avec une relative certitude de performance. Nous sommes encore en processus de recherche pour caractériser le fonctionnement du pixel et connaître ses propriétés électroniques. Puisque le photo détecteur étudié est très différent d'un pixel conventionnel, il est possible que les procédés de traitement actuels ne conviennent pas.

La deuxième partie de la problématique touche l'accroissement constant du nombre de pixels des capteurs actuels. Pour être en mesure d'être en compétition avec les capteurs actuels, les circuits conçus doivent occuper un espace physique minimal et consommer le moins de puissance possible. De plus, certaines caractéristiques doivent être implémentées pour maximiser la gamme dynamique et minimiser le bruit.

MÉTHODOLOGIE:

Une première étape consiste à concevoir un circuit de traitement simple, semblable à ce que l'on retrouve dans les capteurs d'images actuels. Ce circuit nous permettra de déterminer avec plus d'exactitude, le comportement électronique du photo détecteur. Par la suite, certaines améliorations (changements de topologies, optimisation, réduction du bruit, etc.) seront implémentées lors d'une seconde fabrication.

RÉSULTATS:

Les résultats expérimentaux en provenance d'un premier prototype reçu au printemps 2008 sont concluants. Un second prototype, comportant un photo détecteur et des circuits analogiques améliorés a été reçu et les essais expérimentaux sont présentement en cours.

MILED, Mohamed Amine **DIPLÔME: Ph.D.**

TITRE:

Laboratoire sur puce implantable au cerveau dédié à la détection et à la séparation des neurotransmetteurs.

RÉSUMÉ:

Les neurotransmetteurs représentent la base de la communication inter-neuronales et la pièce motrice de tout système nerveux. Une défaillance de ces derniers engendre un dysfonctionnement du système nerveux et de la transmission de l'information dans le cerveau. Les nanotechnologies nous permettent d'explorer de nouvelles voies pour réparer ce dysfonctionnement. Nous essayons dans un premier temps de développer un microsystème qui peut remplacer un seul neurotransmetteur. Ce système sera capable de non seulement détecter l'activité neuronale mais aussi de pouvoir la modifier ou l'ajuster. Ce micro système est une combinaison de circuits micro-électroniques, de microélectrodes, d'un circuit de contrôle et de commande et de composantes microfluidiques et chimiques. Une fois que le système sera développé pour un seul neurotransmetteur, ce dernier pourra être appliqué dans une architecture matricielle en vue d'être implémenté dans tout un réseau de neurones dans le cortex cérébrale. L'objectif est, ainsi, de remédier à un dérèglement de certaines fonctions du cerveau.

PROBLÉMATIQUE:

L'objectif de la recherche et de développer une micro puce implantable dans le cerveau pour suivre l'évolution de ce dernier et prévenir les maladies. Pour y parvenir une réalisation d'une micro-puce (laboratoire-sur-puce) capable d'aller chercher l'information au niveau des connexions neuronales est notre but ultime. Il s'ensuit que la problématique est de séparer les cellules cibles, de les détecter et enfin d'assembler la partie microfluidique avec les composantes électroniques.

MÉTHODOLOGIE:

Le projet se décompose en plusieurs parties énumérées ci-dessous :

- Développement d'une architecture micro fluidique;
- Développement d'une puce microélectronique en utilisant la technologie CMOS;
- Assemblage de l'ensemble des puces;
- Test et validation du système;

Les puces seront interconnectées par « Wire-bonding ».

RÉSULTATS:

L'architecture microfluidique est en cours de développement en utilisant la technologie Sensonit.

MOSS, Laurent **DIPLÔME: Ph.D.**

TITRE:

Profilage, caractérisation et partitionnement fonctionnel dans une plate-forme de conception de systèmes embarqués.

RÉSUMÉ:

Cette recherche vise à développer une méthodologie d'exploration architecturale de systèmes embarqués en se basant sur la technologie Space Codesign, qui implémente une plate-forme virtuelle en SystemC pour des architectures multiprocesseurs. La méthodologie proposée combine un modèle de calcul formel, une spécification unique de l'application en SystemC à haut niveau, une méthode de synthèse comportementale pour en dériver un code RTL au besoin, une méthode de profilage au niveau système, une méthode de caractérisation automatisée autant que possible et un algorithme heuristique qui considère simultanément le partitionnement logiciel/matériel multiprocesseurs et la sélection d'une architecture de communications.

PROBLÉMATIQUE:

La complexité et les requis de performance des systèmes informatiques embarqués augmentent constamment. Pour répondre à ces requis, les systèmes embarqués comprennent maintenant plusieurs processeurs, blocs matériels, mémoires et périphériques sur une seule et même puce. Le choix de l'architecture de communications reliant ces composants, ainsi que le choix d'implanter les différentes fonctionnalités d'un tel système sous la forme de logiciels embarqués ou de composants matériels conçus sur mesure, a un grand impact sur la performance et le coût du système. Les méthodologies présentement utilisées par l'industrie pour la conception des systèmes embarqués ont de la difficulté à gérer ces architectures complexes et les retards et dépassements de coûts sont fréquents dans les projets de conception de systèmes embarqués.

MÉTHODOLOGIE:

Des applications connues, tel que le traitement d'images, serviront d'étude de cas. Ces applications seront modélisées à l'aide de Space, puis profilées afin d'en recueillir des données sur leur performance. Ensuite, ces applications seront caractérisées afin de pouvoir estimer la performance et le coût matériel des différentes architectures pouvant implémenter cette application. Ces estimateurs serviront de fonction d'évaluation pour des méta-heuristiques qui optimiseront le partitionnement logiciel-logiciel, le partitionnement logiciel-matériel et l'architecture de communications selon des contraintes de performance et de coût. Finalement, nous comparerons le temps d'exécution et la qualité des solutions obtenues pour deux algorithmes d'exploration architecturale automatisée (un algorithme exact et un algorithme heuristique), de même que la durée et la qualité des mesures obtenues par profilage et estimation.

RÉSULTATS:

Un modèle de calcul a été défini et proposé pour la modélisation des systèmes embarqués avec SPACE. Une méthode de synthèse matérielle des modules Space a été réalisée à l'aide de l'outil de synthèse comportementale Forte Cynthesizer. Une méthode de profilage logiciel/matériel a également été implémentée. L'autorisation de la caractérisation des applications a été réalisée. Ces méthodes ont été testées sur plusieurs applications codées avec SPACE.

Un algorithme heuristique d'exploration architecturale et une caractérisation de la plate-forme SPACE et de ses bibliothèques logicielles sont en voie d'être réalisés.

MOUNAIM, Fayçal **DIPLÔME: Ph.D.**

TITRE:

Dispositif microélectronique implantable dédié à la réhabilitation des fonctions urinaires.

RÉSUMÉ:

La lésion de la moelle épinière (Spinal Cord Injury-SCI) est l'un des problèmes les plus dévastateurs médicalement et socialement. Selon l'Association Canadienne des Paraplégiques, près de 36,000 canadiens vivent avec une SCI. À la suite d'une SCI, il se produit une perte du contrôle sensoriel et moteur qui entraîne divers degrés de dysfonctionnement du bas appareil urinaire.

PROBLÉMATIQUE:

Notre objectif général est d'investiguer, de proposer et d'expérimenter des solutions pour rétablir, chez les paraplégiques, une fonction urinaire contrôlée et aussi proche que possible de la fonction physiologique. Que ce soit un dispositif électronique, mécanique, et/ou hydraulique, les solutions seront évaluées selon le degré d'efficacité, la facilité d'implémentation ainsi que la difficulté chirurgicale. À l'aide d'un dispositif électronique implantable, la stimulation électrique des nerfs sacrés innervant le système urinaire constitue notre approche principale. Elle permettra aux paraplégiques une miction volontaire et une réduction de l'hyperréflexie de la vessie. L'un des principaux défis est de pouvoir stimuler avec suffisamment de sélectivité pour agir de manière exclusive et efficace sur les organes ciblés. Afin de prévenir le patient avant toute incontinence, il est nécessaire de surveiller l'état de la vessie. Cependant, il reste à trouver de nouvelles approches pour mesurer de manière continue ou intermittente le volume d'urine et la pression intravésicale.

MÉTHODOLOGIE:

A. Prototypes implantables discrets:
- Réaliser et tester des prototypes de neurostimulateurs implantables à l'aide de composants commerciaux.

B. Nouvelles méthodes de neurostimulation et de surveillance du système urinaire:
- Proposer et évaluer lors d'expériences animales aigues de nouvelles méthodes de neurostimulation et de surveillance permettant d'augmenter l'efficacité de l'évacuation d'urine.

C. Intégration sur puce:
- Réaliser et tester des circuits intégrés comprenant des sous-systèmes de neurostimulateur (excluant la partie numérique) et permettant de démontrer la possibilité d'une intégration totale. En particulier, l'étage de récupération de l'énergie inductive pourra être intégré dans une technologie haute-tension. Celle-ci permettra de proposer et d'évaluer une nouvelle approche pour fournir les différentes alimentations nécessaires tout en maximisant l'efficacité énergétique.

D. Neurostimulateur implantable hautement intégré:
- Développer et caractériser un neurostimulateur complet basé sur les circuits intégrés réalisés. Il s'agit également de valider sa capacité à mettre en œuvre la nouvelle stratégie de neurostimulation proposée.

RÉSULTATS:

Les phases A et B ont été menées à terme. La première a permis d'élaborer une nouvelle architecture de neurostimulateur hautement-intégré et la seconde de proposer de nouvelles méthodes de neurostimulation et de surveillance de la vessie. En particulier, une nouvelle stratégie de neurostimulation a été divulguée au BRCDT et fut l'objet d'une demande de brevet. Dans la phase C, une première puce en technologie haut-voltage CMOS-0.8µm a été réalisée et testée avec succès. Cette puce permet de récupérer l'énergie inductive et de fournir une alimentation régulée de 10V. Ces deux principales contributions ont fait l'objet d'articles qui ont été présentés oralement aux conférences IFESS et BIOCAS 2008 respectivement.

NADEAU, Patrick **DIPLÔME: M.Sc.A.**

TITRE:

Mise en œuvre d'un générateur de stimuli haut-voltage dédié à un stimulateur électrique implantable.

RÉSUMÉ:

L'objectif principal de ce projet est de développer un circuit permettant de générer de hautes tensions afin de stimuler les tissus nerveux tout en tenant compte du fait que le circuit doit utiliser le moins d'espace possible et en disposant d'une source d'alimentation limitée. Ce projet consiste donc à faire le design d'un générateur de stimuli (étage de sortie d'un micro stimulateur) pouvant être alimenté à de hautes tensions mais dont la partie de contrôle fonctionne avec des tensions inférieures. Il s'agit donc d'un générateur de stimuli programmable haut voltage. Combiné à d'autres projets en cours au sein du laboratoire PolyStim, il mènera à la réalisation d'un micro stimulateur complètement intégré. Ce générateur de stimuli générera lui-même des tensions élevées à partir d'une tension d'alimentation inférieure. Il devra aussi permettre de modifier la fréquence, la durée et l'amplitude des stimuli. Il permettra d'utiliser des formes de stimuli élaborées et bi-fréquentielles tout en permettant de stimuler de manière monophasique ou bi phasique et ce, en s'assurant de respecter l'équilibre des charges injectées dans les tissus nerveux.

PROBLÉMATIQUE:

Les stimulateurs implantables requièrent des tensions élevées pour appliquer des stimuli adéquats et efficaces sur les tissus nerveux. Par contre, il est de plus en plus difficile d'alimenter ces dispositifs en haute tension à cause de leur miniaturisation et parce que les technologies récentes supportent des tensions d'alimentation beaucoup trop faibles. Heureusement, il existe des technologies dites à haut-voltage qui rendent possible l'utilisation de hautes tensions tout en offrant des dimensions sous le micromètre.

MÉTHODOLOGIE:

Pour atteindre cet objectif, il est préférable d'utiliser une technologie haut voltage pour les modules qui requièrent une tension d'alimentation élevée telle que l'étage de sortie et d'utiliser une technologie standard pour les autres parties, en particulier pour la partie de contrôle numérique, qui nécessite un très grand nombre de transistors. C'est pourquoi deux puces seront réalisées et assemblées l'une contre l'autre afin d'obtenir un maximum de miniaturisation. Deux circuits différents devront donc être réalisés. La technologie utilisée pour la réalisation de la partie haut-voltage sera le procédé 0.8µm 5V/20Vde DALSA Semiconductor. Cette puce contiendra un générateur de haute-tension ainsi qu'une source de courant programmable composée d'un convertisseur numérique à analogique et d'un étage de sortie. Afin de contrôler ce circuit, la technologie 0.18µm de la TSMC sera utilisée afin d'implémenter un circuit numérique de contrôle. Une attention particulière devra être portée sur le design de l'interface entre les deux puces car des tensions différentes seront utilisées de part et d'autre.

RÉSULTATS:

Ce projet se déroulera en trois phases distinctes. Dans un premier temps, le design des deux circuits sera réalisé et fait en parallèle. Les circuits seront par la suite envoyés pour la fabrication via la Canadian Microelectronics Corporation (CMC Microsystems). Finalement, dès leur réception, une phase de test et de caractérisation suivra.

NEMR, Abbas **DIPLÔME: M.Sc.A.**

TITRE:

Conception et prototypage de décodeurs à seuil itératif à haut débit.

RÉSUMÉ:

Ce mémoire consiste en l'implémentation matérielle de décodeurs à seuil itératif à haut débit dédiés aux codes convolutionnels doublement orthogonaux (CSO2C). L'algorithme de décodage à seuil itératif forme la principale motivation dans ce travail de recherche. Il permet de réduire de manière significative la latence et la complexité du processus de décodage, tout en maintenant une bonne probabilité d'erreurs comparativement aux autres classes de décodeur (Turbo, LDPC). L'augmentation du débit de différentes architectures de décodeurs est explorée. De plus, une nouvelle classe de codes CSO2C est abordée, ce qui permet au décodeur une architecture parallèle à haut débit.

PROBLÉMATIQUE:

Depuis plus de 30 ans, les communications électroniques sont devenues un besoin essentiel dans notre société moderne. Ainsi, afin de maximiser la fiabilité des transmissions de l'information, les différents spécialistes des communications ont essayé de minimiser la probabilité d'erreur de transmission. Pour ce faire, ils ont toujours cherché à créer des techniques de codage pour la correction d'erreurs de plus en plus performantes. L'année 1993 a été marquée par la découverte des codes Turbo qui a permis notamment de s'approcher de très prêt des limites théoriques prédites par Shannon. Cependant, les algorithmes de décodage pour les codes Turbo introduisent une très grande complexité matérielle ainsi qu'une latence élevée. Ce mémoire concerne l'étude et l'implémentation matérielle des décodeurs à seuil itératif de codes CSO2C de faible complexité et latence et procurant un haut débit de l'information.

MÉTHODOLOGIE:

Pour atteindre les objectifs visés, une revue de littérature est effectuée sur les algorithmes de décodage à seuil itératif et sur des architectures du décodeur de codes CSO2C déjà réalisées dans des travaux antérieures. Lors de la réalisation du projet, les étapes suivantes seront aussi effectuées:

- Amélioration de l'architecture du décodeur;
- Accélération matérielle du décodeur, en utilisant le principe de resynchronisation afin d'insérer les étages du pipeline et la complexité additionnelle engendrée sera analysée;
- Conception des modules de perforation;
- Modélisation, vérification et prototypage du décodeur;
- Validation des résultats expérimentaux en les comparant avec les résultats de simulations logicielles;
- Recherche des codes à architectures parallèles et conception du décodeur correspondant;
- Rédaction du mémoire ainsi que des articles de conférences et de journaux.

RÉSULTATS:

- L'architecture matérielle du décodeur a été améliorée;
- Deux nouvelles stratégies de «pipelinage» ont été appliquées. En conséquence, le débit du décodeur a atteint 270 Mbps pour certains codes;
- Les modules de perforation ont été intégrés dans le système et les résultats expérimentaux du décodeur perforé ont été générés;
- Deux nouvelles classes de codes ont été introduites et la recherche de ces codes a été effectuée;
- Les décodeurs à haut débit de ces nouveaux codes ont été réalisés et prototypés.

NGUYEN, Anh Tuan **DIPLÔME: Ph.D.**

TITRE:

Architectures et méthodes de conception pour des systèmes de prototypage rapide basés sur une carte d'interconnexion configurable.

RÉSUMÉ:

L'objectif de ce projet est d'élaborer des architectures et méthodes de conception pour développer des systèmes électroniques complexes de haute performance basés sur les cartes d'interconnexion configurables WaferBoard™ de DreamWafer™, une nouvelle technologie visant à réduire le coût et le temps de développement des systèmes électroniques complexes par l'utilisation d'un circuit intégré à l'échelle de la gaufre implantée par des technologies CMOS traditionnelles et capables de connecter par programmation n'importe quel type de puce IC déposé sur sa surface. Nous prévoyons incorporer de telles architectures dans des outils de conception futurs et donc le routage efficace des interconnexions requises entre les composants d'un système à concevoir quelconque en utilisant un temps et un nombre de ressources raisonnables et sous les conditions d'opération ou contraintes réelles telles que les variations de procédé et variations environnementales. Une attention particulière sera portée aux aspects de la tolérance de défauts et de pannes ainsi que de la performance du système.

PROBLÉMATIQUE:

La problématique de ce projet est le routage dynamique des liens d'interconnexion dans les systèmes de haute performance. Dû au grand nombre de puces présentes sur la gaufre, la tolérance de défauts et de pannes devient un grand défi de ce projet.

MÉTHODOLOGIE:

La réalisation de ce projet consiste en trois étapes principales. Premièrement, une recherche bibliographique des travaux antécédents des PCBs, ASICs et FPGAs sera requise afin de réviser les méthodes de routage et placement existantes dans ces domaines. Ensuite, les délais dans les interconnexions du système seront estimés durant les opérations normales et sous contrainte de ce dernier. Cette estimation est importante pour le développement d'un modèle de délai du système qui est la partie centrale des méthodes de routage dynamique qui sont l'objet principal de ce projet. Finalement, la performance de telles méthodes sera évaluée en se basant sur les études de cas et benchmarks.

RÉSULTATS:

Le travail sur la recherche bibliographique a été complété et un rapport de synthèse a été déposé. Un article intitulé «Digital signal propagation on a wafer-Scale smart active programmable InterConnect» a été présenté à une conférence. Un rapport intitulé «Flaw found in extracted CLKINV SPICE models of the TSMC18 ARTISAN library» a été soumis à la CMC.

NOURIVAND, Afshin **DIPLÔME: Ph.D.**

TITRE:

Réduction des courants de fuite des mémoires sur puce sans impact sur le rendement.

RÉSUMÉ:

Ces travaux de recherche consistent à élaborer de nouvelles techniques pour réduire les courants de fuite des mémoires sur-puce sans impact sur le rendement. Nous étudions le comportement des cellules SRAM (Static Random Access Memory) à des tensions d'alimentation réduite au cours d'un mode de veille. Concrètement, nous mettons l'accent sur les cellules faibles causées par les variations excessives du processus et les défauts de fabrication. Nous proposons de nouvelles techniques au niveau circuit et de l'architecture permettant de réduire les fuites tout en évitant la perte de rendement.

PROBLÉMATIQUE:

Les courants de fuite comprennent une part importante de la totale consommation d'énergie de la puce à l'échelle nanotechnologique. Une portion importante de la consommation de puissance vient des courants de fuite sur les puces SRAM en nanotechnologies. Diverses techniques ont été proposées dans la littérature pour réduire les fuites des mémoires SRAM par le passage des portions inactives de la mémoire à un mode de veille à faible-fuite. Toutefois, la capacité des cellules SRAM de conserver des données est généralement détériorée en mode veille, suite à l'échec de certaines «cellules faibles», causées par les variations excessives et non catastrophiques. Ces cellules fonctionnent habituellement à tension d'alimentation nominale. Toutefois, elles n'ont pas de mode de veille. Les puces contenant ces cellules faibles sont vouées à l'échec au cours du mode de veille et diminueront de beaucoup le rendement.

MÉTHODOLOGIE:

En raison de l'importance du défaut résistif ouvert, nous mettons l'accent sur les cellules faibles qui causent ce type de défauts. Nous injectons les défauts de la cellule SRAM. Par la suite, nous effectuons des simulations circuit permettant d'observer le comportement des défauts au mode de veille. Pour éviter la perte de rendement, de nouvelles techniques architecturales sont investiguées pour réduire les fuites des SRAMs en présence des cellules faibles.

RÉSULTATS:

De nouveaux comportements défectueux ont été observés en raison du mode de veille. Nous avons montré qu'en utilisant des techniques de vérification et correction d'erreur (ECC), pour lutter contre leur manque de fiabilité induit en raison des cellules faibles, les fuites de SRAM peuvent encore être réduites. Également, nous avons observé que les cellules faibles commencent à montrer un comportement déficient à différentes tensions en fonction de la gamme de la résistance et de l'emplacement de l'anomalie. Ainsi, nous avons proposé l'étalonnage de la tension de veille de cellules SRAM en vue de réduire son impact sur le rendement.

NSAME, Pascal **DIPLÔME: Ph.D.**

TITRE:

Techniques et méthodes de conception des systèmes intégrés de type SoC.

RÉSUMÉ:

Ce projet vise l'élaboration de techniques et méthodes de conception et de vérification des circuits intégrés de type SoC (System-on-Chip). La complexité grandissante des systèmes de type SoC impose une réutilisation efficace des ressources centrées sur des méthodes de conception autres que le VHDL ou le Verilog au niveau RTL. Toutefois, à cause de la dépendance entre les représentations au niveau comportemental, RTL et portes, et leur impact sur le partitionnement matériel/logiciel, la performance, la dissipation de puissance et surtout l'effort de vérification, il est nécessaire de développer une approche intégrée à la méthode de conception elle-même. L'objectif du projet consiste à étudier les interfaces matériel/matériel et matériel/logiciel régissant l'intégration des SIP (Silicon Intellectual Property cores) ou «virtual components (VC)» afin de proposer des modèles d'interface améliorés et d'explorer les architectures VLSI intégrées qui permettent d'implanter efficacement une synchronisation non-bloquante pour des systèmes complexes multiprogrammés et à mémoire partagée.

PROBLÉMATIQUE:

La capacité d'intégration offerte par les technologies sub-microniques rend l'implantation des systèmes de type SoC très intéressante. Toutefois, les besoins en vérification croissent de façon exponentielle. Cette capacité d'intégration élevée impose au concepteur un niveau de productivité extrêmement élevé. En effet, les besoins des applications en temps réel, l'augmentation constante du niveau d'intégration matérielle/logicielle, du parallélisme au niveau instruction et de la complexité de la hiérarchie de mémoires intégrées et partagées conduisent à une dégradation de performance due à une synchronisation bloquante entre agents communicants. Ceci rend obsolètes ou inadéquates les méthodes traditionnelles de conception et de vérification basées sur la simulation et la synthèse logique. Un défi majeur consiste à développer une méthodologie qui facilite le travail du concepteur dans un environnement de design, où les outils CAD/CAE et la technologie de fabrication sont en constante évolution et où les bibliothèques de composants SIP deviennent de plus en plus complexes.

MÉTHODOLOGIE:

- Étude comparative des interfaces de communication actuelles incluant les standards PCI Express, AMBA et CoreConnect;
- Définition et spécification d'une nouvelle architecture basée sur l'utilisation et la gestion de canaux de communication dédiés à travers un bus partagé;
- Validation du protocole de communication proposé utilisant un processeur ARM ou PPC;
- Implantation matérielle du prototype et test du prototype réalisé.

RÉSULTATS:

L'implémentation matérielle sur ASIC du FIFO virtuel ainsi que l'implémentation de l'outil de spécification InTime est complète. Trois articles de conférence ont été acceptés et publiés. En plus, trois méthodes de conception ont été étudiées et une nouvelle méthode de conception basée sur une technique adaptative de la fiabilité basée sur une optimisation à deux phases a été proposée. La première phase identifie les opérations asynchrones implémentées à l'aide d'une librairie de composants ACAS. La deuxième phase minimise la consommation d'énergie afin de satisfaire la contrainte de température moyenne. Les deux problèmes d'optimisation ont été formulés à l'aide de la technique de programmation linéaire entière validée avec l'application MPEG4. Des articles de journaux sont en préparation.

OULD BACHIR, Tarek **DIPLÔME: M.Sc.A.**

TITRE:

Génération aléatoire de nombres suivant une distribution non-uniforme par circuits numériques intégrés.

RÉSUMÉ:

Générer aléatoirement des nombres suivant une distribution non uniforme est une tâche difficile et elle l'est davantage dans un contexte de circuits intégrés. Les limitations en ressources matérielles, notamment en disponibilité des mémoires embarquées, ainsi que la difficulté d'évaluer rapidement des fonctions transcendantales font que les générateurs matériels connus sont difficiles à concevoir, voire indisponibles. Un intérêt grandissant s'est fait sentir dans la communauté scientifique pour des générateurs de nombres aléatoires non-uniforme dont la tâche est d'accéder l'exécution d'algorithmes Monte Carlo. L'objectif de ce travail est de proposer une architecture matérielle pour générer des distributions non-uniformes en utilisant un nouvel algorithme dédié à l'environnement matériel. Le développement mathématique, issu de la théorie des réseaux Bayesiens (RB), est étudié dans le cadre de ce travail. Les prototypes réalisés sur FPGA indiquent que nos générateurs sont parmi les plus compacts et les plus rapides actuellement proposés pour les distributions normales et exponentielles.

PROBLÉMATIQUE:

La génération aléatoire de nombres suivant une distribution non-uniforme est un problème mathématique de grande envergure. La technique universelle consiste à inverser la fonction cumulative de la distribution. Or nombre de fonctions cumulatives des distributions connues ne sont pas inversibles analytiquement et l'on recourt généralement à diverses techniques alternatives. Le travail qui suit tente d'ouvrir le champ à une nouvelle avenue de recherche dans l'algorithme des générateurs de distribution non-uniformes, particulièrement orientée vers la mise en œuvre matérielle. Partant de la prémisse que les nombres aléatoires puissent être générés un bit à la fois, nous examinons le modèle mathématique sous-jacent et proposons une architecture matérielle universelle pour les générateurs non-uniformes dont nous proposons d'étudier les capacités et les limites.

MÉTHODOLOGIE:

Pour réaliser nos objectifs, nous partons d'une idée simple d'algorithme tirant profit de la représentation binaire des nombres. Cette approche pouvant être modélisée par un réseau Bayesien binaire, nous utilisons le formalisme des RB pour valider théoriquement l'algorithme d'une part, et démontrer que notre approche est universelle d'autre part. Une fois ceci fait, nous avons procédé à une analyse en simulation (Matlab) du générateur en le soumettant à une batterie de tests statistiques. L'architecture a ensuite été réalisée en matériel sur une plateforme de prototypage rapide FPGA afin de mesurer les performances temporelles du système et sa gourmandise en ressources matérielles.

RÉSULTATS:

L'algorithme proposé a été implémenté en MATLAB et validé pour la distribution exponentielle et la gaussienne. Les résultats obtenus sur le test du Chi2 donne une *p-value* très élevée (≈ 0.4), gage de la qualité du bruit généré. Nous avons également mesuré la corrélation entre les échantillons successifs et avons montré que cette dernière était heureusement absente. Le générateur d'exponentielle a fait l'objet d'un article à la conférence CCECE08. Nous avons également poussé l'analyse mathématique de l'algorithme pour expliquer la variabilité de son comportement suivant les distributions visées. Nous sommes donc en mesure de proposer une architecture générique et des architectures dédiées et de mesurer leurs performances respectives sur FPGA. Les prototypes réalisés sur FPGA indiquent que nos générateurs sont parmi les plus compacts et les plus rapides actuellement proposés pour les distributions normales et exponentielles.

PONTIKAKIS, Bill **DIPLÔME: Ph.D.**

TITRE:

La conception d'architectures et de circuits de faible puissance à délai variable.

RÉSUMÉ:

Le but du projet est d'utiliser une technique à période d'horloge fractionnaire pour augmenter la vitesse et pour réduire la consommation de puissance pour certains microprocesseurs. Nous appliquons aussi une technique qui utilise une source d'alimentation variable, ce qui permet de réduire la consommation de puissance dans certains cas. La combinaison de ces deux techniques permet la conception de microprocesseurs à faible puissance qui fonctionnent à bonne vitesse.

PROBLÉMATIQUE:

La consommation de puissance est un facteur très important dans les produits électroniques portatifs. Pour des applications tels que les dispositifs portables («wearable devices») et les réseaux de sondes distribués sans-fil («wireless sensor networks»), une longue durée de vie de la batterie, un poids léger et la capacité d'effectuer des calculs relativement complexes sont nécessaires. Puisque la consommation de puissance dynamique est directement proportionnelle à la fréquence, il est possible de réduire celui-ci en ajustant la fréquence de façon dynamique. Grâce à cette technique, il est possible de prolonger la durée de vie d'une batterie. De plus, puisque la composante dynamique de la consommation de puissance a une dépendance quadratique sur la tension d'alimentation, il est possible de réduire la consommation de puissance en ajustant cette tension. En utilisant certains circuits à une tension en-deçà du seuil du transistor, une réduction plus importante en puissance peut être obtenue.

MÉTHODOLOGIE:

Pour atteindre nos objectifs, nous suivrons les étapes suivantes:

- Analyse théorique de l'accélération maximale possible en utilisant des périodes d'horloge fractionnaire;
- Modélisation au niveau circuit en utilisant les outils de Cadence;
- Développement de nouvelles techniques de conception à faible puissance;
- Fabrication de puces.

RÉSULTATS:

- Un système de génération d'horloge à fréquence variable a été conçu et un article a été présenté à la conférence ISCAS 2007;
- Un synthétiseur d'horloge périodique «Free-Running» de précision (FRPS) avec compensation pour la variabilité des processus de fabrication et de température a été présentée à la conférence MSWCAS/NEWCAS 2007;
- Une architecture de «Phase-Locked Loop» sans filtre de boucle analogue, pour une meilleure intégration dans le domaine submicronique profond des «SoCs» a été présentée à la conférence NEWCAS/TAISA 2008;
- Deux puces ont été fabriquées en technologie TSMC CMOS 0.18µm et des résultats de test préliminaires ont été obtenus.

RHOU, Bassam **DIPLÔME: M.Sc.A.**

TITRE:

Choix, développement et validation matérielle d'une technique d'élimination des ECG dans les EMGdi en temps-réel.

RÉSUMÉ:

L'objectif du projet de cette maîtrise est de comparer les techniques de filtrage, en temps-réel, de signaux EMGdi et de choisir la technique la plus efficace et la mieux intégrable dans un système d'acquisition des signaux respiratoires déjà développé dans le laboratoire Polystim. La technique choisie doit être implémentée matériellement sur un système électronique pour valider son bon fonctionnement.

PROBLÉMATIQUE:

Les signaux respiratoires EMGdi (= électromyogrammes diaphragmatiques) sont des signaux électriques provenant du diaphragme (principal muscle respiratoire) et qui permettent le diagnostic de plusieurs anomalies respiratoires. Ces signaux sont souvent contaminés par les signaux cardiaques ECG (= électrocardiogrammes) lors de leur acquisition par des instruments biomédicaux. Cette contamination empêche un bon diagnostic et doit être éliminée. Dans la plupart des cas, le filtrage des signaux respiratoires se fait au niveau de l'interface d'affichage logicielle et non au niveau matériel. Intégrer un système de filtrage matériel au système d'acquisition donnera de meilleurs résultats de filtrage.

MÉTHODOLOGIE:

Le projet implique les étapes suivantes :

- Étude comparative des différentes techniques de filtrage des signaux EMGdi et choix d'une technique à implémenter;
- Intégration de la technique sur un système matériel pour avoir une validation de la technique en effectuant des tests sur des signaux EMGdi réels;
- Proposer des améliorations à la technique choisie et valider ces améliorations sous LabView;
- Proposer une architecture VHDL de la technique choisie pour l'implémenter sur un circuit FPGA.

RÉSULTATS:

Une étude comparative des différents algorithmes de filtrage des signaux EMGdi a été faite et des algorithmes ont été testés en simulation sous NI LabView. Un choix final de l'algorithme à utiliser a été fait et l'algorithme a été implémenté dans un système à base de microcontrôleurs et a été testé. Les résultats montrent le bon fonctionnement du système. Actuellement, un système basé sur un FPGA programmé en VHDL est sur le point d'être développé.

ROGER-VALLÉE, Michel **DIPLÔME: M.Sc.A.**

TITRE:

Une méthode d'estimation de la consommation de puissance pour systèmes sur puce reprogrammable.

RÉSUMÉ:

Le projet consiste à développer une bibliothèque à haut niveau de la consommation de puissance pour des modules standard de Xilinx. En utilisant la simulation SystemC de l'outil Space Codesign, il est possible d'accélérer le développement d'une architecture à faible consommation en évitant de faire des synthèses, qui sont très coûteuses en temps.

PROBLÉMATIQUE:

La consommation de puissance est une préoccupation importante de nos jours lors de la conception d'un système. De plus en plus les systèmes se complexifient et cette tendance augmente la consommation de fonctionnement. Puisque les sources (batterie et prise électrique) sont limitées, il faut constamment diminuer la consommation des systèmes. Bien qu'il existe des méthodes d'évaluation de la puissance au niveau RTL, de plus en plus de conception se fait à haut niveau (ex. au niveau système) et de tels estimateurs de puissance ne sont pas disponibles. Le développement de cette bibliothèque permet de concilier les deux.

MÉTHODOLOGIE:

- Énumérer des composants de Space pour lesquels l'estimation de puissance est nécessaire. Isoler les différentes variables qui influencent la consommation de puissance. Faire varier chacune des variables et déterminer l'influence sur la consommation avec les outils de Xilinx (EDK et Xpower);
- Avec les données obtenues, créer des modèles de consommation de chacune des composantes. Populer une bibliothèque de composante à haut niveau d'abstraction et l'intégrer comme outil de Space Codesign;
- Effectuer un ensemble de comparaison avec les outils de Xilinx et la réalité pour valider la méthodologie;
- Intégrer des outils et proposer des méthodes pour diminuer la consommation en puissance d'une architecture utilisant la bibliothèque.

RÉSULTATS:

Extraction de résultat préliminaire de consommation de puissance pour certains modules.

SAHRAII, Negin **DIPLÔME: M.Sc.A.**

TITRE:

Ordonnancement flexible de décodage turbo sur une plate-forme multiprocesseur.

RÉSUMÉ:

Ce projet présente un modèle de performance dynamique d'une application de communication à accès multiple et division de code à large bande (WCDMA – « wide-band code division multiple access ») programmée sur un réseau sur puce à processeurs multiples (MPSoC – « multiple processor system on chip »). Nous développons une stratégie de modélisation dynamique pour évaluer le temps d'exécution des designs MPSoC basée sur des modèles à haut niveau des applications et de l'architecture. De tels modèles permettent de s'assurer que la plate-forme multi-noyaux est exploitée à son maximum. Nous nous sommes concentrés sur le décodeur Turbo, qui est une partie de cette application comportant un nombre important de calculs et qui présente une variabilité du temps de traitement significatif. Ensuite, certaines méthodes d'ordonnancement flexibles sont proposées et appliquées au décodage Turbo. Ces méthodes sont très avantageuses en comparaison de la méthode d'ordonnancement du pire cas (WCET). Un modèle de performance de cette application nous a permis d'implémenter et valider quelques méthodes d'ordonnancement plus flexibles proposées pour l'exécution du décodage Turbo et qui sont adaptées à l'effort de traitement variable exigé par le décodeur.

MÉTHODOLOGIE:

Une stratégie de modélisation dynamique est développée, utilisant Matlab/Simulink pour évaluer la performance des designs MPSoC, basée sur les modèles de haut niveau de l'application et de l'architecture. À ce niveau de modélisation, l'application est représentée comme une ensemble de tâches à exécuter, leurs ressources requises comme le temps d'exécution et le temps de dégagement et l'ordre dans le quel les tâches doivent être exécutées. Aussi, l'architecture sur laquelle l'application doit être exécutée est représentée comme un ensemble de ressources tels que les processeurs et les structures de communication pour transférer les données entre les processeurs. En plus, quatre méthodes d'ordonnancement flexibles sont proposées pour le processus de décodage turbo sur les processeurs de la plateforme et qui peuvent dégrader graduellement la qualité des résultats (services) quand les ressources sont limitées et que les demandes en calculs sont élevées.

PROBLÉMATIQUE:

RÉSULTATS:

Toutes les méthodes d'ordonnancement proposes dans ce projet améliorent l'utilisation des processeurs quand elles sont comparées à un ordonnancement WCET. En utilisant l'ordonnancement *one shot* (première méthode proposée) comparé avec le cas de WCET, on peut augmenter le nombre d'usagers de 14 à 29 en gardant une qualité de service acceptable reflété en une dégradation de 0.15 dB du gain de décodage. L'utilisation de l'ordonnancement *graduel* (deuxième méthode proposée) nous a permit à augmenter le nombre des usagers de 14 à 35 en gardant une qualité de service acceptable reflété en une dégradation mineur de 0.1 dB pour le gain de décodage. Les ordonnancements *priority-driven one shot* et *priority-driven gradual* (troisième et quatrième méthodes proposées) produisent respectivement le même résultat pour augmentation le nombre d'usager comme les méthodes *one shot* et *gradual*. Cependant, ces deux dernières méthodes fournissent une meilleure uniformité de qualité de services pour les différents usagers.

SALAM, Muhammad Tariqus **DIPLÔME: Ph.D.**

TITRE:

Microsystème biomédical implantable pour le traitement de l'épilepsie.

RÉSUMÉ:

L'objectif de ce projet de recherche est donc de proposer un nouveau microsystème bio-MEMS pour le traitement de l'épilepsie. Le dispositif implantable permettra la détection automatique des signes précurseurs d'une crise d'épilepsie, et ensuite appliquera immédiatement le traitement requis pour mettre un terme aux activités du foyer épileptique. Le microsystème sera composé de sondes neuronales, d'une puce microélectronique, ainsi que d'un système microfluidique pour administrer les médicaments requis.

PROBLÉMATIQUE:

L'épilepsie affecte près de 1% de la population mondiale, soit environ 60 millions de personnes. Les patients souffrant d'épilepsie voient leur qualité de vie grandement affectée par les crises imprévisibles et récurrentes. Il existe actuellement un grand intérêt dans les microsystèmes implantables qui permettraient la prévention de crises ainsi que le traitement des patients épileptiques dont les zones épileptogènes se trouvent dans des régions du cerveau où la résection n'est pas envisageable (zones responsables du langage, aires motrices primaires, cortex visuel, etc.) De tels microsystèmes pourraient également être avantageux pour les cas de patients épileptiques où la médication est inefficace ou dont les effets secondaires sont trop sévères.

MÉTHODOLOGIE:

Une sonde neuronale sera fabriquée en utilisant la technologie des couches minces de polymère afin de fournir une structure de plus grande flexibilité, ainsi que la capacité de délivrer les médicaments à l'aide de structure microfluidique et de micro-pompes. Les sondes neuronales sont placées dans les régions du cerveau où l'on soupçonne des foyers épileptiques et elles servent à la fois à mesurer les signaux EEG qu'à effectuer la stimulation électrique. Une puce microélectronique à basse consommation de puissance sera intégrée au microsystème pour enregistrer et analyser le signal neuronal afin de détecter les attaques avant qu'elles ne commencent et décider du type de traitement requis. Un système de télémétrie sera aussi intégré dans l'implant afin de permettre la modification des paramètres de thérapies à partir d'un programmeur externe au patient.

Les défis présentés par ce projet de recherche sont multiples : réduction de la consommation d'énergie du circuit intégré au minimum, approvisionnement en médicaments des réservoirs de l'implant, conception de la sonde neuronale et détection efficace et fiable des signes précurseurs d'une crise d'épilepsie.

RÉSULTATS:

Cette proposition de recherche est approuvée par des chercheurs de l'hôpital Notre-Dame. Aussi cette proposition de projet a été présentée dans le cadre de «The Second NAMIS (Nano and Micro Systems) Autumn School», à l'Institute of Industrial Science de l'Université de Tokyo, au Japon. Les commentaires obtenus sont très positifs.

SIMARD, Guillaume **DIPLÔME: M.Sc.A.**

TITRE:

Lien inductif et communication haute vitesse pour implants biomédicaux.

RÉSUMÉ:

L'alimentation en énergie des implants biomédicaux est une nécessité bien établie. La communication bidirectionnelle ne peut plus se contenter d'un transfert à basse vitesse. Nous explorons le découplage du transfert d'énergie et des données. L'avenue de l'ultra large bande est également envisagée pour une communication haute vitesse.

PROBLÉMATIQUE:

Traditionnellement, l'apport en énergie et la télécommunication des implants ont partagé un seul lien inductif. Ces deux techniques requièrent la cohabitation de caractéristiques contradictoires au sein du système, forçant un compromis. On ne peut plus tolérer ceci dans le cadre du design d'un implant visant l'acquisition en temps réel de quelques milliers de canaux nécessitant un taux de transfert de l'ordre de 10 Mb/s.

MÉTHODOLOGIE:

Nous modéliserons le lien inductif de transfert d'énergie et effectuerons une analyse quantitative du couplage parasite entre celui-ci et la télécommunication. Des logiciels de FDTD pour la résolution du champ électromagnétique seront utilisés pour parvenir à ces fins. Nous réaliserons également un transmetteur ultra-large bande à basse consommation en technologie CMOS 90 nm pour vérifier la faisabilité de ce type de transmission pour divers types d'implants.

RÉSULTATS:

Des résultats encourageants ont été obtenus concernant le découplage du lien inductif servant à l'alimentation en énergie et ceux utilisés pour la communication montante et descendante. Deux géométries ont été examinées pour cette nouvelle topologie et une analyse de couplage a montré que l'on pouvait aisément disposer les liens inductifs de façon à ce que les mouvements tendant à désaligner les liens inductifs n'aient qu'un impact mineur sur l'interférence entre les différents liens. Un article illustrant ces résultats a été rédigé et soumis pour la conférence ISCAS 2009. Le développement du transmetteur ultra-large bande en CMOS 90 nm est en cours de réalisation. Les résultats préliminaires indiquent qu'une faible puissance (< 1 mW) sera requise pour dépasser un rythme impulsionnel supérieur à 10 Mb/s, tout en respectant les masques d'émission de la FCC.

SINGH, Rahul **DIPLÔME: M.Sc.A.**

TITRE:

Conception de circuits analogiques de précision utilisant des résistances diffusées par laser.

RÉSUMÉ:

L'objectif du projet est d'étudier et de concevoir des circuits analogiques de précision. Ces circuits emploieront une structure de résistance diffusée par laser pour réaliser l'exactitude désirée. De telles résistances seront insérées dans une architecture d'amplificateur opérationnel à plusieurs étages qui peut être réalisée en technologie CMOS.

PROBLÉMATIQUE:

Les variations de caractéristiques physiques et les variations de tension de seuil lors de la fabrication d'un circuit et les efforts mécaniques subits lors de l'empaquetage contribuent au mésappariement. Ceci limite la performance d'un circuit analogique qui exige une précision élevée. Pour le cas proposé de l'amplificateur opérationnel en technologie CMOS, le paramètre affecté par ces variations est la tension de décalage d'entrée. La conception vise également à identifier une solution pour réduire la dérive de la tension de décalage d'entrée avec la température.

MÉTHODOLOGIE:

- Identification et choix des étages de l'amplificateur opérationnel permettant de respecter les spécifications;
- Définition d'une architecture d'amplificateur opérationnel faisant appel à des résistances diffusées par laser pour compenser les variations de mésappariement;
- Définition d'une architecture d'amplificateur ayant une faible sensibilité au vieillissement dû au temps et à la température.

RÉSULTATS:

Un amplificateur opérationnel Railt-to-Rail I/O comprenant des résistances diffusées par laser a été conçu avec un circuit polarisant intégré dans la puce afin de réduire au maximum les variations provoquées par la température et les variations de procédés lors de fabrication. Une puce avec tension décalage de moins de 30µV a été fabriquée.

TANGUAY, Louis-François **DIPLÔME: Ph.D.**

TITRE:

Synthétiseur de fréquences RF à ultra-faible consommation dédié aux microsystèmes implantables.

RÉSUMÉ:

Nous proposons de concevoir un synthétiseur de fréquences RF à ultra-faible consommation destiné aux microsystèmes implantables de biotélémétrie à l'aide d'un procédé CMOS nanométrique. Le synthétiseur opérera dans la bande de fréquence ISM 902-928 MHz, il devra permettre la syntonisation de sept canaux, présenter un temps de démarrage de l'ordre de 10 us et une consommation de puissance inférieure à 1 mW.

PROBLÉMATIQUE:

Les microsystèmes biomédicaux implantables présentent un énorme potentiel pour la recherche en médecine. Les dispositifs médicaux intelligents implantables, qui combinent des capteurs et/ou des actuateurs avec des circuits intégrés, ouvrent la voie à des applications fascinantes. Aujourd'hui, la possibilité d'utiliser la technologie CMOS pour intégrer des circuits RF, numériques et même certains types de capteurs sur une même puce, suscite un vif intérêt dans un domaine nouveau : celui des réseaux de capteurs implantables, ou BSN (Body-Sensor Networks) et leurs applications en recherche biomédicale. Typiquement, les nœuds d'un tel réseau de capteurs implantables accumulent des mesures de façon continue sur une certaine période de temps puis transmettent l'information par paquets vers une station de traitement distante à l'aide d'un lien RF. L'implantation dans le corps de tels réseaux de capteurs sans fils permettraient de surveiller, détecter ou même combattre différentes maladies, et ce de manière *in situ*.

MÉTHODOLOGIE:

Dans cette optique, nous proposons de concevoir un synthétiseur de fréquences RF destiné aux microsystèmes implantables de biotélémétrie à l'aide d'un procédé CMOS nanométrique opérant avec une alimentation inférieure à 1-V. Bien que les performances RF des transistors nanométriques soient très attrayantes, la tension d'alimentation très basse ainsi que l'impédance de sortie limitée de ces transistors compliquent la conception de circuits analogiques tels les miroirs de courant, les pompes à charge etc. Des méthodes de conception électronique innovatrices devront être utilisées et des compromis judicieux devront être faits afin d'obtenir les performances requises au niveau du bruit de phase, du temps de démarrage, de la consommation de puissance, etc. L'utilisation d'un procédé nanométrique CMOS, conjointement avec des techniques de conception de circuits analogiques à faible puissance telle la méthodologie gm/ID, permettront d'implémenter ce synthétiseur à consommation de puissance ultra faible.

RÉSULTATS:

Le circuit intégré d'un synthétiseur interger-N à consommation ultra-faible opérant dans la bande Industrielle, Scientifique et Médicale (ISM) de 902-928 MHz a été conçu dans un procédé COS 90-nm est présentement en phase de fabrication. Ce synthétiseur, basé sur un PLL, permettra la sélection de sept canaux dans la bande ISM et fournira les versions différentielles, I/Q des porteuses RF. Le circuit inclut une nouvelle architecture de LC-VCO auto-polarisé ainsi qu'une pompe à charge offrant une impédance de sortie très élevée sur une plage de tension de sortie s'étendant jusqu'à 100 mV des tensions d'alimentation.

TAPP, Martin **DIPLÔME: Ph.D.**

TITRE:

Approche générique à l'interopérabilité des environnements de simulation distribués par génération de code dynamique.

RÉSUMÉ:

L'interopérabilité entre des environnements de simulation où les modèles objets utilisés et les technologies de communication diffèrent largement est un problème de grande envergure et c'est pourquoi une approche générique est proposée.

L'approche consiste à concentrer le développement logiciel sur la résolution des problèmes d'interopérabilité et non sur l'ensemble du logiciel nécessaire à l'interopérabilité (couches réseaux, protocoles, encodage et décodage des données réseaux, particularités des plates-formes,). Par l'entremise de fichiers décrivant les modèles objets et l'interopérabilité, il devient possible de lire ces descriptions pour ensuite générer le code réalisant l'interopérabilité. De plus, à l'aide des services de compilation dynamique de la technologie .NET, il devient possible de générer l'interopérabilité au moment même de l'exécution de l'application requérant l'interopérabilité i.e. génération de code dynamique. L'approche proposée permet donc de générer l'interopérabilité seulement à partir de définitions de modèles objets et d'interopérabilité entre ces modèles objets.

PROBLÉMATIQUE:

Définition d'une approche générique pour l'accélération du développement du logiciel nécessaire à l'interopérabilité en automatisant des parties de la programmation de l'interopérabilité et en offrant une abstraction de haut niveau à l'ineropérabilité réduisant ainsi les connaissances techniques requises pour l'élaboration de l'interopérabilité.

MÉTHODOLOGIE:

La méthodologie utilisée pour ce projet est d'élaborer un prototype évolutif et de valider les hypothèses émises au travers de différentes phases, où les hypothèses d'évaluation de performance et de validation seront validées en continue au cours de l'évolution du prototype.

RÉSULTATS:

Les résultats suivants ont été obtenus:

- Génération dynamique d'une composante logicielle représentant un modèle objet à partir de sa définition;
- Transformation de données réseaux dans le modèle objets générer dynamiquement pour les environnements de simulation basés sur HLA et DIS;
- Génération dynamique partielle d'une composante logicielle représentant l'interopérabilité entre des modèles objets dans un format prototype défini en C#;
- Interface utilisateur partielle permettant de définir l'interopérabilité dans le format prototype défini en C#.

Les résultats de recherche ont été établis dans le contexte des environnements de simulation distribuée STRIVE™ (HLA) ET ITEMS™ (HLA et DIS) de CAE, ainsi que de OneSAF (HLA et DIS) de l'armée américaine.

TRABELSI, Abdelaziz **DIPLÔME: Ph.D.**

TITRE:

Traitement paramétrique des signaux audio: application aux prothèses auditives.

RÉSUMÉ:

Les aides auditives numériques pour malentendants constituent un champ d'application particulièrement important du traitement du signal. Les dernières générations d'aides numériques sont équipées d'un réseau local sans fil permettant un véritable traitement binauriculaire de l'information échangée non seulement pour améliorer son intelligibilité et son confort d'écoute mais aussi pour renforcer les indices acoustiques de localisation de la source émettrice. Ce progrès technologique a rendu possible l'utilisation de techniques de traitement paramétrique conventionnel qui sont largement utilisées pour la compression de parole en téléphonie.

PROBLÉMATIQUE:

Le problème de la sensibilité au bruit de fond des traitements paramétiques est bien connu. En situation de bruit et outre le traitement paramétique conventionnel, l'information échangée subit un traitement spécifique pour la réduction de bruit. L'ordre dans lequel ces deux traitements sont effectués est important.

MÉTHODOLOGIE:

Le modèle paramétrique d'un signal audio comporte typiquement quatre paramètres : le voisement, la fréquence fondamentale ou «Pitch», l'énergie et l'enveloppe spectrale du signal. Dans ce travail de thèse, nous nous intéressons exclusivement à l'ajustement de l'enveloppe spectrale d'un signal audio dégradé par la présence de bruit. Il faut alors prévoir un traitement spécifique pour la réduction de bruit. Deux techniques de traitement paramétrique en présence de bruit sont souvent utilisées:

- La première technique consiste à effectuer un traitement pour la rédution de bruit, généralement dans le domaine fréquentiel, comme prétraitement à la modélisation paramétrique du signal audio.

- La seconde technique consiste plutôt à appliquer un traitement pour la réduction de bruit directement dans le domaine d'autocorrélation afin d'évaluer les paramètres spectraux qui modélisent convenablement la structure informatique du signal.

Il faudrait évidemment déterminer laquelle des deux techniques permet d'obtenir la meilleure fidélité de l'enveloppe spectrale d'un signal audio à sa structure formantique.

RÉSULTATS:

Deux techniques algorithmiques qui offrent une meilleure compréhension des signaux audionumériques dans le bruit à travers des traitements numériques adéquats ont été développées et proposées. Deux architectures l'une à deux microphones et l'autre à un microphone, ont été utilisées pour déterminer laquelle des deux techniques permet d'obtenir la meilleure fidélité de l'enveloppe spectrale d'un signal audio à sa structure formantique.

WEHBE, Mohamad **DIPLÔME: M.Sc.A.**

TITRE:

Pupille dynamique réagissant à la lumière incidente dédiée aux implants oculaires.

RÉSUMÉ:

Ce projet porte sur la conception d'un dispositif qui permet à la pupille de l'œil prosthétique de se contracter et se dilater en fonction de la quantité de lumière exposée à l'œil. Ce projet se divise en trois parties, soient un afficheur qui montre une image d'une pupille, un capteur de lumière, ainsi qu'un contrôleur pour ajuster la taille de la pupille à afficher.

PROBLÉMATIQUE:

La perte d'un œil n'est pas rare. Environ 100,000 à 200,000 personnes par année perdent un œil (Society for prévention of blindness). Ce phénomène a un grand impact sur l'image de soi, sur la confiance en soi et sur l'estime de soi. Bien que le remplacement de ce dernier par un œil prosthétique ne restaure pas la vision, celui-ci amène une amélioration esthétique qui a un grand effet psychologique sur le patient. Cependant, avec l'œil prosthétique classique, la taille de la pupille est fixe en tout temps, ce qui a un effet inesthétique sur l'apparence. On appelle ce défaut anisocorie post-prothèse. Pour résoudre ce problème, nous avons l'intention de développer un œil prosthétique à pupille dynamique.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes:

- Développement d'un afficheur LCD à faible consommation ayant une surface active de taille de 8 mm x 8 mm;
- Emploi d'un capteur de lumière possédant une taille qui ne dépasse pas 2 mm x 2 mm, que l'on peut trouver sur le marché;
- Implémentation d'un système de contrôle qui relie le capteur de lumière à l'afficheur pour ajuster la taille de la pupille.

La pupille que nous prévoyons fabriquer aura une taille identique à la pupille naturelle. Il y aura une surface fixe de 4 mm^2 qui n'est pas affectée par la quantité de lumière et le capteur de lumière sera installé dans cette surface. La surface qui varie dépendamment de la lumière est un anneau ayant un diamètre intérieur de 2 mm et un diamètre total de 12 mm. Ainsi, selon la quantité de lumière, la taille de la pupille varie entre un cercle ayant un diamètre de 2 mm, et un cercle ayant un diamètre de 12 mm.

RÉSULTATS:

En premier lieu, une vérification expérimentale s'impose et cela a été fait en développant un prototype du système proposé. Ce dernier a été développé en utilisant des composantes discrètes et a été testé dans différentes conditions d'éclairage. Une fois cette étape réalisée, un circuit intégré a été implémenté en technologie CMOS 0.18 µm. La taille de la puce conçue est de 1.25 mm x 1.05 mm. Des simulations post-layout ont été réalisées et les résultats concordent avec le prototype développé.

ZARRABI, Houman **DIPLÔME: Ph.D.**

TITRE:

Conception et techniques d'évaluation pour la synthèse efficace de microsystèmes à faible énergie.

RÉSUMÉ:

La conception et les solutions d'évaluation qui peuvent contribuer à la synthèse précise de microsystèmes à faible énergie sont fortement appréciées par l'industrie. La proposition de conception de telles solutions et l'estimation sont les principales priorités de ce projet de recherche. La recherche commence par la proposition d'un modèle d'évaluation des gains d'énergie que l'on peut obtenir dans des plates-formes configurables. Ce modèle est également généralisé pour intégrer les modèles de plates-formes capables de gérer l'énergie. Plus tard, un modèle de retard plus exact est proposé pour l'utilisation efficace de microsystèmes dont l'énergie est gérée (power-managed microsystems). Ce modèle sera amélioré pour englober plus de paramètres de système ainsi qu'une plus grande précision. Finalement, nous proposerons la conception de solutions pour la synthèse d'un microsystème portable et configurable à faible énergie.

PROBLÉMATIQUE:

La principale préoccupation dans la conception et la synthèse des microsystèmes portables est la consommation d'énergie. La modélisation précise des plates-formes de traitement est le défi principal de conception pour l'approximation correcte des gains énergétiques. Pour la modélisation de retard, la modélisation précise de système de traitement est le défi principal. Pour la synthèse efficace d'énergie de microsystèmes, la complexité du système est le défi de conception.

MÉTHODOLOGIE:

Pour la proposition de modèles d'évaluation, nous nous sommes inspirés de la loi d'Amdahl pour la modélisation de composants de systèmes et la modélisation de l'énergie. Nous avons fait une analogie à cette loi pour modéliser le retard aussi. Pour la synthèse des microsystèmes à faible énergie, nous démultiplierons la définition du profil d'application et proposerons les solutions de conception basées sur le profil des applications embarquées.

RÉSULTATS:

Les résultats obtenus depuis le début de la recherche peuvent se résumer ainsi :

- Au départ, nous proposons un modèle d'énergie pour évaluer les gains d'énergie possibles, aussi bien que ses limites, en employant des microsystèmes configurables;
- Les modèles proposés sont généralisés pour des plates-formes multiprocesseurs configurables;
- Les modèles d'énergie proposés sont améliorés pour englober des modèles de plate-forme dont l'énergie est gérée;
- Un modèle de retard de système incluant des effets d'interconnect, pour l'évaluation précise des plates-formes avec Dynamic Voltage and Frequency Scaling (DVFS) sera proposé.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés dans ce rapport sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels.)

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Audet, Y.	CRSNG	92,000.00 $	2002 – 2007	«Interconnexions photoniques pour systèmes intégrés VLSI»
Audet, Y.,	Polyvalor Sanyo	100,000.00 $	2007 – 2009	«Caractérisation et modélisation du pixel d'un capteur d'images couleurs»
Audet, Y.,	MDEIE Polyvalor Sanyo	438,032.00 $	2007 – 2009	«Développement d'un capteur d'images couleurs»
Audet, Y.,	CRSNG	76,500.00 $	2007 – 2011	«Integration of Surface Plasmon Polaritons into CMOS Circuits»
Bois, G.,	CRSNG	19,000.00 $	2004 – 2008	«A Platform for the Architectural Exploration of System-On-A-Chip»
Bois, G.,	CRSNG	125,000.00 $	2005 – 2006	«A Refinement Methodology based on a SystemC Platform for the Hardware/Software Codesign of »
Bois, G.,	CRSNG	62,500.00 $	2007 – 2008	«The SPACE technology: for the codesign of SoC/FPGA at high level»
Bois, G.,	Univalor	71,000.00 $	2007 - 2008	«The SPACE technology: for the codesign of SoC/FPGA at high level»
Bois, G.,	MDEIE Gouvernement du Québec	43,202.00 $	2008 – 2009	«Maturation de la technologie Space Codesign»
Bois, G.,	MSBi Valorisation Soutien à la valorisation et au transfert	54,002.00 $	2008 – 2009	«Maturation de la technologie Space Codesign»
Boyer, F.R.,	CRSNG	75,000.00 $	2006 – 2011	«Variable clock period for low power and high performance.»
Brault, J.J.,	École Polytechnique	6,740.00 $	2005 – 2006	«Conception de matériels pédagogiques adaptés à l'enseignement avec simulateur logique en classe»
David, J.P.,	CRSNG	75,000.00 $	2007 – 2012	«Description et synthèse automatique de réseaux de machines algorithmiques évoluées»
David, J.P.,	École Polytechnique	20,000.00 $	2007 - 2008	«PIED»

David, J.P.,	CRSNG	77,400.00 $	2003 – 2007	Architecture synchronisée par les données pour système reconfigurable multi-processeurs
Kashyap, R.,	CRSNG	35,500.00 $	2003 – 2007	«Self-organised, ultra-stable, beat frequency laser»
Kashyap, R.,	Chaire de recherche du Canada	200,000.00 $	2003 – 2007	«Future Photonic Systems Federal»
Kashyap, R.,	CRSNG	187,500.00 $	2005 – 2006	«Dual wavelength fabrication of optical waveguides»
Kashyap, R.,	CRSNG	116,866.00 $	2006 – 2007	«Ultra long Optical fibre Bragg gratings» 333
Kashyap, R.,	NCE (CIPI)	2,500.00 $	2006 – 2007	«Student Travel Grant»
Kashyap, R.,	Université de Montréal VINCI	10,000.00 $	2006 – 2007	«A Prototype Light Lyre made with Optical Fibres»
Kashyap, R.	NCE (CIPI)	7,000.00 $	2006 – 2007	«Microstructure fibres»
Khouas, A.,	CRSNG	18,350.00 $	2003 – 2006	«Méthodes de conception en vue du test des systèmes intégrés sur puce»
Langlois, P.,	FQRNT	20,000.00 $ $	2007 – 2008	«Oscillateurs numériques à haute performance et faible consummation de puissance»
Langlois, P.,	CRSNG	16,200.00 $	2007 – 2011	«Méthodologies de conception pour processeurs spécialisés»
Langlois, P.,	PIED : École Polytechnique de Montréal	10,000.00 $	2006 – 2007	«Lancement de programme de recherche»
Langlois, P.,	CMC	7,500.00 $	2006 – 2007	«Implementation of bioinformatics algorithms»
Martel, S.,	Chaire de Recherche du Canada	100,000.00 $	2006 – 2010	«Conception de micro/nano systèmes»
Martel, S.,	CRSNG	32,000.00 $	2002 – 2006	«Miniature Instrumented Robots for Applications at the Molecular and/or Atomic Scale»
Martel, S.,	CRSNG	44,000.00 $	2007 – 2011	«Magnetotactic Bacteria-based Microrobots»
Nicolescu, G.,	CRSNG	17,500.00 $	2004 – 2009	«Specification and validation in automatic design flow of heterogeneous system on chip»
Savaria, Y.,	Chaire de Recherche du Canada	200,000.00 $	2001 – 2008	«Conception de systèmes microélectroniques intégrés»
Savaria, Y.,	CRSNG	53,000.00 $	2004 – 2009	«Méthodes de conception de circuits intégrés analogiques précis et d'horloges rapides et précises»
Sawan, M.,	CRSNG	284,000.00 $	2007 – 2012	«Medical Microsystems Dedicated for Wireless Sensing».
Sawan, M.	CRSNG	46,850.00 $	2003 – 2007	«Smart Medical Microsystems Dedicated for Wireless and Massively Parallel Neural Recording in The Cortex»

Sawan, M.	Chaire de Recherche du Canada	200,000.00 $	2000 – 2007	«Dispositifs médicaux intelligents»
Sawan, M.,	Victhom	50,000.00 $	2006 – 2007	«Réalisation d'un module de contrôle pour implants»

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Aboulhamid, M., Bois, G., Nicolescu, G., Tahar, S.,	CRSNG	200,000.00 $	2008 – 2010	«From Modeling to Prototyping Advanced Wireless Systems»
Audet, C., Beaudry, C., Bertrand, F., Boyer, F.R., Dufour, S., Galinier, P., Roy, R., Saucier, A.,	Fondation Canadienne pour l'Innovation (FCI)	4, 574,178.00 $	2002 – 2006	«Plate-forme de développement d'algorithmes parallèles pour la modélisation et l'optimisation de systèmes complexes d'ingénierie et de systèmes multi-agents de production industrielle».
Bilodeau, G.-A., Nicolescu, G.,	Fondation Canadienne pour l'innovation (FCI)	995,731.00 $	2005 – 2006	«Infrastructure de surveillance par ordinateur en temps réel».
Bois, G., Nicolescu, G.,	CRSNG	98,250.00 $	2008 – 2010	«Exploring Advanced Technologies and Architectures for Massevey Parallel Processing Systems based on Networks-on-Chip
Bois, G., Nicolescu, G.,	CRSNG Équipement	10,000.00 $	2008 – 2010	«Exploring Advanced Technologies and Architectures for Massevey Parallel Processing Systems based on Networks-on-Chip
Bushmann, M., Martel, S.,	CRSNG	150,000.00 $	2004 – 2007	«Cell and tissue imaging and analysis facility»
Bushmann, M., Sawan, M., et 20 autres	FRSQ	1,250,000.00 $	2007 – 2011	«Groupe de recherche en Sciences et Technologies de la Santé»
Chen, L., Kashyap, R.,	FQRNT	118,000.00 $	2005 – 2008	«Projet de recherche en équipe»
Chen, L., Kashyap, R.,	FQRNT	78,000.00 $	2006 – 2008	«DOCTOR (Dual Wavelength Optical Coherence Tomography»
Gourdeau, R., Khouas, A., Cohen, P., Roy, G.,	École Polytechnique	20,000.00 $	2005 – 2006	«Fond pour le renouvellement des approches pédagogiques»
Guénat, O., Martel, S., et 2 autres	CRSNG	12,420.00 $	2007 – 2008	«Universal chip-chip bonder»
Guitton, D., Leparé, F., Chaudhauri, Sawan, M.,	FQRNT	200,250.00 $	2006 – 2009	Microsystèmes dédiés à l'interface du cortex visuel primaire: modélisation et validation expérimentale
Haccoun, D., Savaria, Y., Cardinal, C., Sawan, M.,	CRSNG	167,000.00 $	2005 – 2007	«Technique de codage et de décodage iterative de faible complexité pour codes convolutionnels doublement orthogonaux et réalisations matérielles»
Kabashin, A., Kashyap, R.,	CRSNG	131,500.00 $	2005 – 2008	«Phase-Polarization methods in Surface Plasmon Resonance biosensing»
Kashyap, R., et 2 autres	NCE (CIPI)	30,000.00 $	2006 – 2008	«The study of impacts of climate warming: permafrost sensing with photonics engineering (Persephone
Kashyap, R., et 1 autre	NCE (CIPI)	70,000.00 $	2006 – 2008	Reliability testing of optical waveguide devices
Laurin, J-.J., Kashyap, R.,	FQRNT	126,035.00 $	2006 – 2009	«Système de tomographie micro-ondes pour la détection du cancer du sein»

Maciejko, R., Kashyap, R.,	NCE	149,600.00 $	2005 – 2010	«BIOPSY contd.»
Martel, S., Savaria, Y., Dubois, C.,	CRSNG	125,000.00 $	2007 – 2009	«High-speed nanoprobes-based processes for sub-micrometer electronic interconnects»
Martel, S., et 2 autres	CRSNG	120,400.00 $	2004 – 2007	«Design and assembly of three-dimensional micro heat pipe networks for heat dissipation in microelectronics»
Martel, S., et 2 autres	CRSNG	154,350.00 $	2005 – 2008	«Magnetotactif phage-based microrobotics systems for the detection of live bacteria»
Martel, S., et 2 autres	National Institute of Health (NIH)-USA	132,400.00 $	2007 – 2009	«MRI-based tumor targeting enhancement with magnetotactic bacterial carriers»
Martel, S., et 6 autres	FQRNT	61,440.00 $	2007 – 2009	«Plateforme pour les interventions médicales ciblées par des dispositifs propulsés par gradients générés par un système d'imagerie par résonance magnétique»
Meunier, M., Savaria, Y.,	CRSNG CRD Coop	175,000.00 $	2004 – 2007	«High throughput laser trimming of ultra-accurate state-of-the-art analog circuits»
O'Connor, I., Nicolescu, G.,	Centre Jacques Cartier	2,000.00 $	2008	Heterogeneous Systems Design
Peter, Y.A., Kashyap, R.,	CRSNG	20,000.00 $	2005 – 2008	«Tunable Micro Electro Mechanical Grating in Silicon for Optical Systems and Devices»
Savaria, Y., Sawan, M., et 3 autres	École Polytechnique de Montréal	35,000.00 $	2006 – 2007	«Fonds GR2M»
Savaria, Y., Bois, G., Khouas, A., Nicolescu, G.,	CRSNG	135,000.00 $	2006 – 2009	«Design Methods, Architectures and Circuits for Reliable Configurable High Performance SoC Platforms»
Savaria, Y., Thibeault, C., Gagnon, F.,	Prompt Québec	50,000.00 $	2006 – 2008	«Conception de modules matériels pour le traitement vidéo et leur interfaçage à un tissu d'interconnexion»
Savaria, Y., Aboulhamid, M., Bois, G.,	NATEQ	45,000.00 $	2006 – 2008	«Méthodes de vérification et de raffinement automatisé de systèmes électroniques complexes»
Savaria, Y., Aboulhamid M., Bois, G.,	NATEQ Équipement	44,250.00 $	2006 – 2007	«Méthodes de vérification et de raffinement automatisé de systèmes électroniques complexes»
Savaria, Y., Khouas, A., Nicolescu, G.,	CRSNG	127,500.00 $	2006 – 2008	«Design Methods, Architectures and Circuits for Reliable Configurable High Performance Soc»
Savaria, Y., Sawan, M., Blaquière, Y., Izquierdo, R.,	CRSNG Technocap	173,600.00 $	2007 – 2008	«Experimental Validation of a System Level. Fast Prototyping Architecture for Dreamware Technology»
Savaria, Y., Sawan, M,	CRSNG	200,000.00 $	2007 – 2009	«Wireless sensors platform dedicated to build smart medical devices»
Sawan, M., Savaria, Y., Bois, G., et 17 autres	FQRNT (FCAR) Infrastructure ReSMiQ	2,887,500.00 $	2002 – 2007	«Analog, digital and RF circuits and systems»

Sawan, M., et 26 autres	Polytechnique, U de Montréal, Concordia, UQAM, McGill, ETS	125,000.00 $	2003 – 2007	«Contributions des universités ReSMiQ centre infrastructure»
Sawan, M., et 3 autres	FQRNT	96,250.00 $	2006 – 2007	«Microsystèmes dédiés à l'interface du cortex Visual primaire: modélisation et validation expérimentale»
Sawan, M., Savaria, Y.,	CRSNG	100,000.00 $	2007 – 2010	«Wireless sensors platform dedicated to build smart medical devices»
Thibeault, C., Gagnon, F., Savaria, Y.,	CRSNG	181,874.00 $	2007 – 2008	«Multi-Level Modeling for Design Derivation of Software-Defined Radio Applications»
Thibeault, C., Savaria, Y., Gagnon, F.,	Octasic	69,667.00 $	2006 – 2007	«Multi-Level modeling for design derivation of software-defined radio applications»
Yao, J., Kashyap, R.,	CRSNG	169,000.00 $	2005 – 2008	«Broadband Radio-Over-Fiber System for Full-Duplex Hybrid Optical/Wireless Access follow on»

Équipement électronique

Un ensemble diversifié d'équipement de tests électronique provenant de diverse subvention (FCI, NATEQ, NSERC) obtenu par les différents professeurs membre du GR2M ou acheté avec la CMC.

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabricant	Modèle	Description
1	AEROFLEX	IFR3413	Générateur de signal RF 3GHz
1	Agilent	16034H	test fixture
1	Agilent	16047E	Test Fixtures 40 Hz to 110 MHz
1	Agilent	16048G	Test Leads
1	Agilent	16065A	Ext Voltage Bias Fixture
1	Agilent	16314A	balance /unbalance 4 terminal converter
1	Agilent	33250A	0-80MHz WaveForm Generator
1	Agilent	4294-61001	Impedance Analyser fixture 100Ω
1	Agilent	4294A	Impedance Analyzer 40Hz-110MHz
2	Agilent	E3631A	Power Supply
1	Agilent	E3641A	Power Supply
1	Agilent	E3642A	Power Supply
1	Agilent	E3646A	Power Supply
1	Agilent	E3647A	Power Supply
1	Agilent	N5771A	System dc power supply
1	AVR ICE		Microcontroler programmer and debugger
1	Barnstead / Thermolyne	F30430CM	Programmable furnace
1	BK	879	LCR meter
1	BK	4011	FUNCTION GENERATOR
1	BP microsystem	FP1700/240	Universal programmer
1	BP microsystem	SM100VQ	
1	BP microsystem	SM128CS	
1	BP microsystem	SM84UP	
1	BP microsystem	SM56TB	TSSOP 56 PINS
1	casira		Bluetooth
1	CMC/AMI	9444-04-R1	DUT BOARD
1	Data Physics	A-120	Power Supply
1	Data Physics	DP-V011	Shaker
1	Data Translation	DT9834-16-0-12-BNC	High Performance Multifunction Data acquisition USB
1	Fluke	177	True RMS Multimeter
1	HP	54124	Four Chanel test set DC to 50 Ghz
1	HP	16500B	Logic Analyzer
1	HP	16550A	100Mhz STATE / 500Mhz TIMING
1	HP	1741A	Oscilloscope
1	HP	3580A	Spectrum Analyzer
1	HP	3709B	Constellation Analyzer
1	HP	54006A	Probe 6 GHz
1	HP	54007A	accessory kit
1	HP	54120B	Sampling oscilloscope 50GHz
1	HP	54616B	Oscilloscope 500MHz
2	HP	54645D	Mixed signal oscilloscope 100MHz
1	HP	6202B	DC Power supply
1	HP	6202B	DC Power supply
1	HP	8111A	Pulse Function Generator 20 Mhz
1	HP	8553L	Spectrum Analyzer 110MHz
2	Instek	PC-3030	Power Supply
1	Intel	EVAL80960VH	INTEL 80960VH Developpement board

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabricant	Modèle	Description
1	Intel	KEIXP 12EBAB	Network processor development platform
1	INES	GPIB	PCI Card (dans un pc)
1	Karl Suss	10577065	Probe station
5	Karl Suss	PH120	Manual Probe Head
1	Karl Suss	PH600	SEMI-AUTO PROBE HEAD
2	Karl Suss	Z040-K3N-GSG-100	RF probe 100um dc-40 GHz,Z probe
2	Keithley	2002	Precision Multimeter
1	LEITCH	SPG-1680MB	Sync Pulse Generator
1	Logical Device	QUV-T8Z	UV ERASER
1	METCAL	MX500P-11	Fer a souder surface mount
2	Microchip	ICD2	Microcontroler programmer
1	MIRANDA	DAC-100	4224 DAC
1	Miranda	Expresso	
1	MiroTech	VME+PC	Cabinet
1	Nahishige	MB-PB	Micromanipulator
1	NI	PXI-1042	PXI BUS
1	NI	PXI-6071E	Analog input multifunction
1	NI	PXI-6071E	Analog input multifunction
1	NI	PXI-8186	Embedded Controler P4 2.2 GHz
3	Philips	PE1514	Power Supply
1	PHILIPS	PM3055	Oscilloscope 20 Mhz
1	PolyScience	5L	Saline Bath
1	Sanyo	VCC3700	CAMERACOULEUR + POWER SUPPLY
1	SONY	PVM-1354Q	Télévision
1	SRS	SR560	low noise préamp.
1	SRS	SR785	Signal Analyzer
1	SUN	960	Data center cabinet
1	Tektronix	3002	Logic Analyzer
1	Tektronix	7623	Oscilloscope
1	Tektronix	011-0055-02	75 Ω feedthrough
1	Tektronix	012-1605-00	interface cable
1	Tektronix	067-0484-01	differential deskew fixture
1	Tektronix	CSA7404B	Communication Signal Analyser
4	Tektronix	FG502	Function Generator
1	Tektronix	P6139A	Sonde 500MHz
2	Tektronix	P6243	Probe 10X 1GHz
4	Tektronix	P6245	sonde 1.5Ghz 10X pour TDS7154
1	Tektronix	P6418	Sonde Logique 16ch
7	Tektronix	P6470	Pattern Generator v1.0 17 ch
2	Tektronix	P6810	SONDE LOGIQUE HAUTE PERFORMANCE 32ch
1	Tektronix	P7240	sonde active 5X
1	Tektronix	P7350	sonde Différentielle 5GHz
1	Tektronix	PG506	Calibration Generator
1	Tektronix	SG503	Sine Wave Generator
1	Tektronix	TCA-1MEG	ADAPTATEUR D'IMPÉDENCE 50Ω 1MΩ
1	Tektronix	TCA-1MEG	ADAPTATEUR D'IMPÉDENCE 50Ω 1MΩ
1	Tektronix	TCA-SMA	adaptateur TCA-SMA
1	Tektronix	TCP202	Sonde de courant de précision DC
1	Tektronix	TCP312	Sonde de courant de précision AC/DC
1	Tektronix	TCPA300	Amplifier ac/dc current probe power supply
1	Tektronix	TDS3054B	Oscilloscope PORTABLE
4	Tektronix	TDS320	Oscilloscope 100Mhz 2ch.
1	Tektronix	TDS3AAM	Advanced Analysis Module (TDS3054B)
1	Tektronix	TDS3LIM	Limit Testing Module (TDS3054B)

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabricant	Modèle	Description
1	Tektronix	TDS3VID	Advanved Video Module (TDS3054B)
1	Tektronix	TDS7154	Oscilloscope 1.5GHz 4ch.
2	Tektronix	TLA715	Analyseur logique 32Mb/ch 64ch/68ch ou 32ch+32stim.
3	Tektronix	TM503	power module mainframe for 3 plug-ins
3	Topward	TPS4000	Power Supply
1	vision eng.	lynx	LAMP
1	vision eng.	lynx	POWER SUPPLY
2	WAVETEK	19	Générateur de fonction
2	Weller	WES50	Soldering iron
2	Weller	WTCPT	Soldering iron
1	Wenworth labs	MP0901	Prober Microscope
3	Wenworth labs	PRO195LH	Prober Microscope
2	Xantrex	XT20-3	Power Supply

Usine Tyco (GR2M / PolyStim)

Nb	Fabricant	Modèle	Description
1	creative automation	champion 8300	Creative Automation Paste Dispenser
1	Heller Industries	1700EXL	Reflow Oven
1	Hesse-Knipps	Bondjet 810	Wedge Bonder
1	hitachi	S-4700II	scanning electronic microscope
1	Jot automation	J202-01	conveyor
1	Jot automation	J202-02-02	Pickup PCB Destacker
1	Jot automation	J204-02-031	Buffer/Inspection Conveyors 40’’
1	Jot automation	J204-02-022	Buffer/Inspection Conveyors 20"
5	Jot automation	J204-10.9/19	Side Shuttle Transport
1	Kulicke & Soffa	4524-d	Ball bonder
1	Metcal	1E6000	OPTICAL INSPECTION CAMERA
1	Metcal	BGA 3101	Rework station
1	Metcal	BGA 3591	Rework station
1	Metcal	VPI-1000	OPTICAL INSPECTION SYSTEM
1	Oxford instrument	7200	EDX
1	Panasonic	CT-2086YD	monitor
1	Perkin Elmer	--	Differential Scanning Calorimeter Pyris Diamond DSC
1	PMR Systems	PMR-3500	Ultrasound Cleaner
1	Royce Instruments	System 580	Wire Bond Tester
1	Shreiber Engineering	trueton 500W	Water Chiller
1	Speedline technologie	UP1500	
1	Techcon	TS9150	Solder Paste Dispenser
1	TYCO	APS-1H	Pick and Place Machine with WPS and flipper tool
1	TYCO	AVX-1500	Screen Printer
1	TYCO	MT-30	Matrix Tray Handler
1	Unitek Miyachi	LW500A-1	Nd:YAG laser
1	Unitek Miyachi	LW500AWS	5 axis Laser Welding Motion Control System WS
1	Virtual industries	SMD-VAC-GP	vacuum pen

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)

Nb	Fabricant	Modèle	Description
1	Agilent	81200	Test fixture
1	Agilent	83712B	Synthesized CW generator 10MHz 20 GHz
1	Agilent	E4805B	VXI Timing module
1	Agilent	E8491B	Firewire VXI Controller
8	ALESSI	MH5-L , MH5-R	Micropositioner

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)

Nb	Fabricant	Modèle	Description
3	ALESSI	MMM-01, MMM-02	Micropositioner
1	Analogic	DB58750	Arb. Function Generator
1	CMC	REV0	VXI Test Fixture Rev.0 (bois)
1	CMC/AMI	TH1000	Mixed Signal Head Test
1	CMC/FERNBANK	MOD2	Rapid prototyping board V2
3	GGB	28	Picoprobe
6	GGB	40A-GSG-150-P	Microwave Probe
11	GGB	40A	Microwave Probe
2	GGB	dual output	Power supply (Dual Output)
2	GGB	mcw-9-4635	Microwave Probe multi chanel
3	HP	1144A	ACTIVE PROBE
1	HP	6623A	Programmable P/S
1	HP	745i	HPUX Test Station
1	HP	81130A	Pulse Pattern Generator
1	HP	85033D	Calibration Kit
1	HP	8593E	Spectrum Analyser
1	HP	8753E	Network Analyser
1	HP	E1401A	VXI Mainframe
1	HP	E1406A	HPIB Command module
1	HP	E1429B	A/D Digitizer
1	HP	E1445A	A/W Generator
1	HP	E1450A	Timing Module
1	HP	E1452A	Terminator PAT I/O
2	HP	E1454A	Pattern I/O POD
1	HP	E3661A	Instrument Rack
3	HP	E4841A	Gen/Anal. Module
1	IMS	XL100	High Speed numeric universal tester
1	Iotech	SB488A	Sun GPID CNTL
1	Keithley	KI236	Source Measurement Unit
	Rhode&Schwarz	NRVZ 1020.1809.02	Power Meter
	Rhode&Schwarz	NRVZ-Z6	Power sensor

Équipement Informatique prêté par la CMC (www.CMC.ca)

Nb	Fabricant	Modèle	Description
1	SUN	Sun Blade 1000	2 processeurs, 5 gig ram
1	SUN	Sun Storage A1000	200 gig (12x16go), raid-5
1	SUN	Sun Blade 1500	1gig ram
4	SUN	Sun Blade 100	2gig ram
5	SUN	Ultra 10	1gig ram
2	SUN	Ultra 1-140	
14	SUN	Moniteur	17”, 19”, 20”, 21”
1	SUN	Tape Drive	0.25” 150 MB
1	SUN	Tape Drive	20-40GB 8MM
4	SUN	Multi-Pack	Disque 36GB
2	SUN	Unipack	Disque 9GB
16	IBM	IntelliStation M pro	2HD 80gig, 1-3gig ram
16	IBM	LCD L170	
16	SLPS	FPGA board	Altera, Xilinx, (DSP, MM, ES, XLX)
2	ARM	FPGA board	RPP
2	SUN	XTA 3511	Disk 6 +B
1	Adaptec	Snap server 550	Disk 3TB

Équipement informatique

Un ensemble diversifié d'équipement informatique provenant de diverse subvention (FCI, NATEQ, NSERC) obtenu par les différents professeurs membre du GR2M ou acheté avec la CMC.

Équipement Informatique appartenant au GR2M (www.GR2M.polymtl.ca)

Nb	Fabricant	Modèle	Description
1	SUN	Sun Blade V890	16 processeurs, 32 gig ram
1	SUN	Sun Blade 1000	2 processeurs, 2 gig ram
2	SUN	SUN V440	4 processeurs, 8 Giga RAM
	SUN	Sun Storage A1000	400 gig (12x36go), raid-5
15	SUN	Sun Blade 100	Station du laboratoire VLSI
4	SUN	Ultra 10	
10	SUN	Ultra 5	
170	PC	Desktop	Pentium IV, Core 2 Duo, Core2 Quad
2	HP	4050tn	Imprimante Laser Noir
4	HP	4M Plus	Imprimante Laser Noir
1	HP	5M	Imprimante Laser Noir
1	HP	4V	Imprimante Laser Noir 11x17
2	DELL	3100n	Imprimante Laser Couleur
1	DELL	5100n	Imprimante Laser Couleur
4	DELL	1700n	Imprimante Laser

LOGICIELS DE MICROÉLECTRONIQUE

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont achetés par le GR2M, les autres, Cadence, Mentor, Synopsys, Xilinx etc, sont distribués en tout ou en partie par la Société Canadienne de Microélectronique. (CMC)

Logiciels disponibles au GR2M (www.GR2M.polymtl.ca)

Compagnie	Logiciel
Cadence	Assura, Confrml, IC, ICC, IUS, Mmsim, Neocell, Neockt, RC, SEV, SNA, SOC, SPB, Tsi, VSDE
Agilent	ADS
Agility	Celoxica
Aldec	VHDL
Altera	Quartus
Ansys	Ansys, Workbench
ARM	ARM Developper Suite
Coware	Processor Designer
Femlab	
Matworks	Matlab, Simulink
Mentor Graphics	Calibre, DFT, FA, HDS, Seamless, PADS, Expedition, Power PCB, ModelSim, Hyperlinks,
COMSOL	COMSOL
Synopsys	NS (Nanosim), SIM (Core Synthesis Tools), SYN (Core Synthesis Tools), CCSS (Co-Centric), FM (Formality), PT (PrimeTime), FPGA Compiler2, HSPICE, STAR SIM
Synplicity	Synplify

Logiciels disponibles au GR2M (www.GR2M.polymtl.ca)

Compagnie	Logiciel
Tensilica	Xtensa
Virage	Mem compiler
Xilinx	ISE, EDK, CHIPSCOPE

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

[P-1] AWWAD, F., NEKILI, M., RAMACHANDRAN, V., SAWAN, M., «On Modeling of Parallel Repeater-Insertion Methodologies for SoC Interconnects», accepté à IEEE Transactions on Circuits and Systems – I, juin 2007.

[P-2] BERGERON, E., PERRON, L.D., FEELEY, M., DAVID, J.P., «Logarithmic Time FPGA Bitstream Analysis: a Step Towards JIT Hardware Compilation», accepté à ACM Transactions on Reconfigurable Technology and Systems.

[P-3] BEUCHER, N., BÉLANGER, N., SAVARIA, Y., BOIS, G., « High Acceleration for Video Application Using Specialized Instruction Set based on Parallelism and Data Reuse », accepté à Journal of Signal Processing Systems, mars 2008

[P-4] BEY-OUESLATI, R., PALM, S., THERRIAULT, D., MARTEL, S., «High speed direct-write for rapid fabrication of three-dimensional microfluidic devices», accepté à International Journal of Heat and Technology.

[P-5] BEY-OUESLATI, R., THERRIAULT, D., MARTEL, S., «PCB-integrated Heat Exchangers for Cooling Electronics using Microchannels Fabricated with the Direct-write Method», accepté à IEEE Transactions on omponents and Packaging Technologies,

[P-6] BOUCHEBABA, Y., GIRODIAS, B., NICOLESCU, G., ABOULHAMID, M., LAVIGUEUR, B. PAULIN, P., «MPSoC Memory Optimization Using Program Transformation» accepté pour publication à ACM Transaction on Design Automation of Electronic Systems (ACM TODAES)

[P-7] BUI, T.H., SAVARIA, Y., «Design of a High-Speed Differential Frequency-to-Voltage Converter and its Application in a 5 GHz Frequency Locked Loop» accepté à IEEE Transactions on CAS I.

[P-8] CHANU, A., FELFOUL, O., BEAUDOIN, G., MARTEL, S., «Adapting the software platform of MRI for the real-time navigation of endovascular untethered ferromagnetic devices», accepté à Magnetic Resonance in Medicine.

[P-9] FELFOUL, O., MATHIEU, J.-B., BEAUDOIN, G., MARTEL, S., «MR-tracking based on magnetic signature selective excitation», accepté à IEEE Transations on Medical Imaging.

[P-10] GHAFAR-ZADEH, E., SAWAN, M., THERRIAULT, D., «A Microfluidic Packaging Technique for Lab-on-Chip Applications», accepté à IEEE Trans. On Advanced Packaging, novembre 2007.

[P-11] GIRODIAS, B., BOUCHEBABA, Y., NICOLESCU, G., PAULIN, P., ABOULHAMID, M., «Multiprocessor, Multithreading and Memory Optimization for On-Chip Multimedia Applications», accepté à Journal of Signal Processing Systems, Springer.

[P-12] MARCHE, D., SAVARIA, Y., GAGNON, Y., «An Improved Switch Compensation Technique for Inverted R-2R Ladder DACs», accepté à IEEE Transactions on CAS I, août 2008

[P-13] OQUIN, I., BRAULT, J.-J., HART, B., «A visual-based data mining methodology to conduct seismic facies analysis, part I: Testing and comparison with other unsupervised clustering methods, GEOPHYSICS, accepté à Society ot Exploration Geophysicists

[P-14] MARROQUIN, I., BRAULT, J.-J., HART, B., «A visual-based data mining methodology to conduct seismic facies analysis, part II: Application to 3-D seismic data, GEOPHYSICS, accepté à Society ot Exploration Geophysicists,

[P-15] MARTEL, S., MOHAMMADI, M., FELFOUL. O., LU, Z., POUPONNEAU, P., «Flagellated magnetotactic bacteria as controlled RRI-trackable propulsion and steering systems for medical nanorobots operating in the human microvasculature», accepté à International Journal of Robotics Research (IJRR),

[P-16] MATHIEU, J.-B., MARTEL, S., «Magnetic microparticle steering within the constraints of an MRI system: Proof of concept of a novel targeting approach», accepté à Biomedical Microdevices.

[P-17] TAMAZ, S., CHANU, A., MATHIEU, J.-B., GOURDEAU, R., MARTEL, S., «Real-time MRI-based control of a ferromagnetic core for endovascular navigation», accepté à IEEE Transactions on Biomedical Engineering.

[P-18] ZAKI, M., TAHAR, S., BOIS, G., «Formal Verification of Analog and Mixed Signal Designs : A Survey» accepté à Microelectronics Journal, Elsevier.

Articles de revues publiés de septembre 2007 à août 2008

[P-19] ACHIGUI, H., SAWAN, M., FAYOMI, C.-J., «A monolithic based NIRS front-end wireless sensor», Elsevier Microelectronics Journal, vol. 39, mai 2008, pp. 1207-1217.

[P-20] ACHIGUI, H., SAWAN, M., FAYOMI, C.J., «A 1 V Fully Differential, Fully Balanced Opamp: Implementation and Experimental Results» Springer Analog ICs & Signal Processing Journal, vol. 53, no. 1, octobre 2007, pp. 27-34.

[P-21] AWWAD, F., NEKILI, M., RAMACHANDRAN, V., SAWAN, M., «On Modeling of Parallel Repeater-Insertion Methodologies for SoC Interconnects», IEEE Trans. On Circuits and Systems – I, vol. 55, no. 1 février 2008, pp. 322-336.

[P-22] BEAUDOIN, P., AUDET, Y., BENDALI, A., «Characterizing a Thermoelectric Module as Part of a Semiconductor Courses Laboratory», IEEE Transactions on Education, 2008, vol. 51 no. 2, pp. 282-287.

[P-23] BOUCHEBABA, Y., GIRODIAS, B., NICOLESCU, G., ABOULHAMID, M., LAVIGUEUR, B., PAULIN, P., «MPSoC Memory Optimization Using Program Transorrmation», ACM Transaction on Design Automation of Electronic Systems, septembre 2007, vol. 12, issue 4, pp. 43:1-43:39.

[P-24] BUI, T.H., SAVARIA, Y., « Design of a High-Speed Differential Frequency-to-Voltage Converter and its Application in a 5 GHz Frequency Locked Loop », IEEE Transactions on Circuits and Systems – I, vol. 55, no. 3, avril 2008, pp. 766-774

[P-25] COULOMBE, J., SAWAN, M., GERVAIS, J-F., « A Highly Flexible System for Microstimulaiton of the Visual Cortex: Design and Implementation», IEEE Transactions on Biomedical Circuits and Systems, vol. 1, issue 4, décembre 2007, pp. 258-269

[P-26] DAVID, J.P., KALACH, K., «Hardware Complexity of Modular Multiplication and Exponentiation», IEEE Transactions on Computers, octobre 2007, pp. 1308-1319.

[P-27] FELFOUL, O., MATHIEU, J.-B., BEAUDOIN, G., MARTEL, S., «MR-tracking based on-magnetic signature selective excitation», IEEE Transactions on Medical Imaging, janvier 2008, vol. 27 issue 1, pp. 28-35.

[P-28] GHAFAR-ZADEH, E., SAWAN, M., THERRIAULT, D., MILED, M.A., «Laboratoires-sur-puces: Nouvelle technologie de diagnostic cellulaire et moléculaire»IEEE Canadian Review, no. 58, août 2008, pp. 20-22.

[P-29] GHAFAR-ZADEH, E., SAWAN, M., «A Core-CBCM Sigma Delta Capacitive Sensor Array Dedicated to Lab-On-Chip Applications», Sensors & Actuators: A. Physical, vol. 144, issue 2, juin 2008, pp. 304-313.

[P-30] GHAFAR-ZADEH, E., SAWAN, M., «Charge-Based Capacitive Sensor Array for CMOS-Based Laboratory-on-Chip Applications», IEEE Sensors, vol. 8, no. 4, avril 2008, pp. 325-332.

[P-31] GHAFAR-ZADEH, E., SAWAN, M., THERRIAULT D., «A 0.18-µm CMOS Capacitive Sensor Lab-on-Chip», Elsevier Sensors & Actuators, vol. 141, issue 2, février 2008, pp. 454-462.

[P-32] GHAFAR-ZADEH, E., SAWAN, M., «A HybridMicrofluidic/CMOS Capacitive Sensor Dedicated to Lab-on-Chip Applications» IEEE Transactions on Biomedical Circuits and Systems, vol. 1, issue 4, décembre 2007, pp. 270-277.

[P-33] GOSSELIN, B., SAWAN, M., CHAPMAN, C.A., «A Low-Power Integrated Bioamplifier with Active Low-Frequency Suppression», IEEE Transactions on Biomedical Circuits and Sysems, vol. 1, issue 3, septembre 2007, pp. 184-192.

[P-34] KASSEM, ., SAWAN, M., HAMAD, M., HAIDAR, A., «Toward a miniaturized generation of ultrasonic-based devices», Journal of Circuits, Systems, and Computers, vol. 16, no. 6, décembre 2007, pp. 1027-1044.

[P-35] LEBEL, E., ASSI, A., SAWAN, M., «Programmable Monolithic Gm-C Band-Pass Filter: Design and Experimental Results», Springer Analog ICs & Signal Processing Journal, vol. 53, no. 1, janvier 2008, pp. 21-29.

[P-36] MAHONEY, P., SAVARIA, Y., BOIS, G., PLANTE, P., «Performance Characterization for the Implementation of Content Addressable Memories Based on Parallel Hashing Memories», Transactions on High-Performance Embedded Architectures and Compilers, vol. 2, issue 4, 2007, pp. 193-212.

[P-37] RAJAGOPALAN, S., SAWAN, M., GHAFAR-ZADEH, E., SAVADOGO, O., CHODAVARAPU, V., « A Polypyrrole-based Strain Sensor Ddicated to Measure Bladder Volume in Patients with Urinary Dysfunction», BioMEMS Special Issue, Sensors, vol. 8, no. 8, août 2008, pp. 5081-5095.

[P-38] SAHEB, J.-F., RICHARD, J.-F., SAWAN, M., MEINGAN, R., SAVARIA, Y., «System integration of ««high voltage electrostatic MEMS actuators », Analog Integrated Circuits and Signal Processing, Special issue on Selected Papers on IEEE-NEWCAS 2005, vol. 53, no. 1, octobre 2007, pp. 27-34.

Articles de revues publiés de septembre 2007 à août 2008 (suite)

[P-39] SALEH, A., SAWAN, M., EL-ZAYAT, CORCOS, J., ELHILALI, M.M., «Detection of Bladder Volume from the Neural Afferent Activitie in dogs: Experimental Results», Special Issue of Neurological Research: Spinal Cord Research, vol. 30, no. 1, février 2008, pp. 28-35.

[P-40] SAWAN, M., MOUNAIM, F., LESBROS, G., «Long Term Monitoring for In-Vivo Characterization of Electrode-Tissues Contacts», Springer Anal. ICs & Signal Processing Journal, vol. 55, no. 1, février 2008, pp. 103-114.

[P-41] TAMAZ, S., CHANU, A., MATHIEU, J.-B., GOURDEAU, R., MARTEL, S., «Real-Time MRI-based control of a ferromagnetic core for endovascular navigation» IEEE Transactions on Biomedical Engineering, juillet 2008, vol. 55, Issue 7, pp. 1854-1864.

[P-42] ZAKI, M., TAHAR, S., BOIS, G., «Qualitative Abstraction based Verification for Analog Circuits», Revue des Nouvelles Technoloiges de l'Information, RNTI-SM-1, Édition Cepadues, décembre 2007, pp. 147-158.

Articles de revues publiés de septembre 2006 à août 2007

[P-43] ACHIGUI, H.F., FAYOMI, C.J.B., SAWAN, M., «1-V DTMOS Based Class AB Operational Amplifier: Implementation and Experimental Results», IEEE Journal of Solid-State Circuits, novembre 2006, vol. 41, issue 11, pp. 2440-2448.

[P-44] BENDALI, A., AUDET, Y., «A 1-V CMOS Current Reference with Temperature and Process Compensation» IEEE Transactions on Circuits and Systems I, 2007, vol. 54 no. 7, pp. 1424-1429.

[P-45] BOUCHHIMA, F., NICOLESCU, G., ABOULHAMID, M., ABIB, M., «Generic Discrete-Continuous Simulation Model for Accurate Validation in Heterogeneous Systems Design», Elsevier Microelectronics Journal, juin 2007, vol. 38, issue 6-7, pp. 805-815.

[P-46] BOYOGUENO-BENDE, A., SAWAN, M., SLAMANI, M., «A BiCMOS 120 mw 11 GHz transimpedance amplifier for high-speed Photoreceivers», The Journal of Circuits, Systems, and Computers (JCSC), 2006, vol. 15, no. 4, pp. 467-490.

[P-47] CANTIN, M.A., SAVARIA, Y., PRODANOS, D., LAVOIE, P., «A Metric for Automatic Word Length Determination of Hardware Datapaths» IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, octobre 2006, vol. 25, no. 10, pp. 2228-2231.

[P-48] CHEBLI, R., SAWAN, M., "Fully Integrated High-Voltage Front-End Interface for Ultrasonic Sensing Applications", IEEE Transactions on Circuits and Systems I, vol. 54, no. 1, janvier 2007, pp. 179-190.

[P-49] CHÉNIER, F., SAWAN, M., «A New Brain Imaging Device Based on fNIRS», IEEE-BIOCAS, Montréal, Canada, 27-30 novembre 2007 pp. 1-4.

[P-50] DECA, R., CHERKAOUI, O., SAVARIA, Y., SLONE, D., «Constraint-Based Model for Network Service Provisioning», Annales des télécommunications, GET/DS, juillet août 2007, volume 62, no 7/8, pp. 847-870.

[P-51] DJEMOUAI, A., SAWAN, M., «Circuit Techniques Dedicated to Effectively Wireless Transfer Power and Data to Electronic Implants», Journal of Circuits, Systems & Comp., juillet 2007, vol. 16, no. 5, pp. 801-818.

[P-52] GAO, S., CHABINI, N., AL-KHALILI, D., LANGLOIS, J.M.P., «Optimized realizations of large integer multipliers and squarers using embedded blocks», IET Computers & Digital Techniques, vol. 1, issue 1, janvier 2007, pp. 9-16.

[P-53] GHAFAR-ZADEH, E., SAWAN, M., THERRIAULT, D., «Novel Direct-Write CMOS based Laboratory-On-Chip: Design, Assembly and Experimental Results», Elsevier Sensors & Actuators, vol. 134, vol. 1, février 2007, pp. 27-36.

[P-54] GORSE, N., BÉLANGER, N., CHUREAU, A., ABOULHAMID, E.M., SAVARIA, Y., «A High Level Requirements Engineering Methodology for Electronic System-Level Design», International J. Computers in Electrical Engineering, Elsevier, juin 2007, vol. 33, no. 4, pp. 246-268.

[P-55] GOSSELIN, B., SAWAN, M., «A Mixed-Signal Multi-Chip Neural Recording Interface with Bandwidth Reduction», IEEE-BIOCAS, Montréal, Canada, 27-30 novembre 2007, pp. 49-52.

[P-56] HANNOYER, P., KWANGSOO, K., MARTEL, S., «Cooling an array of high-powered miniature robots using forced air convention», IEEE Transactions on Automation Science and Engineering, juillet 2007, vol. 4, no. 3, pp. 373-381.

Articles de revues publiés de septembre 2006 à août 2007 (suite)

[P-57] LIZE, Y.K., CHRISTEN, L., YANG, J.Y., SAGHARI, P., NUCCIO, S.C, WILLNER, A.E., KASHYAP, R., «Independent and simultaneous monitoring of chromatic and polarization mode dispersion in OOK and DPSK transmission», IEEE Photon. Technol. Letters, volume 19, issue 1, Janvier 2007, pp. 3-5.

[P-58] MAHVASH MOHAMMADI, H., LANGLOIS, J.M.P., SAVARIA, Y., «A five-field motion compensated deinterlacing method based on vertical motion», IEEE Transactions on Consumers Electronics, vol. 53, issue 3, août 2007, pp. 1117-1124.

[P-59] MARTEL, S., MATHIEU, J.-B., FELFOUL, O., CHANU, A., ABOUSSOUAN, É., TAMAZ, S., POUPONNEAU, P., BEAUDOIN, G., SOULEZ, G., YAHIA, L'H., MANKIEWICZ, M., «Automatic navigation of an untethered device in the artery of a living animal using a conventional clinical magnetic resonance imaging system», Applied Physics Letters, mars 2007, vol. 90, pp. 114105-114107.

[P-60] MBAYE, M., LEBEL, D., BÉLANGER, N., SAVARIA, Y., SAMUEL, P., «Novel Application-Specific Instruction-Set Processor Design Approach for Video Processing Acceleration», Journal of VLSI Signal Processing Systems, juin 2007, vo. 47, no. 3, pp. 297-315.

[P-61] MORNEAU, M., KHOUAS, A., «TBSA: Threshold-Based Simulation Accuracy method for fast analog DC fault simulation», Journal of Electronic Testing Theory and Applications, Kluwer Academic Publishers, décembre 2006, vol. 22, no. 4-6, pp. 425-436.

[P-62] MOUNAIM, F., SAWAN, M., «Long-term monitoring of electrochemical parameters from stimulated neural tissues», IEEE-BIOCAS, Montréal, Canada, 27-30 novembre 2007, pp. 25-28.

[P-63] NAJMABADI, M., DEVABHAKTUNI, V., SAWAN, M., FALLONE, C., «Wavelet Decomposition for the Analysis of Esophageal Manometric Data in the Study of Gastroesophageal Reflux Disease», IEEE-BIOCAS, Montréal, Canada, 27-30 novembre 2007, pp. 207-210.

[P-64] NEMOVA, G., KASHYAP, R., «Modeling of Plasmon-polaritonrefractive-index hollow core fiber sensors assisted by a fiber Bragg grating», Journal of Light wave Technology, octobre 2006, volume 24, issue 10, pp. 3789-3796.

[P-65] NEMOVA, G., KASHYAP, R., «A Compact Integrated Planar-Waveguide Refractive-Index Sensor Based on a Corrugated Metal Grating», Journal of Light wave Technology, août 2007, volume 25, issue 8, pp. 2244-2250.

[P-66] NEMOVA, G., KASHYAP, R., «Theoretical model of a planar integrated refractive index sensor based on surface Plasmon-polariton excitation with a long period grating», JOSAB, août 2007, volume 24, issue 10 pp. 2696-2701.

[P-67] OZCAN, L., TREANTON, V., KASHYAP, R., MARTINU, L., «A Compact Integrated Planar-Waveguide Refractive-Index Sensor Based on a Corrugated Metal Grating», Journal of Light wave Technologies, août 2007, volume 25, issue 8, pp. 2244-2250.

[P-68] OZCAN, L., TREANTON, V., GUAY, F., KASHYAP, R., «Highly Symmetric Optical Fiber Tapers Fabricated with a CO_2 Laser», Photonics Technology Letters, mai 2007, volume 19, issue 9 pp. 656-658.

[P-69] OZCAN, L., TREANTON, V., KASHYAP, R, MARTINU, L., «High-Quality Flat-Top Micromachining of Silica by a CW COS_ {2} Laser», IEEE Photonics Technology Letters, avril 2007, volume 19, issue 7, pp. 459-461.

[P-70] QI, G., YAO, J., SEREGELYI, J., PAQUET, S., BÉLISLE, C., ZHANG, X., WU, K., KASHYAP, R., «Phase-Noise Analysis of Optically Generated Millimeter-Wave Signals with External Optical Modulation Techniques», Journal of Light wave Technology, décembre 2006, volume 24, issue 12, pp. 4861-4875.

[P-71] RIBEIRO, R.M., KOSTKO, I.,A., KASHYAP, R., «Mode Locking and Electrical Tuning of a Hybrid Laser Source Using a Connectorized Ultra-Short Fiber Bragg Grating» Journal of Light wave Technology, novembre 2006, volume 24, issue 11, pp. 4380-4390.

[P-72] SALEH, A., SAWAN, M., EL-ZAYAT, E., ELHILALI, M.M., «Detection of Bladder Volume from the Neural Afferent Activities in dogs: Experimental Results», SCI Special Issue of Neurophysiology Research, juillet 2007, vol. 30, no. 1, pp. 28-35.

[P-73] SAWAN, M., LAZZIRI, Y., MOUNAIM, F., ELZAYAT, E., CORCOS, J., ELHILALI, M.M., «Electrode-Tissues Interface: Modeling and Experimental Measurements», Biomedical Material, mars 2007, vol. 2, pp. S7-S15.

[P-74] WU, K, ZHANG, X., KASHYAP, R., «Millimeter-Wave Photonic Techniques for Broadband Communication and Sensor Applications», IEEE Lasers & Electro-Optics Society, octobre 2006, pp. 270-271.

Articles de conférence de septembre 2007 à août 2008.

[C-1] ABDERRAHMAN, A., SAVARIA, Y., KHOUAS, A., SAWAN, M., « New Analog Test Metrics Based on Probabilistic and Deterministic Combination Approaches », International Conference on Electronics, Circuits and Systems, Marrakech, Maroc, 11-14 décembre 2007, pp. 82-85

[C-2] ANANE, A., ABOULHAMID, EL M., VACHON, J., SAVARIA. Y., « Modeling and Simulation of Complex Heterogeneous Systems », International Symposium on Circuits and Systems, Seattle, Washington, USA, 18-21 mai 2008, pp. 2873-2876.

[C-3] AUDET, Y., ABOUTORABI, S.S., «A CMOS Process Compatible Color Sensor Using Wavelength Dependant Absorption Depth», Proceeding of the IEEE NEWCAS Conference, Montréal, Canada, 22-25 juin 2008, pp. 327-330.

[C-4] AWWAD, F., NEKILI, M., SAWAN, M., «Performance Metrics Study for Repeater-Insertion Strategies» Proceeding of the IEEE NEWCAS Conference, Montréal, Canada, 22-25 juin 2008, pp. 350-362.

[C-5] BAFUMBA, D., SAVARIA, Y., DAVID, J.P., «Generic Crossbar Network on Chip for FPGA MPSoC», NEWCAS-TAISA'2008, Montréal, Canada, 22-25 juin 2008, pp. 269-272.

[C-6] BASILE-BELLAVANCE, Y., LEPLERCQ, E., BLAQUIÈRE, Y., SAVARIA, Y., « Co-design and Hardware Verification of an Active Reconfigurable Board with SystemC-VHDL », International Conference on Electronics, Circuits and Systems, Malta, 31 août -3 septembre 2008, pp. 1159-1162

[C-7] BENSOUDANE, E., TONIETTO, D., GHEORGHE, L., NICOLESCU, G., «System-level design of continuous/discrete-time heterogeneous systems applied to high-speed serial link», Conférence Circuits and Systems and Taisa, NEWCAS-TAISA 2008, Montréal, Canada, 22-25 juin 2008, pp. 189-192.

[C-8] BERGERON, E., DAVID, J.P., DAIGNEAULT, M.A., FEELEY, M., «Using Dynamic Reconfigurable to Implement High-Resolution Programmable Delays on an FPGA», NEWCAS-TAISA'2008, Montréal, Canada, 22-25 juin 2008, pp. 265-268.

[C-9] BERGRON, E., FEELEY, M., DAVID, J.P., «Hardware JIT compilation for off-the-shelf dynamically reconfigurable FPGAs», 17th International Conference on Theory and Practive of Software, ETAPS 2008, Budapest, Hongrie, 29 mars – 6 avril 2008, pp. 178-192.

[C-10] BEUCHER, N., BÉLANGER, N., SAVARIA, Y., BOIS, G., « A Methodology to Evaluate the Energy Efficiency of Application Specific Processors », International Conference on Electronics, Circuits, and Systems, Marrakech, Maroc, 11-14 décembre 2007, pp. 983-986

[C-11] BLAQUIÈRE, Y., SAVARIA, Y., EL FOULADI, J., « Digital Measurement Technique for Capacitance Variation Detection on Integrated Circuits I/Os », International Conference on Electronics, Circuits and Systems, Marrakech, Maroc, 11-14 décembre 2007, pp. 42-45.

[C-12] BOUGATAYA, M., LAKHASASI, A., NORMAN, R., PRYTULA, R., BLAQUIERE, Y., SAVARIA, Y., «Steady State Thermal Analysis of a Reconfigurable Wafer-Scale Circuit Board », IEEE Symposium on Computer Systems and Applications, Niagara Falls, Canada, 4-7 mai 2008, pp. 411-415.

[C-13] BOUYELA NGOYI, G.A., LANGLOIS, J.M.P., SAVARIA, Y., « Iterative Design Method for Video Processors Based on an Architecture Design Language and its Application to ELA Deinterlacing », NEWCAS-TAISA, Montréal, Canada, 22-25 juin 2008, pp. 37-40

[C-14] BRIÈRE, M., GHEORGHE, L., NICOLESCU, G., O'CONNNOR, I., WAINER, G., «Towards the High-Level Design of Optical Networks-on-Chip. Formalizaiton of Opto-Electrical Interfaces», 14th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2007, Marrakech, Morocco, 11-14-décembre 2007, pp.427-430.

[C-15] DONG, Z.J., ZAKI, M., SAMMANE, G., TAHAR, S., BOIS, G., «Checking Properties of PLL Designs using Run-time Verification», 19th International Conference on Microelectronics, Caire, Égypte, 29-31 décembre 2007, pp. 125-128.

[C-16] FEREYDOUNI-FOUROUZANDEH, F., AIT MOHAMED, O., SAWAN, M., «Ultra Low Energy Communiatin Protocol for Implantable Body for Implantable Body Sensor Networks», Proceeding of the IEEE NEWCAS Conference, Montréal, Canada, 22-25 juin 2008, pp. 57-60.

[C-17] GHAFAR-ZADEH, E., SAWAN, M., «A Charge Based Sigma Delta Capacitive Sensor for Ultrathin Polyelectrolyte Layer Detection», Proceeding of the IEEE NEWCAS Conference, Montréal, Canada, 22-25 juin 2008, pp.45-48.

[C-18] GHAFAR-ZADEH, E., SAWAN, M., SHABANI, A., ZOUROB, M., CHODAVARAPU, V., «Bacteria Growth Monitoring Through an On-Chip Capacitive Sensor», IEEE-IMS3TW, Vancouver, Canada, 18-20 juin 2008, pp. 1-4.

Articles de conférence de septembre 2007 à août 2008 (suite)

[C-19]GHAFAR-ZADEH, E., SAWAN, M., «Toward Fully Integrated CMOS based Capacitive Sensor Lab-on-Chip», IEEE Medical Measurement and Applications (MEMEA), Ottawa, Canada, 9-10 mai 2008, pp. 77-80.

[C-20]GHANNOUM, R., SAWAN, M., «A 90nm CMOS Multimode Image Sensor Intended for a Visual Cortical Stimulator», IEEE-ICM, Caire, Égypte, 29-31 décembre 2007, pp. 179-182.

[C-21]GHEORGHE, L., NICOLESCU, G., BOUCHENEB, H., «Semantics for Model-Based Validation of Continuous/Discrete Systems», Proceeding of IEEE DATE 2008, Munich, Germany, 10-14 mars 2008, pp. 498-503.

[C-22]GOSSELIN, B., SAWAN, M., «An Ultra-Low-Power CMOS Action Potential Detector», IEEE-ISCAS, Seattle, USA, 18-21 mai 2008, pp. 2733-2736.

[C-23]GOSSELIN, B., SAWAN, M., «A Low-Power Integrated Neural Interface with Digital Spike Detection and Isolation», IEEE-ICECS, Marrakech, Maroc, 11-14 décembre 2007, pp. 1412-1415.

[C-24]HADJIAT, K., ST-PIERRE, F., BOIS, G., SAVARIA, Y., LANGEVIN, M., PAULIN, P., « An FPGA Implementation of a Scalable Network-on-Chip Based on the Token Ring Concept », International Conference on Electronics, Circuits and Systems, Marrakech, Maroc, 11-14 décembre 2007, pp. 995-998

[C-25]HASHEMI. S., SAWAN, M., SAVARIA, Y., « A Novel Fully-Integrated Low-Drop Voltage CMOS Rectifir for Wirelessly Powered Devices », 19th International Conference on Microelectronics, Caire, Égypte, 29-31 décembre 2007, pp. 333-336.

[C-26]KONG, M.Y., LANGLOIS, J.M.P., AL-KHALILI, D., «Efficient FPGA Implementation of Complex Multipliers using the Logarithmic Number System», Proceedings of the IEEE International Symposium on Circuits and Systesm, ISCAS 2008, Washington, USA, 18-21 mai 2008, pp. 3154-3157.

[C-27]KOWARZYK, G., SAVARIA, Y., HACCOUN, D., « Searching for short-span Convolutional doubly self-orthogonal codes: a parallel implicitly-exhaustive search algorithm », IEEE Symposium on Computer Systems and Applications, Niagara Falls, Canada, 4-7 mai 2008, pp. 1659-1662.

[C-28]LÉVESQUE, P., SAWAN, M., «New digital quadrature demodulator for real-time hand-held ultrasound medical imaging device», IEEE-ISCAS, Seattle, USA, 18-21 mai 2008, pp. 2949-2952.

[C-29]LU, Z., EL-FOULADI, J., MARTEL, S., SAVARIA, Y., «A hybrid bacteria and microparticle detection platform on a CMOS chip : design, simulation and testing considerations», 14th IEEE International Mixed-Signals, Sensors and Systems test Workshop IMS3TW 2008, Vancouver, Canada, 18-20 juin 2008, pp. 1-7.

[C-30]LU, Z., SAWAN, M., «An 8 Mbps Data Rate Transmission by Inductive Link Dedicated to Implantable Devices», IEEE-ISCAS, Seattle, USA, 18-20 mai 2008, pp. 3057-3060.

[C-31]MARTEL, S., «Magnetotactic bacteria as controlled components in microelectronic circuits», 14th IEEE International Conference on Electronics, Circuits and Systems, Marrakech, Morocco, 11-14-décembre 2007, pp. 1-1.

[C-32]MBAYE, M.M., BÉLANGER, N., SAMUEL, P., SAVARIA, Y., « Loop-Oriented Profiling for Application Specific Architecture Design-Space Exploration », International Conference on Application-specific Systems, Architectures and Processors, Belgique, 2-5 juillet 2008, pp. 263-268.

[C-33]MOSS, L., CANTIN, M.A., BOIS, G., ABOULHAMID, E.-M., «Automation of Communication Refinement and Hardware Synthesis within a System-Level Design Methodology», 19th IEEE/IFIP International Symposium on Rapid System Prototyping, Monterey, CA, USA, 2-5 juin 2008, pp. 75-81.

[C-34]NEMR, A., CARDINAL, C., SAWAN, M., «Very High Throughput Iterative Threshold Decoder for Convolutional Self-Doubly Orthogonal Codes», Proceedings of IEEE NEWCAS-TAISA Conference, Montréal, Canada, 22-25 juin 2008, pp. 257-260.

[C-35]NGOYI, G.-A.B., LANGLOIS, P.J.M., SAVARIA, Y., «Iterative design method for video processors based on an architecture design language and its application to ELA deinterlacing», Proceedings of IEEE NEWCAS-TAISA Conférence, Montréal, Canada 22-25 juin 2008, pp. 37-40.

[C-36]NORMAN, R., VALORGE, O., BLAQUIÈRE, Y., LEPERCQ, E., BASILE-BELLAVANCE, Y., EL-ALAOUI, Y., PRYTULA, R., SAVARIA, Y., « An Interconnection Network For a Novel Reconfigurable Circuit Board », NEWCAS-TAISA, Montréal, Canada, 22-25 juin 2008, pp. 129-132.

[C-37]NORMAN, R., VALORGE, O., BLAQUIÈRE, Y., LEPERCQ, E., BASILE-BELLAVANCE, Y., EL-ALAOUI, Y., PRYTULA, R., SAVARIA, Y., « An Active Reconfigurable Circuit Board », NEWCAS-TAISA, Montréal, Canada, 22-25 juin 2008, pp. 351-354.

Articles de conférence de septembre 2007 à août 2008 (suite)

[C-38]NOURIVAND, A., AL-KHALILI, A.J., SAVARIA, Y., « Aggressive Leakage Reduction of SRAMs Using Error Checking and Correcting (ECC) Techniques », Midwest Symposium on Circuits and Systems 2008, Tennessee, USA, 10-13 août 2008, pp. 269-272

[C-39]O'CONNOR, I., MIEYEVILLE, F., GAFFIOT, F., SCANDURRA, A., NICOLESCU, G., «Can Integrated Photonics Sove MPSoC Interconnect Issues?, Proceeding of VMIC'08, Orlando, Floride, USA, 29 juin – 2 juillet 2008, pp. 1-4.

[C-40]OULD-BACHIR, T., SAWAN, M., BRAULT, J-J., «A New Hardware Architecture for Sampling the Exponential Distribution», Proceeding of IEEE CCECE'08 Symposium on Circuits, Devices and System, mai 2008, Niagara Falls, Canada, 4-7 mai 2008, pp. 1393-1396.

[C-41]PONTIKAKIS, B., BUI, H.T., BOYER, F.R., SAVARIA, Y., «A Novel Phase-Locked Loop (PLL) Architecture Without an Analog Loop Filter for Better Integration in Ultra-Deep Submicron SoCs,»IEEE Northeast Workshop on Circuits and Systems (NEWCAS) et TAISA, Montréal, Canada, 22-25 juin 2008, pp. 363-366.

[C-42]SAHRAII, N., SAVARIA, Y., THIBEAULT, C., GAGNON, F., « Scheduling of Turbo Decoding on a Multiprocessor Platform to Manage its Processing Effort Variability », NEWCAS-TAISA, Montréal, Canada, 22-25 juin 2008, pp. 73-76.

[C-43]TABATABAEI, N., MARTEL, S., «Hyperthermia via AC electromagnetic field and magnetic nanoparticles integtrated in micro-carriers navigable in blood vessels», 31e Conférence canadienne de génie biomedical, CCG31, Montréal, Canada, 11 au 13 juin 2008, pp. 5-8.

[C-44]TCHOULACK, S., LANGLOIS, J.M.P., CHERIET, F., «A Video Stream Processor for Real-time Detection and Correction of Specular Reflections in Endoscopic Images», Proceedings of IEEE NEWCAS Conférence, Montréal, Canada 22-25 juin 2008, pp. 49-52.

[C-45]TRABELSI, A., BOYER, F.R., SAVARIA, Y., BOUKADOUM, M., «Iterative Noise-Compensated Method to Improve LPC Based Speeck Analysis, IEEE International Conference on Electroics, Circuits & Systems (ICECS), Marrakech, Morocco, 11-14 décembre 2007, pp. 1364-1367.

[C-46]TSIKHANOVICH, A., ABOULHAMID, E.M., BOIS, G., «Communication Structure Refinement Using Temporal Constraints Analysis», 14th IEEE International Conference on Electronics, Circuits and Systems, Marrakech, Morocco, 11-14 décembre 2007, pp. 1284-1287.

[C-47]VALORGE, O., NGUYEN, A.T., BLAQUIÈRE, Y., NORMAN, R., SAVARIA, Y., « Digital Signal Propagation on a Wafer-Scale Smart Active Programmable Interconnect », International Conference on Electronics, Circuits and Systems, Malta, 31 août - 3 septembre 2008, pp. 1059-1062.

[C-48]VALORGE, O., MARCHE, D., LACOURSE, A., SAWAN, M., SAVARIA, Y., « Signal Integrity Analysis of a High Precision D/A Converter », International Conference on Electronics, Circuits and Systems, Marrakech, Maroc, 11-14 décembre 2007, pp. 1224-1227

[C-49]ZAKI, M., AL-SAMMANE, G., TAHAR, S., BOIS, G., «Combining Symbolic Simulation and Interval Arithmetics for the Verification of AMS Designs», Formal Methods in Computer Aided Design, Austin, Texas, USA, 11-14 novembre 2007, pp. 207-215.

[C-50]ZHAO, L., EL-FOULADI, J., MARTEL, S., SAVARIA, Y., « A hybrid bacteria and microparticle detection platform on a CMOS chip: design, simulation and testing considerations », IEEE 14th International Mixed-Signal, Sensors and Systems Test Workshop, Vancouver, Canada, 18-20 juin 2008, pp. 1-7.

Articles de conférence de septembre 2006 à août 2007.

[C-51]ABDERRAHMAN, A., SAVARIA, Y., KHOUAS, A., SAWAN, M., Accurate Testability Analysis Based-on Multi-Frequency Test Generation and New Test Metric», 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS ET MWSCAS) Montréal, Canada, 5-8 août 2007, pp. 1356-1359.

[C-52]AL-SAMMANE, G., ZAKI, M., TAHAR, S., BOIS, G., «Constraint based Verification, Formal Verification, Interval Analysis, Symbolic Methods, Delta Sigma Modulators», Proc. IEEE Northeast Workshop on Circuits and Systems, Montréal, Canada, 5 – 8 août 2007, pp. 726-729.

[C-53]AMIRI, M.A., BOUKADOUM, M., KHOUAS, A., «On the Timing Uncertainty in Delay-Line-based Time Measurement Applications Targeting FPGAs» IEEE International Symposium on Circuits and Systems, ISCAS, New Orleans, USA, 27-30 mai 2007, pp. 3772-3775.

Articles de conférence de septembre 2006 à août 2007 (suite)

[C-54]ANDRÉ, W., MARTEL, S., «Acting on nanoparticles embedded in Magnetotactic bacteria to implement propulsion and steering for microrobots», The 7th International Conference on Nanotechnology (IEEE-NANO), Hong Kong, Chine, 2 - 5 août 2007, pp. 247-250.

[C-55]AUCLAIR, G., SAWAN, M., DÉSILETS, T., BELLEMARE, F., «Electrical stimulation for the treatment of obstructive sleep apnea (OSA): system design and experimental results», AWC, Montréal, Canada, volume 7, supplément 2, 27-30 septembre 2006, p. S74.

[C-56]AYOUB, A.E., GOSSELIN, B., SAWAN, M., «A Microsystem Integration Platform Dedicated to Build Multi-Chip Neural Interfaces», IEEE-EMBS, France 22 – 26 août 2007, pp. 6604-6607.

[C-57]BENAMRANE, I., SAVARIA, Y., «Design Techniques for High Speed Current Steering DACs» 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits Systems, (NEWCAS ET MWSCAS) Montréal, Canada, 5-8 août 2007, pp. 1485-1488.

[C-58]BERGERON, E., FEELEY, M., DAVID, J.P., «Toward on-Chip JIT Synthesis on Xilinx II-Pro FPGAs», MWSCAS/NEWCAS'2007, Montréal, Canada, 5 – 8 août 2007, pp. 642-645.

[C-59]BEUCHER, N., BÉLANGER, N., SAVARIA, Y., BOIS, G., «Motion Compensated Frame Rate Conversion Using a Specialialized Instruction Set Processor», IEEE 2006 Workshop on Signal Processing Systems, Banff, Canada, 2-4 octobre 2006 pp.130-135.

[C-60]BINET, V., SAVARIA, Y., MEUNIER, M., GAGON, Y., «Modeling the Substrate Noise Injected by a DC-DC Converter» 11th ISCAS, New Orleans, USA, 27-30 mai 2007, pp. 309-312.

[C-61]BOUCHEBABA, Y., NICOLESCU, G., GIRODIAS, B., LAVIGUEUR, B., PAULIN, P., «MPSoC Memory Optimization for Digital Camera Application», 10th Euromicro Conference on Digital System Design, Lübech, Germany, 29-31 août 2007, pp. 424-427.

[C-62]BOUCHEBABA, Y., NICOLESCU, G., GIRODIAS, B., LAVIGUEUR, B., PAULIN, P., «Two level tiling for MPSoC architecture», IEEE ASAP 2007, Montréal, Canada, 8-11 juillet 2007, pp. 314-319.

[C-63]BOUCHHIMA, F., BRIÈRE, M., NICOLESCU, G., ABOULHAMID, M., ABID, M., «A SystemC/Simulink Cosimulation Framework for Continuous/Discrete Simulation», IEEE BMAS'06, San José, USA, 14-15 septembre 2006, pp. 1-6.

[C-64]BRIÈRE, M., GIRODIAS, B., NICOLESCU, G., O'CONNOR, I., MIEYEVILLE, F., «Optical Network on Chip Evaluation in a System Level MPSoC Platform using Multimedia Applications», IEEE DATE 2007, Nice, France, 16-20 avril 2007 pp. 1084-1089.

[C-65]BRIÈRE, M., GIRODIAS, B., BOUCHEBABA. Y., NICOLESCU, G., O' MIEYEVILLE, F., GAFFIOT, F., CONNOR, I., «System Level Assessment of an Optical NoC in an MPSoC Platform», IEEE DATE 2007, Nice, France, 16-20 avril 2007 pp. 1-6.

[C-66]BRIÈRE, M., GIRODIAS, B., BOUCHEBABA, Y., NICOLESCU, G., O'CONNOR, I., «Architectural Exploration of Optical and Electrical Interconnects in MPSoC», IEEE NEWCAS/MWCAS'07, Montréal, Canada, 5 – 8 août 2007, pp. 1469-1473.

[C-67]CHANU, A., MARTEL, S., «Real-time software platform design for in vivo navigation of a small ferromagnetic device in a swine carotid artery using a magnetic resonance imaging system» 29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBS), Lyon, France, 23-26 août 2007 pp. 6584-6587.

[C-68]CHANU, A., MARTEL, S., «MRI driven nano biosensor for wireless physiological data measurements using deformable polymers coated magneto elastic devices», The 7th IEEE International conference o Nanotechnology (IEEE-NANO), Hong-Kong, Chine, 2-5 août 2007, pp. 166-170.

[C-69]CHEBLI, R., SAWAN, M., SAVARIA, Y., EL-SANKARY, K., «High-voltage dmos integrated circuits with floating gate protection technique», IEEE-ISCAS, New Orleans, USA, 27-30 mai 2007, pp. 3343-3346.

[C-70]DENOMME R., LU, Z., MARTEL, S., «A microsensor for the detection of a single pathogenic bacterium using Magnetotactic bacteria-based bio-carriers: simulations and preliminary experiments» 29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBS), Lyon, France, 23-26 août 2007, pp. 99-102.

[C-71]DOLJANU, A.D., SAWAN, M., «3D Shape Acquisition system Dedicated to a Visual Intracortical Stimulator», IEEE-ISCAS, New Orleans, USA 27-30 mai 2007, pp. 1313-1316.

[C-72]DONG, Z. J., ZAKI, M., AL-SAMMANE, G., TAHAR, S., BOIS, G., «Run-Time Verification Using the VHDL-AMS Simulation Environment», Proc. IEEE Northeast Workshop on Circuits and Systems, Montréal, Canada, 5-8 août 2007, pp. 1513-1516.

Articles de conférence de septembre 2006 à août 2007 (suite)

[C-73]DUPIRE, T., TANGUAY, L.F., SAWAN, M., «Low power CMOS transmitter for biomedical sensing devices», IEEE-ICECS, Nice, France, 10-13 décembre 2006, pp. 339-342.

[C-74]EL FOULADI, JL, LU, Z., SAVARIA, Y., MARTEL, S., «An integrated biosensor for the detection of bio-entities using magnetotactic bacteria and CMOS technology», 29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBS), Lyon, France, 23-26 août 2007, pp. 119-122.

[C-75]EL FOULADI, J., ANDRÉ, W., SAVARIA, Y., MARTEL, S., «System Design of an Integrated Measurement Electronic Subsystem for Bacteria Detection Using an Electrode Array and MC-1 Magnetotactic Bacteria», International Workshop on Computer Architecture for Machine Perception and Sensing, Montreal, Canada, 18-20 septembre 2006, pp. 42-45.

[C-76]ELSANKARY, K., SAWAN, M., «10-B-100-MS/s Two-Channel Time Interleaved Pipelined ADC», IEEE-CICC, San José, USA, 10-13 septembre 2006, pp. 217-220.

[C-77]ENSANDOUST, F., GOSSELIN, B., SAWAN, M., «Low-Power High-Accuracy Compact Implementation of Analog Wavelet Transforms», IEEE-NEWCAS, Montréal, Canada, 5 – 8 août 2007, pp. 185-188.

[C-78]FELFOUL, O., POUPONNEAU, P., MATHIEU, J.-B., MARTEL, S., «MR imaging of FeCo nanoparticles, magnetotactic bacteria and Fe3O4 microparticles for future drug delivery applications», The 7th IEEE International Conference on Nanotechnology (IEEE-NANO), Hong Kong, Chine, 2-5 août 2007, pp. 308-311.

[C-79]FELFOUL, O., MOHAMMADI, M., MARTEL, S., «Magnetic resonance imaging of Fe3O4 nanoparticles embedded in living Magnetotactic bacteria for potential use as carriers for in vivo applications», 29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBS), Lyon, France, 22-26 août 2007, pp. 1463-1466.

[C-80]FILION, L., CANTIN, M.-A., MOSS, L., ABOULHAMID. E-M., BOIS, G., «Space Codesign: A SystemC Framework for Fast Exploration of Hardware/Software Systems» Design and Verification Conference (DVCON'07), San José, USA, 21-23 février 2007, pp. 1-8.

[C-81]FOTSING-DJOUWE, I.C., GAGNÉ, M., LAURIN, J.-J., KASHYAP, R., «Optical fibre musical instruments: Making sense of the senseless» International Conference on Optical and Optoelectronic Properties of Materials and Applications, ICOOPMA, Queen Mary College, University of London, UK 30 juillet – 3 août 2007, p. 1

[C-82]GAO, S., CHABINI, N., AL-KHALILI, D., LANGLOIS, J.M.P., «Efficient FPGA-based realization of complex squarer and complex conjugate using embedded multipliers», Proceedings of the IEEE International SOC Conference, Austin, Texas, 24-27 septembre 2006, pp. 21-24.

[C-83]GAO, S., CHABINI, N., AL-KHALILI, D., LANGLOIS, J.M.P.,«FPGA-based efficient design approach for large-size two's complement squarers», Proceedings of the IEEE International Conference on Application-specific Systems, Architectures and Processors, Montréal, Canada, 9-11 juillet 2007, pp. 18-23.

[C-84]GHAFAR-ZADEH, E., SAWAN, M., «Charge Based Capacitive Sensor Array for CMOS Based Laboratory-On-Chip Applications», IEEE-Sensors, Korea, 22-24 octobre 2006, pp. 1-4.

[C-85]GHAFAR-ZADEH, E., SAWAN, M., HAJJ-HASSAN, M., MILED, A., «A CMOS Based Microfluidic Detector: Design, Calibration and Experimental Results», IEEE-NEWCAS, Montréal, Canada, 5 – 8 août 2007, pp. 193-196.

[C-86]GHAFAR-ZADEH, E., SAWAN, M., «A CMOS-Based Capacitive Sensor for Laboratory-On-Chips: Design and Experimentals Results», IEEE-ISCAS, New Orleans, USA, 27-30 mai 2007, pp. 85-88.

[C-87]GHEORGHE, L., NICOLESCU, G., BOUCHENEB, H., «A Formalization of Global Simulation Models for Continuous/discrete Systems», Summer Computer Simulation Conference 2007, San Diego, USA 15-18 juillet 2007, pp. 1-4.

[C-88]GOSSELIN, B., FANIEL, L., SAWAN, M., «A high throughput wireless data transmitter for multi-channel biosignal recording applications», IEEE-BIOCAS, Londres, UK, 29 novembre – 1er décembre 2006, pp. 170-173.

[C-89]GOSSELIN, B., FANIEL, L., SAWAN, M., «A wearable high throughput wireless data transmitter for medical monitoring applications», IFESS, Japon, 30 août – 3 septembre 2006, pp. 222-224.

[C-90]. HAMINE, M., AUDET, Y., DAVID, J.P., «A Real Time Image Reconstruction Algorithm for an Integrated Fingerprint Sensor», Proceeding of the IEEE Newcas Conference, Montréal, Canada, 5 – 8 août 2007, pp. 807-810.

Articles de conférence de septembre 2006 à août 2007 (suite)

[C-91]HASAN, R., SAVARIA, Y., «Metastability Tolerant Mesochronous Synchronizer», 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS ET MWSCAS), Montreal, Canada, 5-8 août 2007, pp. 13-16.

[C-92]HASAN, S.R., SAVARIA, Y., «Crosstalk Effects in Event-Driven Self-time Circuits Designed with 90nm CMOS Technology», 11th ISCAS, New Orleans, 27-30 mai 2007, pp. 629-632.

[C-93]HIRECHE, N., LANGLOIS, P., NICOLESCU, G., «A Systolic Array for Sequence Comparison Based on Two Logic Levels Processing Elements», IEEE NEWCAS/MWCAS'07, Montréal, Canada, 5-8 août 2007, pp. 73-76.

[C-94]KASSEM, A., SAWAN, M., «An Efficient SoC Dedicated to Ultrasonic Digital Imaging», IEEE-IWSOC, Caire, Égypte, 16-17 décembre 2006, pp. 165-168.

[C-95]KOSTKO, I.A., KASHYAP, R., «Novel modulation capability of a long hybrid semiconductor fiber-grating laser with an intra-cavity saturable absorber», Proc. Of LEOS, Montréal, Canada, octobre 2006, pp. 661-662.

[C-96]LESBROS, G., SAWAN, M., «Multiparameters monitoring for long term in-vivo characterization of electrode-tissues contacts», IEEE-ICECS, Nice, France, 10-13 décembre 2006, pp. 25-28.

[C-97]LU, Z., DENOMME, R., MARTEL, S., «Micro-nanoparticle detection : an impedimetric microsensor based on CMOS technology», The 7th IEEE International Conference on Nanotechnology (IEEE-NANO), Hong Kong, Chine, 2 – 5 août 2007, pp. 326-329.

[C-98]LU, Z, MARTEL, S., «Controlled bio-carriers based on Magnetotactic bacteria», The 14th International Conference on Solid-state Sensors and Actyators, Lyon, France, 10-14 juin 2007, pp. 683-686.

[C-99] MAHVASH, H.M., LANGLOIS, J.M.P., SAVARIA, Y., «A Threshold-Based Deinterlacing Algorithm Using Motion Compensation and Directional Interpolation», The 13th International Conference on Electronics, Circuits and Systems (ICECS 2006), Nice, France, 10-13 décembre 2006, pp. 459-462.

[C-100] MARTEL, S., «Magnetic resonance propulsion, control and tracking at 24 Hz of an untethered device in the carotid artery of a living animal: an important step in the development of medical micro-and nanorobots», 29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBS), Lyon, France, 23-26 août 2007, pp. 1463-1466.

[C-101] MARTEL, S., «Magnetotactic bacteria as controlled functional carriers in microsystems, microelectronic circuits and interconnections», 16th European Microelectronics and Packaging Conference (EMPC), Oulu, Finlande, 17-20 juin 2007, p 58.

[C-102] MARTEL, S., «Nanorobots for micro factories to operations in the human body and robots propelled by bacteria», DECOM 07, Yzmir, Turquie, 17-18 mai 2007, pp. 11-14.

[C-103] MATHIEU, J.B., MARTEL, S., «MRI-based magnetic navigation of nanomedical devices for drug delivery and hyperthermia in deep tissues», The 7th IEEE International Conference on Nanotechnology (IEEE-NANO) Hong Kong, Chine, 2-5 août 2007, pp. 312-315

[C-104] MILED, A., GHAFAR-ZADEH, E., SAWAN, M., «Fast Decoding Algorithm for First Order DC-Input Sigma-Delta Modulators», IEEE-NEWCAS, Montréal, Canada, 5 – 8 août 2007, pp. 1380-1383.

[C-105] MOSS, L., FONTAINE, S., DE NANCLAS, M., FILION, L., ABOULHAMID, E-M., BOIS, G., «Seamless Hardware/Software Performance Co-Monitoring in a Codesign Simulation Environment with RTOS Support», Design Automation and Test in Europe Conf. Nice, France, 16-20 avril 2007, pp. 1-6.

[C-106] MOUNAIM, F., SAWAN, M., BÉDARD, S., «Implantable Neuro-Monito-Stimulation System Dedicated to Enhance the Bladder Functions», IEEE-BIOCAS, London, UK, 29 novembre – 1er décembre 2006, pp. 198-201.

[C-107] MOUNAIM, F., SAWAN, M., «Miniature Implantable System Dedicated to Bi-Channel Selective Neurostimulation», Invited paper IEEE-ISCAS, New Orleans, USA 27-30 mai 2007, pp. 2072-2075.

[C-108] NADEAU, P., SAWAN, M., «A flexible high voltage biphasic pulse generator dedicated for constant current electrical stimulation», IEEE-BIOCAS, London, UK, 29 novembre – 1er décembre 2006, pp. 206-209.

[C-109] NADERI, A., SAWAN, M., SAVARIA, Y., «A 1.8GHz CMOS Continuous-Time Band-Pass Delta-Sigma Modulator for RF Receivers», IEEE-NEWCAS, Montréal, Canada, 5 – 8 août 2007, pp. 1078-1081.

[C-110] NEMOVA, G., KASHYAP, R., «Corrugated Metal Bragg Grating Assisted Integrated Planar Waveguide Surface Plasmon-Polariton Based Sensor», Canadian Conference on Electrical and Computer Engineering, CCECE, Vancouver, Canada, avril 2007, pp. 1449-1451

Articles de conférence de septembre 2006 à août 2007 (suite)

[C-111] NEMOVA, G., KASHYAP, R., «A Novel Plasmon-Polariton Fiber Sensor with an Integrated Corrugated Metal Bragg Grating», Proc. of LEOS, Montréal, Canada, octobre 2006, pp. 366-367.

[C-112] NEMOVA, G., KASHYAP, R., «Novel Integrated Optical Bragg Grating Assisted Surface Plasmon-polariton Refractive Index Sensors», Proc. Of OFS, Cancun, Mexique, octobre 2006, pp. 1-3.

[C-113] NICOLESCU, G., BOUCHENEB, H., GHEORGHE, L., BOUCHHIMA, F., «Methodology for efficient design of Continuous/Discrete-Events Co-Simulation Tool», Proc. Of SCM Western Multi-Conference on Modeling and Simulation, San Diego, USA, pp. 172-180.

[C-114] PONTIKAKIS, B., BUI, H.T., BOYER, F.R., SAVARIA, Y., «Precise Free-running Period Synthesizer (FRPS) with Process and Temperature Compensation » 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS ET MWSCAS) Montreal, Canada, 5-8 août 2007, pp. 1118-1121.

[C-115] PONTIKAKIS, B., BUI, H.T., BOYER, F.R., SAVARIA, Y., «A Low Complexity High-Speed Clock Generator for Dynamic Frequency Scaling of FPGA and Standard-Cell Based Designs», ISCAS 2007, New Orleans, USA, 27-30 mai 2007, pp. 633-636.

[C-116] PROVOST, S., LAVIGUEUR, B., BOIS, G., NICOLESCU, G., «Integration of Configurable Processors in a Multiprocessor Platform», International SoC Conference 2006, Austin, Texas, 24-27 septembre 2006, pp. 221-224.

[C-117] ROBERT, P.Y., SAWAN, M., «An independent-component analysis-based time-space processor for the identification of neural stimulation sources» IEEE-EMBS, France, 22-26 août 2007, pp. 3876-3879.

[C-118] ROBILLARD, C., COULOMBE, J., NADEAU, P., SAWAN, M., «Neural stimulation safety and energy efficiency: Waveform analysis and validation», IFESS, Japon, 12-15 septembre 2006, pp. 94-96.

[C-119] SAINT MLEUX, X., FEELY, M., DAVID, J.-P., «S Hard: a Scheme to Hardware Compiler», Scheme and Functional Programming (affiliated with the 11th ACM SIGPLAN International Conference on Functional Programming (ICFP 2006), Portland Oregon, USA, septembre 2006, pp. 39-49.

[C-120] SINGH, R., AUDET, Y., GAGNON, Y., SAVARIA, Y., «Integrated Circuit Trimming Technique for Offset Reduction in a Precision CMOS Amplifier» IEEE International Symposium on Circuits and Systems, New Orleans, USA, 27-30 mai 2007 pp. 709-712.

[C-121] TANGUAY, L.F., SAWAN, M., «Low Power SAW-Based Oscillator for an Implantable Multisensor Microsystem», IEEE-APCCAS, Singapore, 4-7 décembre 2006, pp. 494-497.

[C-122] TANGUAY, L.F., SAWAN, M., «A Fully-Integrated 580 µW ISM-Band Frequency Synthesizer for Implantable Medical Devices», International Symposium on Signal, Circuits and Systems, IEEE ISSCS, Roumanie, 13-14 juillet 2007, vol. 1, pp. 1-4.

[C-123] TRABELSI, A., BOYER, F.R., SAVARIA, Y., BOUKADOUM, M., «Improving LPC Analysis of Speech in Additive Noise», 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS ET MWSCAS) Montreal, Canada, 5-8 août 2007, pp. 93-96.

[C-124] TRABELSI, A., BOYER, F.R., SAVARIA, Y., «Speech Enhancement Based Noise PSD Estimator to Remove Cosine Shaped Residual Noise» 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS ET MWSCAS) Montreal, Canada, 5-8 août 2007, pp. 393-396.

[C-125] TSIKHANOVICH, A., ABOULHAMID, E.-M., BOIS, G., «Timing Specification in Transaction Level Modeling of Hardware/Software Systems» Proc. IEEE Northeast Workshop on Circuits and Systems, Montréal, Canada, 5 – 8 août 2007, pp. 249-252.

[C-126] VALORGE, O., GOSSELIN, B., TANGUAY, L.F., SAWAN, M., «Electromagnetic Compatibility Modeling in Low-noise Medical Sensor Interfaces», IEEE_ISCAS, New Orleans, USA, 27-30 mai 2007, pp. 1545-1548.

[C-127] VEILLEUX, N., SAWAN, M., «Modélisation d'une architecture générique d'un système ultrasonore embarqué», TAISA, Strasbourg, France, 19-20 octobre 2006, pp. 77-80.

[C-128] WU, K., YAO, J., ZHANG, X., KASHYAP, R., «Millimeter-Wave Photonic Techniques for Broadband Communication and Sensor Applications», Lasers & Electro-Optics Society, IEEE, Montréal, Canada, 29 octobre – 2 novembre 2006, pp. 270-271.

[C-129] ZAKI, M., TAHAR, S., BOIS, G., «A Symbolic Approach for the Safety Verification of Continuous Systems», Real Time System and Adaptive Application Workshop (RTSAA'07) à International Conference on Computational Science, Beijing, Chine, mai 2007, pp. 93-100.

Articles de conférence de septembre 2006 à août 2007 (suite)

[C-130] .ZAKI, M., TAHAR, S., BOIS, G., «Abstraction Based Verification of Analog Circuits Using Computer Algebra and Constraint Solving», Proc. Of International Workshop on Symbolic Methods and Applications to Circuit Design, Italie, octobre 2006, pp. 1-4.

[C-131] ZARRABI, H., ZILIC, Z., AL-KHALILI, A.J., SAVARIA, Y., «A Methodology for Parallel Synthesis of Zero Skew Differential Clock Distribution Networks», 50th IEEE Int'l Midwest Symposium on Circuits & Systems/5th IEEE Int'l Northeast Workshop on Circuits & Systems, (NEWCAS et MWSCAS), Montréal, Canada, 5-8 août 2007, pp. 799-802.

AUTRES PUBLICATIONS (invitation)

LIVRES

[L-1] NICOLESCU, G., JERRAYA, .A A., «Global Specification and Validation of Embedded Systems», Springer Publisher, Springer, 2007.

BREVETS

[B-1] AUDET, Y., «A Color Image Sensor» demande de brevet déposée en juin 2007 décrivant un pixel pouvant détecter la couleur sans filtre photosensible et qui est entièrement réalisable en procédé CMOS standard, PCT/CA2007/000997.

INDEX DES AUTEURS

A

ABOUTORABI, Seyed Sadreddin 23
AIT YAKOUB, My El Mustapha 24
AL-TERKAWI HASIB, Omar 25
ANDRÉ, Walder 26
AUBERTIN, Philippe 27

B

BAFUMBA- LOKILO, David 28
BASILE-BELLAVANCE, Yan 29
BENDALI, Abdelhalim 30
BOISSIÈRE, Benoit 31
BOUYELA NGOYI, Gérard Armand 32
BURASSA, Pascal 33

C

CHÉNIER, Félix 34
COULOMBE, Jonathan 35

D

DAIGNEAULT, Marc-André 36
DECA, Radu 37

E

ÉTHIER, Sébastien 38

F

FAUCHER, Corentin 39
FONTAINE, Sébastien 40

G

GENEST, Pier-Olivier 41
GHANNOUM, Anthony 42
GHANNOUM, Roula 43
GHEORGHE, Luiza 44
GIRODIAS, Bruno 45
GOSSELIN, Benoît 46
GOYETTE, Sylvain 47

H

HASAN, Syed Rafay 48
HASHEMI, Saeid 49

K

KOWARZYK MORENO, Gilbert 50

L

LAFLAMME-MAYER, Nicolas 51
LAUG, Nicolas 52
LEBEL, Dany 53
LEPERCQ, Étienne 54
LÉVESQUE, Philippe 55

M

MAHVASH Mohammad Hossein 56
MARCHE, David 57
MBAYE, Mame Maria 58
MÉNARD BEAUDOIN Philippe 59
MILED, Mohamed Amine 60
MOSS, Laurent 61
MOUNAIM, Fayçal 62

N

NADEAU, Patrick 63
NEMR, Abbas 64
NGUYEN, Anh Tuan 65
NOURIVAND, Afshin 66
NSAME, Pascal 67

O

OULD BACHIR, Tarek 68

P

PONTIKAKIS, Bill 69

R

RHOU, Bassam 70
ROGER-VALLÉE, Michel 71

S

SAHRAII, Negin 72
SALAM, Muhammad Tariqus 73
SIMARD, Guillaume 74
SINGH, Rahul 75

T

TANGUAY, Louis-François 76
TAPP, Martin 77
TRABELSI, Abdelaziz 78

W

WEHBE, Mohamad 79

Z

ZARRABI, Houman 80