GROUPE DE RECHERCHE EN MICROÉLECTRONIQUE ET MICROSYSTÈMES

RAPPORT ANNUEL
2008 - 2009

ÉCOLE
POLYTECHNIQUE
MONTRÉAL

TABLE DES MATIÈRES

REMERCIEMENTS 3
INTRODUCTION 3
COLLABORATIONS EN 2008-2009 3
OBJECTIFS DU GR2M 4
COMPOSITION DU GROUPE 4
LISTE DES MEMBRES RÉGULIERS 4
LISTE DES MEMBRES ASSOCIÉS 5
LISTE DES CHERCHEURS POST DOCTORAUX ET AUTRES PROFESSIONNELS 5
PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE 6
DOMAINES 6
ACTIVITÉS DES MEMBRES RÉGULIERS 6
ACTIVITÉS DU PROFESSEUR BOIS 7
ACTIVITÉS DU PROFESSEUR DAVID 8
ACTIVITÉS DU PROFESSEUR AUDET 9
ACTIVITÉS DU PROFESSEUR BOYER 10
ACTIVITÉS DU PROFESSEUR BRAULT 11
ACTIVITÉS DU PROFESSEUR KHOUAS 12
ACTIVITÉS DU PROFESSEUR LANGLOIS 13
ACTIVITÉS DU PROFESSEUR MARTEL 14
ACTIVITÉS DU PROFESSEUR NICOLESCU 15
CONCEPTION DES SYSTÈMES EMBARQUÉS HÉTÉROGÈNES 15
CONCEPTION DES SYSTÈMES SUR-PUCE MULTIPROCESSEUR 15
ACTIVITÉS DU PROFESSEUR SAVARIA 16
ACTIVITÉS DU PROFESSEUR SAWAN 17
ÉTUDIANTS AUX CYCLES SUPÉRIEURS 18
ÉTUDIANTS NOUVELLEMENT INSCRITS 19
TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT 20
DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS 23
SUBVENTIONS ET CONTRATS 84
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES 84
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE DE GROUPE 87
ÉQUIPEMENT ÉLECTRONIQUE 90
ÉQUIPEMENT APPARTENANT AU GROUPE (WWW.GR2M.POLYMTL.CA) 90
USINE TYCO (GR2M / POLYSTIM) 92
ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA) 92
ÉQUIPEMENT INFORMATIQUE PRÊTÉ PAR LA CMC (WWW.CMC.CA) 93
ÉQUIPEMENT INFORMATIQUE 94
ÉQUIPEMENT INFORMATIQUE APPARTENANT AU GR2M (WWW.GR2M.POLYMTL.CA) 94
LOGICIELS DE MICROÉLECTRONIQUE 94
LOGICIELS DISPONIBLES AU GR2M (WWW.GR2M.POLYMTL.CA) 94
PUBLICATIONS ET RÉALISATIONS 95
ARTICLES DE REVUES ACCEPTÉS POUR PUBLICATION 95
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2007 À AOÛT 2008 95
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2007 À AOÛT 2008 (SUITE) ..... **ERREUR ! SIGNET NON DEFINI.**
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2007 À AOÛT 2008 101
AUTRES PUBLICATIONS (INVITATION) 105
LIVRES 105
BREVETS 105

REMERCIEMENTS

Nous désirons remercier tous les membres du GR2M (Groupe de Recherche en Microélectronique et Microsystèmes) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à sa diffusion sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche.

INTRODUCTION

Le Groupe de Recherche en Microélectronique et Microsystèmes (GR2M) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 2008 – 2009, 67 étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GR2M et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) auprès du Fonds Québécois de la recherche sur la nature et les technologies (FQRNT), ainsi qu'au Programme de Recherche Orientée en Microélectronique, photonique et télécommunication. Citons aussi les projets réalisés avec des partenaires industriels, Sanyo, PMC-Sierra, Scanview, Victhom, Amirix, ST-Microélectronique, Technocap. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 2008-2009

L'année 2008 - 2009 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GR2M et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs, Savaria et Al-Khalili de Concordia (gestion d'énergie et mémoire à faible consommation) Savaria et Al-Khalili de Concordia (méthode de conception de systèmes intégrés), Savaria, Martel, Bois et Aboulhamid de l'Université de Montréal (vérification et méthodes de conception); Savaria et Cherkaoui de l'UQAM (configuration et vérification de routeurs réseau), Savaria, Gagnon et Thibeault (architecture de systèmes de communication sans fil), Sawan, Savaria, (mise en œuvre de chaine de conversion d'énergie), Sawan et El-Gamal (circuits à fréquences radio). Kashyap et Wu (Polygrames), Zhang (Concordia) Yao (Ottawa) sur le domaine de radio sur fibre, Kashyap et Maciejko, Azaan (INRS), Bertrand (EPM), Chen (McGill), Kieffer (IRNS) Piché (U Laval), Skorobogatiy (EPM) sur le domaine des sources ultra large bande pour la bio photonique. De plus, Bois et Nicolescu collaborent avec Aboulhamid de l'Université de Montréal, et Tahar de l'Université Concordia sur la conception et la vérification des systèmes sur puces complexes. Notons la collaboration avec plusieurs membres du centre PolyGrames, notamment les professeurs Brault et Laurin (direction d'arrivée d'un faisceau électromagnétique), Sawan et Cardinal (modulation et démodulation), Sawan et Laurin (systèmes sans fil), Sawan et Therriault (structures micro fluidiques), Sawan et Lesage (capteurs optiques).Ajoutons que sur le plan de la mise en œuvre de dispositifs microélectroniques médicaux, le professeur Sawan collabore avec le Dr M. Elhilali et Dr Corcos de l'Université McGill (implant urinaire), le Dr F. Bellemare de l'Université de Montréal (cathéter oephagien), le Dr A. Chaudhuri de l'Université McGill (implant visuel cortical) et les Drs. Chapman de Concordia et Leporé de l'Université de Montréal (surveillance intra corticale). Enfin, notons que les professeurs Kashyap, Martel, Meunier, Savaria et Sawan sont titulaires de Chaires de recherche du Canada.

OBJECTIFS DU GR2M

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique et Microsystèmes a pour objectif général de «promouvoir et regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».
Plus spécifiquement, le Groupe de Recherche en Microélectronique et Microsystèmes poursuit les objectifs suivants:

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GR2M;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique et Microsystèmes relève du directeur du département de génie électrique et se compose des membres réguliers, membres associés et d'autres professionnels et chercheurs:

Liste des membres réguliers

- **Dr Guy Bois:** professeur titulaire au département de génie informatique et directeur du Groupe de Recherche en Microélectronique et Microsystèmes. Il s'intéresse à la conception des systèmes embarqués, plus particulièrement à leurs spécifications, modélisation, partitionnement logiciel/matériel, synthèse, vérification fonctionnelle et prototypage.
- **Dr. Jean-Pierre David**: professeur adjoint au département de génie électrique et codirecteur du Groupe de Recherche en Microélectronique et Microsystèmes. Il s'intéresse à la conception rapide et fiable de systèmes numériques à partir d'une description de haut niveau, en particulier pour les systèmes reconfigurables (FPGA).
- **Dr Yves Audet:** professeur adjoint au département de génie électrique, ses travaux de recherche portent sur les circuits intégrés analogiques, les capteurs d'images CMOS et les interconnexions photoniques pour système VLSI.
- **Dr François Raymond Boyer:** professeur adjoint au département de génie informatique qui s'intéresse aux architectures et méthodes de conception des circuits VLSI. Il s'intéresse notamment à l'optimisation des systèmes exploitant des horloges multi phase.
- **Dr Jean-Jules Brault:** professeur agrégé au département de génie électrique et directeur du Laboratoire de Réseaux Neuronaux (LRN), qui s'intéresse aux diverses architectures et applications des machines neuronales, virtuelles ou électroniques, de même qu'au développement de leurs algorithmes d'apprentissage.
- **Dr. Raman Kashyap:** professeur titulaire aux départements de génie électrique et de génie physique. Il s'intéresse aux nouveaux concepts en photonique pour les applications en radio sur fibre, technologies et composants à bandes interdites, biocapteurs, communications optiques, réseaux de Bragg en fibre optique à base de polymères, nouveaux procédés pour fabriquer des guides d'ondes et leur intégration avec les circuits électroniques. Il est membre fondateur du groupe Polyphotonique et le directeur du laboratoire de concepts photoniques avancés (APCL).
- **Dr Abdelhakim Khouas:** professeur adjoint au département de génie électrique dont les domaines de recherche portent sur le test et la conception en vue du test (chemin de SCAN, BIST, JTAG) des circuits intégrés numériques, analogiques et mixtes, le développement d'outils de CAO pour la microélectronique, le prototypage de systèmes numériques et la synthèse sur FPGA.
- **Dr. Pierre Langlois:** professeur agrégé au département de génie informatique, s'intéresse à la conception et à la réalisation de systèmes embarqués pour le traitement du signal et le traitement d'images, aux circuits arithmétiques, et à l'architecture des ordinateurs.

- **Dr Sylvain Martel**: professeur agrégé au département de génie informatique et titulaire d'une chaire de recherche du Canada dont le domaine de recherche est principalement la conception de micro et nano systèmes électromécaniques, incluant la nano robotique pour les applications au niveau moléculaire et atomique en touchant plusieurs aspects comme l'instrumentation, l'électronique, les ordinateurs ainsi que les systèmes reconfigurables. En nano robotique, nous exploitons les découvertes fondamentales en nano sciences par la conception de nano robots capable de travailler au niveau du nanomètre pour créer de nouveaux systèmes, produits et applications.
- **Dr. Gabriela Nicolescu**: professeure adjoint au département de génie informatique qui s'intéresse à la conception de haut niveau des systèmes embarqués hétérogènes composés de sous systèmes spécifiques aux différents domaines d'application: logiciel, matériel, mécanique, optique et RF. Elle travaille aussi sur la conception des systèmes sur puce multiprocesseurs.
- **Dr Yvon Savaria:** professeur titulaire et directeur de département de génie électrique, titulaire d'une chaire de recherche du Canada en Conception de systèmes microélectroniques intégrés, directeur du Groupe de Recherche en Microélectronique et Microsystèmes, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de tolérance aux pannes et de testabilité, à la conception et la vérification des systèmes sur puce (SOC), à la conception des circuits numériques, analogiques et mixtes et aux applications de ces technologies.
- **Dr. Mohamad Sawan:** professeur titulaire au département de génie électrique et détenteur d'une chaire de recherche du Canada sur les dispositifs médicaux intelligents et directeur du regroupement stratégique en microsystèmes du Québec (ReSMiQ), qui s'intéresse à la conception et la réalisation de circuits mixtes (numériques, analogiques, optiques et RF) et à leurs applications dans les domaines industriel (communication sans fil) et biomédical (stimulateurs et capteurs sensoriels).

Liste des membres associés

- **Dr David Haccoun:** professeur titulaire au département de génie électrique qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI. Il collabore avec MM Savaria et Sawan sur l'implantation de codeurs-décodeurs.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et titulaire d'une chaire de recherche du Canada en micro-ingénierie et nano-ingénierie des matériaux par laser. Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique et avec Mohamad Sawan sur les microélectrodes.

Liste des chercheurs post doctoraux et autres professionnels

- M. Normand Bélanger — associé de recherche
- M. Hicham Chaoui — associé de recherche
- Mme Luiza Gheorghe — postdoc
- M. Sébastien Le Beux — postdoc
- M. Éric Legua — associé de recherche
- Mme Mona Safi-Harb — postdoc
- M. Hicham Semmaoui — postdoc

De plus, les personnes suivantes collaborent aux travaux du groupe à divers titres:

- M. Réjean Lepage — technicien et chef d'équipe du laboratoire GR2M.
- M. Laurent Mouden — technicien du laboratoire GR2M

Ces personnes forment le Groupe de Recherche en Microélectronique et Microsystèmes de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la microélectronique.

PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE

Domaines

Les programmes de recherche et de formation de chercheurs en microélectronique de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie microélectronique en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défectuosités;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, et en biomédical par la réalisation de capteurs et micro stimulateurs implantables;
- Les logiciels de synthèse, de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques, ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse des activités de chaque membre au sein du GR2M.

Activités du professeur Bois

Le professeur Bois poursuit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux: contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous, la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommé co-design.

Le professeur Bois travaille au développement de méthodes modernes de conception conjointe logiciel/matériel. Plus particulièrement, ses travaux se concentrent autour de trois projets:

1) Space Codesign

La technologie Space Codesign consiste en un logiciel facilitant la conception de systèmes électroniques embarqués. Par simulation, il est possible de modéliser le comportement d'une application que l'on veut implanter (par exemple un téléphone cellulaire contiendra des algorithmes spécialisés ou d'encodage de la voix). De plus, le fait que le tout soit en simulation permet d'explorer aisément différentes architectures pour ainsi trouver un compromis du système le plus performant, au coût le plus bas. Cette caractéristique est apportée par 2 technologies :

- Elix permettant l'exploration et la simulation rapide de différentes configurations d'un même système électronique embarqué et;
- Simtek permettant de simuler, avec une grande précision, une configuration particulière choisie avec Elix ou construite de toute pièce, et tout cela avant même de créer physiquement le circuit. De plus, un outil complémentaire permet de collecter des statistisques sur les performances et comportements du système en simulation.

En plus d'offrir des possibilités d'exploration de différentes architectures grâce à la simulation, notre technologie propose un flot de conception qui permet à un utilisateur de partir de la simulation pour arriver à l'implantation finale (FPGA ou ASIC). Cette caractéristique utilise la technologie GenX de Space Codesign.

2) Réseau sur puce

Les réseaux sur puce (NoC) sont des réseaux de communications permettant une connexion physique extensible entre plusieurs blocs dans un environnement de systèmes sur puce. Ils remplacent de plus en plus les bus et les méthodes d'interconnexion dédiée. Dans ce projets 2 objectifs sont poursuivis :

- Exploration d'architectures hautes performances pour NoCs
- Partitionnement de modèles de programmation à haut niveau d'abstraction sur des systèmes sur puces multiprocesseurs à base de NoCs.

3) AREXIMAS

Ce projet se concentre sur les systemes avioniques basés sur un réseau de processeurs. Ces systems se doivent d'être sécuritaires, fiables et tolerant aux panes. Plus précisément, nous nous intéressons aux compremis entre la reconfigurabilité, la fiabilité et le coût de ces systèmes. Le but est d'appliquer ces compromis sur une plate-forme IMA (Integrated Modular Avionics) certifiable d'une quinzaine de nœuds utilisant le standard ARINC 653 APEX RTOS.

Les partenaires industriels qui collaborent à ces projets sont STMicroelectronics, CMC Electronics et CAE Electronics. Au niveau universitaire les collaborateurs sont les professeurs Aboulhamid (Université de Montréal), Tahar (Concordia), Boland et Thibault (ETS), ainsi que Nicolescu et Savaria de l'École Polytechnique.

Activités du professeur David

Le professeur David mène des activités de recherche dans le domaine de la synthèse des systèmes logiques matériel-logiciel et leurs applications notamment en traitement du signal, en réseaux (Deep Packet Inspection) et en mathématiques appliquées. En particulier, il se spécialise dans la programmation des systèmes reconfigurables de type FPGA ou autres à partir d'une description de haut niveau.

Un système reconfigurable est un circuit logique programmable dont le comportement sera déterminé au moment de sa programmation. Aujourd'hui, ces circuits intègrent plusieurs noyaux de processeurs, des centaines de mémoires, des centaines de multiplieurs, des dizaines de milliers de fonctions logiques programmables, de multiples ressources dédiées et un immense réseau de connexions configurables permettant d'interconnecter ces ressources pour réaliser un circuit complexe et hautement parallèle. Ils concurrencent de plus en plus les circuits dédiés de type /ASIC/ car on peut les reprogrammer à volonté et leur densité atteint maintenant la dizaine de millions de portes logiques équivalentes.

Les circuits reconfigurables relèvent à la fois du Génie Électrique (GÉ) et du Génie Logiciel (GL). Une fois le circuit physique réalisé (GÉ), il reste à le programmer (GL). Toutefois, la programmation sert à implémenter un circuit avec des signaux logiques qui se propagent d'une manière semblable à ce qui se passe dans un circuit logique traditionnel (GÉ). Enfin, ces circuits contiennent souvent un ou plusieurs processeurs devant être programmés (GL). Les deux domaines sont donc très étroitement reliés et il devient nécessaire d'avoir une vision plus large qui réunit les deux disciplines.

Notre programme de recherche principal, subventionné par le CRSNG, consiste à développer un nouveau langage de description de matériel (HDL) d'un niveau d'abstraction intermédiaire entre les langages de programmation utilisés en GL et les langages de description de matériel utilisés en GÉ. Nous visons à décrire des circuits au niveau fonctionnel (algorithmique) et développons un compilateur (CASM) capable de transformer cette description en un circuit de manière automatique et sûre par construction. En résumé, notre langage permet de décrire des réseaux de machines algorithmiques qui traitent et s'échangent des jetons de données en parallèle, un peu sur le modèle de CSP (Communicating Sequential Processes) et SDL (Specification and Description Language). Une grande nouveauté par rapport aux ASM (Algorithmic State Machine) traditionnels consiste en la possibilité de faire des appels (et donc des retours) d'états d'une manière semblable à un appel de méthode en logiciel ou encore une continuation dans les langages fonctionnels. Il devient alors possible de synthétiser des machines récursives, ce qui nous a permis, par exemple, d'implémenter une version de l'algorithme QuickSort (un algorithme de tri rapide hautement récursif) sur FPGA très facilement. En outre, l'outil génère automatiquement tous les signaux de contrôle pour la synchronisation des envois-réceptions des jetons de données dans tout le réseau sans perdre de cycle d'horloge (possiblement sous la forme de pipeline continu). Le concepteur peut donc se concentrer sur les aspects algorithmiques et déléguer la tâche de réalisation du circuit au compilateur. Toutefois, l'utilisateur averti a conscience de l'architecture qui sera synthétisée et peut, dans la manière dont il décrit l'algorithme, influencer celle-ci.

Activités du professeur Audet

Les activités du professeur Audet sont reliées aux capteurs photoniques, fabriqués en procédé CMOS, visant deux champs d'applications spécifiques soient : les capteurs d'images intégrés et les détecteurs photoniques de haute performance pour système VLSI à interconnections optiques.

1. Les capteurs d'images CMOS

Ce programme de recherche adresse la problématique de conception et de fabrication de capteurs d'images couleurs CMOS. La technologie actuelle de détection des couleurs via le filtre Bayer limite la sensibilité et la résolution spatiale. On propose une nouvelle méthode de détection des couleurs qui utilise la propriété de pénétration du rayonnement électromagnétique dans le silicium. Cette méthode à l'avantage de n'employer aucun filtre en couche mince et permet d'obtenir l'information de couleur pour chacun des pixels sans atténuation du signal lumineux incident par filtrage optique. Ce programme de recherche à vu le jour grâce au concours de la multinationale Sanyo, du Ministère québécois du développement économique, innovation et exportation et Polyvalor.

D'autres projets sont également en cours concernant l'imagerie spectrale. Une nouvelle classe de capteurs d'images CMOS en développement permet de capturer des images pour une gamme de longueurs d'onde déterminée allant de l'infrarouge jusqu'au violet. Une résolution spectrale de l'ordre du nanomètre est envisageable, ce qui ouvre la porte à des applications dans le domaine du contrôle de qualité, de la recherche scientifique, de l'automobile et du biomédicale. Une collaboration avec le département d'optométrie de l'Université de Montréal a été initiée dans le cadre du développement d'une caméra de fond de l'œil pour l'analyse sanguine sans prélèvement.

2. Les détecteurs photoniques

Ici on s'intéresse au développement de technique de propagation de signaux par modulation photonique, tant sur un même circuit intégré qu'entre puces d'un même système, de façon à éliminer les interconnections métalliques critiques qui limitent la performance des systèmes. Des taux de propagation supérieurs à 1 Gb/s sont visés.

Bien que la recherche sur les interconnections photoniques ait favorisé jusqu'à maintenant les dispositifs III-V pour la conversion de signaux électriques à signaux photoniques, la diminution constante de la taille des structures fabriquées sur technologie CMOS pourrait avantager les dispositifs photoniques au silicium notamment au niveau des photo-détecteurs. Avec la diminution de la taille des structures, les capacités parasites des composants actifs diminuent également de sorte qu'un faisceau lumineux de moindre énergie est requis pour activer une cellule photo-détectrice au silicium et une réponse plus rapide peut être obtenue. Les avantages d'un photo détecteur au silicium pouvant être intégré à même une puce VLSI sont considérables, même si les performances sont moindres qu'un photo-détecteur en technologie III-V. Citons entre autre la simplicité du procédé de fabrication CMOS comparé aux technologies hybrides III-V – CMOS et l'élimination des circuits liés à l'intégrité des signaux d'horloge en amplitude et en phase, tels que les répétiteurs et les circuits de verrouillage de phase (PLL). À l'heure actuelle, dû aux problèmes de délais associés aux interconnections métalliques, il est de plus en plus difficile d'assurer la synchronisation entre les différents modules d'un système VLSI, de sorte que les techniques de propagation de signaux asynchrones sont maintenant envisagées pour relier des modules sur une même puce, ajoutant à la complexité du système. Les interconnections photoniques assureront la performance des systèmes VLSI sans ajouter à leur complexité.

Activités du professeur Boyer

Le professeur Boyer conduit des recherches incluant les domaines de la microélectronique, de la compilation et du traitement de signal. Plus spécifiquement, il s'intéresse au design, à synthèse et à l'optimisation des systèmes conjoints logiciel/matériel dédiés, ainsi qu'au développement d'architectures prenant partie d'un nouveau type d'horloge.

L'horloge à période variable est un concept nouveau, découlant de ses recherches au doctorat, qui pourrait avoir une grande influence sur notre manière de voir les circuits synchrones par rapport aux circuits asynchrones ainsi qu'avoir des nouvelles applications. L'idée est de permettre de moduler la longueur des cycles d'horloges pour pouvoir suivre précisément un ordonnancement. Cet ordonnancement peut être fait à l'avance mais aussi à l'exécution, pour pouvoir traiter de manière optimale les expressions conditionnelles et pour pouvoir tenir compte de d'autres facteurs qui ne sont pas connus lors de la compilation (ou synthèse). À l'exception des circuits asynchrones, les circuits ont présentement une horloge fixe qui limite la possibilité d'ordonnancement. Pour obtenir le meilleur ordonnancement possible, il faut relâcher les contraintes de l'horloge et ce nouveau type d'horloge permet beaucoup plus de flexibilité.

La conception de systèmes dédiés demande à la fois de déterminer la structure matérielle et le logiciel devant s'exécuter sur ce matériel. Une approche conjointe logicielle/matérielle est nécessaire pour la conception et l'optimisation d'un tel système. Pour des systèmes dédiés, les outils doivent permettre la spécialisation (paramétrisation) des composantes. Puis la partie logicielle doit être compilée pour une architecture parallèle possiblement hétérogène (avec des processeurs de plusieurs types différents) et comportant des instructions spéciales. Ses recherches se situent sur différents plans, dont l'automatisation de la séparation logiciel/matériel, la compilation parallélisante pour un système hétérogène configurable, une diminution du temps associé à l'assemblage et test du système, pour un temps de mise en marché minimum.

Application au traitement audio :

Traitement de signal et isolation de la voix dans des prothèses auditives numériques

Le domaine de la prothèse auditive numérique est en expansion, dû au fait que la miniaturisation des processeurs le permet mais aussi au fait que la demande en prothèses auditives augmente (la population vieillit) et que les gens recherchent une qualité supérieure. Des études montrent que l'utilisation de plusieurs microphones est présentement la méthode qui a le plus de succès pour augmenter la discrimination des sons et améliore l'intelligibilité. Par contre, le traitement fait sur ces sources pourrait être amélioré. L'idée du traitement en étude est de faire une analyse de phase, en utilisant des FFT sur les différentes sources, pour réduire les bruits de l'environnement par rapport à la voix venant de l'avant. Le circuit complet de traitement, avec entrée analogique, traitement numérique et sortie analogique ainsi qu'une source électrique, doit être très petit et avoir une faible consommation d'énergie pour avoir une bonne autonomie. Pour ces raisons, un système sur puce («System on Chip» ou SoC) mixte numérique/analogique sera développé.

Les principaux partenaires qui collaborent sur ces recherches sont le professeur E.M. Aboulhamid (Diro, Université de Montréal), sur l'algorithme, la simulation et la vérification, le professeur Y. Savaria (génie électrique, École Polytechnique), sur le côté matériel, le professeur G. Bois (génie informatique, École Polytechnique), dont le domaine de recherche est la conception de systèmes embarqués (dédiés), le professeur A. Saucier (mathématiques, École Polytechnique), sur l'analyse et le traitement de signal.

Les partenaires industriels sont: STMicrelectronics (systèmes dédiés pour les traitements réseaux) et ACE (compilation reciblable).

Activités du professeur Brault

Le professeur Brault dirige le LRN (Laboratoire de Réseaux Neuronaux.) Ses recherches visent plus spécifiquement l'application les algorithmes d'apprentissage (AA) à des problèmes d'inférence sur des données expérimentales en utilisant des machines neuronales (MN), virtuelles ou électroniques. Le champ d'application des AA/MN est très vaste puisque les MN sont des approximateurs universels utilisés tant en classification, en régression qu'en estimation de fonction de densité. D'autre part, vu l'homogénéité des traitements réalisés par les MN, ils peuvent souvent être intégrés relativement aisément sur des circuits électroniques.

Les principales difficultés que l'on rencontre dans le design de ces machines proviennent du fait qu'elles sont habituellement adaptées itérativement et que l'information est massivement distribuée dans les interconnexions de la MN. Parmi ces difficultés, notons, le choix du type de neurones à utiliser (déterministes ou stochastiques, modèle de McCulloch-Pitts ou Hodgkin-Huxley), le nombre de neurones (capacité à s'adapter au problème) le type d'interconnexions (avec ou sans récurrence), le paradigme/loi d'apprentissage (supervisé ou non, correction d'erreurs, minimisation d'entropie, etc.), la fonction de coût à minimiser, etc. Tous ces «hyperparamètres» doivent évidemment conduire à la conception d'une machine capable de bien généraliser (intrapoler ou extrapoler) sur de nouvelles données.

Outre les architectures bien connues de type MLP (ou RBF) optimisées pour diverses applications (antennes, parole, robotique), les MN qui retiennent particulièrement notre attention sont les machines stochastiques causales (réseaux bayesiens) et les machines à états liquides (MEL) (également appelées «réseaux à échos»). Pour le premier cas, ce type de système comporte habituellement un très grand nombre de variables stochastiques et les techniques d'optimisation comme le recuit simulé, sont souvent jugées inutilisables à cause des temps de calcul ou de la mémoire requise pour leur mise en œuvre. En effet, pour valider un réseau bayesien, on doit générer un très grand nombre de cas (vecteurs de tests) en fonction d'une distribution de probabilité multi-variables. On se frappe alors au problème de la «malédiction de la dimensionnalité». Une modification possible est l'ajout d'aspects déterministes dans le processus d'optimisation conduisant par exemple au recuit déterministe RD (Deterministic Annealing). Dans le second cas, (MEL), le problème est de concevoir une machine à rétroaction massive qui se comporte de façon quasi chaotique afin d'explorer un espace d'états continus (ou liquides).

Concernant les aspects électroniques de ces projets, nous étudions la conception de circuits échantillonneurs en fonction d'une distribution de probabilité d'un espace approximé par un réseau bayesien. Nous modifions les circuits logiques traditionnels afin de les rendre probabilistes. D'autre part, des circuits appelés «neurones à pulses» ont été simulés sur SPICE pour équiper des robots suiveurs.

Activités du professeur Khouas

Le professeur Khouas conduit des activités de recherche dans le domaine de la microélectronique, et principalement dans les domaines suivants : test des circuits analogiques, conception en vue du test « Design for Testability » (DFT), des circuits intégrés et des systèmes sur puce « System on Chip SOC » (SOC), circuits de synthèse de fréquence, circuits de test et de caractérisation, convertisseurs temps numérique, synthèse sur FPGA et outils de CAO pour la conception, la vérification et le test des circuits intégrés.

Techniques de conception en vue du test : La demande croissante de nouveaux produits électroniques de plus en plus petits, à bas prix et de faible consommation dans toutes les applications de l'électronique a stimulé la croissance rapide des systèmes intégrés sur puce « System on Chip Soc ». Les SOC intègrent des parties analogiques, numériques, des mémoires et des microprocesseurs sur le même circuit intégré. Les technologies modernes de fabrication de circuits intégrés permettent cette intégration de plusieurs modules sur la même puce, ce qui permet d'avoir des circuits plus performants, plus rapides, plus petits et à faible coût. Par contre, à cause de cette intégration croissante, le test de ces SOC devient de plus en plus difficile et surtout de plus en plus coûteux, ce qui risque de ralentir leur croissance au cours des prochaines années. L'objectif de ces travaux de recherche est de développer de nouvelles méthodes de test pour les SOC afin de maintenir un coût de test relativement faible par rapport au coût de fabrication.

Méthodes d'accélération de la simulation analogique : L'objectif de ces travaux de recherche est l'étude et l'implémentation de techniques d'accélération de la simulation de circuits analogiques pour certaines applications particulières qui sont très coûteuses en temps de calcul et moins exigeantes en précision. Parmi les outils de CAO visés par ces travaux, nous avons les logiciels de dimensionnement automatique des transistors, les simulateurs de pannes et les outils d'analyse Monte-Carlo. Ces applications utilisent les résultats de la simulation pour comparer des circuits et prendre des décisions à savoir : choisir le meilleur circuit dans le cas d'un outil de dimensionnement automatique, décider si un défaut physique est détectable ou non dans le cas d'un simulateur de pannes et savoir si le circuit conçu est robuste dans le cas de l'analyse Monte-Carlo. Contrairement à l'application normale d'un simulateur qui est la vérification et la validation de circuits, pour ces applications, la précision intrinsèque du simulateur n'est pas importante tant que les résultats des comparaisons restent corrects. Le but de ces travaux est donc d'explorer les différentes méthodes pour accélérer les simulations analogiques dans le cas de simulations multiples d'un même circuit avec des modifications mineures et pour lesquelles une grande précision des résultats n'est pas toujours nécessaire.

Circuits de test et de caractérisation : Ces travaux de recherche visent le développement de méthodes pour la caractérisation des effets des fluctuations des procédés de fabrication sur le comportement des circuits fabriqués. Pour améliorer les performances des circuits de haute performance, il est indispensable de disposer pour chaque procédé de fabrication de modèles statistiques des variations «intra-die» et «die-to-die» des paramètres physiques et électriques les plus critiques. Les méthodes classiques d'extraction de ces paramètres nécessitent un grand nombre de circuits provenant de plusieurs emplacements différents sur la gaufre et des équipements de mesure très coûteux, ce qui les rend très coûteuses. L'objectif de nos travaux est la conception de circuits pour la caractérisation. L'idée est de concevoir pour chaque paramètre, un circuit permettant de faciliter l'analyse et la mesure des effets des fluctuations du procédé de fabrication sur le paramètre en question. Un des problèmes critiques ciblés par ces travaux de recherche est la variation des délais de propagation dans un circuit intégré.

Activités du professeur Langlois

Le professeur Langlois s'intéresse à la conception et à la réalisation de systèmes embarqués pour le traitement du signal et le traitement d'images, à l'architecture des ordinateurs et au traitement du signal et d'images pour des applications biomédicales.

Des projets sont en cours dans trois domaines principaux:

Conception de processeurs spécialisés et configurables pour le traitement vidéo.
Ce projet est mené conjointement avec les professeurs Savaria, Bois, David et Boyer du GR2M. Une collaboration avec le professeur Aboulhamid du DIRO et la professeure Chériet du département de génie informatique et génie logiciel sont aussi en cours.

Les processeurs configurables offrent d'intéressantes solutions en informatique embarquée pour l'implémentation d'algorithmes de traitement d'image et de traitement du signal en temps réel. Les besoins en calculs, les contraintes de synchronisation, la réduction des coûts et les limites en consommation de puissance pour ces applications écartent habituellement les solutions purement logicielles implémentées sur un processeur à usage général. Les processeurs configurables ont l'intérêt de pouvoir être programmés à l'aide de langages de haut niveau familiers pour la plupart des concepteurs. Les processeurs configurables commerciaux sont paramétrables et extensibles. Des caractéristiques spécifiques comme un multiplicateur peuvent être activées ou non. Des structures peuvent être ajoutées au processeur, comme des instructions additionnelles, des blocs de registres élargis et des interfaces mémoires particulières.

Les objectifs de ce projet incluent le développement de méthodologies de conception pour des processeurs spécialisés (Application Specific Instruction set Processor - ASIP), principalement pour des applications de traitement vidéo en temps réel. Nous considérons présentement le problème du désentrelacement et la conversion du taux de trame pour la télévision à haute définition, et le traitement en temps réel d'images pour des applications médicales.

Détection automatisée en temps réel de crises épileptiques.
Ce projet est mené conjointement avec le Dr. Carmant de l'hôpital Ste-Justine et avec le professeur Bilodeau du département de génie informatique et génie logiciel.
Le but du projet est de développer un système fiable pouvant détecter automatiquement et en temps réel des crises épileptiques chez l'animal et chez l'humain. Ce système supporte des projets de recherche en cours à l'hôpital Ste-Justine sur les mécanismes impliqués dans les dommages au cerveau suite à des convulsions épileptiques, l'impact des lésions et de l'hyperthermie sur le développement de l'épilepsie, et le synchronisme oscillatoire dans le complexe amygdale-hippocampe. Notre approche veut exploiter l'information provenant des potentiels de champs locaux et de l'analyse de séquences vidéo et infrarouge. Cette approche à trois types de senseurs imite mieux le processus naturel de détection des professionnels de la santé.

Systèmes embarqués multi-senseurs temps réel pour navigation véhiculaire et personnelle.
Ce projet est mené en collaboration avec le professeur Noureldin du Collège militaire royal à Kingston et d'autres chercheurs du réseau GEOIDE.
Le but de ce projet est d'implémenter des systèmes de navigation pour véhicules et personnes intégrant des données de positionnement provenant de senseurs inertiels et du GPS. Les senseurs inertiels tendent à être très précis à court terme, et peuvent complémenter adéquatement les données GPS lors de brèves interruptions de service. Le coût est une contrainte importante de réalisation est menée par applications considérées. À long terme, le système doit intégrer des accéléromètres sous la forme de systèmes micro-électromécaniques (MEMS). Un produit attendu du projet est un environnement de développement permettant à des développeurs d'applications de navigation de rapidement considérer des options de designs et leurs coûts associés.

Activités du professeur Martel

Les activités du professeur Martel se situent principalement dans la recherche et le développement de systèmes miniatures intelligents et plus particulièrement dans le domaine de la nanorobotique. L'objectif actuel consiste à développer des nanorobots avec une infrastructure conçue pour supporter une flotte d'une centaine de ces nanorobots capables d'opérer très rapidement et de façon autonome au niveau moléculaire et jusqu'au niveau des atomes.

Pour ce genre de projets, nous devons développer plusieurs systèmes électroniques et microélectroniques spécialisés pour supporter, contrôler et implanter plusieurs tâches complexes incluant par exemple :

Système en temps réel et de très haute performance de positionnement, de navigation et communication à infrarouge pour plates-formes nanorobotique ;

Système de positionnement miniature de résolution atomique basé sur les techniques de microscopie à effet tunnel ;

Systèmes et instruments miniatures de manipulation, mesure, synthèse et fabrication au niveau moléculaire ;

Système de contrôle embarqué pour déplacement de nanorobots, etc.

Notre intérêt est donc le développement de divers circuits miniatures (analogue et numérique) de haute performance en utilisant diverses approches, techniques, outils de conception et systèmes de vérification/validation essentiellement au niveau système sur puces (SoC).

La miniaturisation, précision, vitesse et le rendement en temps réel sont des aspects très importants et critiques dans la plupart des systèmes électroniques développés pour ce genre de projet. Les systèmes à concevoir sont aussi généralement très complexes et exigeants et font appel à plusieurs technologies qui doivent être intégrées dans des systèmes micro-mécatroniques avec instruments intégrés de très haute précision et opérant à de très grandes vitesses.

Activités du professeur Nicolescu

Gabriela Nicolescu conduit des recherches sur la conception des systèmes embarqués. Deux types de systèmes sont visés par ses recherches : la dernière génération des systèmes embarqués intégrant des sous-systèmes hétérogènes provenant de différents domaines d'application (ex. électronique, optique, mécanique, RF) et les systèmes-sur-puce intégrant plusieurs processeurs hétérogènes (ex. processeurs configurables, processeurs spécialisés pour un type d'application, processeurs d'usage général). Les thèmes de recherche seront élaborés brièvement par la suite.

Conception des systèmes embarqués hétérogènes

Nos travaux sur la conception des systèmes embarqués hétérogènes portent sur les nouvelles techniques pour la modélisation et la validation globale de ces systèmes. Nous travaillons sur la définition et la mise en place d'un environnement permettant la coopération des concepteurs provenant des domaines d'application différents, avec de différentes cultures et utilisant différents niveaux d'abstraction (ex. RTL, niveau transactionnel), langages de spécification (ex. VHDL, SytemC, Matlab) et modèles d'exécution (simulation native, simulation à base d'ISS). Nos travaux explorent particulièrement la modélisation et la simulation des interactions entre les composantes fournies par divers concepteurs et nous explorons les techniques de génération automatique des interfaces d'adaptation entre ces composantes.

Nous utilisons comme applications concrètes les MEMS (micro electro-mechanical systems), MOEMS (micro opto-elctro-mechanical systems) et les réseaux optiques sur puce.

Conception des systèmes sur-puce multiprocesseur

Nos travaux sur la conception des systèmes-sur-puce multiprocesseurs portent sur l'exploration architecturale et la validation par simulation de ces systèmes.

Concernant l'exploration architecturale nous étudions des nouvelles architectures mémoires et les algorithmes efficaces pour mapper les différentes applications sur ces architectures. Nous explorons aussi l'impact de l'implémentation des systèmes d'exploitation sur l'efficacité des systèmes multiprocesseurs sur puce. Les approches prises en compte sont : les systèmes d'exploitation implémentés en logiciel, les systèmes d'exploitation implémentés en matériel, et les systèmes d'exploitation logiciels/matériels. Nous explorons aussi l'impact de l'intégration sur même puce des processeurs différents et des systèmes d'exploitation implémentés par les différentes techniques présentés plus haut.

Concernant la validation des systèmes, multiprocesseurs, nous explorons de nouvelles modèles de simulation permettant une validation rapide et précise de ces systèmes. Nous étudions les modèles de simulation de haut niveau pour les parties logiciels dépendants du matériel (hardware dependent software) pour la simulation native du logiciel embarqué.

Nous évaluons nos approches à l'aide des applications multimédia (ex. MPEG4, DivX).

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits de synthèse d'horloge, de circuits analogiques précis, de plates-formes SOC ainsi que sur la vérification des systèmes électroniques. Il englobe aussi les techniques d'autotest et de tolérance aux pannes et aux défectuosités. Le second axe couvre des thèmes divers comme la conception de systèmes de radio configurable, la conception de décodeurs convolutionnels, la conception d'une plate-forme SOC pour la réalisation de processeurs réseau et de systèmes de traitement vidéo, la réalisation de circuits de synthèse d'horloge, la conception de circuits analogiques précis et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception
Nos travaux sur les méthodes de conception explorent diverses architectures pour la synthèse d'horloge exploitant des accumulateurs de phase qui commandent la sélection de phases dérivées d'une horloge de référence à l'aide de lignes à délais. Du côté des circuits analogiques précis, nous explorons les architectures d'amplification de haute précision, les architectures de chaire de conversion d'énergie et de convertisseurs A/D précis, ainsi que celles applicables aux systèmes vidéo de haute performance. Nos recherches portent notamment sur la possibilité de calibrer ces circuits par la création locale de résistances de valeurs programmables. Nous étudions aussi l'impact des couplages par le substrat sur la précision de ces circuits.

Nous explorons la notion de plate-forme SOC comme façon de développer efficacement des circuits dérivés pour une classe d'application. Une telle plate-forme est composée de modules paramétrables, réutilisables et compatibles entre eux qui forment la base d'une architecture flexible pour la classe d'application ciblée. Nos recherches portent aussi sur l'élaboration d'architectures capables de traiter efficacement des problèmes sujets à une importante variabilité de l'effort de calcul combiné à des contraintes temps réel d'une sévérité variable. De plus, nous explorons plusieurs techniques pour la conception de processeurs configurables visant l'accélération des calculs. Ces techniques permettent aussi de réduire considérablement l'énergie requise pour effectuer un traitement.

Enfin, en rapport avec les techniques de tolérance aux pannes, nous les explorons dans le cadre d'un projet qui vise à gérer l'effet des radiations sur l'électronique ainsi que dans le cadre d'un projet qui vise la réalisation par circuit intégré à l'échelle de la tranche (VVSI) d'une technologie de prototypage rapide pour les systèmes électroniques complexes.

Applications
Dans le cadre de cet axe, nous explorons un ensemble d'applications. Plusieurs de ces applications permettent d'explorer les méthodes de dimensionnement automatique des chemins de données. Nous explorons les architectures possibles pour la mise en œuvre des systèmes de traitement vidéo et nous appliquons la méthode de dimensionnement automatique afin de produire des implémentations valides Ce projet sert de véhicule pour appliquer et raffiner les notions de plate-forme SOC.

Nous travaillons aussi à la mise en œuvre de diverses classes de modules nécessaires pour la mise en œuvre de radios configurables, de processeurs réseau et de systèmes de traitement vidéo.

Enfin, en collaboration avec Technocap, nous élaborons une technologie d'intégration configurable pour les systèmes électroniques dans le cadre du projet DreamWafer.

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche (Polystim) ayant des activités qui se diversifient selon les grandes priorités suivantes: la conception, la réalisation et le test des circuits intégrés numériques, analogiques, mixtes et à fréquences radio; la conception des systèmes pour l'acquisition et le traitement de signal et d'image, les capteurs et réseaux de capteurs, l'intégration laboratoire sur puce et l'assemblage et l'encapsulation de dispositifs électroniques.

L'ensemble de ces priorités est orienté vers la réalisation de systèmes complets dédiés à diverses applications industrielles, ainsi qu'à la mise en œuvre de dispositifs médicaux servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage de ces fonctions, plus particulièrement des capteurs et microstimulateurs sensoriels implantables et non-implantables et des systèmes optiques et ultrasoniques portables.

Les systèmes dédiés à des applications médicales doivent être performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. La plupart de ces applications pluridisciplinaires regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités connexes en sciences et génie. Ceci implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc.

Nous nous intéressons présentement à mettre en œuvre un bon nombre de ces systèmes soient: une interface cerveau-machine destinée aux trois applications prioritaires suivantes : 1) un dispositif capteur multicanaux de signaux neuronaux dans différentes régions du cerveau, 2) un implant visuel dédié à la création d'une vision adéquate chez les non-voyants, 3) un système dédié à la détection de foyers épileptiques et au traitement subséquent de l'épilepsie. De plus, nous ferons des travaux dans le domaine de laboratoire sur puce pour mettre au point des outils de diagnostique traitant de cellules et particules.

De plus, nous poursuivons nos travaux sur l'implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence). Ce capteur est destiné à mesurer le volume d'urine dans la vessie et de commander un stimulateur intégré pour contrôler la vessie. Aussi, nous prévoyons apporter des solutions aux dysfonctions dans le domaine de la respiration (apnée) chez les nourrissants et chez les adultes, de l'énurésie nocturne, etc. À titre d'exemple, nous proposons un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons.

Finalement, nous nous intéressons aux divers circuits et fonctions électroniques opérant à très basses alimentation et consommation tels que les convertisseurs de données (CAN et CNA), les filtres reconfigurables, les bioamplificateurs à très faible niveau de bruit, des amplificateurs opérationnels, des amplificateurs de puissance, des régulateurs de tension, des PLL (Phase-Looked Loop) à grande plage d'opération, des FLL (Frequency-Looked Loop) à réponse très rapide. De plus nous nous intéressons à la conversion optique – électrique, aux circuits et techniques ultrasoniques, à la mise en œuvre des microélectrodes, etc. Ajoutons que nous poursuivons nos travaux dans le domaine de transpondeurs et, en particulier, sur les techniques de télémétrie pour transmettre sans fil l'énergie et des données aux implants et pour recevoir les diverses mesures biologiques de la partie implantable de ces systèmes.

Pour plus de détails sur les différents travaux cités ci-dessus, le lecteur est invité à lire les descriptions des projets divisés en 5 thèmes principaux sur ce site web.

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées au GR2M durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Aboutorabi, Seyed Sadreddin	Ph.D.	Y. Audet	
Ait Yakoub, My El Mustapha	M.Sc.A.	M. Sawan	C. Thibeault
Allard, Mathieu	M.Sc.A.	J.P. David	
Al-Terkawi-Hasid, Omar	M.Sc.A.	M. Sawan	Y. Savaria
Amadou, Maimouna	M.Sc.A.	G. Nicolescu	
Aubertin, Philippe	M.Sc.A.	Y. Savaria	P. Langlois
Bafumba-Lokilo, David	M.Sc.A.	J.P. David	Y. Savaria
Basile Bellavance, Yan	Ph.D.	Y. Savaria	Y. Blaquière
Bendali, Abdelhalim	Ph.D.	Y. Audet	C. Akyel
Bensoudane, Essaid	Ph.D.	G. Nicolescu	
Boissière, Benoit	M.Sc.A.	G. Zhu	Y. Savaria
Bouyela Ngoyi, Gérard Armand	M.Sc.A.	P. Langlois	Y. Savaria
Daigneault, Marc-André	M.Sc.A.	J.-P. David	
Deca, Radu	Ph.D.	O. Cherkaoui	Y. Savaria
Éthier, Sébastien	M.Sc.A.	M. Sawan	M. El-Gamal
Fontaine, Sébastien	M.Sc.A.	G. Bois	
Fourmigue, Alain	M.Sc.A.	G. Nicolescu	
Gélinas, Sébastien	M.Sc.A.	M. Sawan	F. Gagnon
Ghannoum, Anthony	M.Sc.A.	M. Sawan	
Ghannoum, Roula	M.Sc.A.	M. Sawan	
Gheorghe, Luiza	Ph.D.	G. Nicolescu	
Girodias, Bruno	Ph.D.	G. Nicolescu	M. Aboulhamid
Gosselin, Benoit	Ph.D.	M. Sawan	
Grogan, Patrick	M.Sc.A.	J.-P. David	
Guérard, Hubert	M.Sc.A.	G. Bois	
Hasan, Syed, Rafay	Ph.D.	Y. Savaria	O. Ahmad
Hashemi, Aghcheh Body	Ph.D.	M. Sawan	Y. Savaria
Hawi, Firas	M.Sc.A.	M. Sawan	
Ibnecheikh, Taieb Lamine	Ph.D.	G. Nicolescu	
Khamseharshari, Elham	M.Sc.A.	Y. Audet	
Kowarzyk Moreno, Gilbert	Ph.D.	Y. Savaria	D. Haccoun
Laflamme-Mayer, Nicolas	M.Sc.A.	M. Sawan	Y. Blaquière
Lafrance, Pierre	M.Sc.A.	Y. Audet	
Lareau, Étienne	M.Sc.A.	M.Sawan	F. Lesage
Lebel, Dany	M.Sc.A.	Y. Savaria	G. Nicolescu
Lepercq, Étienne	M.Sc.A.	Y.Savaria	Y. Blaquière
Lévesque, Philippe	Ph.D.	M. Sawan	
Mahvash, Mohammadi, Hossein	Ph.D.	Y. Savaria	Langlois, P.
Marche, David	Ph.D.	Y. Savaria	Y. Gagnon
Mbaye, Mama Maria	Ph.D.	Y. Savaria	S. Pierre
Ménard-Beaudoin, Philippe	M.Sc.A.	Y. Audet	
Mendez, Arnoldo	Ph.D.	M. Sawan	
Miled, Mohamed Amine	Ph.D.	M. Sawan	
Moss, Laurent	Ph.D..	G. Bois	M. Aboulhamid
Mounaim, Faycal	M.Sc.A.	M. Sawan	
Nemr, Abbas	Ph.D.	M. Sawan	F. Lesage
Nourivand, Afshin	Ph.D.	A. Alkalili	Y. Savaria
Ould Bachir, Tarek	Ph.D.	J.P. David	J. Mahseredjian

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Pontikakis, Bill	Ph.D.	Y. Savaria	F.-R. Boyer
Rhou, Bassam	M.Sc.A.	M. Sawan	
Roger-Vallée, Michel	M.Sc.A.	G. Bois	
Salam, Tariqus	Ph.D.	M. Sawan	
Sebbar, Mohamed	M.Sc.A.	Y. Audet	J.P. David
Siadjine Njinowa, Marcel	Ph.D.	H.T. Bui	F. R. Boyer
Simard, Guillaume	M.Sc.A.	M. Sawan	D. Massicotte
Tanguay, Louis-François	Ph.D.	M. Sawan	
Tapp, Martin	M.Sc.A.	G. Nicolescu	M. Aboulhamid
Tremblay, José Philippe	M.Sc.A.	Y. Savaria	
Turgeon, Jean Sébastien	M.Sc.A.9	Y. Savaria	
Wehbe, Mohamad	M.Sc.A.	M. Sawan	
Zarrabi, Houman	Ph.D.	Y. Savaria	A. Alkalili

ÉTUDIANTS NOUVELLEMENT INSCRITS

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Allard Bernier, Jessica	M.Sc.A.	G. Bois	
Farah, Rana	Ph.D.	P. Langlois	G.A. Bilodeau
Gan, Qifeng	Ph.D.	P. Langlois	Y. Savaria
Lebrun McKennon, Mathieu	M.Sc.A.	G. Bois	
Moradi, Arash	Ph.D.	M. Sawan	
Savard, Julien	M.Sc.A.	G. Bois	

Titres des projets et diplômes en cours de chaque étudiant

Cette section contient une liste de projets avec le nom des personnes concernées. Plus de détails sur chacun des projets se trouvent dans les descriptions individuelles des étudiants chercheurs.

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
Aboutorabi, S.S.	Ph.D.	Simulation et réalisation d'une cellule photo détecteur en couleur basée sur la profondeur d'absorption.
Ait Yakoub, E.M.	M.Sc.A.	Convertisseur analogique à numérique (CAN) inspiré d'un neurone et de dissipation nano watts pour des applications biocapteurs.
Allard, M.,	M.Sc.A.	Implémentation d'un treillis de calculs reconfigurables à travers une architecture SDFPGA (Software Defined FPGA).
Al-Terkawi-Hasid, O.	M.Sc.A.	Conception et implémentation de convertisseurs DC-DC hautement efficaces et intégrés en technologie CMOS à faible tension.
Amadou, M,	M.Sc.A.	Modèle de placement pour les architectures nano-composantes.
Aubertin, P.	M.Sc.A.	Accélération à l'aide de processeurs configurables de l'exécution d'algorithmes de voisinage local utilisés en traitement vidéo.
Bafumba-Lokilo, D.	M.Sc.A.	Méthodologie de conception de systèmes sur puce par langage de haut niveau.
Basile Bellavance, Y.	M.Sc.A.	Conception d'un environnement de travail matériel et logiciel pour l'instrumentation d'un circuit intégré à l'échelle de la tranche et pour l'aide à la conception de circuit à basse énergie.
Bendali, A.	Ph.D.	Imagerie spectrale en technologie CMOS.
Bensoudane, E.,	Ph.D.	Conception Niveau système pour les systèmes embarqués hétérogènes.
Boissière, B.	M.Sc.A.	Étude sur les algorithmes du contrôle de débit binaire dans JPEG 2000.
Bouyela Ngoyi, G.A.,	M.Sc.A.	Conception et implémentation de processeurs dédiés pour des systèmes de traitement vidéo temps réel.
Daigneault, M.-A.,	M.Sc.A.	Convertisseur numérique de temps sur circuit reprogrammable dynamiquement.
Deca, R.	Ph.D.	Modèle structuré basé sur les contraintes pour la gestion des réseaux et services.
Éthier, S.	M.Sc.A.	Conception d'un stimulateur sécuritaire à faible consommation de puissance pour un implant visuel intracortical.
Fontaine, S.,	M.Sc.A.	Conception et réalisation d'un outil d'exploration architecturale de la hiérarchie de mémoire d'un système sur puce afin d'optimiser la performance de la plateforme logicielle.
Fourmigue, A.,	M.Sc.A.	Validation niveau système pour les systèmes sans fil.
Gélinas, S.,	M.Sc.A.	Acquisition, traitement et transmission sans-fil de signaux neuronaux pour la détection de foyer épileptique.
Ghannoum, A.	M.Sc.A.	Module de reconnaissance d'objets dédié à un stimulateur visuel cortical.
Ghannoum, R.,	M.Sc.A.	Capteur d'images à modes multiples implémenté dans la technologie CMOS 90nm dédié à un stimulateur visuel cortical.
Gheorghe, L.	Ph.D.	Spécification et validation des systèmes hétérogènes embarqués.
Girodias, B.	Ph.D.	Spécification et validation de nouveaux systèmes multiprocesseurs sur puce pour des applications multimédia et sans fil.
Gosselin, B.,	Ph.D.	Circuits mixtes et microsystèmes implantables dédiés à la mesure sans fil de l'activité neuronale du cortex.
Grogan, P.,	M.Sc.A.	Implémentation d'un treillis de calculs reconfigurables à travers une architecture SDFPGA (Software Defined FPGA).
Guérard, H.,	M.Sc.A.	Implémentation, validation et simulation de NoC à haut niveau.
Hasan, S.R.	Ph.D.	Méthodes d'interfaçage synchrone point-à-point de haute performance pour SoCs.
Hashemi, S.	Ph.D.	Amélioration de l'efficacité des chaînes de conversion de puissance dédiées aux implants biomédicaux.
Hawi, F.,	M.Sc.A.	Conception et validation d'un système de stéréoscopie passive dédié au traitement d'images 3D.

Nom de l'étudiant	***Diplôme en cours***	***Le titre de son projet***
Ibnecheikh, T.L.,	Ph.D.	Application des systèmes MPSoC dans le domaine biomédical.
Khamsehashari, E.,	M.Sc.A.	Conception d'un circuit de pixel actif en mode courant avec annulation du bruit de patron fixe en technologie CMOS 0.35µm.
Kowarzyk Moreno, G.,	M.Sc.A.	Développement d'un algorithme de recherche de codes convolutionnels doublement orthogonaux parallèle et implicitement-exhaustif pour plateforme de calcul à haute performance.
Laflamme-Mayer, N.,	M.Sc.A.	Conception et réalisation d'un réseau de distribution de puissance d'une carte de prototypage rapide de systèmes.
Lafrance, P.,	M.Sc.A.	Convertisseur analogue à numérique permettant une quantification variable adaptée à la sensibilité de l'œil humain.
Lareau, É.,	M.Sc.A.	Conception d'un système portable de spectrométrie par proche-infrarouge multicanaux destiné à la détection de foyers épileptogènes.
Lebel, D.,	M.Sc.A.	Vérification fonctionnelle et validation de performance architecturale pour des tissus d'interconnexion.
Lepercq, É.	Ph.D.	Algorithme de routage pour l'utilisation et la mise au point d'une plateforme de prototypage rapide pour les systèmes électroniques*: Le WaferBoard™*.
Lévesque, P.	Ph.D.	Architecture d'un processeur dédié aux traitements de signaux ultrasoniques en temps réel en vue d'une intégration sur puce.
Mahvash, M.H.,	Ph.D.	Algorithme de compensation de mouvement hybride par une estimation de mouvement renversé.
Marche, D.,	Ph.D.	Implémentation, ajustement laser et modélisation des convertisseurs numérique à analogique R2R.
Mbaye, M.M.	Ph.D.	Techniques d'exploration architecturale de design à usage spécifique pour l'accélération de boucles.
Ménard-Beaudoin, P.	M.Sc.A.	Circuits analogiques de lecture pour un capteur d'image couleur CMOS à photodétecteur sans filtre.
Mendez, A.	Ph.D.	Méthode efficace pour le monitorage du volume de la vessie chez les patients paraplégiques.
Miled, A.	Ph.D.	Laboratoire sur puce implantable dédié à la détection et séparation des neurotransmetteurs.
Moss, L.	M.Sc.A.	Profilage, caractérisation et partitionnement fonctionnel dans une plate-forme de conception de systèmes embarqués.
Mounaim, F.,	Ph.D.	Dispositif microélectronique implantable dédié à la réhabilitation des fonctions urinaires.
Nemr, A.	M.Sc.A.	Conception et prototypage de décodeurs à seuil itératif à haut débit.
Nourivand, A.	Ph.D.	Réduction de la puissance de fuite des mémoires sur-puce sans impact sur le rendement.
Ould Bachir, T.,	Ph.D.	Accélération matérielle de calculs matriciels pour des applications en réseaux électriques.
Pontikakis, B.,	Ph.D.	La conception d'architectures et de circuits de faible puissance à délai variable.
Rhou, B.	M.Sc.A.	Choix, développement et validation matérielle d'une technique d'élimination des signaux ECG dans les EMGdi en temps-réel.
Roger-Vallée, M.	M.Sc.A.	Une méthode d'estimation de la consommation de puissance pour systèmes sur puce reprogrammable.
Salam, Muhammad T.,	Ph.D.	Microsystème biomédical implantable pour le traitement de l'épilepsie.
Sebbar, M.,	M.Sc.A.	Développement et implémentation d'un algorithme de conversion des couleurs pour un capteur d'images CMOS sans filtre optique.
Siadjine Njinowa, M.,	Ph.D.	Conception des circuits numériques pour la génération et la synchronisation d'horloge.
Simard, G.	M.Sc.A.	Contribution au lien inductif et à la télémétrie par ultra-large bande d'un implant biomédical.
Tanguay, L.-F.,	Ph.D.	Synthétiseur de fréquences RF à ultra-faible consommation dédié aux

Nom de l'étudiant	***Diplôme en cours***	***Le titre de son projet***
		microsystèmes implantables.
Tapp, M.	M.Sc.A.	Interopérabilité des environnements de simulation distribués par génération de code dynamique.
Tremblay, J.-P.,	M.Sc.A.	Analyse de performance multi-niveau et partitionnement d'application radio sur une plateforme multiprocesseur.
Turgeon, J.-S.,	M.Sc.A.	Conception d'un module logiciel pour le diagnostique de fautes dans un circuit de la taille d'une tranche de silicium.
Wehbe, M.	M.Sc.A.	Pupille dynamique réagissant à la lumière incidente dédiée aux implants oculaires.
Zarrabi, H.	Ph.D.	Conception et techniques d'évaluation pour la synthèse efficace de microsystèmes à faible énergie.

Description détaillée des projets d'étudiants

ABOUTORABI, Seyed Sadreddin **DIPLÔME: Ph.D.**

TITRE:

Simulation et réalisation d'une cellule photo-détecteur en couleur sans filtre basé sur la profondeur d'absorption.

RÉSUMÉ:

La tendance vers les niveaux d'intégration plus élevés dans les dispositifs électroniques n'exclut pas les capteurs d'images et ceci pour mille et une rasion différentes. Il est aussi important de diminuer les coûts pour avoir une technologie viable. En proposant une nouvelle topologie, nous nous voyons à la fois sur le chemin vrs la simplification de fabrication des capteurs d'image ainsi qu'une augmentation de niveau d'intégration des capteurs couleurs.

PROBLÉMATIQUE:

Les capteurs d'image désormais fabriqués, exploitent des couches minces des matériaux fonctionnant comme des filtres afin de distinguer les couleurs. Ceci engendre des étapes supplémentaires de fabrication ainsi que le nombre des capteurs couleur par unité de surface. Une nouvelle idée est proposée pour éliminer les filtres et augmenter le niveau d'intégration des capteurs; c'est-à-dire exploitation directe de la profondeur d'absorption. Nous avons visé en plus de développer un modèle pour simuler le comportement de notre dispositif pour faciliter la conception. D'un autre côté, même après presque 60 ans d'innovation de transistor, la simulation des semiconducteurs, sous l'illumination reste une problématique importante. En plus, vue la nouveauté de topologie proposée, qui est d'ailleurs tout à fait différente de ces antécédentes, il est nécessaire de bien caractériser notre dispositif.

MÉTHODOLOGIE:

Le principe de profondeur d'absorption est exploité afin de distinguer les couleurs. Une topologie simplifiée est proposée et un prototype est fabriqué. D'une autre part, les modèles existants pour les semiconducteurs sous illuminatin sont étudiés. Sur cette base, un nouveau modèle est proposé et il est sous investigation.

RÉSULTATS:

La structure proposée étant complexe et demandant un champ magnétique relativement élevée, engendre beaucoup de considération au niveau des circuits ainsi qu'au niveau de fonctionnement. Donc, une nouvelle topologie est proposée. Le « layout » est préparé et envoyé afin d'être fabriqué. Nous venons de recevoir les puces fabriquées et les résultats planifiés seront effectués comme Cédulés.

L'impossibilité de proprement simuler notre cellule initiale est justifiée et les recherches ont pris la direction de développer un nouveau modèle physique pour détourner l'impasse rencontrée. Ce modèle est en train d'évoluer mais déjà, il existe des signes significatifs d'accord avec les faits connus ainsi que les résultats expérimentaux. Ceci nous a donné la chance de soumettre un aritcle à publier.

Un nouveau modèle nous permettra d'omettre les conditions d'approximation dans la simulation de courant et tension des dispositifs à semi-conducteur polarisés.

AIT YAKOUB, My El Mustapha **DIPLÔME: M.Sc.A.**

TITRE:

Convertisseur analogique à numérique (CAN) inspiré d'un neurone et de dissipation nano watts pour des applications de biocapteurs.

RÉSUMÉ :

Ce projet consiste en la conception et la réalisation d'un CAN unipolaire précis en technologie 0.18µm dédié aux biocapteurs. L'architecure de ce CAN est inspirée du fonctionnement d'un neurone physiologique dans sa transmission des informations numériques lors d'une stimulation externe suffisante. Le fonctionnement de la partie frontale du système que nous avons proposée est semblable au fonctionnement d'un CAN classique à double rampe d'intégration mais qui nécessite ni amplificateur ni comparateur à base d'amplificateur. En combinant une méthode de conception numérique de basse puissance et une minimisation de la partie analogique, un CAN ultra-faible puissance a été conçu et simulé en technologie CMOS 0.18µm avec une tension d'alimentation de 1.5V.

PROBLÉMATIQUE:

Dans le cadre de la réalisation de la partie de numérisation d'une application biomédicale de pointe, portable et non invasive, le CAN doit rencontrer des spécifications telles qu'une basse tension d'alimentation (raison de sécurité) et une basse consommation en puissance (longue durée d'autonomie) à l'égard de la vitesse d'opération. Le choix d'une nouvelle architecture basée sur une cellule de neurone permet d'obtenir un CAN à ultra basse consommation de puissance, en technologie CMOS 0.18µm. Cette structure est formée essentiellement de trois modules. Le premier consiste en un système qui génère, durant une période d'échantillonnage, un nombre d'impulsions proportionnel à l'intensité du courant d'entrée (stimulation) et à amplitude constante. Ceci est semblable au fonctionnement d'un neurone physiologique naturel, d'où le nom de cette architecture. À la sortie du deuxième module, constitué d'un compteur binaire d'impulsions générées par la cellule du neurone, on obtient la valeur quantifiée du courant d'entrée durant chaque période d'échantillonnage. Étant donné les imperfections de la technologie CMOS, il est indispensable d'ajouter un troisième bloc que l'on nommera circuit de calibration dont la fonction principale est de vérifier la proportionnalité souhaitée chez le premier module par l'intermédiaire d'une rétroaction au niveau de ce dernier.

MÉTHODOLOGIE:

- Réalisation d'une revue de la littérature sur les CAN à basse puissance;
- Choix d'une architecture à base d'une cellule de neurone à laquelle nous apporterons des améliorations;
- Modélisation en Verilog-A des parties du circuit afin de déterminer les limites de l'architecture adoptée;
- Réalisation d'un code Matlab pour tester les paramètres DNL, INL, etc.;
- Validation des modules des circuits en technologie 0.18µm sous Cadence;
- Fabrication de la puce en technologie CMOS 0.18µm.

RÉSULTATS:

Les résultats de simulation montrent que la consommation en puissance du circuit sans les plots de soudure est de l'ordre du nano Watt. Les résultats de simulation montrent aussi que l'INL et le DNL sont inférieurs à 0.05 LSB, et le circuit occupe une surface de $0.05mm^2$.

ALLARD, Mathieu **DIPLÔME: M.Sc.A.**

TITRE:

Implémentation d'un treillis de calculs reconfigurable à travers une architecture SDFPGA (Software Defined FPGA)

RÉSUMÉ:

Le projet cherchera à implanter une toute nouvelle architecture permettant de traiter des algorithmes dotés d'un grand flot de données. En parallélisant le plus possible les calculs, il sera possible d'apporter d'importantes accélérations. Ce projet est en association avec la compagnie GaGe.

PROBLÉMATIQUE:

De nos jours, la technologie FPGA est devenue de plus en plus puissante et complexe à un niveau que seule la technologie ASIC pouvait atteindre il y a quelques années. Dans notre cas, compte tenu que le choix du FPGA provient des contraintes d'I/O, une bonne partie des ressources serait disponible après l'implémentation du design en tant que tel. Le but est donc de permettre un accès logiciel à ces ressources. D'un point de vue haut niveau, un SDFPGA peut être vu comme un FPGA dans un FPGA. Le treillis de calcul implanté dans un digitizer pourrait donc être reconfiguré par des programmeurs logiciels pour donner un nouveau comportement. Les algorithmes ayant de grandes possibilités de parallélisme seraient avantagés par ce treillis.

MÉTHODOLOGIE:

Pour réaliser ce travail, nous allons tout d'abord faire un modèle SystemC du treillis de calcul. Par la suite, nous pourrons faire rouler quelques algorithmes pour tester la fonctionnalité et trouver la meilleure finale. L'implémentation matérielle s'en suivra.

RÉSULTATS:

Réalisation d'un prototype implémentant le treillis de calcul.

AL-TERKAWI HASIB, Omar **DIPLÔME: M.Sc.A.**

TITRE:

Conception et implémentation de convertisseurs DC-DC hautement efficaces et intégrés en technologie CMOS à faible tension.

RÉSUMÉ:

Les dispositifs alimentés par batterie deviennent une partie importante de notre vie quotidienne. Avec la possibilité d'avoir des ensembles de circuits différents avec des demandes de puissance variables sur une même puce, le design de convertisseur DC-DC intégrés d'une haute efficacité devient une nécessité. Cette recherche se concentrera à fournir un design d'un convertisseur DC-DC de voltage bas complètement intégré qui peut opérer sur une grande gamme de charge avec une haute efficacité. Le circuit sera implémenté dans un procédé CMOS actuel.

PROBLÉMATIQUE:

Dans les technologies modernes, l'intégration de différents circuits sur une même puce est une tendance très commune. Dans beaucoup de cas, les circuits sur la puce ont besoin de différents niveaux de voltage. L'approvisionnement des différents voltages sur la puce est le rôle d'un convertisseur DC-DC. Un des problèmes est l'utilisation d'éléments passifs hors puce. Un autre problème est la difficulté d'obtenir une régulation de la tension de sortie pour des valeurs différentes de résistance de charge tout en maintenant une bonne efficacité. Le design de tels circuits doit prendre en considération tous les critères mentionnés ci-dessus.

MÉTHODOLOGIE:

Pour accomplir l'objectif proposé, nous planifions les étapes suivantes:

- Une révision détaillée de la littérature sera effectuée;
- Le design sera fait pour un procédé CMOS dans l'environnement de Cadence. Pour ce faire, il faudra une maîtrise adéquate de l'environnement de Cadence pour la conception de circuits mixtes;
- La vérification Post layout sera comparée avec la simulation de circuit. La disposition finale doit être aussi robuste que possible pour tolérer les variations, ainsi, une analyse de procédé Monte-Carlo sera effectuée;
- La puce fabriquée sera testée.

RÉSULTATS:

Dans le processus de conception du convertisseur DC-DC, une révision de la littérature sur le sujet a été effectuée. Différents types de topologies ont été compagés et anlysés. Une nouvelle architecture de convertisseur DC-DC à capacités commutées avec un contrôle asynchrone a été réalisée. Le contrôleur asynchrone a été construit afin de réduire les pertes de communication dans le convertisseur lorsque la puissance de sortie est réduite. Le convertisseur utilise aussi plusieurs topologies afin d'adapter le taux de conversin à la tension de sortie nécessaire. Toutes ces méthodes sont utilisées pour améliorer l'efficacité du convertisseur DC-DC. La conception règle des tensions de charge de 200mV à 1.1V d'une tension d'entrée 1.2V. Une capacité totale de de 350pF a été intégrée pour fournir un maximum de 250uW de puissance à la charge tout en atteignant une efficacité de 80%. Récemment, ce circuit a été soumis pour fabrication en technologie CMOS 0.13µm et sera testé en décembre.

AMADOU, Maimouna **DIPLÔME: M.Sc.A.**

TITRE:

Modèle de placement pour les architectures nano-composantes.

RÉSUMÉ:

Ce projet de recherche vise est d'aider à la conception de systèmes basés sur les architectures nano-composantes plus spécifiquement de définir un modèle de placement.

PROBLÉMATIQUE:

Les récentes avancées technologiques ont permis de définir, au cœur de la nanotechnologie, de nouveaux transistors très promoteurs en vue de compléter et/ou remplacer les transistors CMOS. Ces nouveaux transistors ouvrent la voie vers un nouveau paradigme *d'architectures nano-composantes*. Pour prouver la maturité de ces architectures nano-composantes, il va falloir envisager la réalisation physique de systèmes complexes très performants basés sur ces technologies ainsi que l'utilisation des ces nano-systèmes. Comme l'accès au prototypage est très difficile et qu'il est souhaitable de réduire le temps de production des systèmes, la définition de nouveaux outils de conception assistée par ordinateur (CAO) s'avère nécessaire.

L'objectif du projet de recherche est d'aider à la conception de systèmes basés sur les architectures nano-composantes plus spécifiquement de définir un modèle de placement qui permettra : (i) de placer automatiquement des applications sur les architectures nano-composantes et (ii) d'explorer les différentes possibilités des architectures en fonction de leurs paramètres. Ce placement doit optimiser quatre métriques : le temps d'exécution de l'application, le coût de communication, le coût de reconfiguration et le nombre de cellules inactives.

MÉTHODOLOGIE:

Le modèle proposé est défini en utilisant la théorie des graphes et les algorithmes génétiques. Il est composé de deux phases utilisant trois méthodes. Dans un premier temps, l'application à placer est divisée en sous-fonctions en utilisant une méthode de partitionnement définie avec les concepts de théorie graphe. Un placement à deux niveaux est ensuite effectué pour respecter la structure des architectures nano-composantes qui est une structure hiérarchique à deux niveaux.

RÉSULTATS:

Le modèle de placement a été validé sur plusieurs cas de test. L'analyse a montré qu'il permet d'optimiser au maximum le temps d'exécution des applications. Nous avons également pu définir une relation entre les différentes métriques de manière à aider dans les choix de compromis lors du paramétrage des architectures.

AUBERTIN, Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Accélération à l'aide de processeurs configurables de l'exécution d'algorithmes de voisinage local utilisés en traitement vidéo.

RÉSUMÉ:

Ce projet porte sur l'accélération de traitement vidéo à l'aide de processeurs configurables. Il vise les algorithmes à voisinage local comme la convolution, les morphologies et les algorithmes de désentrelacement intra-champ. L'objectif est de définir et caractériser une approche de conception qui permette le développement rapide d'implémentations à haute vitesse de traitement d'algorithmes de ce type.

PROBLÉMATIQUE:

Les applications vidéo numériques sont de plus en plus omniprésentes. On peut penser par exemple à la télévision haute définition, aux lecteurs vidéo portatifs et aux téléphones cellulaires qui permettent la lecture vidéo. L'apparition de ces applications exigeantes est rendue possible grâce à l'augmentation exponentielle de la densité des circuits intégrés décrite par la loi de Moore. Par contre, cette augmentation exponentielle représente aussi un obstacle puisque les concepteurs doivent concevoir des systèmes toujours plus complexes avec les mêmes contraintes de temps de mise en marché exigeantes.

La principale solution à ce problème consiste à élever le niveau d'abstraction de la conception. Un paradigme de conception à niveau d'abstraction élevé récent et prometteur est le processeur configurable. Étant donné la nouveauté de ce paradigme, des approches de conception et de nouvelles méthodologies doivent encore être développées pour vraiment en tirer avantage.

MÉTHODOLOGIE:

L'approche proposée est appliquée à plusieurs algorithmes ayant des caractéristiques (complexité logicielle, modalité d'accès aux données) diverses afin de valider qu'elle soit bien applicable à ces algorithmes et afin de la caractériser. Pour la caractérisation, les métriques d'intérêt particulier sont la vitesse de traitement, la complexité matérielle et aussi la métrique AT. Ces métriques sont évaluées à l'aide de simulations et d'estimations obtenues grâce aux outils de conception. Jusqu'à présent, le processeur configurable Xtensa LX2 et la suite d'outils de Tensilica ont été utilisés. Les prochains travaux se concentreront sur la génération automatique de code VHDL à partir d'une description à haut niveau de l'algorithme.

RÉSULTATS:

Des implémentations rapides ont été réalisées pour diverses tailles de convolution 2D ainsi que pour trois algorithmes de désentrelacement intra-trame, dont PBDI, le nouvel algorithme proposé par Hossein Mahvash Mohammadi du GR2M. Concernant l'implémentation de PBDI, un aritcle rapportant un facteur d'accélération de 1351 par rapport à une implémentation purement logicielle a été accepté et présenté à la conférence NEWCAS-TAISA 2009.

Une approche systématique pour la conception d'implémentations rapides de la classe d'algorithmes visée a été proposée et un article sur le sujet est en cours de rédaction. Il est attendu que ceci mène à une méthodologie où l'implémentation est dérivée automatiquement d'une description à haut niveau de l'algorithme.

BAFUMBA- LOKILO, David **DIPLÔME: M.Sc.A.**

TITRE:

Méthodologie de conception de systèmes sur puce par langage de haut niveau.

RÉSUMÉ:
Au cours de cette maîtrise, il sera question de proposer une méthodologie de conception matérielle plus rapide de systèmes sur puce et l'applicabilité d'un langage matériel de haut niveau, en l'occurrence, le CASM. Nous voulons développer une architecture basée sur des processeurs spécialisés pour le traitement vidéo. Nous utiliserons une architecture à base de processeurs, mémoires et entrées-sorties pour la réalisation d'un système de traitement vidéo. Par la suite, nous pourrons intégrer les modules décrits dans notre architecture en langage CASM, et les utiliser comme machine algorithmique. Tout cet exercice vise l'amélioration de méthodologie de conception sur le plan de la réduction d'erreurs dans la conception.

PROBLÉMATIQUE:
La progression effrénée de la miniaturisation des transistors sur une même puce suit son cours selon la loi de Moore. Le potentiel énorme qu'offre cette progression permet aux concepteurs des systèmes embarqués de concevoir des systèmes plus complexes. Cependant, les outils et procédés qu'emploient les concepteurs des systèmes embarqués pour réaliser des systèmes complexes, ne suivent pas nécessairement l'allure empressée de la miniaturisation des transistors. Étant donné le nombre et la complexité des systèmes électroniques, les concepteurs se voient contraints de chercher des méthodes plus efficaces de conception pour éviter des erreurs de prototypage et augmenter la rapidité de conception. Nous voyons de plus en plus des initiatives de conception des applications complexes de système sur puce.

Dans ce projet, nous investiguerons sur une architecture basée sur des processeurs spécialisés pour le traitement vidéo. L'idée est de trouver un moyen de conception rapide avec en appui l'utilisation d'un langage matériel de haut niveau.

MÉTHODOLOGIE:
Pour arriver à rencontrer les objectifs prévus pour la réalisation de ce projet, nous utilisons une carte de prototypage FPGA VIRTEX II, quelques modules IP de XILINX, ainsi qu'un ensemble d'outils CAO qui les accompagne et un processeur XTENSA utilisant des instructions spécialisées. La première étape sera de concevoir une architecture efficace de traitement de flots vidéo et valider le prototype en le ciblant dans le VIRTEX 2P. Nous devrons employer les méthodes de vérification matérielle nécessaires pour le debugge du système. Après validation du prototype, nous pourrons utiliser le CASM pour l'intégration des modules de l'architecture du système de traitement vidéo. Par la suite, nous ferons le passage du CASM au VHDL en utilisant un compilateur qui a été développé pour ce but. Le résultat du système réalisé à l'aide du CASM sera comparé à celui du système du début afin de remarquer les apports bénéfiques en termes de rapidité de conception et réduction d'erreur dans la conception d'un système complexe.

RÉSULTATS:
Nous avons développé un système multiprocesseur en co-simulation. En parallèle, nous développons un système générique pour fin de traitement vidéo en l'implémentant sur FPGA, en l'occurrence le Virtex II pro. Le système en co-simulation se compose de NoC2x2 (Network-on-Chip), de processeurs XTensa et de mémoires systèmes. Le NoC2x2 est un module généré automatiquement par un gabarit en java. Ce dernier génère automatiquement un module NoC NxN.

La co-simulation permet de vérifier l'architecture, qui va de trois à soixante-cinq processeurs. C'est un moyen rapide de tester une application avant de l'implémenter sur FPGA. L'implémentation sur FPGA est en cours. Il s'agit de cibler un nombre suffisant de processeurs XTENSA dans un Virtex II pro. Pour le moment nous pensons cibler deux processeurs XTENSA plus un processeur PowerPC embarqué dans le Virtex II pro.

BASILE-BELLAVANCE, Yan **DIPLÔME: Ph.D.**

TITRE:

Conception d'un environnement de travail matériel et logiciel pour l'instrumentation d'un circuit intégré à l'échelle de la tranche et pour l'aide à la conception de circuit à basse énergie.

RÉSUMÉ:

Ce projet de recherche s'intègre dans le projet DreamWafer qui vise à créer, à l'aide d'un circuit intégré à l'échelle de la tranche, un «PCB reconfigurable» où les puces déposées à la surface d'un substrat actif et reprogrammable peuvent être interconnectées dynamiquement entre eux. Le but du projet est d'instrumenter un circuit intégré à l'échelle de la tranche pour suivre en temps réel la température interne, la puissance consommée et la pression interne du substrat silicium.

PROBLÉMATIQUE:

Le projet DreamWafer^{TM}, vise à développer un circuit intégré qui ferait l'équivalent d'un «PCB reconfigurable» permettant d'interconnecter numériquement des circuits intégrés discrets (FPGA, processeurs, DSP…) à tester, ceux-ci étant déposés à sa surface. Ce système se nomme le WaferBoard. Il contient un circuit spécial qui est une matrice de millier de cellules identiques, chacune comportant un centre de contrôle logique, un crossbar reconfigurable et un ensemble de «plots» de quelques centaines de micromètres de large (points de contact avec les composants déposés). Ce circuit intégré est nommé WaferIC. Ce circuit se déploie sur l'ensemble d'une tranche de silicium, c'est pourquoi on le classe dans la catégorie des circuits intégrés à l'échelle de la tranche. Or, le WaferIC doit intégrer un réseau de capteurs intégrés (puissance, température et pression) pour mieux caractériser le premiere prototype de WaferIC et pour ajouter des fonctionnalités supplémentaires d'aide à la conception pour les utilisateurs du WaferBoard. Par exemple, l'ajout de capteur intégré permettant de surveiller la consommation de puissance des circuits intégrés déposés à la surface est la première étape pour créer un outil d'aide à la conception permettant d'optimiser l'efficacité énergétique des systèmes électroniques.

MÉTHODOLOGIE:

La première étape du projet consiste à faire le design au niveau circuit d'un capteur analogique de courant, de température et de pression efficace occupant un minimum de surface. Une fois les circuits intégrés conçus au niveau circuit, un circuit de test sera fabriqué et validé. Par la suite, le réseau de capteur sera intégré dans le WaferIC.

Parallèlement à ce design, un environnement logiciel d'aide à la conception doit être conçu et réalisé pour aider les utilisateurs du WaferBoard à concevoir et tester des circuits qui consomment moins de puissance. Des algorithmes d'aide à la décision seront conçus pour accompagner l'utilisateur dans sa conception de circuit efficace énergétiquement. Bien sûr, à la base de ces algorithmes, les données de consommation de chaleur et de puissance fournies par les réseaux de capteur du WaferIC permettront d'alimenter la recherche automatique de solution et de valider les architectures proposées par l'outil d'aide à la conception.

RÉSULTATS:

Puisque le projet vient tout juste de débuter, aucun résultat ne peut être présenté à ce jour.

BENDALI, Abdelhalim **DIPLÔME: Ph.D.**

TITRE:

Imagerie spectrale en technologie CMOS.

RÉSUMÉ:

Dans ce projet, nous proposons d'utiliser le procédé CMOS standard pour la fabrication de détecteurs photoniques opérant à très haute fréquence. L'objectif visé par la technique proposée est d'améliorer les performances des systèmes numériques rapides, intégrées en technologie CMOS.

PROBLÉMATIQUE:

L'une des problématiques majeures pour la synthèse numérique à haute vitesse est le biais de synchronisation (BS), skew, qui est actuellement parmi les principaux facteurs limitatifs de la performance des systèmes intégrés synchrones. Une tendance récente et très peu explorée propose de remplacer les interconnexions métalliques par leurs équivalents optiques. Parmi les bénéfices de cette approche on peut citer: une plus large bande passante, une dégradation très faible du signal véhiculé, une immunité aux interférences électromagnétiques et une réduction notable du BS. Ce qui permet une synchronisation quasi parfaite du système avec une cadence de plusieurs dizaines de giga Hertz.

MÉTHODOLOGIE:

Afin d'émettre ou de recevoir de l'information sur l'interconnexion optique, des dispositifs électro-optiques sont utilisés. Un système expérimental d'émission et de réception optique sera développé afin d'étudier la génération des signaux électriques ultra-rapides (supérieurs à 1 Giga Hertz) produits par des photo-détecteurs à semi-conducteurs CMOS basés sur de nouveaux concepts. Le système d'émission optique est principalement composé d'une source lumineuse à diode laser modulée à haute fréquence. Divers dispositifs photo détecteurs seront fabriqués en technologie CMOS 0.18µm et caractérisés à partir de cette source.

RÉSULTATS:

Des circuits à base de PD utilisant la technologie AMS ont été conçus et sont en cours de tests.

BENSOUDANE, Essaid **DIPLÔME: Ph.D.**

TITRE:

Conception Niveau système pour les systèmes embarqués hétérogènes.

RÉSUMÉ:

Dans cette thèse, nous adressons la conception des systèmes sur puce hétérogènes (AMS-SoC) qui nécessite une nouvelle génération d'outils et de méthodologies qui permettent non seulement d'intégrer des systèmes électroniques incluant du matériel et du logiciel, mais potentiellement d'autres domaines physiques.

PROBLÉMATIQUE:

Dans les dernières années, la miniaturisatin des cricuits intègre a progressé d'une façon exponentielle. Ce progrès a permis l'intégration des modules hétérogènes dans le même système en puce opérant à des fréquences très élevées. Cette classe de systèmes composés de module discret et continu: RF, convertisseurs analogiques numériques et des modules calibrés par des modules numériques. Cette classe de système est nommée AMS-SoC (Analog Mixed-Signal System-on-Chip).

Dans cette thèse nous adressons la conception des systèmes sur puce hétérogènes (AMS-SoC) qui nécessite une nouvelle génération d'outils et de méthodologies qui permettent non seulement d'intégrer des systèmes électroniques incluant du matériel et du logiciel, mais potentiellement d'autres domaines physiques. Nous explorons spécialement les méthodes qui permettent d'exposer la couche physique à la couche niveau architecture pour aider à concevoir des architectures AMS-SoC optimaux.

La conception au niveau système de AMS-SoC CAD nécessite de spécifier, modéliser, simuler et analyser tous les composants du système hétérogène et leur interaction. Les concepteurs devront être capables de modéliser le système et son environnement. En plus, les modèles devront prendre en compte la complexité semi-conducteur comme variation de processus qui devrait être exposée à la couche système. Ceci nous amène à répondre aux questions suivantes: Quelles sont les informations à exposer de la couche physique à la couche système? Comment cette information devrait être modélisée, spécifiée et utilisée pour l'évaluation du système? Comment enrichir les macro-modèles pour tenir compte de la complexité semi-conducteur? C'est quoi l'environnement CAO et les méthodes pour pouvoir concevoir des systèmes AMS-SoC optimaux?

MÉTHODOLOGIE:

Notre thèse a pour objectif de répondre aux questions de conception top-down/bottom-up. Les objectifs spécifiques sont:

- Définir une méthodologie de conception pour les systèmes AMS-SoC;
- Explorer les macro-modèles afin d'exposer les couches de conception inférieures à la couche système;
- Utiliser les macro-modèles extraits de la couche physique pour développer des algorithmes pour optimiser l'architecture du système;
- Concevoir un environnement de conception pour AMS-SoC.

RÉSUMÉ:

Dans la première partie de la thèse nous avons développé un environnement de spécification basé Matlab/Simulink combiné avec VHDL-AMS spécifiquement pour la conception de SerDes (Serializer/Deserializer) utilisant un lien optique. Une bibliothèque de composantes a été développée incluant des modèles de boucle de verrouillage (phased-locked loop) et qui utilise un macro-modèle pour le VCO (voltage-controlled oscillator). Les modèles complets de lien de communication ainsi que le transceiver ont été développés. Des modèles de fonctionnel ainsi que des maco-modèles de consommation d'énergie ont été développés et intégrés dans notre environnent de conception.

BOISSIÈRE, Benoit **DIPLÔME: M.Sc.A.**

TITRE:

Étude sur les algorithmes du contrôle de débit binaire dans JPEG 2000.

RÉSUMÉ:

- Assimilation et caractérisation des performances du logiciel Open JPEG qui encode des images en JPEG 2000;
- Intégration de l'algorithme PRCDO (Pre-Compression Rate-Distorsion Optimisation) dans le logiciel Open JPEG et validation;
- Implémentation d'un nouvel algorithme au résultat optimal et ayant de meilleures performances.

PROBLÉMATIQUE:

Le traitement d'images numériques joue un rôle central dans les systèmes de communication multimédia modernes et ses domaines d'application ne se comptent plus: on s'en sert partout. Le standard JPEG 2000 a été créé pour succéder au JPEG standard que tout le monde connaît puisqu'il offre de meilleurs taux de compression pour une meilleure qualité d'images que JPEG. Cependant, il est pour le moment impossible de remplacer JPEG par cette nouvelle norme dans de nombreux domaines car l'encodage et le décodage en JPEG 2000 requièrent beaucoup trop de mémoire et de puissance de calcul.

Nous avons donc pour but de créer et d'implémenter un algorithme d'encodage en JPEG 2000 qui s'inscrirait bien entendu dans la norme JPEG 2000 mais qui demandera beaucoup moins de ressources matérielles que Open JPEG pour obtenir des images d'une qualité optimale. Si les résultats sont satisfaisants, cela permettrait d'étendre l'utilisation de JPEG 2000 à de nouveaux domaines d'application.

MÉTHODOLOGIE:

Premièrement, il a fallu comprendre le fonctionnement du standard JPEG 2000 et analyser les différentes phases de son processus d'encodage. Par la suite, en s'appuyant sur OpenJPEG, qui encode les images en suivant à la lettre les directives du standard, il a fallu trouver quelles étapes de l'encodage utilisent le plus de ressources et pourquoi afin de bien définir quelles améliorations peuvent être apportées à l'algorithme d'encodage. Les étapes du processus requérant le plus de ressources sont donc optimisées en priorité et nous essayons même de simplifier la tâche que ces étapes doivent accomplir.

RÉSULTATS:

La progression a suivi plusieurs étapes dont l'assimilation de l'algorithme d'encodage JPEG2000 standard du point de vue théorique mais aussi pratique avec le logiciel OpenJPEG. Certaines interventions et retouches sur le code m'ont ensuite permis d'extraire les résultats attendus quant à la puissance de calcul requise par les différentes étapes de l'encodage. Ce qui a conforté notre idée de concentrer l'optimisation à apporter sur le Tier1-Coding de JPEG2000. Afin de diminuer les ressources matérielles utilisées, nous avons donc transformé le code pour évaluer les taux de distorsion et de compression avant d'encoder pour ne pas encoder ce qui ne doit pas l'être. C'est la méthode du Pre-Compression Rate-Distorsion Optimisation, les résultats que nous obtenons sont assez similaires à ceux du papier traitant de cette méthode.

BOUYELA NGOYI, Gérard Armand **DIPLÔME: M.Sc.A.**

TITRE:

Conception et implémentation de processeurs dédiés pour des systèmes de traitement vidéo temps réel

RÉSUMÉ:

Les systèmes de traitement vidéo se caractérisent par des demandes de performance de plus en plus exigeantes en termes de bande passante. Il en découle que les processeurs traitant ce type d'information doivent être très performants. Les méthodologies de conception basées sur un langage de description d'architecture (ADL) apparaissent pour répondre à ces défis. Elles permettent de concevoir des processeurs dédiés de bout en bout, avec un maximum de flexibilité, comme, par exemple, l'ajout d'instructions spécialisées et la modification de l'architecture du processeur. Dans ce travail, deux méthodologies de conception de processeurs dédiés ont été proposées. Elles se basent sur un langage ADL, sont synergiques et permettent d'implémenter et d'accélérer des algorithmes de traitements vidéo temps réel. Nous obtenons dans un premier temps un facteur d'accélération de 11 pour la première méthodologie puis un facteur d'accélération de 282 pour la deuxième, pour un algorithme de désentrelacement bien connu.

PROBLÉMATIQUE:

Le problème considéré porte sur la conception de processeurs sur mesure permettant d'effectuer du traitement vidéo en temps réel. Le désentrelacement, destiné aux systèmes de télévision haute définition (HDTV) est considéré comme problème de base. Le désentrelacement est un procédé permettant de restituer une image entière à partir de deux images entrelacées ou plus. Le problème spécifique abordé par le projet consiste à concevoir le processeur sur mesure d'une manière efficace et conviviale tout en maximisant la performance atteinte.

MÉTHODOLOGIE:

La méthodologie suivante a été suivie :

- Implémenter un processeur vidéo pour réaliser des algorithmes de désentrelacement vidéo en temps réel pour différents formats d'image comme les normes NTSC et HDTV.

- Concevoir un environnement de test complet, permettant de visualiser les résultats de l'implémentation matérielle.

- Définir une méthodologie de conception basée sur une description logicielle des algorithmes exploitant les architectures matérielles développées.

- Définir une méthodologie de conception basée sur un ADL (Architecture Description Language) permettant l'accélération d'algorithmes de traitement vidéo.

RÉSULTATS:

Deux méthodologies de conception de processeurs dédiés pour le traitement vidéo ont été développées dans ce travail. La première méthodologie a comme particularité fondamentale d'optimiser les instructions spécialisées tout en supportant une description de l'algorithme en C. Après avoir réalisé que l'accélération d'exécution des instructions atteint, après plusieurs itérations, une valeur maximale avec la première méthodologie, nous avons développé la deuxième. Cette deuxième méthode reprend toutes les améliorations obtenues à l'aide de la première, tout en intégrant la notion de parallélisation des instructions.

Les deux méthodologies ont permis de mettre en évidence trois axes de conception de processeur : l'approche RISC traditionnelle, l'approche VLIW et l'approche SIMD. Les deux méthodologies ont illustré la force d'explorer ces trois axes par une approche systématique.

DAIGNEAULT, Marc-André **DIPLÔME: M.Sc.A.**

Titre:

Convertisseur numérique de temps sur circuit reprogrammable dynamiquement.

Résumé:

Les convertisseurs numériques de temps sont des circuits intégrés permettant de mesurer des intervalles de temps avec de très fines résolutions de haute précision. Ces circuits sont utilisés dans différents appareils de mesure et d'instrumentation, touchant les domaines de la physique des particules, de l'imagerie médicale et bien entendu de la microélectronique. Traditionnellement implémentés sous forme de circuits dédiés, il existe un intérêt considérable afin de rendre possible leurs implémentations sur des puces reprogrammables, permettant un coût et un temps de développement inférieurs. Au courant de la dernière décennie, plusieurs implémentations et méthodologies ont été proposées dans la littérature à cette fin.

Problématique:

À ce jour, les convertisseurs numériques de temps à haute performance sont implémentés sous forme de circuits dédiés. Pour fins d'implémentation sur circuits reprogrammables, le concepteur doit composer avec des performances réduites, en termes de délais minimaux et de fréquence d'opération maximale. De plus, contrairement à l'implémentation sur circuits dédiés, l'implémentation sur circuits reprogrammables contraint le concepteur à utiliser les ressources programmables disponibles, notamment au niveau des interconnexions du circuit.

Méthodologie:

L'utilisation de la reconfiguration dynamique des FPGAs (*Virtex2Pro* de *Xilinx*), jumelée à l'utilisation d'outils permettant une granularité plus fine de la configuration générée offre non seulement la possibilité de contrôler précisément le routage d'un circuit, mais également de le modifier lors de son opération. Avec une méthode de calibration originale basée sur l'utilisation d'un oscillateur à fréquence variable, il est possible d'ajuster précisément les délais d'un circuit permettant d'échantillonner un signal numérique.

Résultats:

Notre approche, basée sur la reconfiguration partielle d'un circuit reconfigurable lors de son exécution, se distingue par la capacité d'ajuster les délais internes du circuit avec une résolution de l'ordre de picoseconde. Cette capacité, inaccessible avec les méthodologies traditionnelles de conception, permet ainsi de réaliser des convertisseurs numériques de temps sur puces reprogrammables dont les performances sont supérieures ou comparables à ce qui se fait à l'état de l'art. Sur la base de ces délais programmables à fine résolution, une nouvelle architecture de convertisseur numérique de temps est proposée permettant d'atteindre des résolutions aussi fines que 10 picosecondes. À notre connaissance, il s'agit de la plus petite résolution proposée à ce jour sur circuit reprogrammable.

DECA, Radu **DIPLÔME: Ph.D.**

TITRE:
Modèle structuré basé sur les contraintes pour la gestion de la configuration des réseaux et services.

RÉSUMÉ:
Le modèle proposé abstrait les données et la hiérarchie des langages de configuration qui utilisent des interfaces de commande à ligne (CLI). Le modèle permet de capter et de spécifier les contraintes sur les données de configuration à l'aide de règles de haut niveau, réutilisables et exécutables par un outil. Le modèle inclut une taxonomie des principaux types de contraintes de configuration et des métriques basées sur les contraintes pour quantifier la complexité des tâches de gestion.

PROBLÉMATIQUE:
Le développement impétueux des réseaux et des services pose de nouveaux défis pour la gestion efficace et fiable de ces réseaux et services. L'approche manuelle ou basée sur des solutions *adhoc* (par exemple, des scripts ou des templates), ainsi que les moyens traditionnels de gestion, tels que les interfaces en mode ligne de commande (CLI), les modèles et protocoles de gestion, tels que SNMP, CMIP, WBEM, ne sont plus capables de répondre à ces défis.

Pour répondre à ces défis, nous avons besoin de trouver de nouvelles solutions, qui:

- Prennent en compte la complexité croissante des réseaux, des services et des équipements. Cette complexité est due à plusieurs facteurs, comme par exemple : la taille des réseaux, la quantité des données de configuration des équipements, l'hétérogénéité des réseaux et services (diversité des équipements, des technologies, des protocoles, des politiques déployées sur les réseaux, etc.) et la distribution de services;
- Permettent de traduire les opérations de gestion des réseaux et services en opération de configuration des équipements;
- Permettent d'automatiser les tâches de gestion des réseaux et services en opération de configuration des équipements;
- Utilisent des modèles de haut niveau simples, réutilisables, configurables, interactifs qui permettent aux administrateurs et aux ingénieurs de réseau d'accomplir les tâches de gestion de façon rapide et efficace.

MÉTHODOLOGIE:
Le problème proposé abstrait les données et la hiérarchie des langages de configuration qui utilisent une interface de commande en ligne (CLI). Le modèle permet de capter et de spécifier les contraintes sur les données de configuration à l'aide de règles de haut niveau réutilisables et exécutables par un outil. Le modèle inclut une taxonomie des principaux types de contrainte de configuration et des métriques basées sur les contraintes pour quantifier la complexité des tâches de gestion.

Nous avons créé un prototype basé sur le modèle proposé que nous avons utilisé pour déployer et valider de façon automatique les services réseau. Nous avons expérimenté avec divers réseaux et services afin de déterminer les performances de notre outil, à savoir, la précision de validation, le taux de validation par règle, la complexité du processus de validation, etc.

RÉSULTATS:
Les résultats obtenus montrent que notre approche permet de valider les services réseau de façon précise et efficace. On a constaté aussi que la précision de validation n'est pas affectée lors de la mise à échelle des réseaux et services (augmentation de la taille des réseaux, de la taille des configurations, du nombre des équipements, etc.).

Nous avons analysé l'influence des facteurs de complexité au niveau réseau et des fonctionnalités descriptives des règles sur l'efficacité et la complexité des règles et nous avons constaté une corrélation entre les mesures de complexité et nous avons proposé une formule analytique pour exprimer cette corrélation.

ÉTHIER, Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un stimulateur sécuritaire et à faible consommation de puissance pour un implant visuel intracortical.

RÉSUMÉ:

Le contexte de ce projet est celui d'un implant visuel intracortical. Ce dernier doit être en mesure de stimuler les tissus corticaux sur plusieurs sites de manière à faire percevoir des points lumineux, appelés phosphènes, dans le champ visuel de l'usager.

L'objectif de ce projet, est la conception de stimulateurs sécuritaires à faible consommation de puissance. Un prototype fonctionnel de l'implant ayant déjà été réalisé, il s'agit maintenant de diminuer la consommation d'énergie et d'améliorer l'aspect sécuritaire des stimulateurs. Pour ce faire, différentes formes d'ondes de stimulation, qui demandent théoriquement moins d'énergie, seront étudiées et la phase d'équilibre des charges est à être asservie afin de minimiser la concentration d'ions nocifs relâchés par les électrodes.

PROBLÉMATIQUE:

La génération de stimulation de formes d'onde différentes que le prototype actuel exige nécessairement une puissance plus élevée. Un premier défi est de minimiser cette hausse de manière à ce que la stimulation consomme globalement moins d'énergie pour engendrer une même réponse des tissus corticaux.

Un second défi est de rendre la génération de ces formes d'onde très flexible afin de pouvoir contrôler les différents paramètres de la stimulation.

Enfin, la génération de la haute tension au niveau de l'étage de sortie n'est pas triviale. Ce circuit doit être efficace et une attention particulière doit porter sur la réalisation du circuit afin d'éviter sa destruction.

MÉTHODOLOGIE:

- Conception et simulation des circuits électroniques afin de s'assurer qu'ils répondent aux spécifications de l'application;
- Dessin des masques des circuits intégrés correspondants et simulation;
- Fabrication des deux circuits intégrés résultant via la CMC Microsystèmes;
- Tests des circuits intégrés et comparaison avec les simulations.

RÉSULTATS:

Les deux circuits intégrés ont été réalisés et fabriqués. Ils sont présentement en cours de test. Les résultats de simulation montrent que la génération des formes d'onde et de la haute tension est fonctionnnelle.

FONTAINE, Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un outil d'exploration architecturale de la hiérarchie de mémoire d'un système sur puce afin d'optimiser la performance de la plateforme logicielle.

RÉSUMÉ:

L'objectif est d'implémenter un outil permettant d'optimiser la performance d'un logiciel s'exécutant sur un processeur embarqué en segmentant le programme sur différentes mémoires et en optimisant la configuration de la mémoire cache.

PROBLÉMATIQUE:

Les plateformes embarquées présentent de nouveaux défis et de nouvelles possibilités quant aux optimisations possibles. Les compilateurs sont déjà très compétents pour optimiser le code pour un processeur spécifique, mais ils ont une limitation : ils ne connaissent que le processeur sur lequel le logiciel s'exécutera et n'ont aucune connaissance de l'architecture du système et plus particulièrement de l'architecture de la mémoire du système. Il est donc possible d'appliquer d'autres optimisations afin d'améliorer la performance du logiciel en tirant avantage de la hiérarchie de la mémoire. Plus particulièrement, de tirer avantage de la cache et de la mémoire locale. De plus sur une plateforme basée sur un FPGA, les configurations possibles sont très nombreuses, une exploration architecturale est donc possible.

MÉTHODOLOGIE:

Dans un premier temps, une revue des travaux effectués dans le domaine sera entreprise. Suite à cette revue, une approche appropriée à l'évaluation efficace de la performance du logiciel sera élaborée. Une architecture et un algorithme d'exploration répondants aux objectifs seront ensuite conceptualisés, viendra par la suite l'implémentation initiale des différents mécanismes impliqués dans les mémoires caches et de la mémoire locale (scratchpad); cette implémentation sera testée et validée afin de s'assurer du bon fonctionnement des blocs de base. L'algorithme d'exploration architecturale sera ensuite implémenté et intégré à l'outil. L'outil d'exploration sera ensuite intégré dans la plateforme Space Codesign afin d'être utilisé avec le Microblaze. Finalement, des tests seront exécutés et les résultats seront analysés et validés.

RÉSULTATS:

L'outil d'exploration a été développé et répond aux requis énoncés ci-dessus. Les résultats préliminaires disponibles montrent que l'outil permet d'obtenir d'excellentes accélérations tout en minimisant l'utilisation de la mémoire locale et de la mémoire cache. À titre d'exemple, le programme Dhrystone occupe une taille en mémoire d'environ 64 kilo-octets. À l'aide de l'outil, il est possible de déterminer qu'il suffit d'emmagasiner seulement 8 kilo-octets de code et de données dans la mémoire locale et d'emmagasiner le reste dans une mémoire externe. Cette configuration permet d'obtenir la même performance que si le programme entier (64 kilo-octet) était emmagasiné dans la mémoire locale ou encore si 32 kilo-octets de mémoire cache étaient utilisés.

FOURMIGUE, Alkain **DIPLÔME: M.Sc.A.**

TITRE:

Validation niveau système pour les systèmes sans fil.

RÉSUMÉ:

L'objectif de ce projet est de mettre en place dans un environnement Linux, une plate-forme de simulation pour les protocoles sans fils. Cette plate-forme doit répondre aux nouveaux besoins en matière de simulation des technologies sans-fils. Cette plate-forme doit permettre de valider des modèles de couches physiques et de couches MAC réalisés au niveau système, dans un environnement modélisant de façon réaliste toute la pile de protocoles réseaux.

PROBLÉMATIQUE:

Les nouveaux standards dans le domaine des réseaux sans fils intègrent des fonctionnalités toujours plus complexes. Le récent protocole 802.16 (WiMAX) illustre parfaitement cette complexité accrue des technologies sans fils. La couche physique doit être reconfigurable, la couche MAC doit supporter des mécanismes de QoS et la couche réseau doit intégrer des algorithmes de routage plus sophistiqués.

Pour le concepteur de protocoles, comme pour le concepteur de cartes, il est nécessaire de pouvoir valider son travail dans un environnement prenant en compte les interactions avec les autres couches réseaux modélisées à différents niveaux d'abstraction. Les outils existants répondent très mal à ce besoin de simulations hétérogènes. Il existe un fossé entre les simulateurs bas-niveau, très précis et peu flexibles comme les implémentations de couches physiques sur cartes FPGA, et les simulateurs de haut niveau, très flexibles, mais peu précis, car incapables de prendre en compte les spécificités de la couche physique.

Ce travail répond à ce manque d'environnements de simulation et propose une plate-forme permettant d'explorer et de valider des technologies sans-fils au niveau système.

MÉTHODOLOGIE:

Le principe de cette plate-forme est de permettre une co-simulation entre la pile TCP/IP de Linux et un modèle Simulink de couche physique. La pile TCP/IP de Linux fournit une véritable implémentation des protocoles réseaux. Dans la plate-forme proposée, seule la couche physique est simulée en Matlab/Simulink. Cette plate-forme permet ainsi de valider des protocoles en utilisant de véritables applications telles que Firefox ou Skype. Pour valider cet environnement, ce projet prend comme cas d'étude le protocole 802.16, qui décrit une technologie nouvelle et prometteuse pour laquelle le développement et la recherche sont toujours très actifs.

RÉSULTATS:

La première étape consistait à développer un modèle de la couche MAC du protocole 802.16. A travers ce modèle, le but visé était de pouvoir faire communiquer la pile TCP/IP du noyau Linux avec un modèle Simulink de la couche PHY du 802.16. Cette étape est achevée et la plate-forme permet maintenant de simuler à l'aide d'une seule machine un réseau WiMAX avec une topologie P2MP (Point-to-Multi-Point).

Nos recherches s'orientent désormais vers l'exploration de propositions de « cross-layer design ». Il s'agit d'un ensemble de techniques qui visent à améliorer les performances du réseau, en violant l'organisation traditionnelle des protocoles réseaux en couches indépendantes. Plus précisément, actuellement nous travaillons sur la définition de nouvelles interfaces entre la couche MAC et les couches supérieures permettant un échange d'informations direct entre des couches non adjacentes.

GÉLINAS, Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Acquisition, traitement et transmission sans-fil de signaux neuronaux pour la détection de foyer épileptique.

RÉSUMÉ:

Ce projet vise à éliminier les fils et augmenter l'autonomie des patients lors d'une évaluation pré-chirurgicale pour la détection de foyer épileptique. Par le biais d'une acquisition et d'un traitement de données intelligents, les signaux à électro-encéphalogramme intracrânien pourront être transmis à une station de base pour l'enregistrement et l'analyse ultérieure.

PROBLÉMATIQUE:

L'identification précise de foyer épileptique par mesure d'électro-encéphalogramme intracrânien nécessite une grande quantité d'électrodes et une grande résolution de mesure. De plus, la détection d'une crise doit se faire très rapidement, avant qu'elle ne se propage à l'ensemble du cerveau. Des contraintes importantes sont donc imposées à un transmetteur sans-fil pour la détection de foyer épileptique, qui doit non seulement transmettre d'importantes quantités de données très rapidement, mais qui doit également répondre aux critères communs à tout type d'implant : faible consommation énergétique, faible radiation électromagnétique, implantabilité (petites dimensions et faible poids) et grande autonomie.

MÉTHODOLOGIE:

Les objectifs du projet sont, dans un premier temps, de développer un dispositif permettant l'enregistrement sans-fil de signaux neuronaux intracrâniens sur un grand nombre de canaux (> 200) pour une longue durée (108 heures) et valider le fonctionnement par l'intermédiaire d'expérimentations sur les animaux. Une gestion efficace des ressources devra être employée. Par la suite, l'amélioration de l'efficacité du transmetteur sera explorée à l'aide de technique de réduction de données. Finalement, l'efficacité du transmetteur sera explorée, à l'aide de techniques de réduction de données. Finalement, nous tenterons de développer un protocole de transmission sans fil adapté aux applications biomédicales: courte-portée, très basse consommation énergétique, sécurité et confidentialité des données, robustesse de transmission et faible latence.

Dans un premier temps, un prototype sera conçu en gardant en tête les bonnes pratiques de la conception de circuit très basse consommation. La validité du prototype sera défiée avec une batterie de tests *in vitro* et *in vivo* chez l'animal. Par la suite, le focus du travail sera sur l'amélioration de l'efficacité de la transmission de donnée en se basant sur la théorie de l'information. Nous tenterons plusieurs méthodes pour réduire la quantité de données à transmettre. Plusieurs algorithmes de balayage seront développés pour discriminer des échantillons. Une technique de sous-échantillonnage intelligente sera également étudiée. De plus, nous comptons employer des transformations statistiques et différents domaines d'analyse pour assurer que seule l'information nécessaire à la détection véridique et précise de foyer épileptique est transmise.

Finalement, un protocole de transmission de données sans fil sera développé en se basant sur les protocoles existants afin d'ajouter la confidentialité aux données transmises et améliorer la robustesse de transmission (et la portée) tout en limitant la consommation énergétique et la latence.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

GHANNOUM, Anthony **DIPLÔME: M.Sc.A.**

TITRE:

Module de reconnaissance d'objets dédié à un stimulateur visuel cortical.

RÉSUMÉ:

Ce projet s'insère dans le cadre de la réalisation d'un stimulateur visuel cortical par l'équipe Polystim neurotechnologie. Il consiste à créer un module de reconnaissance d'objets pour aider les personnes qui souffrent de cécité visuelle à se retrouver dans un environnement quelconque et de reconnaître les objets qui les entourent.

PROBLÉMATIQUE:

L'objectif est d'implémenter en MATLAB un module de traitement d'images pour faire la reconnaissance d'objets. Le module logiciel devrait ensuite être traduit en VHDL pour exploiter la vitesse du matériel pour permettra d'appliquer le traitement en temps réel.

MÉTHODOLOGIE:

La première étape consiste à définir les spécifications du module de reconnaissance d'objets, ses objectifs principaux ainsi qu'à définir sa pertinence dans le cadre du projet Cortivision. Cela comprend aussi son intégration au traitement 3D d'images déjà implémenté pour le projet. La partie conséquente serait une étude des différentes approches pour obtenir les résultats requis, en validant et comparant les méthodes avec MATLAB. L'étape suivante serait de sélectionner la meilleure de ses méthodes pour l'implémenter en matériel (VHDL) et l'intégrer au module de traitement d'image existant qui interface le capteur d'image conçu dans le cadre du même projet.

RÉSULTATS:

Une étude de différentes approches de reconnaissance d'objets a été commencée pour avoir une idée générale sur ce qui bénéficierait le plus aux personnes qui souffrent de cécité visuelle. Cela comprendrait aussi les algorithmes d'apprentissage et d'intelligence artificielle. La base du projet a donc été établie ainsi que son contexte et le plan d'action. Un module d'étalonnage utilisant des marqueurs repères suivis par des algorithmes de traitement vidéo est conçu pour caractériser la carte phosphène du patient.

GHANNOUM, Roula **DIPLÔME: M.Sc.A.**

TITRE:

Capteur d'images à modes multiples implémenté dans la technologie CMOS 90nm dédié à un stimulateur visuel cortical.

RÉSUMÉ:

Ce projet s'insère dans le cadre de la réalisation d'un stimulateur visuel cortical par l'équipe PolyStim neurotechnologies. Il consiste à créer un capteur d'images monochrome à gamme dynamique élevée, doté de plusieurs modes d'opération pour acquérir et transmettre les images à un contrôleur externe. La technologie choisie pour l'implémentation est le CMOS 90nm.

PROBLÉMATIQUE:

L'objectif est d'implémenter un capteur d'images monochrome en CMOS 90nm ayant une vitesse d'acquisition supérieure à 400 images par seconde, avec une résolution de 64 x 48 pixels sur un éventail de 256 tons de gris avec trois modes d'opération: linéaire, logarithmique et différentiel. Ce capteur devrait aussi résoudre le manque de précision du CAN et la fuite de l'obturateur, dont souffre l'ancienne version en 0,18µm. Il devrait d'ailleurs profiter des avantages de la technologie 90nm pour réduire la consommation de puissance ainsi que la surface et donc faciliter l'intégration tout en explorant les avantages ainsi que les limitations de cette technologie pour les capteurs d'images.

MÉTHODOLOGIE:

La première étape consiste à définir les spécifications du capteur. Des tests sur l'ancien prototype en CMOS 0,18µm doivent suivre pour déterminer ses failles. La partie conséquente serait la transition vers la technologie CMOS 90nm en approfondissant davantage les topologies de circuits afin de s'approcher le plus possible des spécifications du capteur en 0,18µm; le tout en réduisant la surface et la consommation. La puce doit ensuite être envoyée à la fabrication. Durant le délai de fabrication, un contrôleur numérique doit être implanté dans un FPGA et un PCB conçu pour préparer le banc d'essais. Des tests du système doivent suivre pour valider les résultats de simulation et établir une comparaison expérimentale entre les deux technologies. Les limitations de la technologie en question seront alors discutées.

RÉSULTATS:

Des tests ont été repris sur l'ancien prototype du capteur d'image. Différents types de capacités et de comparateurs ont été comparés pour trouver la plus idéale pour notre capteur. Le circuit a ensuite été implémenté en CMOS 90nm en apportant des modifications à la topologie pour contourner les problèmes de fuite de courant. La puce a été fabriquée; un module de contrôle VDHL a été implémenté dans un FPGA; un PCB a été conçu et fabriqué; un module Matlab a été programmé pour traiter les données de sortie. Des tests ont été effectués et les limitations de la technologie ont été établies.

GHEORGHE, Luiza **DIPLÔME: PH.D.**

TITRE:

Spécification et validation des systèmes hétérogènes embarqués.

RÉSUMÉ:

ITRS annonce une grande évolution en hétérogénéité pour les systèmes sur puce. Ainsi, ces systèmes seront composés des composants électroniques, optiques, mécaniques, etc. L'utilisation des systèmes sur puce hétérogènes sera très répandue, ils seront utilisés dans de nombreux secteurs d'activité (la médecine, la communication, etc.). Étant donné leur importance, ces systèmes doivent être à la fois performants et fiables. Ils doivent également présenter un coût réduit de conception et ils nécessitent un temps minimum de mise sur le marché. Jusqu'ici, la recherche sur les systèmes sur puce hétérogènes s'est concentrée sur la conception des différents composants de ces systèmes et leur intégration à un bas niveau d'abstraction. L'intégration au bas niveau d'abstraction des différents composants implique une spécification fastidieuse, une simulation lente ainsi que la détection tardive des problèmes de conception. Ainsi, les flots classiques existants ne sont plus pratiques et l'élévation du niveau d'abstraction pour la conception de ces systèmes s'impose.

Le projet proposé s'articule autour de ce point clé pour la conception des systèmes hétérogènes continus/discrets: la conception à partir d'un niveau haut d'abstraction. Plus particulièrement ce travail se focalise sur la problématique de la modélisation et la validation de haut niveau de ces systèmes.

PROBLÉMATIQUE:

L'intégration des composants à un niveau élevé d'abstraction nécessite un nouveau cadre conceptuel pour l'abstraction des différentes interfaces d'adaptation entre les composants hétérogènes ainsi que de nouvelles méthodologies pour la validation.

Le défi le plus important dans la définition des outils de validation pour les systèmes continus/discrets est dû à l'hétérogénéité des concepts manipulés par les composants continus et les composants directs. Dans le cas des outils de validation, plusieurs sémantiques d'exécution doivent être prises en considération pour réaliser la simulation globale.

MÉTHODOLOGIE:

Ce travail propose la sémantique opérationnelle pour un modèle de synchronisation requis pour la simulation globale des systèmes continus/discrets. La définition formelle de l'architecture interne des interfaces de simulation est aussi fournie. Ces définitions ont permis la conception d'un outil de co-simulation qui fournit des modèles de simulation globaux pour la validation des systèmes continus/discrets.

Le travail exploite aussi le formalisme DEVS ainsi que la modélisation des systèmes à l'aide des automates temporisés.

RÉSULTATS:

La synchronisation avec « roll-back » a été ajoutée au modèle de synchronisation existant. L'outil de co-simulation réalisé précédemment est utilisé pour la validation globale des systèmes hétérogènes intégrant de sous-systèmes discrets en System Verilog et des sous-systèmes continus en Simulink/Matlab. Le comportement d'un réseau optique sur puce a été aussi modélisé et vérifié formellement.

GIRODIAS, Bruno **DIPLÔME: Ph.D.**

TITRE:
Spécification et validation de nouveaux systèmes multiprocesseurs sur puce pour des applications multimédia et sans fil.

RÉSUMÉ:
Ce projet consiste à faire l'exploration de systèmes multiprocesseurs sur puce dans le but de trouver des solutions pour les défis d'implémentation et de développement de réseau et d'application 4G. Ceci entraîne le développement de nouvelles architectures et de nouvelles techniques d'optimisation de mémoire.

PROBLÉMATIQUE:
Tranquillement, le 3G s'intègre dans notre quotidien, éprouvant quelques difficultés et obstacles, mais réussissant à prendre de plus en plus une part du marché. Entre temps, le 4G se prépare et confronte des obstacles plus importants. Non comme son prédécesseur, le 4G introduit la convergence des différentes technologies. Le 4G promet d'intégrer différents modes de communications sans fil: des réseaux d'interne, tel que le WiFi et le Bluetooth, aux systèmes cellulaires, aux transmissions par radio ainsi qu'aux communications par satellite (Qaddour et Barbour 2004). L'intégration de toutes ces technologies demande une grande puissance de calcul entre autres pour une procédure de relève transparente entre les différentes technologies. La demande de puissance de calcul par ces nouvelles plateformes excède les prédictions de la loi de Moore. De plus, pour ajouter à la difficulté, ces unités de calcul puissantes doivent consommer moins que ce que nous avons coutume de voir de nos jours. Le domaine s'attend à une puissance équivalente à 16 fois plus grande que celle d'un Pentium 4 2-GHz et une consommation d'énergie n'excédant pas 75mW. Comme la plupart de ces applications vont devoir être disponibles sur des dispositifs portables comme des cellulaires, des ordinateurs portables et des assistants électroniques, les systèmes sur puces vont devoir confronter les différents obstacles tout en restant rentable à la conception, performant et consommant très peu d'énergie. Une catégorie de système sur puce qui respecte certains de ces critères est les multiprocesseurs sur puce. Ils sont composés de plusieurs processeurs embarqués, de matériels spécialisés, de circuits analogues et digitaux et d'applications faites sur mesure.

MÉTHODOLOGIE:
Après une bonne analyse de l'état de l'art, nous allons définir quelques techniques d'optimisation pour la mémoire et nous allons définir un modèle intégrant un modèle d'architecture de système de mémoire et quelques concepts provenant du domaine de télécommunication. Notre système sera un modèle fonctionnel composé de processeurs embarqués ARM et de matériels reconfigurables (mémoires, FPGA, Xtensa, DSP, bus). Les interconnexions des différentes composantes utiliseront dans un cas des protocoles de bus standard. Nous allons intégrer notre modèle dans la plateforme StepNP développée par le département de recherche et développement de STMicroelectronics à Ottawa. StepNP est un environnement d'exploration de simulation de processeurs réseaux pour l'exploration d'applications et d'architectures multiprocesseurs. De plus, cette plateforme offre déjà un environnement qui nous permet de tester les différentes techniques de compilation que nous aurons définies.

RÉSULTATS:
Nos premiers travaux se concentrent sur l'optimisation de la mémoire. Cette section du projet de recherche est en collaboration avec STMicroelectronics. La plateforme Multiflex de cette compagnie est utilisée pour les différentes explorations et expérimentations. La mémoire joue un rôle primordial pour l'amélioration de systèmes sur puce. Avec l'apparition d'applications multimédias embarquées dans le 4G, ces caractéristiques deviennent de plus en plus essentielles. Ces applications emploient souvent des tableaux multidimensionnels pour stocker des résultats intermédiaires pendant les traitements de leurs tâches multimédias. Plusieurs techniques de base d'optimisations telles que la fusion, le pavage et l'allocation de tampon existent et ont fait leurs preuves sur une architecture monoprocesseur. Notre recherche présente ces techniques et leurs impacts sur un environnement multiprocesseur. Par analyse des applications et des impacts, des améliorations de performance significatives sont proposées pour des techniques s'appliquant à un environnement multiprocesseur. Ces améliorations tiennent compte de l'optimisation de l'espace mémoire, de la réduction du nombre de défauts de cache et de l'amélioration du temps d'exécution. Les résultats initiaux obtenus réduisent l'espace mémoire de 80%, augmentent le taux de succès de données de 20% et diminuent le temps d'exécution de 50%. Cette étude montre qu'en améliorant les techniques de base, nous optimisons les défauts de cache, le temps d'exécution et l'espace mémoire dans un environnement multiprocesseur sans perte d'efficacité. Les futurs travaux sur l'optimisation de la mémoire se concentreront sur l'exploration de l'environnement de traitement multiprocessus offert par la plateforme Multiflex. De même, les techniques développées dans cette recherche seront testées sur des applications plus évoluées et complexes.

GOSSELIN, Benoît **DIPLÔME: Ph.D.**

TITRE:

Circuits mixtes et microsystèmes implantables dédiés à la mesure sans fil de l'activité neuronale du cortex.

RÉSUMÉ:

Ces travaux de recherche consistent à élaborer de nouvelles techniques de mise en œuvre de microsystèmes (circuits intégrés, MEMS, etc.) pour réaliser des dispositifs implantables sans fil, dédiés à l'enregistrement bioélectrique intra cortical. Les dispositifs projetés permettront, par exemple, d'effectuer des mesures simultanées et précises dans plusieurs régions du cortex d'un animal éveillé pendant de longues périodes.

PROBLÉMATIQUE:

Contrairement aux techniques de mesure non invasives ou d'imagerie par résonnance magnétique, un système minimalement invasif utilisant une électrode micro fabriquée, comme celle projetée, offre la résolution nécessaire pour acquérir l'activité simultanée d'une grande quantité de cellules pour procéder à une analyse multi neurones. Or, un dispositif implantable basé sur cette méthode doit faire face à plusieurs défis technologiques dont la consommation d'énergie minimale des circuits.

MÉTHODOLOGIE:

La faisabilité de la mise en œuvre d'une interface neuronale intégrée, sans fil et implantable a été étudiée. L'utilisation d'une matrice pénétrante de petite taille et le fait que le système soit en contact avec les tissus biologiques imposent une dimension réduite et une consommation d'énergie minimum. Par conséquent, des techniques de conception de circuits à faible consommation ainsi que le développement d'une architecture microélectronique mixte dédiée ont été développées pour réaliser un prototype de capteur matriciel miniature et implantable dans le cortex. L'architecture proposée est basée sur une structure extensible exploitant le regroupement et le parallélisme des ressources. L'architecture a été intégrée en technologie CMOS 0.18 µm et testée avec succès en laboratoire. Grâce à cette nouvelle architecture, il nous est dorénavant possible de fabriquer des capteurs matriciels de topologies arbitraires, comportant une chaîne d'acquisition complète par canal et consommant très peu d'énergie. Ces performances reposent sur la conception d'une nouvelle chaîne d'acquisition compacte, présentant une consommation d'énergie ultra réduite utilisant un nouveau bioamplificateur intégré et un convertisseur analogique-numérique à approximation successive dédié. La simulation de la chaîne complète montre une consommation aussi basse qu'une trentaine de microwatts. Par conséquent, elle offre une densité d'énergie et une surface de silicium par canal suffisamment basses pour accommoder des systèmes comportant un très grand nombre de canaux (> 1000).

RÉSULTATS:

Le bioamplificateur intégré très basse consommation conçu a été utilisé pour réaliser des enregistrements *in-vivo* chez les rats. La chaîne développée a été utilisée pour concevoir un prototype de capteur miniature à 16 canaux intégrés. Le prototype mixte a été assemblé, testé et caractérisé en laboratoire avec succès.

GROGAN, Patrick **DIPLÔME: M.Sc.A.**

TITRE:

Implémentation d'un treillis de calculs reconfigurable à travers une architecture SDFPGA (Software Defined FPGA)

RÉSUMÉ:

Le projet consiste à construire une architecture innovatrice permettant d'effectuer des algorithmes sur des flots de données. En parallélisant le plus possible les calculs, il sera possible d'apporter d'importantes accélérations. Ce projet est en association avec la compagnie GaGe.

PROBLÉMATIQUE:

Les FPGAs sont de plus en plus complexes et contiennent de plus en plus de logique. La compagnie GaGe conçoit des convertisseurs analogiques à numériques qui n'utilisent qu'une petite partie de toute cette logique. En effet, leurs convertisseurs sont très dépendants sur le nombre d'entrées et sorties et très peu sur le reste. Alors, au lieu de perdre la logique, permettre aux utilisateurs de définir leur propre algorithme de traitement et de l'intégrer dans le FPGA semble une idée très pertinente. Cependant, peu de compagnies sont prêtes à investir dans l'expertise des langages de bas niveau. Cela prend donc une façon de transformer les dits algorithmes et de les transformer en logique. C'est donc le but de l'architecture proposée.

MÉTHODOLOGIE:

La première étape du projet consiste à mettre en place un modèle SystemC du treillis de calcul. Ce modèle sera de très haut niveau. Ensuite, ayant ce modèle, il sera possible de travailler sur la façon de transformer les algorithmes pour les rendre fonctionnels dans l'architecture. Finalement, une implémentation sur FPGA sera produite.

RÉSULTATS:

Réalisation d'un prototype implémentant le treillis de calcul.

GUÉRARD, Hubert **DIPLÔME: M.Sc.A.**

TITRE:

Implémentation, validation et simulation de NoC à haut niveau.

RÉSUMÉ:

Ce projet consiste à développer une méthodologie afin d'implémenter des modèles de NoC (Network-On-Chip) dans un outil de modélisation haut niveau (ESL) tel que SpaceStudio. Pour parvenir à la validation et l'intégration d'un NoC dans un outil ESL, il faut modéliser la topologie à l'aide d'une bibliothèque de simulation pou robtenir différents niveaux d'abstraction afin de permettre le raffinement. De plus, l'obtention de métriques à l'aide d'appel non intrusif permet de quantifier la performance du modèle en termes de débit, latence, etc. Ces modèles ainsi développés permettront au concepteur du système de prendre des décisions quant aux spécifications à rencontrer. La technique proposée doit être générique afin d'être appliqué à différentes topologies telles que le maillage et l'anneau.

PROBLÉMATIQUE:

Les systèmes embarqués deviennent plus complexes puisqu'ils incluent beaucoup de ressources et doivent réaliser plusieurs fonctionnalités. Ceci introduit un problème au niveau de l'interconnexion des ressources, car un grand volume de données doit être traité. Une solution proposée est l'utilisation des NoC. Cependant, due à la complexité de ses topologies, il faut utiliser une méthodologie haut –niveau afin d'abstraire le problème pour ainsi permettre de simuler et valider plus rapidement le système. Il faut donc dévleopper une méthodologie afin d'implémenter des modèles de NoC dans un outil ESL tel que SpaceStudio. Les modèles ainsi ajoutés dans l'outil permettront de simuler plus rapidement des systèmes complexes afin de valider les spécifications des systèmes à concevoir.

MÉTHODOLOGIE:

- Optimisation des modèles existants:
  - Basé bus
  - Point à point
- Développer une méthodologie pour l'ajout de modèle haut-niveau de NoC pour les raffinements suivants:
  - Elix
  - Simtex
  - GenX
- Comparer différentes topologies avancées par l'entremise de l'outil SpaceStudio
  - Identifier 2 à 3 topologies afin de les incorporer dans Space Studio;
  - Écrire les modèles en utilisant la bibliothèque de simulation SystemC
  - Effectuer les comparatifs du modèle haut niveau avec le modèle bas niveau

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

HASAN, Syed Rafay **DIPLÔME: Ph.D.**

TITRE:

Méthodes d'interfaçage synchrone point-à-point de haute performance pour SoCs

RÉSUMÉ:

Avec les progrès dans les technologies de fabrication, de plus en plus de fonctionnalités sont introduites dans les SoCs. Des modules IP fonctionnant à des fréquences d'horloges différentes sont inévitables dans de telles conceptions. Par conséquent, le concept «d'îles locales» à horloges indépendantes prédomine dans les SoCs. Ces îles locales communiquent à l'aide d'interface de communication intermodule, telles les méthodes asynchrones. Cependant, les méthodes asynchrones sont mal adaptées aux flots de conception synchrone conventionnels, en plus de leur vulnérabilité aux erreurs. Dans de travail, une méthode de conception nouvelle et entièrement synchrone est proposée pour les communications point-à-point.

PROBLÉMATIQUE:

Jusqu'à présent, la plupart des concepteurs de circuits intégrés ont recherché des solutions, pour les communications intermodule, dans les méthodes asynchrones, comme GALS (Globalement Asynchrone Localement Synchrone) qui ne sont pas prédictibles, étant donné la nature des méthodes asynchrones. La solution décrite dans ce travail utilise des méthodes prédictibles pour résoudre le problème des communications intermodule. Cette solution se base sur l'idée que, si une solution synchrone dans un contexte donné, offre une performance égale ou meilleure que les méthodes asynchrones, alors cette solution sera mieux appréciée en industrie. Par conséquent, la solution proposée tente de montrer que les méthodes synchrones sont des solutions viables et efficaces pour interfacer des modules multi-horloge contraints par le biais de synchronisation (skew).

MÉTHODOLOGIE:

La solution utilise des bus plus large (étant donné la présence abondante de fils dans les SoCs) afin de soulager les communications intermodule. Dans nos travaux antérieurs, une méthode a été proposée pour déterminer les positions des modules terminaux qui subissent le pire biais de synchronisation. Les modules terminaux fonctionnent à une fréquence supérieure et les modules d'interface à une fréquence inférieure, dont le rapport de fréquences est un nombre entier. Par un ajustement adéquat de l'interface et par la détermination de la valeur du pire biais de synchronisation, une tolérance plus élevée au biais de synchronisation est rendue possible.

RÉSULTATS:

Une amélioration globale de la tolérance au biais de synchronisation, en termes de cycles d'horloge, est observée dans ce travail. Un des cas d'étude a montré une amélioration de 2 cycles d'horloge comparé aux meilleures méthodes asynchrones basées sur la technique FIFO. Trois différents cas de communications intermodulées, sous toutes les contraintes temporelles possibles, sont analysés. La vérification des résultats analytiques a été réalisée en utilisant des simulations au niveau porte. En outre, nous avons synthétisé et mis en application ce résultat sur une carte FPGA (Xilinx XC2VP30FF896-7). Nous avons également incorporé notre conception pour un raisonnable synchronisant où le rapport de fréquence entre les modules de communication est un ratio de nombres co-premiers. Nous avons publié nos résultats dans MNRC'08. Nous avons également présenté un autre papier à ISCAS'09.

HASHEMI, Saeid **DIPLÔME: Ph.D.**

TITRE:
Amélioration de l'efficacité des chaînes de conversion de puissance dédiées aux implants biomédicaux.

RÉSUMÉ:
Des implants biomédicaux sont intensivement utilisés pour améliorer la qualité de vie. Bien que de tels dispositifs aient été conçus avec succès, ces derniers sont exigeants d'un point de vue consommation de puissance. Ainsi, l'implémentation de sources d'alimentation fiables et efficaces demeure un défi significatif pour la conception. Il est à noter que l'augmentation de l'efficacité de la puissance n'est pas seulement un problème au niveau du dispositif à concevoir, mais aussi un problème au niveau de l'étude du système et son architecture.

PROBLÉMATIQUE:
L'étage d'entrée d'une chaîne conventionnelle de conversion de puissance se compose d'un redresseur à diode conventionnel. La diode possède une tension de seuil induisant une perte significative de puissance. Cette dernière affecte l'efficacité globale et diminue la tension à fournir aux étages suivants. Cet impact négatif devient de plus en plus significatif dans la conception de la source d'alimentation, qui est le cas de la nouvelle technologie (IC sub-micron). En outre, la diode n'est pas généralement implémentée dans la puce même, mais remplacée par un composant discret, ce qui est peu commode si on veut concevoir un implant entièrement intégré.

Dû à la complexité élevée de l'implant et les limites biologiques qui s'imposent, il est nécessaire de développer une architecture plus efficace pour concevoir une chaîne de conversion de puissance. Une étude sur la topologie existante de la chaîne de puissance et ses composants du point de vue d'efficacité de puissance est nécessaire. Par la suite, une intégration de tous les composants dans une même puce en réduisant la consommation de puissance serait le choix le plus judicieux. Des études récentes ont montré qu'en utilisant des redresseurs à contrôleur passif/actif, nous pourrions diminuer la tension de seuil de la diode et la consommation de puissance. Ces derniers font usage des caractéristiques des redresseurs diode tout en commandant l'angle de conduction du dispositif. Par conséquent, l'efficacité de puissance peut être améliorée et l'intégration de l'implant se trouve plus facilement réalisable.

MÉTHODOLOGIE:
Afin d'étudier l'impact de la dissipation de puissance de chaque composant des chaînes de conversion de puissance pour les implants biomédicaux, un modèle est développé. La vérification de ce modèle est primordiale pour s'assurer de la validité des hypothèses et la précision des résultats. L'étape suivante est la conception et la simulation des nouveaux redresseurs passifs/actifs. Par la suite, nous réaliserons le circuit en utilisant une technologie CMOS Sub-micron. Enfin, des tests sur le prototype développé seront réalisés et nous déterminerons les modifications adéquates dans la perspective d'améliorer les performances.

RÉSULTATS:
Un modèle complet pour la chaîne conventionnelle de conversion de puissance d'un implant biomédical a été réalisé en utilisant le Verilog-A et il a été appliqué à un stimulateur intracortical. Les résultats obtenus concordent avec les mesures effectuées. Un nouveau design pour un redresseur à contrôleur actif est déjà simulé où le commutateur principal fonctionne dans la zone linéaire où la tension grille-drain est la plus élevée du circuit. Le redresseur résultant montre une augmentation significative de la tension de sortie et de l'efficacité de puissance par rapport aux circuits développés précédemment. Le circuit a été implémenté et fabriqué. Les tests effectués sur la puce microélectronique concordent avec les résultats de simulation. Deux autres circuits de redresseurs en utilisant la technique d'auto-amorçage ont été élaborés. Ils utilisent un simple et un double réservoir pour diminuer la tension de seuil effective des transistors MOS situés dans la branche principale du circuit. Ces derniers ont une efficacité de puissance élevée tout en gardant une tension de sortie importante surtout dans le cas où la tension d'entrée est faible. La deuxième version a permis de réduire l'espace utilisé de la puce microélectronique par rapport au premier circuit. Les circuits à base du simple et double réservoir ont été implémentés et envoyés à la fabrication en vue de faire d'autres tests.

HAWI, Firas **DIPLÔME: M.Sc.A.**

TITRE:

Conception et validation d'un système de stéréoscopie passive dédié au traitement d'image 3D

RÉSUMÉ:

Ce projet consiste à faire la reconstruction 3D d'une scène quelconque en utilisant l'information reçue de deux caméras. Le principal but de ce projet est de fournir un algorithme robuste exécutable à temps réel. Il est réalisé dans le cadre du développement du stimulateur visuel cortical.

PROBLÉMATIQUE:

Le laboratoire de neurotechnologie Polystim avait développé des systèmes de reconstruction 3D en utilisant la stéréoscopie active. Ces systèmes serviront à rendre aux déficients visuels une information sur la profondeur de champ du milieu dans lesquels ils vivent. Des problèmes ethiques et énergétiques induits par l'utilisation des sources actives de ces systèmes peuvent être résolus en utilisant un système totalement passif. Pour réaliser ce système, de nouveaux obstacles se présentent: il faut atteindre de hauts niveaux de précision, résoudre des problèmes d'occlusion et garantir l'applicabilité en temps réel.

MÉTHODOLOGIE:

Il s'agit de créer un algorithme robuste qui répond aux exigences de précision et de rapidité. Nous essaierons de bénéficier de la flexibilité et robustesse des approches probabilistes mais aussi de la précision et rapidité des méthodes déterministes. L'algorithme sera implémenté sur MATLAB. La partie acquisition sera implémentée en matériel.

RÉSULTATS:

Une version initiale de l'algorithme est implémentée et des développements sont en cours.

IBNECHEIKH, Taieb Lamine **DIPLÔME: Ph.D.**

TITRE:

Application des systèmes MPSoC dans le domaine biomédical

RÉSUMÉ:

Ce projet de recherche propose une méthodologie pour l'implantation efficaice des application médicales sur les architectures multi-processeurs.

PROBLÉMATIQUE:

De nos jours, les applications multimédia ont pris une grande place dans le domaine des systèmes embarqués que se soient à usage commun ou spécifique. Parmi les domaines pertinents des applications multimédia, on se focalise, dans notre travail de recherche, sur le domaine de l'imagerie biomédicale et, plus spécifiquement, sur l'application de reconstitution d'un système à réalité augmentée d'aide à la chirurgie minimalement invasive. Cette application emploie les mêmes algorithmes de traitement d'images et de vidéos utilisées dans les applications multimédia communes mais en poussant les facteurs précision et temps réel au maximum. Deux des grandes particularités de ces algorithmes sont la quantité importante de données traitées et la répétition du traitement sur ces mêmes données. Compte tenu de ces particularités, ces algorithmes constituent de bons candidats pour être parallélisées.

MÉTHODOLOGIE:

Notre projet de recherche se divise en trois grands volets:

- Analyse et optimisation des algorithmes séquentiels déjà développés pour l'application précédemment décrite: il s'agit d'étudier les structures de données employées et identifier les parties de données utiles en vue d'optimiser l'espace mémoire et par conséquent les communications entre processeur et mémoire;
- Parallélisation de l'application: il s'agit d'identifier la dépendance de données et représenter la version parallèle sous forme d'un modèle hybride combinant les deux modèles de programmation parallèles: SMP (programmation symétrique) et streaming (programmation en pipeline);
- Définir un algorithme d'optimisation de mappage du modèle de programmation hybride déjà identifié en (2) pour une architecture cible, en particulier, les architectures multiprocesseurs sur puce (MPSOC) selon les métriques de conception (temps d'exécution, consommation en puissance et coût de conception).

RÉSULTATS:

Comme travail réalisé jusqu'à maintenant, nous avons analysé les algorithmes séquentiels déjà développés pour l'application en question (traduction du code déjà écrit en MATLAB vers le code C pour une meilleure portabilité, profilage, identification des partie de codes les plus gourmandes en temps d'exécution et analyse des dépendances de données). Comme résultat de cette analyse, nous avons proposé une première version parallèle de l'application.

KHAMSEHASHARI, Elham **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un circuit de pixel actif en mode courant avec annulation du bruit de patron fixe en technologie CMOS 0.35µm.

RÉSUMÉ:

Dans ce projet, nous proposons un capteur d'image à gamme dynamique élevé pour acquérir et transmettre les images à un contrôleur externe ainsi que le circuit CDS (Correlated Double Sampling) pour enlever le bruit de patron fixe. Il possède l'avantage de deux modes d'opération, linéaire et logarithmique, ainsi que le mode courant pour augmenter la gamme dynamique. La conception du circuit CDS doit être aussi en mode courant. La technologie choisie pour la conception est le CMOS 0.35µm.

PROBLÉMATIQUE:

L'objectif principal de ce projet est un capteur d'images ayant une gamme dynamique élevée. Les tensions d'alimentation diminuant de plus en plus, la gamme dynamique du pixel diminue. En fonctionnant en mode courant, on arrive à obtenir une gamme dynamique élevée au-delà de 120 dB. Un autre avantage de pixel en mode courant est la tension de sortie fixe pour éliminer le besoin de charge et décharge du condensateur de colonne pendant la lecture. L'inconvénient principal de mode courant est la sensibilité au bruit de patron fixe. Pour l'enlever, on utilise le circuit CDS, en mode courant pour chacune des colonnes de la matrice de pixel. La partie innovatrice importante du projet consistera à concevoir un circuit CDS qui est efficace pour les modes d'opération linéaire et logarithmique et pourra aussi détecter dans lequel des deux modes se situe le pixel de façon à réaliser, à l'étage subséquent, une conversion analogique-numérique adéquate.

MÉTHODOLOGIE:

La première étape du projet consiste à définir les spécifications du circuit de lecture. Il faut aussi tenir compte des bruits dans le pixel qui représentent une limitation importante en performance de capteur d'images, particulièrement pour les faibles illuminations. Par la suite, les simulations en CMOS 0.35µm doivent suivre pour valider et vérifier les résultats de simulation et évaluer les caractéristiques du pixel réel.

RÉSULTATS:

Le circuit a été conçu et implémenté en CMOS 0.35µm, 3.3 V. Les résultats de simulation montrent que le pixel a une gamme dynamique de plus de 140dB. Le dessin des masques a été envoyé pour fabrication. La conception au niveau schématique du circuit CDS est présentement en cours.

KOWARZYK MORENO, Gilbert **DIPLÔME: M.Sc.A.**

TITRE:

Développement d'un algorithme de recherche de codes convolutionnels doublement orthogonaux parallèle et implicitement exhaustif pour plateforme de calcul à haute performance.

RÉSUMÉ:

Le présent projet est une suite logique des travaux de recherche entrepris par le GR2M portant sur la recherche de codes convolutionnels doublement orthogonaux (CDO). Ceux-ci sont utilisés pour l'implémentation de décodeurs à seuil itératif et à architecture configurable ayant des caractéristiques désirables en termes de latence, de complexité et de performance en correction d'erreurs. La principale motivation de ce travail est de concevoir, implémenter et optimiser un algorithme de recherche permettant de trouver, dans un temps de calcul réduit, des codes optimaux de type CDO au sens large et CDO simplifiés (SCDO). La nouvelle technique combine plusieurs améliorations algorithmiques et un usage plus efficace des ordinateurs à multi-cœurs, pour réduire le temps de calcul et pour permettre l'obtention de nouveaux codes plus courts, ainsi que de nouveaux codes optimaux.

PROBLÉMATIQUE:

Avec l'omniprésence des moyens de communication électroniques et le besoin d'une bande passante de plus en plus grande, il devient important à la fois d'avoir des communications fiables et de trouver des techniques maximisant le débit d'information utile. Le décodage à seuil itératif permet de minimiser la probabilité d'erreurs lors des transmissions et offre une alternative intéressante aux décodeurs turbo à latence et complexité généralement plus élevées. Ce travail concerne l'accélération de la recherche de codes CDO simplifiés et de ceux au sens large. Les codes obtenus seront utilisés pour la conception de décodeurs CDO à basse latence et bonne performance en correction d'erreurs.

MÉTHODOLOGIE:

La première phase de ce projet consiste à analyser l'algorithme référence pour la recherche de CDO, et d'identifier les goulots d'étranglement associés. Dans une deuxième phase, un algorithme parallèle et implicitement exhaustif pour la recherche de codes CDO (au sens large et simplifié) sera développé et implémenté. Celui-ci essaiera de mettre en œuvre des techniques permettant d'utiliser de façon plus efficace, le matériel à multi-cœurs et d'éliminer (ou de réduire) les délais associés aux goulots d'étranglement de l'algorithme de référence. Des techniques permettant d'arrêter et de redémarrer la recherche de codes seront développées: ceci est nécessaire car le temps d'exécution du logiciel parfois excède le MTBF de la machine où il a été lancé. Dans une troisième phase, les leçons apprises seront utilisées pour développer un algorithme adapté à l'usage du GPGPU ou des plateformes de développement à processeurs hétérogènes. Des tests seront effectués afin de pouvoir comparer les nouvelles performances et d'assurer que la recherche est toujours exhaustive et valide.

RÉSULTATS:

Un algorithme parallèle implicitement exhaustif fut développé et implémenté. Les performances du nouveau logiciel de recherche sont entre 3 ou 4 ordres de grandeur meilleure par rapport à l'algorithme de référence. De nouveaux codes plus courts ainsi que de nouveaux codes optimaux furent trouvés et validés. L'ajout de techniques pour arrêter et redémarrer la recherche est en cours de développement et d'implémentation, ainsi que les nouveaux algorithmes pour la calcul de type GPGPU.

LAFLAMME-MAYER, Nicolas **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un réseau de distribution de puissance d'une carte de prototypage rapide de systèmes.

RÉSUMÉ:

Le projet DreamWafer™ est un projet de recherche conjoint entre l'UQO, L'UQAM et l'École Polytechnique de Montréal (ÉPM) ainsi que des partenaires industriels visant à créer une carte innovatrice de prototypage rapide de systèmes. Plusieurs circuits intégrés (ICs) sont déposés aléatoirement sur cette carte WaferBoard™, qui est ensuite configurée pour interconnecter ces ICs par des liens physiques configurables à l'aide de circuits actifs dans une tranche de silicium (WaferIC™) comme le ferait un circuit imprimé.

PROBLÉMATIQUE:

L'objectif principal consiste à étudier le réseau de distribution de puissance du WaferBoard™ et de réaliser des plots configurables multi-usages pour le WaferIC. Le défi de ce projet est de réussir à concevoir un réseau d'entrées-sorties (plots) à commutation rapide, pouvant soutenir un fort courant, maintenir un niveau de tension constant, le tout sur une surface restreinte de silicium. De plus, les plots devront idéalement fournir une tension programmable.

MÉTHODOLOGIE:

Pour y arriver, un modèle du réseau de distribution des alimentations du WaferBoard™ sera créé. Des designs de régulateurs distribués seront élaborés avec des contraintes de surface et de performance. La fonctionnalité de tels circuits sera validée au moyen d'outils de CAO tel que CADENCE avec une technologie CMOS de 180nm. La ou les solutions les plus prometteuses seront ensuite dessinées, fabriquées et testées dans cette même technologie pour valider leur comportement et leur performance.

- Comparaison d'architecture pour déterminer l'option la plus prometteuse afin d'obtenir plusieurs références de tension programmables stables en température et stables par rapport à VDD;
- Design d'un DAC programmable combiné avec un bandgap en schématique à l'aide de Cadence;
- Design d'un bandgap avec plusieurs branches de sortie à plusieurs niveaux de tension programmable en schématique à l'aide de Cadence;
- Choix de l'architecture la plus prometteuse et design du layout avec Cadence;
- Investigation, choix et design d'un régulateur de tension programmable en schématique avec Cadence;
- Layout de l'architecture la plus prometteuse avec Cadence;
- Fabrication d'un prototype;
- Test du prototype;
- Rédaction d'articles.

RÉSULTATS:

Les premiers résultats post-layout suggère que les régulateurs linéaires embarqués peuvent fournir un courant DC statique de 100mA et plus pour des tensions programmables de 1.0, 1.5, 1.8, 2.0 et 2.5V. Leurs performances dynamiques leur permettront de réguler une charge opérant à 25MHz. L'I/O intégré permet la propagation de signal en sortie allant jusqu'à 100MHz et plus de 500MHZ en entrées, pour des niveaux programmables identiques à ceux mentionnés précédemment.

LAFRANCE, Pierre **DIPLÔME: M.Sc.A.**

TITRE:

Convertisseur analogue à numérique permettant une quatification variable adaptée à la sensibilité de l'œil humain.

RÉSUMÉ:

Le projet se divise en 2 volets:

- Une recherche sur les caractéristiques de réponse de l'œil humain sur les stimuli en intensité de lumière;
- Un circuit de conversion analogique à numérique spécialement conçu pour les capteurs d'images de type CMOS, ayant un convertisseur par colonne. Le circuit proposé permettra une quantification variable, adapté à la sensibilité de l'œil humain. La technologie pour implémenter le circuit de type CMOS est celle d'AMS 0.35µm C35B401, une technologie optimisée pour les capteurs d'images.

PROBLÉMATIQUE:

L'œil humain est capable de déceler des images ayant une très large gamme dynamique, de l'ordre de 140-150 DB. La conception et la réalisation d'un capteur d'images CMOS capable de capter et numériser des images ayant 140-150 DB pose un défi technologique de taille. Si certains circuits logarithmiques permettent aux capteurs de fonctionner dans cette plage dynamique, il en est autrement pour la numérisation du signal. L'objectif principal de ce projet est de relâcher les contraintes électroniques du convertisseur analogique à numérique d'un capteur d'images ayant une gamme dynamique élevée, en optimisant la quantification en fonction de la réponse et la sensibilité de l'œil humain, et cela, sans dégrader la qualité visuelle des images.

MÉTHODOLOGIE:

Pour réaliser la première partie du travail, des équipements informatiques à la fine pointe de la technologie (Windows 7 et carte graphique HDMI version 1.3) permettant l'affichage d'image haute résolution d'intensité seront assemblés dans le but de valider visuellement la qualité des images générées par des algorithmes et par le circuit de conversion analogue à numérique.

Dans le cas de la 2e partie du travail, la numérisation de signaux de capteurs d'images, avec une quantification variable, sera réalisée grâce à un convertisseur analogique à numérique implanté dans la technologie AMS 0.35µm, couplée à une carte TerASiC ayant un FPGA Altera, permettant de varier l'horloge du système en temps réel.

RÉSULTATS:

Le circuit de FPGA sera simulé à l'aide des logiciels Quartus/ModelSim. Les hypothèses de la quantification variables seront simulées à l'aide de Matlab ainsi qu'à l'aide de logiciel propriétaire utilisant les bibliothèques SDL version 1.3 et/ou OpenGL. Le convertisseur numérique à analogique sera testé en laboratoire. Les différents résultats d'essais et de simulations seront combinés afin de valider ou invalider la perception de la qualité d'image résultant des hypothèses d'optimisation de la quantification variable du convertisseur analogique à numérique.

LAREAU, Étienne **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un système portable de spectrométrie par proche-infrarouge multicanaux destiné à la détection de foyers épileptogènes.

RÉSUMÉ:

L'objectif de ce projet est de développer un système de spectrométrie proche-infrarouge portable multicanaux (32) ayant pour application la détection de foyers épileptogènes. Le tout devra communiquer sans fil et avoir une autonomie de 15 à 20 heures.

PROBLÉMATIQUE:

L'objectif principal de cette maîtrise est la conception et la réalisation d'un prototype d'un appareil portable pour la spectrométrie par proche-infrarouge (NIRS) à plusieurs canaux. L'application suggérée est la détection de foyers de crise chez les épileptiques.

Le système réalisé devra consommer peu d'énergie afin d être alimenté par batterie et devra communiquer sans fil avec une interface logicielle permettant de contrôler le fonctionnement global. La conception devra être faite en fonction d'une réalisation future d'un système à 32 canaux.

La détection de la lumière se fera à l'aide de photodiodes à avalanche qui seront alimentées de façon externe, puisque ces dernières feront l'objet d'un autre projet afin d'être ingérées sur une puce dédiée.

MÉTHODOLOGIE:

Une revue de littérature marque le début du projet afin de cerner les divers enjeux des technologies utilisées. Un système existant de NIRS à 8 canaux sera utilisé afin d'expérimenter avec ce type de système et d'en comprendre les limitations existantes.

Par la suite, une première version à quelques canaux sera construite afin de valider les choix de composantes effectués. Le livrable final consistera en un circuit imprimé (PCB) qui contrôlera 32 émetteurs de lumière infrarouge et 32 détecteurs de type photodiode à avalanche commerciaux regroupés sur un casque. Le tout devra être alimenté par une batterie et l'autonomie du système devra être minimalement de quelques heures. Les objectifs seront de minimiser la consommation d'énergie et l'espace requis pour implanter le produit. Afin d'atteindre les cibles énergétiques, des techniques de multiplexage seront utilisées pour faire fonctionner la matrice d'émetteurs lumineux. Le design du circuit de contrôle sera également fait dans cette optique.

La contribution de ce projet de maîtrise est d'améliorer les appareils de NIRS multicanaux fixes en les rendant portables, c'est-à-dire leur permettant de transférer leurs données sans fil tout en ayant une autonomie suffisante pour faire des études de longue durée sur des sujets épileptiques.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

LEBEL, Dany **DIPLÔME: M.Sc.A.**

TITRE:

Vérification fonctionnelle et validation de performance architecturale pour les tissus d'interconnexion.

RÉSUME:

Il est d'une grande importance pour la productivité d'un projet d'avoir des réponses aux questions d'architecture tôt dans le projet. Dans le cadre du partenariat avec Tundra Semiconductor, le GR2M propose de nouvelles architectures de tissus d'interconnexion. Le présent projet a pour but de supporter ces propositions architecturales ou de les infirmer aisément et tôt dans un projet tout en uniformisant la méthodologie du projet en intégrant le modèle de vérification à ce même modèle d'exploration architecturale. Il s'agit du développement d'un environnement à plusieurs granularités qui sert dès la phase d'exploration en début de projet et qui suit l'évolution du projet jusqu'aux dernières phases de la vérification. Par le fait même, les étapes du projet s'en trouvent uniformisées et la productivité augmentée.

PROBLÉMATIQUE:

Une des grandes problématiques, lors du développement de composants microélectronique, est la détermination de l'efficacité de propositions architecturales tout en évitant l'implantation au niveau RTL. Le présent projet a pour but d'explorer cette problématique et de proposer des solutions efficaces et uniformes. Le temps de conception peut ainsi être réduit de façon majeure par des choix architecturaux judicieux.

MÉTHODOLOGIE:

À l'aide du SystemC, des librairies de vérification de SystemC (SCV) ainsi que de scripts d'analyse de performance en langage Perl, réaliser un environnement aisément configurable de vérification/validation de performance à niveau d'abstraction variable en C++ dans le but d'explorer de nouvelles architectures et des méthodes de vérification modernes pour des tissus d'interconnexion (jusqu'à 64x64 ports) à protocole multiples (par exemple, Rapid IO, PCI express, DMA, DRAM). Réaliser un modèle de tissu d'interconnexion de référence facilement configurable pour y inclure des propositions architecturales. Évaluer la performance des diverses propositions. Extraire les règles performantes de design, de vérification et d'exploration architecturale. Raffiner les modèles de trafic pertinents et un module d'analyse de performance basés sur le lange *Perl.*

RÉSULTATS:

Une méthodologie efficace et uniforme basée sur les techniques de vérification modernes a été appliquée et implantée pour l'exploration architecturale et la vérification de tissus d'interconnexion. Le système conçu possède les deux granularités désirées: une avec l'interface haut niveau pour l'exploration qui sert également de spécification exécutable et l'autre avec une interface matérielle pour la vérification. Trois types de trafic sont utilisés: trafic aléatoire contraint, trafic tiré d'une application réelle qui intègre un (des) processeur(s) configurable(s) et trafic synthétique C++ disponible intégré à l'environnement. Des scripts ont été développés, permettant d'analyser le comportement de tissus avec deux algorithmes d'ordonnancement : le «Weighted Round Robin» et le «Wrapped Wave Front Arbiter». L'équité de la décision et la latence des paquets sont deux des paramètres analysés.

LEPERCQ, Étienne **DIPLÔME: Ph.D.**

TITRE:

Algorithme de routage pour l'utilisation et la mise au point d'une plateforme de prototypage rapide pour les systèmes électroniques: Le *WaferBoard*™.

RÉSUMÉ:

Mes recherches prennent place au sein du projet *DreamWafer*™ et sont dédiées à la réalisation des premiers outils logiciels pour son utilisation, aujourd'hui principalement, un outil de routage. Un modèle de netlist a été construit et validé auprès de données industrielles réelles. Ces données proviennent d'un parteniare privilégié du projet (HyperChip) ainsi que le design de OpenMoko.org disponible publiquement. Un algorithme de routage adapté aux spécificités du projet a été écrit et caractérisé et un article de journal est en préparation. Cependant, de nombreuses améliorations restent à réaliser, notamment l'équilibrage des délais entre différents signaux, une analyse profonde de la tolérance aux pannes du réseau d'interconnexions, une étude sur l'architecture du réseau d'interconnexions à employer face à l'utilisation prévue du système.

PROBLÉMATIQUE:

L'utilisation du système de prototypage, le *WaferBoard*™, implique un nouveau flot de travail avec des contraintes nouvelles comparées aux actuels systèmes basés sur des PCB. Ce flot de travail implique le routage de quelques millions de segments, la configuration de milliers de points de contact, au travers de plusieurs méga-octets de configuration. Il est évident qu'un outil logiciel d'automatisation doit être réalisé, outil en cours de réalisation et segmenté en plusieurs sous-parties. Deux étapes cruciales sont fonctionnelles, à savoir la reconnaissance de packages et le routage d'une netlist.

Il est également nécessaire de réaliser une interface utilisateur permettant de visualiser l'état interne du wafer (Nano PADs, circuits de configuration, liens, crossbars, etc…). Cette interface pourra être étendue vers la réalisation de netlist, la définition de contraintes sur les nets ou d'autres choses encore.

MÉTHODOLOGIE:

La démarche choisie repose sur l'enchaînement de trois étapes pour atteindre les objectifs fixés:

- Revue de littérature sur les techniques existantes, en termes de reconnaissance ou de routage, mais également sur les outils pour la réalisation d'interfaces sous GNU/Linux;
- Explorer les solutions les plus prometteuses et adapter celles-ci aux contraintes spécifiques du projet : Dijkstra avec gestion de conflit, heuristique *adhoc*,…;
- Développer le meilleur compromis entre performance, temps de développement et gain visible à l'utilisateur.

RÉSULTATS:

Un outil de génération statique de netlist, configurable pour générer différentes répartitions, densités d'occupation, a été écrit et amélioré. Cet outil sert à bâtir une métrique de comparaison des algorithmes et heuristiques de routage et a été validé face à des données réelles. Les netlists générées ont été routées par différents algorithmes implémentés cette année, notamment deux heuristiques de gestion de conflit. Celles-ci sont fonctionnelles et permettent de router des netlist au travers du réseau d'interconnexions du wafer en un temps nettement amélioré par rapport au précédent, et ce, en garantissant un trajet optimal en terme de temps de propagation. De plus, la gestion des conflits, quoique simple aujourd'hui, permet de router des netlists à la densité extrême (pire cas) pour les cas d'utilisation projetés du système de protoypage.

Un article de journal est en préparation et un article de conférence publié (MNRC 2009), rassemblant les résultats des tests du réseau d'interconnexions du testing fabriqué en 2008. Celui-ci a donné entière satisfaction quant à la problématique du routage entre différentes cellules du design

LÉVESQUE, Philippe **DIPLÔME: Ph.D.**

TITRE:

Architecture d'un processeur dédié aux traitements de signaux ultrasoniques en temps réel en vue d'une intégration sur puce.

RÉSUMÉ:

Ce travail s'inscrit dans le cadre du projet de la mise en œuvre d'un système échographique intégré sans fil. Ce système sera portable, possédera une grande autonomie et pourra être utilisé en conjonction avec un système contrôlé par un processeur dédié ou seul, en tant qu'instrument d'imagerie médicale utilisé pour de nombreux diagnostics. Le prototype portatif complété est de 16cm x 10cm et permet de guider l'élaboration de l'architecture en vue d'une intégration sur puce. La section numérique du système est réalisée avec un seul FPGA (Spartan3) tandis que la section analogique est composée de composants discrets.

PROBLÉMATIQUE:

Les fonctions de traitement du signal radio fréquence (RF) des systèmes ultrasoniques actuellement disponibles sont généralement exécutées par un logiciel sur un processeur conventionnel (Central Processor Unit – CPU) ou sur autre processeur dédié au traitement de signal (Digital Signal Processor – DSP). Ces systèmes ne permettent pas une vitesse d'exécution adéquate ou requièrent beaucoup d'énergie pour atteindre les performances nécessaires. De plus, les dimensions et le coût limitent l'accessibilité de cette technologie pour certaines applications et certains milieux. La réalisation d'un nouveau type d'appareil permettra d'accroître le champ d'utilisation de cette technologie dans les secteurs militaire et vétérinaire, les pays économiquement défavorisés ainsi que la médecine à domicile.

MÉTHODOLOGIE:

Une recherche bibliographique approfondie sur les systèmes échographiques, sur les méthodes de traitement de signaux ultrasoniques et sur l'imagerie médicale a été effectuée et est régulièrement mise à jour. Le choix des différentes méthodes de traitement de signal a été validé en comparant les techniques à l'aide de Matlab. La partie numérique du système échographique, du démodulateur jusqu'à l'affichage de l'image sur un écran (résolution de 320x240) est implémentée sur FPGA (XC3S1500L) à faible consommation et à faible coût. La partie analogique est réalisée avec des composants discrets pour l'instant mais sera implémentée sur une ou plusieurs puces dans le cadre d'un autre projet. Grâce au prototype, il fut possible d'analyser l'architecture dans son ensemble. Le ratio performance-consommation ainsi que la qualité du traitement étant les deux principaux critères d'analyse et de comparaison.

RÉSULTATS:

Une troisième version de l'architecture du processeur ultrasonique est complétée. Cette nouvelle version supporte l'ensemble de l'architecture proposée. En effet, un module d'interpolation linéaire complète l'architecture. De plus, l'unité de sous échantionnage adaptif qui permet de compresser les données ultrasoniques est améliorée et permet d'effectuer un zoom en temps-réel tout en améliorant la résolution axiale et latérale de plus de 25%. D'autre part, les résultats obtenus montrent que l'architecture proposée permet d'utiliser les technologies de communication sans fil d'aujourd'hui. Finalement, l'analyse du ratio performance-consommation démontre que l'architecture proposée rencontre les objectifs fixés par rapport à une implémentation logicielle. L'unité de prétraitement consomme dynamiquement seulement 240 mW et possède une performance équivalente à 53.15 Dhrystone 2.1 MIPS/MHz. Notez que l'intégration sur puce permettra de réduire la consommation statique, ce qui sera encore plus bénéfique.

MAHVASH Mohammad Hossein **DIPLÔME: Ph.D.**

TITRE:

Algorithme de compensation de mouvement hybride par une estimation de mouvement inversée.

RÉSUMÉ:

Une nouvelle mesure permettant de qualifier la fiabilité des vecteurs de mouvement est proposée. Une méthode, appelée « évaluation inversée de mouvement » est appliquée à l'algorithme de désentrelacement hybride implémenté. Cette méthode hybride alterne le traitement entre l'algorithme de compensation de mouvement existant et le moyennage de lignes, toutes deux basées sur la fiabilité des vecteurs de mouvement.

PROBLÉMATIQUE:

Implémenter un algorithme de désentrelacement hybride avec compensation de mouvement, qui améliore la résolution verticale tout en prévenant les problèmes d'artefacts.

MÉTHODOLOGIE:

Les vecteurs de mouvement sont calculés par la méthode hybride de compensation et l'estimation de mouvement est appliquée au bloc de pixels le plus proche d'une image à l'autre. Si le résultat de cette estimation réfère au bloc original ou à un de ses voisins, les vecteurs de compensation sont considérés comme fiables. La compensation de mouvement est utilisée lorsque ceux-ci le sont, pour améliorer la résolution verticale, sinon c'est la méthode basée sur le moyennage de lignes qui est utilisée, limitant l'apparition d'artefacts provenant de vecteurs de mouvement erronés.

RÉSULTATS:

Les résultats expérimentaux montrent que l'estimation de mouvement inversée permet d'évaluer efficacement la fiabilité des vecteurs de mouvement. Basé sur des critères objectifs et subjectifs, la métrique obtient de meilleurs résultats que les autres mesures de fiabilité avec en plus une complexité algorithmique plus faible.

MARCHE, David **DIPLÔME: Ph.D.**

TITRE:

Implémentation, ajustement laser et modélisation des convertisseurs numérique à analogique R2R.

RÉSUMÉ:

Design de convertisseur numérique à analogique (CNA) de haute précision. L'architecture choisie est basée sur un réseau de résistance R2R. L'optimisation comprend une modélisation des différents types de CNA R2R, l'addition de résistances ajustables par laser ainsi qu'un design original des interrupteurs.

PROBLÉMATIQUE:

Pour tirer profit de la progression du traitement numérique, l'information souvent analogique au départ, est échantillonnée, traitée sous format binaire, puis reconvertie en signal analogique. Dans ce contexte, les convertisseurs numérique à analogique (CAN) et analogique à numérique (CNA) représentent des interfaces dont la performance est critique pour le fonctionnement du système entier. Nous demandons à ces interfaces un taux de conversion rapide et une précision élevée. Le projet s'est concentré sur les CNA R2R qui ont le potentiel d'offrir ces deux caractéristiques en tirant profit de nouveaux dimensionnements et compensation des interrupteurs ainsi que d'une technologie récente d'ajustement de résistance par laser. Cette technologie, initalement développé à Polytechnique, était commercialisée par la compagnie LTRIM Technolgies Inc. Cette compagnie a fait faillite durant l'hiver 2007. Plusieurs prototypes ont néanmoins été réalisés et testés avec succès.

MÉTHODOLOGIE:

Une modélisation des réseaux R2R a d'abord eu lieu, pour permettre d'identifier les points sensibles de ce type d'architecture. Cette modélisation permet de mesurer l'appariement nécessaire pour les résistances des circuits R2R en fonction de la résolution ciblée. Cette mesure est nécessaire pour la conception des éléments ajustables par laser. Des circuits intégrant ces éléments ont ensuite été dessinés et fabriqués. Un second volet de la recherche s'est penché sur le problème des interrupteurs dans les réseaux R2R. Une nouvelle solution a été pensée, simulée et validée par un circuit intégré.

RÉSULTATS:

Les résultats se divisent en trois contributions complémentaires :

- Des modèles de réseaux R2R (mode courant et tension) ont été développés;
- Un circuit intégré de CNA ajustable par laser a été réalisé et caractérisé. Ses performances démontrent comment il est possible d'intégrer les nouvelles résistances ajustables par laser pour obtenir une précision de 14 bits;
- Un circuit intégré de CNA utilisant une nouvelle méthode de compensation des interrupteurs a été caractérisé. Ses performances démontrent que la nouvelle méthode est efficace et permet une réduction de surface en même temps qu'une augmentation de la vitesse de conversion.

MBAYE, Mame Maria **DIPLÔME: Ph.D.**

TITRE:

Techniques d'exploration architecturale de design à usage spécifique pour l'accélération de boucles.

RÉSUMÉ:

Le projet consiste à spécifier des métriques orientées boucle qui permettront de mesurer les possibilités d'accélération de boucles de traitement soit par un processeur spécialisé, soit par un module matériel dédié en vue de la construction d'architectures multiprocesseurs hétérogènes.

PROBLÉMATIQUE:

L'industrie a à sa disposition une multitude d'outils pour la conception de plateformes SoC tels que le générateur de processeur spécialisé de la compagnie Tensilica, le générateur de code RTL CatapultC de Mentors Graphics, etc. Malheureusement, l'industrie doit faire des choix architecturaux qui reposent généralement sur l'expérience de ses concepteurs. Les concepteurs acquièrent une méthodologie en statuant sur le traitement qui s'accélère mieux en matériel qu'en logiciel alors qu'ils devraient prendre en compte des métriques rigoureuses pour faire leurs choix architecturaux. Les recherches actuelles montrent qu'environ 90% du temps d'exécution d'une application s'effectue dans 10% des lignes de code de l'application. Donc, au lieu de disperser ses énergies à vouloir optimiser toutes les lignes de code d'une application, il est bien plus efficace de cibler l'accélération des boucles contenues dans le code. Les métriques orientées boucle permettront ainsi de définir les possibilités d'accélération d'une boucle de traitement.

MÉTHODOLOGIE:

La première étape de notre projet consistera à proposer une technique d'accélération de boucles par des instructions spécialisées fortement couplées. Ensuite, durant la seconde étape, des métriques orientées boucles seront caractérisées, suivie de la conception et de l'implémentation de ces métriques. Elles seront déployées dans l'environnement du compilateur reconfigurable SUIF2. La prochaine étape sera l'interprétation des métriques pour statuer sur les possibilités d'accélération. De ces métriques, une méthode de partitionnement devra être sélectionnée telle que l'intégration d'instructions spécialisées ou de module matériel dédié. Ensuite, une technique de construction d'architectures multiprocesseurs sera proposée basée sur les résultats de partitionnement qui seront obtenus.

RÉSULTATS:

Nous avons proposé un cadre de travail qui permet de cibler un type d'architecture tels que logiciel pur, logiciel avec instructions spécialisées et matériel pur. L'architecture est spécifiée par des contraintes de design. De nouvelles métriques orientées boucle ont été proposées et implémentées. Selon les contraintes de design, les opérations d'une boucle sont ordonnancées et les métriques sont collectées. Celles-ci permettent de déterminer les aspects qui contribuent à accélérer une boucle et ceux qui freinent les possibilités d'accélération d'une boucle. Nous avons spécifié deux groupes de métriques : orientées accès mémoire et orientées calcul. Nous avons aussi proposé un processus d'analyse se basant sur les nouvelles métriques. Ce processus permet de déterminer quelles optimisations pourraient être appliquées pour que les possibilités d'accélération soient exploitées. Malheureusement, les métriques ne tiennent compte que des possibilités d'accélération au niveau itération. Donc, dans un second temps, nous avons proposé une technique d'estimation des performances d'un nid de boucle. Cette technique permet d'évaluer le temps d'exécution d'un nid de boucles en temant compte de contraintes architecturales sans avoir à dérouler un nid de boucles pour ensuite réordonnancer les opérations. Le temps d'ordonnancement des opérations explose en fonction du facteur de déroulement du nid de bouches, ainsi notre technique réduit le temps d'exploration architecturale tout en fournissant des résultats précis.

MÉNARD BEAUDOIN Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Circuits analogiques de lecture pour un capteur d'images CMOS à photodétecteur sans filtre.

RÉSUMÉ:

Ce projet de recherche consiste à élaborer, mettre au point, concevoir et réaliser les circuits électroniques servant à traiter les signaux analogiques en provenance d'un photodétecteur nouveau genre en vue d'obtenir un capteur d'image intégré et autonome. La structure fondamentale de ce photodétecteur innoveur lui permet de détecter les couleurs sans requérir à un filtre chromatique superposé à la matrice de pixels, ce qui permet d'améliore la sensibilité et la résolution spatiale par rapport aux capteurs actuellement disponibles sur le marché.

PROBLÉMATIQUE:

La problématique se divise en deux parties. Tout d'abord puisque nous sommes au début du processus de développement du capteur, le comportement réel du photodétecteur est encore relativement méconnu. Nous devons donc poursuivre la caractérisation de son fonctionnement et l'évaluation expérimentale de ses propriétés électroniques. Puisque le photodétecteur étudié n'est pas conventionnel, il est possible que les procédés de traitement utilisés actuellement dans les capteurs d'images actuels ne conviennent pas ou doivent être modifiés.

La deuxième partie de la problématique touche l'accroissement constant du nombre de pixels des capteurs d'images commerciaux. Pour être en mesure de concurrences les capteurs actuels, les circuits conçus doivent occuper un espace physique minimal et consommer le moins de puissance possible. De plus, certaines caractéristiques doivent être implémentées pour maximiser la gamme dynamique et minimiser le bruit.

MÉTHODOLOGIE:

Dans un premier temps nous avons développé une architecture innovatrice de pixel actif basée sur un intégrateur inverseur à trois entrées. Celle-ci procure une excellente linéarité, un très bon écart dynamique et permet d'assurer la continuité de la caractérisatino du photodétecteur. Dans un deuxième temps, des circuits d'échantillonnage ont été conçus dans le but de permettre le multiplexage temporel des tensions de sorties des pixels. Enfin, des tampons de sortie ont été élaborés en vue d'isoler le capteur des périphériques externes (oscilloscope, carte d'acquisition vidéo, etc.). Ces circuits ont été implémentés dans un prototype de capteur d'images fabriqué en technologie TSMC 0.25µm.

RÉSULTATS:

Les résultats expérimentaux en provenance d'un premier prototype reçu au printemps 2008 confirment le fonctionnement des circuits conçus. Nous avons évalué la linéarité, l'écart dynamique et la tension de décalage de l'intégrateur inverseur. Par la suite, nous avons caractérisé le courant de noirceur des phtodétecteurs. Afin de valider le fonctionnement de l'ensemble des circuits, le prototype a été utilisé pour faire l'acquisition d'une image monochrome de 75 pixels par 100 pixels. Finalement, nous avons étudié le bruit spatial et temporel pour en déterminer les principales origines.

MENDEZ, Arnaldo **DIPLÔME: Ph.D.**

TITRE:

Méthode efficace pour le monitorage du volume de la vessie chez les patients paraplégiques.

RÉSUMÉ:

L'objectif général de ce projet est de proposer et mettre en œuvre une méthode efficace de contrôle de volume de la vessie chez les patients paraplégiques souffrant de dysfonctions urinaires pricipalement causées par la SCI, dans le but d'approvisionner le neurostimulateur avec le retour d'information nécessaire pour restaurer les fonctions de la vessie de façon sécuritaire et efficace.

MÉTHODOLOGIE:

Déterminer les spécifications cibles à l'aide de la méthode QFD (Quality Function Deployment). Établir si une méthode basée sur des capteurs artificiels ou sur les capteurs naturels devraient être utilisés pour le monitorage. Proposer et mettre en œuvre la méthode sélectionnée chez les animaux tout en respectant les normes bioéthiques. Valider la méthode proposée. Protéger et publier nos contributions.

Les patients souffrant du syndrome d'hyperactivité vésicale est un sujet avec un intérêt majeur car il est présent pour plusieurs personnes de par le monde entier. Il est important de considérer l'aspect humain de la maladie et l'incapacité en raison de la stigmation, l'isolement, la perte de l'estime de soi et la dépression. La recherche actuelle vise à trouver une solution au problème non résolu qui permettra d'améliorer la performance des dispositifs de neurostimulation en considérant les conditions particulières des patients et permettra de réduire les effets traumatiques secondaires. Les résultats de cette recherche contribueront à améliorer la qualité et l'espérance de vie et à réduire les coûts élevés de soins des patients avec dysfonctions urinaires.

PROBLÉMATIQUE:

Lorsque les principales fonctions de stockage et de miction de la vessie échouent par suite de traumatisme médullaires (SCI) ou d'autres maladies neurales, des complications graves de la santé du patient et une détérioration continue de sa qualité de vie se produisent. Aujourd'hui, il est possible de restaurer partiellement les fonctions de la vessie pour certains de ces patients en utilisant des dispositifs neurostimulateurs implantables. Pour restaurer ces fonctions de façon sécuritaire et efficace dans les applications chroniques, il est nécessaire d'appliquer les stimuli électriques pour la détection du volume de la vessie, uniquement lorsque la restauration est nécessaire et non en permanence comme cela est fait présentement. De cette manière, une stimulation neurale conditionnelle peut être efficacement réalisable dans une boucle fermée, ce qui réduit les stimulations inutiles de la vessie. Une telle approche permet de diminuer les effets secondaires nocifs produits par l'électrostimulation continue et d'épargner la réserve d'énergie toujours limitée. Malgré plusieurs tentatives dans les années passées, un dispositif fiable, précis et robuste pour implémenter la rétroaction du neurostimulateur avec des informations de volume de la vessie, demeure comme un besoin non résolu, principalement causé par la complexité de la physiologie, de l'anatomie de la vessie et du système nerveux ainsi que par les limitations techniques dans les technologies disponibles présentement pour la surveillance des variables biologiques en utilisant les dispositifs implantables.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

MILED, Mohamed Amine **DIPLÔME: Ph.D.**

TITRE:

Laboratoire sur puce implantable au cerveau dédié à la détection et à la séparation des neurotransmetteurs.

RÉSUMÉ:

Les neurotransmetteurs représentent la base de la communication inter-neuronales et la pièce motrice de tout système nerveux. Une défaillance de ces derniers engendre un dysfonctionnement du système nerveux et de la transmission de l'information dans le cerveau. Les nanotechnologies nous permettent d'explorer de nouvelles voies pour réparer ce dysfonctionnement. Nous essayons dans un premier temps de développer un microsystème qui peut remplacer un seul neurotransmetteur. Ce système sera capable de non seulement détecter l'activité neuronale mais aussi de pouvoir la modifier ou l'ajuster. Ce micro système est une combinaison de circuits micro-électroniques, de microélectrodes, d'un circuit de contrôle et de commande et de composantes microfluidiques et chimiques. Une fois que le système sera développé pour un seul neurotransmetteur, ce dernier pourra être appliqué dans une architecture matricielle en vue d'être implémenté dans tout un réseau de neurones dans le cortex cérébrale. L'objectif est, ainsi, de remédier à un dérèglement de certaines fonctions du cerveau.

PROBLÉMATIQUE:

L'objectif de la recherche et de développer une micro puce implantable dans le cerveau pour suivre l'évolution des neurotransmetteurs au niveau cortical. Pour y parvenir, nous procédons à la réalisation d'un dispositif basé sur un laboratoire-sur-puce qui servira à échantillonner des neurotransmetteurs au niveau des connexions neuronale et de l'analyser. Nous prévoyons ensuite proposer une méthode de séparation et de détection de ces neurotransmetteurs cibles.

MÉTHODOLOGIE:

Le projet se décompose en plusieurs parties qui sont:

- Étude et simulation du système avec le logiciel d'analyse à éléments finis ANSYS;
- Propostion d'une architecture microfluidique;
- Mise en œuvre d'une puce microélectronique en utilisant la technologie CMOS;
- Asssemblage de l'ensemble des puces;
- Test et validation du système.

RÉSULTATS:

Un premier prototype a été déjà conçu et implémenté sur une première plateforme de prototypage. Une autre carte électronique a été élaborée pour générer les signaux électriques. Tout le système a été assemblé et connecté. Les premiers résultats étaient concluants et une séparation du liquide injecté dans les microcanaux a été réussie. La partie détection a été basée sur un capteur capacitif commercial. Une première série de mesures nous a permis de détecter une variation de 1pF lors de l'injection du liquide dans les microcanaux.

MOSS, Laurent **DIPLÔME: Ph.D.**

TITRE:

Profilage, caractérisation et partitionnement fonctionnel dans une plate-forme de conception de systèmes embarqués.

RÉSUMÉ:

Cette recherche vise à développer une méthodologie d'exploration architecturale de systèmes embarqués en se basant sur la technologie Space Codesign, qui implémente une plate-forme virtuelle en SystemC pour des architectures multiprocesseurs. La méthodologie proposée combine un modèle de calcul formel, une spécification unique de l'application en SystemC à haut niveau, une méthode de synthèse comportementale pour en dériver un code RTL au besoin, une méthode de profilage au niveau système, une méthode de caractérisation automatisée autant que possible et un algorithme heuristique qui considère simultanément le partitionnement logiciel/matériel multiprocesseurs et la sélection d'une architecture de communications.

PROBLÉMATIQUE:

La complexité et les requis de performance des systèmes informatiques embarqués augmentent constamment. Pour répondre à ces requis, les systèmes embarqués comprennent maintenant plusieurs processeurs, blocs matériels, mémoires et périphériques sur une seule et même puce. Le choix de l'architecture de communications reliant ces composants, ainsi que le choix d'implanter les différentes fonctionnalités d'un tel système sous la forme de logiciels embarqués ou de composants matériels conçus sur mesure, a un grand impact sur la performance et le coût du système. Les méthodologies présentement utilisées par l'industrie pour la conception des systèmes embarqués ont de la difficulté à gérer ces architectures complexes et les retards et dépassements de coûts sont fréquents dans les projets de conception de systèmes embarqués.

MÉTHODOLOGIE:

Des applications connues, tel que le traitement d'images, serviront d'étude de cas. Ces applications seront modélisées à l'aide de Space, puis profilées afin d'en recueillir des données sur leur performance. Ensuite, ces applications seront caractérisées afin de pouvoir estimer la performance et le coût matériel des différentes architectures pouvant implémenter cette application. Ces estimateurs serviront de fonction d'évaluation pour des méta-heuristiques qui optimiseront le partitionnement logiciel-logiciel, le partitionnement logiciel-matériel et l'architecture de communications selon des contraintes de performance et de coût. Finalement, nous comparerons le temps d'exécution et la qualité des solutions obtenues pour deux algorithmes d'exploration architecturale automatisée (un algorithme exact et un algorithme heuristique), de même que la durée et la qualité des mesures obtenues par profilage et estimation.

RÉSULTATS:

Un modèle de calcul a été défini et proposé pour la modélisation des systèmes embarqués avec SPACE. Une méthode de synthèse matérielle des modules Space a été réalisée à l'aide de l'outil de synthèse comportementale Forte Cynthesizer. Une méthode de profilage logiciel/matériel a également été implémentée. L'automatisation de la caractérisation des applications de la plateforme SPACE et de ses bibliothèques logicielles a été réalisée. Des heuristiques de marche aléatolire, de descente, de recuit simulé et de recherche tabou ont été implémentées pour l'exploration architecturale. Ces méthodes ont été testées sur plusieurs applications codées avec SPACE.

MOUNAIM, Fayçal **DIPLÔME: Ph.D.**

TITRE:

Dispositif microélectronique implantable dédié à la réhabilitation des fonctions urinaires.

RÉSUMÉ:

La lésion de la moelle épinière (Spinal Cord Injury-SCI) est l'un des problèmes les plus dévastateurs médicalement et socialement. Selon l'Association Canadienne des Paraplégiques, près de 36,000 canadiens vivent avec une SCI. À la suite d'une SCI, il se produit une perte du contrôle sensoriel et moteur qui entraîne divers degrés de dysfonctionnement du bas appareil urinaire.

PROBLÉMATIQUE:

Notre objectif général est d'investiguer, de proposer et d'expérimenter des solutions pour rétablir, chez les paraplégiques, une fonction urinaire contrôlée et aussi proche que possible de la fonction physiologique. Que ce soit un dispositif électronique, mécanique, et/ou hydraulique, les solutions seront évaluées selon le degré d'efficacité, la facilité d'implémentation ainsi que la difficulté chirurgicale. À l'aide d'un dispositif électronique implantable, la stimulation électrique des nerfs sacrés innervant le système urinaire constitue notre approche principale. Elle permettra aux paraplégiques une miction volontaire et une réduction de l'hyperréflexie de la vessie. L'un des principaux défis est de pouvoir stimuler avec suffisamment de sélectivité pour agir de manière exclusive et efficace sur les organes ciblés. Afin de prévenir le patient avant toute incontinence, il est nécessaire de surveiller l'état de la vessie. Cependant, il reste à trouver de nouvelles approches pour mesurer de manière continue ou intermittente le volume d'urine et la pression intravésicale.

MÉTHODOLOGIE:

A. *Prototypes implantables discrets:*
   - Réaliser et tester des prototypes de neurostimulateurs implantables à l'aide de composants commerciaux.
B. *Nouvelles méthodes de neurostimulation et de surveillance du système urinaire:*
   - Proposer et évaluer lors d'expériences animales aigües de nouvelles méthodes de neurostimulation et de surveillance permettant d'augmenter l'efficacité de l'évacuation de l'urine.
C. *Intégration sur puce:*
   - Réaliser et tester des circuits intégrés comprenant des sous-systèmes de neurostimulateur (excluant la partie numérique) et permettant de démontrer la possibilité d'une intégration totale. En particulier, l'étage de récupération de l'énergie inductive pourra être intégré dans une technologie haute-tension. Celle-ci permettra de proposer et d'évaluer une nouvelle approche pour fournir les différentes alimentations nécessaires tout en maximisant l'efficacité énergétique.
D. *Neurostimulateur implantable hautement intégré:*
   - Développer et caractériser un neurostimulateur complet basé sur les circuits intégrés réalisés. Il s'agit également de valider sa capacité à mettre en œuvre la nouvelle stratégie de neurostimulation proposée.

RÉSULTATS:

Les phases A et B ont été menées à terme. La première a permis d'élaborer une nouvelle architecture de neurostimulateur hautement-intégré et la seconde de proposer de nouvelles méthodes de neurostimulation et de surveillance de la vessie. En particulier, une nouvelle stratégie de neurostimulation a été divulguée au BRCDT et fut l'objet d'une demande de brevet. Dans la phase C, trois puces en technologie haut-voltage CMOS-0.8µm ont été réalisées. La première a été testée avec succès et les dernières sont en cours de test. Ces puces permettent de récupérer l'énergie inductive et de fournir des alimentations régulées entre 3.3V et 12V. Ces deux dernières puces ont fiat l'objet d'articles qui ont été soumis aux conférences BIOCAS 2009 ET ICM 2009 respectivement.

NEMR, Abbas **DIPLÔME: M.Sc.A.**

TITRE:

Conception et prototypage de décodeurs à seuil itératif à haut débit.

RÉSUMÉ:

Ce mémoire concerne l'implémentation matérielle sur FPGA de décodeurs à seuil itératif à haut débit dédiés aux codes correcteurs d'erreurs dits convolutionnels doublement orthogonaux (CDO). Les implémentations du décoder à seuil itératif réalisées auparavant n'atteignent que 42 Mbps de débit et ne supportent qu'un seul taux de codage, R = ½. Ainsi, la principale motivation dans ce travail était d'augmenter le débit à la sorite du décodeur et de faire fonctionner ce dernier à des taux de codage, R > ½ afin de satisfaire les critères de communications sans fil tels que ceux spécifiés pour la norme WiMAX.

PROBLÉMATIQUE:

Depuis plus de 30 ans, les communications électroniques sont devenues un besoin essentiel dans notre société moderne. Afin de répondre aux besoins grandissants des consommateurs (Internet, Voix, Vidéo, MP3…), les nouvelles normes de communication sans fil (Wi-Fi, WiMax…) introduites dans ces dernières années ont exigé une transmission fiable de l'information à très haut débit. Pour ce faire, les spécialistes de l'information ont toujours cherché à créer des techniques de codage pour la correction d'erreurs de plus en plus performantes. L'année 1993 a été marquée par la découverte des codes Turbo qui a permis notamment de s'approcher de très prêt des limites théoriques prédites par Shannon. Cependant, les algorithmes de décodage pour les codes Turbo introduisent une très grande complexité matérielle ainsi qu'une latence élevée. Dans ce mémoire, la conception et l'implémentation matérielle sur FPGA des décodeurs à seuil itératif de codes CDO à faible complexité et latence et à haut débit de l'information ont été entreprises.

MÉTHODOLOGIE:

Pour atteindre les objectifs visés, une revue de littérature est effectuée sur les algorithmes de décodage à seuil itératif et sur des architectures du décodeur de codes CSO2C déjà réalisées dans des travaux antérieures. Lors de la réalisation du projet, les étapes suivantes seront aussi effectuées:

- Amélioration de l'architecture du décodeur;
- Introduction d'une nouvelle technique de pipelinage du décodeur. Par la suite, la complexité matéreille engendrée par les étages de pipeline a été analysée;
- Conception des modules de perforation qui permet des taux de codage à R > 1/2;
- Modélisation, vérification et prototypage du décodeur;
- Validation des résultats expérimentaux en les comparants avec les résultats de simulations logicielles;
- Introduction, recherche et détermination des codes CDO à multi registres à décalage (M-CDO) et conception du décodeur à seuil itératif correspondant;
- Rédaction du mémoire ainsi que d'articles de conférences et de journaux.

RÉSULTATS:

- Implémentation de la première version du décodeur à seuil itératif des codes CDO à haut débit, allant jusqu'à 269 Mbps;
- Implémentation de la première version du décodeur à seuil itératif des codes CDO perforés (PCD) à taux compatibles (½ ≤ R ≤ 8/9) à haut débit, allant jusqu'à 269 Mbps;
- Implémentation du décodeur à seuil itératif des codes M-CDO à très haut débit, allant jusqu'à 1.3 Gbps;
- Recherche et détermination d'ensembles des codes PCDO à taux compatibles et des codes M-CDO;
- Un article de conférence a été accepté et publié (3e prix à NEWCAS-TAISA 2008);
- Le mémoire a été rédigé et présenté (Nomination de mon mémoire au prix de meilleur mémoire à l'École Polytechnique de Montréal pour l'année universitaire 2008-2009).

NOURIVAND, Afshin **DIPLÔME: Ph.D.**

TITRE:

Réduction de la puissance de fuite des mémoires sur puce sans impact sur le rendement.

RÉSUMÉ:

Ces travaux de recherche consistent à élaborer de nouvelles techniques pour réduire les courants de fuite des mémoires sur-puce sans impact sur le rendement. Nous étudions le comportement des cellules SRAM (Static Random Access Memory) à des tensions d'alimentation réduite au cours d'un mode de veille. Concrètement, nous mettons l'accent sur les cellules faibles causées par les variations excessives du processus et les défauts de fabrication. Nous proposons de nouvelles techniques au niveau circuit et de l'architecture permettant de réduire les fuites tout en évitant la perte de rendement.

PROBLÉMATIQUE:

Les courants de fuite représentent une part importante de la consommation totale d'énergie de la puce à l'échelle nanotechnologique. Une portion importante de la consommation de puissance vient des courants de fuite sur les puces SRAM en nanotechnologies. Diverses techniques ont été proposées dans la littérature pour réduire les fuites des mémoires SRAM par le passage des portions inactives de la mémoire à un mode de veille à faible-fuite. Toutefois, la capacité des cellules SRAM de conserver des données est généralement détériorée en mode veille, suite à l'échec de certaines «cellules faibles», causées par les variations de procédé excessives et non catastrophiques. Ces cellules fonctionnent habituellement à tension d'alimentation nominale. Toutefois, elles n'ont pas de mode de veille. Les puces contenant ces cellules faibles sont vouées à l'échec au cours du mode de veille et diminueront de beaucoup le rendement.

MÉTHODOLOGIE:

En raison de l'importance du défaut résistif ouvert, nous mettons l'accent sur les cellules faibles qui causent ce type de défauts. Nous injectons les défauts de la cellule SRAM. Par la suite, nous effectuons des simulations circuit permettant d'observer le comportement des défauts au mode de veille. Pour éviter la perte de rendement, de nouvelles techniques architecturales sont investiguées pour réduire les fuites des SRAMs en présence des cellules faibles.

RÉSULTATS:

De nouveaux comportements défectueux ont été observés en raison du mode de veille. Nous avons montré qu'en utilisant des techniques de vérification et correction d'erreur (ECC), pour lutter contre leur manque de fiabilité induit en raison des cellules faibles, les fuites de SRAM peuvent encore être réduites. Également, nous avons observé que les cellules faibles commencent à montrer un comportement déficient à différentes tensions en fonction de la gamme de la résistance et de l'emplacement de l'anomalie. Ainsi, nous avons proposé l'étalonnage de la tension de veille de cellules SRAM en vue de réduire son impact sur le rendement.

OULD BACHIR, Tarek **DIPLÔME: Ph.D.**

TITRE:

Accélération matérielle de calculs matriciels pour des applications en réseaux électriques.

RÉSUMÉ:

Les praticiens de la simulation en temps réel des réseaux électriques ont adopté les circuits reconfigurables de type FPGA pour leur besoin en calculs. Cette thèse a pour ambition d'apporter plusieurs contributions aux domaines des opérateurs arithmétiques en virgule flottante, à celui des architectures matérielles de résolution des systèmes d'équations linéaires, en conjonction avec les besoins stratégiques du domaine de la simulation en temps réel et en temps différé des réseaux électriques. Elle a pour objectifs: la conception et le développement d'opérateurs en virgule flottante à destination de dispositifs reprogrammables de type FPGA; opérateurs arithmétiques; Opérateurs arithmétiques spécialisés; opérateurs vectoriels et matriciels; optimisation des architectuires matricielles pour répondre aux besoins de la problématique des réseaux électriques; application de tels systèmes aux problèmes de la simulation temps-réel; conception et développement d'interpréteurs permettant l'extraction d'une architecture matérielle à partir d'équations exprimées dans un langage de programmation à haut niveau d'abstraction.

PROBLÉMATIQUE:

Le domaine du calcul à haute performance nourrit un intérêt croissant pour les systèmes de calcul hybrides qui sont un composite de machines ordinées à base de processeurs à usage général combinés à des circuits reprogrammables servant de coprocesseurs spécialisés. L'accélération matérielle réalisée peut offrir un gain de performance conséquent aux calculs scientifiques si l'architecture déployée répond mieux aux exigences du calcul qu'un processeur à usage général. Les circuits reconfigurables (FPGA) sont attrayants du fait de leur densité continuellement croissante et de la possibilité d'y réaliser des architectures arbitraires. Néanmoins, les opérateurs arithmétiques disponibles sur les FPGA sont principalement en représentation à virgule fixe, alors que de nombreux problèmes scientifiques exigent l'utilisation d'une représentation à virgule flottante. Le problème mathématique que nous désirons accélérer est celui de la simulation des régimes transitoires des grands réseaux électriques. Deux méthodes de formulation des équations des réseaux de topologie arbitraire sont considérées: 1) les équations d'état et 2) l'analyse nodale-modifiée-augmentée. Ces méthodes reposent sur les opérateurs matriciels. L'implémentation matérielle d'opérateurs matriciels en virgule flottant implique plusieurs défis architecturaux au coût de nombreux compromis qu'il faut étudier et d'évaluer. Les paramètres à considérer sont : 1) la taille des ressources reconfigurables ; 2) la bande passante sur les entrées et sorties ; 3) la taille, la disponibilité, la proximité de la mémoire.

MÉTHODOLOGIE:

Les architectures matérielles à développer sont initialement évaluées à un niveau d'abstraction élevé au moyen d'outils de programmation tels que C++ ou MATLAB pour être ensuite réalisées matériellement grâce aux outils de synthèse, placement et routage tels que System Generator de la suite de développement ISE du fabricant de FPGA Xilinx. Le prototypage de systèmes hybrides constitue finalement l'étape de validation des architectures ainsi proposées et leurs performances sont comparées à celles rapportées dans la littérature

RÉSULTATS:

A date, nous avons développé 1. une architecture de multiplieur-accumulateur en virgule flottante servant nos besoins dans le calcul du produit scalaire ; 2. un module matériel de résolution d'équations d'états en temps réels 3. un prototype de moteur BLDC simulé sur une carte ML506 muni d'un FPGA Virtex V — ce prototype a été présenté à la conférence RT09 qui a eu lieu à Montréal au mois de septembre 2009

PONTIKAKIS, Bill **DIPLÔME: Ph.D.**

TITRE:

La conception d'architectures et de circuits de faible puissance à délai variable.

RÉSUMÉ:

Le but du projet est d'utiliser une technique à période d'horloge fractionnaire pour augmenter la vitesse et pour réduire la consommation de puissance pour certains microprocesseurs. Nous appliquons aussi une technique qui utilise une source d'alimentation variable, ce qui permet de réduire la consommation de puissance dans certains cas. La combinaison de ces deux techniques permet la conception de microprocesseurs à faible puissance qui fonctionnent à bonne vitesse.

PROBLÉMATIQUE:

La consommation de puissance est un facteur très important dans les produits électroniques portatifs. Pour des applications tels que les dispositifs portables («wearable devices») et les réseaux de sondes distribués sans-fil («wireless sensor networks»), une longue durée de vie de la batterie, un poids léger et la capacité d'effectuer des calculs relativement complexes sont nécessaires. Puisque la consommation dynamique de puissance est directement proportionnelle à la fréquence, il est possible de réduire celui-ci en ajustant la fréquence de façon dynamique. Grâce à cette technique, il est possible de prolonger la durée de vie d'une batterie. De plus, puisque la composante dynamique de la consommation de puissance a une dépendance quadratique sur la tension d'alimentation, il est possible de réduire la consommation de puissance en ajustant cette tension. En utilisant certains circuits à une tension en-deçà du seuil du transistor, une réduction plus importante en puissance peut être obtenue.

MÉTHODOLOGIE:

Pour atteindre nos objectifs, nous suivrons les étapes suivantes:

- Analyse théorique de l'accélération maximale possible en utilisant des périodes d'horloge fractionnaire;
- Modélisation au niveau algorithme en utilisant les outils de MATLAB;
- Programmation et synthèse de VHDL utilisant XILINX;
- Prototypage sur le conseil de FPGA.

RÉSULTATS:

- Un système de génération d'horloge à fréquence variable a été conçu;
- Un synthétiseur d'horloge périodique «Free-Running» de précision (FRPS) avec compensation de processus et de température a été présentée;
- Une architecture de «Phase-Locked Loop» sans filtre de boucle analogue, pour une meilleure intégration dans le domaine submicronique profond des «SoCs» a été présentée;
- Une nouvelle architecture de synthétiseur d'horloge périodique «Free-Running» de précision (iFROCS) avec la compensation de processus et de température est préparé pour la soumission de journal. Cette nouvelle architecture est une amélioration de l'architecture FRPS.

RHOU, Bassam **DIPLÔME: M.Sc.A.**

TITRE:

Choix, développement et validation matérielle d'une technique d'élimination des signaux ECG dans les EMGdi en temps-réel.

RÉSUMÉ:

L'objectif du projet de cette maîtrise est de comparer les techniques de filtrage, en temps-réel, de signaux EMGdi et de choisir la technique la plus efficace et la mieux intégrable dans un système d'acquisition des signaux respiratoires déjà développé dans le laboratoire Polystim. La technique choisie doit être implémentée matériellement sur un système électronique pour valider son bon fonctionnement.

PROBLÉMATIQUE:

Les signaux respiratoires EMGdi (= électromyogrammes diaphragmatiques) sont des signaux électriques provenant du diaphragme (principal muscle respiratoire) et qui permettent le diagnostic de plusieurs anomalies respiratoires. Ces signaux sont souvent contaminés par les signaux cardiaques ECG (= électrocardiogrammes) lors de leur acquisition par des instruments biomédicaux. Cette contamination empêche un bon diagnostic et doit être éliminée et la recherche d'une solution de filtrage, surtout en temps-réel n'est pas une chose évidente surtout que les intervalles de fréquence des EMG et des EGG ne sont pas distincts. Dans la plupart des cas, le filtrage des signaux respiratoires se fait au niveau de l'interface d'affichage logicielle et non au niveau matériel. Intégrer un système de filtrage matériel au système d'acquisition donnera de meilleurs résultats de filtrage.

MÉTHODOLOGIE:

Le projet implique les étapes suivantes :

- Étude comparative des différentes techniques de filtrage des signaux EMGdi et choix d'une technique à implémenter;
- Intégration de la technique sur un système matériel pour avoir une validation de la technique en effectuant des tests sur des signaux EMGdi réels;
- Proposer des améliorations à la technique choisie et valider ces améliorations sous LabView;
- Proposer une architecture VHDL de la technique choisie pour l'implémenter sur un circuit FPGA.

RÉSULTATS:

Une étude comparative des différents algorithmes de filtrage des signaux EMGdi a été faite et des algorithmes ont été testés en simulation sous NI LabView. Un choix final de l'algorithme à utiliser a été fait et l'algorithme a été implémenté dans un système à base de microcontrôleurs et a été testé. Les résultats montrent le bon fonctionnement du système. Une architecture VHDL implémentant cet algorithme a également été réalisée.

ROGER-VALLÉE, Michel **DIPLÔME: M.Sc.A.**

TITRE:

Une méthode d'estimation de la consommation de puissance pour systèmes sur puce reprogrammable.

RÉSUMÉ:

Le projet consiste à développer une bibliothèque à haut niveau de la consommation de puissance pour des modules standard de Xilinx. En utilisant la simulation SystemC de l'outil Space Codesign, il est possible d'accélérer le développement d'une architecture à faible consommation en évitant de faire des synthèses, qui sont très coûteuses en temps.

PROBLÉMATIQUE:

La consommation de puissance est une préoccupation importante de nos jours lors de la conception d'un système. De plus en plus les systèmes se complexifient et cette tendance augmente la consommation de fonctionnement. Puisque les sources (batterie et prise électrique) sont limitées, il faut constamment diminuer la consommation des systèmes. Bien qu'il existe des méthodes d'évaluation de la puissance au niveau RTL, de plus en plus de conception se fait à haut niveau (ex. au niveau système) et de tels estimateurs de puissance ne sont pas disponibles. Le développement de cette bibliothèque permet de concilier les deux.

MÉTHODOLOGIE:

- Énumérer des composants de Space pour lesquels l'estimation de puissance est nécessaire. Isoler les différentes variables qui influencent la consommation de puissance. Faire varier chacune des variables et déterminer l'influence sur la consommation avec les outils de Xilinx (EDK et Xpower);
- Avec les données obtenues, créer des modèles de consommation de chacune des composantes. Populer une bibliothèque de composante à haut niveau d'abstraction et l'intégrer comme outil de Space Codesign;
- Développer une méthodologie basée sur la séparation du comportement ou de l'architecture du module de la technologie d'implémentation du système. Cette séparation permettra de réutiliser les équations pour différentes technologies. Si la structure d'un nouveau composant est similaire à un composant présent, il est possible de réutiliser les équations pour accélérer son ajout dans la bibliothèque;
- Effectuer un ensemble de comparaison avec les outils de Xilinx et la réalité pour valider la méthodologie;
- Intégrer des outils et proposer des méthodes pour diminuer la consommation en puissance d'une architecture utilisant la bibliothèque.

RÉSULTATS:

La BRAM, le PIC et le Timer ont un modèle qui permet d'obtenir des estimations de la consommation avec une précision de 15% ou mieux. Les estimations se font à un niveau transactionnel, ce qui permet d'avoir une accélération de 1K par rapport à des méthodes d'estimation au niveau RTL. Le microblaze est en cours de caractérisation, mais les estimés préliminaires permettent d'espérer pour une précision équivalente. La méthodologie, pour créer les modèles, utilise la séparation du comportement et de la technologie. La portion des équations responsables de l'effet de la technologie permet de simuler les modules à différentes fréquences et avec un placement routage différent.

SALAM, Muhammad Tariqus **DIPLÔME: Ph.D.**

TITRE:

Microsystème biomédical implantable pour le traitement de l'épilepsie.

RÉSUMÉ:

Environ 50 millions de personnes dans le monde souffrent d'épilepsie, dont un tiers sont réfractaires aux médicaments antiépileptiques. Nombre de ces derniers ne sont pas de bons candidats à la chirurgie ont continué à avoir des crises malgré la chirurgie. Ainsi, de nouvelles options thérapeutiques pour l'épilepsie réfractaire sont nécessaires. Un stimulateur cortical approprié pourrait être un mode plus sûr et efficace de traitement alternatif pour l'épilepsie réfractaire. Toute l'idée de ce traitement est d'identifier le début des crises et de bien stimuler la zone épileptogène de façon à supprimer une saisie à venir. Par conséquent, une faible puissance de détection de début des crises est nécessaire et elle doit être très sensible aux décharges anormal spécifique électrographiques.

PROBLÉMATIQUE:

De nombreux modèles mathématiques ont été développés pour détecter les crises, dont l'EEG intracérébral les modèles de base ont montré de meilleures performances que EEG de surface à base de modèles. Ces modèles ont été traduits en filtres passe-bande et en logiciels qui sont utiles pour les applications à court terme. En outre, l'amplification du signal neuronal est un enjeu crucial, parce que la performance relativement faible en terme de bruit de la technologie CMOS provoque plusieurs types de bruits indésirables, module le signal et diminue le rapport signal/bruit. Beaucoup de méthodes de préamplification des signaux neuronaux ont été proposées, et certains ont démontré des capacités impressionnantes pour amplifier le potentiel de très faible amplitude-action. Il existe une variabilité dans le modèle de saisie en fonction de la localisation, de l'étiologie de la saisie et le placement des électrodes intracrâniennes. En outre, la détection des rythmes biologiques peut causer de fausses alarmes.

MÉTHODOLOGIE:

La faible puissance du détecteur de crise épileptique a un gain de l'amplification réglable de sorte qu'il puisse mettre l'accent sur le niveau d'amplitude d'intérêt. Aussi les tensions de seuil variables d'un détecteur de niveau de tension délimitent les emplacements des signaux détectés et extrait les informations de la fréquence ainsi que l'augmentation progressive de l'amplitude. Permettre la synthonisation du détecteur haute fréquence facilite la détection précise de la fréquence des crises d'un patient. L'effet global des bruits et la consommation électrique de l'appareil sont réduites. Cette détection est censée être très fiable dans un dispositif implantable sans risquer de fausses détections des rythmes physiologiques (sommeil de broche). L'algorithme propose la saisie de détection et est applicable à tous les patients qui ont subi des crises fréquentes caractérisées par une augmentation progessive de la basse tension en pleine activité sur les enregistrements EEG intracérébraux.

RÉSULTATS:

Deux modèles mathématiques du détecteur de saisie ont été validés dans le logiciel Matlab et les circuits ont été intégrés dans un processus CMOS de 0,18µm. Les performances de détection ont été vérifiées à l'aide intracérébraux électroencéphalographiques d'enregistements de deux patients atteints d'épilepsie. Les détecteurs ont montré une détection précise de la survenue des crises. La consommation d'énergie totale de de la SOD est de 6,80 µW et 6,71 µW, respectivement et l'influence des bruits basse fréquence dans ces détecteurs est négligeable. Plusieurs paramètres accordables sont adaptés à l'apparition de modes de saisie, avec des amplitudes et de fréquences distinctes. Ainsi, ces dispositifs fonctionnent à haute sensibilité pour un patient spécifique modèle de tout début des crises épileptiques. Si nécesaire, les paramètres peuvent être modifiés pour ne pas être sensibles à la fréquence élevée des crises électriques brèves. Des simulations préliminaires indiquent que les performances de ces dispositifs sont satisfaisantes. La validation expérimentale a été entreprise.

SEBBAR, Mohamed **DIPLÔME: M.Sc.A.**

TITRE:

Développement et implémentation d'un algorithme de conversion des couleurs pour un capteur d'images CMOS sans filtre optique.

RÉSUMÉ:

Un capteur d'images couleurs CMOS sans filtre optique novateur en cours de développement permet de détecter les couleurs sans utiliser le filtre de Bayer. Il les détecte en utilisant la propriété d'un matériau semi-conducteur selon laquelle la profondeur de pénétration des ondes électromagnétiques varie avec la longueur d'onde. En utilisant cette propriété, le capteur permet de détecter trois composantes blanc, jaune et rouge avec un seul pixel. Ce projet de recherche à pour but de développer un algorithme de conversion des couleurs et de l'implémenter et de le valider sur un circuit électronique numérique.

PROBLÉMATIQUE:

Les composantes blanc, jaune et rouge fournies par un pixel du capteur innovateur ne sont pas standards. Par conséquent, le capteur ne peut pas être interfacé directement aux circuits de traitement d'images existants sur le marché conçus pour les capteurs traditionnels. Les trois composantes couleurs de chaque pixel du capteur doivent être converties en couleurs primaires rouge, vert et bleu à même la puce du capteur. Ainsi, le capteur sera compatible avec les circuits de traitement d'image du marché et les algorithmes qui y sont utilisés.

MÉTHODOLOGIE:

La réalisation du projet de recherche a commencé par le développement de l'algorithme de conversion des couleurs à l'aide de l'outil Matlab. Dans cette étape, l'attention est portée à ne pas dégrader la qualité de l'image capturée et de la restaurer en couleurs primaires le plus fidèlement possible. Une fois l'algorithme final développé, il sera implémenté sur un circuit électronique numérique de type FPGA et validé en conjonction avec le capteur d'images. À la fin, le circuit numérique sera optimisé pour une intégration ultérieure sur la puce du capteur. L'optimisation portera sur la puissance consommée et le nombre de cellules utilisées.

RÉSULTATS:

L'algorithme de conversion est présentement en cours de développement à l'aide de Matlab. Ce développement sera influencé par les caractéristiques d'un nouveau prototype en cours de fabrication et qui sera reçu avant la fin d'automne 2009.

SIADJINE NJINOWA, Marcel **DIPLÔME: Ph.D.**

TITRE:

Conception des circuits numériques pour la génération et la synchronisation d'horloge.

RÉSUMÉ:

Ce projet vise à implémenter et optimiser différentes structures présentement souvent faites avec des circuits mixtes analogiques/numériques, en utilisant uniquement des cellules standard numériques. Les structures principalement visées sont celles de génération et de synchronisation d'horloge.

PROBLÉMATIQUE:

La technologie en microsystèmes a connu des avancées remarquables durant ces dernières années. Cependant, les exigences des systèmes électroniques analogiques/mixtes face à la course à la miniaturisation (réduction de la tension, effets de canaux courts,…) sont nombreuses. Face à ces exigences, un grand nombre de chercheurs a accordé un intérêt croissant à la conception de ces circuits. Les avantages présentés par les systèmes numériques nous amènent à contourner les difficultés des circuits analogiques/mixtes de génération d'horloge. Les PLL (Phase-Locked Loop) pour la génération d'horloge trouvent leurs applications en télécommunication, en instrumentation, dans les senseurs, etc. Les PLLs conçus et proposés présentent encore quelques difficultés notamment quand l'on passe d'une technologie à l'autre, sans oublier quelques difficultés dues à la linéarité, à la consommation de puissance, à la complexité (densité d'intégration) etc. Nous proposons ainsi dans le cadre de ce projet des techniques de conception de PLLs entièrement numérique basé sur les cellules normalisées.

MÉTHODOLOGIE:

Deux méthodes principales sont utilisées pour conduire à bien ce projet : la méthode analytique et la méthode numérique. Dans la première méthode, nous exploiterons les schémas des montages (modèles), l'algèbre de Boole, des notions de base des systèmes asservis, des algorithmes et architectures bien connus etc.; nous utiliserons aussi des techniques de base de conception des circuits numériques.

La simulation numérique est effectuée par l'exploitation du VHDL qui est un langage de description matériel destiné à décrire le comportement et/ou l'architecture des systèmes électroniques numériques. La simulation sera aussi effectuée à l'aide des outils de Cadence en utilisant la technologie fournie par le biais de la Société Canadienne en Microélectronique. Nous nous servirons aussi de la programmation des « Field Programmable Gate Array » (FPGA) et de la fabrication de puce pour l'implémentation.

RÉSULTATS:

A l'aide de ces architectures entièrement basées sur des cellules normalisées, le temps de conception sera considérablement réduit ainsi que le temps de mise en marché des produits qui en découlent (time-to-market). Ceci permettra à coup sûr d'augmenter la fiabilité de ces circuits et par conséquent d'être épargnés des coûts non-récurrents, parfois exorbitants qui dépassent le million de dollars.

Une méthode de conception et d'optimisation d'un convertisseur numérique analogique simple, utilisant uniquement des cellules standard numérique, a été présentée à la conférence NEWCAS/TAISA 2009. Nous avons maintenant aussi une méthode pour la conversion analogique numérique, que nous devrions publier sous peu.

SIMARD, Guillaume **DIPLÔME: M.Sc.A.**

TITRE:

Contribution au lien inductif et à la télémétrie par ultra-large bande d'un implant biomédical.

RÉSUMÉ:

Ce projet s'insère dans le cadre de la réalisation par l'équipe de neurotechnologies PolyStim d'un implant d'enregistrement neuronal. Il consiste à créer un nouveau lien inductif et un nouveau transmetteur sans fil à haute vitesse.

PROBLÉMATIQUE:

Le domaine des implants biomédicaux est en effervescence. Les chercheurs tentent d'augmenter les capacités des implants en termes de frugalité énergétique, de vitesse de transmission et de miniaturisation afin de pouvoir mieux intégrer ces dispositifs aux systèmes biologiques qui répondent naturellement à ces critères. Les objectifs sont d'augmenter l'efficacité de l'apport en énergie sans fil vers les implants biomédicaux par un lien inductif et d'augmenter la vitesse de transmission du lien montant (intérieur vers extérieur) d'un implant biomédical, sans toutefois augmenter dramatiquement sa consommation en énergie.

MÉTHODOLOGIE:

Réaliser une analyse géométrique des bobines du lien inductif d'un implant biomédical et proposer une nouvelle topologie en vue d'une utilisation pour le transfert d'énergie en continu et la télémétrie bidirectionnelle. Vérifier expérimentalement cette topologie. Concevoir un transmetteur de type ultra-large bande à répétition d'impulsions en technologie CMOS 90 nm dédié au lien télémétrique montant (implant vers l'extérieur), en réaliser les dessins de masques, en effectuer la simulation et soumettre pour la fabrication.

RÉSULTATS:

Une nouvelle topologie de lien inductif a été fabriquée et validée expérimentalement pour le transfert d'énergie sans fil et la télécommunication pour des implants biomédicaux. Cette analyse a permis une augmentation drastique des performances de la puce de communication QPSK fabriquée par le laboratoire PolyStim. La poursuite de ces recherches a mené à l'acceptation avec révisions mineures d'un article de journal soumis à TBIOCAS. Un prototype de transmetteur à ultra large bande a été soumis pour fabrication et sera vérifié par la suite.

TANGUAY, Louis-François **DIPLÔME: Ph.D.**

TITRE:

Synthétiseur de fréquences RF à ultra-faible consommation dédié aux microsystèmes implantables.

RÉSUMÉ:

Nous proposons de concevoir un synthétiseur de fréquences RF à ultra-faible consommation destiné aux microsystèmes implantables de biotélémétrie à l'aide d'un procédé CMOS nanométrique. Le synthétiseur opérera dans la bande de fréquence ISM 902-928 MHz, il devra permettre la syntonisation de sept canaux, présenter un temps de démarrage de l'ordre de 10 us et une consommation de puissance inférieure à 1 mW.

PROBLÉMATIQUE:

Les microsystèmes biomédicaux implantables présentent un énorme potentiel pour la recherche en médecine. Les dispositifs médicaux intelligents implantables, qui combinent des capteurs et/ou des actuateurs avec des circuits intégrés, ouvrent la voie à des applications fascinantes. Aujourd'hui, la possibilité d'utiliser la technologie CMOS pour intégrer des circuits RF, numériques et même certains types de capteurs sur une même puce, suscite un vif intérêt dans un domaine nouveau: celui des réseaux de capteurs implantables, ou BSN (Body-Sensor Networks) et leurs applications en recherche biomédicale. L'implantation dans le corps de tels réseaux de capteurs sans fils permettraient de surveiller, détecter ou même combattre différentes maladies, et ce de manière *in situ*.

MÉTHODOLOGIE:

Dans cette optique, nous proposons de concevoir un synthétiseur de fréquences RF destiné aux microsystèmes implantables de biotélémétrie à l'aide d'un procédé CMOS nanométrique opérant avec une alimentation inférieure à 1V. Bien que les performances RF des transistors nanométriques soient très attrayantes, la tension d'alimentation très basse ainsi que l'impédance de sortie limitée de ces transistors compliquent la conception de circuits analogiques tels les miroirs de courant, les pompes à charge etc. Des méthodes de conception électronique innovatrices devront être utilisées et des compromis judicieux devront être faits afin d'obtenir les performances requises au niveau du bruit de phase, du temps de démarrage, de la consommation de puissance, etc. L'utilisation d'un procédé nanométrique CMOS, conjointement avec des techniques de conception de circuits analogiques à faible puissance telle la méthodologie gm/ID, permettront d'implémenter ce synthétiseur à consommation de puissance ultra faible.

RÉSULTATS:

Le circuit intégré d'un synthétiseur interger-N à consommation ultra-faible opérant dans la bande Industrielle, Scientifique et Médicale (ISM) de 902-928 MHz a été implémenté en technologie CMOS 90-nm et son fonctionnement a été validé en laboratoire. Ce synthétiseur, basé sur un PLL, permet la sélection de sept canaux dans la bande ISM et fournit les versions différentielles, I/Q des porteuses RF. Le circuit inclut une nouvelle architecture de LC-VCO auto-polarisé ainsi qu'une pompe à charge offrant une impédance de sortie très élevée sur une plage de tension de sortie s'étendant jusqu'à 100 mV des tensions d'alimentation. La consommation totale du synthétiseur, en excluant les tampons de sortie de test, est de 640µW.

TAPP, Martin **DIPLÔME: Ph.D.**

TITRE:

Interopérabilité des environnements de simulation distribués par génération de code dynamique.

RÉSUMÉ:

L'interopérabilité entre des environnements de simulation où les modèles objets utilisés et les technologies de communication diffèrent largement est un problème de grande envergure et c'est pourquoi une approche générique est proposée.

L'approche consiste à concentrer le développement logiciel sur la résolution des problèmes d'interopérabilité et non sur l'ensemble du logiciel nécessaire à l'interopérabilité (couches réseaux, protocoles, encodage et décodage des données réseaux, particularités des plates-formes,). Par l'entremise de fichiers décrivant les modèles objets et l'interopérabilité, il devient possible de lire ces descriptions pour ensuite générer le code réalisant l'interopérabilité. De plus, à l'aide des services de compilation dynamique de la technologie .NET, il devient possible de générer l'interopérabilité au moment même de l'exécution de l'application requérant l'interopérabilité i.e. génération de code dynamique. L'approche proposée permet donc de générer l'interopérabilité seulement à partir de définitions de modèles objets et d'interopérabilité entre ces modèles objets.

PROBLÉMATIQUE:

Depuis les événements du 11 septembre 2001, le besoin d'interconnecter rapidement différents environnements de simulation distribués (ESD) n'a cessé d'augmenter, notamment ceux basés sur les standards *IEEE 1516 High Level Architecture* (HLA) et *IEEE 1278 Distributed Interactive Simulation* (DIS). Que ce soit pour des fins d'entraînement ou pour l'évaluation de scénarios d'hostilités potentielles, l'interopérabilité entre ces environnements sans modifier les applications existantes est un défi majeur étant donné leurs différences au niveau des technologies de communication utilisées et au niveau de la complexité associée à la conversion des données réseaux à échanger. Peu importe l'approche utilisée, les solutions actuelles requièrent du développement logiciel cas par cas ce qui s'avère coûteux, consomme du temps et nécessite des connaissances techniques spécialisées (programmation réseau, particularités des protocoles, etc.).

MÉTHODOLOGIE:

La méthodologie utilisée pour ce projet est d'élaborer un prototype évolutif et de valider les hypothèses émises au travers de différentes phases, où les hypothèses d'évaluation de performance et de validation seront validées en continue au cours de l'évolution du prototype.

RÉSULTATS:

Les résultats suivants ont été obtenus:

- Génération dynamique d'une composante logicielle représentant un modèle objet à partir de sa définition;
- Transformation de données réseaux dans le modèle objets générer dynamiquement pour les environnements de simulation basés sur HLA et DIS;
- Génération dynamique complète d'une composante logicielle représentant l'interopérabilité entre des modèles objets dans un format prototype défini en C#;
- Interface utilisateur permettant de définir l'interopérabilité dans le format prototype défini en C#.

Les résultats de recherche ont été établis dans le contexte des environnements de simulation distribuée STRIVE™ (HLA) ET ITEMS™ (HLA et DIS) de CAE, ainsi que de OneSAF (HLA et DIS) de l'armée américaine.

TREMBLAY, José Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Analyse de performance multi-niveau et partionnement d'application radio sur une plateforme multiprocesseur

RÉSUMÉ:

L'objectif global du projet est d'explorer différentes classes d'applications par rapport à une implémentation matérielle existante de type MPSoC, de manière à guider les phases de configuration, de vérification et possiblement de modification du design actuel. De manière plus spécifique, le projet de recherche vise à déterminer si la classe d'algorithmes choisie dans le domaine des télécommunications peut en effet être implémentée de manière efficace et correcte sur l'architecture étudiée. Il vise aussi à permettre d'identifier les goulots d'étranglement empêchant son bon fonctionnement dans le cas d'une réponse négative.

PROBLÉMATIQUE:

Depuis déjà un bon nombre d'années, une demande importante est apparue dans le domaine des télécommunications en ce qui à trait aux systèmes portables. En plus des fonctions téléphoniques déjà existantes, plusieurs applications connexes viennent maintenant se greffer à ces appareils. Afin de pouvoir satisfaire aux défis imposés par ces nouvelles classes d'applications, de nouvelles méthodologies et topologies de circuit ont vu le jour.
De manière plus spécifique, un des buts était de faire ressortir rapidement et automatiquement une stratégie de « mapping » optimale d'une application sélectionnée dans le domaine des télécommunications étant exécutée selon les limites imposées par les différents standards sur la puce Vocallo fournie par les concepteurs d'Octasic, le partenaire industriel qui supporte ce projet. La puce Vocallo comporte, quant à elle, plusieurs caractéristiques peu communes en combinant entre autre une matrice de processeur homogène et un agencement d'unités opératives asynchrones.

MÉTHODOLOGIE:

Pour atteindre cet objectif, la méthodologie dite « Platform based design » a été sélectionnée. Cette technique repose sur la modélisation des différentes couches du système global, soit la couche physique représentant la puce Vocallo et la couche applicative servant à abstraire les algorithmes choisis. Une fois la modélisation des couches effectuées, il suffit de les relier en propageant les contraintes du niveau applicatif vers la couche matérielle de manière à obtenir une estimation de performance selon les caractéristiques abstraites dans chacun des modèles.
Un graphe de type CDFG (control data flow graph) a été sélectionné afin de représenter les applications décrites en C ou C++. Afin de mieux visualiser le processus de développement d'une application, un processus de hiérarchisation et de caractérisation des nœuds a été instauré par rapport au graphique CDFG de base. Par la suite, à l'aide de notre infrastructure de travail basée sur SUIF2, plusieurs modélisations d'un cœur de la plateforme Vocallo ont été développées.

RÉSULTATS:

La principale contribution de ce projet est la conception d'un outil automatique permettant d'obtenir des estimations de performance de l'exécution d'un algorithme en C ou C++ sur un des cœurs de la plateforme Vocallo. À l'aide de cet outil, il est possible d'élaborer une stratégie de «mapping» en ajustant, entre autre, le niveau de parallélisme de l'application à celui de la plateforme matérielle.

TURGEON, Jean-Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Conception du module logiciel pour le diagnostique de fautes dans un circuit de la taille d'une tranche de silicium.

RÉSUMÉ:

Suite à la création d'un noyau au niveau du logiciel WaferConnect pour créer une base solide pour l'implémentation de ces divers modules et faire adaptation des modules déjà existant à cette nouvelle structure, le projet a pour but de concevoir un algorithme permettant de déterminer l'état de chacune des cellules du WaferIC, ceci inclut les liens JTAG les reliant et le réseau d'interconnexion appeler WaferNet.

PROBLÉMATIQUE:

Le projet est mené sous le projet de recherche DreamWafer qui propose une nouvelle plateforme de prototypage rapide de systèmes électroniques. Cette plateforme inclut un réseau d'interconnexion configurable réalisé sur un circuit intégré à l'échelle de la tranche de silicium, le WaferIC. Ce réseau est piloté par un logiciel, le WaferConnect.

Pour ce qui est du diagnostique, le waferIC étant un circuit intégré à l'échelle de la tranche, il est certain qu'il y aura des erreurs sur sa surface puisque les procédés de fabrication ne sont pas parfait. Donc, pour obtenir un circuit résistant aux pannes, il est important de déterminer à quels endroits se trouvent les erreurs pour être capable de les éviter. Il faut donc débuter par localiser les fautes sur le système de communication entre le matériel et le logiciel, c'est à dire les liens servant à la configuration des cellules et tout ce qui va avec eux. Une fois cette partie complétée, il faut diagnostiquer le WaferNet pour y détecter les diverses erreurs tel que les «stuck-at» et les «crosstalk».

MÉTHODOLOGIE:

- Création du noyau logiciel sur lequel est basé le module de diagnostique;
- Étude de l'état de l'art sur les circuits JTAG tolérant aux fautes et leur diagnostique;
- Division du problème en deux parties majeures: le diagnostique du circuit de communication entre le matériel et le logiciel ainsi que le diagnostique du WaferNet;
- Conception de petits algorithmes pour résoudre chacun des sous problèmes;
- Vérification de ces algorithmes à l'aide de tests de régression.

RÉSULTATS:

Le projet ayant débuté il y a 4 mois, il n'y a aucun résultat significatif pour le moment. Cependant, suite à la collaboration avec d'autres chercheurs de l'équipe, la période estivale a permis la réalisation du noyau logiciel donnant une structure de base à laquelle rattacher les divers modules du WaferConnect.

WEHBE, Mohamad **DIPLÔME: M.Sc.A.**

TITRE:

Pupille dynamique réagissant à la lumière incidente dédiée aux implants oculaires.

RÉSUMÉ:

Ce projet porte sur la conception d'un dispositif qui permet à la pupille de l'œil prosthétique de se contracter et se dilater en fonction de la quantité de lumière exposée à l'œil. Ce projet se divise en trois parties, soient un afficheur qui montre une image d'une pupille, un capteur de lumière, ainsi qu'un contrôleur pour ajuster la taille de la pupille à afficher.

PROBLÉMATIQUE:

La perte d'un œil n'est pas rare. Environ 100,000 à 200,000 personnes par année perdent un œil (Society for prévention of blindness). Ce phénomène a un grand impact sur l'image de soi, sur la confiance en soi et sur l'estime de soi. Bien que le remplacement de ce dernier par un œil prosthétique ne restaure pas la vision, celui-ci amène une amélioration esthétique qui a un grand effet psychologique sur le patient. Cependant, avec l'œil prosthétique classique, la taille de la pupille est fixe en tout temps, ce qui a un effet inesthétique sur l'apparence. On appelle ce défaut anisocorie post-prothèse. Pour résoudre ce problème, nous avons l'intention de développer un œil prosthétique à pupille dynamique.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes:

- Développement d'un afficheur LCD à faible consommation ayant une surface active de taille de 8 mm x 8 mm;
- Emploi d'un capteur de lumière possédant une taille qui ne dépasse pas 2 mm x 2 mm, que l'on peut trouver sur le marché;
- Implémentation d'un système de contrôle qui relie le capteur de lumière à l'afficheur pour ajuster la taille de la pupille.

La pupille que nous prévoyons fabriquer aura une taille identique à la pupille naturelle. Il y aura une surface fixe de 4 mm^2 qui n'est pas affectée par la quantité de lumière et le capteur de lumière sera installé dans cette surface. La surface qui varie dépendamment de la lumière est un anneau ayant un diamètre intérieur de 2 mm et un diamètre total de 12 mm. Ainsi, selon la quantité de lumière, la taille de la pupille varie entre un cercle ayant un diamètre de 2 mm, et un cercle ayant un diamètre de 12 mm.

RÉSULTATS:

En premier lieu, une vérification expérimentale s'impose et cela a été fait en développant un prototype du système proposé. Ce dernier a été développé en utilisant des composantes discrètes et a été testé dans différentes conditions d'éclairage. Une fois cette étape réalisée, un circuit intégré a été implémenté en technologie CMOS 0.18 µm. La taille de la puce conçue est de 1.25 mm x 1.05 mm. Des simulations post-layout ont été réalisées et les résultats concordent avec le prototype développé.

ZARRABI, Houman **DIPLÔME: Ph.D.**

TITRE:

Conception et techniques d'évaluation pour la synthèse efficace de microsystèmes à faible énergie.

RÉSUMÉ:

La conception et les solutions d'évaluation qui peuvent contribuer à la synthèse précise de microsystèmes à faible énergie sont fortement appréciées par l'industrie. La proposition de conception de telles solutions et leur estimation sont les principales priorités de ce projet de recherche. La recherche commence par la proposition d'un modèle d'évaluation des gains d'énergie que l'on peut obtenir dans des plates-formes configurables. Ce modèle est également généralisé pour intégrer les modèles de plate-forme capables de gérer l'énergie. Plus tard, un modèle de délai plus exact est proposé pour l'utilisation efficace de microsystèmes dont l'énergie est gérée («power-managed microsystems»). Ce modèle sera amélioré pour englober plus de paramètres du système ainsi qu'une plus grande précision. Finalement, nous proposerons la conception de solutions pour la synthèse d'un microsystème portable et configurable à faible énergie.

PROBLÉMATIQUE:

La principale préoccupation dans la conception et la synthèse des microsystèmes portables est la consommation d'énergie. La modélisation précise des plates-formes de traitement est le défi principal de conception pour une bonne approximation des gains énergétiques. Pour la modélisation des délais, la modélisation précise de système de traitement est le défi principal. Pour la synthèse efficace des microsystèmes, la complexité du système est le défi de conception.

MÉTHODOLOGIE:

Pour la proposition de modèles d'évaluation, nous nous sommes inspirés de la loi d'Amdahl pour la modélisation de composants de systèmes et la modélisation de l'énergie. Nous avons fait une analogie à cette loi pour modéliser les délais aussi. Pour la synthèse des microsystèmes à faible énergie, nous démultiplierons la définition du profil d'application et proposerons les solutions de conception basées sur le profil des applications embarquées.

RÉSULTATS:

Les résultats obtenus depuis le début de la recherche peuvent se résumer ainsi :

- Au départ, nous proposons un modèle d'énergie pour évaluer les gains d'énergie possibles, aussi bien que ses limites, en employant des microsystèmes configurables;
- Les modèles proposés sont généralisés pour des plates-formes multiprocesseurs configurables;
- Les modèles d'énergie proposés sont améliorés pour englober des modèles de plate-forme dont l'énergie est gérée;
- Un modèle de délai incluant des effets d'interconnection, pour l'évaluation précise des plates-formes avec Dynamic Voltage and Frequency Scaling (DVFS) sera proposé.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés dans ce rapport sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels.)

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Audet, Y.,	Polyvalor Sanyo	106,300.00 $	2007 – 2008	«Caractérisation et modélisation du pixel d'un capteur d'images couleurs»
Audet, Y.,	MDEIE Polyvalor Sanyo	438,032.00 $	2007 – 2009	«Développement d'un capteur d'images couleurs»
Audet, Y.,	CRSNG	15,300.00 $	2007 – 2011	«Integration of Surface Plasmon Polaritons into CMOS Circuits»
Bois, G.,	CRSNG	19,000.00 $	2004 – 2008	«A Platform for the Architectural Exploration of System-On-A-Chip»
Bois, G.,	CRSNG	62,500.00 $	2007 – 2008	«The SPACE technology: for the codesign of SoC/FPGA at high level»
Bois, G.,	Univalor	71,000.00 $	2007 - 2008	«The SPACE technology: for the codesign of SoC/FPGA at high level»
Bois, G.,	MDEIE Gouvernement du Québec	43,202.00 $	2008 – 2009	«Maturation de la technologie Space Codesign»
Bois, G.,	MSBi Valorisation Soutien à la valorisation et au transfert	54,002.00 $	2008 – 2009	«Maturation de la technologie Space Codesign»
Bois, G.,	CRSNG	25,000.00 $	2009 – 2014	«Design and Verification of Embedded Systems in the Context of the ESL Paradigm»
Boyer, F.R.,	CRSNG	75,000.00 $	2006 – 2011	«Variable clock period for low power and high performance.»
David, J.P.,	CRSNG	15,000.00 $	2007 – 2012	«Description et synthèse automatique de réseaux de machines algorithmiques évoluées»
David, J.P.,	École Polytechnique	20,000.00 $	2007 - 2008	«PIED»
Kashyap, R.,	CRSNG– UPIR	4,500.00 $	2008 – 2009	«Laser Fridge»
Kashyap, R.,	CRSNG	35,500.00 $	2008 – 2010	«Self-organised, ultra-stable, beat frequency laser»
Kashyap, R.,	FQRNT	19,500.00 $	2009 – 2011	«Non-linear optics based athermal broadband source for dual-wavelength OCT»
Kashyap, R.,	Chaire du Canada	200,000.00 $	2008 – 2009	«Future Photonic Systems»

Kashyap, R.,	CRSNG	99,500.00 $	2008 – 2010	«NODES: Nonlinear Optical Devices for Sensing and communications»
Kashyap, R.,	CRSNG	25,903.00 $	2008 – 2009	«MODES: Multimode optical delay, frequency and emission measurement System»
Kashyap, R.,	NCE (CIPI) Technology Exploitation Grant	30,000.00 $	2008 – 2009	«A living Prosthesis Iris»
Kashyap, R.,	CRSNG	4,000.00 $	2008 – 2009	«Tunable polymeric gratings for Optical Coherence Tomography»
Kashyap, R.,	CIPI NCE Techno-logy and Networking	35,000.00 $	2008 – 2009	«Ukelele»
Kashyap, R.,	CRSNG	35,500.00 $	2008 – 2011	«Atom guidance in polymer fibres»
Kashyap, R.,	CRSNG	21,500.00 $	2009 – 2012	«Ultra-long gratings»
Kashyap, R.,	CRSNG	4,500.00 $	2009 – 2010	«Optical Delay Lines using congugate optics»
Kashyap, R.,	NCE CIPI Tech. Exploitation and Networking Student	7,700.00 $	2009 – 2010	«Glass based sensors»
Kashyap, R.,	NCE CIPI Tech. Exploitation and Networking Student	1,500.00 $	2009 – 2010	«Hollow-grams»
Langlois, P.,	CMC	7,500.00 $	2006 – 2007	«Implementation of bioinformatics algorithms»
Langlois, P.,	PIED	20,000.00 $	2006 – 2008	«Implémentation de réduction du bruit par transformée d'ondelettes pour systèmes de navigation véhiculaire»
Langlois, P.,	FQRNT	65,223.00 $	2007 – 2008	«Oscillateurs numériques à haute performance et faible consommation de puissance»
Langlois, P.,	CRSNG	81,000.00 $	2007 – 2012	«Méthodologies de conception pour processeurs spécialisés»
Martel, S.,	Chaire de Recherche du Canada	100,000.00 $	2006 – 2010	«Conception de micro/nano systèmes»
Martel, S.,	CRSNG	32,000.00 $	2002 – 2006	«Miniature Instrumented Robots for Applications at the Molecular and/or Atomic Scale»
Martel, S.,	CRSNG	44,000.00 $	2007 – 2011	«Magnetotactic Bacteria-based Microrobots»
Nicolescu, G.,	CRSNG	17,500.00 $	2004 – 2009	«Specification and validation in automatic design flow of heterogeneous system on chip»
Savaria, Y.,	Chaire de Recherche du Canada	200,000.00 $	2001 – 2008	«Conception de systèmes microélectroniques intégrés»

Savaria, Y.,	CRSNG	53,000.00 $	2004 – 2009	«Méthodes de conception de circuits intégrés analogiques précis et d'horloges rapides et précises»
Savaria, Y.,	CRSNG	56,000.00 $	2009 – 2013	«Tools and Design Techniques for High-Performance Low-Power MPSoCs Using Optimized Asip Architectures»
Savaria, Y.,	MITACS – FQRNT	135,000.00 $	2009 – 2010	Subvention de stages
Sawan, M.,	CRSNG	284,000.00 $	2007 – 2012	«Medical Microsystems Dedicated for Wireless Sensing».
Sawan, M.	CRSNG	546,800.00 $	2003 – 2007	«Smart Medical Microsystems Dedicated for Wireless and Massively Parallel Neural Recording in The Cortex»
Sawan, M.	Chaire de Recherche du Canada	200,000.00 $	2001 – 2014	«Dispositifs médicaux intelligents»
Sawan, M.,	MITACS – FQRNT	25,000.00 $	2009	Subvention de stage

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Aboulhamid, M., Bois, G., Nicolescu, G., Tahar, S.,	CRSNG	200,000.00 $	2008 – 2010	«From Modeling to Prototyping Advanced Wireless Systems»
Aboulhamid, M., Bois, G., Nicolescu, G., Tahar, S.,	ST Microelectronics	10,000.00 $	2007 – 2009	«From Modeling to Prototyping Advanced Wireless Systems»
Bois, G., Boland, J.-F., Thibeault, C.,	CRIAQ, CAE Electronics, CMC Electronics	99,600.00 $	2009 – 2010	«Architecture exploration for high-integrated and low-cost avionic systems»
Bois, G., Nicolescu, G.,	CRSNG	98,250.00 $	2008 – 2010	«Exploring Advanced Technologies and Architectures for Massevey Parallel Processing Systems based on Networks-on-Chip
Bois, G., Nicolescu, G.,	CRSNG Équipement	10,000.00 $	2008 – 2010	«Exploring Advanced Technologies and Architectures for Massevey Parallel Processing Systems based on Networks-on-Chip
Bushmann, M., Sawan, M., et 20 autres	FRSQ	1 250,000.00 $	2007 – 2011	«Groupe de recherche en Sciences et Technologies de la Santé»
Chen, L., Kashyap, R.,	FQRNT	118,000.00 $	2005 – 2008	«Projet de recherche en équipe»
Chen, L., Kashyap, R.,	FQRNT	78,000.00 $	2006 – 2008	«DOCTOR (Dual Wavelength Optical Coherence Tomography»
Cherkaoui, O., Savaria, Y., et 3 autres	Prompt	100,000.00 $	2009 – 2011	«Next-Generation Internet» (NGI)
David, J.-P., Feeley, M., Langlois, P.,	Prompt	126,000.00 $	2009 – 2011	«Calcul parallèle pour la visualization temps reel d'infrastructures représentées par des polynômes»
El-Sheimy, N., Hunter, A., Langlois, P.,	GEOIDE Phase IV	265,000.00 $	2009 – 2012	«Multi-Sensors Systems for Tracking and Mobility Applications»
Guénat, O., Martel, S., et 2 autres	CRSNG	37,640.00 $	2007 – 2008	«Universal chip-chip bonder»
Guitton, D., Leparé, F., Chaudhauri, Sawan, M.,	FQRNT	200,250.00 $	2006 – 2009	«Microsystèmes dédiés à l'interface du cortex visuel primaire: modélisation et validation expérimentale»
Kabashin, A., Kashyap, R.,	CRSNG	131,500.00 $	2005 – 2008	«Phase-Polarization methods in Surface Plasmon Resonance biosensing»
Kashyap, R., et 2 autres	NCE (CIPI)	30,000.00 $	2006 – 2008	«The study of impacts of climate warming: permafrost sensing with photonics engineering (Persephone
Kashyap, R., et 1 autre	NCE (CIPI)	70,000.00 $	2006 – 2008	«Reliability testing of optical waveguide devices»
Kashyap, R., & 10 autres	FCI Projet régional	1,898,782.00 $	2009 – 2011	«Fabulas»
Laurin, J-.J., Kashyap, R.,	FQRNT	100,000.00 $	2008 – 2009	«Système de tomographie micro-ondes pour la détection du cancer du sein»
Maciejko, R., Kashyap, R.,	NCE	149,600.00 $	2005 – 2010	«BIOPSY contd.»
Martel, S., Savaria, Y., Dubois, C.,	CRSNG	116,500.00 $	2007 – 2010	«High-speed nanoprobes-based processes for sub-micrometer electronic interconnects»
Martel, S., et 2 autres	National Institute of Health (NIH)- USA	135,900.00 $	2007 – 2009	«MRI-based tumor targeting enhancement with magnetotactic bacterial carriers»

Martel, S., et 6 autres	FQRNT	60,000.00 $	2007 – 2009	«Plateforme pour les interventions médicales ciblées par des dispositifs propulsés par gradients générés par un système d'imagerie par résonance magnétique»
Martel, S., Ferreira, A.	FQRNT-FQRSC	15,000.00 $	2009 – 2010	«Optimisation d'une plateforme interventionnelle pour le ciblage thérapeutique»
Martel, S., et 5 autres	CIHR	84,850.00 $	2009 – 2011	«MRI Based Targeting of Therapeutic Magnetic Micro Carriers for Chemoembolization of Liver Tumors»
McWalter, I., Savaria, Y., et 8 autres	FCI – Équipement	9,600,000.00 $	2009 – 2014	EmSYSCAN: Embedded Systems Canada
O'Connor, I., Nicolescu, G.,	Centre Jacques Cartier	2,000.00 $	2008	«Heterogeneous Systems Design»
Peter, Y.A., Kashyap, R.,	CRSNG	20,000.00 $	2005 – 2008	«Tunable Micro Electro Mechanical Grating in Silicon for Optical Systems and Devices»
Savaria, Y., Bois, G., Khouas, A., Nicolescu, G.,	CRSNG	135,000.00 $	2006 – 2009	«Design Methods, Architectures and Circuits for Reliable Configurable High Performance SoC Platforms»
Savaria, Y., Thibeault, C., Gagnon, F.,	Prompt Québec	50,000.00 $	2006 – 2008	«Conception de modules matériels pour le traitement vidéo et leur interfaçage à un tissu d'interconnexion»
Savaria, Y., Aboulhamid, M., Bois, G.,	NATEQ	45,000.00 $	2006 – 2008	«Méthodes de vérification et de raffinement automatisé de systèmes électroniques complexes»
Savaria, Y., Khouas, A., Nicolescu, G.,	CRSNG	127,500.00 $	2006 – 2008	«Design Methods, Architectures and Circuits for Reliable Configurable High Performance Soc»
Savaria, Y., Sawan, M., Blaquière, Y., Izquierdo, R.,	Prompt – Québec	420,000.00 $	2009 – 2011	«Experimental Validation of DreamWafer ™ Microfabrication with Thermal /Mechanical and Distributed Power Control Interconnecting Chips, PCBs»
Savaria, Y., Sawan, M., Blaquière, Y., Izquierdo, R.,	CRSNG Technocap	773,767.00 $ 455,157.00 $	2009 – 2011 2009 – 2011	«Experimental Validation of DreamWafer ™ Microfabrication with Thermal /Mechanical and Distributed Power Control Interconnecting Chips, PCBs»
Savaria, Y., Sawan, M,	CRSNG	200,000.00 $	2007 – 2009	«Wireless sensors platform dedicated to build smart medical devices»
Savaria, Y., David, J.-P., Bois, G., Langlois, P., Aboulhamid, E.M.,	FQRNT	149,895.00 $	2009 – 2011	«Systèmes MPSoC extensibles: de l'exploration aux applications».
Savaria, Y., Bois, G., David, J.-P., Langlois, P., Aboulhamid, M.	FQRNT	199,280.00 $	2009 – 2012	«Méthodes de conception pour l'exploitation de MPSoC haute performance»
Sawan, M., Lesage, F., Lassonde, M., Tardif, J-C.,	Instituts de recherche en Santé du Canada (IRSC)	1 745,500.00 $	2009 – 2014	«A portable wireless near infrared spectroscopy system combined with electroencephalography for bedside monitoring of stroke and cardiac patients»
Sawan, M., Lesage, F., Lassonde, M., Tardif, J-C.,	Instituts de recherche en Santé du Canada (IRSC)	614,500.00 $	2009 – 2014	«A portable wireless near infrared spectroscopy system combined with electroencephalography for bedside monitoring of stroke and cardiac patients»

Sawan, M., et 9 autres	Fondation Canadienne pour l'Innovation (FCI)	4 000, 000.00 $	2009 – 2012	«Design, test, assembly and packaging platform for the construction of innovative microsystems»
Sawan, M., Savaria, Y., Bois, G., et 24 autres	FQRNT	406,500.00 $	2008 – 2014	«Analog, digital and RF circuits and systems design»
Sawan, M., Savaria, Y.,	CRSNG	100,000.00 $	2007 – 2009	«Wireless sensors platform dedicated to build smart medical devices»
Sawan, M., Guitton, D., Leparé, F., Chaudhauri,	FQRNT	200,250.00 $	2006 – 2009	«Microsystèmes dédiés à l'interface du cortex visuel primaire : modélisation et validation expérimentales »
Thibeault, C., Gagnon, F., Savaria, Y.,	CRSNG	176,540.00 $	2008 – 2009	«Multi-Level Modeling for Design Derivation of Software-Defined Radio Applications»
Thibeault, C., Audet, Y., et 5 autres	CRIAQ/Bombardier /MDA	103,750.00 $	2009 – 2010	«Cosmic Radiation and Effect on Aircraft Systems»
Wu, K., Kashyap, R.,	CRSNG	162,500.00 $	2008 – 2012	«CREER »
Yao, J., Kashyap, R.,	CRSNG	169,000.00 $	2005 – 2008	«Broadband Radio-Over-Fiber System for Full-Duplex Hybrid Optical/Wireless Access follow on »

Équipement électronique

Un ensemble diversifié d'équipement de tests électronique provenant de diverses subventions (FCI, NATEQ, NSERC) obtenues par les différents professeurs membre du GR2M ou acheté avec la CMC.

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabriquant	Modèle	Description
1	AEROFLEX	IFR3413	Générateur de signal RF 3GHz
1	Agilent	16034H	test fixture
1	Agilent	16047E	Test Fixtures 40 Hz to 110 MHz
1	Agilent	16048G	Test Leads
1	Agilent	16065A	Ext Voltage Bias Fixture
1	Agilent	16314A	balance /unbalance 4 terminal converter
1	Agilent	33250A	0-80MHz WaveForm Generator
1	Agilent	4294-61001	Impedance Analyser fixture 100Ω
1	Agilent	4294A	Impedance Analyzer 40Hz-110MHz
2	Agilent	E3631A	Power Supply
1	Agilent	E3641A	Power Supply
1	Agilent	E3642A	Power Supply
1	Agilent	E3646A	Power Supply
1	Agilent	E3647A	Power Supply
1	Agilent	N5771A	System dc power supply
1	AVR ICE		Microcontroler programmer and debugger
1	Barnstead / Thermolyne	F30430CM	Programmable furnace
1	BK	879	LCR meter
1	BK	4011	FUNCTION GENERATOR
1	BP microsystem	FP1700/240	Universal programmer
1	BP microsystem	SM100VQ	
1	BP microsystem	SM128CS	
1	BP microsystem	SM84UP	
1	BP microsystem	SM56TB	TSSOP 56 PINS
1	casira		Bluetooth
1	CMC/AMI	9444-04-R1	DUT BOARD
1	Data Physics	A-120	Power Supply
1	Data Physics	DP-V011	Shaker
1	Data Translation	DT9834-16-0-12-BNC	High Performance Multifunction Data acquisition USB
1	Fluke	177	True RMS Multimeter
1	HP	54124	Four Chanel test set DC to 50 Ghz
1	HP	16500B	Logic Analyzer
1	HP	16550A	100Mhz STATE/500Mhz TIMING
1	HP	1741A	Oscilloscope
1	HP	3580A	Spectrum Analyzer
1	HP	3709B	Constellation Analyzer
1	HP	54006A	Probe 6 GHz
1	HP	54007A	accessory kit
1	HP	54120B	Sampling oscilloscope 50GHz
1	HP	54616B	Oscilloscope 500MHz
2	HP	54645D	Mixed signal oscilloscope 100MHz
1	HP	6202B	DC Power supply
1	HP	6202B	DC Power supply
1	HP	8111A	Pulse Function Generator 20 Mhz
1	HP	8553L	Spectrum Analyzer 110MHz
2	Instek	PC-3030	Power Supply
1	Intel	EVAL80960VH	INTEL 80960VH Developpement board

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabriquant	Modèle	Description
1	Intel	KEIXP 12EBAB	Network processor development platform
1	INES	GPIB	PCI Card (dans un pc)
1	Karl Suss	10577065	Probe station
5	Karl Suss	PH120	Manual Probe Head
1	Karl Suss	PH600	SEMI-AUTO PROBE HEAD
2	Karl Suss	Z040-K3N-GSG-100	RF probe 100um dc-40 GHz,Z probe
2	Keithley	2002	Precision Multimeter
1	LEITCH	SPG-1680MB	Sync Pulse Generator
1	Logical Device	QUV-T8Z	UV ERASER
1	METCAL	MX500P-11	Fer à souder surface mount
2	Microchip	ICD2	Microcontroler programmer
1	MIRANDA	DAC-100	4224 DAC
1	Miranda	Expresso	
1	MiroTech	VME+PC	Cabinet
1	Nahishige	MB-PB	Micromanipulator
1	NI	PXI-1042	PXI BUS
1	NI	PXI-6071E	Analog input multifunction
1	NI	PXI-6071E	Analog input multifunction
1	NI	PXI-8186	Embedded Controler P4 2.2 GHz
3	Philips	PE1514	Power Supply
1	PHILIPS	PM3055	Oscilloscope 20 Mhz
1	PolyScience	5L	Saline Bath
1	Sanyo	VCC3700	CAMERACOULEUR + POWER SUPPLY
1	SONY	PVM-1354Q	Télévision
1	SRS	SR560	low noise préamp.
1	SRS	SR785	Signal Analyzer
1	SUN	960	Data center cabinet
1	Tektronix	3002	Logic Analyzer
1	Tektronix	7623	Oscilloscope
1	Tektronix	011-0055-02	75 Ω feedthrough
1	Tektronix	012-1605-00	interface cable
1	Tektronix	067-0484-01	differential deskew fixture
1	Tektronix	CSA7404B	Communication Signal Analyser
4	Tektronix	FG502	Function Generator
1	Tektronix	P6139A	Sonde 500MHz
2	Tektronix	P6243	Probe 10X 1GHz
4	Tektronix	P6245	sonde 1.5Ghz 10X pour TDS7154
1	Tektronix	P6418	Sonde Logique 16ch
7	Tektronix	P6470	Pattern Generator v1.0 17 ch
2	Tektronix	P6810	SONDE LOGIQUE HAUTE PERFORMANCE 32ch
1	Tektronix	P7240	sonde active 5X
1	Tektronix	P7350	sonde différentielle 5GHz
1	Tektronix	PG506	Calibration Generator
1	Tektronix	SG503	Sine Wave Generator
1	Tektronix	TCA-1MEG	ADAPTATEUR D'IMPÉDENCE 50Ω 1MΩ
1	Tektronix	TCA-1MEG	ADAPTATEUR D'IMPÉDENCE 50Ω 1MΩ
1	Tektronix	TCA-SMA	adaptateur TCA-SMA
1	Tektronix	TCP202	Sonde de courant de précision DC
1	Tektronix	TCP312	Sonde de courant de précision AC/DC
1	Tektronix	TCPA300	Amplifier ac/dc current probe power supply
1	Tektronix	TDS3054B	Oscilloscope PORTABLE
4	Tektronix	TDS320	Oscilloscope 100Mhz 2ch.
1	Tektronix	TDS3AAM	Advanced Analysis Module (TDS3054B)
1	Tektronix	TDS3LIM	Limit Testing Module (TDS3054B)

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabriquant	Modèle	Description
1	Tektronix	TDS3VID	Advanved Video Module (TDS3054B)
1	Tektronix	TDS7154	Oscilloscope 1.5GHz 4ch.
2	Tektronix	TLA715	Analyseur logique 32Mb/ch 64ch/68ch ou 32ch+32stim.
3	Tektronix	TM503	power module mainframe for 3 plug-ins
3	Topward	TPS4000	Power Supply
1	vision eng.	lynx	LAMP
1	vision eng.	lynx	POWER SUPPLY
2	WAVETEK	19	Générateur de fonction
2	Weller	WES50	Soldering iron
2	Weller	WTCPT	Soldering iron
1	Wenworth labs	MP0901	Prober Microscope
3	Wenworth labs	PRO195LH	Prober Microscope
2	Xantrex	XT20-3	Power Supply

Usine Tyco (GR2M/PolyStim)

Nb	Fabricant	Modèle	Description
1	Creative Automation	champion 8300	Creative Automation Paste Dispenser
1	Heller Industries	1700EXL	Reflow Oven
1	Hesse-Knipps	Bondjet 810	Wedge Bonder
1	Hitachi	S-4700II	scanning electronic microscope
1	Jot automation	J202-01	conveyor
1	Jot automation	J202-02-02	Pickup PCB Destacker
1	Jot automation	J204-02-031	Buffer/Inspection Conveyors 40’’
1	Jot automation	J204-02-022	Buffer/Inspection Conveyors 20"
5	Jot automation	J204-10.9/19	Side Shuttle Transport
1	Kulicke & Soffa	4524-d	Ball bonder
1	Metcal	1E6000	OPTICAL INSPECTION CAMERA
1	Metcal	BGA 3101	Rework station
1	Metcal	BGA 3591	Rework station
1	Metcal	VPI-1000	OPTICAL INSPECTION SYSTEM
1	Oxford instrument	7200	EDX
1	Panasonic	CT-2086YD	monitor
1	Perkin Elmer	--	Differential Scanning Calorimeter Pyris Diamond DSC
1	PMR Systems	PMR-3500	Ultrasound Cleaner
1	Royce Instruments	System 580	Wire Bond Tester
1	Shreiber Engineering	trueton 500W	Water Chiller
1	Speedline technologie	UP1500	
1	Techcon	TS9150	Solder Paste Dispenser
1	TYCO	APS-1H	Pick and Place Machine with WPS and flipper tool
1	TYCO	AVX-1500	Screen Printer
1	TYCO	MT-30	Matrix Tray Handler
1	Unitek Miyachi	LW500A-1	Nd:YAG laser
1	Unitek Miyachi	LW500AWS	5 axis Laser Welding Motion Control System WS
1	Virtual industries	SMD-VAC-GP	vacuum pen

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)

Nb	Fabriquant	Modèle	Description
1	Agilent	81200	Test fixture
1	Agilent	83712B	Synthesized CW generator 10MHz 20 GHz
1	Agilent	E4805B	VXI Timing module
1	Agilent	E8491B	Firewire VXI Controller
8	ALESSI	MH5-L , MH5-R	Micropositioner

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)

Nb	Fabriquant	Modèle	Description
3	ALESSI	MMM-01, MMM-02	Micropositioner
1	Analogic	DB58750	Arb. Function Generator
1	CMC	REV0	VXI Test Fixture Rev.0 (bois)
1	CMC/AMI	TH1000	Mixed Signal Head Test
1	CMC/FERNBANK	MOD2	Rapid prototyping board V2
3	GGB	28	Picoprobe
6	GGB	40A-GSG-150-P	Microwave Probe
11	GGB	40A	Microwave Probe
2	GGB	dual output	Power supply (Dual Output)
2	GGB	mcw-9-4635	Microwave Probe multi chanel
3	HP	1144A	ACTIVE PROBE
1	HP	6623A	Programmable P/S
1	HP	745i	HPUX Test Station
1	HP	81130A	Pulse Pattern Generator
1	HP	85033D	Calibration Kit
1	HP	8593E	Spectrum Analyser
1	HP	8753E	Network Analyser
1	HP	E1401A	VXI Mainframe
1	HP	E1406A	HPIB Command module
1	HP	E1429B	A/D Digitizer
1	HP	E1445A	A/W Generator
1	HP	E1450A	Timing Module
1	HP	E1452A	Terminator PAT I/O
2	HP	E1454A	Pattern I/O POD
1	HP	E3661A	Instrument Rack
3	HP	E4841A	Gen/Anal. Module
1	IMS	XL100	High Speed numeric universal tester
1	Iotech	SB488A	Sun GPID CNTL
1	Keithley	KI236	Source Measurement Unit
	Rhode & Schwarz	NRVZ 1020.1809.02	Power Meter
	Rhode & Schwarz	NRVZ-Z6	Power sensor

Équipement informatique prêté par la CMC (www.CMC.ca)

Nb	Fabriquant	Modèle	Description
1	SUN	Sun Blade 1000	2 processeurs, 5 gig ram
1	SUN	Sun Storage A1000	200 gig (12x16go), raid-5
1	SUN	Sun Blade 1500	1gig ram
4	SUN	Sun Blade 100	2gig ram
5	SUN	Ultra 10	1gig ram
2	SUN	Ultra 1-140	
14	SUN	Moniteur	17”, 19”, 20”, 21”
1	SUN	Tape Drive	0.25” 150 MB
1	SUN	Tape Drive	20-40GB 8MM
4	SUN	Multi-Pack	Disque 36GB
2	SUN	Unipack	Disque 9GB
16	IBM	IntelliStation M pro	2HD 80gig, 1-3gig ram
16	IBM	LCD L170	
16	SLPS	FPGA board	Altera, Xilinx, (DSP, MM, ES, XLX)
2	ARM	FPGA board	RPP
2	SUN	XTA 3511	Disk 6 +B
1	Adaptec	Snap server 550	Disk 3TB

Équipement informatique

Un ensemble diversifié d'équipement informatique provenant de diverses subventions (FCI, NATEQ, NSERC) obtenues par les différents professeurs membre du GR2M ou acheté avec la CMC.

Équipement informatique appartenant au GR2M (www.GR2M.polymtl.ca)

Nb	Fabriquant	Modèle	Description
1	SUN	Sun Blade V890	16 processeurs, 32 gig ram
1	SUN	Sun Blade 1000	2 processeurs, 2 gig ram
2	SUN	SUN V440	4 processeurs, 8 Giga RAM
1	SUN	Sun Storage A1000	400 gig (12x36go), raid-5
2	SUN	Sun Storage XTA3511	6TB gig, raid-5
18	PC	Core2duo	Station du laboratoire VLSI
170	PC	Desktop	Pentium IV, Core 2 Duo, Core2 Quad
2	HP	4050tn	Imprimante Laser Noir
4	HP	4M Plus	Imprimante Laser Noir
1	HP	5M	Imprimante Laser Noir
1	HP	4V	Imprimante Laser Noir 11x17
2	DELL	3100n	Imprimante Laser Couleur
1	DELL	5100n	Imprimante Laser Couleur
4	DELL	1700n	Imprimante Laser

LOGICIELS DE MICROÉLECTRONIQUE

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont achetés par le GR2M, les autres, Cadence, Mentor, Synopsys, Xilinx etc, sont distribués en tout ou en partie par la Société canadienne de microélectronique. (CMC)

Logiciels disponibles au GR2M (www.GR2M.polymtl.ca)

Compagnie	Logiciel
Cadence	ANLS, Assura, CCD, Confrml, ET, EXT, IC, ICC, IUS, MMSIM, Neocell, Neockt, OA, RC, SEV, SOC, SPB, TSI, VSDE
Agilent	ADS
Agility	Celoxica
Aldec	VHDL
Altera	Quartus
Ansys	Ansys, Workbench
ARM	ARM Developper Suite
Coware	Processor Designer
Forte	ForteDS
Matworks	Matlab, Simulink
Mentor Graphics	Calibre, DFT, FA, HDS, Seamless, PADS, ModelSim,
COMSOL	COMSOL
Synopsys	Astro, Astrorail, NS (Nanosim), SYN (Core Synthesis Tools), FM (Formality), HSIM, HSPICE, STAR SIM, Sentaurus, Y-2006, Z-2007,
Synplicity	Synplify
Tensilica	Xtensa
Virage	Mem compiler
Xilinx	ISE, EDK, CHIPSCOPE

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

[P-1] ABDERRAHMAN, A., KHOUAS, A., SAVARIA, Y., SAWAN, M., «True and Accurate Analog Parametric Fault Coverage» accepté à Springer J. of Electronic Testing: Theory and Applications.

[P-2] BERGERON, E., PERRON, L.D., FEELEY, M., DAVID, J.-P., «Logarithmic Time FPGA Bitstream Analysis: a step Towards JIT Hardware Compilation», accepté à ACM Transactions on Reconfigurable Technology and Systems.

[P-3] GHAFAR-ZADEH, E., SAWAN, M., «Toward Fully Integrated Lab-on-Chip: Design, Assembly and Experimental Results», accepté à Int. Journal of Advanced Media and Communications.

[P-4] HASHEMI, S., SAWAN, M., SAVARIA, Y., «A Novel Low-Drop Voltage CMOS Active Rectifier for RF Powered Devices: Experimental Results», accepté à Elsevier Microelectronics Journal, mai 2009.

[P-5] MARCHE, D., SAVARIA, Y., «Modeling R2R Segmented Ladder DAC », accepté à IEEE Transactions on CAS I, mars 2009.

[P-6] Zaki, M., Tahar, S., Bois, G., «Formal Verification of Analog and Mixed Signal Designs : A Survey» accepté à Microelectronics Journal, ELSEVIER, décembre 2008

Articles de revues publiés de septembre 2008 à août 2009

[P-1] AWWAD, F., NEKILI, M., RAMACHANDRAN, V., SAWAN, M., «On Modeling of Parallel Repeater-Insertion Methodologies for SoC Interconnects», IEEE Transactions on Circuits and Systems – I, vol. 55 issue 1, février 2008 pp. 322-336.

[P-2] BEUCHER, N., BÉLANGER, N., SAVARIA, Y., BOIS, G., « High Acceleration for Video Application Using Specialized Instruction Set based on Parallelism and Data Reuse », Journal of Signal Processing Systems, vol. 56 issue 2-3, septembre 2009, pp. 155-165

[P-3] BEY-OUESLATI, R., PALM, S.J., THERRIAULT, D., MARTEL, S., «High speed direct-write for rapid fabrication of three-dimensional microfluidic devices», Inernational Journal of Heat and Technology, vol. 26, no. 1, novembre 2008, pp. 125-131.

[P-4] BEY-OUESLATI, R., THERRIAULT, D., MARTEL, S., «PCB-integrated Heat Exchangers for Cooling Electronics using Microchannels Fabricated with the Direct-write Method», IEEE Transactions on Components and Packaging Technologies, vol. 31, issue 4, décembre 2008, pp. 869-874.

[P-5] BOULAIS, E., BINET, V., DEGORCE, J-Y., WILD, G., SAVARIA, Y., MEUNIER, M., «Thermodynamics and Transport Model of Charge Injection in Silicon Irradiated by a Pulsed Focused Laser», IEEE Transactions on Electron Devices, vol. 55, issue 10, octobre 2008, pp. 2728-2735.

[P-6] GAO, S., CHABINI, N., AL-KHALILI, D., LANGLOIS, J.M.P., «FPGA-based efficient design approaches for large-size two's complement squarers,» The Journal of Signal Processing Systems, septembre 2008, (http://www.springerlink.com/content/j127701064253648/).

[P-7] GAGNÉ, M., BOJOR, L., MACIEJKO, R., KASHYAP, R., «Novel custom fiber Bragg grating fabrication technique based on push-pull phase shifting interferometry», Optics Express, vol. 16 issue 26, décembre 2008, pp. 21550-21557.

[P-8] GHAFAR-ZADEH, E., SAWAN, M., THERRIAULT, D., «A Microfluidic Packaging Technique for Lab-on-Chip Applications», IEEE Trans. On Advanced Packaging, vol. 32, issue 2, mai 2009, pp. 410-416

[P-9] GHAFAR-ZADEH, E., SAWAN, M., « CMOS Based Capacitive Sensor Laboratory-on-Chip: A Multidisciplinary Approach», Springer Analog ICs & Signal Proc. J., vol. 59 issue 1, avril 2009, pp. 1-12.

[P-10] GIRODIAS, B., BOUCHEBABA, Y., NICOLESCU, G., PAULIN, P., ABOULHAMID, M., «Multiprocessor, Multithreading and Memory Optimization for On-Chip Multimedia Applications», Journal of Signal Processing Systems, Springer, vol. 57, # 2, novembre 2009, pp. 263-283.

[P-11] GOSSELIN, B., SAWAN, M., «An Ultra Low-Power CMOS Automatic Action Potential Detector», IEEE Trans. On Neural Systems & Rehabilitation Engineering, vol. 17, issue 4, août 2009, pp. 346-353.

[P-12] GOSSELIN, B., AYOUB, A.E., ROY, J.F., SAWAN, M., LEPORTE, F., CHAUDHURI, A., GUITTON, D., « A Mixed-Signal Multi-Chip Neural Recording Interface with Bandwidth Reduction». IEEE Trans. on Biomedical Circuits & Systems, vol. 3 issue 3, juin 2009, pp. 129-141.

[P-13] LÉVESQUE, M., LANGLOIS, J.M.P., LEMA, P., COURTEMANCHE, R., BILODEAU, G.-A., CARMANT, L., «Synchronized Gamma Oscillations (30-50Hz) inthe Amygdalo-Hippocampal Network in Relation with Seizure Propagation and Severity», Neurobiology of Disease, vol. 35 # 2, août 2009, pp. 209-218.

[P-14] MARCHE, D., SAVARIA, Y., GAGNON, Y., « An Improved Switch Compensation Technique for Inverted R-2R Ladder DACs», IEEE Transactions on CAS I, vol. 56, issue 6, juin 2008, pp. 1115-1124.

[P-15] MARCHE, D., SAVARIA, Y., GAGNON, Y., «Laser Fine-Tuneable Deep Sub-Micron écNIés 14 bit DAC», IEEE Transactions on Circuits and Systems – I, vol. 55, # 8, septembre 2008, pp. 2157-2165.

[P-16] MARROQUIN, I., BRAULT, J.-J., HART, B., «A visual-based data mining methodology to conduct seismic facies analysis, part I: Testing and comparison with other unsupervised clustering methods, GEOPHYSICS, Society of Exploration Geophysicists, vol. 74, issue 1, janvier-février 2009, pp. P1-P11.

[P-17] MARROQUIN, I., BRAULT, J.-J., HART, B., «A visual-based data mining methodology to conduct seismic facies analysis, part II: Application to 3-D seismic data, GEOPHYSICS, Society of Exploration Geophysicists, vol. 74, # 1, janvier-février 2009, pp. P13-P23.

[P-18] MARTEL, S., FELFOUL. O., MATHIEU, J.-B., CHANU, A., TAMAZ, S., MOHAMMADI, M., MANKIEWICZ, M., TABATABAEI, N., «MRI-based nanorobotic platform for the control of magnetic nanoparticles and flagellated bacteria for target interventions in human capillaries», International Journal of Robotics Research (IJRR), Special Issue on Medical Robotics, vol. 28 issue 9, août 2009, pp. 1169-1182.

[P-19] MARTEL, S., «Nanorobots for microfactories to operations in the human body and robots propelled by bacteria», Journal Facta Universitatis Series Mechanics, Automatic Control & Robotics (FU_MCAR), Special Issue on Control of Active and Robotic Systems, vol. 7, issue 1, janvier 2009, pp. 1-8.

[P-20] MARTEL, S., MOHAMMADI, M., FELFOUL. O., LU, Z., POUPONNEAU, P., «Flagellated magnetotactic bacteria as controlled RRI-trackable propulsion and steering systems for medical nanorobots operating in the human microvasculature», International Journal of Robotics Research (IJRR), vol. 28 issue 4, avril 2009, pp. 571-582.

[P-21] MARTEL, S., MATHIEU, J.-B., FELFOUL, O., CHANU, A., ABOUSSOUAN, E., TAMAZ, S., POUPONNEAU, P., YAHIA, L'H., BEAUDOIN, G., SOULEZ, G., MANKIEWEX, M., «A computer-assested protocol for endovascular target interventions using a clinical MRI system for controlling untethered microdevices and future nanorobots», Computer Aided Surgeri, vol. 13, issue 6, novembre 2008, pp. 340-352.

[P-22] MATHIEU, J.B., MARTEL, S., «Aggregation of magnetic microparticles in the context of targeted therapies actuated by a magnetic resonance imaging system», Journal of Applied Physics Materials, vol. 106, issue 4, août 2009, pp. 44904-1 – 44904-7.

[P-23] NADERI, A., SAWAN, M., SAVARIA, Y., «A Low-power 2-GHz Data Conversion using Delta Modulation for Portable Application Integration», Elsevier Microelectronics Journal, vol. 42, issue 1, janvier 2009, pp. 68-76.

[P-24] NADERI, A., SAWAN, M., SAVARIA, Y., «On the Design of Undersampling Continuous-Time Band-Pass Delta-Sigma Modulators for Gigahertz Frequency A/D Conversion», IEEE Trans. On Circuits & Systems-I, vol. 55 issue 11, décembre 2008, pp. 3488-3499.

[P-25] NAJMABADI, M., DEVANBHAKTUNI, V., SAWAN, M., MAYRAND, S., FALLONE, C.A., «A New Approach to Analysis and Modeling of Esophageal Manometry Data in Humans», IEEE Tranactions on Biomedical Eng., vol. 56 issue 7, juillet 2009, pp. 1821-1830.

[P-26] NEMOVA, G., KASHYAP, R., «Athermal Raman Fiber Amplifier», Optics Communications, vol. 282, issue 13, juillet 2009, pp. 2571-2575.

[P-27] NEMOVA, G., KASHYAP, R., «Optimizatin of the dimensions of an Yb^{3+}: ZBLANP optical fiber sample for laser cooling of solids», Optics Letters, vol. 33, issue 19, octobre 2008, pp. 2218-2220.

[P-28] NEMOVA, G., KABASHIN, A.V., KASHYAP, R., «Surface Plasmon-Polariton Phase Sensitive Integrated Planar Mach-Zehnder Refractive Index Sensor Based on Bragg Grating Excitation», JOSA B, vol. 25 issue 10, octobre 2008, pp. 1673-1677.

[P-29] NEMOVA, G., KASHYAP, R., «Optimisation of the Dimensions of an Yb^{3+}: ZBLANP Optical Fiber Sample for Laser Cooling of Solids», Optics Letts., vol. 33 issue 19, octobre 2008, pp. 2218-2220.

[P-30] OUESLATI, R.B., THERRIAULT, D., MARTEL, S., «PCB-Integrated Heat Exchanger for Cooling Electronics Using Microchannels Fabricated with the Direct-Write Method», IEEE Transactions on Components and Packaging Technologies, vol. 31, issue 4, décembre 2008, pp. 869-874.

[P-31] OZCAN, L.C., GUAY, F., KASHYAP, R., MARTINU, L., «Fabrication of buried waveguides in planar silica films using a direct CW laser writing technique», Journal of Non-Crystalline Solids, octobre 2008, pp. 4833-4839.

[P-32] PONPONNEAU, P., LEROUX, J-C., MARTEL, S., «Magnetic nanoparticles encapsulated into biodegradable microparticles steered with an upgraded magnetic reonance imaging system for tumor chemoembolization», Biomaterials, vol. 30, février 2009, pp. 6327-6332.

[P-33] SAWAN, M., BAS, A., MOUNAIM, F., CORCOS, J., ELHILALI, M.M., «Biomedical Circuits and Sytems Dedicated for Sensing and Neurostimulation: Case study on Uninary Bladder dysfunctions», Turk. Journal of Elect. Eng., vol. 16 issue 3, décembre 2008, pp. 171-187.
[P-34] SALOMON, M.E., KHOUAS, A., SAVARIA, Y., «Spurs Model for a Fixed-frequency Signal Subject to Periodic Jitter», IEEE Transactions on Instrumentation and Measurement, vol. 57, issue 10, octobre 2008, pp. 2320-2328.
[P-35] TANGUAY, L.F., SAWAN, M., SAVARIA, Y., «A very-high output impedance charge pump for low-voltage low-power PLLs», Elsevier Microelectronics Journal, vol. 40, avril 2009, pp. 1026-1031.
[P-36] TEHRANCHI, A., KASHYAP, R., «Novel Designs for Efficient Broadband Frequency Doublers Using Singly Pump-Resonant Waveguide and Engineered Chirped Gratings», IEEE Journal of Quantum Electronics, vol. 45, issue 2, février 2009, pp. 187-194.
[P-37] TEHRANCHI, A., KASHYAP, R., «Response flattening of efficient broadband nonlinear wavelength converters based on cascaded sum- and difference-frequency generatin in periodically poled lithium niobate waveguides», IEEE Journal of Quantum Electronics, vol. 45, issue 9, septembre 2009, pp. 1114-1120.
[P-38] ZAKI, M.H., DENMAN, W., TAHAR, S., BOIS, G., «Integrating Abstraction Techniques for Formal Verification of Analog Designs», Journal of Aerospace Computing, Information, and Communication, vol. 6, mai 2009, pp. 373-392.

Articles de revues publiés de septembre 2007 à août 2008

[P-39] ACHIGUI, H., SAWAN, M., FAYOMI, C.-J., «A monolithic based NIRS front-end wireless sensor», Elsevier Microelectronics Journal, vol. 39, mai 2008, pp. 1207-1217.
[P-40] ACHIGUI, H., SAWAN, M., FAYOMI, C.J., «A 1 V Fully Differential, Fully Balanced Opamp: Implementation and Experimental Results» Springer Analog ICs & Signal Processing Journal, vol. 53, no. 1, octobre 2007, pp. 27-34.
[P-41] AWWAD, F., NEKILI, M., RAMACHANDRAN, V., SAWAN, M., «On Modeling of Parallel Repeater-Insertion Methodologies for SoC Interconnects», IEEE Trans. On Circuits and Systems – I, vol. 55, no. 1 février 2008, pp. 322-336.
[P-42] BEAUDOIN, P., AUDET, Y., BENDALI, A., «Characterizing a Thermoelectric Module as Part of a Semiconductor Courses Laboratory», IEEE Transactions on Education, mai 2008, vol. 51 no. 2, pp. 282-287.
[P-43] BOUCHEBABA, Y., GIRODIAS, B., NICOLESCU, G., ABOULHAMID, M., LAVIGUEUR, B., PAULIN, P., «MPSoC Memory Optimization Using Program Transorrmation», ACM Transaction on Design Automation of Electronic Systems, septembre 2007, vol. 12, issue 4, pp. 43:1-43:39.
[P-44] BUI, T.H., SAVARIA, Y., « Design of a High-Speed Differential Frequency-to-Voltage Converter and its Application in a 5 GHz Frequency Locked Loop », IEEE Transactions on Circuits and Systems – I, vol. 55, no. 3, avril 2008, pp. 766-774
[P-45] CARVALHO, I.C.S., FOKINE, M., CORDEIRO, C.M.B., VARVALHO, H., KASHYAP, R., «Borosilicate glass for photonics applications», Optical Materials, vol. 30, issue 12, août 2008, pp. 1816-1821.
[P-46] CHANU, A., FELFOUL, O., BEAUDOIN, G., MARTEL, S., «Adapting the software platform of MRI for the real-time navigation of endovascular untethered ferromagnetic devices», Magnetic Resonance in Medicine, vol. 59, issue 6, juin 2008, pp. 1287-1297.
[P-47] COULOMBE, J., SAWAN, M., GERVAIS, J-F., « A Highly Flexible System for Microstimulaiton of the Visual Cortex: Design and Implementation», IEEE Transactions on Biomedical Circuits and Systems, vol. 1, issue 4, décembre 2007, pp. 258-269
[P-48] DAVID, J.P., KALACH, K., «Hardware Complexity of Modular Multiplication and Exponentiation», IEEE Transactions on Computers, octobre 2007, pp. 1308-1319.
[P-49] FELFOUL, O., MATHIEU, J.-B., BEAUDOIN, G., MARTEL, S., «In VivoMR-tracking based on-magnetic signature selective excitation», IEEE Transactions on Medical Imaging, janvier 2008, vol. 27 issue 1, pp. 28-35.
[P-50] FOTSING-DJOUWE, I.C., GAGNÉ, M., LAURIN, J.-J., KASHYAP, R., «Optical fibre musical instruments: making sense of the senseless», Journal of Materials Science: Materials in Electronics, décembre 2007, vol. 20, issue 1, pp. 170-174.

[P-51] GHAFAR-ZADEH, E., SAWAN, M., THERRIAULT, D., MILED, M.A., «Laboratoires-sur-puces: Nouvelle technologie de diagnostic cellulaire et moléculaire»IEEE Canadian Review, issue 58, août 2008, pp. 20-22.

[P-52] GHAFAR-ZADEH, E., SAWAN, M., «A Core-CBCM Sigma Delta Capacitive Sensor Array Dedicated to Lab-On-Chip Applications», Sensors & Actuators: A. Physical, vol. 144, issue 2, juin 2008, pp. 304-313.

[P-53] GHAFAR-ZADEH, E., SAWAN, M., «Charge-Based Capacitive Sensor Array for CMOS-Based Laboratory-on-Chip Applications», IEEE Sensors, vol. 8, no. 4, avril 2008, pp. 325-332.

[P-54] GHAFAR-ZADEH, E., SAWAN, M., THERRIAULT D., «A 0.18-µm CMOS Capacitive Sensor Lab-on-Chip», Elsevier Sensors & Actuators, vol. 141, issue 2, février 2008, pp. 454-462.

[P-55] GHAFAR-ZADEH, E., SAWAN, M., «A HybridMicrofluidic/CMOS Capacitive Sensor Dedicated to Lab-on-Chip Applications» IEEE Transactions on Biomedical Circuits and Systems, vol. 1, issue 4, décembre 2007, pp. 270-277.

[P-56] GOSSELIN, B., SAWAN, M., CHAPMAN, C.A., «A Low-Power Integrated Bioamplifier with Active Low-Frequency Suppression», IEEE Transactions on Biomedical Circuits and Sysems, vol. 1, issue 3, septembre 2007, pp. 184-192.

[P-57] GUAY, F., OZCAN, L.C., KASHYAP, R., «Surface relief diffraction gratings fabricated in ZnSe by frequency doubled Nd: YAG laser micromachining», Optics Comm. Mars 2008, vol. 5, issue 1, pp. 935-939.

[P-58] KASSEM, ., SAWAN, M., HAMAD, M., HAIDAR, A., «Toward a miniaturized generation of ultrasonic-based devices», Journal of Circuits, Systems, and Computers, vol. 16, no. 6, décembre 2007, pp. 1027-1044.

[P-59] LEBEL, E., ASSI, A., SAWAN, M., «Programmable Monolithic Gm-C Band-Pass Filter: Design and Experimental Results», Springer Analog ICs & Signal Processing Journal, vol. 53, issue 1, janvier 2008, pp. 21-29.

[P-60] MAHONEY, P., SAVARIA, Y., BOIS, G., PLANTE, P., «Performance Characterization for the Implementation of Content Addressable Memories Based on Parallel Hashing Memories», Transactions on High-Performance Embedded Architectures and Compilers, vol. 2, issue 4, 2007, pp. 193-212.

[P-61] MATHIEU, J.-B., MARTEL, S., «Magnetic microparticle steering within the constraints of an MRI system: Proof of concept of a novel targeting approach», Biomedical Microdevices, vol. 9, issue 6, décembre 2007, pp. 801-808.

[P-62] NEMOVA, G., KASHYAP, R., «High-power long period grating assisted erbium-doped fiber amplifier», J. Opt. Soc. Am. B., vol. 25, issue 8, août 2008, pp. 1322-1327.

[P-63] NEMOVA, G., KASHYAP, R., «Theorical model of a planar integrated refractive index sensor based on surface plasmon-polariton excitation with a long period grating», Journal Opt. Soc. Am. B. vol. 24, issue 10, octobre 2007, pp. 2696-2701.

[P-64] OZCAN, L.C., GUAY. F., KASHYAP, R., MARTINU, L., «Investigation of refractive index modification in CW CO_2 laser writtein planar optical waveguides», Optics Communications, vol. 281, août 2008, pp. 3686-3690.

[P-65] RAJAGOPALAN, S., SAWAN, M., GHAFAR-ZADEH, E., SAVADOGO, O., CHODAVARAPU, V., «A Polypyrrole-based Strain Sensor Ddicated to Measure Bladder Volume in Patients with Urinary Dysfunction», BioMEMS Special Issue, Sensors, vol. 8, août 2008, pp. 5081-5095.

[P-66] SAHEB, J.-F., RICHARD, J.-F., SAWAN, M., MEINGAN, R., SAVARIA, Y., «System integration of ««high voltage electrostatic MEMS actuators », Analog Integrated Circuits and Signal Processing, Special issue on Selected Papers on IEEE-NEWCAS 2005, vol. 53, no. 1, octobre 2007, pp. 27-34.

[P-67] SALEH, A., SAWAN, M., EL-ZAYAT, CORCOS, J., ELHILALI, M.M., «Detection of Bladder Volume from the Neural Afferent Activitie in dogs: Experimental Results», Special Issue of Neurological Research: Spinal Cord Research, vol. 30, no. 1, février 2008, pp. 28-35.

[P-68] SAWAN, M., MOUNAIM, F., LESBROS, G., «Long Term Monitoring for In-Vivo Characterization of Electrode-Tissues Contacts», Springer Anal. ICs & Signal Processing Journal, vol. 55, no. 1, février 2008, pp. 103-114.

[P-69] TAMAZ, S., CHANU, A., MATHIEU, J.-B., GOURDEAU, R., MARTEL, S., «Real-Time MRI-based control of a ferromagnetic core for endovascular navigation» IEEE Transactions on Biomedical Engineering, juillet 2008, vol. 55, Issue 7, pp. 1854-1863.

[P-70] TEHRANCHI, A., KASHYAP, R., «Design of novel unapodized ans apodized step-chirped quasi-phase matched gratings for broadband frequency converters based on second harmonic generation», Journal of Lightwave Technology, février 2008, vol. 26, issue 3, pp. 343-349.

[P-71] TEHRANCHI, A., KASHYAP, R., «Engineered gratings for flat broadening of second-harmonic phase-matching bandwidth in MgO-doped lithium niobate waveguides», Optics Express, 2008, vol. 16 issue 23, pp. 18970-18975

[P-72] ZAKI, M., TAHAR, S., BOIS, G., «Qualitative Abstraction based Verification for Analog Circuits», Revue des Nouvelles Technoloiges de l'Information, RNTI-SM-1, Édition Cepadues, décembre 2007, pp. 147-158.

[P-73] ZAKI, M., TAHAR, S., BOIS, G., «Formal Verification of Analog and Mixed Signal Designs: A Survey» Microelectronics Journal, Elsevier, vol. 39 issue 12, juillet 2008, pp. 1395-1404.

Articles de conférence de septembre 2008 à août 2009.

[C-1] AIT YACOUB, M., SAWAN, M., THIBEAULT, C., «A Neuromimetic Ultra low-power ADC for Bio-Sensing Applications», IEEE-NEWCAS Toulouse, France, 28 juin – 1er juillet 2009, pp. 41-44.

[C-2] AUBERTIN, P., MAHVASH MOHAMMADI, H., SAVARIA, Y., LANGLOIS, J.M.P., «High Performance ASIP Implementation of PBDI – a new Intra-Field Deinterlacing Method», Proceedings of IEEE NEWCAS – TAISA'09, Toulouse, France, 28 juin – 1er juillet 2009, pp. 1-4.

[C-3] AYACHI, D., SAVARIA, Y., THIBEAULT, C., «A Configurable Platform for MPSoCs Based on Application Specific Instruction Set Processors», NEWCAS – TAISA'09, Toulouse, France, 28 juin – 1er juillet 2009, pp. 41-44.

[C-4] BASILE-BELLAVANCE, Y., BLAQUIÈRE, Y., SAVARIA, Y., «Faults Diagnosis Methodology for the WaferNet Interconnection Network», NEWCAS – TAISA'09, Toulouse, France, 28 juin – 1er juillet 2009, pp. 61-64.

[C-5] BILODEAU, G.-A., LÉVESQUE, M., LANGLOIS, J.M.P., LEMA, P., CARMANT, L., «Thermographic body temperature measurement using a mean-shift tracker», Proceedings of the International Conference on Bio-inspired Systems and Signal Processing, Portugal, 14-17 janvier 2009, pp. 18-24.

[C-6] DAIGNEAULT, M.A., LANGLOIS, J.M.P., DAVID, J.-P., «Application specific instruction set processor specialized for block motion estimation», IEEE International Conference on Computer Design, Lake Tahoe, Californie, USA, 12-15 octobre 2008, pp. 266-271.

[C-7] ETHIER, S., SAWAN, M., ABOULHAMID, M., EL-GAMAL, M., «A ± 9 V Fully Integrated CMOS Current Source for High-Impedance Microstimulation», IEEE-NWSCAS, Cancun, Mexique, 2-5 août 2009, pp. 192-195.

[C-8] FELFOUL, O., ABOUSSOUAN, E., CHANU, A., MARTEL, S., « Real-time positioning and tracking technique for endovascular untethered microrobots propelled by MRI gradients», IEEE International Conference on Robotics and Automation, ICRA'09, Kobe, Japon, 12-17 mai 2009, pp. 2693-2698.

[C-9] FELFOUL, O., MATHIEU, J.-B., MARTEL, S., «A comparative study between MC-1 Cells and magnetic microparticles used for enhanced target delivery of therapeutic agents in the microvasculature», 2nd IEEE RAS & EMBS International Conference on Biomedical Robotics and Biomechatronics, BioRob 2008, Scottsdale, Arizona, USA, 19-22 octobre 2008, pp. 606-611.

[C-10] FONTAINE, S., GOYETTE, S., LANGLOIS, J.M.P., BOIS, G., «Acceleration of a target tracking algorithm using an application specific instruction set processor», IEEE International Conference on Computer Design, Lake Tahoe, Californie, USA, 12-15 octobre 2008, pp. 255-259.

[C-11] FONTAINE, S., FILION, L, BOIS, G., «Exploring ISS Abstractions for Embedded Software Design», 11th Euromicro Conference on Digital System Design Architectures, Italie, 3-8 septembre 2008, pp. 651-655

[C-12] GOSSELIN, B., SAWAN, M., «Event-Driven Data and Power Management in High-Density Neural Recording Microsystems»,, IEEE-NEWCAS, Toulouse, France, 28 juin – 1er juillet 2009, pp. 65-68.

[C-13] GOSSELIN, B., ZBRZESKI, A., SAWAN, M., KERHERVÉ, E., «Low-Power Linear-Phase Delay Filters for Neural Signal Processing: Comparison and Synthesis», IEEE-ISCAS, Taipei, Taiwan, 24-27 mai 2009, pp. 1261-1264.

[C-14] GOSSELIN, B., SAWAN, M., «Adaptive Detection of Action Potentials Using Ultra Low-Power CMOS Circuits», IEEE-BioCAS, Baltimore, USA, 20-22 novembre 2008, pp. 209-212.

[C-15] HASAN, S. R., PONTIKAKIS, B., SAVARIA, Y., « An All-Digital Skew-Adaptive Clock Scheduling Algorithm for Heterogeneous Multiprocessor Systems on Chips (MPSoCs) », International Symposium on Circuits and Systems, Taipei, Taiwan, 25-27 mai 2009, pp. 2501-2504.

[C-16] HASAN, S.R., BÉLANGER, N., SAVARIA, Y., « All-Digital Skew-Tolerant Interfacing Method for Systems With Rational Frequency Ratios Among Multiple Clock Domains: Leveraging a Priori Timing Information », 1st Microsystems and Nanoelectronics Research Conference, Ottawa, Canada, 15 octobre 2008, pp. 129-132.

[C-17]HASHEMI, S., SAWAN, M., SAVARIA, Y., «Fully-Integrated Low-Voltage High-Efficiency CMOS Rectificer for Wirelessly Powered Devices», IEEE-NEWCAS, Toulouse, France, 28 juin- 1er juillet 2009, pp. 48-51.

[C-18]ISLAM. A., LANGLOIS, J.M.P., NOURELDIN, A., «A design methodology for the implementation of embedded vehicle navigation systems», Proceedings of IEEE EIT, Windsor, Ontario, Canada, 7-9 juin 2009, pp. 297-300.

[C-19]KASHYAP, R., «New designs for Ultra high power single transverse mode CW fibre lasers», Technolaser 2009, La Habana, 13-16 avril 2009, pp.

[C-20]KASHYAP, R., NEMOVA, G., «Guided wave surface Plasmon-polariton sensors», Proc. SPIE 7218, 7218W, San José, USA, 26-29 janvier 2009, pp. 2218-2231.

[C-21]KASHYAP, R., NEMOVA, G., «All fibre multi-kolowatt CW Power Amplifiers», Proceedings of Photonics New Delhi, India, 13-17 décembre 2008, p. 1-2.

[C-22]LANG, N., CANTIN, M.-A., BOIS, G., «Assisted creation and refinement of transactional level specifications based on IP-XACT», IP Based Electronics System Conference & Exhibition, Grenoble, France, 3-4 décembre 2008, pp. 1-4.

[C-23]LE BEUX, S., NICOLESCU, G., BOIS, G., BOUCHEBABA, Y., LANGEVIN, M., PAULIN, P., «Optimizing configuration and application mapping for MPSoC architectures», Proc. NASA/ESA Conference on adaptive Hardware and Systems, San Francisco, USA, 29 juillet – 1er août 2009, pp. 474-481.

[C-24]LEPERCQ, É, BLAQUIÈRE, Y., NORMAN, R., SAVARIA, Y., «Workflow for an Electronic Configurable Prototyping System», International Symposium on Circuits and Systems, Taipei, Taiwan, 25-27 mai 2009, pp. 2005-2008.

[C-25]LÉVESQUE, M., LEMA, P., LANGLOIS, J.M.P., DAVDI, J.-P., «Local field potential synchrony in the amygdalo-hippocampal network during kainate induced-seizures», 62nd Annual Meeting of the Eastern Association of Electroencephalographers, Clinical Neurophysiology, Israël, septembre 2008, vol. 119, p. e96.

[C-26]MARTEL, S., ANDRÉ, W., «Embedding a wireless transmitter within the space and power constraints of an electronic untethered microrobot», NEWCAS-TAISA 2009, Toulouse, France, 28 juin-1er juillet 2009, pp. 65-68.

[C-27]MARTEL, S., ANDRE, W., MOHAMMADI, M., LU, Z., «Towards swarms of communication-enabled ans intelligent sensotaxis-based bacterial microrobots capable of collective tasks in an aquous medium», The 2009 IEEE International Conference on Robotics and Automation (ICRA 2009), Kobe, Japon, 12-17 mai 2009, pp. 2617-2622

[C-28]MARTEL, S., FELFOUL, O., MOHAMMADI, M., «Flagellated bacterial nanorobots for medical interventions in the human body» 2nd IEEE RAS & EMBS International Conference on Biomedical Robotics and Biomechatronics, BioRob 2008, Scottsdale, Arizona, USA, 19-22 octobre 2008, pp. 264-269.

[C-29]MÉNARD-BEAUDOIN, P., AUDET, Y., PONCE-PONCE, V.H., «Dark Current Reduction in CMOS Image Sensors using Dynamic Offset Compensation», IEEE-NEWCAS-TAISA'09 Conférence, Toulouse, France, 28 juin au 1er juillet 2009, pp. 50-53.

[C-30]MILED, M.A., SAWAN, M., «Reconfigurable Dielectrophoretic Device for Neurotransmitters Sensing and Manipulation», 15th International Mixed-Signals, Sensors and Systems Test Workshop IMS3TW'09, Arizona, USA, 10-12 juin 2009, pp. 1-4.

[C-31]MOKRANI, N,, MOHAMMADI, M., MARTEL, S., «Toward faster bacterial micro-actuators», The 5th International Conference on Microtechnologies in Medicine and Biology (MMB 2009) Conference, Québec, Canada, 1-3 avril 2009, pp. 1-2.

[C-32]MOUNAIM, F., SAWAN, M., EL-GAMAL, M., «Fully integrated inductive power recovery front-end dedicated to implantable devices», IEEE-BioCAS, Baltimore, USA, 20-22 novembre 2008, pp. 105-108.

[C-33]MOUNAIM, F., ELZAYAT, E., SAWAN, M., CORCOS, J., ELHILALI, M.M., «Bew sacral neurostimulation strategy to enhyance micturiton in paraplegics», IFESS, Germany, 21-25 septembre 2008, pp. 22-24.

[C-34]NEMOVA, G., KASHYAP, R., «Athermal Raman Fiber Amplifier», Nonlinear Optics: Materials, Fundamentals and Applications (NLO), Honolulu, Hawaii, 17-20 juillet 2009, papier JTuB17

[C-35]NEMOVA, G., KASHYAP, R., «Radiation-balanced fiber amplifiers», Proceedings of CLEO, Europe, juillet 2009, pp.

[C-36]NEMOVA, G.., KASHYAP, R., «High-Power Fiber Amplifier with Laser Cooled Cladding», CLEO/EQEC 2009, Munich, Germany, 14-19 juin 2009, p. 1-1.

[C-37]NEMOVA, G., KASHYAP, R., «Novel SPR Sensors», Photonics North, Montréal, Canada, juin 2009,

[C-38]NEMOVA, G., KASHYAP, R., «Optimization of tapered fiber sample for laser cooling of solids», Proc. SPIE, janvier 2009, vol. 7228, issue 1, pp. 72280J-1 – 72280J-11

[C-39]RHOU, B., SAWAN, M., «Real-time filtering technique to remove ECG interference from recorded esophageal EMG», IEEE-BioCAS, Baltimore, USA, 20-22 novembre 2008, pp. 21-24.

[C-40]SAWAN, M., GOSSELIN, B., COULOMBE, J., «Learning from the Primary Visual Cortex to Recover Vision for the Blind by Microstimulation», IEEE-NORCHIP, Tallinn, Estonia, 16-17 novembre 2008, pp. 1-4.

[C-41]SHECHTER, E., MARTEL, S., «Magnetotactic bacteria in three-way junctions with state switch», The 5th International Conference on Microtechnologies in Medicine and Biology (MMB 2009) Conference, Québec, Canada 1-3 avril 2009, pp. 1-2.

[C-42]SIADJINE, M., BUI, H.T., BOYER, F.R., «Design and Optimization of a Low Complexity All-Digital Digital-to-Analog Converter», IEEE Northeast Workshop on Circuits and Systems (NEWCAS) and TAISA, Toulouse, France, 28 juin – 1er juillet 2009, pp. 53-56.

[C-43]SIMARD, G., SAWAN, M., MASSICOTTE, D., «Novel Coils Geometry Intended for Biomedical Implants with Multiple Carrier Inductive Link», IEEE-ISCAS, Taipei, Taiwan, 24-27 mai 2009, pp. 537-540.

[C-44]TABATABAEI, N., MARTEL, S., «The concentration effect of magnetic iron oxide nanoparticles on temperature change for hyperthermic drug release applications via AC magnetic field», The 5th International Conference on Microtechnologies in Medicine and Biology (MMB 2009) Conference, Québec, Canada, 1-3 avril 2009, pp. 1-2.

[C-45]TANGUAY, L.F., SAWAN, M., SAVARIA, Y., «A Very-High Output Impedance Current Mirror for Low Voltage Biomedical Analog Circuits», IEEE-APCCAS, Macao, Chine, 30 novembre – 3 décembre 2008, pp. 642-645.

[C-46]TANGUAY, L.F., SAWAN, M., «Process Variation Tolerant LC-VCO Dedicated to Ultra-Low Power Biomedical RF Circuits», IEEE-ICSIST, Beijing, China, 20-23 octobre 2008, pp. 1585-1588.

[C-47]TARIQUS-SALAM, M., SAWAN, M., NGUYEN, D., HAMOUIA, A., «Low-power CMOS-based epileptic seizure onset detector», IEEE-NEWCAS, Toulouse, France, 28 juin – 1er juillet 2009, pp. 52-55.

[C-48]TEHRAN, H.M., LAURIN, J.-J., KASHYAP, R., «A Low-Perturbation Near-Field Imager Equipped with Optical MST Probes», Proceedings of EURO Conf. Ant. Propagat., Berlin, Germany, mars 2009, pp. 1-5.

[C-49]TEHRANCHI, A., KASHYAP, R., «Analysis of Improved Cascaded SFG + DFG Wavelength Converter in Quasi-Phase Matched Lithium Niobate Waveguide», Photonics 2008, New Delhi, Inde, 13-17décembre 2008, vol. 48, issue 3, pp. G143-G147.

[C-50]TORABI, A., BILODEAU, G.-A., LÉVESQUE, M., LANGLOIS, J.M.P., LEMA, P., CARMANT, L., «Measuring animal body temperature in thermographic video using particle filter tracking», Lecture Notes in Computer Science: Advances in Visual Computing, Las Vegas, USA, 1-3 décembre 2008, vol. 5358, pp. 1081-1091.

[C-51]TREMBLAY, J.-P., SAVARIA, Y., THIBEAULT, C., MBAYE, M.M., « Improving Resource Utilization in a Multiple Asynchronous ALU DSP Architecture », 1st Microsystems and Nanoelectronics Research Conference, Ottawa, Canada, 15 octobre 2008, pp. 25-28.

[C-52]TSIKHANOVICH, A., ABOULHAMID, M., BOIS, G.,. «Temporal Constraints Analysis for Timing Verification of Systems», IEEE 20th International Conference on Microelectronics, Sharjah, UAE, 14-17 décembre 2008, pp. 381-384.

[C-53]VEZANT, B., MANSUY, C., BUI, H.T., BOYER, F.-R., «Direct digital synthesis-based all-digital phase-locked loop», », IEEE Northeast Workshop on Circuits and Systems (NEWCAS) and TAISA, Toulouse, France, 28 juin – 1er juillet 2009, pp. 43-46.

[C-54]WEHBE, M., SAWAN, M., «Dynamic Pupil Reacting to Incident Light Dedicated to Ocular Implants», IEEE-MWSCAS, Cancun, Mexique, 2-5 août 2009, pp. 176-179.

[C-55]ZARRABI, H., AL-KHALILI, A. J., SAVARIA, Y., « An Interconnect-Aware Delay Model for Dynamic Voltage Scaling in nm Technologies», ACM Great Lakes Symposium on VLSI, 2009, Boston, USA, 10-12 mai 2009, pp. 45-49.

Articles de conférence de septembre 2007 à août 2008.

[C-56]ABDERRAHMAN, A., SAVARIA, Y., KHOUAS, A., SAWAN, M., « New Analog Test Metrics Based on Probabilistic and Deterministic Combination Approaches », International Conference on Electronics, Circuits and Systems, Marrakech, Maroc, 11-14 décembre 2007, pp. 82-85

[C-57]ANANE, A., ABOULHAMID, EL M., VACHON, J., SAVARIA. Y., « Modeling and Simulation of Complex Heterogeneous Systems », International Symposium on Circuits and Systems, Seattle, Washington, USA, 18-21 mai 2008, pp. 2873-2876.

[C-58]AUDET, Y., ABOUTORABI, S.S., «A CMOS Process Compatible Color Sensor Using Wavelength Dependant Absorption Depth», Proceeding of the IEEE NEWCAS Conference, Montréal, Canada, 22-25 juin 2008, pp. 327-330.

[C-59]AWWAD, F., NEKILI, M., SAWAN, M., «Performance Metrics Study for Repeater-Insertion Strategies» Proceeding of the IEEE NEWCAS Conference, Montréal, Canada, 22-25 juin 2008, pp. 350-362.

[C-60]BAFUMBA, D., SAVARIA, Y., DAVID, J.P., «Generic Crossbar Network on Chip for FPGA MPSoC», NEWCAS-TAISA'2008, Montréal, Canada, 22-25 juin 2008, pp. 269-272.

[C-61]BASILE-BELLAVANCE, Y., LEPLERCQ, E., BLAQUIÈRE, Y., SAVARIA, Y., « Co-design and Hardware Verification of an Active Reconfigurable Board with SystemC-VHDL », International Conference on Electronics, Circuits and Systems, Malta, 31 août -3 septembre 2008, pp. 1159-1162

[C-62]BENSOUDANE, E., TONIETTO, D., GHEORGHE, L., NICOLESCU, G., «System-level design of continuous/discrete-time heterogeneous systems applied to high-speed serial link», Conférence Circuits and Systems and Taisa, NEWCAS-TAISA 2008, Montréal, Canada, 22-25 juin 2008, pp. 189-192.

[C-63]BERGERON, E., DAVID, J.P., DAIGNEAULT, M.A., FEELEY, M., «Using Dynamic Reconfigurable to Implement High-Resolution Programmable Delays on an FPGA», NEWCAS-TAISA'2008, Montréal, Canada, 22-25 juin 2008, pp. 265-268.

[C-64]BERGRON, E., FEELEY, M., DAVID, J.P., «Hardware JIT compilation for off-the-shelf dynamically reconfigurable FPGAs», 17th International Conference on Theory and Practive of Software, ETAPS 2008, Budapest, Hongrie, 29 mars – 6 avril 2008, pp. 178-192.

[C-65]BEUCHER, N., BÉLANGER, N., SAVARIA, Y., BOIS, G., « A Methodology to Evaluate the Energy Efficiency of Application Specific Processors », International Conference on Electronics, Circuits, and Systems, Marrakech, Maroc, 11-14 décembre 2007, pp. 983-986

[C-66]BLAQUIÈRE, Y., SAVARIA, Y., EL FOULADI, J., « Digital Measurement Technique for Capacitance Variation Detection on Integrated Circuits I/Os », International Conference on Electronics, Circuits and Systems, Marrakech, Maroc, 11-14 décembre 2007, pp. 42-45.

[C-67]BOUGATAYA, M., LAKHASASI, A., NORMAN, R., PRYTULA, R., BLAQUIERE, Y., SAVARIA, Y., «Steady State Thermal Analysis of a Reconfigurable Wafer-Scale Circuit Board », IEEE Symposium on Computer Systems and Applications, Niagara Falls, Canada, 4-7 mai 2008, pp. 411-415.

[C-68]BOUYELA NGOYI, G.A., LANGLOIS, J.M.P., SAVARIA, Y., « Iterative Design Method for Video Processors Based on an Architecture Design Language and its Application to ELA Deinterlacing », NEWCAS-TAISA, Montréal, Canada, 22-25 juin 2008, pp. 37-40

[C-69]BRIÈRE, M., GHEORGHE, L., NICOLESCU, G., O'CONNNOR, I., WAINER, G., «Towards the High-Level Design of Optical Networks-on-Chip. Formalizaiton of Opto-Electrical Interfaces», 14th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2007, Marrakech, Morocco, 11-14-décembre 2007, pp. 427-430.

[C-70]DONG, Z.J., ZAKI, M., SAMMANE, G., TAHAR, S., BOIS, G., «Checking Properties of PLL Designs using Run-time Verification», 19th International Conference on Microelectronics, Caire, Égypte, 29-31 décembre 2007, pp. 125-128.

[C-71]FEREYDOUNI-FOUROUZANDEH, F., AIT MOHAMED, O., SAWAN, M., «Ultra Low Energy Communiatin Protocol for Implantable Body for Implantable Body Sensor Networks», Proceeding of the IEEE NEWCAS Conference, Montréal, Canada, 22-25 juin 2008, pp. 57-60.

[C-72]GAGNÉ, M., BOJOR, L., MACIEJKO, R., KASHYAP, R., «Novel long fiber Bragg grating fabrication technique based on push-pull phase-shifting interferometry», Proceedings of ICOOPMA, Edmonton, Alberta, 20 25 juillet 2008, pp.

[C-73]GHAFAR-ZADEH, E., SAWAN, M., «A Charge Based Sigma Delta Capacitive Sensor for Ultrathin Polyelectrolyte Layer Detection», Proceeding of the IEEE NEWCAS Conference, Montréal, Canada, 22-25 juin 2008, pp. 45-48.

[C-74]GHAFAR-ZADEH, E., SAWAN, M., SHABANI, A., ZOUROB, M., CHODAVARAPU, V., «Bacteria Growth Monitoring Through an On-Chip Capacitive Sensor», IEEE-IMS3TW, Vancouver, Canada, 18-20 juin 2008, pp. 1-4.

[C-75]GHAFAR-ZADEH, E., SAWAN, M., «Toward Fully Integrated CMOS based Capacitive Sensor Lab-on-Chip», IEEE Medical Measurement and Applications (MEMEA), Ottawa, Canada, 9-10 mai 2008, pp. 77-80.

[C-76]GHANNOUM, R., SAWAN, M., «A 90nm CMOS Multimode Image Sensor Intended for a Visual Cortical Stimulator», IEEE-ICM, Caire, Égypte, 29-31 décembre 2007, pp. 179-182.

[C-77]GHEORGHE, L., NICOLESCU, G., BOUCHENEB, H., «Semantics for Model-Based Validation of Continuous/Discrete Systems», Proceeding of IEEE DATE 2008, Munich, Germany, 10-14 mars 2008, pp. 498-503.

[C-78]GOSSELIN, B., SAWAN, M., «An Ultra-Low-Power CMOS Action Potential Detector», IEEE-ISCAS, Seattle, USA, 18-21 mai 2008, pp. 2733-2736.

[C-79]GOSSELIN, B., SAWAN, M., «A Low-Power Integrated Neural Interface with Digital Spike Detection and Isolation», IEEE-ICECS, Marrakech, Maroc, 11-14 décembre 2007, pp. 1412-1415.

[C-80]HADJIAT, K., ST-PIERRE, F., BOIS, G., SAVARIA, Y., LANGEVIN, M., PAULIN, P., « An FPGA Implementation of a Scalable Network-on-Chip Based on the Token Ring Concept », International Conference on Electronics, Circuits and Systems, Marrakech, Maroc, 11-14 décembre 2007, pp. 995-998

[C-81]HASHEMI. S., SAWAN, M., SAVARIA, Y., « A Novel Fully-Integrated Low-Drop Voltage CMOS Rectifir for Wirelessly Powered Devices », 19th International Conference on Microelectronics, Caire, Égypte, 29-31 décembre 2007, pp. 333-336.

[C-82]KASHYAP, R., NEMOVA, G., «New perspectives in ultra high power fibre amplifiers and laser induced solid state cooling» 1st Workshop on Specialty Optical Fibers and their Applications (WSOF 2008, Sao Pedro, Sao Paulo, Brésil 20-22 août 2008, pp.

[C-83]KONG, M.Y., LANGLOIS, J.M.P., AL-KHALILI, D., «Efficient FPGA Implementation of Complex Multipliers using the Logarithmic Number System», Proceedings of the IEEE International Symposium on Circuits and Systesm, ISCAS 2008, Washington, USA, 18-21 mai 2008, pp. 3154-3157.

[C-84]KOWARZYK, G., SAVARIA, Y., HACCOUN, D., « Searching for short-span Convolutional doubly self-orthogonal codes: a parallel implicitly-exhaustive search algorithm », IEEE Symposium on Computer Systems and Applications, Niagara Falls, Canada, 4-7 mai 2008, pp. 1659-1662.

[C-85]LÉVESQUE, P., SAWAN, M., «New digital quadrature demodulator for real-time hand-held ultrasound medical imaging device», IEEE-ISCAS, Seattle, USA, 18-21 mai 2008, pp. 2949-2952.

[C-86]LIU, R., RIDEOUT, H., SEREGELYI, J., WU, K., KASHYAP, R., «A fully erbium doped fiber long external cavity laser with 45 dB side mode suppression», Proc. Of Spie, Photonics North, Montréal, Canada, 2-4 juin 2008,

[C-87]LIU, R., PASANDI, M.E.M., LAROCHELLE, S., WU, K., KASHYAP, R., «High quality ROF signal transmission by direct modulation of a doped fiber external cavity semiconductor laser at multiples of resonant frequency», Optical Fibre Commun. Conference, OPC'2008, mars 2008,

[C-88]LU, Z., EL-FOULADI, J., MARTEL, S., SAVARIA, Y., «A hybrid bacteria and microparticle detection platform on a CMOS chip : design, simulation and testing considerations», 14th IEEE International Mixed-Signals, Sensors and Systems test Workshop IMS3TW 2008, Vancouver, Canada, 18-20 juin 2008, pp. 1-7.

[C-89]LU, Z., SAWAN, M., «An 8 Mbps Data Rate Transmission by Inductive Link Dedicated to Implantable Devices», IEEE-ISCAS, Seattle, USA, 18-20 mai 2008, pp. 3057-3060.

[C-90]MARTEL, S., FELFOUL, O., MOHAMMADI, M., MATHIEU, J.-B., «Interventional procedure based on nanorobots propelled and steered by flagellated Magnetotactic Bacteria for direct targeting of tumors in the human body», 30th Annaual International Conference of the IEEE Engineering in Medicine and Biology Society, EMBS 2008, Vancouver, Canada, 20-25 août 2008, pp. 2497-2500.

[C-91]MARTEL, S., «Magnetotactic bacteria as controlled components in microelectronic circuits», 14th IEEE International Conference on Electronics, Circuits and Systems, Marrakech, Morocco, 11-14-décembre 2007, pp. 1-1.

[C-92]MBAYE, M.M., BÉLANGER, N., PIERRE, S., SAVARIA, Y., « Loop-Oriented Profiling for Application Specific Architecture Design-Space Exploration », International Conference on Application-specific Systems, Architectures and Processors, Belgique, 2-5 juillet 2008, pp. 263-268.

[C-93]MILED, M.A., SAWAN, M., «Subthreshold Transistor Operation for a High Sensitivity Capacitive Sensor» Proceeding of IEEE CCECE'08 Symposium on Circuits, Devices and System, mai 2008, Niagara Falls, Canada, 4-7 mai 2008, pp. 1671-1674.

[C-94]MOSS, L., CANTIN, M.A., BOIS, G., ABOULHAMID, E.-M., «Automation of Communication Refinement and Hardware Synthesis within a System-Level Design Methodology», 19th IEEE/IFIP International Symposium on Rapid System Prototyping, Monterey, CA, USA, 2-5 juin 2008, pp. 75-81.

[C-95]NEMR, A., CARDINAL, C., SAWAN, M., «Very High Throughput Iterative Threshold Decoder for Convolutional Self-Doubly Orthogonal Codes», Proceedings of IEEE NEWCAS-TAISA Conference, Montréal, Canada, 22-25 juin 2008, pp. 257-260.

[C-96]NEMOVA, G., KASHYAP, R., «Optimization of Yb^{3+}:ZBLANP Fiber Structure for Laser Cooling» Conference on Lasers and Electro-Optics, San José, Californie, USA, 4-9 mai 2008, pp. 1-3.

[C-97]NEMOVA, G., KASHYAP, R., «Kilowatt-Power ER^{3+} Doped Cladding Fiber Amplifier», Proceedings of SPIE, vol. 7009, 70990Y-1-6, Photonics North 2008, 24 27 mai 2008, pp.

[C-98]NEMOVA, G., KABASHIN, A.V., KASHYAP, R., «Phase interrogation of a planar integrated refractive index sensor», Proc. Of SPIE, Photonics North 2008, 24 27 mai 2008, vol. 709926, pp. 1-5.

[C-99] NEMOVA, G., KASHYAP, R., «Solid state cooling with lasers», Proc. of ICOOPMA, Edmonton, Canada, 2008

[C-100] NEMOVA, G., KASHYAP, R., «High power Fiber Amplifiers», Proc. of ICOOPMA, Edmonton, Canada, 2008,

[C-101] NEMOVA, G., KASHYAP, R., «Stimulated Raman Scattering in a Fibre Cladding: Evolution of Stokes Modes», Proc. of ICOOPMA, Edmonton, Canada, 2008,

[C-102] NGOYI, G.-A.B., LANGLOIS, P.J.M., SAVARIA, Y., «Iterative design method for video processors based on an architecture design language and its application to ELA deinterlacing», Proceedings of IEEE NEWCAS-TAISA Conférence, Montréal, Canada 22-25 juin 2008, pp. 37-40.

[C-103] NORMAN, R., VALORGE, O., BLAQUIÈRE, Y., LEPERCQ, E., BASILE-BELLAVANCE, Y., EL-ALAOUI, Y., PRYTULA, R., SAVARIA, Y., « An Interconnection Network For a Novel Reconfigurable Circuit Board », NEWCAS-TAISA, Montréal, Canada, 22-25 juin 2008, pp. 129-132.

[C-104] NORMAN, R., VALORGE, O., BLAQUIÈRE, Y., LEPERCQ, E., BASILE-BELLAVANCE, Y., EL-ALAOUI, Y., PRYTULA, R., SAVARIA, Y., « An Active Reconfigurable Circuit Board », NEWCAS-TAISA, Montréal, Canada, 22-25 juin 2008, pp. 351-354.

[C-105] NOURIVAND, A., AL-KHALILI, A.J., SAVARIA, Y., « Aggressive Leakage Reduction of SRAMs Using Error Checking and Correcting (ECC) Techniques », Midwest Symposium on Circuits and Systems 2008, Tennessee, USA, 10-13 août 2008, pp. 269-272

[C-106] O'CONNOR, I., MIEYEVILLE, F., GAFFIOT, F., SCANDURRA, A., NICOLESCU, G., «Can Integrated Photonics Sove MPSoC Interconnect Issues?, Proceeding of VMIC'08, Orlando, Floride, USA, 29 juin – 2 juillet 2008, pp. 1-4.

[C-107] OULD-BACHIR, T., SAWAN, M., BRAULT, J-J., «A New Hardware Architecture for Sampling the Exponential Distribution», Proceeding of IEEE CCECE'08 Symposium on Circuits, Devices and System, mai 2008, Niagara Falls, Canada, 4-7 mai 2008, pp. 1393-1396.

[C-108] PONTIKAKIS, B., BUI, H.T., BOYER, F.R., SAVARIA, Y., *«A Novel Phase-Locked Loop (PLL)* Architecture Without an Analog Loop Filter for Better Integration in Ultra-Deep Submicron SoCs,»IEEE Northeast Workshop on Circuits and Systems (NEWCAS) et TAISA, Montréal, Canada, 22-25 juin 2008, pp. 363-366.

[C-109] RIDEOUT, H., LIU, R., SEREGELYI, J., PAQUET, S., WU, K., KASHYAP, R., «Microwave Signal Generation using Erbium-doped External Cavity Lasers», Proc. of SPIE, vol. 7099 70990O-1-7, Photonics North, Montréal, Canada, 2-4 juin 2008,

[C-110] SAHRAII, N., SAVARIA, Y., THIBEAULT, C., GAGNON, F., « Scheduling of Turbo Decoding on a Multiprocessor Platform to Manage its Processing Effort Variability », NEWCAS-TAISA, Montréal, Canada, 22-25 juin 2008, pp. 73-76.

[C-111] SHAAT, A., LAPOINTE, J., DURETTE, J.-F., KASHYAP, R., BOULOS, P.R., «Prothèse également réactive à la lumière», 20e Journée de la recherche en ophtalmologie, Université de Montréal, 30 mai 2008,

[C-112] TABATABAEI, N., MARTEL, S., «Hyperthermia via AC electromagnetic field and magnetic nanoparticles integtrated in micro-carriers navigable in blood vessels», 31e Conférence canadienne de génie biomedical, CCG31, Montréal, Canada, 11 au 13 juin 2008, pp. 5-8.

[C-113] TCHOULACK, S., LANGLOIS, J.M.P., CHERIET, F., «Real-time detection and correction of specular reflexions in endoscopic video», Proceedings of IEEE NEWCAS Conférence, Montréal, Canada 22-25 juin 2008, pp. 49-52.

[C-114] TEHRANCHI, A., KASHYAP, R., «Novel step-chirped quasi-phase matched gratings for broadband frequency doublers with flat high efficiency response in nonlinear-optical waveguides», URSI, Chicago, USA paper D02a.5, juillet 2008,

[C-115] TRABELSI, A., BOYER, F.R., SAVARIA, Y., BOUKADOUM, M., «Iterative Noise-Compensated Method to Improve LPC Based Speeck Analysis, IEEE International Conference on Electroics, Circuits & Systems (ICECS), Marrakech, Morocco, 11-14 décembre 2007, pp. 1364-1367.

[C-116] TSIKHANOVICH, A., ABOULHAMID, E.M., BOIS, G., «Communication Structure Refinement Using Temporal Constraints Analysis», 14th IEEE International Conference on Electronics, Circuits and Systems, Marrakech, Morocco, 11-14 décembre 2007, pp. 1284-1287.

[C-117] VALORGE, O., NGUYEN, A.T., BLAQUIÈRE, Y., NORMAN, R., SAVARIA, Y., « Digital Signal Propagation on a Wafer-Scale Smart Active Programmable Interconnect », International Conference on Electronics, Circuits and Systems, Malta, 31 août - 3 septembre 2008, pp. 1059-1062.

[C-118] VALORGE, O., MARCHE, D., LACOURSE, A., SAWAN, M., SAVARIA, Y., « Signal Integrity Analysis of a High Precision D/A Converter », International Conference on Electronics, Circuits and Systems, Marrakech, Maroc, 11-14 décembre 2007, pp. 1224-1227

[C-119] ZAKI, M., AL-SAMMANE, G., TAHAR, S., BOIS, G., «Combining Symbolic Simulation and Interval Arithmetics for the Verification of AMS Designs», Formal Methods in Computer Aided Design, Austin, Texas, USA, 11-14 novembre 2007, pp. 207-215.

[C-120] ZHAO, L., EL-FOULADI, J., MARTEL, S., SAVARIA, Y., « A hybrid bacteria and microparticle detection platform on a CMOS chip: design, simulation and testing considerations », IEEE 14th International Mixed-Signal, Sensors and Systems Test Workshop, Vancouver, Canada, 18-20 juin 2008, pp. 1-7.

AUTRES PUBLICATIONS (invitation)

LIVRES

[L-1] NADERI, A., SAWAN, M., SAVARIA, Y., «Undersampling Delta Sigma Modulators Theory, Design and Implementation» Lambert Aademic Publishing, ISBN: 978-3-8383-0791-6; 130 pages.

BREVETS

[B-1] AUDET, Y., MÉNARD BEAUDOIN, P., «Pixel Architecture for CMOS Active Pixel Sensors», brevert provisoire américain, no 61/145,846, déposée le 20 janvier 2009

[B-2] AUDET, Y., «Color Image Sensor», Brevet international (PCT/CA2007/000997), entrées en phase nationale: États-Unis, demande issue 12/303,324, 3 décembre 2008;
Japon, demande issue 2009-513522, 5 décembre 2008;
Royaume-Uni, demande issue 0900210.6, 18 mars 2009.

INDEX DES AUTEURS

A

ABOUTORABI, Seyed Sadreddin 23
AIT YAKOUB, My El Mustapha 24
ALLARD, Mathieu 25
AL-TERKAWI HASIB, Omar 26
AMADOU, Maimouna 27
AUBERTIN, Philippe 28

B

BAFUMBA- LOKILO, David 29
BASILE-BELLAVANCE, Yan 30
BENDALI, Abdelhalim 31
BENSOUDANE, Essaid 32
BOISSIÈRE, Benoit 33
BOUYELA NGOYI, Gérard Armand 34

D

DAIGNEAULT, Marc-André 35
DECA, Radu 36

E

ÉTHIER, Sébastien 37

F

FONTAINE, Sébastien 38
FOURMIGUE, Alkain 39

G

GÉLINAS, Sébastien 40
GHANNOUM, Anthony 41
GHANNOUM, Roula 42
GHEORGHE, Luiza 43
GIRODIAS, Bruno 44
GOSSELIN, Benoît 45
GROGAN, Patrick 46
GUÉRARD, Hubert 47

H

HASAN, Syed Rafay 48
HASHEMI, Saeid 49
HAWI, Firas 50

I

IBNECHEIKH, Taieb Lamine 51

K

KHAMSEHASHARI, Elham 52
KOWARZYK MORENO, Gilbert 53

L

LAFLAMME-MAYER, Nicolas 54
LAFRANCE, Pierre 55
LAREAU, Étienne 56
LEBEL, Dany 57
LEPERCQ, Étienne 58
LÉVESQUE, Philippe 59

M

MAHVASH Mohammad Hossein 60
MARCHE, David 61
MBAYE, Mame Maria 62
MÉNARD BEAUDOIN Philippe 63
MENDEZ, Arnaldo 64
MILED, Mohamed Amine 65
MOSS, Laurent 66
MOUNAIM, Fayçal 67

N

NEMR, Abbas 68
NOURIVAND, Afshin 69

O

OULD BACHIR, Tarek 70

P

PONTIKAKIS, Bill 71

R

RHOU, Bassam 72
ROGER-VALLÉE, Michel 73

S

SALAM, Muhammad Tariqus 74
SIMARD, Guillaume 76

T

TANGUAY, Louis-François 77
TAPP, Martin 78
TREMBLAY, José Philippe 79
TURGEON, Jean-Sébastien 80

W

WEHBE, Mohamad **81**

Z

ZARRABI, Houman **82**