GRM

École Polytechnique

GROUPE DE RECHERCHE EN MICROÉLECTRONIQUE ET MICROSYSTÈMES

RAPPORT ANNUEL
2009 – 2010

ÉCOLE
POLYTECHNIQUE
MONTRÉAL

TABLE DES MATIÈRES

REMERCIEMENTS 3
INTRODUCTION 3
COLLABORATIONS EN 2009-2010 3
OBJECTIFS DU GR2M 4
COMPOSITION DU GROUPE 4
LISTE DES MEMBRES RÉGULIERS 4
LISTE DES MEMBRES ASSOCIÉS 5
LISTE DES CHERCHEURS POST DOCTORAUX ET AUTRES PROFESSIONNELS 5
PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE 6
DOMAINES 6
ACTIVITÉS DES MEMBRES RÉGULIERS 6
ACTIVITÉS DU PROFESSEUR BOIS 7
ACTIVITÉS DU PROFESSEUR DAVID 8
ACTIVITÉS DU PROFESSEUR AUDET 9
ACTIVITÉS DU PROFESSEUR BOYER 10
ACTIVITÉS DU PROFESSEUR BRAULT 11
ACTIVITÉS DU PROFESSEUR KHOUAS 12
ACTIVITÉS DU PROFESSEUR LANGLOIS 13
ACTIVITÉS DU PROFESSEUR MARTEL 14
ACTIVITÉS DU PROFESSEUR NICOLESCU 15
ACTIVITÉS DU PROFESSEUR SAVARIA 16
ACTIVITÉS DU PROFESSEUR SAWAN 17
ÉTUDIANTS AUX CYCLES SUPÉRIEURS 18
ÉTUDIANTS NOUVELLEMENT INSCRITS 19
TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT 20
DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS 22
SUBVENTIONS ET CONTRATS 78
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES 78
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE DE GROUPE 80
ÉQUIPEMENT ÉLECTRONIQUE 83
ÉQUIPEMENT APPARTENANT AU GROUPE (WWW.GR2M.POLYMTL.CA) 83
LABORATOIRE LASEM (GR2M/POLYSTIM/LASEM) 85
ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA) 85
ÉQUIPEMENT INFORMATIQUE 86
ÉQUIPEMENT INFORMATIQUE PRÊTÉ PAR LA CMC (WWW.CMC.CA) 86
ÉQUIPEMENT INFORMATIQUE APPARTENANT AU GR2M (WWW.GRM.POLYMTL.CA) 86
LOGICIELS DE MICROÉLECTRONIQUE (EDA) 87
LOGICIELS DISPONIBLES AU GR2M (WWW.GRM.POLYMTL.CA) 87
PUBLICATIONS ET RÉALISATIONS 88
ARTICLES DE REVUES ACCEPTÉS POUR PUBLICATION 88
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2009 À AOÛT 2010 88
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2008 À AOÛT 2009 89
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2009 À AOÛT 2010. 91
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2008 À AOÛT 2009. 94
AUTRES PUBLICATIONS (INVITATION) 97
LIVRES 97
BREVETS 97

REMERCIEMENTS

Nous désirons remercier tous les membres du GR2M (Groupe de Recherche en Microélectronique et Microsystèmes) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à mesdames Ghyslaine Éthier Carrier et Josée Barrette pour leur excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à sa diffusion sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche.

INTRODUCTION

Le Groupe de Recherche en Microélectronique et Microsystèmes (GR2M) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 2009 – 2010, 66 étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GR2M et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) auprès du Fonds Québécois de la recherche sur la nature et les technologies (FQRNT), ainsi qu'au Programme de Recherche Orientée en Microélectronique, photonique et télécommunication. Citons aussi les projets réalisés avec des partenaires industriels, Sanyo, ST-Microélectronique, Esterline CMC Electronics, CAE and Technocap. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 2009-2010

L'année 2009 - 2010 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GR2M et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs, Savaria, Martel, Bois et Aboulhamid de l'Université de Montréal (vérification et méthodes de conception); Savaria et Cherkaoui de l'UQAM (configuration et vérification de routeurs réseau), Savaria, Gagnon et Thibeault (architecture de systèmes de communication sans fil), Savaria et Meunier (technologie de calibration par laser de circuits analogiques), Sawan, Savaria, (mise en œuvre de chaire de conversion d'énergie), Sawan et El-Gamal (circuits à fréquences radio). Bois et Boland (ETS) sur les plates-formes avioniques IMA, Kashyap et Wu (Polygrames), Zhang (Concordia) Yao (Ottawa) sur le domaine de radio sur fibre, Kashyap et Maciejko, Azaan (INRS), Bertrand (EPM), Chen (McGill), Kieffer (IRNS) Piché (U Laval), Skorobogatiy (EPM) sur le domaine des sources ultra large bande pour la bio photonique. De plus, Bois et Nicolescu collaborent avec Aboulhamid de l'Université de Montréal, et Tahar de l'Université Concordia sur la conception et la vérification des systèmes sur puces complexes. Notons la collaboration avec plusieurs membres du centre PolyGrames, notamment les professeurs Brault et Laurin (direction d'arrivée d'un faisceau électromagnétique), Sawan et Meunier (microélectrodes), Sawan et Peter (structures MEMS), Sawan et Therriault (structures micro fluidiques), Sawan et Lesage (capteurs optiques).Ajoutons que sur le plan de la mise en œuvre de dispositifs microélectroniques médicaux, le professeur Sawan collabore avec le Dr M. Elhilali de l'Université McGill (implant urinaire), le Dr F. Bellemare de l'Université de Montréal (cathéter oephagien), le Dr D. Guitton et Dr. A. Chaudhuri de l'Université McGill (implant visuel cortical et les Drs. Chapman de Concordia et Leporé de l'Université de Montréal (surveillance intra corticale). Enfin, notons que les professeurs Kashyap, Martel, Meunier, Savaria et Sawan sont titulaires de Chaires de recherche du Canada.

OBJECTIFS DU GR2M

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique et Microsystèmes a pour objectif général de «promouvoir et regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».
Plus spécifiquement, le Groupe de Recherche en Microélectronique et Microsystèmes poursuit les objectifs suivants:

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GR2M;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique et Microsystèmes relève du directeur du département de génie électrique et se compose des membres réguliers, membres associés et d'autres professionnels et chercheurs:

Liste des membres réguliers

- **Dr. Guy Bois:** professeur titulaire au département de génie informatique et directeur du Groupe de Recherche en Microélectronique et Microsystèmes. Il s'intéresse à la conception des systèmes embarqués, plus particulièrement à leurs spécifications, modélisation, partitionnement logiciel/matériel, synthèse, vérification fonctionnelle et prototypage.
- **Dr. Jean-Pierre David**: professeur adjoint au département de génie électrique et codirecteur du Groupe de Recherche en Microélectronique et Microsystèmes. Il s'intéresse à la conception rapide et fiable de systèmes numériques à partir d'une description de haut niveau, en particulier pour les systèmes reconfigurables (FPGA).
- **Dr. Yves Audet:** professeur adjoint au département de génie électrique, ses travaux de recherche portent sur les circuits intégrés analogiques, les capteurs d'images CMOS et les interconnexions photoniques pour système VLSI.
- **Dr. François Raymond Boyer:** professeur adjoint au département de génie informatique qui s'intéresse aux architectures et méthodes de conception des circuits VLSI. Il s'intéresse notamment à l'optimisation des systèmes exploitant des horloges multi phase.
- **Dr. Jean-Jules Brault:** professeur agrégé au département de génie électrique et directeur du Laboratoire de Réseaux Neuronaux (LRN), qui s'intéresse aux diverses architectures et applications des machines neuronales, virtuelles ou électroniques, de même qu'au développement de leurs algorithmes d'apprentissage.
- **Dr. Raman Kashyap:** professeur titulaire aux départements de génie électrique et de génie physique. Il s'intéresse aux nouveaux concepts en photonique pour les applications en radio sur fibre, technologies et composants à bandes interdites, biocapteurs, communications optiques, réseaux de Bragg en fibre optique à base de polymères, nouveaux procédés pour fabriquer des guides d'ondes et leur intégration avec les circuits électroniques. Il est membre fondateur du groupe Polyphotonique et le directeur du laboratoire de concepts photoniques avancés (APCL).
- **Dr. Abdelhakim Khouas:** professeur adjoint au département de génie électrique dont les domaines de recherche portent sur le test et la conception en vue du test (chemin de SCAN, BIST, JTAG) des circuits intégrés numériques, analogiques et mixtes, le développement d'outils de CAO pour la microélectronique, le prototypage de systèmes numériques et la synthèse sur FPGA.

- **Dr. Pierre Langlois:** professeur agrégé au département de génie informatique, s'intéresse à la conception et à la réalisation de systèmes embarqués pour le traitement du signal et le traitement d'images, aux circuits arithmétiques, et à l'architecture des ordinateurs.
- **Dr. Sylvain Martel**: professeur agrégé au département de génie informatique et titulaire d'une chaire de recherche du Canada dont le domaine de recherche est principalement la conception de micro et nano systèmes électromécaniques, incluant la nano robotique pour les applications au niveau moléculaire et atomique en touchant plusieurs aspects comme l'instrumentation, l'électronique, les ordinateurs ainsi que les systèmes reconfigurables. En nano robotique, nous exploitons les découvertes fondamentales en nano sciences par la conception de nano robots capable de travailler au niveau du nanomètre pour créer de nouveaux systèmes, produits et applications.
- **Dr. Gabriela Nicolescu**: professeure adjoint au département de génie informatique qui s'intéresse à la conception de haut niveau des systèmes embarqués hétérogènes composés de sous systèmes spécifiques aux différents domaines d'application: logiciel, matériel, mécanique, optique et RF. Elle travaille aussi sur la conception des systèmes sur puce multiprocesseurs.
- **Dr. Yvon Savaria:** professeur titulaire et directeur de département de génie électrique, titulaire d'une chaire de recherche du Canada en Conception de systèmes microélectroniques intégrés, directeur du Groupe de Recherche en Microélectronique et Microsystèmes, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de tolérance aux pannes et de testabilité, à la conception et la vérification des systèmes sur puce (SOC), à la conception des circuits numériques, analogiques et mixtes et aux applications de ces technologies.
- **Dr. Mohamad Sawan:** professeur titulaire au département de génie électrique et détenteur d'une chaire de recherche du Canada sur les dispositifs médicaux intelligents et directeur du regroupement stratégique en microsystèmes du Québec, qui s'intéresse à la conception et la réalisation de circuits mixtes (numériques, analogiques, optiques et RF) et à leurs applications dans les domaines industriel (communication sans fil) et biomédical (stimulateurs et capteurs sensoriels).

Liste des membres associés

- **Dr. David Haccoun:** professeur titulaire au département de génie électrique qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI. Il collabore avec MM Savaria et Sawan sur l'implantation de codeurs-décodeurs.
- **Dr. Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr. Michel Meunier:** professeur titulaire au département de génie physique et titulaire d'une chaire de recherche du Canada en micro-ingénierie et nano-ingénierie des matériaux par laser. Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique et avec Mohamad Sawan sur les microélectrodes.

Liste des chercheurs post doctoraux et autres professionnels

• M. Walder André	postdoc	M. Normand Bélanger	associé de recherche
• M. Hicham Chaoui	associé de recherche	M. Robert Chebli	associé de recherche
• Mme Luiza Gheorghe	postdoc	M. Sébastien Le Beux	postdoc
• M. Éric Legua	associé de recherche	M. Hossein Mahvash Mohammadi	postdoc
• M. Ali Naderi	postdoc	Mme Mouna Safi-Harab	postdoc
• M. Hicham Semmaoui	postdoc	Mme Afrin Sultana	postdoc

De plus, les personnes suivantes collaborent aux travaux du groupe à divers titres:

- M. Réjean Lepage — Analyste
- M. Laurent Mouden — Technicien du laboratoire GR2M

Ces personnes forment le Groupe de Recherche en Microélectronique et Microsystèmes de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la microélectronique.

PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE

Domaines

Les programmes de recherche et de formation de chercheurs en microélectronique de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie microélectronique en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défectuosités;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, et en biomédical par la réalisation de capteurs et micro stimulateurs implantables;
- Les logiciels de synthèse, de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques, ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse des activités de chaque membre au sein du GR2M.

ACTIVITÉS DU PROFESSEUR BOIS

Le professeur Bois poursuit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux: contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous, la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommé co-design.

Le professeur Bois travaille au développement de méthodes modernes de conception conjointe logiciel/matériel. Plus particulièrement, ses travaux se concentrent autour de trois projets:

1. **Space Codesign**
   La technologie Space Codesign™ et sa plate-forme de conception Space Studio consistent en un logiciel facilitant la conception de systèmes électroniques embarqués. Par simulation, il est possible de modéliser le comportement d'une application que l'on veut implanter (par exemple un téléphone cellulaire contiendra des algorithmes spécialisés ou d'encodage de la voix). De plus, le fait que le tout soit en simulation permet d'explorer aisément différentes architectures pour ainsi trouver un compromis du système le plus performant, au coût le plus bas. Cette caractéristique est apportée par 2 technologies :
   - Elix permettant l'exploration et la simulation rapide de différentes configurations d'un même système électronique embarqué et;
   - Simtek permettant de simuler, avec une grande précision, une configuration particulière choisie avec Elix ou construite de toute pièce, et tout cela avant même de créer physiquement le circuit. De plus, un outil complémentaire permet de collecter des statistiques sur les performances et comportements du système en simulation.

En plus d'offrir des possibilités d'exploration de différentes architectures grâce à la simulation, notre technologie propose un flot de conception qui permet à un utilisateur de partir de la simulation pour arriver à l'implantation finale (FPGA ou ASIC). Cette caractéristique utilise la technologie GenX de Space Codesign.

2. **Réseau sur puce**
   Les réseaux sur puce (NoC) sont des réseaux de communications permettant une connexion physique extensible entre plusieurs blocs dans un environnement de systèmes sur puce. Ils remplacent de plus en plus les bus et les méthodes d'interconnexion dédiée. Dans ce projet, les objectifs sont poursuivis :
   - Exploration d'architectures hautes performances pour NoCs
   - Partitionnement de modèles de programmation à haut niveau d'abstraction sur des systèmes sur puces multiprocesseurs à base de NoCs.
   - Tolérance aux pannes pour NoCs

3. **AREXIMAS**
   Ce projet se concentre sur les systèmes avioniques basés sur un réseau de processeurs. Ces systèmes se doivent d'être sécuritaires, fiables et tolérant aux panes. Plus précisément, nous nous intéressons aux compromis entre la reconfigurabilité, la fiabilité et le coût de ces systèmes. Le but est d'appliquer ces compromis sur une plate-forme IMA (Integrated Modular Avionic) certifiable d'une quinzaine de nœuds utilisant le standard ARINC 653 APEX RTOS.

Les partenaires industriels qui collaborent à ces projets sont STMicroelectronics, Esterline CMC Electronics et CAE. Au niveau universitaire les collaborateurs sont les professeurs Aboulhamid (Université de Montréal), Tahar (Concordia), Boland et Thibault (ETS), ainsi que Nicolescu et Savaria de l'École Polytechnique.

ACTIVITÉS DU PROFESSEUR DAVID

Le professeur David mène des activités de recherche dans le domaine de la synthèse des systèmes logiques matériel-logiciel, leurs constituants, leurs outils et leurs applications. Il s'intéresse plus particulièrement aux outils de synthèse automatique à partir d'une description de haut niveau, aux treillis de calculs, à l'implantation d'opérateurs arithmétiques en virgule flottante et de manière générale à l'implantation optimale des tâches disposant d'un niveau de parallélisme élevé. Au niveau applicatif, le professeur David travaille dans le domaine de la sécurité informatique (analyse profonde des paquets Ethernet pour le repérage de fichiers connus), aux applications de calcul matriciel pour la simulation de systèmes électriques et de manière générale à toutes les applications qui demandent une puissance de calcul supérieure à ce que peut offrir un processeur standard.

Un système reconfigurable est un circuit logique programmable dont le comportement sera déterminé au moment de sa programmation. Aujourd'hui, ces circuits intègrent plusieurs noyaux de processeurs, des centaines de mémoires, des centaines de multiplieurs, des dizaines de milliers de fonctions logiques programmables, de multiples ressources dédiées et un immense réseau de connexions configurables permettant d'interconnecter ces ressources pour réaliser un circuit complexe et hautement parallèle. Ils concurrencent de plus en plus les circuits dédiés de type *ASIC* car on peut les reprogrammer à volonté et leur densité atteint maintenant la dizaine de millions de portes logiques équivalentes.

Les circuits reconfigurables relèvent à la fois du Génie Électrique (GÉ) et du Génie Logiciel (GL). Une fois le circuit physique réalisé (GÉ), il reste à le programmer (GL). Toutefois, la programmation sert à implémenter un circuit avec des signaux logiques qui se propagent d'une manière semblable à ce qui se passe dans un circuit logique traditionnel (GÉ). Enfin, ces circuits contiennent souvent un ou plusieurs processeurs devant être programmés (GL). Les deux domaines sont donc très étroitement reliés et il devient nécessaire d'avoir une vision plus large qui réunit les deux disciplines.

Notre programme de recherche principal, subventionné par le CRSNG, consiste à développer un nouveau langage de description de matériel (HDL) d'un niveau d'abstraction intermédiaire entre les langages de programmation utilisés en GL et les langages de description de matériel utilisés en GÉ. Nous visons à décrire des circuits au niveau fonctionnel (algorithmique) et développons un compilateur (CASM) capable de transformer cette description en un circuit de manière automatique et sûre par construction. En résumé, notre langage permet de décrire des réseaux de machines algorithmiques qui traitent et s'échangent des jetons de données en parallèle, un peu sur le modèle de CSP (Communicating Sequential Processes) et SDL (Specification and Description Language). Une grande nouveauté par rapport aux ASM (Algorithmic State Machine) traditionnels consiste en la possibilité de faire des appels (et donc des retours) d'états d'une manière semblable à un appel de méthode en logiciel ou encore une continuation dans les langages fonctionnels. Il devient alors possible de synthétiser des machines récursives, ce qui nous a permis, par exemple, d'implémenter une version de l'algorithme QuickSort (un algorithme de tri rapide hautement récursif) sur FPGA très facilement. En outre, l'outil génère automatiquement tous les signaux de contrôle pour la synchronisation des envois-réceptions des jetons de données dans tout le réseau sans perdre de cycle d'horloge (possiblement sous la forme de pipeline continu). Le concepteur peut donc se concentrer sur les aspects algorithmiques et déléguer la tâche de réalisation du circuit au compilateur. Toutefois, l'utilisateur averti a conscience de l'architecture qui sera synthétisée et peut, dans la manière dont il décrit l'algorithme, influencer celle-ci.

ACTIVITÉS DU PROFESSEUR AUDET

Les activités du professeur Audet sont reliées aux capteurs photoniques, fabriqués en procédé CMOS, visant deux champs d'applications spécifiques soient : les capteurs d'images intégrés et les détecteurs photoniques de haute performance pour système VLSI à interconnections optiques.

1. Les capteurs d'images CMOS

Ce programme de recherche adresse la problématique de conception et de fabrication de capteurs d'images CMOS de grande surface, qui permettrait d'obtenir une caméra numérique de résolution spatiale comparable à celle d'une caméra avec pellicules chimiques photosensibles. On vise un capteur ayant une matrice de pixel de 36 x 24 mm de surface pour atteindre la compatibilité avec la gamme des lentilles développées pour la photographie SLR 35 mm.

Outre la réalisation d'un capteur d'images de grande surface, les techniques de conception de pixels redondants avec autocorrection développées sont aussi utiles à la réalisation de capteurs d'images employés dans des environnements hostiles comme l'espace, les mines, les réacteurs nucléaires, etc., là où une caméra peut-être exposée à des radiations, des températures et des pressions extrêmes pouvant endommager le capteur. Ainsi, les propriétés d'autocorrection de l'architecture redondante permettront à la caméra de transmettre des images plus longtemps dans ces milieux hostiles où le remplacement et la réparation sont difficiles, voire impossibles.

2. Les détecteurs photoniques

Ici on s'intéresse au développement de technique de propagation de signaux par modulation photonique, tant sur un même circuit intégré qu'entre puces d'un même système, de façon à éliminer les interconnections métalliques critiques qui limitent la performance des systèmes. Des taux de propagation supérieurs à 1 Gb/s sont visés.

Bien que la recherche sur les interconnections photoniques ait favorisé jusqu'à maintenant les dispositifs III-V pour la conversion de signaux électriques à signaux photoniques, la diminution constante de la taille des structures fabriquées sur technologie CMOS pourrait avantager les dispositifs photoniques au silicium notamment au niveau des photo-détecteurs. Avec la diminution de la taille des structures, les capacités parasites des composants actifs diminuent également de sorte qu'un faisceau lumineux de moindre énergie est requis pour activer une cellule photo-détectrice au silicium et une réponse plus rapide peut être obtenue. Les avantages d'un photo détecteur au silicium pouvant être intégré à même une puce VLSI sont considérables, même si les performances sont moindres qu'un photo-détecteur en technologie III-V. Citons entre autre la simplicité du procédé de fabrication CMOS comparé aux technologies hybrides III-V – CMOS et l'élimination des circuits liés à l'intégrité des signaux d'horloge en amplitude et en phase, tels que les répétiteurs et les circuits de verrouillage de phase (PLL). À l'heure actuelle, dû aux problèmes de délais associés aux interconnections métalliques, il est de plus en plus difficile d'assurer la synchronisation entre les différents modules d'un système VLSI, de sorte que les techniques de propagation de signaux asynchrones sont maintenant envisagées pour relier des modules sur une même puce, ajoutant à la complexité du système. Les interconnections photoniques assureront la performance des systèmes VLSI sans ajouter à leur complexité.

ACTIVITÉS DU PROFESSEUR BOYER

Le professeur Boyer conduit des recherches incluant les domaines de la microélectronique, et du traitement de signal. Plus spécifiquement, il s'intéresse au design, à la synthèse et à l'optimisation des systèmes conjoints logiciel/matériel dédiés, ainsi qu'au développement d'architectures prenant partie d'un nouveau type d'horloge, dans le but d'obtenir une bonne performance à faible consommation d'énergie.

L'horloge à période variable cycle par cycle est encore un concept relativement nouveau. L'idée est de permettre de moduler la longueur des cycles d'horloges pour pouvoir suivre précisément un ordonnancement. Cet ordonnancement peut être fait à l'avance, mais aussi à l'exécution, pour pouvoir traiter de manière optimale les expressions conditionnelles et pour pouvoir tenir compte d'autres facteurs qui ne sont pas connus lors de la compilation (ou synthèse). Dans le cas de systèmes très dynamiques, devant réagir à des stimuli externes, l'ordonnancement peut s'ajuster pour rencontrer les latences maximales permises tout en minimisant la consommation d'énergie. À l'exception des circuits asynchrones, les circuits ont actuellement très majoritairement une horloge fixe, ou variant lentement dans le temps, qui limite la possibilité d'ordonnancement. Pour obtenir le meilleur ordonnancement possible, il faut relâcher les contraintes de l'horloge et ce nouveau type d'horloge permet beaucoup plus de flexibilité.

Ses publications récentes sur ce sujet concernent principalement la réduction de la gigue de l'horloge ainsi que l'utilisation de cellules numériques normalisées pour réduire les temps de conception et simplifier la mise à l'échelle.

La conception de systèmes dédiés demande à la fois de déterminer la structure matérielle et le logiciel devant s'exécuter sur ce matériel. Une approche conjointe logicielle/matérielle est nécessaire pour la conception et l'optimisation d'un tel système. Pour des systèmes dédiés, les outils doivent permettre la spécialisation (paramétrisation) des composantes. Puis la partie logicielle doit être compilée pour une architecture parallèle possiblement hétérogène (avec des processeurs de plusieurs types différents) et comportant des instructions spéciales. Ses recherches se situent sur différents plans, dont l'automatisation de la séparation logiciel/matériel, la compilation parallélisante pour un système hétérogène configurable, et une diminution du temps associé à l'assemblage et test du système, pour un temps de mise en marché minimum. Une application actuellement visée est les réseaux sans fil sur le corps pour le traitement de données médicales.

Applications :

Traitement de signal et isolation de la voix dans des prothèses auditives numériques :

Le domaine de la prothèse auditive numérique est en expansion, dû au fait que la miniaturisation des processeurs le permet, mais aussi au fait que la demande en prothèses auditives augmente (la population vieillit) et que les gens recherchent une qualité supérieure. L'utilisation de plusieurs microphones est actuellement une des méthodes qui a le plus de succès pour augmenter la discrimination des sons et améliore l'intelligibilité. Par contre, le traitement fait sur ces sources pourrait être amélioré, tout en gardant une petite taille et une faible consommation d'énergie.

Capture de mouvements du corps humain :

Des capteurs inertiels sont utilisés pour analyser les mouvements 3D du corps humain. Cette analyse de mouvement peut s'appliquer au domaine médical pour, par exemple, détecter des anomalies, ou sportif, pour améliorer le mouvement, mais aussi à l'enseignement et à l'art. Un logiciel d'enseignement de direction d'orchestre est en développement avec cette analyse de mouvements.

Les principaux partenaires qui collaborent sur ces recherches sont le professeur Y. Savaria (génie électrique, École Polytechnique), sur le côté matériel, le professeur H.T. Bui (Sciences appliquées, Université du Québec à Chicoutimi), sur les convertisseurs en cellules normalisées, et le professeur P. Bellomia (faculté de musique, Université de Montréal), sur la capture de mouvement.

ACTIVITÉS DU PROFESSEUR BRAULT

Le professeur Brault dirige le LRN (Laboratoire de Réseaux Neuronaux.) Ses recherches visent plus spécifiquement l'application les algorithmes d'apprentissage (AA) à des problèmes d'inférence sur des données expérimentales en utilisant des machines neuronales (MN), virtuelles ou électroniques. Le champ d'application des AA/MN est très vaste puisque les MN sont des approximateurs universels utilisés tant en classification, en régression qu'en estimation de fonction de densité. D'autre part, vu l'homogénéité des traitements réalisés par les MN, ils peuvent souvent être intégrés relativement aisément sur des circuits électroniques.

Les principales difficultés que l'on rencontre dans le design de ces machines proviennent du fait qu'elles sont habituellement adaptées itérativement et que l'information est massivement distribuée dans les interconnexions de la MN. Parmi ces difficultés, notons, le choix du type de neurones à utiliser (déterministes ou stochastiques, modèle de McCulloch-Pitts ou Hodgkin-Huxley), le nombre de neurones (capacité à s'adapter au problème) le type d'interconnexions (avec ou sans récurrence), le paradigme/loi d'apprentissage (supervisé ou non, correction d'erreurs, minimisation d'entropie, etc.), la fonction de coût à minimiser, etc. Tous ces «hyperparamètres» doivent évidemment conduire à la conception d'une machine capable de bien généraliser (intrapoler ou extrapoler) sur de nouvelles données.

Outre les architectures bien connues de type MLP (ou RBF) optimisées pour diverses applications (antennes, parole, robotique), les MN qui retiennent particulièrement notre attention sont les machines stochastiques causales (réseaux bayesiens) et les machines à états liquides (MEL) (également appelées «réseaux à échos»). Pour le premier cas, ce type de système comporte habituellement un très grand nombre de variables stochastiques et les techniques d'optimisation comme le recuit simulé, sont souvent jugées inutilisables à cause des temps de calcul ou de la mémoire requise pour leur mise en œuvre. En effet, pour valider un réseau bayesien, on doit générer un très grand nombre de cas (vecteurs de tests) en fonction d'une distribution de probabilité multi-variables. On se frappe alors au problème de la «malédiction de la dimensionnalité». Une modification possible est l'ajout d'aspects déterministes dans le processus d'optimisation conduisant par exemple au recuit déterministe RD (Deterministic Annealing). Dans le second cas, (MEL), le problème est de concevoir une machine à rétroaction massive qui se comporte de façon quasi chaotique afin d'explorer un espace d'états continus (ou liquides).

Concernant les aspects électroniques de ces projets, nous étudions la conception de circuits échantillonneurs en fonction d'une distribution de probabilité d'un espace approximé par un réseau bayesien. Nous modifions les circuits logiques traditionnels afin de les rendre probabilistes. D'autre part, des circuits appelés «neurones à pulses» ont été simulés sur SPICE pour équiper des robots suiveurs.

ACTIVITÉS DU PROFESSEUR KHOUAS

Le professeur Khouas conduit des activités de recherche dans le domaine de la microélectronique, et principalement dans les domaines suivants : test des circuits analogiques, conception en vue du test « Design for Testability » (DFT), des circuits intégrés et des systèmes sur puce « System on Chip SOC » (SOC), circuits de synthèse de fréquence, circuits de test et de caractérisation, convertisseurs temps numérique, synthèse sur FPGA et outils de CAO pour la conception, la vérification et le test des circuits intégrés.

Techniques de conception en vue du test : La demande croissante de nouveaux produits électroniques de plus en plus petits, à bas prix et de faible consommation dans toutes les applications de l'électronique a stimulé la croissance rapide des systèmes intégrés sur puce « System on Chip Soc ». Les SOC intègrent des parties analogiques, numériques, des mémoires et des microprocesseurs sur le même circuit intégré. Les technologies modernes de fabrication de circuits intégrés permettent cette intégration de plusieurs modules sur la même puce, ce qui permet d'avoir des circuits plus performants, plus rapides, plus petits et à faible coût. Par contre, à cause de cette intégration croissante, le test de ces SOC devient de plus en plus difficile et surtout de plus en plus coûteux, ce qui risque de ralentir leur croissance au cours des prochaines années. L'objectif de ces travaux de recherche est de développer de nouvelles méthodes de test pour les SOC afin de maintenir un coût de test relativement faible par rapport au coût de fabrication.

Méthodes d'accélération de la simulation analogique : L'objectif de ces travaux de recherche est l'étude et l'implémentation de techniques d'accélération de la simulation de circuits analogiques pour certaines applications particulières qui sont très coûteuses en temps de calcul et moins exigeantes en précision. Parmi les outils de CAO visés par ces travaux, nous avons les logiciels de dimensionnement automatique des transistors, les simulateurs de pannes et les outils d'analyse Monte-Carlo. Ces applications utilisent les résultats de la simulation pour comparer des circuits et prendre des décisions à savoir : choisir le meilleur circuit dans le cas d'un outil de dimensionnement automatique, décider si un défaut physique est détectable ou non dans le cas d'un simulateur de pannes et savoir si le circuit conçu est robuste dans le cas de l'analyse Monte-Carlo. Contrairement à l'application normale d'un simulateur qui est la vérification et la validation de circuits, pour ces applications, la précision intrinsèque du simulateur n'est pas importante tant que les résultats des comparaisons restent corrects. Le but de ces travaux est donc d'explorer les différentes méthodes pour accélérer les simulations analogiques dans le cas de simulations multiples d'un même circuit avec des modifications mineures et pour lesquelles une grande précision des résultats n'est pas toujours nécessaire.

Circuits de test et de caractérisation : Ces travaux de recherche visent le développement de méthodes pour la caractérisation des effets des fluctuations des procédés de fabrication sur le comportement des circuits fabriqués. Pour améliorer les performances des circuits de haute performance, il est indispensable de disposer pour chaque procédé de fabrication de modèles statistiques des variations «intra-die» et «die-to-die» des paramètres physiques et électriques les plus critiques. Les méthodes classiques d'extraction de ces paramètres nécessitent un grand nombre de circuits provenant de plusieurs emplacements différents sur la gaufre et des équipements de mesure très coûteux, ce qui les rend très coûteuses. L'objectif de nos travaux est la conception de circuits pour la caractérisation. L'idée est de concevoir pour chaque paramètre, un circuit permettant de faciliter l'analyse et la mesure des effets des fluctuations du procédé de fabrication sur le paramètre en question. Un des problèmes critiques ciblés par ces travaux de recherche est la variation des délais de propagation dans un circuit intégré.

ACTIVITÉS DU PROFESSEUR LANGLOIS

Le professeur Langlois s'intéresse à la conception et à la réalisation de systèmes embarqués pour le traitement du signal et le traitement d'images, à l'architecture des ordinateurs et au traitement du signal et d'images pour des applications biomédicales.

Des projets sont en cours dans trois domaines principaux:

Conception de processeurs spécialisés et configurables pour le traitement vidéo.

Ce projet est mené conjointement avec les professeurs Savaria, Bois, David et Boyer du GR2M. Une collaboration avec le professeur Aboulhamid du DIRO et la professeure Chériet du département de génie informatique et génie logiciel sont aussi en cours.

Les processeurs configurables offrent d'intéressantes solutions en informatique embarquée pour l'implémentation d'algorithmes de traitement d'image et de traitement du signal en temps réel. Les besoins en calculs, les contraintes de synchronisation, la réduction des coûts et les limites en consommation de puissance pour ces applications écartent habituellement les solutions purement logicielles implémentées sur un processeur à usage général. Les processeurs configurables ont l'intérêt de pouvoir être programmés à l'aide de langages de haut niveau familiers pour la plupart des concepteurs. Les processeurs configurables commerciaux sont paramétrables et extensibles. Des caractéristiques spécifiques comme un multiplicateur peuvent être activées ou non. Des structures peuvent être ajoutées au processeur, comme des instructions additionnelles, des blocs de registres élargis et des interfaces mémoires particulières.

Les objectifs de ce projet incluent le développement de méthodologies de conception pour des processeurs spécialisés (Application Specific Instruction set Processor - ASIP), principalement pour des applications de traitement vidéo en temps réel. Nous considérons présentement le problème du désentrelacement et la conversion du taux de trame pour la télévision à haute définition, et le traitement en temps réel d'images pour des applications médicales.

Détection automatisée en temps réel de crises épileptiques.

Ce projet est mené conjointement avec le Dr. Carmant de l'hôpital Ste-Justine et avec le professeur Bilodeau du département de génie informatique et génie logiciel.

Le but du projet est de développer un système fiable pouvant détecter automatiquement et en temps réel des crises épileptiques chez l'animal et chez l'humain. Ce système supporte des projets de recherche en cours à l'hôpital Ste-Justine sur les mécanismes impliqués dans les dommages au cerveau suite à des convulsions épileptiques, l'impact des lésions et de l'hyperthermie sur le développement de l'épilepsie, et le synchronisme oscillatoire dans le complexe amygdale-hippocampe. Notre approche veut exploiter l'information provenant des potentiels de champs locaux et de l'analyse de séquences vidéo et infrarouge. Cette approche à trois types de senseurs imite mieux le processus naturel de détection des professionnels de la santé.

Systèmes embarqués multi-senseurs temps réel pour navigation véhiculaire et personnelle.

Ce projet est mené en collaboration avec le professeur Noureldin du Collège militaire royal à Kingston et d'autres chercheurs du réseau GEOIDE.

Le but de ce projet est d'implémenter des systèmes de navigation pour véhicules et personnes intégrant des données de positionnement provenant de senseurs inertiels et du GPS. Les senseurs inertiels tendent à être très précis à court terme, et peuvent complémenter adéquatement les données GPS lors de brèves interruptions de service. Le coût est une contrainte importante de réalisation est menée par applications considérées. À long terme, le système doit intégrer des accéléromètres sous la forme de systèmes micro-électromécaniques (MEMS). Un produit attendu du projet est un environnement de développement permettant à des développeurs d'applications de navigation de rapidement considérer des options de designs et leurs coûts associés.

ACTIVITÉS DU PROFESSEUR MARTEL

Les activités du professeur Martel se situent principalement dans la recherche et le développement de systèmes miniatures intelligents et plus particulièrement dans le domaine de la nanorobotique. L'objectif actuel consiste à développer des nanorobots avec une infrastructure conçue pour supporter une flotte d'une centaine de ces nanorobots capables d'opérer très rapidement et de façon autonome au niveau moléculaire et jusqu'au niveau des atomes.

Pour ce genre de projets, nous devons développer plusieurs systèmes électroniques et microélectroniques spécialisés pour supporter, contrôler et implanter plusieurs tâches complexes incluant par exemple :

- Système en temps réel et de très haute performance de positionnement, de navigation et communication à infrarouge pour plates-formes nanorobotique ;
- Système de positionnement miniature de résolution atomique basé sur les techniques de microscopie à effet tunnel ;
- Systèmes et instruments miniatures de manipulation, mesure, synthèse et fabrication au niveau moléculaire ;
- Système de contrôle embarqué pour déplacement de nanorobots, etc.

Notre intérêt est donc le développement de divers circuits miniatures (analogue et numérique) de haute performance en utilisant diverses approches, techniques, outils de conception et systèmes de vérification/validation essentiellement au niveau système sur puces (SoC).

La miniaturisation, précision, vitesse et le rendement en temps réel sont des aspects très importants et critiques dans la plupart des systèmes électroniques développés pour ce genre de projet. Les systèmes à concevoir sont aussi généralement très complexes et exigeants et font appel à plusieurs technologies qui doivent être intégrées dans des systèmes micro-mécatroniques avec instruments intégrés de très haute précision et opérant à de très grandes vitesses.

ACTIVITÉS DU PROFESSEUR NICOLESCU

Gabriela Nicolescu conduit des recherches sur la conception des systèmes embarqués. Deux types de systèmes sont visés par ses recherches : la dernière génération des systèmes embarqués intégrant des sous-systèmes hétérogènes provenant de différents domaines d'application (ex. : électronique, optique, mécanique, RF) et les systèmes-sur-puce intégrant plusieurs processeurs hétérogènes (ex. : processeurs configurables, processeurs spécialisés pour un type d'application, processeurs d'usage général). Les thèmes de recherche seront élaborés brièvement par la suite.

Conception des systèmes embarqués hétérogènes

Nos travaux sur la conception des systèmes embarqués hétérogènes portent sur les nouvelles techniques pour la modélisation et la validation globale de ces systèmes. Nous travaillons sur la définition et la mise en place d'un environnement permettant la coopération des concepteurs provenant des domaines d'application différents, avec de différentes cultures et utilisant différents niveaux d'abstraction (ex. : RTL, niveau transactionnel), langages de spécification (ex. : VHDL, SytemC, Matlab) et modèles d'exécution (simulation native, simulation à base d'ISS). Nos travaux explorent particulièrement la modélisation et la simulation des interactions entre les composantes fournies par divers concepteurs et nous explorons les techniques de génération automatique des interfaces d'adaptation entre ces composantes.

Nous utilisons comme applications concrètes les MEMS (micro electro-mechanical systems), MOEMS (micro opto-electro-mechanical systems) et les réseaux optiques sur puce.

Conception des systèmes sur-puce multiprocesseur

Nos travaux sur la conception des systèmes-sur-puce multiprocesseurs portent sur l'exploration architecturale et la validation par simulation de ces systèmes.

Concernant l'exploration architecturale nous étudions des nouvelles architectures mémoires et les algorithmes efficaces pour mapper les différentes applications sur ces architectures. Nous explorons aussi l'impact de l'implémentation des systèmes d'exploitation sur l'efficacité des systèmes multiprocesseurs sur puce. Les approches prises en compte sont : les systèmes d'exploitation implémentés en logiciel, les systèmes d'exploitation implémentés en matériel, et les systèmes d'exploitation logiciels/matériels. Nous explorons aussi l'impact de l'intégration sur même puce des processeurs différents et des systèmes d'exploitation implémentés par les différentes techniques présentés plus haut.

Concernant la validation des systèmes, multiprocesseurs, nous explorons de nouvelles modèles de simulation permettant une validation rapide et précise de ces systèmes. Nous étudions les modèles de simulation de haut niveau pour les parties logiciels dépendants du matériel (hardware dependent software) pour la simulation native du logiciel embarqué.

Nous évaluons nos approches à l'aide des applications multimédia (ex. : MPEG4, DivX).

ACTIVITÉS DU PROFESSEUR SAVARIA

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur la conception de chaînes d'alimentation pour les microsystèmes embarqués et les méthodes de conception et de synchronisation des systèmes intégrés. Il englobe aussi des techniques d'autotest et de tolérance aux pannes et aux défectuosités. Le second axe couvre des thèmes divers liés aux applications des microsystèmes intégrés comme la conception de systèmes de radio configurable, la conception de décodeurs convolutionnels, la conception d'une plate-forme SOC pour la réalisation de processeurs réseau et de systèmes de traitement vidéo ainsi que sur la conception d'un système de prototypage rapide. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs dont plusieurs sont membres du ReSMiQ. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Nos travaux sur les méthodes de conception explorent diverses classes de circuits nécessaires pour la mise en œuvre de chaînes d'alimentation de microsystèmes intégrés comme des redresseurs à faible chute de tension et des convertisseurs DC-DC à commande asynchrone. Nous explorons aussi des méthodes de synchronisation efficaces pour les systèmes intégrés. Une de ces méthodes permet de tolérer des biais de synchronisation arbitrairement grand dans des systèmes purement synchrones. D'autres méthodes investiguées conduisent à la conception systématique de systèmes intégrés globalement asynchrones mais localement synchrones.

Nous explorons les méthodes efficaces pour la conception d'architectures intégrées. Ces architectures doivent souvent être adaptées à la classe d'application ciblée. Cela conduit parfois à des plateformes composées de modules paramétrables, réutilisables et compatibles entre eux qui forment la base d'une architecture flexible pour la classe d'application ciblée. Nos recherches portent aussi sur plusieurs techniques pour la conception de processeurs configurables visant l'accélération des calculs. Ces techniques permettent notamment de réduire considérablement l'énergie requise pour effectuer un traitement.

Enfin, en rapport avec les techniques de tolérance aux pannes, nous les explorons dans le cadre d'un projet qui vise à gérer l'effet des radiations sur l'électronique ainsi que dans le cadre d'un projet qui vise la réalisation par circuit intégré à l'échelle de la tranche (WSI) d'une technologie de prototypage rapide pour les systèmes électroniques complexes.

Applications

Dans le cadre de cet axe, nous explorons un ensemble d'applications. Plusieurs de ces applications permettent d'explorer les méthodes de dimensionnement automatique des chemins de données. Nous explorons les architectures possibles pour la mise en œuvre des systèmes de traitement vidéo.

Nous travaillons aussi à la mise en œuvre de diverses classes de modules nécessaires pour la mise en œuvre de radios configurables, de processeurs réseau et de systèmes de traitement vidéo.

Un de nos projets important porte sur la conception d'un réseau de communication fiable pour la transmission des données critiques pour le domaine de l'aéronautique parrainé par Thales et Bombardier. Un autre projet parrainé par Ericsson porte sur la conception d'équipement réseau virtualisés.

Enfin, en collaboration avec Technocap, UQAM, UQO et plusieurs autres participants, nous élaborons une technologie d'intégration configurable pour les systèmes électroniques dans le cadre du projet DreamWafer.

ACTIVITÉS DU PROFESSEUR SAWAN

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon les grandes priorités suivantes: la conception, la réalisation et le test des circuits intégrés analogiques, mixtes et à fréquences radio; la conception des systèmes pour l'acquisition et le traitement de signal et d'image, l'assemblage et l'encapsulation de dispositifs électroniques; le prototypage rapide se servant de circuits et systèmes reconfigurables. L'ensemble de ces priorités s'articule autour de deux objectifs essentiels soient la réalisation de modules et de systèmes complets dédiés à des applications industrielles variées tel que les télécommunications, et la mise en œuvre de dispositifs médicaux servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions, plus particulièrement des micro stimulateurs et capteurs sensoriels implantables et non-implantables et des systèmes optiques et ultrasoniques portables.

En particulier, le professeur Sawan s'intéresse aux convertisseurs analogique à numérique (CAN): rapide, à haute précision et à très basses alimentation et consommation, aux filtres reconfigurables et à bande passante élevée, aux préamplificateurs à très faible niveau de bruit et à large bande passante et programmables, aux régulateurs de tension, aux PLL et FLL (Phase et Frequency Looked Loop). Aussi, des nombreux autres circuits intégrés mixtes font l'objet de nos travaux de recherche dans le cadre des applications médicales : capteurs et micro stimulateurs, conversion optique – électrique, ultrasons, microélectrodes, techniques de mesures intégrés, etc. Ajoutons que nous menons des travaux dans le domaine de communications sans fil, plus spécifiquement nous travaillons à la mise au point de systèmes complets, soient des mélangeurs, des MODEM, des amplificateurs de puissance, des liens électromagnétiques efficaces, etc.

Les systèmes dédiés à des applications médicales doivent être performants (dimensions réduites et à très basse consommation d'énergie), fiables et flexibles. Ces applications pluridisciplinaires regroupent des activités des différentes disciplines connexes en sciences et génie. Ceci implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, etc. Nous nous intéressons à mettre en œuvre un bon nombre de ces systèmes soient: un stimulateur implantable urinaire servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la création d'une vision acceptable chez les non-voyants, un dispositif capteur de signaux neuronaux dans le but de mesurer le volume d'urine dans la vessie et de commander le mouvement des membres artificiels remplaçant des membres amputés. Nous recherchons une solution aux à l'apnée du sommeil chez les nourrissants et chez les adultes, etc. À titre d'exemple, nous proposons un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons. Nous poursuivons nos travaux sur les techniques de télémétrie pour la mesure de divers paramètres biologiques. Nous nous servons des techniques optiques dans le domaine de l'imagerie clinique basée sur la spectrométrie proche infra-rouge. Aussi, nous nous intéressons à la réalisation des systèmes ultrasoniques portables. De plus, nous ferons des travaux dans le domaine de laboratoire sur puce pour mettre au point des outils de diagnostique cellulaire.

Titulaire d'une Chaire de recherche du Canada sur les dispositifs médicaux intelligents, professeur Sawan est co-fondateur de l'IFESS (International Functional Electrical Stimulation Society), et membre de plusieurs comités d'organisation et de programme de conférences nationales et internationales. Fondateur de la conférence internationale IEEE-NEWCAS, fondateur du Laboratoire de neurotechnologies Polystim et directeur du regroupement stratégique en microélectronique du Québec (ReSMiQ), éditeur et co-éditeurs de plusieurs revues internationales et membre de «Board of Governors» de la société circuits et systèmes de IEEE, élu «Distinguished Lecturer» de la société solid-state circuits de IEEE pour 2011-2012. Professeur Sawan est Fellow de l'académie Canadienne de génie, Fellow des instituts canadiens des ingénieurs, Fellow de IEEE et Officier de l'ordre nationale de Québec.

Pour plus de détails sur les différents travaux cités ci-dessus, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport et à consulter notre site web au http://www.polystim.ca

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs qui ont effectué des recherches associées au GR2M durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Allard, Mathieu	M.Sc.A.	J.P. David	
Allard-Bernier, Jessica	M.Sc.A.	G. Bois	
Al-Terkawi-Hasid, Omar	M.Sc.A.	M. Sawan	
Aubertin, Philippe	M.Sc.A.	Y. Savaria	P. Langlois
Basile Bellavance, Yan	Ph.D.	Y. Savaria	Y. Blaquière
Ben Cheikh, Taieb Lamine	Ph.D.	G. Nicolescu	
Bendali, Abdelhalim	Ph.D.	Y. Audet	C. Akyel
Daigneault, Marc-André	Ph.D.	J.-P. David	
Drolet, Jonathan	M.Sc.A.	M. Sawan	
Éthier, Sébastien	M.Sc.A.	M. Sawan	
Ezzat, Hicham	Ph.D.	Y. Savaria	
Farah, Rana	Ph.D.	P. Langlois	G.A. Bilodeau
Fourmigue, Alain	Ph.D.	G. Nicolescu	
Gan, Qifeng	Ph.D.	P. Langlois	Y. Savaria
Gélinas, Sébastien	M.Sc.A.	M. Sawan	
Ghannoum, Anthony	M.Sc.A.	M. Sawan	
Grogan, Patrick	M.Sc.A.	J.-P. David	
Guérard, Hubert	M.Sc.A.	G. Bois	
Hasanuzzaman, Md	Ph.D.	M. Sawan	
Hashemi, Saeid	Ph.D.	M. Sawan	Y. Savaria
Hawi, Firas	M.Sc.A.	M. Sawan	
Kamrani, Ehsan	Ph.D.	M. Sawan	
Kar, Goutam Chandra	M.Sc.A.	M. Sawan	
Karimian-Sichany, Masood	Ph.D.	M. Sawan	
Khamseharshari, Elham	M.Sc.A.	Y. Audet	
Kowarzyk Moreno, Gilbert	Ph.D.	Y. Savaria	D. Haccoun
Krouchev, Nedialko	Ph.D.	M. Sawan	A. Vinet
Laflamme-Mayer, Nicolas	M.Sc.A.	M. Sawan	Y. Blaquière
Lafrance, Pierre	M.Sc.A.	Y. Audet	
Lareau, Étienne	M.Sc.A.	M.Sawan	F. Lesage
Lebrun Mc Kinnon, Mathieu	M.Sc.A.	G. Bois	
Lepercq, Étienne	Ph.D.	Y.Savaria	Y. Blaquière
Lévesque, Philippe	Ph.D.	M. Sawan	
Mbaye, Mame Maria	Ph.D.	Y. Savaria	S. Pierre
Mendez, Arnaldo	Ph.D.	M. Sawan	
Miled, Mohamed Amine	Ph.D.	M. Sawan	
Moradi, Arash	Ph.D.	M. Sawan	
Moss, Laurent	Ph.D..	G. Bois	M. Aboulhamid
Mounaim, Fayçal	M.Sc.A.	M. Sawan	
Nourivand, Afshin	Ph.D.	A. Alkalili	Y. Savaria
Ould Bachir, Tarek	Ph.D.	J.P. David	J. Mahseredjian
Pontikakis, Bill	Ph.D.	Y. Savaria	F.-R. Boyer
Rogers-Vallée, Michel	M.Sc.A.	G. Bois	
Salam, MuhammadTariqus	Ph.D.	M. Sawan	
Savard, Julien	M.Sc.A.	G. Bois	
Sebbar, Mohamed	M.Sc.A.	Y. Audet	J.P. David
Siadjine Njinowa, Marcel	Ph.D.	H.T. Bui	F. R. Boyer
Simard, Guillaume	M.Sc.A.	M. Sawan	

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Tanguay, Louis-François	Ph.D.	M. Sawan	
Tapp, Martin	Ph.D.	G. Nicolescu	M. Aboulhamid
Tremblay, José-Philippe	M.Sc.A.	Y. Savaria	
Turgeon, Jean-Sébastien	M.Sc.A.	Y. Savaria	
Zarrabi, Houman	Ph.D.	Y. Savaria	A. Alkalili
Zhang, Kai	Ph.D.	Y. Audet	
Zheng, Yushan	Ph.D.	M. Sawan	

ÉTUDIANTS NOUVELLEMENT INSCRITS

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Benhammadi, Seddik	M.Sc.A.	Y. Audet	V. Diaconu
Chaddad, Ahmad	Ph.D.	M. Sawan	
Chen, Bin	Ph.D.	M. Sawan	
Guillemot, Mikael	M.Sc.A.	Y. Savaria	
Hached, Sami	Ph.D.	M. Sawan	
Hamie, Ali	M.Sc.A.	M. Sawan	
Karoui, Anis	M.Sc.A.	Y. Savaria	
Mirzaei, Marjan	M.Sc.A.	M. Sawan	
Monteiro, Fellipe	M.Sc.A.	G. Bois	
Saiz Vela, Albert	Ph.D.	M. Sawan	
Sharafi, Azadeh	Ph.D.	S. Martel	

TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT

Cette section contient une liste de projets avec le nom des personnes concernées. Plus de détails sur chacun des projets se trouvent dans les descriptions individuelles des étudiants chercheurs.

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
Allard, M.	M.Sc.A.	Implémentation d'un treillis de calculs reconfigurable à travers une architecture SDFPGA (Software Defined FPGA).
Allard-Bernier, J.	M.Sc.A.	Méthode de reconfiguration dynamique pour un réseau sur puce tolérant aux fautes
Al-Terkawi-Hasib, O.	M.Sc.A.	Conception et implémentation de convertisseurs DC-DC hautement efficaces et intégrés en technologie CMOS à faible tension.
Aubertin, P.	M.Sc.A.	Accélération à l'aide de processeurs configurables de l'exécution d'algorithmes de voisinage local utilisés en traitement vidéo.
Basile Bellavance, Y.	Ph.D.	Conception d'un environnement de travail matériel et logiciel pour l'instrumentationd'un circuit intégré à l'échelle de la tranche et pour l'aide à la conception de circuit à basse énergie.
Ben Cheikh, T.L.	Ph.D.	Approche multiprocesseur pour l'optimisation des applications biomédicales
Bendali, A.	Ph.D.	Conception et caractérisation de circuits intégrés CMOS de haute performance pour applications aux interconnexions photoniques.
Daigneault, M.-A.	Ph.D.	Compilation efficace et description de matériel au niveau des transferts de données.
Drolet, J.	M.Sc.A.	Circuits numériques intracorticaux pour la détection automatisée des potentiels d'action.
Éthier, S.	M.Sc.A.	Conception d'un stimulateur sécuritaire à faible consommation de puissance pour un implant visuel intracortical.
Ezzat, H.	Ph.D.	Processeur de vérification basée sur les assertions pour le DreamWafer™.
Farah, R.	Ph.D.	Identification automatique de convulsions et de comportements d'animaux par vision numérique.
Fourmigue, A.	Ph.D.	Modélisation au niveau système des architectures tri-dimensionnelles (3D) de systèmes multiprocesseurs sur puce (MPSoC).
Gan, Q.	Ph.D.	Méthodologie d'exploration architecturale de design sur processeurs à jeux d'instructions spécialisés pour les filtres de particules.
Gélinas, S.	M.Sc.A.	Conception et implémentation d'un dispositif de communication sans-fil courte-distance à très faible consommation pour implants biomédicaux.
Ghannoum, A.	M.Sc.A.	Module de reconnaissance d'objets dédié à un stimulateur visuel cortical.
Grogan, P.	M.Sc.A.	Implémentation d'un treillis de calculs reconfigurable à travers une architecture SDFPGA (Softwaer Defined FPGA).
Guérard, H.	M.Sc.A.	Implémentation, validation et simulation de NoC à haut niveau.
Hasanuzzaman, Md.	Ph.D.	Conception d'un module de stimulation zone de base implantable pour la microstimulation intracorticale visuelle.
Hashemi, S	Ph.D.	Amélioration de l'efficacité des chaînes de conversion de puissance pour implants biomédicaux.
Hawi, F.	M.Sc.A.	Conception et implémentation d'un système de stéréovision passive dédié à l'implant intracortical visuel.
Kamrani, E.	Ph.D.	Conception d'un nouveau portable sans fil fNIRS système combiné avec EEG de surveillance à côté de l'AVC et les patients cardiaques.
Kar, G.C.	M.Sc.A.	Conception et mise en œuvre d'une pompe à charge haute tension pour microstimulator électrique.
Karimian-Sichany, M.	Ph.D.	Conception et implémentation d'une interface de capteur intelligent dans un réseau de capteurs avioniques.
Khamsehashari, E.	M.Sc.A.	Circuit de lecture destiné à un capteur d'images CMOS en mode courant.
Kowarzyk Moreno, G.	Ph.D.	Développement d'un algorithme de recherche de codes convolutionnels doublement orthogonaux parallèle et implicitement-exhaustif pour plateforme de calcul à haute performance.
Krouchev, N.	Ph.D.	Microstimulation optimale du tissu nerveux - Des modèles aux dispositifs.
Laflamme-Mayer, N.	M.Sc.A	Conception et réalisation d'un réseau de distribution de puissance d'une carte de

Nom de l'étudiant	***Diplôme en cours***	***Le titre de son projet***
		prototypage rapide de systèmes.
Lafrance, P.	M.Sc.A.	Convertisseur analogue à numérique permettant une quantification variable adapté à la sensibilité de l'œil humain.
Lareau, É.	M.Sc.A.	Conception d'un système portable de spectrométrie par proche-infrarouge multicanaux destiné à la détection de foyers épileptogènes.
Lebrun Mc Kinnon, M.	M.Sc.A.	Automatisation du processus de vérification pour les systèmes embarqués conçus grâce à une plateforme virtuelle.
Lepercq, É.	Ph.D.	Algorithme de routage pour l'utilisation et la mise au point d'une plateforme de prototypage rapide pour les systèmes électroniques*: Le WaferBoard™*.
Lévesque, P.	Ph.D.	Architecture d'un processeur dédié aux traitements de signaux ultrasoniques en temps réel en vue d'une intégration sur puce.
Mbaye, M.M.	Ph.D.	Techniques d'exploration architecturale de design à usage spécifique pour l'accélération de boucles.
Mendez, A.	Ph.D.	Méthode efficace pour le monitorage du volume de la vessie chez les patients paraplégiques.
Miled, M. A.	Ph.D.	Dispositif Laboratoire-sur-puce implantable dédié à la détection et séparation des neurotransmetteurs.
Moradi, A.	Ph.D.	Émetteur de faible puissance sans fil dédié aux microsystèmes biomédicaux implantables.
Moss, L.	Ph.D.	Profilage, caractérisation et partitionnement fonctionnel dans une plate-forme de conception de systèmes embarqués.
Mounaim, F.	Ph.D.	Neurostimulateur hautement intégré et nouvelle stratégie de stimulation pour améliorer la miction chez les paraplégiques.
Nourivand, A.	Ph.D.	Réduction de la puissance de fuite des mémoires sur-puce sans impact sur le rendement.
Ould Bachir, T.	Ph.D.	Opérateurs de calculs matriciels en virgule flottante pour des applications en réseaux électriques.
Pontikakis, B.	Ph.D.	La conception d'architectures et de circuits de faible puissance à délai variable.
Rogers-Vallée, M.	M.Sc.A.	Une méthode d'estimation de la consommation de puissance pour systèmes sur puce reprogrammable.
Salam, M.T.	Ph.D.	Microsystème biomédical implantable pour le traitement de l'épilepsie.
Savard, J.	M.Sc.A.	Exploration d'une procédure de simulation native de système IMA avec une application avionique graphique
Sebbar, M.	M.Sc.A.	Développement et implémentation d'un algorithme de conversion des couleurs pour un capteur d'images CMOS sans filtre optique.
Sharafi, A.	Ph.D.	Conception et mise en œuvre d'un micro-capteur non attachés pour la détection de tumeur du sein précoce.
Siadjine Njinowa, M.	Ph.D.	Conception des circuits numériques pour la génération et la synchronisation d'horloge.
Simard, G.	Ph.D.	Télémétrie à très haut débit pour des implants biomédicaux dédiés à l'enregistrement neuronal.
Tanguay, L.-F.	Ph.D.	Synthétiseur de fréquences RF à ultra-faible consommation dédié aux microsystèmes implantables.
Tapp, M.	Ph.D.	Interopérabilité des environnements de simulation distribués par génération de code dynamique.
Tremblay, J.-P.	Ph.D.	Conception d'un réseau fiable de capteurs/actuateurs permettant une haute bande passante pour le domaine aéronautique.
Turgeon, J.-S.	M.Sc.A.	Conception d'un module logiciel pour le diagnostique de fautes dans un circuit de la taille d'une tranche de silicium.
Zarrabi, H.	Ph.D.	Conception et techniques d'évaluation pour la synthèse efficace de microsystèmes à faible énergie.
Zhang, K.	Ph.D.	Optimisation d'un spectromètre intégré CMOS.
Zheng, Y.	Ph.D.	Laboratoire sur puce pour la manipulation de particules biologiques par champ magnétique.

DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS

ALLARD, Mathieu **DIPLÔME: M.Sc.A.**

TITRE:

Implémentation d'un treillis de calculs reconfigurable à travers une architecture SDFPGA (Software Defined FPGA).

RÉSUMÉ:

Le projet cherchera à implanter une toute nouvelle architecture permettant de traiter des algorithmes dotés d'un grand flot de données. En parallélisant le plus possible les calculs, il sera possible d'apporter d'importantes accélérations. Ce projet est en association avec la compagnie GaGe.

PROBLÉMATIQUE:

De nos jours, la technologie FPGA est devenue de plus en plus puissante et complexe à un niveau que seule la technologie ASIC pouvait atteindre il y a quelques années. Dans notre cas, compte tenu que le choix du FPGA provient des contraintes d'I/O, une bonne partie des ressources serait disponible après l'implémentation du design en tant que tel. Le but est donc de permettre un accès logiciel à ces ressources. D'un point de vue haut niveau, un SDFPGA peut être vu comme un FPGA dans un FPGA. Le treillis de calcul implanté dans un digitizer pourrait donc être reconfiguré par des programmeurs logiciels pour donner un nouveau comportement. Les algorithmes ayant de grandes possibilités de parallélisme seraient avantagés par ce treillis.

MÉTHODOLOGIE:

Pour réaliser ce travail, nous allons tout d'abord faire un modèle SystemC du treillis de calcul qui démontre la faisabilité de l'architecture à travers l'implantation d'une DDC (Digital Down converter). En ayant une ébauche très poussée de l'architecture finale, nous pouvons maintenant en faire l'implémentation matérielle. Également, celle-ci viendra se joindre aux nouvelles cartes du partenaire.

RÉSULTATS:

Réalisation d'un prototype implémentant le treillis de calcul.

ALLARD-BERNIER, Jessica **DIPLÔME: M.Sc.A.**

TITRE:
Méthode de reconfiguration dynamique pour un réseau sur puce tolérant aux fautes.

RÉSUMÉ:
Le but ultime du projet est de proposer une méthode de tolérance aux fautes intégrées au réseau-sur-puce, ici le Rotator-on-Chip (RoC), permettant une reconfiguration dynamique du réseau pour atténuer les défaillances possibles. Le tout sera exécuté sur FPGA. Pour ce faire, il y aura différentes phases dont une implémentation logicielle, une intégration matérielle et l'élaboration d'un environnement de test avec injection de fautes sur FPGA.

PROBLÉMATIQUE:
Les systèmes intégrés sont de plus en plus utilisés dans le but d'optimiser des applications dédiées, nous n'avons qu'à penser aux téléphones cellulaires ou aux lecteurs MP3. Cependant, ils augmentent également en complexité dans le but de remplir plus de fonctionnalités avec toujours moins de ressources. Deux principaux axes sont analysés dans le but d'optimiser les systèmes: les traitements de calcul et les communications. En solution du deuxième axe, l'utilisation des réseaux-sur-puce est proposée puisque leur rôle est d'interconnecter plusieurs ressources sans dégrader le débit de données. Diverses topologies de réseaux-sur-puce ont été développées ces dernières années notamment en se basant sur celle de la maille et de l'anneau qui restent des paradigmes dans le monde des réseaux. C'est cette dernière qui sera étudiée plus en détails dans ce projet.

Tous les réseaux sur puces ont des caractéristiques propres à eux qui les rendent plus attrayants dans certains domaines, notamment le nombre de ressources supportées, la rapidité des communications, etc. Bien que le débit soit une des métriques les plus importantes, il ne faut pas non plus oublier la fiabilité du transit des données. C'est pourquoi de plus en plus de réseaux sur puce sont développés dans une optique de tolérance aux fautes.

MÉTHODOLOGIE:
- Évaluation et analyse des techniques existantes
  - Recueillir les informations existantes sur les méthodes de tolérance aux fautes.

- Élaboration des bases comparatives
  - Caractérisation du modèle de base
  - Élaboration des méthodes d'évaluation

- Développement du modèle
  - Intégration d'un mécanisme de reconfiguration au RoC
  - Élaboration d'un mécanisme de détection des fautes au niveau logiciel
  - Intégration du mécanisme de détection des fautes au niveau matériel

- Simulations et comparaisons
  - Élaboration d'un environnement de test avec injection d'erreurs
  - Simulations
  - Évaluation en fonction des métriques de performances développées.

RÉSULTATS:
Aucun résultat n'est disponible pour l'instant.

AL-TERKAWI HASIB, Omar **DIPLÔME: M.Sc.A.**

TITRE:

Conception et implémentation de convertisseurs DC-DC hautement efficaces et intégrés en technologie CMOS à faible tension.

RÉSUMÉ:

Les dispositifs alimentés par batterie deviennent une partie importante de notre vie quotidienne. Avec la possibilité d'avoir des ensembles de circuits différents avec des demandes de puissance variables sur un fragment simple, la conception de convertisseur DC-DC intégré d'une haute efficacité devient une nécessité. Cette recherche vise la conception d'un convertisseur DC-DC bas complètement intégré qui peut opérer avec une haute efficacité dans des grandes plages de charge. Le circuit sera implémenté dans un procédé CMOS.

PROBLÉMATIQUE:

Dans les technologies modernes, l'intégration de différents circuits sur une même puce est une tendance très commune. Dans beaucoup de cas, les circuits sur puce ont besoin de différents niveaux de tension de réserve. L'approvisionnement des différentes tensions sur puce est le rôle d'un convertisseur DC-DC. Un des problèmes est l'utilisation d'éléments passifs hors puce. Un autre problème est la difficulté d'obtenir une régulation de la tension de sortie pour des valeurs différentes de résistance de charge tout en maintenant une bonne efficacité. La conception de tels circuits doit prendre en considération tous les critères mentionnés ci-dessus.

MÉTHODOLOGIE:

Pour accomplir l'objectif proposé, nous planifions les étapes suivantes:

- Une étude ou revue détaillée de la littérature sera effectuée;
- La conception sera faite pour un procédé CMOS dans l'environnement Cadence. Pour ce faire, il faudra une maîtrise adéquate de cet environnement pour la conception de circuits mixtes;
- La vérification Post layout sera comparée avec la simulation de circuit. La disposition finale doit être aussi robuste que possible pour tolérer les variations, ainsi, une analyse de procédé Monte-Carlo sera effectuée;
- La puce fabriquée sera testée.

RÉSULTATS:

Dans le processus de conception du convertisseur DC-DC, une étude ou revue de la littérature sur le sujet a été effectuée. Différents types de topologies ont été comparés et anlysés. Une nouvelle architecture de convertisseur DC-DC à capacités commutées avec un contrôle asynchrone a été réalisée. Le contrôleur asynchrone a été conçu afin de réduire les pertes de commutation dans le convertisseur lorsque la puissance de sortie est réduite. Le convertisseur utilise aussi plusieurs topologies afin d'adapter le taux de conversion à la tension de sortie nécessaire. Toutes ces méthodes sont utilisées pour améliorer l'efficacité du convertisseur DC-DC. La conception régule des tensions de charge de 300mV à 1.1V d'une tension d'entrée 1.2V. Une capacité totale de 350pF a été intégrée pour fournir un maximum de 250uW de puissance à la charge tout en atteignant une efficacité de 80%. Récemment, ce circuit a été fabriqué en technologie CMOS 0.13µm. Les résultats expérimentaux ont confirmé la théorie et la simulation du design et un article a été soumi à IEEE Transactions on Biomedical Circuits and Systems.

AUBERTIN, Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Accélération de l'exécution d'algorithmes de voisinage local utilisés en traitement vidéo à l'aide de processeurs configurables.

RÉSUMÉ:

Ce projet porte sur l'accélération de traitement vidéo à l'aide de processeurs configurables. Il vise les algorithmes à voisinage local comme la convolution, les morphologies et les algorithmes de désentrelacement intra-champ. L'objectif est de définir et caractériser une approche de conception qui permette le développement rapide d'implémentations à haute vitesse de traitement d'algorithmes de ce type.

PROBLÉMATIQUE:

Les applications vidéo numériques sont omniprésentes. On peut penser, par exemple, à la télévision haute définition, aux lecteurs vidéo portatifs et aux téléphones cellulaires qui permettent la lecture vidéo. L'apparition de ces applications exigeantes est rendue possible grâce à l'augmentation exponentielle de la densité des circuits intégrés décrite par la loi de Moore. Par contre, cette augmentation exponentielle représente aussi un obstacle puisque les concepteurs doivent concevoir des systèmes toujours plus complexes avec les mêmes contraintes exigeantes de temps de mise en marché.

La principale solution à ce problème consiste à élever le niveau d'abstraction de la conception. Un paradigme de conception à niveau d'abstraction élevé, récent et prometteur est le processeur configurable. Étant donné la nouveauté de ce paradigme, des approches de conception et des méthodologies doivent être développées pour vraiment en tirer avantage.

MÉTHODOLOGIE:

L'approche proposée est appliquée à plusieurs algorithmes ayant des caractéristiques (complexité logicielle, modalité d'accès aux données) diverses afin de valider qu'elle soit applicable à ces algorithmes et afin de la caractériser. Pour la caractérisation, les métriques d'intérêt particulier sont la vitesse de traitement, la complexité matérielle et aussi la métrique AT. Ces métriques sont évaluées à l'aide de simulations et d'estimations obtenues grâce aux outils de conception. Jusqu'à présent, le processeur configurable Xtensa LX2 et la suite d'outils de Tensilica ont été utilisés. Les prochains travaux se concentreront sur la génération automatique de code VHDL à partir d'une description à haut niveau de l'algorithme.

RÉSULTATS:

Des implémentations rapides ont été réalisées pour diverses tailles de convolution 2D ainsi que pour trois algorithmes de désentrelacement intra-trame, dont PBDI, le nouvel algorithme proposé par Hossein Mahvash Mohammadi du GR2M. Concernant l'implémentation de PBDI, un article rapportant un facteur d'accélération de 1351 par rapport à une implémentation purement logicielle a été accepté et présenté à la conférence NEWCAS-TAISA 2009.

Une approche systématique pour la conception d'implémentations rapides de la classe d'algorithmes visée a été proposée et un article sur le sujet est en cours de rédaction. Il est attendu que ceci mène à une méthodologie où l'implémentation est dérivée automatiquement d'une description à haut niveau de l'algorithme.

BASILE-BELLAVANCE, Yan **DIPLÔME: Ph.D.**

TITRE:

Conception d'un environnement de travail matériel et logiciel pour l'instrumentation d'un circuit intégré à l'échelle de la tranche et pour l'aide à la conception de circuits à basse énergie.

RÉSUMÉ:

Ce projet de recherche s'intègre dans le projet DreamWafer qui vise à créer, à l'aide d'un circuit intégré à l'échelle de la tranche, un «PCB reconfigurable» où les puces déposées à la surface d'un substrat actif et reprogrammable peuvent être interconnectées dynamiquement entre eux. Le but du projet est d'instrumenter un circuit intégré à l'échelle de la tranche pour suivre en temps réel la température interne, la puissance consommée et la pression interne du substrat silicium.

PROBLÉMATIQUE:

Le projet DreamWafer^{TM}, vise à développer un circuit intégré qui ferait l'équivalent d'un «PCB reconfigurable» permettant d'interconnecter numériquement des circuits intégrés discrets (FPGA, processeurs, DSP…) à tester, ceux-ci étant déposés à sa surface. Ce système se nomme le WaferBoard. Il contient un circuit spécial qui est une matrice de millier de cellules identiques, chacune comportant un centre de contrôle logique, un crossbar reconfigurable et un ensemble de «plots» de quelques centaines de micromètres de large (points de contact avec les composants déposés). Ce circuit intégré est nommé WaferIC. Ce circuit se déploie sur l'ensemble d'une tranche de silicium, c'est pourquoi on le classe dans la catégorie des circuits intégrés à l'échelle de la tranche. Or, le WaferIC doit intégrer un réseau de capteurs intégrés (puissance, température et pression) pour mieux caractériser le premiere prototype de WaferIC et pour ajouter des fonctionnalités supplémentaires d'aide à la conception pour les utilisateurs du WaferBoard. Par exemple, l'ajout de capteurs intégrés permettant de surveiller la consommation de puissance des circuits intégrés déposés à la surface est la première étape pour créer un outil d'aide à la conception permettant d'optimiser l'efficacité énergétique des systèmes électroniques.

MÉTHODOLOGIE:

La première étape du projet consiste à faire le design au niveau circuit d'un capteur analogique de courant, de température et de pression efficace occupant un minimum de surface. Une fois ces éléments conçus au niveau circuit, un circuit de test sera fabriqué et validé. Par la suite, le réseau de capteur sera intégré dans le WaferIC.

Parallèlement à ce design, un environnement logiciel d'aide à la conception doit être conçu et réalisé pour aider les utilisateurs du WaferBoard à concevoir et tester des circuits qui consomment moins de puissance. Des algorithmes d'aide à la décision seront conçus pour accompagner l'utilisateur dans la conception de circuits efficaces énergétiquement. Bien sûr, à la base de ces algorithmes, les données de consommation de chaleur et de puissance fournies par les réseaux de capteur du WaferIC permettront d'alimenter la recherche automatique de solution et de valider les architectures proposées par l'outil d'aide à la conception.

RÉSULTATS:

Puisque le projet vient tout juste de débuter, aucun résultat ne peut être présenté à ce jour.

BEN CHEIKH, Taieb Lamine **DIPLÔME: Ph.D.**

TITRE:

Approche multiprocesseur pour l'optimisation des applications biomédicales.

RÉSUMÉ:

L'imagerie biomédicale prend beaucoup d'essor dans le domaine du traitement numérique d'images grâce à la numérisation et à la vidéo assistance. Dans cette optique, plusieurs efforts ont été observés dans le développement d'algorithmes poussés pour produire des résultats satisfaisants aux besoins des médecins. Le problème de la majorité de ces algorithmes est qu'ils sont restés au niveau théorique et leur implémentation n'a pas été encore définie afin de satisfaire les contraintes de temps réel. Afin de concrétiser ces efforts sur le plan pratique, nous cherchons à assurer une implémentation adéquate de certains de ces algorithmes déjà développés en Matlab (langage interprétable) par le laboratoire de recherche LIV4D à l'École Polytechnique de Montréal. L'application visée est un système à réalité augmentée pour la chirurgie minimalement invasive.

PROBLÉMATIQUE:

Après l'étude de l'algorithme de l'application écrite en MATLAB, nous avons remarqué qu'il présente en partie des points communs avec les algorithmes de traitement d'images classiques en termes de structures de données de grandes tailles avec des formes régulières : matrice, tableau et traitement identiques sur les parties de ces structures de données. Ces points favorisent la parallélisation de l'application en question en proposant comme architecture d'implémentation une plate forme multiprocesseur. En plus de ces points communs, cette application présente certaines particularités telles que l'emploi intensif du contrôle et l'aspect dynamique du traitement. Ce qui complique davantage la tâche de la parallélisation. Compte tenu de ces particularités nous proposons une architecture multiprocesseur hétérogène combinant plusieurs types de processeurs (CPUs et GPUs).

MÉTHODOLOGIE:

Afin de faciliter la programmation de cette architecture multiprocesseur hétérogène, notre objectif est de proposer un environnement de programmation spécifique. Cet environnement doit être efficace, flexible et complet. Pour se faire, nous avons suivi une démarche basée sur un ensemble d'étapes : Comme première étape, nous avons réécrit le code en C (langage compilable) pour accélérer son exécution d'une part et favoriser, d'autre part, son instrumentation et son implémentation vu l'existence d'outils et de compilateurs adaptés pour le C. Ensuite, nous avons profilé le code en détail et observé la dynamique des données durant l'exécution. Ceci nous a donné l'idée de simplifier les structures de données en réduisant leurs tailles pour ne garder que les parties de données utiles pour le traitement.

RÉSULTATS:

Cette étape a permis d'améliorer le temps d'exécution du code séquentiel et d'optimiser la taille mémoire pour les données. Les premiers résultats ont été très encourageants qui avaient atteint pour une première image avec 55 contours une accélération de 212x par rapport à une implémentation en MATLAB et pour une image de 177 contours, une accélération de 505x.

Malgré cette accélération considérable, nous n'avons pas réussi à atteindre le temps réel avec une exécution séquentielle du programme, d'où le besoin de la parallélisation.

Comme deuxième étape, nous avons proposé une version parallèle du programme optimisé et nous avons implémenté cette version à l'aide du modèle de programmation parallèle OpenMP. L'expérimentation s'était faite sur un processeur multicore à 4 cœurs. Cette version a atteint une accélération de 2.74x pour une image de 55 contours et 3.08x pour une image de 177 contours. Cette accélération reste à optimiser et afin de tirer profit du parallélisme présent dans l'application, nous visons dans la prochaine étape d'implémenter le programme sur une architecture combinant des processeurs graphiques avec CUDA et des multicore avec OpenMP.

BENDALI, Abdelhalim **DIPLÔME: Ph.D.**

TITRE:

Conception et caractérisation de circuits intégrés CMOS de haute performance pour applications aux interconnexions photoniques.

RÉSUMÉ:

Dans ce projet, nous proposons d'utiliser le procédé CMOS standard pour la fabrication de capteurs d'image couleur (ClC) sans utiliser de filtres nécessaires pour séparer les couleurs primaires ou réseau de filtres de couleur (RFC). L'objectif majeur, visé par cette technique, est de réduire, d'une part, les dimensions du pixel couleur pour une plus haute résolution des caméras numériques et, d'autre part, contribuer à améliorer la sensibilité des ClC.

PROBLÉMATIQUE:

Aujourd'hui, les cameras numériques (CN) sont devenues les principaux dispositifs de capture d'image. Par leur capacité d'intégrer de nouvelles fonctionnalités, grâce notamment au traitement numérique d'image, les CN ont remplacé les procédés traditionnels de capture d'image basés sur les pellicules photosensibles. La tendance actuelle s'oriente plus vers les capteurs d'image utilisant le procédé CMOS qu'aux procédés basés sur les capteurs à couplage de charge (CCD). En utilisant la technologie CMOS, on peut intégrer sur une même puce la capture et le traitement de l'image, ce qui réduit à la fois la puissance consommée et le coût. Cependant un compromis est à respecter entre le coût et la performance: les détecteurs d'image CMOS sont moins performants que ceux en CCD dû principalement au bruit et la non-uniformité.

Chaque capteur d'image couleur utilise typiquement un RFC pour la reconstitution de la couleur. Un RFC est constitué de filtres de lumière de différents spectres de transmission (typiquement dans le rouge, le vert et le bleu) et disposés côte à côte. Malgré que le RFC est la solution la plus adoptée sur le marché, elle a, néanmoins, le désavantage d'absorber une partie de l'énergie lumineuse incidente à la surface: ce qui ce traduit par une réduction de la sensibilité et l'utilisation d'algorithme d'interpolation spatiale afin de restituer la couleur. De plus, il engendre un coût supplémentaire dû aux étapes de fabrication additionnelles rajoutées au CMOS standard. Afin de palier à ces inconvénients, nous proposons des CIC sans RFC.

MÉTHODOLOGIE:

Après avoir développé un premier modèle analytique du CIC, nous avons intégré sur une puce une matrice de CIC, composé de 120 lignes et 90 colonnes, ainsi que les blocks de traitement du signal. Grâce à des registres à décalage, cadencé par une horloge externe on balaye la matrice pixel par pixel. Le conditionnement du signal capté par le pixel sélectionné consiste en une conversion lumière-voltage suivie d'une amplification. Un système expérimental de contrôle et de mesure est développé afin de caractériser les différentes variantes du pixel proposé. Les puces que nous avons conçues sont fabriquées avec la technologie AMS 0.35µm.

RÉSULTATS:

Nous avons obtenu des résultats prometteurs quant au principe de fonctionnement des pixels : nous avons pu démontrer que selon la géométrie proposée il est possible de récolter l'information de la couleur. Cependant, des améliorations restent à apporter au pixel pour plus de performance. Nous avons aussi développé un circuit source de courant performant permettant de réduire l'impact des variations d'alimentation sur la matrice de CIC.

DAIGNEAULT, Marc-André **DIPLÔME: Ph.D.**

TITRE:

Compilation efficace et description de matériel au niveau des transferts de données.

RÉSUMÉ:

Proposer de nouvelles sémantiques dans un langage de description de matériel axé sur les transferts de données afin d'en augmenter l'expressivité et de faciliter la description de circuits numériques complexes. Rechercher et proposer de nouvelles optimisations pouvant être réalisées à partir d'une description axée sur les transferts de données, qui seraient autrement pratiquement inaccessibles en partant d'une description RTL.

PROBLÉMATIQUE:

Depuis l'aube des circuits intégrés en 1958, le nombre de transistors par puce double tout les deux ans dépassant aujourd'hui le milliard. À l'instar de cette progression exponentielle, un fossé de productivité dont l'importance s'accroit avec chaque nouvelle génération de puces est occasionné par l'insuffisance des méthodes de conception actuelles. Bien à l'affut de cette situation, la communauté scientifique s'est investie considérablement au cours des deux dernières décennies dans la recherche et développement d'outils de conception assistée par ordinateur permettant de travailler avec un niveau d'abstraction plus élevé. Il en résulte un progrès significatif en matière de synthèse de circuits depuis un langage séquentiel capturant le comportement du circuit de manière algorithmique. Bien que l'efficacité de tels outils soit fort appréciée dans le domaine du traitement de signal numérique, leur acceptation au sein de la communauté des concepteurs de matériel tarde à venir, si bien que les langages de description concurrente de matériel datant des années 1990 tels VHDL et *Verilog* sont encore couramment employés. Comment élever le niveau d'abstraction d'un langage de description concurrente de matériel, afin de le rendre plus expressif, tout en permettant au concepteur de conserver un fin contrôle du parallélisme?

MÉTHODOLOGIE:

Afin d'atteindre les objectifs du projet de recherche, il sera question de développer un compilateur permettant de traduire efficacement un circuit décrit à haut-niveau avec un langage axé sur les transferts de données en une description RTL pouvant être synthétisée en un circuit numérique avec outils de conception assistée par ordinateurs traditionnels.

RÉSULTATS:

Les circuits électroniques sont omniprésents dans notre vie et sont utilisés dans tous les domaines scientifiques. Puisque la recherche proposée vise à accroître la productivité au moyen d'outils de conception haut-niveau, elle touche l'ensemble de la communauté des concepteurs de circuits numériques, tout en rendant la discipline plus accessible aux concepteurs de logiciels désirant accélérer l'exécution d'applications au moyen de circuits spécialisés.

DROLET, Jonathan **DIPLÔME: M.Sc.A.**

TITRE:

Circuits numériques intracorticaux pour la détection automatisée des potentiels d'action.

RÉSUMÉ:

Le projet Cortisens a pour objectif de créer une puce intracorticale visant à transmettre l'activité neuronale à un système externe, le tout sans fil. Afin de réduire la quantité d'information devant être transmise par le lien sans fil, l'extraction des potentiels d'action doit être effectuée. L'objectif de ce projet de maîtrise est d'évaluer, implémenter et comparer plusieurs architectures de détection de potentiels d'action.

PROBLÉMATIQUE:

La détection de potentiels d'action est un sujet bien étudié, mais plusieurs facteurs inhérents à l'implémentation sur puce intracorticale compliquent le problème :

1. Le seuil de détection doit être établi automatiquement par la chaîne de traitement, c'est-à-dire le système doit être indépendant des influences externes.
2. La consommation d'énergie doit être minimale afin de rester dans les contraintes imposées par une puce intracorticale. En outre, le nombre de canaux par puce augmentant d'année en année, la consommation du bloc de détection (un par canal) devient crucial.
3. Il est désirable d'avoir les meilleures performances possibles en termes de détection. Cela signifie avoir un bon taux de détection et un faible taux de fausse détection.

MÉTHODOLOGIE:

La méthode de travail consiste à implémenter diverses chaînes de détection de potentiels d'action et à comparer les consommations d'énergie de chacune. Les chaînes seront d'abord comparées à l'aide de simulation, puis une puce sera conçue contenant les meilleures architectures pour confirmer les résultats de simulation.

RÉSULTATS:

Les résultats escomptés à la fin du projet de maîtrise sont une chaîne de traitement des potentiels d'action avec calcul automatisé du seuil de détection. La chaîne de traitement aura été implémentée sur puce et caractérisée au niveau de performance de détection, consommation d'énergie et surface de silicium. En outre, des résultats similaires pour différentes chaînes de traitement seront aussi donnés pour justifier le choix de l'architecture finale.

ÉTHIER, Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un stimulateur sécuritaire et à faible consommation de puissance pour un implant visuel intracortical.

RÉSUMÉ:

Le contexte de ce projet est celui d'un implant visuel intracortical. Ce dernier doit être en mesure de stimuler les tissus corticaux sur plusieurs sites de manière à faire percevoir des points lumineux, appelés phosphènes, dans le champ visuel de l'usager.

L'objectif de ce projet est la conception de stimulateurs sécuritaires à faible consommation de puissance. Un prototype fonctionnel de l'implant ayant déjà été réalisé, il s'agit maintenant de diminuer la consommation d'énergie et d'améliorer l'aspect sécuritaire des stimulateurs. Pour ce faire, différentes formes d'ondes de stimulation, qui demandent théoriquement moins d'énergie, seront étudiées et la phase d'équilibre des charges est à être asservie afin de minimiser la concentration d'ions nocifs relâchés par les électrodes.

PROBLÉMATIQUE:

La génération de stimulation de formes d'onde différentes que le prototype actuel exige nécessairement une puissance plus élevée. Un premier défi est de minimiser cette hausse de manière à ce que la stimulation consomme globalement moins d'énergie pour engendrer une même réponse des tissus corticaux.

Un second défi est de rendre la génération de ces formes d'onde très flexible afin de pouvoir contrôler les différents paramètres de la stimulation.

Enfin, la génération de la haute tension au niveau de l'étage de sortie n'est pas triviale. Ce circuit doit être efficace et une attention particulière doit porter sur la réalisation du circuit afin d'éviter sa destruction.

MÉTHODOLOGIE:

- Conception et simulation des circuits électroniques afin de s'assurer qu'ils répondent aux spécifications de l'application;
- Dessin des masques des circuits intégrés correspondants et simulation;
- Fabrication des deux circuits intégrés résultant via la CMC Microsystèmes;
- Tests des circuits intégrés et comparaison avec les simulations.

RÉSULTATS:

Les deux circuits intégrés ont été réalisés et fabriqués. Ils sont présentement en cours de test. Les résultats de simulation montrent que la génération des formes d'onde et de la haute tension est fonctionnnelle.

EZZAT, Hicham **DIPLÔME: Ph.D.**

TITRE:

Processeur de vérification basée sur les assertions pour le DreamWafer™.

RÉSUMÉ:

Le Waferboard™ est une plateforme pour le prototypage rapide de circuits électroniques. Les composants sont placés sur le WaferBoard™ qui les détecte et les relie intelligemment entre eux et rend le prototype prêt en quelques minutes. Le WaferBoard™ permet de minimiser le temps de développement du PCB. Dès que le système est installé sur la plateforme, le processus de test commence.

La vérification basée sur des assertions (ABV), qui est reconnue comme la méthode de vérification fonctionnelle de premier plan, est l'art de trouver les propriétés que le design doit respecter afin de détecter les erreurs dans le système. Aujourd'hui, combiner l'ABV avec le WaferBoard™ est un véritable défi pour garantir la fiabilité des systèmes électroniques futurs.

PROBLÉMATIQUE:

Comment réaliser efficacement la vérification d'un design réalisé sur une plateforme de protypage reconfigurable en utilisant un FPGA reconfigurable (Field Programable Gate Array)?

MÉTHODOLOGIE:

Utiliser les unités ABV synthétisées sur les FPGA mis sur WaferBoard™ pour interconnecter intelligemment les composants du design à tester et les contrôler via les processeurs embarqués sur le FPGA.

Les objectifs spécifiques:

- Analyser la pertinence de l'élaboration d'un langage d'abstraction plus élevé pour les assertions au niveau système au lieu d'utiliser les langages d'assertions standards (comme le Property Specification Language-PSL et le Sysem Verilog Assertion-SVA);
- Développer un IP (Intellectual Property) pour l'interconnexion des assertions synthétisées sur FPGA (esclave) aux composants du WaferBoard™ (maîtres);
- Accélérer l'environnement avec des instructions supplémentaires d'assertions spécialisées à l'aide de soft-processors embarqués sur FPGA;
- Tester de notre environnement avec divers composants placés sur Waferboard™ (processeurs, mémoires, circuits ASIC (Application Specific Integrated Circuits) et PFGA).

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

FARAH, Rana **DIPLÔME: Ph.D.**

TITRE:

Identification automatique de convulsions et de comportements d'animaux par vision numérique.

RÉSUMÉ:

L'objectif de ce projet est de développer un système de vision artificielle qui peut identifier les comportements d'un rat, incluant les comportements convulsifs. Le sysème doit pouvoir:

- Identifier les tendances de déplacement du rat;
- Déterminer la posture du rat (par exemple debout sur deux pattes, debout sur quatre pattes, étalé sur le sol;
- Identifier et discriminer entre quatre types de comportements: grattage, toilettage, ébrouement et convulsion.

PROBLÉMATIQUE:

Une grande portion des travaux de recherche en neuroscience est basée sur des modèles animaux. Les modèles animaux sont de puissants outils pour étudier les processus neurophysiques afin de mieux comprendre le développement de maladies comme l'épilepsie et de développer des médicaments et des traitements pour les humains. À l'hôpital Ste-Justine de Montréal, une grande portion de la recherche en neurologie utilise des rats. Les électro-encéphalogrammes (EEGs) sont les outils habituels pour déceler et surveiller les convulsions chez les animaux. En revanche, les EEGs ont plusieurs désavantages. Premièrement, une surveillance continue par des EEGs n'est pas possible en général dans les milieux biomédicaux. En plus, les EEGs sont des outils invasifs qui demandent l'attachement d'électrodes à la tête de l'animal, ce qui peut restreindre ses mouvements et sa routine. Deuxièment, l'interprétation totalement automatique des EEGs n'est pas facile en général, parce que l'enregistrement des EEGs est sujet aux artefacts qui résultent des mouvements des animaux. Pour toutes ces raisons, la surveillance par caméra constitue un bon outil complémentaire aux EEGs dans le contexte de la surveillance et de la détection des convulsions.

MÉTHODOLOGIE:

Notre groupe collabore actuellement avec un groupe de neurologues de l'hôpital Ste-Justine. Le développement du système sera fait en collaboration avec ces experts neurologues pour valider la performance et intégrer le système dans un laboratoire biomédical.

Pour atteindre les objectifs, la méthodologie suivante sera appliquée. En premier lieu, pour suivre les déplacements du rat, la segmentation de l'avant-plan sera utilisée pour déterminer la position du rat dans la cage à chaque instant. En second lieu, une méthode basée sur un classificateur statistique sera utilisée pour déterminer la posture du rat. Le classificateur utilisera la position de la tête du rat par rapport au sol et par rapport à son corps pour rendre ses décisions. Troisièment, le système utilisera la segmentaion du mouvement pour quantifier le mouvement dans la cage et calculer sa fréquence. Finalement, la classification du comportement du rat utilisera des données sur ses déplacements, sa posture, la quantité de mouvement et sa fréquence pour identifier et discriminer entre les quatre comportements mentionnés précédemment.

RÉSULTATS:

Ce projet produira un outil automatique puissant qui sera utilisé dans les laboratoires biomédicaux. En plus, il sera possible de transférer les connaissances et les techniques développées pour cet outil à d'autres animaux et dans d'autres contextes.

FOURMIGUE, Alain **DIPLÔME: Ph.D.**

TITRE:

Modélisation au niveau système des architectures tridimensionnelles (3-D) de systèmes multiprocesseurs sur puce (MPSoC).

RÉSUMÉ:

Ce doctorat porte sur les architectures de circuits intégrés en trois dimensions (3D) pour systèmes multiprocesseurs sur puce (MPSoC). L'objectif de ce doctorat est de mettre en place les méthodologies appropriées pour modéliser et exploiter pleinement les possibilités des technologies d'intégration 3D, pour la conception de systèmes multiprocesseurs sur puce (MPSoC).

PROBLÉMATIQUE:

Alors que la miniaturisation des transistors ralentit, les circuits intégrés tridimensionnels (3D) offrent une alternative technologique pour continuer l'intégration de fonctionnalités et développer des circuits toujours plus performants. Les progrès technologiques réalisés ces dernières années en matière d'intégration 3D ont permis la réalisation des premiers prototypes de circuits intégrés 3D. Cependant, le manque d'outils et de méthodologies appropriés pour aider à la conception de ces nouvelles architectures 3D est important, et peut à terme, compromettre l'utilisation des technologies 3D. Sans outils, ni méthodologies de conception appropriés, les ingénieurs sont contraints de continuer à développer des circuits intégrés 2D conventionnels. Ce travail répond à un besoin de modélisation des architectures de circuits intégrés 3D et se propose de développer des méthodologies permettant d'en exploiter les possibilités pour la conception de MPSoC.

MÉTHODOLOGIE:

Dans un premier temps, ce doctorat s'intéressera à la modélisation des phénomènes de dissipation thermique dans les circuits intégrés 3D. En effet, les circuits intégrés 3D sont constitués d'un empilement de multiples couches de silicium et sont exposés à des problèmes de dissipation de chaleur si l'architecture est mal conçue. L'objectif à court terme de ce travail est de mettre en place une méthodologie pour développer des modèles thermiques pouvant être couplés à des environnements de simulation dynamique de MPSoC. Le défi est de parvenir à développer des modèles suffisamment performants, précis et nécessitants des efforts de modélisation raisonnables.

Dans un deuxième temps, ce doctorat se concentrera sur les méthodologies d'exploration architecturale pour systèmes MPSoC 3D. L'ajout d'une troisième dimension dans les circuits intégrés, a entraîné l'explosion du nombre d'architectures possibles. L'objectif est de mettre en place une méthodologie permettant d'identifier rapidement l'architecture la plus appropriée pour une classe d'applications données, car les plateformes MPSoC ciblent toujours une classe d'applications bien précise (multimédia, communication, calcul, etc.), Pour évaluer les différentes architectures possibles, une plate-forme virtuelle modélisant un MPSoC 3D complet et permettant de simuler l'exécution d'applications sur ce MPSoC 3D sera réalisée.

RÉSULTATS:

Un article de conférence portant sur la modélisation de température dans les circuits intégrés 3D a été soumis au mois de septembre 2010 à la conférence DATE. Cet article est toujours en cours d'évaluation.

GAN, Qifeng **DIPLÔME: Ph.D.**

TITRE:

Méthodologie d'exploration architecturale de design sur processeurs à jeux d'instructions spécialisés pour les filtres de particules.

RÉSUMÉ:

Ce projet porte sur les processeurs à jeux d'instructions spécialisés pour l'implémentation de filtres de particules en traitement vidéo et en navigation. L'objectif final est de définir et développer une méthodologie qui permette le développement rapide d'implémentations des applications des filtres de particules.

PROBLÉMATIQUE:

L'objectif principal de ce projet est de proposer une méthodologie d'exploration d'architecture pour la conception de ASIP efficace dans le contexte d'applications de type filtre de particules. Afin d'atteindre cet objectif, les objectifs spécifiques sont répertoriés comme suit:

- Trouver une classe d'applications utiles en temps réel à l'aide de filtres à particules où une méthode conventionnelle de mise en œuvre ne peut être satisfaite à l'exigence de performance.
- Proposer une architecture générique simplifiée pour algorithmes de filtrage en fonction de la mise en œuvre de systèmes embarqués.
- Proposer un cadre d'architecture ASIP approprié dans le contexte de la vidéo de suivi ou de suivi de cible et de navigation à l'aide de filtres à particules en explorant les aspects architecturaux tels que l'architecture de processeur, spécifiques à jeu d'instructions, hiérarchie de mémoire et etc.
- Proposer une méthodologie pour explorer efficacement les architectures ASIP pour différents types de filtres de particules.

MÉTHODOLOGIE:

Afin d'atteindre le principal objectif ci-dessus, l'analyse d'applications de filtres de particules est nécessaire dans un premier temps après avoir rassemblé une classe d'applications à l'aide de filtres à particules. Grâce à l'analyse des différentes applications, les caractéristiques des filtres à particules sont extraites telles que la simultanéité des opérations, la complexité, la différence de l'opération entre les applications, etc. Des filtres de particules génériques sont générés par l'analyse de ces applications.

Deuxièmement, les applications de filtres de particules exigent d'être décrites dans un langage de haut niveau tel que C/C++. À partir d'une base de processeur prédéfini, nous devons identifier les éléments intensifs numériques de chaque application via le compilateur existant et des outils profileur.

Troisièmement, l'architecture ASIP approprié et l'ensemble d'instructions personnalisées sont générées par le déploiement itératif ou modifié de l'architecture ASIP et l'identification des instructions personnalisées sous contraintes d'espace et de consommation depuissance. Cette étape prend en charge les deux objectifs de notre projet : un cadre d'architecture ASIP approprié par l'ajout ou la modification de composants ou interconnexion; une méthodologie appropriée pour générer des instructions spéciales personnalisées grâce à l'analyse du graphe de flot des données (DFG) et du graphe de flot de contrôle (CFG), ainsi que le profilage de leurs résultats.

Quatrièmement, selon les différentes exigences de différentes applications, une méthodologie d'exploration efficace de l'architecture ASIP pour les applications de type filtre de particules utilisant le cadre proposé d'architecture et la méthode décrite dans la troisième étape sera proposée.

Enfin, la méthodologie proposée pour l'exploration d'architecture ASIP sera validée avec des exemples concrets.

RÉSULTATS:

GÉLINAS, Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Conception et implémentation d'un dispositif de communication sans fil courte-distance à très faible consommation pour implants biomédicaux.

RÉSUMÉ:

Ce projet vise à augmenter la mobilité des patients dans le contexte d'étude clinique pour le projet d'imagerie du cerveau IMAGINC et le projet d'évaluation pré-chirurgicale de l'épileptique. En concevant un dispositif de communication sans fil courte-distance à très faible consommation, il sera possible de faire ces expérimentations avec davantage de facilité, tout en augmentant le confort des patients.

PROBLÉMATIQUE:

Avec l'avènement des technologies de communication sans fil, de plus en plus de chercheurs et cliniciens cherchent à se doter de nouveaux outils de mesure protables et sans fil lors de leurs études cliniques. En effet, ces chercheurs aimeraient pouvoir obtenir des mesures similaires, voire plus précises qu'avec leurs dispositifs actuels, tout en allégeant l'appareillage et en augmentant la mobilité des patients. Cependant, dans des applications comme l'évaluation pré-chirurgicale pour la détection de foyer épileptique, l'enregistrement de signaux d'électroencéphalogramme (EEG) intracrânien chez des patients épileptiques implique un nombre élevé de données (128 à 256 canaux : plus de 768 kbpds de données brutes) en plus de nécessiter la mesure continue sur de longues durées (2 à 3 semaines d'enregistrement). Les dispositifs sans fil commerciaux actuels supportant le protocole Bluetooth ou Zigbee ne permettent pas des débits de données suffisants pour ce genre d'applications, alors que les transmetteurs-récepteurs Wifi sont beaucoup trop énergivores pour une utilisation continue de longue durée.

MÉTHODOLOGIE:

Les objectifs du projet sont, dans un premier temps, de concevoir et implémenter un dispositif de communication sans-fil bidirectionnelle à courte portée (<10 m) et haut débit (> 800 kbps) pour le projet d'imagerie fonctionnelle du cerveau IMAGINC. Celui-ci sera développé en utilisant des composants commerciaux permettant une communication à haut-débit et courte distance, et de faible consommation énergétique. De plus, un contrôleur sur FPGA sera conçu en misant avant tout sur la simplicité d'utilisation, la réduction de la consommation énergétique ainsi que la contrôlabilité à distance

La deuxième version du prototype devra être implantable et optimisée (énergie/dimensions) afin de permettre l'enregistrement de signaux EEG intracrânier sur plus de 128 canaux pendant 1 semaine continue, pour l'évaluation pré-chirurgicale pour la détection de foyer épileptique.

RÉSULTATS:

Le prototype de développement a été validé avec succès pour une communication courte distance (30 cm) à 1 Mbps dans les airs. De multiples tests de performance seront effectués prochainement, en plus de compléter la conception du circuit imprimé du prototype final pour le projet IMAGINC. Une première passe d'optimisation de la consommation énergétique sera également étudiée sous peu.

GHANNOUM, Anthony **DIPLÔME: M.Sc.A.**

TITRE:

Module de reconnaissance d'objets dédié à un stimulateur visuel cortical.

RÉSUMÉ:

Ce projet s'insère dans le cadre de la réalisation d'un stimulateur visuel cortical par l'équipe Polystim neurotechnologies. Il consiste à créer un module de reconnaissance d'objets pour aider les personnes qui souffrent de cécité visuelle à se retrouver dans un environnement quelconque et de reconnaître les objets qui les entourent. Aussi la stratégie de triangulation des phosphènes sera réévaluée.

PROBLÉMATIQUE:

L'objectif est d'implémenter en C++ (OpenCV) et MATLAB un module de traitement d'images pour faire la reconnaissance d'objets. Le module logiciel devrait ensuite être traduit en VHDL pour exploiter la vitesse du matériel qui permettra d'appliquer le traitement en temps réel.

MÉTHODOLOGIE:

La première étape consiste à définir les spécifications du module de reconnaissance d'objets, ses objectifs principaux ainsi qu'à définir sa pertinence dans le cadre du projet Cortivision. Cela comprend aussi son intégration au traitement 3D d'images déjà implémenté pour le projet. La partie conséquente serait une étude des différentes approches pour obtenir les résultats requis, en validant et comparant les méthodes avec MATLAB. L'étape suivante serait de sélectionner la meilleure de ses méthodes pour l'implémenter en matériel (VHDL) et l'intégrer au module de traitement d'image existant qui interface le capteur d'image conçu dans le cadre du même projet.

RÉSULTATS:

Une étude de différentes approches de reconnaissance d'objets a été commencée pour avoir une idée générale sur ce qui bénéficierait le plus aux personnes qui souffrent de cécité visuelle. Cela comprendrait aussi les algorithmes d'apprentissage et d'intelligence artificielle. La base du projet a donc été établie ainsi que son contexte et le plan d'action. Un module d'étalonnage utilisant des marqueurs repères suivis par des algorithmes de traitement vidéo est conçu pour caractériser la carte phosphène du patient. L'algorithme en C/C++ a été validé et testé sur un PC hôte et certaines parties de l'algorithme ont été transférées à l'implémentation matérielle sur FPGA. La partie matérielle utilise le VHDL et Xilinx System Generator/MATLAB qui facilite la procédure de test, validation et la comparaison d'images.

GROGAN, Patrick **DIPLÔME: M.Sc.A.**

TITRE:

Implémentation d'un treillis de calculs reconfigurable à travers une architecture SDFPGA (Software Defined FPGA).

RÉSUMÉ:

Le projet consiste à construire une architecture innovatrice permettant d'effectuer des algorithmes sur des flots de données. En parallélisant le plus possible les calculs, il sera possible d'apporter d'importantes accélérations. Ce projet est en association avec la compagnie GaGe.

PROBLÉMATIQUE:

Les FPGAs sont de plus en plus complexes et contiennent de plus en plus de logique. La compagnie GaGe conçoit des convertisseurs analogiques à numériques qui n'utilisent qu'une petite partie de toute cette logique. En effet, leurs convertisseurs sont très dépendants sur le nombre d'entrées et sorties et très peu sur le reste. Alors, au lieu de perdre la logique, permettre aux utilisateurs de définir leur propre algorithme de traitement et de l'intégrer dans le FPGA semble une idée très pertinente. Cependant, peu de compagnies sont prêtes à investir dans l'expertise des langages de bas niveau. Cela prend donc une façon de transformer les dits algorithmes et de les transformer en logique. C'est donc le but de l'architecture proposée.

MÉTHODOLOGIE:

La première étape du projet consiste à mettre en place un modèle SystemC du treillis de calcul. Ce modèle sera de très haut niveau. Ensuite, ayant ce modèle, il sera possible de travailler sur la façon de transformer les algorithmes pour les rendre fonctionnels dans l'architecture. Finalement, une implémentation sur FPGA sera produite.

RÉSULTATS:

Un modèle SystemC a été conçu et a été validé pour chaque module du tissu de calcul. Puis, un tissu a été fabriqué à partir des différents modules et une FIR à 16 niveaux a été programmé pour fonctionner dans le treillis. Cette FIR s'est avérée fonctionnelle, ce qui confirme que le tissu fonctionne. Nous passons maintenant à l'implémentation matérielle des différents modules (en VHDL) pour ensuite faire des essais sur FPGA.

GUÉRARD, Hubert **DIPLÔME: M.Sc.A.**

TITRE:

Implémentation, validation et simulation de NoC à haut niveau.

RÉSUMÉ:

Ce projet consiste à développer une méthodologie afin d'implémenter des modèles de NoC (Network-On-Chip) dans un outil de modélisation haut niveau (ESL) tel que Space Studio. Pour parvenir à la validation et l'intégration d'un NoC dans un outil ESL, il faut modéliser la topologie à l'aide d'une bibliothèque de simulation pour obtenir différents niveaux d'abstraction afin de permettre le raffinement. De plus, l'obtention de métriques à l'aide d'appel non intrusif permet de quantifier la performance du modèle en termes de débit, latence, etc. Ces modèles ainsi développés permettront au concepteur du système de prendre des décisions quant aux spécifications à rencontrer. La technique proposée doit être générique afin d'être appliqué à différentes topologies telles que le maillage et l'anneau.

PROBLÉMATIQUE:

Les systèmes embarqués deviennent plus complexes puisqu'ils incluent beaucoup de ressources et doivent réaliser plusieurs fonctionnalités. Ceci introduit un problème au niveau de l'interconnexion des ressources, car un grand volume de données doit être traité. Une solution proposée est l'utilisation des NoC. Cependant, due à la complexité de ses topologies, il faut utiliser une méthodologie haut –niveau afin d'abstraire le problème pour ainsi permettre de simuler et valider plus rapidement le système. Il faut donc développer une méthodologie afin d'implémenter des modèles de NoC dans un outil ESL tel que SpaceStudio. Les modèles ainsi ajoutés dans l'outil permettront de simuler plus rapidement des systèmes complexes afin de valider les spécifications des systèmes à concevoir.

MÉTHODOLOGIE:

- Développer une méthodologie pour l'ajout de modèle haut-niveau de NoC pour les raffinements suivants sur la plate-forme Space Studio:
  - Elix
  - Simtex
  - GenX
- Comparer différentes topologies avancées par l'entremise de l'outil Space Studio
  - Identifier 2 à 3 topologies afin de les incorporer dans Space Studio;
  - Écrire les modèles en utilisant la bibliothèque de simulation SystemC
  - Effectuer les comparatifs du modèle haut niveau avec le modèle bas niveau

RÉSULTATS:
Aucun résultat n'est disponible pour l'instant.

HASANUZZAMAN, Md **DIPLÔME: Ph.D.**

TITRE:

Conception d'un module de stimulation zone de base implantable pour la microstimulation intracorticale visuelle.

RÉSUMÉ:

Un stimulateur visuel cortical (VCS), utilisé pour récuper les fonctions perdues, comme la cécité du corps humain, se compose d'un sous-système externe que les pouvoirs et les contrôles de l'implant à travers le crâne de l'homme, sans fil via une liaison inductive et un implant qui se trouve dans la tête. L'implant a deux composantes principales, le module d'interface (IM) et le module de stimulation (SM). La tâche principale de SM est de générer des signaux de stimuli pour stimuler la couche en utilisant un réseau de microélectrodes. Le but de ce projet est de concevoir un module de stimulation à l'aide de la technologie CMOS 0,13µm et des obligations de la puce et de la matrice de microélectrodes 4x4 ensemble en utilisant flip-chip et grille matricielle à billes (BGA) de tels ensembles que la densité de microélectrodes implantées dans l'arrea peut être augmentée.

PROBLÉMATIQUE:

Le module SM, avec l'aide de la DAC, actuel générateur d'impulsions, circuits de positive et négative charge de pompes et de contrôleurs, génère des impulsions de courant biphasique. Afin de minimiser la consommation électrique du circuit et de limiter la dissipation de puissance dans les sites intracorticale, une énergie génératrice efficace stimuli a été conçue en utilisant la technologie CMOS 0.18µm. Les formes des signaux utilisés dans ce générateur sont de demi-sinus, quart-sinus, l'amélioration de la hausse exponentielle des impulsions et rectanguralires. Un nouveau circuit DAC à la résolution 7-bits et basé sur multibiais faible zone mixte du CAD et de topologies de code thermomètre a également été conçu en utilisant la technologie CMOS 0.13µm pour conduire les circuits stimuli générateur. Il y a quatre grands défis dans ce projet. La haute impédance de l'électrode interface tissus qui varie de 50 ~ 100 K ohms, nécessitant la génération de haute tension d'alimentation (± 10V) et la génération de onchip de cette haute tension en technologie de pointe CMOS 013µm est devenu un défi dans ce projet. Le deuxième défi est d'inventer une nouvelle technologie afin d'appliquer cette haute tension à travers des microélectrodes. Le tiers est suivi de la haute tension alternative (± 10V) dans l'ensemble de microélectrodes qui requiert la conception d'un atténuateur qui quittera cette tension à une valeur faible qui peut être mesurée par un amplificateur d'instrumentation réalisable dans la technologie CMOS 0.13µm.

MÉTHODOLOGIE:

- Effectuer une revue de la littérature sur les onchip AC-AC de conversion en technologie CMOS 0.13 µm, modules de commutation, amplificateur d'instrumentation et circuits MUX;
- Conception de modules de commutation pour l'application de courant de stimulation à microélectrode tableaux ainsi que la surveillance de la tension;
- Mise en œuvre des circuits précités en utilisant les technologies CMOS 0.13µm et DALSA 0.8µm;
- Simulation des circuits conçus et vérifier leurs performances;
- Fabrication des puces en technologie CMOS 0.13µm et technologie DALSA 0.8µm;
- Utilisation Flip-Chip et grille matricielle à billes (BGA) ensemble pour lier les copeaux et la matrice de microélectrodes.

RÉSULTATS:

Les résultats de simulation montrent que la dynamique de la hausse exponentielle générateur de stimuli est de 60 dB pour 150 µA de stimulation actuelle et les erreurs DNL et INL du CAD sont inférieures à 0.5 LSB pour le courant de stimulation de 141.8 µA.

HASHEMI, Saeid **DIPLÔME: Ph.D.**

TITRE:

Amélioration de l'efficacité des chaînes de conversion de puissance dédiées aux implants biomédicaux.

RÉSUMÉ:

Les implants biomédicaux sont très utilisés pour améliorer la qualité de vie. Bien que de tels dispositifs aient été conçus avec succès, ces derniers sont exigeants d'un point de vue consommation de puissance. Ainsi, l'implémentation de sources d'alimentation fiables et efficaces demeure un défi significatif pour la conception.

PROBLÉMATIQUE:

L'étage d'entrée d'une chaîne conventionnelle de conversion de puissance se compose d'un redresseur à diode conventionnel. La diode possède une tension de seuil induisant une perte significative de puissance. Cette dernière affecte l'efficacité globale et diminue la tension à fournir aux étages suivants. En outre, la diode n'est pas implémentée dans la puce même mais remplacée par un composant discret, ce qui est peu commode si on veut concevoir un implant entièrement intégré.

À cause de la complexité élevée de l'implant et les limites biologiques qui s'imposent, il est nécessaire de développer une architecture plus efficace pour concevoir une chaîne de conversion de puissance. Une étude sur la topologie existante de la chaîne de puissance et ses composants du point de vue d'efficacité de puissance est nécessaire. Par la suite, une intégration de tous les composants dans une même puce en réduisant la consommation de puissance serait le choix le plus judicieux. Des études récentes ont montré qu'en utilisant des redresseurs à contrôleur passif/actif, nous pourrions diminuer la tension de seuil de la diode et la consommation de puissance. Ces derniers font usage des caractéristiques des redresseurs diode tout en commandant l'angle de conduction du dispositif. Par conséquent, l'efficacité de puissance peut être améliorée et l'intégration de l'implant se trouve plus facilement réalisable.

MÉTHODOLOGIE:

Afin d'étudier l'impact de la dissipation de puissance de chaque composant des chaînes de conversion de puissance pour les implants biomédicaux, un modèle est développé. La vérification de ce modèle est primordiale pour s'assurer de la validité des hypothèses et la précision des résultats. L'étape suivante est la conception et la simulation des nouveaux redresseurs passifs/actifs. Par la suite, nous réaliserons le circuit en utilisant une technologie CMOS Sub-micron. Enfin, des tests sur le prototype développé seront réalisés et nous déterminerons les modifications adéquates dans la perspective d'améliorer les performances.

RÉSULTATS:

Un modèle complet pour la chaîne conventionnelle de conversion de puissance d'un implant biomédical a été réalisé en utilisant Verilog-A et a été appliqué à un stimulateur intracortical. Les résultats obtenus concordent avec les mesures effectuées. Un nouveau design pour un redresseur à contrôleur actif est déjà simulé où le commutateur principal fonctionne dans la zone linéaire où la tension grille-drain est la plus élevée du circuit. Le redresseur résultant montre une augmentation significative de la tension de sortie et de l'efficacité de puissance par rapport aux circuits développés précédemment. Trois circuits de redresseurs en utilisant la technique d'auto-amorçage ont été élaborés. Ils utilisent des réservoirs pour diminuer la tension de seuil effective des transistors MOS situés dans la branche principale du circuit. Ces derniers ont une efficacité de puissance élevée tout en gardant une tension de sortie importante surtout dans le cas où la tension d'entrée est faible. Les deux premiers redresseurs utilisent un et deux réservoirs respectivement. Celui disposant d'un seul réservoir utiliser un circuit de contrôle intelligent et permet de réduire l'espace de la puce microélectronique. Les circuits conçus avec un seul et un double réservoir ont été implémentés et fabriqués. Les caractéristiques de ces derniers ont été vérifiées et validées. La dernière version du circuit fonctionne comme un redresseur avec un faible courant inverse. Elle est basée sur des diodes parasites des transistors formant des chemins auxiliaires pour charger le condensateur d'auto-amorçage.

HAWI, Firas **DIPLÔME: M.Sc.A.**

TITRE:

Conception et implémentation d'un système de stéréoscopie passive dédié au traitement d'image 3D.

RÉSUMÉ:

Ce projet consiste à faire la reconstruction 3D d'une scène quelconque en utilisant l'information reçue de deux caméras. Le principal but de ce projet est de fournir un algorithme robuste exécutable à temps réel. Il est réalisé dans le cadre du développement du stimulateur visuel cortical.

PROBLÉMATIQUE:

Le laboratoire de Polystim neurotechnologie avait développé des systèmes de reconstruction 3D en utilisant la stéréoscopie active. Ces systèmes serviront à rendre aux déficients visuels une information sur la profondeur de champ du milieu dans lesquels ils vivent. Des problèmes ethiques et énergétiques induits par l'utilisation des sources actives de ces systèmes peuvent être résolus en utilisant un système totalement passif. Pour réaliser ce système, de nouveaux obstacles se présentent: il faut atteindre de hauts niveaux de précision, résoudre des problèmes d'occlusion et garantir l'applicabilité en temps réel.

MÉTHODOLOGIE:

Il s'agit de créer un algorithme robuste qui répond aux exigences de précision et de rapidité. Nous essaierons de bénéficier de la flexibilité et robustesse des approches probabilistes mais aussi de la précision et rapidité des méthodes déterministes. L'algorithme sera implémenté sur MATLAB. La partie acquisition sera implémentée en matériel.

RÉSULTATS:

Un algorithme robuste aux occlusions est conçu et simulé avec succès.

KAMRANI, Ehsan **DIPLÔME: Ph.D.**

TITRE:

Conception d'un nouveau portable sans fil fNIRS combiné à l'EEG de surveillance à côté de l'AVC et des patients cardiaques.

RÉSUMÉ:

PROBLÉMATIQUE:

L'imagerie fonctionnelle infrarouge (fNIRS) pour la surveillance non invasive de la fonction du cerveau humain est considérée comme la technique la plus efficace de diagnostic et d'investigation des différentes maladies neurologiques, telles que l'accident vasculaire cérébral et l'épilepsie pour déterminer l'oxygénation cérébrale, le débit sanguin et le métabolisme de l'état du cerveau. Comme le signal réfléchi par le NIR se compose de seulement quelques photons lumineux, l'amplifiation du signal reçu est la partie la plus importante du dispositif du SPI, de sorte que le bloc de bâtiment principal du système est le front fNIRS photo-émetteur-end. Il est notamment source de lumière infrarouge. Le détecteur est constitué d'une photodiode qui a été employée dans deux modes de fonctionnement différents : le mode normal qui est appelé photodiode à avalanche (PD) et le mode Geiger qui est appelé seule photodiode à avalanche de photons (SPAD). Présentement, aucune disponibilité n'existe pour les dispositifs NIRS car ils sont trop volumineux pour être portables ou mobiles pour la surveillace du fonctionnement du cerveau. Notre objectif est de construire un roman très sensible entièrement intégré multi-canal portable et sans fil récepteur frontal d'un système NIRS travaillant en APD et en SPAD à l'aide intégrée semi-conducteur complémentaire à oxyde de métal (CMOS) en raison de sa faisabilité, à faible coût et des caractéristiques de faible puissance.

MÉTHODOLOGIE:

En raison du niveau faible et généralement de haute impédance de source de fNIRS signaux, le front-end devrait être mis en place pour répondre à certaines exigences de base. Ces exigences comprennent : gais de transimpédance haute (> 1k), impédance d'entrée élevée (~ 10MΩ), faible impédance de sortie (rapport à l'impédance de charge), la bande passante étroite (environ 100k) autour de la fréquence requise, HPF et le bruit d'entrée faible (<1 nA caractéristiques), consommation de puissance faible (<50 mW), dynamique de sortie élevée et le gain configurable et les caractéristiques du filtre. Un système intégré NIRS offre d'excellentes performances et une haute sensibilité pour obtenir des informations nécessaires à partir des tissus du cerveau. Nous sommes donc à utiliser la technologie CMOS, à intégrer le front-end fNIRS photorécepteur et développer une fNIRS multi-canaux frontaux combinés avec électroencéphalographie (EEG). Comme la première étape de la conception d'un tel fNIRS multi-canal de travail avant la fin de la DGPA sur les modes de SPAD/d'opération, nous avons considéré le canal unique circuit frontal intégré (CI) et à ce stade, nous avons conçu et développé la photodiode Tansimpedance Amplificateur (TIA), opérationnel Transconductance Amplifier (OTA), Limiting Amplifier (LA) et des blocs de filtre en utilisant la technologie CMOS 0.35µm.

RÉSULTATS:

Le layout du circuit intégré conçu après la simulation post layout et d'optimisation a été fabriquée par la CMC. Ce circuit sera disponible pour les mesures d'essai et d'expérimentation après la fabrication. Le test expérimental est d'évaluer le circuit intégré préliminaire fabriqué et le developpement de la tempre et de réarmement en vue d'améliorer les circuits intégrés pour être utilisé au seul comptage de photons mode de fonctionnement sera établi à l'étape suivante.

KAR, Goutam Chandra **DIPLÔME: M.Sc.A.**

TITRE:

Conception et mise en œuvre d'une pompe à charge haute tension pour microstimulator électrique.

RÉSUMÉ:

Ce projet vise à générer une tension élevée pour la microstimulation neurones en utilisant la technologie CMOS 0.13 um. De plus la consommation de surface et la puissance sont des questions importantes pour la microstimulation de neurones, est très important pour générer une haute tension, de la technologie submicronique de tension faible, parce que presque tous les circuits pour le système de stimulation sont mises en œuvre dans les technologies submicroniques. Dans les dernières années, les membres du laboratoire Polystim ont travaillé sur la génération de haute tension, mais tout en technologie à haute tension. Notre objectif dans ce projet est de générer une tension élevée dans la même technologie qui est utilisée pour presque tous les circuits, ce qui conduit à la possibilité de mise en œuvre du module de stimulation tout intégralement dans une seule puce qui est hautement souhaitable pour optimiser la consommation d'énergie zone, et l'intégration.

PROBLÉMATIQUE:

L'interface formée avec l'électrode de stimulation et les tissus biologiques a une impédance très variable. Cette impédance étant non linéaire, le courant de stimulation est souvent préféré à la stimulation de tension dans de nombreuses applications pour les raisons de sécurité. Selon le courant nécessaire et l'impédance interface électrode-tissu, la tension requise est d'environ 20 V. Il y a eu des travaux effectués sur ce sujet, mais aucun d'entre eux n'est en technologie CMOS 0,13 um. En raison de la consommation d'énergie et les questions de 0,13 um region technologie CMOS est beaucoup plus recherché, mais en même temps que certains problèmes se produit. Le premier défi est que la technologie est une technologie bien triplé qui fournit des problèmes pour générer une tension négative. Le second défi est que la tension de claquage est beaucoup plus faible que celle de la technologie à haute tension qui crée une limite concernant la gamme de tension de sortie. Le troisième défi est que la question latchup est un gros grand pour générer une tension négative. Le quatrième défi est de maintenir la consommation d'énergie à un niveau souhaité.

MÉTHODOLOGIE:

- Réaliser une revue de la littérature sur la conversion DC-DC dans toutes les technologies disponibles, non-cumul des générateurs d'horloge et de décalage de niveau.
- Choisir des générateurs de puissance ou horloge efficace et de décalage de niveau.
- Mettre en œuvre les circuits précités en utilisant la technologie CMOS 0,13 um.
- Simuler des circuits conçus et vérifier leurs performances.
- Préparer le plan d'aménagement pour la meilleure conception de simulation.
- Fabrication des puces en technologie CMOS 0,13 um.

RÉSULTATS:

Les résultats de simulation montrent que la sortie de la pompe de charge est de ±10V. Les prévisions de la conception est inférieure à 1,5 mm x 1,5 mm. En fin de compte, la puce est entièrement intégrée et la consommation électrique est inférieure à 20 mA.

KARIMIAN-SICHANY, Masood **DIPLÔME: Ph.D.**

TITRE:

Conception et implémentation d'une interface de capteur intelligent dans un réseau de capteurs avioniques.

RÉSUMÉ:

L'objectif de l'article de design Interface intelligente de capteur (SSI) est de construire une interface universelle fiable qui doit être souple et configurable à ajustement à l'aide de diverses technologies de capteur de position (classiques, MEMS et photoniques) et convertir la sortie du capteur numérique de données qui seront utilisées dans le réseau de capteurs avioniques. L'interface proposée sera conçue et mis en œuvre avec les technologies CMOS état de l'art. Ce dernier, parmi les spécifications les plus importantes de toutes les propriétés de l'interface, est adopté pour réduire le câblage de capteurs et actionneurs. En raison de l'usage avionique de SSI, la fiabilité, la faible consommation d'énergie et la complexité d'interconnexion réduite sont les principales caractéristiques de la conception qui devrait être atteint dans le circuit de mise en œuvre final.

PROBLÉMATIQUE:

Un capteur compteur de hauts canaux et un dispositif d'actionnement sont nécessaires pour s'attaquer à un nombre croissant de fonctions dans un avion, où une gamme de capteurs de déplacement linéaire et rotatif pour fournir des informations, requises par l'opération de contrôle de vol. Avec la technologie avionique traditionnelles, ces dispositifs de connexion entraînent des faisceaux de câbles encombrants. Les normes de sécurité rigoureuses des systèmes d'avionique nécessitent l'installation redondante de toutes les composantes à bord, qui en outre agrave la situation. Avec les énormes progrès réalisés dans le domaine de la photonique et des MEMS, il y a possibilité d'offrir une solution robuste et une alternative à faible coût pour la détection de la position. Afin de réduire la complexité d'interconnexion et d'accroître la fiabilité de ces capteurs et actionneurs, il est d'un grand intérêt pour concevoir une interface universelle de capteur pleinement intégré basé sur les technologies CMOS.

MÉTHODOLOGIE:

La recherche dans le cadre de ce projet se déroulera en quatre phases. Tout d'abord, on devrait effectuer une revue de la littérature. Le prototypage avec des dispositifs discrets est la prochaine étape dans laquelle les appareils et éléments COTS peuvent servir à mettre en œuvre l'interface. Après vérification et validation du prototype, un design à demi-personnalisé sera mis en œuvre comme un circuit intégré compact et à faible coût en utilisant des technologies CMOS. Dans la phase finale, une interface complètement personnalisée sera conçue, mise en place et mise au point comme un module IP qui pourrait potentiellement être intégré dans un ou plusieurs des capteurs développés.

RÉSULTATS:

Le prototype est maintenant implémenté et est à l'essai pour validation et vérification. Il doit être testé avec différents capteurs et également avec l'interface bus.

KHAMSEHASHARI, Elham **DIPLÔME: M.Sc.A.**

TITRE:

Circuit de lecture destiné à un capteur d'images CMOS en mode courant.

RÉSUMÉ:

Dans ce projet, nous proposons un capteur d'images à gamme dynamique élevée pour acquérir et transmettre les images à un contrôleur externe et aussi le circuit DRS (Delta Reset Sampling) pour enlever le bruit de patron fixe. Il possède avec le circuit comparateur de courant, l'avantage de deux modes d'opération, linéaire et logarithmique, ainsi que le mode courant pour augmenter la gamme dynamique. La technologie choisie pour la conception est le CMOS 0.35µm.

PROBLÉMATIQUE:

L'objectif principal de ce projet est un capteur d'images ayant une gamme dynamique élevée. Les tensions d'alimentation diminuant de plus en plus, la gamme dynamique du pixel diminue. En fonctionnant en mode courant, nous arrivons à obtenir une gamme élevée au-delà de 120 dB. Un autre avantage de pixel en mode courant est la tension de sortie fixe pour éliminer le besoin de charge et décharge du condensateur de colonne pendant la lecture. L'inconvénient principal du mode courant est la sensibilité au bruit de patron fixe. Pour l'enlever, nous utilisons le circuit DRS, en mode courant pour chacune des colonnes de la matrice de pixel. La partie innovatrice importante du projet consistera à concevoir des cricuits DRS et comparateur de courant qui sont efficaces pour les modes d'opération linéaire et logarithmique et pourra aussi détecter dans lequel des deux modes se situe le pixel de façon à réaliser, à l'étage subséquent, une conversion analogique-numérique adéquate.

MÉTHODOLOGIE:

La première étape du projet consiste à définir les spécifications du circuit de lecture. Il faut aussi tenir compte des bruits dans le pixel qui représentent une limitation importante en performance de capteur d'images, particulièrement pour les faibles illuminations. Par la suite, les simulations en CMOS 0.35µm doivent suivre en imposant des bruits pour comparer avec les résultats calculés et déterminer les failles afin d'améliorer la performance du capteur. Finalement, après fabrication, les tests du système doivent suivre pour valider et vérifier les résultats de simulation et évaluer les caractéristiques du pixel réel.

RÉSULTATS:

Les résultats expérimentaux en provenance d'une première fabrication du circuit de capteur d'image reçu à l'hiver 2010 sont concluants. Un second ensemble de l'architecture proposée a été reçu et est maintenant sous test.

KOWARZYK MORENO, Gilbert **DIPLÔME: Ph.D.**

TITRE:

Développement d'un algorithme de recherche de codes convolutionnels doublement orthogonaux parallèle et implicitement exhaustif pour plateforme de calcul à haute performance.

RÉSUMÉ:

Le présent projet est une suite logique des travaux de recherche entrepris par le GR2M portant sur la recherche de codes convolutionnels doublement orthogonaux (CDO) et de leurs variantes. Ceux-ci sont utilisés pour l'implémentation de décodeurs à seuil itératifs et à architecture configurable ayant des caractéristiques désirables en termes de latence, de complexité et de performance en correction d'erreurs. La principale motivation de ce travail est de concevoir, implémenter et optimiser un algorithme de recherche permettant de trouver, dans un temps de calcul réduit, des codes optimaux de type CDO au sens large et CDO simplifiés (SCDO). La nouvelle technique combine plusieurs améliorations algorithmiques et une utilisation plus efficace des ordinateurs à multi-cœurs, pour réduire le temps de calcul et pour permettre l'obtention de nouveaux codes plus courts, ainsi que de nouveaux codes optimaux.

PROBLÉMATIQUE:

Avec l'omniprésence des moyens de communication électroniques et le besoin d'une bande passante de plus en plus grande, il devient important à la fois d'avoir des communications fiables et de trouver des techniques maximisant le débit d'information utile. Le décodage à seuil itératif permet de minimiser la probabilité d'erreurs lors des transmissions et offre une alternative intéressante aux décodeurs turbo à latence et complexité généralement plus élevées. Ce travail concerne l'accélération de la recherche de codes CDO et CDO simplifiés. Les codes obtenus seront utilisés pour la conception de décodeurs CDO à basse latence et bonne performance en correction d'erreurs.

MÉTHODOLOGIE:

La première phase de ce projet consiste à analyser l'algorithme référence pour la recherche de CDO, et d'identifier les goulots d'étranglement associés. Dans une deuxième phase, un algorithme parallèle et implicitement exhaustif pour la recherche de codes CDO (au sens large et simplifiés) sera développé et implémenté. Celui-ci essaiera de mettre en œuvre des techniques permettant d'utiliser de façon plus efficace, le matériel à multi-cœurs et d'éliminer (ou de réduire) les délais associés aux goulots d'étranglement de l'algorithme de référence. Des techniques permettant d'arrêter et de redémarrer la recherche de codes seront développées: ceci est nécessaire car le temps d'exécution du logiciel parfois excède le MTBF de la machine où il a été lancé. Dans une troisième phase, les leçons apprises seront utilisées pour développer un algorithme adapté à l'usage du GPGPU ou des plateformes de développement à processeurs hétérogènes. Des tests seront effectués afin de pouvoir comparer les nouvelles performances et d'assurer que la recherche est toujours exhaustive et valide.

RÉSULTATS:

Un algorithme parallèle implicitement exhaustif fut développé et implémenté. Les performances du nouveau logiciel de recherche sont entre 3 ou 4 ordres de grandeurs meilleures par rapport à l'algorithme de référence. De nouveaux codes plus courts ainsi que de nouveaux codes optimaux furent trouvés et validés. L'ajout de techniques pour arrêter et redémarrer la recherche fut complété. Le développement de nouveaux algorithmes pour le calcul de type GPGPU est présentement en cours.

KROUCHEV, Nedialko **DIPLÔME: Ph.D.**

TITRE:

Microstimulation optimale du tissu nerveux – des modèles aux dispositifs.

RÉSUMÉ

PROBLÉMATIQUE:

- Développer des outils permettant de simuler la stimulation du cortex visuel pour des courants électriques et ainsi contribuer au design optimal des dispositifs développés.

- Comprendre les mécanismes électrophysiologiques d'activation des neurones et ainsi à améliorer les protocoles de stimulation, par l'étude de la distribution spatio-temporelle à la fois des champs générés par la stimulation et de l'activation neuronale qui en résulte.

MÉTHODOLOGIE:

Des modèles qui fournissent une représentation réaliste de la géométrie et des propriétés électriques du dispositif de stimulaiton et d'autres spécifiant l'interface entre le dit dispositif et le milieu extracellulaire cortical de l'aire, où le dispositif est implanté. Procéder en augmentant graduellement la complexité du modèle.

Ajouter ensuite une représentation du milieu neuronal, en utilisant d'abord l'apporche classique où les neurones sont unidimensionnels et n'affectent pas le champ extracellulaire puis une approche bidomaine et enfin en tenant compte de la nature discrète des neurones.

Des simulations tenant comptent de l'organisation rétinotopique et des propriétés de sélectivité du répertoire cortical pour faire le lien entre les régions stimulées et le stimulus visuel évoqué.

Finalement, les résultats de modélisation seront validés en collaboration avec des équipes en électrophysiologie et psychologie.

RÉSULTATS:

La première étape qui est en cours se concentre sur la reproduction de la matrice d'électrodes, de l'interface avec le milieu extracellulaire, et des propriétés de ce dernier. Confrontant les résultats du modèle avec les résultats expérimentaux déjà disponibles, nous ajusterons les paramètres, notamment quand à l'homogénéité de la résistance des électrodes, à l'impédance de l'interface liquide électrodes et du milieu extracellulaire.

LAFLAMME-MAYER, Nicolas **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'un réseau de distribution de puissance d'une carte de prototypage rapide de systèmes.

RÉSUMÉ:

Le projet DreamWafer™ est un projet de recherche conjoint entre l'UQO, l'UQAM et l'École Polytechnique de Montréal (ÉPM) ainsi que des partenaires industriels visant à créer une carte innovatrice de prototypage rapide de systèmes. Plusieurs circuits intégrés (ICs) sont déposés aléatoirement sur cette carte WaferBoard™, qui est ensuite configurée pour interconnecter ces ICs par des liens physiques configurables à l'aide de circuits actifs dans une tranche de silicium (WaferIC™) comme le ferait un circuit imprimé.

PROBLÉMATIQUE:

L'objectif principal consiste à étudier le réseau de distribution de puissance du WaferBoard™ et de réaliser des plots configurables multi-usages pour le WaferIC. Le défi de ce projet est de réussir à concevoir un réseau d'entrées-sorties (plots) à commutation rapide, pouvant soutenir un fort courant, maintenir un niveau de tension constant, le tout sur une surface restreinte de silicium. De plus, les plots devront idéalement fournir une tension programmable.

MÉTHODOLOGIE:

Pour y arriver, un modèle du réseau de distribution des alimentations du WaferBoard™ sera créé. Des designs de régulateurs distribués seront élaborés avec des contraintes de surface et de performance. La fonctionnalité de tels circuits sera validée au moyen d'outils de CAO tel que CADENCE avec une technologie CMOS de 180nm. Là où les solutions les plus prometteuses seront ensuite dessinées, fabriquées et testées dans cette même technologie pour valider leur comportement et leur performance.

- Comparaison d'architecture pour déterminer l'option la plus prometteuse afin d'obtenir plusieurs références de tension programmables stables en température et stables par rapport à VDD;
- Design d'un DAC programmable combiné avec un bandgap en schématique à l'aide de Cadence;
- Design d'un bandgap avec plusieurs branches de sortie à plusieurs niveaux de tension programmable en schématique à l'aide de Cadence;
- Choix de l'architecture la plus prometteuse et design du layout avec Cadence;
- Investigation, choix et design d'un régulateur de tension programmable en schématique avec Cadence;
- Layout de l'architecture la plus prometteuse avec Cadence;
- Fabrication d'un prototype;
- Test du prototype;
- Rédaction d'articles.

RÉSULTATS:

Une puce a été fabriquée en technologie 180-nm avec la fonderie TOWER. Les résultats expérimentaux ont démontré que les régulateurs linéaires embarqués peuvent fournir un courant DC statique de 110mA pour les tensions programmables de 1.0, 1.5, 1.8, 2.0, 2.5 et 3.0V. Leurs performances dynamiques démontrent une impédance d'environ 1 ohm pouvant réguler une charge à 10 MHz. L'I/O intégré peut également être programmé pour les mêmes tensions et a été testé jusqu'à 10 MHz expérimentalement et 350 MHz en simulation post-layout.

LAFRANCE, Pierre **DIPLÔME: M.Sc.A.**

TITRE:

Convertisseur analogue à numérique permettant une quatification variable adapté à la sensibilité de l'œil humain.

RÉSUMÉ:

Le projet se divise en 2 volets:

- Une recherche sur les caractéristiques de réponse de l'œil humain sur les stimuli en intensité de lumière;
- Un circuit de conversion analogique à numérique spécialement conçu pour les capteurs d'images de type CMOS, ayant un convertisseur par colonne. Le circuit proposé permettra une quantification variable, adapté à la sensibilité de l'œil humain. La technologie pour implémenter le circuit de type CMOS est celle d'AMS 0.35µm C35B401, une technologie optimisée pour les capteurs d'images.

PROBLÉMATIQUE:

L'œil humain est capable de déceler des images ayant une très large gamme dynamique, de l'ordre de 140-150 DB. La conception et la réalisation d'un capteur d'images CMOS capable de capter et numériser des images ayant 140-150 DB pose un défi technologique de taille. Si certains circuits logarithmiques permettent aux capteurs de fonctionner dans cette plage dynamique, il en est autrement pour la numérisation du signal. L'objectif principal de ce projet est de relâcher les contraintes électroniques du convertisseur analogique à numérique d'un capteur d'images ayant une gamme dynamique élevée, en optimisant la quantification en fonction de la réponse et la sensibilité de l'œil humain, et cela, sans dégrader la qualité visuelle des images.

MÉTHODOLOGIE:

Pour réaliser la première partie du travail, des équipements informatiques à la fine pointe de la technologie (Windows 7 et carte graphique HDMI version 1.3) permettant l'affichage d'image haute résolution d'intensité seront assemblés dans le but de valider visuellement la qualité des images générées par des algorithmes et par le circuit de conversion analogue à numérique.

Dans le cas de la 2e partie du travail, la numérisation de signaux de capteurs d'images, avec une quantification variable, sera réalisée grâce à un convertisseur analogique à numérique implanté dans la technologie AMS 0.35µm, couplée à une carte TerASiC ayant un FPGA Altera, permettant de varier l'horloge du système en temps réel.

RÉSULTATS:

Le circuit de FPGA sera simulé à l'aide des logiciels Quartus/ModelSim. Les hypothèses de la quantification variables seront simulées à l'aide de Matlab ainsi qu'à l'aide de logiciel propriétaire utilisant les bibliothèques SDL version 1.3 et/ou OpenGL. Le convertisseur numérique à analogique sera testé en laboratoire. Les différents résultats d'essais et de simulations seront combinés afin de valider ou invalider la perception de la qualité d'image résultant des hypothèses d'optimisation de la quantification variable du convertisseur analogique à numérique.

LAREAU, Étienne **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un système portable de spectrométrie par proche-infrarouge multicanaux destiné à la détection de foyers épileptogènes.

RÉSUMÉ:

L'objectif de ce projet est de développer un système de spectrométrie proche-infrarouge portable multicanaux (32) ayant pour application la détection de foyers épileptogènes. Le tout devra communiquer sans fil et avoir une autonomie de 15 à 20 heures.

PROBLÉMATIQUE:

L'objectif principal de cette maîtrise est la conception et la réalisation d'un prototype d'un appareil portable pour la spectrométrie par proche-infrarouge (NIRS) à plusieurs canaux. L'application suggérée est la détection de foyers de crise chez les épileptiques.

Le système réalisé devra consommer peu d'énergie afin d être alimenté par batterie et devra communiquer sans fil avec une interface logicielle permettant de contrôler le fonctionnement global. La conception devra être faite en fonction d'une réalisation future d'un système à 32 canaux.

La détection de la lumière se fera à l'aide de photodiodes à avalanche qui seront alimentées de façon externe, puisque ces dernières feront l'objet d'un autre projet afin d'être ingérées sur une puce dédiée.

MÉTHODOLOGIE:

Une revue de littérature marque le début du projet afin de cerner les divers enjeux des technologies utilisées. Un système existant de NIRS à 8 canaux sera utilisé afin d'expérimenter avec ce type de système et d'en comprendre les limitations existantes.

Par la suite, une première version à quelques canaux sera construite afin de valider les choix de composantes effectués. Le livrable final consistera en un circuit imprimé (PCB) qui contrôlera 32 émetteurs de lumière infrarouge et 32 détecteurs de type photodiode à avalanche commerciaux regroupés sur un casque. Le tout devra être alimenté par une batterie et l'autonomie du système devra être minimalement de quelques heures. Les objectifs seront de minimiser la consommation d'énergie et l'espace requis pour implanter le produit. Afin d'atteindre les cibles énergétiques, des techniques de multiplexage seront utilisées pour faire fonctionner la matrice d'émetteurs lumineux. Le design du circuit de contrôle sera également fait dans cette optique.

La contribution de ce projet de maîtrise est d'améliorer les appareils de NIRS multicanaux fixes en les rendant portables, c'est-à-dire leur permettant de transférer leurs données sans fil tout en ayant une autonomie suffisante pour faire des études de longue durée sur des sujets épileptiques.

RÉSULTATS:

Un premier prototype incluant 32 canaux NIRS et 32 canaux d'électroencéphalographie (EEG) a été réalisé. L'EEG a été ajouté au porjet original afin de répondre aux besoins du groupe IMAGINC. Fonctionnant à batterie, l'appareil actuel est contrôlé par un ordinateur via un câble USB, mais est prêt à accueillir un module sans-fil dont la réalisation est en cours et prise en charge par un autre étudiant du groupe de recherche. Les cibles de consommation actuelles sont respectées avec les batteries utilisées.

Les premières mesures sur sujets humains seront effectuées dans les prochains mois avec 8 canaux NIRS et 8 canaux EEG afin de valider le fonctionnement du système.

LEBRUN MCKINNON, Mathieu **DIPLÔME: M.Sc.A.**

TITRE:

Automatisation du processus de vérification pour les systèmes embarqués conçus grâce à une plateforme virtuelle.

RÉSUMÉ:

Ce projet a pour but de développer une approche et des techniques de vérification plus structurées et plus formelles dans le but de rendre leur automatisation possible. Ces techniques de vérification doivent être adaptées au flot de conception par plateforme virtuelle Space Codesign ™. Les fonctionnalités de la plateforme exploitées lors de ce projet sont l'utilisation du Transaction Level Modeling (TLM) ainsi que l'observabilité du matériel et du logiciel.

PROBLÉMATIQUE:

La vérification, selon la définition de l'IEEE, consiste à s'assurer que les requis établis dans la spécification d'un système sont atteints par le biais d'inspections et de preuves objectives. Selon le rapport de l'«International Technology Roadmap for Semiconductors» (ITRS) de 2009, 70% du temps de conception d'un système sur puces est consacré à la vérification. L'industrie manifeste donc un besoin criant de réduire le temps de vérification dans le domaine de la conception de systèmes embarqués.

Plus particulièrement, l'emploi d'une approche TLM exige une vérification d'équivalence entre les différents niveaux d'abstraction produits. L'automatisation de cette étape sera la principale problématique du projet.

MÉTHODOLOGIE:

- Produire un rapport sur le progrès de la technique lié aux principaux standards utilisés dans l'industrie : Open Verification Methodology (OVM), Verification Methodology Manual (VMM), SystemC Verification Library (SCV), Unified Coverage Interoperability Standard (UCIS);
- Adapter les techniques de vérification par assertions pour un niveau d'abstractin transactionnel dans des cas précis comme les tailles de FIFO et des plages d'adresse;
- Transformer les assertions en moniteurs au niveau d'abstraction RTL;
- Montrer la comptabilité entre le moniteur au niveau RTL et l'assertion niveau transactionnel.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

LEPERCQ, Étienne **DIPLÔME: Ph.D.**

TITRE:

Algorithme de routage pour l'utilisation et la mise au point d'une plateforme de prototypage rapide pour les systèmes électroniques: Le *WaferBoard*™.

RÉSUMÉ:

Mes recherches prennent place au sein du projet *DreamWafer*™ et sont dédiées à la réalisation des premiers outils logiciels pour son utilisation, aujourd'hui principalement, un outil de routage.

PROBLÉMATIQUE:

L'utilisation du système de prototypage, le *WaferBoard*™, implique un nouveau flot de travail avec des contraintes nouvelles comparées aux systèmes actuels basés sur des PCB. Ce flot de travail implique le routage de quelques millions de segments, la configuration de milliers de points de contact, au travers de plusieurs méga-octets de configuration. Il est évident qu'un outil logiciel d'automatisation doit être réalisé, outil en cours de réalisation et segmenté en plusieurs sous-parties. Deux étapes cruciales sont fonctionnelles, à savoir la reconnaissance de packages et le routage d'une netlist.

Il est également nécessaire de réaliser une interface utilisateur permettant de visualiser l'état interne du wafer (Nano PADs, circuits de configuration, liens, crossbars, etc.). Cette interface pourra être étendue vers la réalisation de netlists, la définition de contraintes sur les nets ou d'autres choses encore.

MÉTHODOLOGIE:

La démarche choisie repose sur l'enchaînement de trois étapes pour atteindre les objectifs fixés:

- Revue de littérature sur les techniques existantes, sur les algorithmes de balancement de chemins, les architectures de réseaux d'interconnexions;
- Reproduction du meilleur algorithme publié, en l'occurrence RCV pour les FPGA. Cet algorithme étant incomplet face aux exigences plus importantes du système, une extension a été développée et pourra être utilisée dans d'autres domaines;
- Un algorithme basé sur une table de référence précalculée a été écrit, pour effectuer une recherche très rapide dans un sous ensemble de l'espace des solutions.

RÉSULTATS:

Un modèle de netlist a été construit et validé auprès de données industrielles réelles. Ces données proviennent d'un partenaire privilégié du projet (HyperChip) ainsi que le design de OpenMoko.org disponible publiquement. Un algorithme de routage adapté aux spécificités du projet a été écrit et caractérisé et un article de journal est en préparation. L'année 2010 a permis de mettre en place deux algorithmes d'équilibrage des délais entre différents signaux, dont les résultats sont en cours d'extraction, pour une soumission à DAC 2011.

Un outil de génération de netlist a été étendu pour supporter des contraintes d'équilibrage : les deux algorithmes écrits sont aujourd'hui capable de les router, bien que certaines contraintes très fortes soient hors de portée des algorithmes actuels. Cependant, les travaux réalisés démontrent que cette problématique peut être résolue pour des netlists de densité faible à moyenne (5-15%) avec une balance de l'ordre de 3 fois le minimum atteignable par le système, sans aucune violation. Des violations apparaissent lorsque la densité et les contraintes se renforcent, mais l'adjonction du deuxième algorithme réduit d'un ordre de grandeur le nombre de violations et réduit d'un facteur 2 à 3 les temps de calcul.

Un article de journal est en préparation et un article de conférence en cours d'écriture, pour publier les résultats obtenus sur la moitié de l'année 2009 et 2010. Ces résultats sont une contribution au domaine des algorithmes de routage pour réseaux d'interconnexion.

LÉVESQUE, Philippe **DIPLÔME: Ph.D.**

TITRE:

Architecture d'un processeur dédié aux traitements de signaux ultrasoniques en temps réel en vue d'une intégration sur puce.

RÉSUMÉ:

Ce travail s'inscrit dans le cadre du projet de la mise en œuvre d'un système échographique intégré sans fil. Ce système sera portable, possédera une grande autonomie et pourra être utilisé en conjonction avec un système contrôlé par un processeur dédié ou seul, en tant qu'instrument d'imagerie médicale utilisé pour de nombreux diagnostics. Le prototype portatif complété est de 16cm x 10cm et permet de guider l'élaboration de l'architecture en vue d'une intégration sur puce. La section numérique du système est réalisée avec un seul FPGA (Spartan3) tandis que la section analogique est composée de composants discrets.

PROBLÉMATIQUE:

Les fonctions de traitement du signal radio fréquence (RF) des systèmes ultrasoniques actuellement disponibles sont généralement exécutées par un logiciel sur un processeur conventionnel (Central Processor Unit – CPU) ou sur autre processeur dédié au traitement de signal (Digital Signal Processor – DSP). Ces systèmes ne permettent pas une vitesse d'exécution adéquate ou requièrent beaucoup d'énergie pour atteindre les performances nécessaires. De plus, les dimensions et le coût limitent l'accessibilité de cette technologie pour certaines applications et certains milieux. La réalisation d'un nouveau type d'appareil permettra d'accroître le champ d'utilisation de cette technologie dans les secteurs militaire et vétérinaire, les pays économiquement défavorisés ainsi que la médecine à domicile.

MÉTHODOLOGIE:

Une recherche bibliographique approfondie sur les systèmes échographiques, sur les méthodes de traitement de signaux ultrasoniques et sur l'imagerie médicale a été effectuée et est régulièrement mise à jour. Le choix des différentes méthodes de traitement de signal a été validé en comparant les techniques à l'aide de Matlab. La partie numérique du système échographique, du démodulateur jusqu'à l'affichage de l'image sur un écran (résolution de 320x240) est implémentée sur FPGA (XC3S1500L) à faible consommation et à faible coût. La partie analogique est réalisée avec des composants discrets pour l'instant mais sera implémentée sur une ou plusieurs puces dans le cadre d'un autre projet. Grâce au prototype, il fut possible d'analyser l'architecture dans son ensemble. Le ratio performance-consommation ainsi que la qualité du traitement étant les deux principaux critères d'analyse et de comparaison.

RÉSULTATS:

La validation est complétée et les résultats obtenus sont satisfaisants. Toutefois, deux principales améliorations du processeur de prétraitement numérique sont à considérer. La première concerne l'ajout d'un module de compression des données en vue de réduire le débit utile nécessaire pour transmettre les images résultantes du prétraitement des signaux ultrasoniques. La deuxième amélioration importante concerne l'unité d'interpolation. En effet, il serait souhaitable d'allonger la fenêtre de recherche afin d'inclure plus d'une valeur valide de chaque côté des valeurs à déterminer. De plus, il serait recommandé d'utiliser une fenêtre de recherche à deux dimensions en incorporant les valeurs valides des pixels voisins selon l'axe des Y. De plus, une analyse des performances de différents algorithmes d'interpolation serait pertinente.

MBAYE, Mame Maria **DIPLÔME: Ph.D.**

TITRE:

Techniques d'exploration architecturale de design à usage spécifique pour l'accélération de boucles.

RÉSUMÉ:

Le projet consiste à spécifier des métriques orientées boucle qui permettront de mesurer les possibilités d'accélération de boucles de traitement soit par un processeur spécialisé, soit par un module matériel dédié en vue de la construction d'architectures multiprocesseurs hétérogènes.

PROBLÉMATIQUE:

L'industrie a à sa disposition une multitude d'outils pour la conception de plateformes SoC tels que le générateur de processeur spécialisé de la compagnie Tensilica, le générateur de code RTL CatapultC de Mentors Graphics, etc. Malheureusement, l'industrie doit faire des choix architecturaux qui reposent généralement sur l'expérience de ses concepteurs. Les concepteurs acquièrent une méthodologie en statuant sur le traitement qui s'accélère mieux en matériel qu'en logiciel alors qu'ils devraient prendre en compte des métriques rigoureuses pour faire leurs choix architecturaux. Les recherches actuelles montrent qu'environ 90% du temps d'exécution d'une application s'effectue dans 10% des lignes de code de l'application. Donc, au lieu de disperser ses énergies à vouloir optimiser toutes les lignes de code d'une application, il est bien plus efficace de cibler l'accélération des boucles contenues dans le code. Les métriques orientées boucle permettront ainsi de définir les possibilités d'accélération d'une boucle de traitement.

MÉTHODOLOGIE:

La première étape de notre projet consistera à proposer une technique d'accélération de boucles par des instructions spécialisées fortement couplées. Ensuite, durant la seconde étape, des métriques orientées boucles seront caractérisées, suivie de la conception et de l'implémentation de ces métriques. Elles seront déployées dans l'environnement du compilateur reconfigurable SUIF2. La prochaine étape sera l'interprétation des métriques pour statuer sur les possibilités d'accélération. De ces métriques, une méthode de partitionnement devra être sélectionnée telle que l'intégration d'instructions spécialisées ou de module matériel dédié. Ensuite, une technique de construction d'architectures multiprocesseurs sera proposée basée sur les résultats de partitionnement qui seront obtenus.

RÉSULTATS:

Nous avons proposé un cadre de travail qui permet de cibler un type d'architecture tels que logiciel pur, logiciel avec instructions spécialisées et matériel pur. L'architecture est spécifiée par des contraintes de design. De nouvelles métriques orientées boucle ont été proposées et implémentées. Selon les contraintes de design, les opérations d'une boucle sont ordonnancées et les métriques sont calculées. Celles-ci permettent de déterminer les aspects qui contribuent à accélérer une boucle et ceux qui freinent les possibilités d'accélération d'une boucle. Nous avons spécifié deux groupes de métriques : orientées accès mémoire et orientées calcul. Nous avons aussi proposé un processus d'analyse se basant sur les nouvelles métriques. Ce processus permet de déterminer quelles optimisations pourraient être appliquées pour que les possibilités d'accélération soient exploitées. Malheureusement, les métriques ne tiennent compte que des possibilités d'accélération au niveau itération. Donc, dans un second temps, nous avons proposé une technique d'estimation des performances d'un nid de boucle. Cette technique permet d'évaluer le temps d'exécution d'un nid de boucles en temant compte de contraintes architecturales sans avoir à dérouler un nid de boucles pour ensuite réordonnancer les opérations. Le temps d'ordonnancement des opérations explose en fonction du facteur de déroulement du nid de bouches, ainsi notre technique réduit le temps d'exploration architecturale tout en fournissant des résultats précis.

MENDEZ, Arnaldo **DIPLÔME: Ph.D.**

TITRE:

Méthode efficace pour le monitorage du volume de la vessie chez les patients paraplégiques.

RÉSUMÉ:

L'objectif général de ce projet est de proposer et mettre en œuvre une méthode efficace de contrôle de volume de la vessie chez les patients paraplégiques souffrant de dysfonctions urinaires pricipalement causées par la SCI, dans le but d'approvisionner le neurostimulateur avec le retour d'information nécessaire pour restaurer les fonctions de la vessie de façon sécuritaire et efficace.

MÉTHODOLOGIE:

Déterminer les spécifications cibles à l'aide de la méthode QFD (Quality Function Deployment). Établir si une méthode basée sur des capteurs artificiels ou sur des capteurs naturels devraient être utilisés pour la surveillance. Proposer et mettre en œuvre la méthode sélectionnée chez les animaux tout en respectant les normes bioéthiques. Valider la méthode proposée. Protéger et publier nos contributions.

Les patients souffrant du syndrome d'hyperactivité vésicale est un sujet avec un intérêt majeur car il est présent pour plusieurs personnes de par le monde entier. Par exemple, aux États-Unis, il est estimé à 34 millions, le nombre de patients ayant une vessie hyperactive, ce qui coûte environ 19,5 milliards de dollars par année. La prévalence de l'incontinence urinaire chez la population au Canada en 1997 était de 2,5% chez les femmes et 1.4% chez les hommes. Les patients canadiens vivant avec le SCI, une de principales causes dedisfonctionnement urinaire est de 40,000. Il est important de considérer l'aspect humain de la maladie et l'incapacité en raison de la stigmation, l'isolement, la perte de l'estime de soi et la dépression. La recherche actuelle vise à trouver une solution au problème non résolu qui permettra d'améliorer la performance des dispositifs de neurostimulation en considérant les conditions particulières des patients et permettra de réduire les effets traumatiques secondaires. Les résultats de cette recherche contribueront à améliorer la qualité et l'espérance de vie et à réduire les coûts élevés de soins des patients avec dysfonctions urinaires.

PROBLÉMATIQUE:

Lorsque les principales fonctions de stockage et de miction de la vessie échouent par suite de traumatisme médullaires (SCI) ou d'autres maladies neurales, des complications graves de la santé du patient et une détérioration continue de sa qualité de vie se produisent. Aujourd'hui, il est possible de restaurer partiellement les fonctions de la vessie pour certains de ces patients en utilisant des dispositifs neurostimulateurs implantables. Pour restaurer ces fonctions de façon sécuritaire et efficace dans les applications chroniques, il est nécessaire d'appliquer les stimuli électriques pour la détection du volume de la vessie, uniquement lorsque la restauration est nécessaire et non en permanence comme cela est fait présentement. De cette manière, une stimulation neurale conditionnelle peut être efficacement réalisable dans une boucle fermée, ce qui réduit les stimulations inutiles de la vessie. Une telle approche permet de diminuer les effets secondaires nocifs produits par l'électrostimulation continue et d'épargner la réserve d'énergie toujours limitée. Malgré plusieurs tentatives dans les années passées, un dispositif fiable, précis et robuste pour implémenter la rétroaction du neurostimulateur avec des informations de volume de la vessie, demeure comme un besoin non résolu, principalement causé par la complexité de la physiologie, de l'anatomie de la vessie et du système nerveux ainsi que par les limitations techniques dans les technologies disponibles présentement pour la surveillance des variables biologiques en utilisant les dispositifs implantables.

RÉSULTATS:

En utilisant la méthode QFRD mentionnée ci-dessus, nous avons identifié les besoins et nous avons établi les spécifications requises pour l'implémentation d'un système pour la surveillance chronique du volume de la vessie. Après avoir analysé et évalué chacune des méthodes de mesure utilisées dans les études faites dans les années passées, nous concluons que l'enregistrement et le traitement des signaux produit pour des capteurs naturels (mécano-capteurs) sensitif au volume présent dans la vessie, constituent l'approche optimale pour déterminer le volume de la vessie dans les applications corniques. La révision, l'analyse et l'évaluation de ces méthodes ont été résumées dans un article soumis au Journal Canadien d'Urologie (CJU). À ce moment-ci, nous avons amorcé les expériences avec des rats pour trouver une méthode de surveillance du volume de la vessie à partir de l'enregistrement et traitement des signaux tirés de ses nerves afférentes (ENG).

MILED, Mohamed Amine **DIPLÔME: Ph.D.**

TITRE:

Laboratoire sur puce implantable au cerveau dédié à la détection et à la séparation des neurotransmetteurs.

RÉSUMÉ:

Les neurotransmetteurs représentent la base de la communication inter-neuronales et la pièce motrice de tout système nerveux. Une défaillance de ces derniers engendre un dysfonctionnement du système nerveux et de la transmission de l'information dans le cerveau. Les nanotechnologies nous permettent d'explorer de nouvelles voies pour réparer ce dysfonctionnement. Nous essayons dans un premier temps de développer un microsystème qui peut remplacer un seul neurotransmetteur. Ce système sera capable de non seulement détecter l'activité neuronale mais aussi de pouvoir la modifier ou l'ajuster. Ce microsystème est une combinaison de circuits micro-électroniques, de microélectrodes, d'un circuit de contrôle et de commande et de composantes microfluidiques et chimiques. Une fois que le système sera développé pour un seul neurotransmetteur, ce dernier pourra être appliqué dans une architecture matricielle en vue d'être implémenté dans tout un réseau de neurones dans le cortex cérébrale. L'objectif est, ainsi, de remédier à un dérèglement de certaines fonctions du cerveau.

PROBLÉMATIQUE:

L'objectif de la recherche et de développer une micro puce implantable dans le cerveau pour suivre l'évolution des neurotransmetteurs au niveau cortical. Pour y parvenir, nous procédons à la réalisation d'un dispositif basé sur un laboratoire-sur-puce qui servira à échantillonner des neurotransmetteurs au niveau des connexions neuronale et de l'analyser. Nous prévoyons ensuite proposer une méthode de séparation et de détection de ces neurotransmetteurs cibles.

MÉTHODOLOGIE:

Le projet se décompose en plusieurs parties qui sont:

- Étude et simulation du système avec le logiciel d'analyse à éléments finis ANSYS;
- Propostion d'une architecture microfluidique;
- Mise en œuvre d'une puce microélectronique en utilisant la technologie CMOS;
- Asssemblage de l'ensemble des puces;
- Test et validation du système.

RÉSULTATS:

Un premier prototype a été déjà conçu et implémenté sur une première plateforme de prototypage. Une autre carte électronique a été élaborée pour générer les signaux électriques. Tout le système a été assemblé et connecté. Les premiers résultats étaient concluants et une séparation du liquide injecté dans les microcanaux a été réussie. La partie détection a été basée sur un capteur capacitif commercial. Une première série de mesures nous a permis de détecter une variation de 1pF lors de l'injection du liquide dans les microcanaux.

Une puce CMOS a été réalisée pour intégrer toutes les fonctionnalités de la plateforme de prototypage précédemment faite. En parallèle, plusieurs architectures microfluidiques ont été fabriquées contenant différentes configurations d'électrodes pour tester différentes fonctinnalités. Une première manipulation cellulaire a été réalisée avec succès.

MORADI, Arash **DIPLÔME: Ph.D.**

TITRE:

Émetteur de faible puissance sans fil dédié aux microsystèmes biomédicaux implantables.

RÉSUMÉ:

Dans cette thèse, la voie de transmission d'un émetteur de fréquence radio sans fil est mise en oeuvre pour l'interface sans fil de capteurs biomédicaux avec la consommation d'énergie ultra faible. Un nouveau schéma de modulation Frequency Shift Keying (FSK) est proposé et mis en oeuvre technologie CMOS TSMC90nm pour réduire la consommation d'énergie. Le transmetteur RF opère en Amérique du Nord entre 902-928 MHz Bande ISM tout en offrant une puissance de sortie -2 dBm pour transmettre des données à un récepteur externe en 2-mètres de distance. Il est censé consommé un courant très faible tiré à partir d'une tension d'alimentation de 1.2V.

PROBLÉMATIQUE:

Le comportement du corps de certains patients atteints de maladies spécifiques du cerveau, telles que l'épilepsie, a besoin d'être surveillés en permanence. Pour ce faire, un réseau de capteurs est nécessaire pour détecter et produire les données associées. Les données générées doivent être transmises à un récepteur externe pour une analyse ultérieure. En effet, en utilisant de tels capteurs, les patients n'ont pas besoin d'être connectés à une machine pendant une longue période. Les émetteurs-récepteurs RF comme la partie la communication de réseaux de capteurs sans fil sont nécessaires dans de nombreuses applications biomédicales avec des dispositifs implantables. Ces dispositifs implantés doivent consommer une très faible puissance, sinon, la cellule de batterie de ces appareils doit être rechargée fréquemments dans des cabinets médicaux. En général, l'objectif est de maintenir l'émetteur-récepteur implantable aussi simple et de faible puissance que possible. Au lieu de cela, le récepteur externe peut être plus compliqué.

MÉTHODOLOGIE:

Dans cette recherche, nous proposons de concevoir et de mettre en oeuvre un émetteur-récepteur RF à ultra basse puissance pour l'interface sans fil de capteurs biomédicaux. L'émetteur-récepteur cible doit également répondre à d'autres spécifications, telles que l'intégrabilité, à faible coût et de simplicité. Utilisant la technique proposée pour moduler la transmission de données permettra de réduire la consommation électrique totale. En outre, la mise en oeuvre de la conception à l'aide du nanomètre processus CMOS ainsi que la conception technique du circuit analogique permet d'atteindre les performances souhaitées. En outre, en utilisant des composants passifs à mettre en oeuvre la voie de transmission rend la conception de consommer une très faible puissance.

RÉSULTATS:

La section de transmission d'une exploitation ultra faible puissance émetteur-récepteur sans fil dans la bande industrielle, scientifique et médical (ISM) de 902-928 MHz est conçu et mis en oeuvre en 90nm CMOS. La conception doit être envoyée à la fabrication pour des mesures et des vérifications. Les avantages d'émission de l'utilisation de composants de faible puissance. En outre, la technique de modulation de fréquence proposée a permis de réduire la consommation électrique totale. Le chemin du récepteur doit être élaboré une fois que la voie de transmission est vérifiée. Selon les résultats de simulaiton, l'émetteur consomme moins de 1 mW pour fournir une puissance de sortie assez grande.

MOSS, Laurent **DIPLÔME: Ph.D.**

TITRE:
Profilage, caractérisation et partitionnement fonctionnel dans une plate-forme de conception de systèmes embarqués.

RÉSUMÉ:
Une méthodologie d'exploration architecturale de systèmes embarqués a été développée en se basant sur la technologie Space Codesign, qui implémente une plate-forme virtuelle en SystemC pour des architectures multi-processeurs. La méthodologie proposée combine un modèle de calcul formel, une spécification unique de l'application en SystemC à haut niveau, une méthode de synthèse comportementale pour en dériver un code RTL au besoin, une méthode de profilage au niveau système, une méthode de caractérisation automatisée autant que possible et un algorithme heuristique qui considère simultanément le partitionnement logiciel/matériel multiprocesseurs et la sélection d'une architecture de communications.

PROBLÉMATIQUE:
La complexité et les requis de performance des systèmes informatiques embarqués augmentent constamment. Pour répondre à ces requis, les systèmes embarqués comprennent maintenant plusieurs processeurs, blocs matériels, mémoires et périphériques sur une seule et même puce. Le choix de l'architecture de communications reliant ces composants, ainsi que le choix d'implanter les différentes fonctionnalités d'un tel système sous la forme de logiciels embarqués ou de composants matériels conçus sur mesure, a un grand impact sur la performance et le coût du système. Les méthodologies présentement utilisées par l'industrie pour la conception des systèmes embarqués ont de la difficulté à gérer ces architectures complexes et les retards et dépassements de coûts sont fréquents dans les projets de conception de systèmes embarqués.

MÉTHODOLOGIE:
Des applications connues, tel que le traitement d'images, serviront d'étude de cas. Ces applications seront modélisées à l'aide de Space, puis profilées afin d'en recueillir des données sur leur performance. Ensuite, ces applications seront caractérisées afin de pouvoir estimer la performance et le coût matériel des différentes architectures pouvant implémenter cette application. Ces estimateurs serviront de fonction d'évaluation pour des méta-heuristiques qui optimiseront le partitionnement logiciel-logiciel, le partitionnement logiciel-matériel et l'architecture de communications selon des contraintes de performance et de coût. Finalement, nous comparerons le temps d'exécution et la qualité des solutions obtenues pour différents algorithmes d'exploration architecturale automatisée, de même que la durée et la qualité des mesures obtenues par profilage et estimation.

RÉSULTATS:
Un modèle de calcul a été défini et proposé pour la modélisation des systèmes embarqués avec Space. Une méthode de synthèse matérielle des modules Space a été réalisée à l'aide de l'outil de synthèse comportementale Forte Cynthesizer. Une méthode de profilage logiciel/matériel a également été implémentée. L'automatisation de la caractérisation des applications de la plateforme SPACE et de ses bibliothèques logicielles a été réalisée. Des heuristiques de marche aléatoire, de descente, de recuit simulé et de recherche tabou ont été implémentées pour l'exploration architecturale. Ces méthodes ont été testées sur plusieurs applications codées avec SPACE.

La méthodologie dans son ensemble a été appliquée à trois études de cas : un système de guidage d'un automobile, un décodeur JPEG avec détection de peau et un encodeur/décodeur WiMAX. Les résultats montrent que notre méthode de synthèse matérielle s'applique à des modules aussi complexes qu'un décodeur Reed-Solomon ou Huffman. De plus, il est montré qu'il est possible d'implémenter un profilage non-intrusif au niveau système avec un impact minime sur la vitesse de simulation. La méthode d'estimation permet d'évaluer le temps d'exécution d'un ensemble d'architectures avec une précision de 8% et une vitesse de 400 à 48000 fois plus rapide qu'une simulation complète. La méthode d'estimation permet également d'estimer la quantité de ressources matérielles avec une précision de 20% et avec une vitesse de 200 000 fois plus rapide que la synthèse logique avec placement. Finalement, la recherche Taboue réactive obtient systématiquement de meilleurs résultats que la marche aléatoire et le recuit simulé adaptatif. Dans les cas où il a été possible de trouver une solution optimale avec un parcours en profondeur, la recherche taboue réactive a également pu trouver cette solution optimale.

MOUNAIM, Fayçal **DIPLÔME: Ph.D.**

TITRE:

Neurostimulateur hautement intégré et nouvelle stratégie de stimulation pour améliorer la iction chez les paraplégiques.

RÉSUMÉ:

La lésion de la moelle épinière (Spinal Cord Injury-SCI) est l'un des problèmes les plus dévastateurs médicalement et socialement. Selon l'Association Canadienne des Paraplégiques, près de 36,000 canadiens vivent avec une SCI. À la suite d'une SCI, il se produit une perte du contrôle sensoriel et moteur qui entraîne divers degrés de dysfonctionnement du bas appareil urinaire.

PROBLÉMATIQUE:

La stimulation électrique des nerfs sacrés se trouvant en dessous du niveau de la lésion constitue une approche prometteuse pour la réhabilitation des fonctions vésicales. Toutefois, pour déclencher une miction (évacuation d'urine) volontaire, l'efficacité d'une telle stimulation dépend grandement de sa capacité à contracter la vessie sans induire une contraction dyssynergique du sphincter de l'urète. À ce jour, le seul neurostimualteur implantable ciblant la miction et ayant été commercialisé nécessite une rhizotomie (section de nerfs) irréversible et non souhaitable pour la préservation des réflexes et des sensations urinaires et sexuelles s'ils sont encore présents.

MÉTHODOLOGIE:

1. **Prototypes implantables discrets:**
   Réaliser et tester des prototypes de neurostimulateurs implantables à l'aide de composants commerciaux.
2. **Nouvelles méthodes de neurostimulation et de surveillance du système urinaire:**
   Proposer et évaluer lors d'expériences animales aigües de nouvelles méthodes de neurostimulation et de surveillance permettant d'augmenter l'efficacité de l'évacuation de l'urine.
3. **Intégration sur puce:**
   Réaliser et tester des circuits intégrés comprenant des sous-systèmes de neurostimulateur (excluant la partie numérique) et permettant de démontrer la possibilité d'une intégration totale. En particulier, l'étage de récupération de l'énergie inductive pourra être intégré dans une technologie haute-tension. Celle-ci permettra de proposer et d'évaluer une nouvelle approche pour fournir les différentes alimentations nécessaires tout en maximisant l'efficacité énergétique.
4. **Neurostimulateur implantable hautement intégré:**
   Développer et caractériser un neurostimulateur complet basé sur les circuits intégrés réalisés. Il s'agit également de valider sa capacité à mettre en œuvre la nouvelle stratégie de neurostimulation proposée.

RÉSULTATS:

Nous avons proposé une nouvelle stratégie de neurostimulaiton basée sur le blocage de la conduction du nerf en utilisant une stimulation à haute-fréquence comme alternative à la rhizotomie. Jusqu'à maintenant, la réalisation de prototypes effectivement implantables en utilisant des composants discrets disponibles commercialement, a permis de tester les précédentes stratégies de stimulation lors d'expériences animales chroniques. Cependant, une plus grande intégration du système s'avère de plus en plus nécessaire pour la miniaturisation de l'implant, pour réduire la consommation de puissance, pour implémenter de nouvelles fonctionnalités tell que la télémétrie et pour augmenter le nombre de canaux de stimulation requis par la nouvelle stratégie de stimulation. Nous proposons donc également une nouvelle architecture de neurostimulateur associée à cette stratégie. Nos derniers rapports d'intégration ont porté sur l'étage de récupération d'énergie inductive, incluant redressement, régulation et conversion DC-DC dans une technologie CMOS haute-tension (20 ou 50 V).

NOURIVAND, Afshin **DIPLÔME: Ph.D.**

TITRE:

Réduction de la puissance de fuite des mémoires sur puce sans impact sur le rendement.

RÉSUMÉ:

Ces travaux de recherche consistent à élaborer de nouvelles techniques pour réduire les courants de fuite des mémoires sur puce sans impact sur le rendement. Nous étudions le comportement des cellules SRAM (Static Random Access Memory) à des tensions d'alimentation réduite au cours d'un mode de veille. Concrètement, nous mettons l'accent sur les cellules faibles causées par les variations excessives du processus et les défauts de fabrication. Nous proposons de nouvelles techniques au niveau circuit et de l'architecture permettant de réduire les fuites tout en évitant la perte de rendement.

PROBLÉMATIQUE:

Les courants de fuite représentent une part importante de la consommation totale d'énergie de la puce à l'échelle nanotechnologique. Une portion importante de la consommation de puissance vient des courants de fuite sur les puces SRAM en nanotechnologies. Diverses techniques ont été proposées dans la littérature pour réduire les fuites des mémoires SRAM par le passage des portions inactives de la mémoire à un mode de veille à faible-fuite. Toutefois, la capacité des cellules SRAM de conserver des données est généralement détériorée en mode veille, suite à l'échec de certaines «cellules faibles», causées par les variations de procédé excessives et non catastrophiques. Ces cellules fonctionnent habituellement à tension d'alimentation nominale. Toutefois, elles n'ont pas de mode de veille. Les puces contenant ces cellules faibles sont vouées à l'échec au cours du mode de veille et diminueront de beaucoup le rendement.

MÉTHODOLOGIE:

En raison de l'importance du défaut résistif ouvert, nous mettons l'accent sur les cellules faibles qui causent ce type de défauts. Nous injectons les défauts de la cellule SRAM. Par la suite, nous effectuons des simulations circuit permettant d'observer le comportement des défauts au mode de veille. Pour éviter la perte de rendement, de nouvelles techniques architecturales sont investiguées pour réduire les fuites des SRAMs en présence des cellules faibles.

RÉSULTATS:

De nouveaux comportements défectueux ont été observés en raison du mode de veille. Nous avons montré qu'en utilisant des techniques de vérification et correction d'erreur (ECC), pour lutter contre leur manque de fiabilité induit en raison des cellules faibles, les fuites de SRAM peuvent encore être réduites. Également, nous avons observé que les cellules faibles commencent à montrer un comportement déficient à différentes tensions en fonction de la gamme de la résistance et de l'emplacement de l'anomalie. Ainsi, nous avons proposé l'étalonnage de la tension de veille de cellules SRAM en vue de réduire son impact sur le rendement.

OULD BACHIR, Tarek **DIPLÔME: Ph.D.**

TITRE:

Opérateurs de calculs matriciels en virgule flottante pour des applictions en réseaux électriques.

RÉSUMÉ:

Les praticiens de la simulation en temps réel des réseaux électriques ont adopté les circuits reconfigurables de type FPGA pour leur besoin en calculs. Cette thèse a pour ambition d'apporter plusieurs contributions aux domaines des opérateurs arithmétiques en virgule flottante, à celui des architectures matérielles de résolution des systèmes d'équations linéaires, en conjonction avec les besoins stratégiques du domaine de la simulation en temps réel et en temps différé des réseaux électriques. Elle a pour objectifs: la conception et le développement d'opérateurs en virgule flottante à destination de dispositifs reprogrammables de type FPGA; opérateurs arithmétiques; Opérateurs arithmétiques spécialisés; opérateurs vectoriels et matriciels; optimisation des architectuires matricielles pour répondre aux besoins de la problématique des réseaux électriques; application de tels systèmes aux problèmes de la simulation temps-réel; conception et développement d'interpréteurs permettant l'extraction d'une architecture matérielle à partir d'équations exprimées dans un langage de programmation à haut niveau d'abstraction.

PROBLÉMATIQUE:

Le domaine du calcul à haute performance nourrit un intérêt croissant pour les systèmes de calcul hybrides qui sont un composite de machines ordinées à base de processeurs à usage général combinés à des circuits reprogrammables servant de coprocesseurs spécialisés. L'accélération matérielle réalisée peut offrir un gain de performance conséquent aux calculs scientifiques si l'architecture déployée répond mieux aux exigences du calcul qu'un processeur à usage général. Les circuits reconfigurables (FPGA) sont attrayants du fait de leur densité continuellement croissante et de la possibilité d'y réaliser des architectures arbitraires. Néanmoins, les opérateurs arithmétiques disponibles sur les FPGA sont principalement en représentation à virgule fixe, alors que de nombreux problèmes scientifiques exigent l'utilisation d'une représentation à virgule flottante. Le problème mathématique que nous désirons accélérer est celui de la simulation des régimes transitoires des grands réseaux électriques. Deux méthodes de formulation des équations des réseaux de topologie arbitraire sont considérées: 1) les équations d'état et 2) l'analyse nodale-modifiée-augmentée. Ces méthodes reposent sur les opérateurs matriciels. L'implémentation matérielle d'opérateurs matriciels en virgule flottant implique plusieurs défis architecturaux au coût de nombreux compromis qu'il faut étudier et d'évaluer. Les paramètres à considérer sont : 1) la taille des ressources reconfigurables ; 2) la bande passante sur les entrées et sorties ; 3) la taille, la disponibilité, la proximité de la mémoire.

MÉTHODOLOGIE:

Les architectures matérielles à développer sont initialement évaluées à un niveau d'abstraction élevé au moyen d'outils de programmation tels que C++ ou MATLAB pour être ensuite réalisées matériellement grâce aux outils de synthèse, placement et routage tels que System Generator de la suite de développement ISE du fabricant de FPGA Xilinx. Le prototypage de systèmes hybrides constitue finalement l'étape de validation des architectures ainsi proposées et leurs performances sont comparées à celles rapportées dans la littérature

RÉSULTATS:

A date, nous avons développé une architecture de multiplieur-accumulateur en virgule flottante servant nos besoins dans le calcul du produit scalaire; cette dernière a été présentée à la conférence FCCM 2010; un module matériel de résolution d'équations d'états en temps réels`; un prototype de moteur BLDC et un moteur à industion, tous deux simulés par une carte ML506 de Xilinx avec des pas de quelques dizaines de nanosecondes présentés aux conférences EPE-PEMC 2010 et IECON 2010; un modèle d'interrupteuyr dit de circuit discret associé a été exploité pour simuler un circuit de Boost avec un pas de 10 ns, un article destiné à la conférence IPST 2011 est en préparation pour traiter de la question.

PONTIKAKIS, Bill **DIPLÔME: Ph.D.**

TITRE:

La conception d'architectures et de circuits de faible puissance à délai variable.

RÉSUMÉ:

Le but du projet est d'utiliser une technique à période d'horloge fractionnaire pour augmenter la vitesse et pour réduire la consommation de puissance pour certains microprocesseurs. Nous appliquons aussi une technique qui utilise une source d'alimentation variable, ce qui permet de réduire la consommation de puissance dans certains cas. La combinaison de ces deux techniques permet la conception de microprocesseurs à faible puissance qui fonctionnent à bonne vitesse.

PROBLÉMATIQUE:

La consommation de puissance est un facteur très important dans les produits électroniques portatifs. Pour des applications tels que les dispositifs portables («wearable devices») et les réseaux de sondes distribués sans-fil («wireless sensor networks»), une longue durée de vie de la batterie, un poids léger et la capacité d'effectuer des calculs relativement complexes sont nécessaires. Puisque la consommation dynamique de puissance est directement proportionnelle à la fréquence, il est possible de réduire celui-ci en ajustant la fréquence de façon dynamique. Grâce à cette technique, il est possible de prolonger la durée de vie d'une batterie. De plus, puisque la composante dynamique de la consommation de puissance a une dépendance quadratique sur la tension d'alimentation, il est possible de réduire la consommation de puissance en ajustant cette tension. En utilisant certains circuits à une tension en-deçà du seuil du transistor, une réduction plus importante en puissance peut être obtenue.

MÉTHODOLOGIE:

Pour atteindre nos objectifs, nous suivrons les étapes suivantes:

- Analyse théorique de l'accélération maximale possible en utilisant des périodes d'horloge fractionnaire;
- Modélisation au niveau algorithme en utilisant les outils de MATLAB;
- Programmation et synthèse de VHDL utilisant XILINX;
- Prototypage sur FPGA.

RÉSULTATS:

- Un système de génération d'horloge à fréquence variable a été conçu;
- Un synthétiseur d'horloge périodique «Free-Running» de précision (FRPS) avec compensation de processus et de température a été présentée;
- Une architecture de «Phase-Locked Loop» sans filtre de boucle analogue, pour une meilleure intégration dans le domaine submicronique profond des «SoCs» a été présentée;
- Une nouvelle architecture de synthétiseur d'horloge périodique «Free-Running» de précision (iFROCS) avec la compensation de processus et de température est préparé pour la soumission de journal. Cette nouvelle architecture est une amélioration de l'architecture FRPS.

ROGERS-VALLÉE, Michel **DIPLÔME: M.Sc.A.**

TITRE:

Une méthode d'estimation de la consommation de puissance pour systèmes sur puce reprogrammable.

RÉSUMÉ:

Le projet consiste à développer une bibliothèque à haut niveau de la consommation de puissance pour des modules standard de Xilinx. En utilisant la simulation SystemC de l'outil Space Codesign, il est possible d'accélérer le développement d'une architecture à faible consommation en évitant de faire des synthèses, qui sont très coûteuses en temps.

PROBLÉMATIQUE:

La consommation de puissance est une préoccupation importante de nos jours lors de la conception d'un système. De plus en plus les systèmes se complexifient et cette tendance augmente la consommation de fonctionnement. Puisque les sources (batterie et prise électrique) sont limitées, il faut constamment diminuer la consommation des systèmes. Bien qu'il existe des méthodes d'évaluation de la puissance au niveau RTL, de plus en plus de conception se fait à haut niveau (ex. : au niveau système) et de tels estimateurs de puissance ne sont pas disponibles. Le développement de cette bibliothèque permet de concilier les deux.

MÉTHODOLOGIE:

- Énumérer des composants de Space pour lesquels l'estimation de puissance est nécessaire. Isoler les différentes variables qui influencent la consommation de puissance. Faire varier chacune des variables et déterminer l'influence sur la consommation avec les outils de Xilinx (EDK et Xpower);
- Avec les données obtenues, créer des modèles de consommation de chacune des composantes.
- Développer une bibliothèque de composante à haut niveau d'abstraction et l'intégrer comme outil de Space Codesign;
- Développer une méthodologie basée sur la séparation du comportement ou de l'architecture du module de la technologie d'implémentation du système. Cette séparation permettra de réutiliser les équations pour différentes technologies. Si la structure d'un nouveau composant est similaire à un composant présent, il est possible de réutiliser les équations pour accélérer son ajout dans la bibliothèque;
- Effectuer un ensemble de comparaisons avec les outils de Xilinx et la réalité pour valider la méthodologie;
- Intégrer des outils et proposer des méthodes pour diminuer la consommation en puissance d'une architecture utilisant la bibliothèque.

RÉSULTATS:

L'application de la méthodologie a été effectuée sur une gamme d'IP constituant un système embarqué (processeur, mémoire, bus interrupteur et minuterie). La précision des modèles se situe des les 15-20% d'erreurs et moins. De plus, la méthode permet, en utilisant l'outil Space Codesign, de faire une estimation de puissance qui est environ dix fois plus rapide que la méthode traditionnelle utilisant un simulateur (Modelsim) et un estimateur RTL (Xilinx Xpower). Le bus OPB est dans la phase finale de vérification et un test global avec une nouvelle application sera fait pour finaliser les données.

SALAM, Muhammad Tariqus **DIPLÔME: Ph.D.**

TITRE:

Microsystème biomédical implantable pour le traitement de l'épilepsie.

RÉSUMÉ:

Environ 50 millions de personnes dans le monde souffrent d'épilepsie, dont un tiers sont réfractaires aux médicaments antiépileptiques. Un nombre de ces derniers ne sont pas de bons candidats à la chirurgie ont continué à avoir des crises malgré la chirurgie. Ainsi, de nouvelles options thérapeutiques pour l'épilepsie réfractaire sont nécessaires. Un stimulateur cortical approprié pourrait être un mode plus sûr et efficace de traitement alternatif pour l'épilepsie réfractaire. Toute l'idée de ce traitement est d'identifier le début des crises et de bien stimuler la zone épileptogène de façon à supprimer une saisie à venir. Par conséquent, une faible puissance de détection de début des crises est nécessaire et elle doit être très sensible aux décharges anormales spécifiques électrographiques.

PROBLÉMATIQUE:

De nombreux modèles mathématiques ont été développés pour détecter les crises, dont l'EEG intracérébral les modèles de base ont montré de meilleures performances que EEG de surface à base de modèles. Ces modèles ont été traduits en filtres passe-bande et en logiciels qui sont utiles pour les applications à court terme. En outre, l'amplification du signal neuronal est un enjeu crucial, parce que la performance relativement faible en termes de bruit de la technologie CMOS provoque plusieurs types de bruits indésirables, module le signal et diminue le rapport signal/bruit. Beaucoup de méthodes de préamplification des signaux neuronaux ont été proposées, et certains ont démontré des capacités impressionnantes pour amplifier le potentiel de très faible amplitude-action. Il existe une variabilité dans le modèle de saisie en fonction de la localisation, de l'étiologie de la saisie et le placement des électrodes intracrâniennes. En outre, la détection des rythmes biologiques peut causer de fausses alarmes.

MÉTHODOLOGIE:

La faible puissance du détecteur de crise épileptique a un gain d'amplification réglable de sorte qu'il puisse mettre l'accent sur le niveau d'amplitude d'intérêt. Aussi les tensions de seuil variables d'un détecteur de niveau de tension délimitent les emplacements des signaux détectés et extrait les informations de la fréquence ainsi que l'augmentation progressive de l'amplitude. Permettre la syntonisation du détecteur haute fréquence facilite la détection précise de la fréquence des crises d'un patient. L'effet global des bruits et la consommation électrique de l'appareil sont réduits. Cette détection est censée être très fiable dans un dispositif implantable sans risquer de fausses détections des rythmes physiologiques (sommeil de broche). L'algorithme propose la saisie de détection et est applicable à tous les patients qui ont subi des crises fréquentes caractérisées par une augmentation progessive de la basse tension en pleine activité sur les enregistrements EEG intracérébraux.

RÉSULTATS:

Sept patients ont subi une étude intracrânienne pour mieux délimiter la zone épiloptogène. Plusieurs saisies ont été enregistrées toutes originaires de l'hyppocampe droit et la diffusion au néocortex latéral temporal et l'insula. Les onsets saisis ont été marqués par un épileptologue (DKN). Le début des crises a été caractérisé par une activité tonique initiale basse tension alpha dans l'évolution de dopage rythmique. Le signal enregistré lors d'une saisie a été introduite dans le CLNS pour tester la performance. Le CLNS utilise les propriétés de l'iEEG mesuré pour déclencher une suppression de la crise biphasique stimulation électrique dès l'apparition des crises. La performance de la CLSNS testée chez un patient souffrant d'épilepsie réfractaire a montré une détection précoce de la saisie à la stimulation sensible ultérieure. Une telle stimulation du foyer épiloptogène peut espérer perturber la progression, la saisie et la propagation dans les régions adjacentes. Des stimulations préliminaires indiquent que les performances de ces dispositifs sont satisfaisantes. La validation expérimentale est réalisée.

SAVARD, Julien **DIPLÔME: Ph.D.**

TITRE:

Exploration d'une procédure de simulation native de système IMA avec une application avionique graphique

RÉSUMÉ:

Ce projet s'intègre dans le projet de recherche universitaire AREXIMAS, dirigé par l'École Polytechnique de Montréal, en collaboration avec l'École de Technologie Supérieur et du Consortium de Recherche et d'Innovation en Aérospatiale au Québec. Il vise à concevoir une méthodologie de conception, à partir d'un cas d'utilisation, faisant usage d'un environnement de simulation peu couteux. Une application d'une « Unité de Contrôle et d'Affichage Multi-usage » (MCDU) avec interface graphique sera développée et exécutée sur un simulateur de systèmes « Avioniques Modulaires Intégrés » (IMA). Celle-ci interagira avec un « Système de Gestion de Vol » (FMS) de CMC Électronique à travers des ports UDP/AFDX. La méthodologie proposée permettra d'évaluer le temps à allouer à chaque partition, la consommation mémoire, les taux d'utilisation des ports de communication, et les impacts collatéraux générés par les changements à la configuration du système.

PROBLÉMATIQUE:

L'objectif visé des IMA est de rassembler plusieurs applications sur une même plateforme pour réduire les coûts, ainsi que les temps de développement, de certification et de production, tout en accroissant la flexibilité des systèmes. Afin d'assurer la protection et la séparation fonctionnelle entre les applications critiques, l'industrie aéronautique a développé des interfaces standardisées de communication. La spécification ARINC 653, balise le partitionnement temporel et spatial d'un processeur pour celles-ci.

En dehors des systèmes d'exploitation dispendieux permettant le développement de systèmes ARINC 653, tel VxWorks653, il existe peu de savoir-faire pour les quelques environnements peu coûteux permettant de simuler ces systèmes durant la conception. Le présent projet vise donc à pallier à cette problématique en développant une méthodologie à partir d'un cas d'utilisation qui utilisera un simulateur à faible coût et permettra au développeur d'observer une série de métriques durant la conception qui seront cruciales pour la réalisation du système.

MÉTHODOLOGIE:

Le projet se réalisera en cinq phases :

1. Le développement d'une application graphique représentant un MCDU (norme ARINC 739A).
2. Identifier un simulateur de systèmes IMA, et l'utiliser pour l'exécution de l'application MCDU.
3. Intégrer le système MCDU à une application de FMS, fourni par une entreprise partenaire du projet, qui communiquera avec l'application MCDU par le biais d'un bus de communication UDP/AFDX, et permettra de la valider.
4. Valider le système, obtenir des informations sur les métriques, et développer la méthodologie.
5. Rédiger le mémoire en incluant tous les détails du projet

RÉSULTATS:

Le présent projet fournira une méthodologie de conception utilisant un simulateur à faible coût. Celle-ci permettra l'observation d'informations relatives à la consommation mémoire du système IMA, au taux d'utilisation de ses ports de communication, au temps d'exécution idéal à allouer à ses partitions, et aux effets collatéraux générés par ses différentes configurations. Une application avionique graphique sera également livrée pour être utilisée dans de futurs projets de recherche, notamment ceux de l'équipe d'AREXIMAS..

SEBBAR, Mohamed **DIPLÔME: M.Sc.A.**

TITRE:

Développement et implémentation d'un algorithme de conversion des couleurs pour un capteur d'images CMOS sans filtre optique.

RÉSUMÉ:

Un capteur d'images couleurs CMOS sans filtre optique novateur en cours de développement permet de détecter les couleurs sans utiliser le filtre de Bayer. Il les détecte en utilisant la propriété d'un matériau semi-conducteur selon laquelle la profondeur de pénétration des ondes électromagnétiques varie avec la longueur d'onde. En utilisant cette propriété, le capteur permet de détecter trois composantes blanc, jaune et rouge avec un seul pixel. Ce projet de recherche à pour but de développer un algorithme de conversion des couleurs et de l'implémenter et de le valider sur un circuit électronique numérique.

PROBLÉMATIQUE:

Les composantes blanc, jaune et rouge fournies par un pixel du capteur innovateur ne sont pas standards. Par conséquent, le capteur ne peut pas être interfacé directement aux circuits de traitement d'images existants sur le marché conçus pour les capteurs traditionnels. Les trois composantes couleurs de chaque pixel du capteur doivent être converties en couleurs primaires rouge, vert et bleu à même la puce du capteur. Ainsi, le capteur sera compatible avec les circuits de traitement d'image du marché et les algorithmes qui y sont utilisés.

MÉTHODOLOGIE:

La réalisation du projet de recherche a commencé par le développement de l'algorithme de conversion des couleurs à l'aide de l'outil Matlab. Dans cette étape, l'attention est portée à ne pas dégrader la qualité de l'image capturée et de la restaurer en couleurs primaires le plus fidèlement possible. Une fois l'algorithme final développé, il sera implémenté sur un circuit électronique numérique de type FPGA et validé en conjonction avec le capteur d'images. À la fin, le circuit numérique sera optimisé pour une intégration ultérieure sur la puce du capteur. L'optimisation portera sur la puissance consommée et le nombre de cellules utilisées.

RÉSULTATS:

Une méthode de conversion utilisant une matrice de correction des couleurs a été identifiée. Cette matrice réalise la conversion des couleurs de l'espace du capteur en valeur dans l'espace colométrique standard sRGB indépendant du capteur. La matrice de conversion est déterminée en minimisant, à la fois, l'erreur quadratique entre les valeurs théoriques des échantillons de la mire GretagMacbeth ColorCheker utilisée dans la méthode et celles mesurées par le capteur d'images et le niveau du bruit dans l'image après transformation des couleurs. La caractérisation colorimétrique du capteur est présentement en cours.

Un prototype de démonstration à l'aide d'une carte FRPGA et un petit écran LCD tactile est en cours de développement.

SHARAFI, Azadeh **DIPLÔME: Ph.D.**

TITRE:
Conception et mise en œuvre d'un micro-capteur non attaché pour la détection de tumeur du sein précoce.

RÉSUMÉ:
Selon l'Agence internationale de recherche sur le cancer (CIRC), avec 1,38 millions de nouveaux cas de cancer et 485 décès en 2008, le cancer du sein est le cancer le plus fréquent chez les femmes. Alors, il est nécessaire de développer de nouveaux outils pour diagnostiquer et traiter ce genre de cancer. En outre, un nouveau risque de la récurrence du cancer se pose après le traitement. Dans un tel cas, il est indispensable de détecter la tumeur le plus rapidement possible. Le moyen le plus efficace pour détecter les cellules tumorales est l'imagerie par résonance magnétique (IRM). Cependant, cette technique n'est pas en mesure de détecter de petites tumeurs en développement (<5 mm). Par conséquent, il est nécessaire de trouver de nouvelles méthodes pour détecter les tumeurs de moins de 5 mm. Des études montrent, lorsque la tumeur commence à grandir, certains paramètres micro-environnementaux, tel que le niveau de pH, changent. Il est possible de détecter la tumeur à son stade précoce par la mesure de ces paramètres en les comparants aux valeurs standards à l'aide d'un micro-capteur. Les contraintes sur la taille, l'alimentation et le système de communication entre le micro-capteur et le monde extérieur sont les questions les plus importantes qui devraient être abordées dans cette solution.

PROBLÉMATIQUE:

Comment détecter la récurrence du cancer lorsque la tumeur est inférieure à 5 mm?

MÉTHODOLOGIE:

Objectif général

Concevoir un micro-capteur pour détecter une tumeur en développement par mesures de variations de pH.

Objectifs spécifiques

1. Trouver la taille minimale détectable de la tumeur par le micro-capteur.

2. Trouver une résolution minimum de détection de pH par le micro-capteur.

3. Proposer un nouveau système de communication sans fil entre le micro-capteur et le monde extérieur.

4. Proposer un nouveau bloc d'alimentation pour le micro-capteur.

5. Validation du micro-capteur à travers des expériences *in-vitro*.

RÉSULTATS:

HSOC: En surveillant les variations de pH à l'aide de micro-capteur conçu, il est possible de détecter de nouvelles tumeurs en développement qui ne sont pas détectables par les techniques d'imagerie clinique actuelles.

Justification de l'originalité: La visualisation des tumeurs de petite taille (<5 mm) reste au-delà de la capacité des techniques cliniques actuelles.

Réfutabilité: L'hypothèse sera réfutée si la taille de la tumeur plus petite détectée par le micro-capteur conçu est plus de 5 mm dans l'une des dimensions spatiales.

SIADJINE NJINOWA, Marcel **DIPLÔME: Ph.D.**

TITRE:

Conception des circuits numériques pour la génération et la synchronisation d'horloge.

RÉSUMÉ:

Ces travaux de recherche visent à implémenter et optimiser des circuits de génération et de synchronisation d'horloge, en utilisant uniquement des cellules standard numériques. Différentes structures mettant en exergue les convertisseurs de données dans ces circuits seront présentées.

PROBLÉMATIQUE:

Ce projet de recherche porte sur la conception des systèmes de génération et de synchronisation d'horloge, qui sont largement utilisés dans les domaines de télécommunication, de la télévision numérique, des radars, etc. Un accent particulier sera mis sur les convertisseurs de données qui constituent des blocs indispensables pour la transition du domaine analogique au domaine numérique et vice-versa. Ils seront également exploités pour améliorer les performances de certains circuits de génération d'horloge. Cependant, face à la course à la miniaturisation, certains défis majeurs tels la stabilité, la précision, la vitesse, la réduction de la tension d'alimentation, et les effets de canaux cours, s'imposent aux concepteurs qui proposent de plus en plus des solutions numériques dont les avantages ne sont plus à démontrer. Parmi ces avantages, nous pouvons citer la simplicité, l'intégration facile sur puce, la consommation réduite de puissance, la faible sensibilité aux perturbations, et les coûts réduits de ces circuits numériques. Ainsi, les avantages présentés par les systèmes numériques nous amènent à contourner les difficultés des circuits analogiques/mixtes de génération d'horloge. Pour cette raison, nous proposons dans le cadre de ce travail des techniques entièrement numériques basées sur des cellules normalisées.

MÉTHODOLOGIE:

Notre but est de créer des structures de génération et de synchronisation d'horloge entièrement numériques. Ces travaux de recherche sont partagés entre la recherche théorique, où la quête de compréhension domine, et la simulation numérique.

La synthèse et la synchronisation d'horloge doivent s'appuyer sur deux fondements primordiaux : de solides bases sur les systèmes numériques et asservis d'une part; la maîtrise des algorithmes, des outils de simulation et d'implémentation d'autre part.

La simulation numérique est essentiellement effectuée par l'exploitation du VHDL, qui est un langage de description matériel destiné à décrire le comportement et/ou l'architecture des systèmes électroniques numériques. La simulation sera aussi effectuée à l'aide des outils de Cadence en utilisant la technologie fournie par le biais de la Société Canadienne en Microélectronique. Nous nous servirons aussi de la programmation des « Field Programmable Gate Array » (FPGA) et de la fabrication de puce pour l'implémentation.

RÉSULTATS:

A l'aide de ces architectures entièrement basées sur des cellules normalisées, le temps de conception sera considérablement réduit ainsi que le temps de mise en marché des produits qui en découlent (time-to-market). Ceci permettra à coup sûr d'augmenter la fiabilité de ces circuits et par conséquent d'être épargnés des coûts non-récurrents, parfois exorbitants qui dépassent le million de dollars.

Une méthode de conception et d'optimisation d'un convertisseur numérique analogique simple, utilisant uniquement des cellules standard numériques ont été présentées à la conférence NEWCAS/TAISA 2009. Par ailleurs, un convertisseur numérique analogique a été utilisé pour améliorer la gigue de l'horloge de sortie d'un FRPS. Cette contribution a été présentée à la conférence ISCAS 2010. Nous avons présentement proposé un circuit de conversion analogique numérique, qui est déjà soumis pour la conférence ISCAS 2011. Ce circuit sera éventuellement utilisé dans un système de génération d'horloge conçu à base de cellules entièrement numériques.

SIMARD, Guillaume **DIPLÔME: Ph.D.**

TITRE:

Télémétrie à haut débit pour des implants biomédicaux dédiés à l'enregistrement neuronal.

RÉSUMÉ:

Ce projet s'insère dans le cadre de la réalisation par l'équipe de neurotechnologies PolyStim d'un implant d'enregistrement neuronal. Il consiste à créer un nouveau transmetteur sans fil à haute vitesse et à évaluer le taux d'erreurs par bit (BER) acceptable pour ce type d'application.

PROBLÉMATIQUE:

Le domaine des implants biomédicaux est en effervescence. Les chercheurs tentent d'augmenter les capacités des implants en termes de frugalité énergétique, de vitesse de transmission et de miniaturisation afin de pouvoir mieux intégrer ces dispositifs aux systèmes biologiques qui répondent naturellement à ces critères. L'objectif est d'augmenter la vitesse de transmission du lien montant (intérieur vers extérieur) d'un implant biomédical, sans toutefois augmenter dramatiquement sa consommation en énergie et en respectant un nombre d'erreurs qui est à déterminer.

MÉTHODOLOGIE:

Simuler un lien complet de transmission des données et l'implant des erreurs sur cette chaîne afin de déterminer un taux d'erreur par bit acceptable (BER). À partir de ce taux d'erreur, concevoir un transmetteur à faible consommation d'énergie suffisamment rapide et fiable pour l'enregistrement neural. Deux types de transmetteurs sont à l'étude, l'un de type ultra-large bande à répétition d'impulsions et l'autre à couplage capacitif utilisant la technique MIMO.

RÉSULTATS:

Un transmetteur de type ultra-large bande a été fabriqué et est en cours de validation. Une correction au niveau de la puce doit être apportée afin de compléter les analyses de consommation énergétique de celle-ci. Les résultats sont attendus d'ici la fin de 2010. Des simulations sont en cours afin de déterminer le BER acceptable de ce transmetteur pour l'application de l'enregistrement neural et le travail de conception est en cours pour le transmetteur à coupalge capacitif.

TANGUAY, Louis-François **DIPLÔME: Ph.D.**

TITRE:

Synthétiseur de fréquences RF à ultra-faible consommation dédié aux microsystèmes implantables.

RÉSUMÉ:

Nous proposons de concevoir un synthétiseur de fréquences RF à ultra-faible consommation destiné aux microsystèmes implantables de biotélémétrie à l'aide d'un procédé CMOS nanométrique. Le synthétiseur opérera dans la bande de fréquence ISM 902-928 MHz, il devra permettre la syntonisation de sept canaux, présenter un temps de démarrage de l'ordre de 10 us et une consommation de puissance inférieure à 1 mW.

PROBLÉMATIQUE:

Les microsystèmes biomédicaux implantables présentent un énorme potentiel pour la recherche en médecine. Les dispositifs médicaux intelligents implantables, qui combinent des capteurs et/ou des actuateurs avec des circuits intégrés, ouvrent la voie à des applications fascinantes. Aujourd'hui, la possibilité d'utiliser la technologie CMOS pour intégrer des circuits RF, numériques et même certains types de capteurs sur une même puce, suscite un vif intérêt dans un domaine nouveau: celui des réseaux de capteurs implantables, ou BSN (Body-Sensor Networks) et leurs applications en recherche biomédicale. L'implantation dans le corps de tels réseaux de capteurs sans fils permettraient de surveiller, détecter ou même combattre différentes maladies, et ce de manière *in situ*.

MÉTHODOLOGIE:

Dans cette optique, nous proposons de concevoir un synthétiseur de fréquences RF destiné aux microsystèmes implantables de biotélémétrie à l'aide d'un procédé CMOS nanométrique opérant avec une alimentation inférieure à 1V. Bien que les performances RF des transistors nanométriques soient très attrayantes, la tension d'alimentation très basse ainsi que l'impédance de sortie limitée de ces transistors compliquent la conception de circuits analogiques tels les miroirs de courant, les pompes à charge etc. Des méthodes de conception électronique innovatrices devront être utilisées et des compromis judicieux devront être faits afin d'obtenir les performances requises au niveau du bruit de phase, du temps de démarrage, de la consommation de puissance, etc. L'utilisation d'un procédé nanométrique CMOS, conjointement avec des techniques de conception de circuits analogiques à faible puissance telle la méthodologie gm/ID, permettront d'implémenter ce synthétiseur à consommation de puissance ultra faible.

RÉSULTATS:

Le circuit intégré d'un synthétiseur interger-N à consommation ultra-faible opérant dans la bande Industrielle, Scientifique et Médicale (ISM) de 902-928 MHz a été implémenté en technologie CMOS 90-nm et son fonctionnement a été validé en laboratoire. Ce synthétiseur, basé sur un PLL, permet la sélection de sept canaux dans la bande ISM et fournit les versions différentielles, I/Q des porteuses RF. Le circuit inclut une nouvelle architecture de LC-VCO auto-polarisé ainsi qu'une pompe à charge offrant une impédance de sortie très élevée sur une plage de tension de sortie s'étendant jusqu'à 100 mV des tensions d'alimentation. La consommation totale du synthétiseur, en excluant les tampons de sortie de test, est de 640µW.

TAPP, Martin **DIPLÔME: Ph.D.**

TITRE:

Interopérabilité des environnements de simulation distribués par génération de code dynamique.

RÉSUMÉ:

L'interopérabilité entre des environnements de simulation où les modèles objets utilisés et les technologies de communication diffèrent largement est un problème de grande envergure et c'est pourquoi une approche générique est proposée.

L'approche consiste à concentrer le développement logiciel sur la résolution des problèmes d'interopérabilité et non sur l'ensemble du logiciel nécessaire à l'interopérabilité (couches réseaux, protocoles, encodage et décodage des données réseaux, particularités des plates-formes,). Par l'entremise de fichiers décrivant les modèles objets et l'interopérabilité, il devient possible de lire ces descriptions pour ensuite générer le code réalisant l'interopérabilité. De plus, à l'aide des services de compilation dynamique de la technologie .NET, il devient possible de générer l'interopérabilité au moment même de l'exécution de l'application requérant l'interopérabilité i.e. génération de code dynamique. L'approche proposée permet donc de générer l'interopérabilité seulement à partir de définitions de modèles objets et d'interopérabilité entre ces modèles objets.

PROBLÉMATIQUE:

Depuis les événements du 11 septembre 2001, le besoin d'interconnecter rapidement différents environnements de simulation distribués (ESD) n'a cessé d'augmenter, notamment ceux basés sur les standards *IEEE 1516 High Level Architecture* (HLA) et *IEEE 1278 Distributed Interactive Simulation* (DIS). Que ce soit pour des fins d'entraînement ou pour l'évaluation de scénarios d'hostilités potentielles, l'interopérabilité entre ces environnements sans modifier les applications existantes est un défi majeur étant donné leurs différences au niveau des technologies de communication utilisées et au niveau de la complexité associée à la conversion des données réseaux à échanger. Peu importe l'approche utilisée, les solutions actuelles requièrent du développement logiciel cas par cas ce qui s'avère coûteux, consomme du temps et nécessite des connaissances techniques spécialisées (programmation réseau, particularités des protocoles, etc.).

MÉTHODOLOGIE:

La méthodologie utilisée pour ce projet est d'élaborer un prototype évolutif et de valider les hypothèses émises au travers de différentes phases, où les hypothèses d'évaluation de performance et de validation seront validées en continue au cours de l'évolution du prototype.

RÉSULTATS:

Les résultats suivants ont été obtenus:

- Génération dynamique d'une composante logicielle représentant un modèle objet à partir de sa définition;
- Transformation de données réseaux dans le modèle objets générer dynamiquement pour les environnements de simulation basés sur HLA et DIS;
- Génération dynamique complète d'une composante logicielle représentant l'interopérabilité entre des modèles objets dans un format prototype défini en C#;
- Interface utilisateur permettant de définir l'interopérabilité dans le format prototype défini en C#;
- Passage de l'examen de synthèse;
- Rédaction partielle d'un article de journal pour «Transactions on Modeling and Computer Simulation».

Les résultats de recherche ont été établis dans le contexte des environnements de simulation distribuée STRIVE™ (HLA) ET ITEMS™ (HLA et DIS) de CAE, ainsi que de OneSAF (HLA et DIS) de l'armée américaine.

TREMBLAY, José Philippe **DIPLÔME: Ph.D.**

TITRE:

Conception d'un réseau fiable de capteurs/actuateurs permettant une haute bande passante pour le domaine aéronautique.

RÉSUMÉ:

Nous proposons dans le cadre de ce projet une nouvelle topologie du système de communications basée sur le protocole avionique AFDX/ARINC664 comme architecture de base. Des ensembles de capteurs et d'actuateurs, géométriquement rapprochés, seront relié entre eux par un bus secondaire régi par la norme ARINC825. Un pont entre les deux réseaux devra être implémenté afin de permettre le transfert de données à travers les différents domaines du réseau.

PROBLÉMATIQUE:

Dans l'industrie aéronautique, de nombreux systèmes de capteurs et d'actuateurs sont requis afin d'assurer un nombre grandissant de fonctions à bord d'un avion. Avec la technologie actuelle, la connexion de ces instruments demanderait un réseau encombrant de fils. Les différentes normes de sécurité des systèmes avioniques viennent encore lus compliquer les choses en demandant l'installation redonddante de tous les composants à bord. De plus, la communication entre différents modules appartenant à divers domaines d'applications est maintenant requise dans les nouvelles plateformes avioniques, ce qui entraîne une augmentation marquée de la demande en bande passante à l'intérieur d'un aéronef tout en devant s'assurer de respecter l'intégrité des données critiques lors de leur transmision.

MÉTHODOLOGIE:

La première étape consiste au développement du bus secondaire selon la norme ARINC825. Afin de s'assurer de la fiabilité du système global, un mécanisme d'injections de fautes spécifiques au domaine aéronautique sera mis en place de manière à pouvoir stimuler le circuit. Une série d'observateurs matériels sera par la suite intégrée au système pour en assurer la fiabilité. Ceux-ci seront basés sur les assertions matérielles, décrite à l'aide du langage PSL (Property Specification Langage). Finalement, il faudra venir prouver la fiabilité du réseau en se basant sur une nouvelle méthodologie de mesure de fiabilité et de performance répondant aux besoins spécifiques du domaine avionique. Le tout sera vérifié en premier lieu à l'aide de simulations décrites à l'aide de la bibliothèque systemC. Par la suite, les différentes parties de celui-ci seront implémentées en matériel sur FPGA pour une validation finale.

RÉSULTATS:

Nous en sommes encore pour l'instant à l'élaboration de l'architecture globale. Le réseau secondaire basé sur la norme ARINC825 est, quant à lui, implémenté et en cours de vérification.

TURGEON, Jean-Sébastien **DIPLÔME: M.Sc.A.**

TITRE:

Conception du module logiciel pour le diagnostique de fautes dans un circuit de la taille d'une tranche de silicium.

RÉSUMÉ:

Le projet est mené sous le projet de recherche DreamWafer qui propose une nouvelle plateforme de prototypage rapide de circuit électronique. Cette plateforme inclut un réseau d'interconnexion configurable réalisé sur un circuit intégré à l'échelle de la tranche de silicium, le WaferIC. Ce réseau est piloté par un logiciel, le WaferConnect.

Suite à la création d'un noyau au niveau du logiciel WaferConnect pour créer une base solide pour l'implémentation de ces divers modules et faire l'adaptation des modules déjà existant à cette nouvelle structure, le projet a pour but de concevoir un algorithme permettant de déterminer l'état de chacune des cellules du WaferIC, ceci inclut les liens JTAG les reliant.

PROBLÉMATIQUE:

Pour ce qui est du diagnostique, le waferIC étant un circuit intégré à l'échelle de la tranche, il est certain qu'il y aura des erreurs sur sa surface puisque les procédés de fabrication ne sont pas parfaits. Donc, pour obtenir un circuit résistant aux pannes, il est important de déterminer à quels endroits se trouvent les défectuosités pour être capable de les éviter. L'objectif est donc de caractériser tous les liens pour être en mesure de produire les chemins optimaux pour la configuration du WaferIC. Il faut ensuite développer un module de communication permettant d'envoyer et d'interpréter les « bits stream » envoyés et reçus du matériel pour son diagnostic et sa configuration.

MÉTHODOLOGIE:

- Création du noyau logiciel sur lequel est basé le module de diagnostic;
- Étude de l'art sur les circuits JTAG tolérant aux fautes et leur diagnostic;
- Division du problème en deux parties majeures: le diagnostic de la logique de la chaine de balayage et module de communication entre le matériel et le logiciel;
- Conception de petits algorithmes pour résoudre chacun des petits sous problèmes;
- Vérification de ces algorithmes à l'aide de régression.

RÉSULTATS:

Une première version de l'outil de diagnostic a été implémentée et est présentement sous tests. Les résultats préliminaires sont encourageants, mais des modifications sont tout de même à apporter à l'outil afin d'obtenir une caractérisation plus complète. Pour l'instant, plus de 92% des liens sont testés et l'algorithme est capable de localiser un bon nombre de fautes dans plusieurs cas, mais dans d'autres, il est incapable de fournir un diagnostic.

ZARRABI, Houman **DIPLÔME: Ph.D.**

TITRE:

Conception et techniques d'évaluation pour la synthèse efficace de microsystèmes à faible énergie.

RÉSUMÉ:

La conception et les solutions d'évaluation qui peuvent contribuer à la synthèse précise de microsystèmes à faible énergie sont fortement appréciées par l'industrie. La proposition pour la conception de ces solutions et d'estimation est l'accent principal de ce projet de recherche. La recherche a commencé avec la proposition de modèles d'estimation de gains d'énergie dans les plates-formes informatiques. Ces modèles ont été généralisés pour inclure les modèles de plate-formes capables de gérer l'énergie. Plus tard, un modèle de délai plus précis, ainsi qu'une nouvelle méthodologie tenant compte de l'effet d'interconnexions, ont été proposées pour l'utilisation efficace de la puissance gérée microsystèmes. Actuellement, des solutions de conception pour la synthèse de Microsystems à faible énergie, portatif, utilisant une plate-forme technologique Wireless Sensor Network (WSN), sont à l'étude.

PROBLÉMATIQUE:

La principale préoccupation dans la conception et la synthèse des Microsystems portables, y compris les réseaux de capteurs, est la consommation d'énergie. La Modélisation précise des plates-formes de traitement est le défi principal pour l'évaluation des gains d'énergie. Pour la modélisation des délais, une modélisation précise de système de traitement est le principal défi. Finalement, pour la synthèse à haut rendement énergétique des microsystèmes, la complexité du système est le défi de conception.

MÉTHODOLOGIE:

Nous nous inspirons de la loi d'Amdahl et l'appliquons aux composants du système de modélisation pour l'énergie. Nous avons fait une analogie à cette loi (parties fixes et variables système de traitement) pour modéliser les délais. Pour la synthèse du microsystème à faible énergie, nous profilons l'application et faisons levier pour proposer des solutions de conception basées sur le profil des applications embarquées. Dans nos recherches actuelles, nous profilons des applications WSN et nous essayons de gérer la consommation d'énergie sur la base des informations de profil obtenues.

RÉSULTATS:

Les résultats obtenus depuis le début de la recherche peuvent se résumer ainsi :

- Modèles de l'énergie ont été proposées pour estimer les gains d'énergie possibles, ainsi que ses limites, lors de l'utilisation des microsystèmes configurable capable de gérer l'énergie;
- Un modèle de retard de système incluant des effets d'interconnect, y compris les effets d'interconnexion, une estimation précise et la fonctionnalité de plates-formes exécutant Dynamic Voltage and Frequency Scaling (DVFS), ont été proposé;
- Modèles de l'énergie pour les applications réseaux de capteurs sont obtenus et les techniques de gestion de l'énergie sont à l'étude.

ZHANG, Khai **DIPLÔME: Ph.D.**

TITRE:

Conception et fabrication d'un spectromètre en technologie CMOS.

RÉSUMÉ:

Les spectromètres actuels sont des équipements volumineux et couteux qui incluent des composants mécaniques, optiques et électriques limitant ainsi leur champ d'application au marché grand publique. Une nouvelle méthode pour détecter le spectre de la lumière, à partir d'un photodétecteur fabriqué en technologie CMOS, est développée dans ce projet. Les caractéristiques de fiabilité, sensibilité et de gamme dynamique sont mesurées.

PROBLÉMATIQUE:

L'excès de porteurs générés par la radiation électromagnétique dépend de plusieurs facteurs dont le dopage, la longueur d'onde et la profondeur. Exploiter l'excès de porteurs en fonction de la profondeur de pénétration ondes photons requiert une bonne connaissance des mécanismes de transport de charge dans les semiconducteurs. Un modèle par éléments finis doit être construit pour étudier cette nouvelle technique de détection du spectre électromagnétique.

MÉTHODOLOGIE:

L'optimisation incrémental du photodétecteur par la fabrication et le test de prototype est une façon laborieuse et couteuse d'arriver à un détecteur fonctionnel. Bien qu'il soit difficile de décrire mathématiquement toute la complexité d'un tel dispositif, la méthode employée consiste à modéliser le photodétecteur à l'aide du logiciel de simulation par éléments finis, Comsol. Cela a pour avantage d'isoler en amont des effets importants et d'en tenir compte lors de la conception du dispositif. Les prototypes ainsi fabriqués sont plus performant et plus d'améliorations peuvent être apporté au prototype subséquent. Cette interdépendance entre les résultats expérimentaux et le modèle sera entretenu tout au long du projet, permettant ainsi d'arriver à un dispositif performant à moindre coût et plus rapidement.

RÉSULTATS:

Deux prototypes de photo-détecteurs ont été fabriqués en technologie CMOS 0.35um d'AMS et on été testé par l'équipe de Prof Audet. Nous avons donc une banque de résultats pour commencer le raffinement du modèle. Des problèmes de convergence ont compliqué la définition des conditions aux frontières du modèle. Des résultats, considérant le cas stationnaire sans excès de charges, ont été obtenus et se sont avérés utile pour comprendre la distribution du champ électrique due aux charges d'espace et aux potentiels électriques appliqués à l'externe.

ZHENG, Yushan **DIPLÔME: Ph.D.**

TITRE:

Laboratoire sur puce pour la manipulation de particules biologiques par champ magnétique.

RÉSUMÉ:

Dans certaines billes magnétiques en fonction des applications de laboratoire sur une puce, la capacité à haut débit est nécessaire. Nous proposons une méthode d'optimisation de réseau microbobines plane. Les résultats de simulation par éléments finis montrent logiciels (Finite Element Analysis) que la topologie proposée a le meilleur rendement par rapport à la topologie classique en raison de la résolution des problèmes d'interaction entre les perles, nous introduit également une méthode à faible consommation fonctionnement du réseau bobines, qui peuvent également soulager le problème de chauffage dans le canal. Le système microfluidique combinant le tableau proposé bobines et schéma de fonctionnement est adapté à des applications de haut débit LoC (Laboratoire sur puce).

PROBLÉMATIQUE:

Pour générer le champ magnétique de diffusion de la microfluidique, en chaîne ou bobines planaires sur puce sont préférables par rapport à ferromagnétiques externe, parce que l'intensité du flux magnétique et la direction peut être modifiée en changeant simplement le courant passant dans les bobines, ce qui entraîne une plus un contrôle flexible. La plupart des travaux précédents sont basés sur la manipulation à une seule bobine ou simple manipulation topologique tableau bobines, qui s'applique à une seule particule ou la manipulation à faible débit. Toutefois, pour certaines applications de laboratoire sur une puce, tels que la purification, de détection rapide, etc., la capacité à haut débit est nécessaire. Par conséquent, l'optimisation de la topologie réseau microbobines est nécessaire.

MÉTHODOLOGIE:

Notre étude de l'année dernière vise à explorer la topologie la plus efficace de bobines planaires tableau pour la manipulation de masse des billes magnétiques dans le canal. Les résultats de simulation ont permit de minimiser la dimension de bobines à la restriction, des résultats de fabrication dans le meilleur efficace, reflétant la force magnétique optimisée et augmenter le territoire de piégeage. Pendant ce temps, un régime à faible consommation opération sur la base balayage circulaire est introduit.

RÉSULTATS:

Par le biais de remplacement de la bobine d'origine, avec sept petites bobines dans la même zone donnée, nous pouvons obtenir un plus fort champ magnétique à proximité du centre chaque bobine et un plus grand total de piégeage zone sur la superficie de microcanaux. Aussi, pour minimiser la consommation d'énergie et de la chaleur générée par effet Joule tableau bobines, un mode de fonctionnement basé sur balayage circulaire est introduit. En partageant une seule source de courant, en vue macroscopique, toutes les bobines de travailler ensemble, mais en fait, une seule bobine fonctionne en même temps. Cette méthode d'optimisation est prouvée par les deux analyses théoriques et les résultats de simulation du logiciel FEA.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés dans ce rapport sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels.)

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Audet, Y.	MDEIE Polyvalor Sanyo	438,032.00 $	2007 – 2009	«Développement d'un capteur d'images couleurs»
Audet, Y.	CRSNG	15,300.00 $	2007 – 2011	«Integration of Surface Plasmon Polaritons into CMOS Circuits»
Bois, G.	MDEIE Gouvernement du Québec	43,202.00 $	2008 – 2009	«Maturation de la technologie Space Codesign»
Bois, G.	MSBi Valorisation Soutien à la valorisation et au transfert	54,002.00 $	2008 – 2009	«Maturation de la technologie Space Codesign»
Bois, G.	CRSNG	25,000.00 $	2009 – 2014	«Design and Verification of Embedded Systems in the Context of the ESL Paradigm»
Boyer, F.R.	CRSNG	75,000.00 $	2006 – 2011	«Variable clock period for low power and high performance»
David, J.P.	CRSNG	15,000.00 $	2007 – 2012	«Description et synthèse automatique de réseaux de machines algorithmiques évoluées»
Kashyap, R.	CRSNG– UPIR	4,500.00 $	2008 – 2009	«Laser Fridge»
Kashyap, R.	CRSNG	35,500.00 $	2008 – 2010	«Self-organised, ultra-stable, beat frequency laser»
Kashyap, R.	FQRNT	19,500.00 $	2009 – 2011	«Non-linear optics based athermal broadband source for dual-wavelength OCT»
Kashyap, R.	Chaire du Canada	200,000.00 $	2008 – 2009	«Future Photonic Systems»
Kashyap, R.	CRSNG	99,500.00 $	2008 – 2010	«NODES: Nonlinear Optical Devices for Sensing and communications»
Kashyap, R.	CRSNG	25,903.00 $	2008 – 2009	«MODES: Multimode optical delay, frequency and emission measurement System»
Kashyap, R.	NCE (CIPI) Technology Exploitation Grant	30,000.00 $	2008 – 2009	«A living Prosthesis Iris»
Kashyap, R.	CRSNG	4,000.00 $	2008 – 2009	«Tunable polymeric gratings for Optical Coherence Tomography»
Kashyap, R.	CIPI NCE Techno-logy and Networking	35,000.00 $	2008 – 2009	«Ukelele»

Kashyap, R.	CRSNG	35,500.00 $	2008 – 2011	«Atom guidance in polymer fibres»
Kashyap, R.	CRSNG	21,500.00 $	2009 – 2012	«Ultra-long gratings»
Kashyap, R.	CRSNG	4,500.00 $	2009 – 2010	«Optical Delay LInes using congugate optics»
Kashyap, R.	NCE CIPI Tech. Exploitation and Networking Student	7,700.00 $	2009 – 2010	«Glass based sensors»
Kashyap, R.	NCE CIPI Tech. Exploitation and Networking Student	1,500.00 $	2009 – 2010	«Hollow-grams»
Langlois, P.	CRSNG	81,000.00 $	2007 – 2012	«Méthodologies de conception pour processeurs spécialisés»
Martel, S.	Chaire de Recherche du Canada	100,000.00 $	2006 – 2010	«Conception de micro/nano systèmes»
Martel, S.	CRSNG	44,000.00 $	2007 – 2011	«Magnetotactic Bacteria-based Microrobots»
Nicolescu, G.	CRSNG	26,000.00 $	2009 – 2013	«System-Level Design for Heterogeneous Integrated Systems»
Nicolescu, G.	CRSNG	17,500.00 $	2004 – 2009	«Specification and validation in automatic design flow of heterogeneous system on chip»
Savaria, Y.	Chaire de Recherche du Canada	200,000.00 $	2001 – 2014	«Conception des microsystèmes et systèmes microélectroniques»
Savaria, Y.	CRSNG	53,000.00 $	2004 – 2009	«Méthodes de conception de circuits intégrés analogiques précis et d'horloges rapides et précises»
Savaria, Y.	CRSNG	56,000.00 $	2009 – 2013	«Tools and Design Techniques for High-Performance Low-Power MPSoCs Using Optimized Asip Architectures»
Savaria, Y.	MITACS – FQRNT	135,000.00 $	2009 – 2010	Subvention de stages
Sawan, M.	CRSNG	284,000.00 $	2007 – 2012	«Medical Microsystems Dedicated for Wireless Sensing»
Sawan, M.	CRSNG	46,850.00 $	2003 – 2007	«Smart Medical Microsystems Dedicated for Wireless and Massively Parallel Neural Recording in The Cortex»
Sawan, M.	Chaire de Recherche du Canada	200,000.00 $	2009 – 2013	«Dispositifs médicaux intelligents»
Sawan, M.,	MITACS – FQRNT	25,000.00 $	2009	Subvention de stages

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Aboulhamid, M., Bois, G., Nicolescu, G., Tahar, S.	CRSNG	200,000.00 $	2008 – 2010	«From Modeling to Prototyping Advanced Wireless Systems»
Aboulhamid, M., Bois, G., Nicolescu, G., Tahar, S.	ST Microelectronics	10,000.00 $	2007 – 2009	«From Modeling to Prototyping Advanced Wireless Systems»
Bois, G., Boland, J.-F., Thibeault, C.	CRIAQ, CAE Electronics, CMC Electronics	99,600.00 $	2009 – 2010	«Architecture exploration for high-integrated and low-cost avionic systems»
Bois, G., Nicolescu, G.	NSERC	100,000.00 $	2009 – 2010	«Design Exploration for Massively Parallel-Processing Systems»
Bois, G., Nicolescu, G.	CRSNG	98,250.00 $	2008 – 2010	«Exploring Advanced Technologies and Architectures for Massevey Parallel Processing Systems based on Networks-on-Chip»
Bois, G., Nicolescu, G.	CRSNG Équipement	10,000.00 $	2008 – 2010	«Exploring Advanced Technologies and Architectures for Massevey Parallel Processing Systems based on Networks-on-Chip»
Bushmann, M., Sawan, M., et 20 autres	FRSQ	1 250,000.00 $	2007 – 2011	«Groupe de recherche en Sciences et Technologies de la Santé»
Chen, L., Kashyap, R.,	FQRNT	78,000.00 $	2006 – 2008	«DOCTOR (Dual Wavelength Optical Coherence Tomography»
Chen, L., Kashyap, R.	FQRNT	118,000.00 $	2005 – 2008	«Projet de recherche en équipe»
Cheriet, F., Nicolescu, G., Martel, S.	NATEQ	48,000.00 $	2009 – 2011	«Multimodal platform for visualization of vascular structures in guided surgery»
Cherkaoui, O., Savaria, Y.	NSERC, Operating	145,849.00 $	2010 - 2012	«On the virtualization of the network equipment : NETVIRT»
Cherkaoui, O., Savaria, Y., et 3 autres	Prompt	100,000.00 $	2009 – 2011	«Next-Generation Internet» (NGI)»
David, J.-P., Feeley, M., Langlois, P.	Prompt	126,000.00 $	2009 – 2011	«Calcul parallèle pour la visualization temps reel d'infrastructures représentées par des polynômes»
El-Sheimy, N., Hunter, A., Langlois, P.	GEOIDE Phase IV	265,000.00 $	2009 – 2012	«Multi-Sensors Systems for Tracking and Mobility Applications»
Guénat, O., Martel, S., et 2 autres	CRSNG	37,640.00 $	2007 – 2008	«Universal chip-chip bonder»
Guitton, D., Leparé, F., Chaudhauri, Sawan, M.	FQRNT	200,250.00 $	2006 – 2009	«Microsystèmes dédiés à l'interface du cortex visuel primaire: modélisation et validation expérimentale»
Kabashin, A., Kashyap, R.	CRSNG	131,500.00 $	2005 – 2008	«Phase-Polarization methods in Surface Plasmon Resonance biosensing»
Kashyap, R., & 10 autres	FCI Projet régional	1,898,782.00 $	2009 – 2011	«Fabulas»
Kashyap, R., et 2 autres	NCE (CIPI)	30,000.00 $	2006 – 2008	«The study of impacts of climate warming: permafrost sensing with photonics engineering (Persephone)»
Kashyap, R., et 1 autre	NCE (CIPI)	70,000.00 $	2006 – 2008	«Reliability testing of optical waveguide devices»

Laurin, J.-J., Savaria, Y., Boone, F., Fabry, P.	CRSNG	185,700.00 $	2009 – 2011	«Exploring simplifications to electronically steerable antennas for meteorological radars»
Laurin, J-.J., Kashyap, R.	FQRNT	100,000.00 $	2008 – 2009	«Système de tomographie micro-ondes pour la détection du cancer du sein»
Lesur, O., Cheriet, F., Nicolescu, G., Jouvet, P.	FRSQ	185,000.00 $	2010 – 2012	«Diagnostic and treatment of pulmonar inflammation based on a system macro and micro imaging»
Maciejko, R., Kashyap, R.	NCE	149,600.00 $	2005 – 2010	«BIOPSY contd.»
Martel, S., et 5 autres	CIHR	84,850.00 $	2009 – 2011	«MRI Based Targeting of Therapeutic Magnetic Micro Carriers for Chemoembolization of Liver Tumors»
Martel, S., Ferreira, A.	FQRNT-FQRSC	15,000.00 $	2009 – 2011	«Optimisation d'une plateforme interventionnelle pour le ciblage thérapeutique»
Martel, S., et 3 autres	NSERC	105,666.00 $	2008 - 2011	«Magnetic catheter and guidewire navigation platform based on a MRI system for diagnostic or therapeutic»
Martel, S., Savaria, Y., Dubois, C.	CRSNG	116,500.00 $	2007 – 2010	«High-speed nanoprobes-based processes for sub-micrometer electronic interconnects»
Martel, S., et 2 autres	National Institute of Health (NIH) - USA	135,900.00 $	2007 – 2009	«MRI-based tumor targeting enhancement with magnetotactic bacterial carriers»
Martel, S., et 6 autres	FQRNT	60,000.00 $	2007 – 2009	«Plateforme pour les interventions médicales ciblées par des dispositifs propulsés par gradients générés par un système d'imagerie par résonance magnétique»
McWalter, I., Savaria, Y., et 8 autres	FCI – Équipement	9 600,000.00 $	2009 – 2014	«EmSYSCAN: Embedded Systems Canada»
Nicolescu, G., Bois, G., Tahar, S., Aboulham, M.	NSERC	213,000.00 $	2010 – 2012	«3D System-Level Design for Next-Generation Ubiquitous Networks»
O'Connor, I., Nicolescu, G.	Centre Jacques Cartier	2,000.00 $	2008	«Heterogeneous Systems Design»
Pesant, G., Antoniol, G., Guéhéneuc, Y., Nicolescu, G.	NATEQ	58,500.00 $	2009 – 2011	«Constrains Programming for Embedded Systems Validation»
Peter, Y.A., Kashyap, R.	CRSNG	20,000.00 $	2005 – 2008	«Tunable Micro Electro Mechanical Grating in Silicon for Optical Systems and Devices»
Savaria, Y., Bois, G., David, J.-P., Langlois, P., Aboulhamid, M.	FQRNT	199,280.00 $	2009 – 2012	«Méthodes de conception pour l'exploitation de MPSoC haute performance»
Savaria, Y., Sawan, M., Blaquière, Y., Izquierdo, R.	Prompt – Québec	420,000.00 $	2009 – 2011	«Experimental Validation of DreamWafer ™ Microfabrication with Thermal /Mechanical and Distributed Power Control Interconnecting Chips, PCBs»
Savaria, Y., Sawan, M., Blaquière, Y., Izquierdo, R.	CRSNG Technocap	773,767.00 $ 455,157.00 $	2009 – 2011 2009 – 2011	«Experimental Validation of DreamWafer ™ Microfabrication with Thermal /Mechanical and Distributed Power Control Interconnecting Chips, PCBs»

Savaria, Y., David, J.-P., Bois, G., Langlois, P., Aboulhamid, E.M.	FQRNT	149,895.00 $	2009 – 2011	«Systèmes MPSoC extensibles: de l'exploration aux applications»
Savaria, Y., Sawan, M.	CRSNG	200,000.00 $	2007 – 2009	«Wireless sensors platform dedicated to build smart medical devices»
Savaria, Y., Bois, G., Khouas, A., Nicolescu, G.	CRSNG	135,000.00 $	2006 – 2009	«Design Methods, Architectures and Circuits for Reliable Configurable High Performance SoC Platforms»
Savaria, Y., Thibeault, C., Gagnon, F.	Prompt Québec	50,000.00 $	2006 – 2008	«Conception de modules matériels pour le traitement vidéo et leur interfaçage à un tissu d'interconnexion»
Savaria, Y., Aboulhamid, M., Bois, G.	NATEQ	45,000.00 $	2006 – 2008	«Méthodes de vérification et de raffinement automatisé de systèmes électroniques complexes»
Savaria, Y., Khouas, A., Nicolescu, G.	CRSNG	127,500.00 $	2006 – 2008	«Design Methods, Architectures and Circuits for Reliable Configurable High Performance Soc»
Sawan, M., Savaria, Y., et 6 autres	CRIAQ-AVIO402, CRIAQ, NSERC-CRD, Mitacs, Bombardier, Thales	259,000.00 $	2010 - 2013	«Data Networks and Smart Sensors for Safety-Critical Avionics Applications»
Sawan, M., Lesage, F., Lassonde, M., Tardif, J-C.	Instituts de recherche en Santé du Canada (IRSC)	1 745,500.00 $	2009 – 2014	«A portable wireless near infrared spectroscopy system combined with electroencephalography for bedside monitoring of stroke and cardiac patients»
Sawan, M., Lesage, F., Lassonde, M., Tardif, J-C.	Instituts de recherche en Santé du Canada (IRSC)	614,500.00 $	2009 – 2014	«A portable wireless near infrared spectroscopy system combined with electroencephalography for bedside monitoring of stroke and cardiac patients»
Sawan, M., Chaudauri, A.	NSERC, Strategic Grant	192,000.00 $	2009 - 2012	«Intracortical Multiunit Implant to Create Vision for Blinds: Integration and validation»
Sawan, M., et 9 autres	Fondation Canadienne pour l'Innovation (FCI)	4 000, 000.00 $	2009 – 2012	«Design, test, assembly and packaging platform for the construction of innovative microsystems»
Sawan, M., Savaria, Y., Bois, G., et 24 autres	FQRNT	406,500.00 $	2008 – 2014	«Analog, digital and RF circuits and systems design»
Sawan, M., et 27 autres	FQRNT, Research Center	412,500.00 $	2008 - 2012	«Microsystems Research Alliance of Quebec (ReSMiQ)»
Sawan, M., Savaria, Y.	CRSNG	100,000.00 $	2007 – 2009	«Wireless sensors platform dedicated to build smart medical devices»
Sawan, M., Guitton, D., Leparé, F., Chaudhauri, A.	FQRNT	200,250.00 $	2006 – 2009	«Microsystèmes dédiés à l'interface du cortex visuel primaire : modélisation et validation expérimentales»
Thibeault, C., Audet, Y., et 5 autres	CRIAQ/Bombar-dier/MDA	103,750.00 $	2009 – 2010	«Cosmic Radiation and Effect on Aircraft Systems»
Thibeault, C., Gagnon, F., Savaria, Y.	CRSNG	176,540.00 $	2008 – 2009	«Multi-Level Modeling for Design Derivation of Software-Defined Radio Applications»
Wu, K., Kashyap, R.	CRSNG	162,500.00 $	2008 – 2012	«CREER»
Yao, J., Kashyap, R.	CRSNG	169,000.00 $	2005 – 2008	«Broadband Radio-Over-Fiber System for Full-Duplex Hybrid Optical/Wireless Access follow on»

ÉQUIPEMENT ÉLECTRONIQUE

Le groupe GR2M possède un ensemble diversifié d'équipements électronique provenant de diverses subventions (FCI, NATEQ, NSERC) obtenues par les différents professeurs membre du GR2M ou obtenus via la SCM / CMC avec un prêt ou de façon permanente.

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabriquant	Modèle	Description
1	AEROFLEX	IFR3413	Générateur de signal RF 3GHz
1	Agilent	16034H	test fixture
1	Agilent	16047E	Test Fixtures 40 Hz to 110 MHz
1	Agilent	16048G	Test Leads
1	Agilent	16065A	Ext Voltage Bias Fixture
1	Agilent	16314A	balance /unbalance 4 terminal converter
1	Agilent	33250A	0-80MHz WaveForm Generator
1	Agilent	4294-61001	Impedance Analyser fixture 100Ω
1	Agilent	4294A	Impedance Analyzer 40Hz-110MHz
2	Agilent	E3631A	Power Supply
1	Agilent	E3641A	Power Supply
1	Agilent	E3642A	Power Supply
1	Agilent	E3646A	Power Supply
1	Agilent	E3647A	Power Supply
1	Agilent	N5771A	System dc power supply
1	AVR ICE		Microcontroler programmer and debugger
1	Barnstead / Thermolyne	F30430CM	Programmable furnace
1	BK	879	LCR meter
1	BK	4011	FUNCTION GENERATOR
1	BP microsystem	FP1700/240	Universal programmer
1	BP microsystem	SM100VQ	
1	BP microsystem	SM128CS	
1	BP microsystem	SM84UP	
1	BP microsystem	SM56TB	TSSOP 56 PINS
1	casira		Bluetooth
1	CMC/AMI	9444-04-R1	DUT BOARD
1	Data Physics	A-120	Power Supply
1	Data Physics	DP-V011	Shaker
1	Data Translation	DT9834-16-0-12-BNC	High Performance Multifunction Data acquisition USB
1	Fluke	177	True RMS Multimeter
1	HP	54124	Four Chanel test set DC to 50 Ghz
1	HP	16500B	Logic Analyzer
1	HP	16550A	100Mhz STATE/500Mhz TIMING
1	HP	1741A	Oscilloscope
1	HP	3580A	Spectrum Analyzer
1	HP	3709B	Constellation Analyzer
1	HP	54006A	Probe 6 GHz
1	HP	54007A	accessory kit
1	HP	54120B	Sampling oscilloscope 50GHz
1	HP	54616B	Oscilloscope 500MHz
2	HP	54645D	Mixed signal oscilloscope 100MHz
1	HP	6202B	DC Power supply
1	HP	6202B	DC Power supply
1	HP	8111A	Pulse Function Generator 20 Mhz
1	HP	8553L	Spectrum Analyzer 110MHz
2	Instek	PC-3030	Power Supply
1	Intel	EVAL80960VH	INTEL 80960VH Developpement board

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabriquant	Modèle	Description
1	Intel	KEIXP 12EBAB	Network processor development platform
1	INES	GPIB	PCI Card (dans un pc)
1	Karl Suss	10577065	Probe station
5	Karl Suss	PH120	Manual Probe Head
1	Karl Suss	PH600	SEMI-AUTO PROBE HEAD
2	Karl Suss	Z040-K3N-GSG-100	RF probe 100um dc-40 GHz,Z probe
2	Keithley	2002	Precision Multimeter
1	LEITCH	SPG-1680MB	Sync Pulse Generator
1	Logical Device	QUV-T8Z	UV ERASER
1	METCAL	MX500P-11	Fer à souder surface mount
2	Microchip	ICD2	Microcontroler programmer
1	MIRANDA	DAC-100	4224 DAC
1	Miranda	Expresso	
1	MiroTech	VME+PC	Cabinet
1	Nahishige	MB-PB	Micromanipulator
1	NI	PXI-1042	PXI BUS
1	NI	PXI-6071E	Analog input multifunction
1	NI	PXI-6071E	Analog input multifunction
1	NI	PXI-8186	Embedded Controler P4 2.2 GHz
3	Philips	PE1514	Power Supply
1	PHILIPS	PM3055	Oscilloscope 20 Mhz
1	PolyScience	5L	Saline Bath
1	Sanyo	VCC3700	CAMERACOULEUR + POWER SUPPLY
1	SONY	PVM-1354Q	Télévision
1	SRS	SR560	low noise préamp.
1	SRS	SR785	Signal Analyzer
1	SUN	960	Data center cabinet
1	Tektronix	3002	Logic Analyzer
1	Tektronix	7623	Oscilloscope
1	Tektronix	011-0055-02	75 Ω feedthrough
1	Tektronix	012-1605-00	interface cable
1	Tektronix	067-0484-01	differential deskew fixture
1	Tektronix	CSA7404B	Communication Signal Analyser
4	Tektronix	FG502	Function Generator
1	Tektronix	P6139A	Sonde 500MHz
2	Tektronix	P6243	Probe 10X 1GHz
4	Tektronix	P6245	sonde 1.5Ghz 10X pour TDS7154
1	Tektronix	P6418	Sonde Logique 16ch
7	Tektronix	P6470	Pattern Generator v1.0 17 ch
2	Tektronix	P6810	SONDE LOGIQUE HAUTE PERFORMANCE 32ch
1	Tektronix	P7240	sonde active 5X
1	Tektronix	P7350	sonde différentielle 5GHz
1	Tektronix	PG506	Calibration Generator
1	Tektronix	SG503	Sine Wave Generator
1	Tektronix	TCA-1MEG	ADAPTATEUR D'IMPÉDENCE 50Ω 1MΩ
1	Tektronix	TCA-1MEG	ADAPTATEUR D'IMPÉDENCE 50Ω 1MΩ
1	Tektronix	TCA-SMA	adaptateur TCA-SMA
1	Tektronix	TCP202	Sonde de courant de précision DC
1	Tektronix	TCP312	Sonde de courant de précision AC/DC
1	Tektronix	TCPA300	Amplifier ac/dc current probe power supply
1	Tektronix	TDS3054B	Oscilloscope PORTABLE
4	Tektronix	TDS320	Oscilloscope 100Mhz 2ch.
1	Tektronix	TDS3AAM	Advanced Analysis Module (TDS3054B)
1	Tektronix	TDS3LIM	Limit Testing Module (TDS3054B)

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

Nb	Fabriquant	Modèle	Description
1	Tektronix	TDS3VID	Advanved Video Module (TDS3054B)
1	Tektronix	TDS7154	Oscilloscope 1.5GHz 4ch.
2	Tektronix	TLA715	Analyseur logique 32Mb/ch 64ch/68ch ou 32ch+32stim.
3	Tektronix	TM503	power module mainframe for 3 plug-ins
3	Topward	TPS4000	Power Supply
1	vision eng.	lynx	LAMP
1	vision eng.	lynx	POWER SUPPLY
2	WAVETEK	19	Générateur de fonction
2	Weller	WES50	Soldering iron
2	Weller	WTCPT	Soldering iron
1	Wenworth labs	MP0901	Prober Microscope
3	Wenworth labs	PRO195LH	Prober Microscope
2	Xantrex	XT20-3	Power Supply

Laboratoire LASEM (GR2M/PolyStim/Lasem)

Nb	Fabricant	Modèle	Description
1	Heller Industries	1700EXL	Reflow Oven
1	Hesse-Knipps	Bondjet 810	Wedge Bonder
1	Hitachi	S-4700II	scanning electronic microscope
1	Jot automation	J202-01	conveyor
1	Jot automation	J202-02-02	Pickup PCB Destacker
1	Jot automation	J204-02-031	Buffer/Inspection Conveyors 40’’
1	Jot automation	J204-02-022	Buffer/Inspection Conveyors 20"
5	Jot automation	J204-10.9/19	Side Shuttle Transport
1	Kulicke & Soffa	4524-d	Ball bonder
1	Metcal	1E6000	Optical Inspection Camera
1	Metcal	BGA 3101	Rework station
1	Metcal	BGA 3591	Rework station
1	Metcal	VPI-1000	Optical Inspection Camera
1	Oxford instrument	7200	EDX
1	Panasonic	CT-2086YD	monitor
1	Perkin Elmer	--	Differential Scanning Calorimeter Pyris Diamond DSC
1	PMR Systems	PMR-3500	Ultrasound Cleaner
1	Royce Instruments	System 580	Wire Bond Tester
1	Shreiber Engineering	trueton 500W	Water Chiller
1	Speedline technologie	UP1500	
1	Techcon	TS9150	Solder Paste Dispenser
1	TYCO	APS-1H	Pick and Place Machine with WPS and flipper tool
1	TYCO	AVX-1500	Screen Printer
1	TYCO	MT-30	Matrix Tray Handler
1	Unitek Miyachi	LW500A-1	Nd:YAG laser
1	Unitek Miyachi	LW500AWS	5 axis Laser Welding Motion Control System WS
1	Virtual industries	SMD-VAC-GP	vacuum pen

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)

Nb	Fabriquant	Modèle	Description
1	Agilent	81200	Test fixture
1	Agilent	83712B	Synthesized CW generator 10MHz 20 GHz
1	Agilent	E4805B	VXI Timing module
1	Agilent	E8491B	Firewire VXI Controller
8	ALESSI	MH5-L , MH5-R	Micropositioner

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)

Nb	Fabriquant	Modèle	Description
3	ALESSI	MMM-01, MMM-02	Micropositioner
1	Analogic	DB58750	Arb. Function Generator
1	CMC	REV0	VXI Test Fixture Rev.0 (bois)
1	CMC/AMI	TH1000	Mixed Signal Head Test
1	CMC/FERNBANK	MOD2	Rapid prototyping board V2
3	GGB	28	Picoprobe
6	GGB	40A-GSG-150-P	Microwave Probe
11	GGB	40A	Microwave Probe
2	GGB	dual output	Power supply (Dual Output)
2	GGB	mcw-9-4635	Microwave Probe multi chanel
3	HP	1144A	ACTIVE PROBE
1	HP	6623A	Programmable P/S
1	HP	745i	HPUX Test Station
1	HP	81130A	Pulse Pattern Generator
1	HP	85033D	Calibration Kit
1	HP	8593E	Spectrum Analyser
1	HP	8753E	Network Analyser
1	HP	E1401A	VXI Mainframe
1	HP	E1406A	HPIB Command module
1	HP	E1429B	A/D Digitizer
1	HP	E1445A	A/W Generator
1	HP	E1450A	Timing Module
1	HP	E1452A	Terminator PAT I/O
2	HP	E1454A	Pattern I/O POD
1	HP	E3661A	Instrument Rack
3	HP	E4841A	Gen/Anal. Module
1	IMS	XL100	High Speed numeric universal tester
1	Iotech	SB488A	Sun GPID CNTL
1	Keithley	KI236	Source Measurement Unit
	Rhode & Schwarz	NRVZ 1020.1809.02	Power Meter
	Rhode & Schwarz	NRVZ-Z6	Power sensor

ÉQUIPEMENT INFORMATIQUE

Le groupe GR2M possède un ensemble diversifié d'équipements informatique provenant de diverses subventions (FCI, NATEQ, NSERC) obtenues par les différents professeurs membre du GR2M ou obtenus via la SCM / CMC en prêt ou de façon permanente en tant que contribution.

Équipement informatique prêté par la CMC (www.CMC.ca)

Nb	Fabriquant	Modèle	Description
16	IBM	IntelliStation M pro	2HD 80Go , 1-3Go ram
16	SLPS	FPGA board	Altera, Xilinx
2	ARM	FPGA board	RPP

Équipement informatique appartenant au GR2M (www.GRM.polymtl.ca)

Nb	Fabriquant	Modèle	Description
Serveurs			
2	Dell	R510	2 processeurs 4 cœurs, 32 Go ram, disques interne raid de 8TB
1	Dell	T610	1 processeurs 4 cœurs, 49 Go ram,
1	Adaptec	Snap server 550	Disk 3TB
1	SUN	Sun Blade V890	16 processeurs, 32 Go ram

2	SUN	Sun Blade 1000	2 processeurs, 2 Go ram
2	SUN	SUN V440	4 processeurs, 8 Go ram
2	SUN	Sun Storage XTA3511	Disques 6TB Go, raid-5
Postes et équipements			
18	PC	Core2duo	Station du laboratoire VLSI
150	PC	Desktop	Pentium IV, Core 2 Duo, Quad et i7
2	HP	4050tn	Imprimante Laser Noir
3	HP	4M Plus	Imprimante Laser Noir
1	HP	5M	Imprimante Laser Noir
1	HP	4V	Imprimante Laser Noir 11x17
2	DELL	3100n	Imprimante Laser Couleur
1	DELL	5100n	Imprimante Laser Couleur
4	DELL	1700n	Imprimante Laser

LOGICIELS DE MICROÉLECTRONIQUE (EDA)

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible dans les laboratoires du GR2M et du VLSI. Quelques-uns de ces logiciels sont achetés par le GR2M et d'autres, tel que Cadence, Mentor, Synopsys, Xilinx, sont distribués par la Société canadienne de microélectronique (SCM / CMC).

Logiciels disponibles au GR2M (www.GRM.polymtl.ca)

Compagnie	Logiciel
Cadence	ANLS, Assura, CCD, Confrml, ET, EXT, IC, ICC, IUS, MMSIM, Neocell, Neockt, OA, RC, SEV, SOC, SPB, TSI, VSDE
Agilent	ADS
Agility	Celoxica
Aldec	VHDL
Altera	Quartus
Ansys	Ansys, Workbench
ARM	ARM Developper Suite
Coware	Processor Designer
Forte	ForteDS
Matworks	Matlab, Simulink
Mentor Graphics	Calibre, DFT, HDS, PADS, ModelSim,
COMSOL	COMSOL
Synopsys	Astro, Astrorail, NS (Nanosim), SYN (Core Synthesis Tools), FM (Formality), HSIM, HSPICE, STAR SIM, Sentaurus, Y-2006, Z-2007,
Synplicity	Synplify
Tensilica	Xtensa
Virage	Mem compiler
Xilinx	ISE, EDK, CHIPSCOPE, PlanAhead

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

[A-1] ABDERRAHMAN, A., KHOUAS, A., SAVARIA, Y., SAWAN, M., « True and Accurate Analog Parametric Fault Coverage », accepté par *Springer J. of Electronic Testing: Theory and Applications*.

[A-2] BERGERON, E., PERRON, L.D., FEELEY, M., DAVID, J.-P., « Logarithmic Time FPGA Bitstream Analysis: a step Towards JIT Hardware Compilation », accepté par *ACM Transactions on Reconfigurable Technology and Systems*.

[A-3] DAIGNEAULT, M.-A., DAVID, J.-P., « A High Resolution Time-to-Digital Converter onFPGA Using Dynamic Reconfiguration », accepté par *IEEE Trans. on Instrumentation &Measurement*, Sept. 2009.

[A-4] GHAFAR-ZADEH, E., SAWAN, M., CHODAVARAPU, V.P., « Differential Monitoring of Bacteria Growth using CMOS Capacitive Sensor », accepté par *IEEE Trans. on Biomedical Circuits & Systems,* 2010.

[A-5] GIRODIAS, B., GHEORGHE, L., BOUCHEBABA, Y., NICOLESCU, G., ABOULHAMID, E., PAULIN, P., LANGEVIN, M., « Integrating Memory Optimization with Mapping Algorithms for MPSoC », accepté par IEEE Transaction on Embedded Computing Systems Journal, 2010 (CRSNG)

[A-6] GOSSELIN, B., SAWAN, M., « Linear-Phase Delay Filters for Ultra-Low-Power Signal Processing in Neural Recording Implants », accepté par *IEEE Trans. on Biomedical Circuits & Systems*, 2010.

[A-7] LE BEUX, S., NICOLESCU, G., BOIS, G., BOUCHEBABA, Y., LANGEVIN, M., PAULIN, P., « Combining Mappingand Partitioning Exploration for NoC-Based Embedded Systems », accepté par Journal of Systems Architecture, 2010.

[A-8] LE BEUX, S., O'CONNOR, I., NICOLESCU, G., BOIS, G., PAULIN, P., « Multi-Optical Network on Chip forLarge Scale MPSoC », accepté par IEEE Embedded Systems Letters, 2010.

[A-9] SIMARD, G., SAWAN, M., MASSICOTTE, D., « High-Speed OQPSK and Efficient Power Transfer Through Inductive Link for Biomedical Implants », accepté par *IEEE Transactions on Biomedical Circuits and Systems*, 2010.

[A-10] SINGH, R., AUDET, Y., GAGNON, Y., SAVARIA, Y., BOULAIS, É., MEUNIER, M., « A Laser-Trimmed Rail-to-Rail Precision CMOS Operational Amplifier », accepté par *IEEE Transactions on Circuitsand Systems II*.

[A-11] TARIQUS-SALAM, M., SAWAN, M., NGUYEN, D., « An alternative treatment for epilepsy: low-power implantable device », accepté par *Journal of Healthcare Engineering*, 2010.

Articles de revues publiés de septembre 2009 à août 2010

[P-1] TEHRANCHI, A., KASHYAP, R., « Improved Cascaded SFG + DFG Wavelength Converters in Low-Loss QPM Lithium Niobate Waveguides », Applied Optics, Vol. 48, No. 31, November 2009, pp. G143-G147.

[P-2] BENSALEM, B., PROULX, X., CARDINAL, C., KASHYAP, R., « Distributed multimode optical fiber sensors », *in preparation for IEEE Journal of Lightwave Technology*, September 2009.

[P-3] CHEBLI, R., SAWAN, M., EL-SANKARY, K., SAVARIA, Y., « High-Voltage DMOS integrated circuits using floating-gate protection technique », *Analog Integrated Circuits and Signal Processing*, Vol. 62, No. 2, February 2010, pp. 223-235.

[P-4] GAGNÉ, M., KASHYAP, R., « Demonstration of a 3 mW threshold Er-doped random fiber laser based on a unique fiber Bragg grating », *Optics Express*, Vol.17, Issue 21, October 2009, pp. 19067-19074.

[P-5] GAO, S., CHABINI, N., AL-KHALILI, D., LANGLOIS, J.M.P., « FPGA-based efficient design approaches for large-size two's complement squarers », *The Journal of Signal Processing Systems*, Vol. 58, No. 1, 2010, pp. 3-15.

[P-6] GHAFAR-ZADEH, E., SAWAN, M., « Toward Fully Integrated Lab-on-Chip: Design, Assembly and Experimental Results », *Int. Journal of Advanced Media and Communications*, Vol.3, No. ½, 2009, pp. 154-166.

[P-7] HASAN, S.R., BÉLANGER, N., SAVARIA, Y., AHMAD, O., « Crosstalk-Glitch Propagation Modeling for Asynchronous Interfaces in Globally Asynchronous Locally Synchronous Systems », *IEEE Transactions on Circuits and Systems Part I* (TCAS-I), Vol. 57, No. 8, August 2010, pp. 2020-2031. (CRC)

[P-8] HASHEMI, S., SAWAN, M., SAVARIA, Y., « A Novel Low-Drop Voltage CMOS Active Rectifier for RF Powered Devices: Experimental Results », *Elsevier Microelectronics Journal*, Vol. 40, No. 11, 2009, pp. 1547-1554.

[P-9] LEVESQUE, P., SAWAN, M., « Novel Low-power ultrasound digital preprocessing architecture for wireless display », *IEEE Trans. on Ultrasonics, Ferroelectrics and Frequency Control*, Vol. 57, No. 3, March 2010, pp. 757-767.

[P-10] ISLAM, A., IQBAL, U., LANGLOIS, J.M.P., NOURELDIN, A., « Implementation methodology of embedded land vehicle positioning using an integrated GPS and multi-sensor system », *Integrated Computer-Aided Engineering*, Vol. 17, No. 1, 2010, pp. 69-83.

[P-11] MARCHE, D., SAVARIA, Y., « Modeling R2R Segmented Ladder DAC », *IEEE Transactions on CAS I*, Vol. 57, No. 1, January 2010, pp. 31-43.

[P-12] MARTEL S., « Collective methods of propulsion and steering for untethered microscale nanorobots navigating in the human vascular network », *Proceedings of the Institution of Mechanical Engineers, Part C: Journal of Mechanical Engineering Science*, Vol. 224, No. 7, 2010, pp.1505-1513.

[P-13] MARTEL S., « Combining aggregates of synthetic microscale nanorobots with swarms of computer-controlled flagellated bacterial robots to enhance target therapies through the human vascular network », *Int. Journal on Advances in Systems and Measurements*, Vol. 3, No. 3-4, 2010.

[P-14] MATHIEU J-B. AND MARTEL S., « MRI Steering of aggregating magnetic microparticles for enhanced therapeutic efficacy in cancer targeting », *Magnetic Resonance in Medicine*, Vol. 63, 2010, pp. 1336-1345.

[P-15] MEMARZADEH-TEHRAN, H., LAURIN, J.-J., KASHYAP, R., « Optically Modulated Probe for Precision Near-Field Measurements », *IEEE Trans. on Instrumentation and measurements*, April 2010, pp. 2755-2762.

[P-16] NEMOVA, G., KASHYAP, R., « Fiber amplifier with integrated optical cooler », *J. Opt. Soc. Am. B*, Vol. 26, 2009, pp. 2237-2241.

[P-17] NEMOVA, G., KASHYAP, R., « Raman fiber amplifier with integrated cooler », *Journal of Lightwave Technology*, Vol. 27, Issue 24, December 2009, pp. 5597-5601.

[P-18] POUPONNEAU P., SAVADOGO O., NAPPORN T., YAHIA L'H. AND MARTEL S., « Corrosion study of iron-cobalt alloys for MRI-based propulsion embedded in untethered microdevices operating in the vascular network », *Journal of Biomedical Materials Research: Part B - Applied Biomaterials*, 93B, 2010, pp. 203-211.

[P-19] SAWAN, M., HASHEMI, S., SEHIL, M., AWWAD, F., HAJJ-HASSAN, M., KHOUAS, A., « Multicoils-based inductive links dedicated to power up implantable medical devices: modeling, design and experimental results », *Biomedical Microdevices*, Vol. 11, No. 5, Oct. 2009, pp. 1059-1070.

Articles de revues publiés de septembre 2008 à août 2009

[P-20] AWWAD, F., NEKILI, M., RAMACHANDRAN, V., SAWAN, M., « On Modeling of Parallel Repeater-Insertion Methodologies for SoC Interconnects », *IEEE Transactions on Circuits and Systems – I*, Vol. 55, Issue 1, February 2008 pp. 322-336.

[P-21] BEUCHER, N., BÉLANGER, N., SAVARIA, Y., BOIS, G., « High Acceleration for Video Application Using Specialized Instruction Set based on Parallelism and Data Reuse », *Journal of Signal Processing Systems*, Vol. 56, No. 2-3, September 2009, pp. 155-165

[P-22] BEY-OUESLATI, R., PALM, S.J., THERRIAULT, D., MARTEL, S., « High speed direct-write for rapid fabrication of three-dimensional microfluidic devices », *International Journal of Heat and Technology*, Vol. 26, No. 1, November 2008, pp. 125-131.

[P-23] BEY-OUESLATI, R., THERRIAULT, D., MARTEL, S., « PCB-integrated Heat Exchangers for Cooling Electronics using Microchannels Fabricated with the Direct-write Method », *IEEE Transactions on Components and Packaging Technologies*, Vol. 31, Issue 4, Dec. 2008, pp. 869-874.

[P-24] BOULAIS, E., BINET, V., DEGORCE, J-Y., WILD, G., SAVARIA, Y., MEUNIER, M., « Thermodynamics and Transport Model of Charge Injection in Silicon Irradiated by a Pulsed Focused Laser », *IEEE Transactions on Electron Devices*, Vol. 55, Issue 10, October 2008, pp. 2728-2735.

[P-25] GAGNÉ, M., BOJOR, L., MACIEJKO, R., KASHYAP, R., « Novel custom fiber Bragg grating fabrication technique based on push-pull phase shifting interferometry », *Optics Express*, Vol. 16, Issue 26, December 2008, pp. 21550-21557.

[P-26] GHAFAR-ZADEH, E., SAWAN, M., CHODAVARAPU, V.P., « Micro-Organism-on-Chip: Emerging Direct-Write CMOS-Based Platform for Biological Applications » *IEEE Transactions on Biomedical circuits and systems*, Vol. 3, No. 4, August 2009, pp. 212-219.

[P-27] GHAFAR-ZADEH, E., SAWAN, M., THERRIAULT, D., « A Microfluidic Packaging Technique for Lab-on-Chip Applications », *IEEE Trans. On Advanced Packaging*, Vol. 32, Issue 2, May 2009, pp. 410-416

[P-28] GHAFAR-ZADEH, E., SAWAN, M., « CMOS Based Capacitive Sensor Laboratory-on-Chip: A Multidisciplinary Approach », *Springer Analog ICs & Signal Proc. J.*, Vol. 59, Issue 1, April 2009, pp. 1-12.

[P-29] GIRODIAS, B., BOUCHEBABA, Y., NICOLESCU, G., PAULIN, P., ABOULHAMID, M., « Multiprocessor, Multithreading and Memory Optimization for On-Chip Multimedia Applications », *Journal of Signal Processing Systems*, Springer, Vol. 57, No. 2, November 2009, pp. 263-283.

[P-30] GOSSELIN, B., SAWAN, M., « A low-power integrated neural interface with digital spike detection and extraction », *Springer Analog IC and SP Journal*, Vol. 64, No. 1, August 2009, pp. 3-11.

[P-31] GOSSELIN, B., SAWAN, M., « An Ultra Low-Power CMOS Automatic Action Potential Detector », *IEEE Trans. On Neural Systems & Rehabilitation Engineering*, Vol. 17, Issue 4, August 2009, pp. 346-353.

[P-32] GOSSELIN, B., AYOUB, A.E., ROY, J.F., SAWAN, M., LEPORTE, F., CHAUDHURI, A., GUITTON, D., « A Mixed-Signal Multi-Chip Neural Recording Interface with Bandwidth Reduction », *IEEE Trans. on Biomedical Circuits & Systems*, Vol. 3, Issue 3, June 2009, pp. 129-141.

[P-33] LÉVESQUE, P., SAWAN, M., « Real-time hand-held ultrasound medical imaging device based on a new digital quadrature demodulation processor », *IEEE Trans. on Ultrasound and Acoustic Imaging*, Vol. 56, No. 8, August 2009, pp. 1654-1665.

[P-34] LÉVESQUE, M., LANGLOIS, J.M.P., LEMA, P., COURTEMANCHE, R., BILODEAU, G.-A., CARMANT, L., « Synchronized Gamma Oscillations (30-50Hz) inthe Amygdalo-Hippocampal Network in Relation with Seizure Propagation and Severity », *Neurobiology of Disease*, Vol. 35, No. 2, August 2009, pp. 209-218.

[P-35] MARCHE, D., SAVARIA, Y., GAGNON, Y., « An Improved Switch Compensation Technique for Inverted R-2R Ladder DACs », *IEEE Transactions on CAS I*, Vol. 56, Issue 6, June 2008, pp. 1115-1124.

[P-36] MARCHE, D., SAVARIA, Y., GAGNON, Y., « Laser Fine-Tuneable Deep Sub-Micron écNIés 14 bit DAC », *IEEE Transactions on Circuits and Systems – I*, Vol. 55, No. 8, September 2008, pp. 2157-2165.

[P-37] MARROQUIN, I., BRAULT, J.-J., HART, B., « A visual-based data mining methodology to conduct seismic facies analysis, part I: Testing and comparison with other unsupervised clustering methods », GEOPHYSICS, *Society of Exploration Geophysicists*, Vol. 74, Issue 1, Jan.-Feb. 2009, pp. P1-P11.

[P-38] MARROQUIN, I., BRAULT, J.-J., HART, B., « A visual-based data mining methodology to conduct seismic facies analysis, part II: Application to 3-D seismic data», GEOPHYSICS, *Society of Exploration Geophysicists*, Vol. 74, No. 1, January-February 2009, pp. P13-P23.

[P-39] MARTEL, S., FELFOUL. O., MATHIEU, J.-B., CHANU, A., TAMAZ, S., MOHAMMADI, M., MANKIEWICZ, M., TABATABAEI, N., « MRI-based nanorobotic platform for the control of magnetic nanoparticles and flagellated bacteria for target interventions in human capillaries », *International Journal of Robotics Research* (IJRR), Special Issue on Medical Robotics, Vol. 28, Issue 9, August 2009, pp. 1169-1182.

[P-40] MARTEL, S., « Nanorobots for microfactories to operations in the human body and robots propelled by bacteria », *Journal Facta Universitatis Series Mechanics, Automatic Control & Robotics* (FU_MCAR), Special Issue on Control of Active and Robotic Systems, Vol. 7, Issue 1, January 2009, pp. 1-8.

[P-41] MARTEL, S., MOHAMMADI, M., FELFOUL. O., LU, Z., POUPONNEAU, P., « Flagellated magnetotactic bacteria as controlled RRI-trackable propulsion and steering systems for medical nanorobots operating in the human microvasculature », *International Journal of Robotics Research* (IJRR), Vol. 28, Issue 4, April 2009, pp. 571-582.

[P-42] MARTEL, S., MATHIEU, J.-B., FELFOUL, O., CHANU, A., ABOUSSOUAN, E., TAMAZ, S., POUPONNEAU, P., YAHIA, L'H., BEAUDOIN, G., SOULEZ, G., MANKIEWEX, M., « A computer-assested protocol for endovascular target interventions using a clinical MRI system for controlling untethered microdevices and future nanorobots », *Computer Aided Surgeri*, Vol. 13, Issue 6, November 2008, pp. 340-352.

[P-43] MATHIEU, J.B., MARTEL, S., « Aggregation of magnetic microparticles in the context of targeted therapies actuated by a magnetic resonance imaging system », *Journal of Applied Physics Materials*, Vol. 106, Issue 4, August 2009, pp. 44904-1 – 44904-7.

[P-44] NADERI, A., SAWAN, M., SAVARIA, Y., « A Low-power 2-GHz Data Conversion using Delta Modulation for Portable Application Integration », *Elsevier Microelectronics Journal*, Vol. 42, Issue 1, January 2009, pp. 68-76.

[P-45] NADERI, A., SAWAN, M., SAVARIA, Y., « On the Design of Undersampling Continuous-Time Band-Pass Delta-Sigma Modulators for Gigahertz Frequency A/D Conversion », *IEEE Trans. on Circuits & Systems-I*, Vol. 55, Issue 11, December 2008, pp. 3488-3499.

[P-46] NAJMABADI, M., DEVANBHAKTUNI, V., SAWAN, M., MAYRAND, S., FALLONE, C.A., « A New Approach to Analysis and Modeling of Esophageal Manometry Data in Humans », *IEEE Transactions on Biomedical Eng.*, Vol. 56, Issue 7, July 2009, pp. 1821-1830.

[P-47] NEMOVA, G., KASHYAP, R., « Athermal Raman Fiber Amplifier », *Optics Communications*, Vol. 282, Issue 13, July 2009, pp. 2571-2575.

[P-48] NEMOVA, G., KASHYAP, R., « Optimizatin of the dimensions of an Yb^{3+}: ZBLANP optical fiber sample for laser cooling of solids », *Optics Letters*, Vol. 33, Issue 19, October 2008, pp. 2218-2220.

[P-49] NEMOVA, G., KABASHIN, A.V., KASHYAP, R., « Surface Plasmon-Polariton Phase Sensitive Integrated Planar Mach-Zehnder Refractive Index Sensor Based on Bragg Grating Excitation », *JOSA B*, Vol. 25, Issue 10, October 2008, pp. 1673-1677.

[P-50] NEMOVA, G., KASHYAP, R., « Optimisation of the Dimensions of an Yb^{3+}: ZBLANP Optical Fiber Sample for Laser Cooling of Solids », *Optics Letters*, Vol. 33, Issue 19, October 2008, pp. 2218-2220.

[P-51] OUESLATI, R.B., THERRIAULT, D., MARTEL, S., « PCB-Integrated Heat Exchanger for Cooling Electronics Using Microchannels Fabricated with the Direct-Write Method », IEEE *Transactions on Components and Packaging Technologies*, Vol. 31, Issue 4, December 2008, pp. 869-874.

[P-52] OZCAN, L.C., GUAY, F., KASHYAP, R., MARTINU, L., « Fabrication of buried waveguides in planar silica films using a direct CW laser writing technique », *Journal of Non-Crystalline Solids*, Vol. 354, Issues 42-44, November 2008, pp. 4833-4839.

[P-53] POUPONNEAU, P., LEROUX, J-C., MARTEL, S., « Magnetic nanoparticles encapsulated into biodegradable microparticles steered with an upgraded magnetic reonance imaging system for tumor chemoembolization », *Biomaterials*, Vol. 30, February 2009, pp. 6327-6332.

[P-54] SAWAN, M., BAS, A., MOUNAIM, F., CORCOS, J., ELHILALI, M.M., « Biomedical Circuits and Sytems Dedicated for Sensing and Neurostimulation: Case study on Uninary Bladder dysfunctions », *Turk. Journal of Elect. Eng.*, Vol. 16' Issue 3, December 2008, pp. 171-187.

[P-55] SALOMON, M.E., KHOUAS, A., SAVARIA, Y., « Spurs Model for a Fixed-frequency Signal Subject to Periodic Jitter », *IEEE Transactions on Instrumentation and Measurement*, Vol. 57, Issue 10, October 2008, pp. 2320-2328.

[P-56] TANGUAY, L.F., SAWAN, M., SAVARIA, Y., « A very-high output impedance charge pump for low-voltage low-power PLLs », *Elsevier Microelectronics Journal*, Vol. 40, April 2009, pp. 1026-1031.

[P-57] TEHRANCHI, A., KASHYAP, R., « Novel Designs for Efficient Broadband Frequency Doublers Using Singly Pump-Resonant Waveguide and Engineered Chirped Gratings », *IEEE Journal of Quantum Electronics*, Vol. 45, Issue 2, February 2009, pp. 187-194.

[P-58] TEHRANCHI, A., KASHYAP, R., « Response flattening of efficient broadband nonlinear wavelength converters based on cascaded sum- and difference-frequency generatin in periodically poled lithium niobate waveguides », *IEEE Journal of Quantum Electronics*, Vol. 45, Issue 9, September 2009, pp. 1114-1120.

Articles de conférence de septembre 2009 à août 2010.

[C-1] AHLWAT, M., VAZQUEZ, V., NALIN, M., MESSADDEQ, Y., RIBEIRO, S., KASHYAP, R., « Refractive index changes in photo-darkened $Sb_n S_{1-n}$ Chalcogenide Glass by exposure to below band-gap radiation », International Conference on Non Crystalline Solids, Iguasu, Brazil, September 2009.

[C-2] ALLARD, M., GROGAN, P., DAVID, J.-P., « A scalable architecture for multivariate polynomial evaluation on FPGA », 2009 International Conference on Reconfigurable Computing and FPGAs, Cancun, Mexico, December 9-11, 2009, pp.107-112.

[C-3] AL-TERKAWI-HASIB, O., SAWAN, M., SAVARIA, Y., « Fully Integrated Ultra-Low-Power Asynchronously Driven Step-Down DC-DC Converter », IEEE-ISCAS, Paris, France, May 30 – June 2, 2010, pp. 877-880.

[C-4] BAFUMBA-LOKILO, D., SAVARIA, Y., DAVID, J.-P., « Generic Array-Based MPSoC Architecture », 2nd Microsystems and Nanoelectronics Research Conference (MNRC 2009), Ottawa, Canada, October 13-14, 2009, pp. 128-131.

[C-5] BERRIAH, O., BOUGATAYA, M., LAKHSSASSI, A., BLAQUIÈRE, Y., SAVARIA, Y., « Thermal Analysis of a Miniature Electronic Power Device Matched to a Silicon Wafer », NEWCAS 2010, Montreal, Canada, May 20-23, 2010, pp. 129-132.

[C-6] BENSALEM, B., KASHYAP, R., DEMIZIEUX, P.-M., PROULX, X., CARDINAL, C., BOSISIO, R., NERGUIZIAN, C., « A Novel Scheme to Lock Distributed Multimode Optical Fiber Vibration Sensors », OSA meeting: Optical Fiber Sensors, Karlsruhe, Germany, June 21-24, 2010, paper BThB7.

[C-7] BRINGOUT G., SAEIDLOU S. AND MARTEL S., « Sub-micrometer network fabrication for bacterial carriers and electrical signal transmission », 4th International ICST Conference on Nano-Networks, Luzern, Switzerland, Oct. 18-20, 2009, pp. 46-50.

[C-8] CHAOUI, H., SICARD, P., SAWAN, M., « High Precision ANN-Based Adaptive Displacement Tracking of Piezoelectric Actuators for MEMS », NEWCAS 2010, Montreal, Canada, June 20-23, 2010, pp. 85-88.

[C-9] DAIGNEAULT, M.-A., DAVID, J.-P., « A novel 10 ps resolution TDC architecture implemented in a 130nm process FPGA », NewCAS 2010, Montreal, QC, June 20-23, 2010, pp. 281 -284.

[C-10] DAIGNEAULT, M.-A., DAVID, J.-P., « Towards 5ps Resolution TDC on a Dynamically Reconfigurable FPGA », FPGA 2010, Monterey, California, USA, February 21-23, 2010. p. 283.

[C-11] ETHIER, S., SAWAN, M., M., EL-GAMAL, M. « A Novel Energy-Efficient Stimuli Generator for Very-High Impedance Intracortical Microstimulation », IEEE-ISCAS, Paris, France, May 30 – June 2, 2010, pp. 961-964.

[C-12] FEREYDOUNI FOROUZANDEH, F., AIT MOHAMED, O., SAWAN, M., AWWAD, F., «Delay Calculation and Error Compensation in TBCD-TDM Communications Protocol for Wireless Body Sensor Networks », NEWCAS 2010, Montreal, Canada, June 20-23, 2010, pp. 17-20.

[C-13] FEREYDOUNI FOROUZANDEH, F., AIT MOHAMED, O., SAWAN, M., AWWAD, F., « TBCD-TDM: Novel Ultra-Low Energy Protocol for Implantable Wireless Body Sensor Networks », IEEE-Globe Com, Hawaii, November 30 - December 4, 2009, pp. 1-6.

[C-14] GAGNÉ, M., KASHYAP, R., «Photosensitivity of hydrogen-free optical fibers exposed to nanosecond 213 nm pulses», OSA Conference BGPP, Karlsruhe, Germany, June 21-24, 2010.

[C-15] GAGNÉ, M., KASHYAP, R., « Lasers aléatoires à fibre basé sur un réseau de Bragg unique », ACFAS, Montreal, Canada, May 9-13, 2010.

[C-16] GOSSELIN, B., SAWAN, M., « Circuits techniques and microsystems assembly for Intracortical multichannel ENG recording », IEEE-Custom Integrated Circuits Conference (CICC), San Jose, USA, September 13-16, 2009, pp. 97-104.

[C-17] HARHIRA, A., CARVALHO, I. C. S., GUAY, F., DAIGLE, M., KASHYAP, R., Holographic technique of LPG fabrication with a 10.6 µm radiation », ICOOPMA 2010, Budapest, Hungary, August 16-19, 2010.

[C-18] HARHIRA, A., LAPOINTE, J., KASHYAP, R., « High sensitivity inline fiber Mach-Zehnder interferometer bend sensor using a twin core fiber », Proc. SPIE, Vol. 7653, 765315, 2010.

[C-19] HARHIRA, A., CARVALHO, I. C. S., KASHYAP, R., « LPG on Tapered Fiber Fabricated by Holographic Technique and 10.6µm Radiation », in Bragg Gratings, Photosensitivity, and Poling in Glass Waveguides, OSA Technical Digest (CD) (Optical Society of America 2010), paper BMA6.

[C-20] HASHEMI, S., SAWAN, M., SAVARIA, Y., « A Low-Area Power-Efficient CMOS Active Rectifier for Wirelessly Powered Medical Devices », 16th IEEE International Conference on Electronics, Circuits and Systems, Tunisia, December 13-16, 2009, pp. 635-638.

[C-21] KHAMSEHASHARI, E., AUDET, Y., « Digital Linearity Correction of a Wide Dynamic Range Current-Mode Image Sensor », The 8th IEEE International, NEWCAS Conference 2010, June 21-23, 2010, pp. 133-136.

[C-22] KHOSHBAKHT MARVI E., MOHAMMADI M. AND MARTEL S., « Using a Swarm of Bacteria as Actuator for Propelling Microrobots », 12th International Conference on New Actuators, Bremen, Germany June 14-16, 2010.

[C-23] Khoshbakht Marvi E., Mokrani N., Mohammadi M., Martel S. « Impact of the Geometrical Features of Micro-components in Bacterial Micro-assemblies », 5th International Conference on MicroManufacturing (ICOMM/4M), Madison, Wisconsin, USA, April 5-8, 2010.

[C-24] LAFLAMME-MAYER, N., VALORGE, O., BLAQUIÈRE, Y., SAWAN, M., « A Low-Power, Small-Area Voltage Reference Array for a Wafer-Scale Prototyping Platform », NEWCAS 2010, Montreal, Canada, June 20-23, 2010, pp. 189-192.

[C-25] LALANDE V., GOSSELIN F.P. AND MARTEL S., « Experimental demonstration of a swimming robot propelled by the gradient field of a Magnetic Resonance Imaging (MRI) system », 2010 IEEE/ASME International Conference on Advanced Intelligent Mechatronics (AIM), Montreal, Canada, July 6-9, 2010.

[C-26] LAPOINTE J. AND MARTEL S., « Thermoresponsive hydrogel with embedded magnetic nanoparticles for the implementation of shrinkable medical microrobots and for targeting and drug delivery applications », 31st Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), Minneapolis. USA, September 2-6, 2009.

[C-27] LEPERCQ, E., VALORGE, O., BASILE-BELLAVANCE, Y., LAFLAMME-MAYER, N., BLAQUIÈRE, Y., SAVARIA, Y., « An Interconnection Network for a Novel Reconfigurable Circuit Board », 2nd Microsystems and Nanoelectronics Research Conference (MNRC), Ottawa, Canada, October13-14 , 2009, pp. 53-56.

[C-28] MAHDAVI, S., NABKI, F., SAWAN, M., EL-GAMAL, M.N.; « On the testing of MEMS resonators», The 4th International Design and Test Workshop (IDT), Riyadh, Saudi Arabia, Nov. 15-17, 2009, pp. 1-6.

[C-29] MARTEL S. AND MOHAMMADI M., « Using a Swarm of Self-propelled Natural Microrobots in the Form of Flagellated Bacteria to Perform Complex Micro-assembly Tasks », 2010 IEEE International Conference on Robotics and Automation (ICRA), Anchorage, Alaska, May 3-8, 2010, pp. 500-505.

[C-30] MILED, M.A., EL-ACHKAR, C.M., SAWAN, M., « Low-Voltage Dielectrophoretic Platform for Lab-on-Chip Biosensing Applications », NEWCAS 2010, Montreal, Canada, May 20-23, 2010, pp. 389-392.

[C-31] MOUNAIM, F., SAWAN, M., « Integrated inductive power and data recovery front-end dedicated to implantable devices », IEEE-BioCAS Conference, Beijing, China, November 26-28, 2009, pp. 229-232.

[C-32] MOUNAIM, F., SAWAN, M., « High-voltage DC/DC converter for high-efficiency power recovery in implantable devices », 2009 International Conference on Microelectronics (ICM), Marrakech, Morocco, December 19-22, 2009, pp. 22-25.

[C-33] NEMOVA, G., KASHYAP**,** R., « High-power fiber lasers with integrated rare-earth optical cooler », In proceeding sof Photonics West, San Francisco, January 23-28, 2010, Laser Refrigeration of Solids III*,* p. 761406.

[C-34] OULD BACHIR, T., DUFOUR, C., DAVID, J.-P., BÉLANGER, J., « Effective fpga-basedelectric motor modeling with floating-point cores », IECON 2010 – 36th Annual Conference on IEEE Industrial Electronics Society, Glendale, AZ, November 7-10, 2010, pp. 829-834.

[C-35] OULD BACHIR, T., DAVID, J.-P., « FPGA-based real-time simulation of state-space modelsusing floating-point cores », EPE-PEMC 2010, Ohrid, Macedonia, September 6-8, 2010, pp. S2-26 - S2-31.

[C-36] OULD BACHIR, T., DAVID, J.-P., « Performing Floating-Point Accumulation on a modern FPGA in Single and Double precision », FCCM 2010, Charlotte, NC, May 2-4, 2010, pp. 105-108.

[C-37] SAEIDLOU S., BRINGOUT G., DUBOIS C. AND MARTEL S., « Polymeric fibers for bacterial carriers and electrical signals in future nano-networks », 4th International ICST Conference on Nano-Networks (Nano-Net 2009), Luzern, Switzerland, October 18-20, 2009.

[C-38] SAFI-HARB, M., SAWAN, M., MIRABBASI, S., « Super-Regeneration-Inspired Time-Based Testing of LC-Tank Oscillators », IEEE-ISCAS, Paris, France, May 30 - June 2, 2010, pp. 4285-4288.

[C-39] SAWAN, M., GOSSELIN, B., « Multichannel neurorecording from the cortex: integration and packaging challenges », The Symposium on Integrated Circuits and Systems Design (SBCCI)*,* Natal, Brazil, August 31 – September 3, 2009, pp. 1-4.

[C-40] SHECHTER E. AND MARTEL S., « Principles of Motion Control of Bacterial Micro-Robots Using Oxygen Gradients », 2010 IEEE/ASME International Conference on Advanced Intelligent Mechatronics, Montreal, Canada, July 6-9, 2010.

[C-41] SIADJINE, M., BUI, H.T., BOYER, F.R., « Peak-to-Peak Jitter Reduction Technique for the Free-Running Period Synthesizer (FRPS) », IEEE International Symposium on Circuits and Systems (ISCAS), Paris, France, May 2010, 4p.

[C-42] SOARES DE LIMA FILHO, E., NEMOVA, G., SAAD, M., BOWMAN, S., KASHYAP, R., « LICOS: Laser Induced Cooling of Solids », Student Poster, CIPI Annual Meeting, Niagara Falls, June 4-5, 2010.

[C-43] TABATABAEI N., LAPOINTE J. AND MARTEL S., « Magnetic nanoparticles encapsulated in hydrogel as hyperthermic actuators for microrobots designed to operate in the vascular network », 2009 IEEE/RSJ Int. Conference on Intelligent Robots and Systems (IROS), St. Louis, USA, Oct. 11-15, 2009.

[C-44] TARIQUS-SALAM, M., SAWAN, M., NGUYEN, D., HAMOUI, A., « Epileptic Low-Voltage Fast-Activity Seizure-Onset Detector », IEEE-Int'l Biomedical Circuits and Systems (BioCAS), Beijing, China, November 26-28, 2009, pp. 169-172.

[C-45] TANGUAY, L.F., SAVARIA, Y., SAWAN, M., « A 640µW Frequency Synthesizer Dedicated to Implantable Medical Microsystems in 90-nm CMOS », NEWCAS 2010, Montreal, Canada, May 20-23 2010, pp. 369-372.

[C-46] TEHRANCHI, A., KASHYAP, R., « Pump-Detuned Double-pass cSFG/DFG-Based PPLN Wavelength Converters in Lossy Waveguides », OSA Meeting, Nonlinear Photonics, Karlsruhe, Germany, June 21-24, 2010, paper NTuC21.

[C-47] TEHRANCHI, A., KASHYAP, R., « High-efficiency pump-resonant quasi-phase-matched frequency doublers with flat broadband responses », Proceedings of the International Symposium on SPIE Photonic Devices + Applications, vol. 7420, August 2-6, 2009, San Diego, USA. (Received an SPIE scholarship).

[C-48] TEHRANCHI, A., KASHYAP, R., « Flattop broadband wavelength converters based on double-pass cascaded SFG + DFG in quasi-phase matched waveguides », IEEE Proceedings of the 22nd Annual Lasers and Electro Optics Society (LEOS) Meeting, Antalya, Turkey, Oct. 4-8, 2009, pp. 819-820.

[C-49] TRABELSI, A., BOYER, F.R., BOUKADOUM, M., « Robust Estimation of LP Parameters in White Noise with Unknown Variance », IEEE International Conference on Electronics, Circuits & Systems (*ICECS*), Medina, Tunisia, December 2009, 4p.

[C-50] VÁZQUEZ, G., HARHIRA, A., BOSISIO, R., KASHYAP, R., « Complex optical microcomponents for integrated-Optic applications fabricated by laser ablation », *Proceedings of the SPIE*, Vol. 7499, 2009, pp. 749916-749916-6.

[C-51] ZARRABI, H., SAVARIA, Y., « Early Estimation of Energy Performance in Computing Platforms Utilizing Extensions to Amdahl's Law », 16th IEEE International Conference on Electronics, Circuits and Systems, Yasmine,Hammamet,Tunisia, December 13-16, 2009, pp. 783-786.

[C-52] ZARRABI. H., AL-KHALILI, A., SAVARIA, Y., « An Interconnect-Aware Dynamic Voltage Scaling Scheme for DSM VLSI » ISCAS 2010, Paris, France, May 30 – June 2, 2010, pp. 41-44.

Articles de conférence de septembre 2008 à août 2009.

[C-53] ABDOLEE, R., ZHU, W.P., SAWAN, M., « Digital Beam-forming Implementation for Downlink Smart Antenna System », IEEE-MWSCAS, Cancun, Mexico, August 2-5, 2009, pp. 615-619.

[C-54] AIT YACOUB, M., SAWAN, M., THIBEAULT, C., « A Neuromimetic Ultra low-power ADC for Bio-Sensing Applications », IEEE-NEWCAS Toulouse, France, June 28 – July, 2009, pp. 41-44.

[C-55] AUBERTIN, P., MAHVASH MOHAMMADI, H., SAVARIA, Y., LANGLOIS, J.M.P., «High Performance ASIP Implementation of PBDI – a new Intra-Field Deinterlacing Method », Proceedings of IEEE NEWCAS – TAISA'09, Toulouse, France, June 28 – July 1, 2009, pp. 1-4.

[C-56] AYACHI, D., SAVARIA, Y., THIBEAULT, C., « A Configurable Platform for MPSoCs Based on Application Specific Instruction Set Processors », NEWCAS – TAISA'09, Toulouse, France, June 28 – July 1, 2009, pp. 41-44.

[C-57] BASILE-BELLAVANCE, Y., BLAQUIÈRE, Y., SAVARIA, Y., « Faults Diagnosis Methodology for the WaferNet Interconnection Network », NEWCAS – TAISA'09, Toulouse, France, June 28 – July 1, 2009, pp. 61-64.

[C-58] BILODEAU, G.-A., LÉVESQUE, M., LANGLOIS, J.M.P., LEMA, P., CARMANT, L., « Thermographic body temperature measurement using a mean-shift tracker », Proceedings of the International Conference on Bio-inspired Systems and Signal Processing, Portugal, January 14-17, 2009, pp. 18-24.

[C-59] DAIGNEAULT, M.A., LANGLOIS, J.M.P., DAVID, J.-P., « Application specific instruction set processor specialized for block motion estimation », IEEE International Conference on Computer Design, Lake Tahoe, Californie, USA, October 12-15, 2008, pp. 266-271.

[C-60] ETHIER, S., SAWAN, M., ABOULHAMID, M., EL-GAMAL, M., « A ± 9 V Fully Integrated CMOS Current Source for High-Impedance Microstimulation », IEEE-NWSCAS, Cancun, Mexique, August 2-5, 2009, pp. 192-195.

[C-61] FELFOUL, O., ABOUSSOUAN, E., CHANU, A., MARTEL, S., « Real-time positioning and tracking technique for endovascular untethered microrobots propelled by MRI gradients », IEEE International Conference on Robotics and Automation, ICRA'09, Kobe, Japon, May 12-17, 2009, pp. 2693-2698.

[C-62] FELFOUL, O., MATHIEU, J.-B., MARTEL, S., « A comparative study between MC-1 Cells and magnetic microparticles used for enhanced target delivery of therapeutic agents in the microvasculature », 2nd IEEE RAS & EMBS International Conference on Biomedical Robotics and Biomechatronics, BioRob 2008, Scottsdale, Arizona, USA, October 19-22, 2008, pp. 606-611.

[C-63] FONTAINE, S., GOYETTE, S., LANGLOIS, J.M.P., BOIS, G., « Acceleration of a target tracking algorithm using an application specific instruction set processor », IEEE International Conference on Computer Design, Lake Tahoe, Californie, USA, October 12-15, 2008, pp. 255-259.

[C-64] FONTAINE, S., FILION, L, BOIS, G., « Exploring ISS Abstractions for Embedded Software Design », 11th Euromicro Conference on Digital System Design Architectures, Italie, Sept. 3-8. 2008, pp. 651-655.

[C-65] GOSSELIN, B., SAWAN, M., « Event-Driven Data and Power Management in High-Density Neural Recording Microsystems », IEEE-NEWCAS, Toulouse, France, June 28 – July 1, 2009, pp. 65-68.

[C-66] GOSSELIN, B., ZBRZESKI, A., SAWAN, M., KERHERVÉ, E., « Low-Power Linear-Phase Delay Filters for Neural Signal Processing: Comparison and Synthesis », IEEE-ISCAS, Taipei, Taiwan, May 24-27, 2009, pp. 1261-1264.

[C-67] GOSSELIN, B., SAWAN, M., « Adaptive Detection of Action Potentials Using Ultra Low-Power CMOS Circuits », IEEE-BioCAS, Baltimore, USA, November 20-22, 2008, pp. 209-212.

[C-68] HASAN, S. R., PONTIKAKIS, B., SAVARIA, Y., « An All-Digital Skew-Adaptive Clock Scheduling Algorithm for Heterogeneous Multiprocessor Systems on Chips (MPSoCs) », International Symposium on Circuits and Systems, Taipei, Taiwan, May 25-27, 2009, pp. 2501-2504.

[C-69] HASAN, S.R., BÉLANGER, N., SAVARIA, Y., « All-Digital Skew-Tolerant Interfacing Method for Systems with Rational Frequency Ratios Among Multiple Clock Domains: Leveraging a Priori Timing Information », 1st Microsystems and Nanoelectronics Research Conference, Ottawa, Canada, October 15, 2008, pp. 129-132.

[C-70] HASHEMI, S., SAWAN, M., SAVARIA, Y., « Fully-Integrated Low-Voltage High-Efficiency CMOS Rectificer for Wirelessly Powered Devices », IEEE-NEWCAS, Toulouse, France, June 28 – July 1, 2009, pp. 48-51.

[C-71] ISLAM. A., LANGLOIS, J.M.P., NOURELDIN, A., « A design methodology for the implementation of embedded vehicle navigation systems », Proceedings of IEEE EIT, Windsor, Ontario, Canada, June 7-9, 2009, pp. 297-300.

[C-72] KASHYAP, R., « New designs for Ultra high power single transverse mode CW fibre lasers », Technolaser 2009, La Habana, April 13-16, 2009.

[C-73] KASHYAP, R., NEMOVA, G., « Guided wave surface Plasmon-polariton sensors », Proc. SPIE 7218, 7218W, San José, USA, January 26-29, 2009, pp. 2218-2231.

[C-74] KASHYAP, R., NEMOVA, G., « All fibre multi-kolowatt CW Power Amplifiers », Proceedings of Photonics New Delhi, India, December 13-17, 2008, pp. 1-2.

[C-75] LANG, N., CANTIN, M.-A., BOIS, G., « Assisted creation and refinement of transactional level specifications based on IP-XACT », IP Based Electronics System Conference & Exhibition, Grenoble, France, December 3-4, 2008, pp. 1-4.

[C-76] LE BEUX, S., NICOLESCU, G., BOIS, G., BOUCHEBABA, Y., LANGEVIN, M., PAULIN, P., « Optimizing configuration and application mapping for MPSoC architectures », Proc. NASA/ESA Conference on adaptive Hardware and Systems, San Francisco, USA, July 29 – August 1, 2009, pp. 1-4.

[C-77] LEPERCQ, É, BLAQUIÈRE, Y., NORMAN, R., SAVARIA, Y., « Workflow for an Electronic Configurable Prototyping System », International Symposium on Circuits and Systems, Taipei, Taiwan, May 25-27, 2009, pp. 2005-2008.

[C-78] LÉVESQUE, M., LEMA, P., LANGLOIS, J.M.P., DAVDI, J.-P., « Local field potential synchrony in the amygdalo-hippocampal network during kainate induced-seizures », 62nd Annual Meeting of the

Eastern Association of Electroencephalographers, Clinical Neurophysiology, Israël, Sept. 2008, vol. 119, p. e96.

[C-79] MARTEL, S., ANDRÉ, W., « Embedding a wireless transmitter within the space and power constraints of an electronic untethered microrobot », NEWCAS-TAISA 2009, Toulouse, France, June 28 – July 1, 2009, pp. 1-4.

[C-80] MARTEL, S., ANDRE, W., MOHAMMADI, M., LU, Z., « Towards swarms of communication-enabled ans intelligent sensotaxis-based bacterial microrobots capable of collective tasks in an aquous medium », The 2009 IEEE International Conference on Robotics and Automation (ICRA 2009), Kobe, Japon, May 12-17, 2009, pp. 2617-2622.

[C-81] MARTEL, S., FELFOUL, O., MOHAMMADI, M., « Flagellated bacterial nanorobots for medical interventions in the human body », 2nd IEEE RAS & EMBS International Conference on Biomedical Robotics and Biomechatronics, BioRob 2008, Scottsdale, Arizona, USA, Oct. 19-22, 2008, pp. 264-269.

[C-82] MÉNARD-BEAUDOIN, P., AUDET, Y., PONCE-PONCE, V.H., « Dark Current Reduction in CMOS Image Sensors using Dynamic Offset Compensation », IEEE-NEWCAS-TAISA'09 Conférence, Toulouse, France, June 28 - July 1, 2009, pp. 1-4.

[C-83] MILED, M.A., SAWAN, M., « Reconfigurable Dielectrophoretic Device for Neurotransmitters Sensing and Manipulation », 15th International Mixed-Signals, Sensors and Systems Test Workshop IMS3TW'09, Arizona, USA, June 10-12, 2009, pp. 1-4.

[C-84] MOKRANI, N,, MOHAMMADI, M., MARTEL, S., « Toward faster bacterial micro-actuators », The 5th International Conference on Microtechnologies in Medicine and Biology (MMB 2009) Conference, Quebec, Canada, April 1-3, 2009, pp. 1-2.

[C-85] MOUNAIM, F., SAWAN, M., EL-GAMAL, M., « Fully integrated inductive power recovery front-end dedicated to implantable devices », IEEE-BioCAS, Baltimore, USA, November 20-22, 2008, pp. 105-108.

[C-86] MOUNAIM, F., ELZAYAT, E., SAWAN, M., CORCOS, J., ELHILALI, M.M., « Bew sacral neurostimulation strategy to enhyance micturiton in paraplegics », IFESS, Germany, September 21-25, 2008, pp. 22-24.

[C-87] NEMOVA, G., KASHYAP, R., « Athermal Raman Fiber Amplifier », Nonlinear Optics: Materials, Fundamentals and Applications (NLO), Honolulu, Hawaii, July 17-20, 2009, papier JTuB17.

[C-88] NEMOVA, G., KASHYAP, R., « Radiation-balanced fiber amplifiers », Proceedings of CLEO, Europe, July 2009.

[C-89] NEMOVA, G., KASHYAP, R., « High-Power Fiber Amplifier with Laser Cooled Cladding », CLEO/EQEC 2009, Munich, Germany, June 14-19, 2009.

[C-90] NEMOVA, G., KASHYAP, R., « Novel SPR Sensors », Photonics North, Montreal, Canada, June 2009.

[C-91] NEMOVA, G., KASHYAP, R., « Optimization of tapered fiber sample for laser cooling of solids », Proc. SPIE, February 2009, vol. 7228, issue 1, pp. 72280J.

[C-92] RHOU, B., SAWAN, M., « Real-time filtering technique to remove ECG interference from recorded esophageal EMG », IEEE-BioCAS, Baltimore, USA, November 20-22, 2008, pp. 21-24.

[C-93] SAWAN, M., GOSSELIN, B., COULOMBE, J., « Learning from the Primary Visual Cortex to Recover Vision for the Blind by Microstimulation », IEEE-NORCHIP, Tallinn, Estonia, Nov. 16-17, 2008, pp. 1-4.

[C-94] SHECHTER, E., MARTEL, S., « Magnetotactic bacteria in three-way junctions with state switch », 5th International Conference on Microtechnologies in Medicine and Biology (MMB 2009) Conference, Quebec, Canada, April 1-3, 2009, pp. 1-2.

[C-95] SIADJINE, M., BUI, H.T., BOYER, F.R., « Design and Optimization of a Low Complexity All-Digital Digital-to-Analog Converter », IEEE Northeast Workshop on Circuits and Systems (NEWCAS) and TAISA, Toulouse, France, June 28 – July 1, 2009, pp. 1-4.

[C-96] SIMARD, G., SAWAN, M., MASSICOTTE, D., « Novel Coils Geometry Intended for Biomedical Implants with Multiple Carrier Inductive Link », IEEE-ISCAS, Taipei, Taiwan, May 24-27, 2009, pp. 537-540.

[C-97] TABATABAEI, N., MARTEL, S., « The concentration effect of magnetic iron oxide nanoparticles on temperature change for hyperthermic drug release applications via AC magnetic field », 5th International Conference on Microtechnologies in Medicine and Biology (MMB 2009) Conference, Quebec, Canada, April 1-3, 2009, pp. 1-2.

[C-98] TANGUAY, L.F., SAWAN, M., SAVARIA, Y., « A Very-High Output Impedance Current Mirror for Low Voltage Biomedical Analog Circuits », IEEE-APCCAS, Macao, Chine, November 30 – December 3, 2008, pp. 642-645.

[C-99] TANGUAY, L.F., SAWAN, M., « Process Variation Tolerant LC-VCO Dedicated to Ultra-Low Power Biomedical RF Circuits », IEEE-ICSIST, Beijing, China, October 20-23, 2008, pp. 1585-1588.

[C-100] TARIQUS-SALAM, M., SAWAN, M., NGUYEN, D., HAMOUIA, A., « Low-power CMOS-based epileptic seizure onset detector », IEEE-NEWCAS, Toulouse, France, June 28 – July 1, 2009, pp. 52-55.

[C-101] TEHRAN, H.M., LAURIN, J.-J., KASHYAP, R., « A Low-Perturbation Near-Field Imager Equipped with Optical MST Probes», Proceedings of EURO Conf. Ant. Propagat., Berlin, Germany, March 2009.

[C-102] TEHRANCHI, A., KASHYAP, R., « Analysis of Improved Cascaded SFG + DFG Wavelength Converter in Quasi-Phase Matched Lithium Niobate Waveguide », Photonics 2008, New Delhi, Inde, December 13-17, 2008, pp. 1-4.

[C-103] TORABI, A., BILODEAU, G.-A., LÉVESQUE, M., LANGLOIS, J.M.P., LEMA, P., CARMANT, L., « Measuring animal body temperature in thermographic video using particle filter tracking », Lecture Notes in Computer Science: Advances in Visual Computing, Las Vegas, USA, December 1-3, 2008, vol. 5358, pp. 1081-1091.

[C-104] TREMBLAY, J.-P., SAVARIA, Y., THIBEAULT, C., MBAYE, M.M., « Improving Resource Utilization in a Multiple Asynchronous ALU DSP Architecture », 1st Microsystems and Nanoelectronics Research Conference, Ottawa, Canada, October 15, 2008, pp. 25-28.

[C-105] TSIKHANOVICH, A., ABOULHAMID, M., BOIS, G., « Temporal Constraintys Analysis for Timing Verification of Systems », IEEE 20th International Conference on Microelectronics, Sharjah, UAE, December 14-17, 2008, pp. 1-4.

[C-106] VEZANT, B., MANSUY, C., BUI, H.T., BOYER, F.-R., « Direct digital synthesis-based all-digital phase-locked loop », IEEE Northeast Workshop on Circuits and Systems (NEWCAS) and TAISA, Toulouse, France, June 28 – July 1, 2009, pp. 1-4.

[C-107] WEHBE, M., SAWAN, M., « Dynamic Pupil Reacting to Incident Light Dedicated to Ocular Implants », IEEE-MWSCAS, Cancun, Mexique, August 2-5, 2009, pp. 176-179.

[C-108] ZARRABI, H., AL-KHALILI, A. J., SAVARIA, Y., « An Interconnect-Aware Delay Model for Dynamic Voltage Scaling in nm Technologies », ACM Great Lakes Symposium on VLSI, 2009, Boston, USA, May 10-12, 2009, pp. 45-49.

AUTRES PUBLICATIONS (invitation)

LIVRES

[L-1] NICOLESCU, G., MOSTERMAN, P., « Model-Based Design for Heterogeneous Systems », CRC Press, 2009.

BREVETS

[B-1] AUDET, Y., « Photodetector for Determining Light Wavelenghts ». Demande de brevet provisoire américain no 61/367,616 déposée le 26 juillet 2010.

[B-2] DAVID, J.-P., « Invention d'un système de repérage de fichiers sur un lien Ethernet haute vitesse (10Gbit/s) », (PCT/CA2009/000762).

INDEX DES AUTEURS

A

ALLARD, Mathieu 22
ALLARD-BERNIER, Jessica 23
AL-TERKAWI HASIB, Omar 24
AUBERTIN, Philippe 25

B

BASILE-BELLAVANCE, Yan 26
BEN CHEIKH, Taieb Lamine 27
BENDALI, Abdelhalim 28

D

DAIGNEAULT, Marc-André 29
DROLET, Jonathan 30

E

ÉTHIER, Sébastien 31
EZZAT, Hicham 32

F

FARAH, Rana 33
FOURMIGUE, Alain 34

G

GAN, Qifeng 35
GÉLINAS, Sébastien 36
GHANNOUM, Anthony 37
GROGAN, Patrick 38
GUÉRARD, Hubert 39

H

HASANUZZAMAN, Md 40
HASHEMI, Saeid 41
HAWI, Firas 42

K

KAMRANI, Ehsan 43
KAR, Goutam Chandra 44
KARIMIAN-SICHANY, Masood 45
KHAMSEHASHARI, Elham 46
KOWARZYK MORENO, Gilbert 47
KROUCHEV, Nedialko 48

L

LAFLAMME-MAYER, Nicolas 49
LAFRANCE, Pierre 50
LAREAU, Étienne 51
LEBRUN MCKINNON, Mathieu 52
LEPERCQ, Étienne 53
LÉVESQUE, Philippe 54

M

MBAYE, Mame Maria 55
MENDEZ, Arnaldo 56
MILED, Mohamed Amine 57
MORADI, Arash 58
MOSS, Laurent 59
MOUNAIM, Fayçal 60

N

NOURIVAND, Afshin 61

O

OULD BACHIR, Tarek 62

P

PONTIKAKIS, Bill 63

R

ROGERS-VALLÉE, Michel 64

S

SALAM, Muhammad Tariqus 65
SAVARD, Julien 66
SEBBAR, Mohamed 67
SHARAFI, Azadeh 68
SIADJINE NJINOWA, Marcel 69
SIMARD, Guillaume 70

T

TANGUAY, Louis-François 71
TAPP, Martin 72
TREMBLAY, José Philippe 73
TURGEON, Jean-Sébastien 74

Z

ZARRABI, Houman 75
ZHANG, Khai 76
ZHENG, Yushan 77