GRM

École Polytechnique

GR2M

GROUPE de RECHERCHE en MICROÉLECTRONIQUE et MICROSYSTÈMES

RAPPORT ANNUEL
2010 - 2011

POLYTECHNIQUE
MONTRÉAL

TABLE DES MATIÈRES

REMERCIEMENTS 3
INTRODUCTION 3
COLLABORATIONS EN 2010-2011 3
OBJECTIFS DU GR2M 4
COMPOSITION DU GROUPE 4
LISTE DES MEMBRES RÉGULIERS 4
LISTE DES MEMBRES ASSOCIÉS 5
LISTE DES CHERCHEURS POST DOCTORAUX ET AUTRES PROFESSIONNELS 5
PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE 6
DOMAINES 6
ACTIVITÉS DES MEMBRES RÉGULIERS 6
ACTIVITÉS DU PROFESSEUR BOIS 7
ACTIVITÉS DU PROFESSEUR DAVID 8
ACTIVITÉS DU PROFESSEUR AUDET 9
ACTIVITÉS DU PROFESSEUR BOYER 10
ACTIVITÉS DU PROFESSEUR BRAULT 11
ACTIVITÉS DU PROFESSEUR KHOUAS 12
ACTIVITÉS DU PROFESSEUR LANGLOIS 13
ACTIVITÉS DU PROFESSEUR MARTEL 14
ACTIVITÉS DU PROFESSEUR NICOLESCU 15
ACTIVITÉS DU PROFESSEUR SAVARIA 16
ACTIVITÉS DU PROFESSEUR SAWAN 17
ÉTUDIANTS AUX CYCLES SUPÉRIEURS 18
ÉTUDIANTS NOUVELLEMENT INSCRITS 19
TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT 20
DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS 23
SUBVENTIONS ET CONTRATS 88
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES 88
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE DE GROUPE 90
ÉQUIPEMENT ÉLECTRONIQUE 93
ÉQUIPEMENT APPARTENANT AU GROUPE (WWW.GR2M.POLYMTL.CA) 93
ÉQUIPEMENTS APPARTENANTS AU GROUPE (WWW.GR2M.POLYMTL.CA) 94
LABORATOIRE LASEM (GR2M/POLYSTIM/LASEM) 95
ÉQUIPEMENTS OBTENUS VIA LA SCM (WWW.CMC.CA) 95
ÉQUIPEMENT INFORMATIQUE 96
ÉQUIPEMENT INFORMATIQUE PRÊTÉ PAR LA CMC (WWW.CMC.CA) 96
ÉQUIPEMENT INFORMATIQUE APPARTENANT AU GR2M (WWW.GRM.POLYMTL.CA) 96
LOGICIELS DE MICROÉLECTRONIQUE (EDA) 97
LOGICIELS DISPONIBLES AU GR2M (WWW.GRM.POLYMTL.CA) 97
PUBLICATIONS ET RÉALISATIONS 98
ARTICLES DE REVUES ACCEPTÉS POURPUBLICATION 98
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2010 À AOÛT 2011 98
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2009 À AOÛT 2010 101
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2010 À AOÛT 2011. 102
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2009 À AOÛT 2010. 106
BREVETS 109
LIVRES 109

REMERCIEMENTS

Nous désirons remercier tous les membres du GR2M (Groupe de Recherche en Microélectronique et Microsystèmes) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à mesdames Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à sa diffusion sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche.

INTRODUCTION

Le Groupe de Recherche en Microélectronique et Microsystèmes (GR2M) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 2010 – 2011, 71 étudiants inscrits à la maîtrise ou au doctorat, un professionnel et deux techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GR2M et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) auprès du Fonds Québécois de la recherche sur la nature et les technologies (FQRNT), ainsi qu'au Programme de Recherche Orientée en Microélectronique, photonique et télécommunication. Citons aussi les projets réalisés avec des partenaires industriels. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 2010-2011

L'année 2010 - 2011 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GR2M et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs, Savaria, Martel, Bois et Aboulhamid de l'Université de Montréal (vérification et méthodes de conception); Savaria et Cherkaoui de l'UQAM (configuration et vérification de routeurs réseau), Savaria, Gagnon et Thibeault (architecture de systèmes de communication sans fil), Bois et Boland (ETS) sur les plates-formes avioniques IMA, le professeur Sawan collabore avec le Dr M. Elhilali de l'Université McGill (implant urinaire), le Dr F. Bellemare de l'Université de Montréal (cathéter oephagien), le Dr D. Guitton et Dr. A. Chaudhuri de l'Université McGill (implant visuel cortical et les Drs. Chapman de Concordia et Leporé de l'Université de Montréal (surveillance intra corticale). Enfin, notons que les professeurs Kashyap, Martel, Meunier, Savaria et Sawan sont titulaires de Chaires de recherche du Canada.

OBJECTIFS DU GR2M

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique et Microsystèmes a pour objectif général de «promouvoir et regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».
Plus spécifiquement, le Groupe de Recherche en Microélectronique et Microsystèmes poursuit les objectifs suivants :

- Regrouper dans une entité visible les chercheurs qui œuvrent dans des secteurs reliés à la microélectronique et les microsystèmes;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe ;
- Assurer le bon fonctionnement des laboratoires et l'infrastructure commun du GR2M;
- Faciliter l'accès aux technologies de microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique et Microsystèmes relève du département de génie électrique et se compose des membres réguliers, membres associés et d'autres professionnels et chercheurs :

Liste des membres réguliers

- **Dr. Guy Bois:** professeur titulaire au département de génie informatique et directeur du Groupe de Recherche en Microélectronique et Microsystèmes. Il s'intéresse à la conception des systèmes embarqués, plus particulièrement à leurs spécifications, modélisation, partitionnement logiciel/matériel, synthèse, vérification fonctionnelle et prototypage.
- **Dr. Jean-Pierre David**: professeur adjoint au département de génie électrique et codirecteur du Groupe de Recherche en Microélectronique et Microsystèmes. Il s'intéresse à la conception rapide et fiable de systèmes numériques à partir d'une description de haut niveau, en particulier pour les systèmes reconfigurables (FPGA).
- **Dr. Yves Audet:** professeur agrégé au département de génie électrique, ses travaux de recherche portent sur les circuits intégrés analogiques, les capteurs d'images CMOS, l'imagerie spectrale et les interconnexions photoniques pour système VLSI.
- **Dr. François Raymond Boyer:** professeur adjoint au département de génie informatique qui s'intéresse aux architectures et méthodes de conception des circuits VLSI. Il s'intéresse notamment à l'optimisation des systèmes exploitant des horloges multi phase.
- **Dr. Jean-Jules Brault:** professeur agrégé au département de génie électrique et directeur du Laboratoire de Réseaux Neuronaux (LRN), qui s'intéresse aux diverses architectures et applications des machines neuronales, virtuelles ou électroniques, de même qu'au développement de leurs algorithmes d'apprentissage.
- **Dr. Raman Kashyap:** Chaire de recherche du Canada en photoniques avancées, professeur titulaire aux départements de génie électrique et de génie physique. Il s'intéresse aux nouveaux concepts en photonique pour les applications en radio sur fibre, technologies et composants à bandes interdites, biocapteurs, communications optiques, réseaux de Bragg en fibre optique à base de verre et polymères, nouveaux procédés pour fabriquer des guides d'ondes et leur intégration avec les circuits électroniques, les instruments de musique en photoniques, léser semi-conducteur et fibrée, les effets non linéaire optiques et refroidissement avec les laser. Il est membre fondateur du groupe Polyphotonique et le directeur du laboratoire de concepts photoniques avancés (APCL), directeur du laboratoire de écriture avec les lasers, FABULAS, représentative des chercheurs au bord de ICIP, membre de COPL, et de CREER.
- **Dr. Abdelhakim Khouas:** professeur adjoint au département de génie électrique dont les domaines de recherche portent sur le test et la conception en vue du test (chemin de SCAN, BIST, JTAG) des circuits intégrés numériques, analogiques et mixtes, le développement d'outils de CAO pour la microélectronique, le prototypage de systèmes numériques et la synthèse sur FPGA.

- **Dr. Pierre Langlois:** professeur agrégé au département de génie informatique, s'intéresse à la conception et à la réalisation de systèmes embarqués pour le traitement du signal et le traitement d'images, aux circuits arithmétiques, et à l'architecture des ordinateurs.
- **Dr. Sylvain Martel**: professeur agrégé au département de génie informatique et titulaire d'une chaire de recherche du Canada dont le domaine de recherche est principalement la conception de micro et nano systèmes électromécaniques, incluant la nano robotique pour les applications au niveau moléculaire et atomique en touchant plusieurs aspects comme l'instrumentation, l'électronique, les ordinateurs ainsi que les systèmes reconfigurables. En nano robotique, nous exploitons les découvertes fondamentales en nano sciences par la conception de nano robots capable de travailler au niveau du nanomètre pour créer de nouveaux systèmes, produits et applications.
- **Dr. Gabriela Nicolescu**: professeure adjoint au département de génie informatique qui s'intéresse à la conception de haut niveau des systèmes embarqués hétérogènes composés de sous systèmes spécifiques aux différents domaines d'application : logiciel, matériel, mécanique, optique et RF. Elle travaille aussi sur la conception des systèmes sur puce multiprocesseurs.
- **Dr. Yvon Savaria:** professeur titulaire et directeur de département de génie électrique, titulaire d'une chaire de recherche du Canada en Conception de systèmes microélectroniques intégrés, directeur du Groupe de Recherche en Microélectronique et Microsystèmes, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de tolérance aux pannes et de testabilité, à la conception et la vérification des systèmes sur puce (SOC), à la conception des circuits numériques, analogiques et mixtes et aux applications de ces technologies.
- **Dr. Mohamad Sawan:** professeur titulaire au département de génie électrique et détenteur d'une chaire de recherche du Canada sur les dispositifs médicaux intelligents et directeur du regroupement stratégique en microsystèmes du Québec, qui s'intéresse à la conception et la réalisation de circuits mixtes (numériques, analogiques, optiques et RF) et à leurs applications dans les domaines industriel (communication sans fil) et biomédical (stimulateurs et capteurs sensoriels).

Liste des membres associés

- **Dr. David Haccoun :** professeur titulaire au département de génie électrique qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI. Il collabore avec MM Savaria et Sawan sur l'implantation de codeurs-décodeurs.
- **Dr. Romain Maciejko :** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr. Michel Meunier :** professeur titulaire au département de génie physique et titulaire d'une chaire de recherche du Canada en micro-ingénierie et nano-ingénierie des matériaux par laser. Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique et avec Mohamad Sawan sur les microélectrodes.

Liste des chercheurs post doctoraux et autres professionnels

- M. Normand Bélanger — associé de recherche
- M. Ebrahim Ghafar-Zadeh — associé de recherche
- Mme Luiza Gheorghe — postdoc
- M. Éric Legua — associé de recherche
- M. Hicham Semmaoui — postdoc
- M.Saied Hashemi — postdoc
- M. Robert Chebli — associé de recherche
- M. Sébastien Le Beux — postdoc
- M. Mohamed Hammadi — postdoc

De plus, les personnes suivantes collaborent aux travaux du groupe à divers titres :

- M. Réjean Lepage — Analyste GR2M
- M. Laurent Mouden — Technicien du laboratoire GR2M
- M. Jean Bouchard — Technicien informatique GR2M

Ces personnes forment le Groupe de Recherche en Microélectronique et Microsystèmes de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la microélectronique.

PROGRAMME DE RECHERCHE EN MICROÉLECTRONIQUE

Domaines

Les programmes de recherche et de formation de chercheurs en microélectronique de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie microélectronique en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défectuosités;
- Les applications, en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, et en biomédical par la réalisation de capteurs et micro stimulateurs implantables ;
- Les logiciels de synthèse, de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques, ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse des activités de chaque membre au sein du GR2M.

ACTIVITÉS DU PROFESSEUR BOIS

Le professeur Bois poursuit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux : contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous, la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommé co-design.

Le professeur Bois travaille au développement de méthodes modernes de conception conjointe logiciel/matériel. Plus particulièrement, ses travaux se concentrent autour de trois projets :

1. **Space Codesign**
   La technologie Space Codesign™ et sa plate-forme de conception Space Studio consistent en un logiciel facilitant la conception de systèmes électroniques embarqués. Par simulation, il est possible de modéliser le comportement d'une application que l'on veut implanter (par exemple un téléphone cellulaire contiendra des algorithmes spécialisés ou d'encodage de la voix). De plus, le fait que le tout soit en simulation permet d'explorer aisément différentes architectures pour ainsi trouver un compromis du système le plus performant, au coût le plus bas. Cette caractéristique est apportée par 2 technologies :
   - Elix permettant l'exploration et la simulation rapide de différentes configurations d'un même système électronique embarqué et ;
   - Simtek permettant de simuler, avec une grande précision, une configuration particulière choisie avec Elix ou construite de toute pièce, et tout cela avant même de créer physiquement le circuit. De plus, un outil complémentaire permet de collecter des statistiques sur les performances et comportements du système en simulation.

En plus d'offrir des possibilités d'exploration de différentes architectures grâce à la simulation, notre technologie propose un flot de conception qui permet à un utilisateur de partir de la simulation pour arriver à l'implantation finale (FPGA ou ASIC). Cette caractéristique utilise la technologie GenX de Space Codesign.

2. **Réseau sur puce**
   Les réseaux sur puce (NoC) sont des réseaux de communications permettant une connexion physique extensible entre plusieurs blocs dans un environnement de systèmes sur puce. Ils remplacent de plus en plus les bus et les méthodes d'interconnexion dédiée. Dans ce projet, les objectifs sont poursuivis :
   - Exploration d'architectures hautes performances pour NoCs
   - Partitionnement de modèles de programmation à haut niveau d'abstraction sur des systèmes sur puces multiprocesseurs à base de NoCs.
   - Tolérance aux pannes pour NoCs

3. **AREXIMAS**
   Ce projet se concentre sur les systèmes avioniques basés sur un réseau de processeurs. Ces systèmes se doivent d'être sécuritaires, fiables et tolérant aux panes. Plus précisément, nous nous intéressons aux compromis entre la reconfigurabilité, la fiabilité et le coût de ces systèmes. Le but est d'appliquer ces compromis sur une plate-forme IMA (Integrated Modular Avionic) certifiable d'une quinzaine de nœuds utilisant le standard ARINC 653 APEX RTOS.

Les partenaires industriels qui collaborent à ces projets sont STMicroelectronics, Esterline CMC Electronics et CAE. Au niveau universitaire les collaborateurs sont les professeurs Aboulhamid (Université de Montréal), Tahar (Concordia), Boland et Thibault (ETS), ainsi que Nicolescu et Savaria de l'École Polytechnique.

ACTIVITÉS DU PROFESSEUR DAVID

Le professeur David mène des activités de recherche dans le domaine de la synthèse des systèmes logiques matériel-logiciel, leurs constituants, leurs outils et leurs applications. Il s'intéresse plus particulièrement aux outils de synthèse automatique à partir d'une description de haut niveau, aux treillis de calculs, à l'implantation d'opérateurs arithmétiques en virgule flottante et de manière générale à l'implantation optimale des tâches disposant d'un niveau de parallélisme élevé. Au niveau applicatif, le professeur David travaille dans le domaine de la sécurité informatique (analyse profonde des paquets Ethernet pour le repérage de fichiers connus), aux applications de calcul matriciel pour la simulation de systèmes électriques et de manière générale à toutes les applications qui demandent une puissance de calcul supérieure à ce que peut offrir un processeur standard.

Un système reconfigurable est un circuit logique programmable dont le comportement sera déterminé au moment de sa programmation. Aujourd'hui, ces circuits intègrent plusieurs noyaux de processeurs, des centaines de mémoires, des centaines de multiplieurs, des dizaines de milliers de fonctions logiques programmables, de multiples ressources dédiées et un immense réseau de connexions configurables permettant d'interconnecter ces ressources pour réaliser un circuit complexe et hautement parallèle. Ils concurrencent de plus en plus les circuits dédiés de type *ASIC* car on peut les reprogrammer à volonté et leur densité atteint maintenant la dizaine de millions de portes logiques équivalentes.

Les circuits reconfigurables relèvent à la fois du Génie Électrique (GÉ) et du Génie Logiciel (GL). Une fois le circuit physique réalisé (GÉ), il reste à le programmer (GL). Toutefois, la programmation sert à implémenter un circuit avec des signaux logiques qui se propagent d'une manière semblable à ce qui se passe dans un circuit logique traditionnel (GÉ). Enfin, ces circuits contiennent souvent un ou plusieurs processeurs devant être programmés (GL). Les deux domaines sont donc très étroitement reliés et il devient nécessaire d'avoir une vision plus large qui réunit les deux disciplines.

Notre programme de recherche principal, subventionné par le CRSNG, consiste à développer un nouveau langage de description de matériel (HDL) d'un niveau d'abstraction intermédiaire entre les langages de programmation utilisés en GL et les langages de description de matériel utilisés en GÉ. Nous visons à décrire des circuits au niveau fonctionnel (algorithmique) et développons un compilateur (CASM) capable de transformer cette description en un circuit de manière automatique et sûre par construction. En résumé, notre langage permet de décrire des réseaux de machines algorithmiques qui traitent et s'échangent des jetons de données en parallèle, un peu sur le modèle de CSP (Communicating Sequential Processes) et SDL (Specification and Description Language). Une grande nouveauté par rapport aux ASM (Algorithmic State Machine) traditionnels consiste en la possibilité de faire des appels (et donc des retours) d'états d'une manière semblable à un appel de méthode en logiciel ou encore une continuation dans les langages fonctionnels. Il devient alors possible de synthétiser des machines récursives, ce qui nous a permis, par exemple, d'implémenter une version de l'algorithme QuickSort (un algorithme de tri rapide hautement récursif) sur FPGA très facilement. En outre, l'outil génère automatiquement tous les signaux de contrôle pour la synchronisation des envois-réceptions des jetons de données dans tout le réseau sans perdre de cycle d'horloge (possiblement sous la forme de pipeline continu). Le concepteur peut donc se concentrer sur les aspects algorithmiques et déléguer la tâche de réalisation du circuit au compilateur. Toutefois, l'utilisateur averti a conscience de l'architecture qui sera synthétisée et peut, dans la manière dont il décrit l'algorithme, influencer celle-ci.

ACTIVITÉS DU PROFESSEUR AUDET

Les activités du professeur Audet sont reliées aux capteurs photoniques, fabriqués en procédé CMOS, visant deux champs d'applications spécifiques soient : les capteurs d'images intégrés et les détecteurs photoniques de haute performance pour système VLSI à interconnections optiques.

1. Les capteurs d'images CMOS

Ce programme de recherche adresse la problématique de conception et de fabrication de capteurs d'images CMOS de grande surface, qui permettrait d'obtenir une caméra numérique de résolution spatiale comparable à celle d'une caméra avec pellicules chimiques photosensibles. On vise un capteur ayant une matrice de pixel de 36 x 24 mm de surface pour atteindre la compatibilité avec la gamme des lentilles développées pour la photographie SLR 35 mm.

Outre la réalisation d'un capteur d'images de grande surface, les techniques de conception de pixels redondants avec autocorrection développées sont aussi utiles à la réalisation de capteurs d'images employés dans des environnements hostiles comme l'espace, les mines, les réacteurs nucléaires, etc., là où une caméra peut-être exposée à des radiations, des températures et des pressions extrêmes pouvant endommager le capteur. Ainsi, les propriétés d'autocorrection de l'architecture redondante permettront à la caméra de transmettre des images plus longtemps dans ces milieux hostiles où le remplacement et la réparation sont difficiles, voire impossibles.

2. Les détecteurs photoniques

Ici on s'intéresse au développement de technique de propagation de signaux par modulation photonique, tant sur un même circuit intégré qu'entre puces d'un même système, de façon à éliminer les interconnections métalliques critiques qui limitent la performance des systèmes. Des taux de propagation supérieurs à 1 Gb/s sont visés.

Bien que la recherche sur les interconnections photoniques ait favorisé jusqu'à maintenant les dispositifs III-V pour la conversion de signaux électriques à signaux photoniques, la diminution constante de la taille des structures fabriquées sur technologie CMOS pourrait avantager les dispositifs photoniques au silicium notamment au niveau des photo-détecteurs. Avec la diminution de la taille des structures, les capacités parasites des composants actifs diminuent également de sorte qu'un faisceau lumineux de moindre énergie est requis pour activer une cellule photo-détectrice au silicium et une réponse plus rapide peut être obtenue. Les avantages d'un photo détecteur au silicium pouvant être intégré à même une puce VLSI sont considérables, même si les performances sont moindres qu'un photo-détecteur en technologie III-V. Citons entre autre la simplicité du procédé de fabrication CMOS comparé aux technologies hybrides III-V – CMOS et l'élimination des circuits liés à l'intégrité des signaux d'horloge en amplitude et en phase, tels que les répétiteurs et les circuits de verrouillage de phase (PLL). À l'heure actuelle, dû aux problèmes de délais associés aux interconnections métalliques, il est de plus en plus difficile d'assurer la synchronisation entre les différents modules d'un système VLSI, de sorte que les techniques de propagation de signaux asynchrones sont maintenant envisagées pour relier des modules sur une même puce, ajoutant à la complexité du système. Les interconnections photoniques assureront la performance des systèmes VLSI sans ajouter à leur complexité.

ACTIVITÉS DU PROFESSEUR BOYER

Le professeur Boyer conduit des recherches incluant les domaines de la microélectronique, et du traitement de signal. Plus spécifiquement, il s'intéresse au design, à la synthèse et à l'optimisation des systèmes conjoints logiciel/matériel dédiés, ainsi qu'au développement d'architectures prenant partie d'un nouveau type d'horloge, dans le but d'obtenir une bonne performance à faible consommation d'énergie.

L'horloge à période variable cycle par cycle est encore un concept relativement nouveau. L'idée est de permettre de moduler la longueur des cycles d'horloges pour pouvoir suivre précisément un ordonnancement. Cet ordonnancement peut être fait à l'avance, mais aussi à l'exécution, pour pouvoir traiter de manière optimale les expressions conditionnelles et pour pouvoir tenir compte d'autres facteurs qui ne sont pas connus lors de la compilation (ou synthèse). Dans le cas de systèmes très dynamiques, devant réagir à des stimuli externes, l'ordonnancement peut s'ajuster pour rencontrer les latences maximales permises tout en minimisant la consommation d'énergie. À l'exception des circuits asynchrones, les circuits ont actuellement très majoritairement une horloge fixe, ou variant lentement dans le temps, qui limite la possibilité d'ordonnancement. Pour obtenir le meilleur ordonnancement possible, il faut relâcher les contraintes de l'horloge et ce nouveau type d'horloge permet beaucoup plus de flexibilité.

Ses publications récentes sur ce sujet concernent principalement la réduction de la gigue de l'horloge ainsi que l'utilisation de cellules numériques normalisées pour réduire les temps de conception et simplifier la mise à l'échelle.

La conception de systèmes dédiés demande à la fois de déterminer la structure matérielle et le logiciel devant s'exécuter sur ce matériel. Une approche conjointe logicielle/matérielle est nécessaire pour la conception et l'optimisation d'un tel système. Pour des systèmes dédiés, les outils doivent permettre la spécialisation (paramétrisation) des composantes. Puis la partie logicielle doit être compilée pour une architecture parallèle possiblement hétérogène (avec des processeurs de plusieurs types différents) et comportant des instructions spéciales. Ses recherches se situent sur différents plans, dont l'automatisation de la séparation logiciel/matériel, la compilation parallélisante pour un système hétérogène configurable, et une diminution du temps associé à l'assemblage et test du système, pour un temps de mise en marché minimum. Une application actuellement visée est les réseaux sans fil sur le corps pour le traitement de données médicales.

Applications :

Traitement de signal et isolation de la voix dans des prothèses auditives numériques :

Le domaine de la prothèse auditive numérique est en expansion, dû au fait que la miniaturisation des processeurs le permet, mais aussi au fait que la demande en prothèses auditives augmente (la population vieillit) et que les gens recherchent une qualité supérieure. L'utilisation de plusieurs microphones est actuellement une des méthodes qui a le plus de succès pour augmenter la discrimination des sons et améliore l'intelligibilité. Par contre, le traitement fait sur ces sources pourrait être amélioré, tout en gardant une petite taille et une faible consommation d'énergie.

Capture de mouvements du corps humain :

Des capteurs inertiels sont utilisés pour analyser les mouvements 3D du corps humain. Cette analyse de mouvement peut s'appliquer au domaine médical pour, par exemple, détecter des anomalies, ou sportif, pour améliorer le mouvement, mais aussi à l'enseignement et à l'art. Un logiciel d'enseignement de direction d'orchestre est en développement avec cette analyse de mouvements.

Les principaux partenaires qui collaborent sur ces recherches sont le professeur Y. Savaria (génie électrique, École Polytechnique), sur le côté matériel, le professeur H.T. Bui (Sciences appliquées, Université du Québec à Chicoutimi), sur les convertisseurs en cellules normalisées, et le professeur P. Bellomia (faculté de musique, Université de Montréal), sur la capture de mouvement.

ACTIVITÉS DU PROFESSEUR BRAULT

Le professeur Brault dirige le LRN (Laboratoire de Réseaux Neuronaux.) Ses recherches visent plus spécifiquement l'application les algorithmes d'apprentissage (AA) à des problèmes d'inférence sur des données expérimentales en utilisant des machines neuronales (MN), virtuelles ou électroniques. Le champ d'application des AA/MN est très vaste puisque les MN sont des approximateurs universels utilisés tant en classification, en régression qu'en estimation de fonction de densité. D'autre part, vu l'homogénéité des traitements réalisés par les MN, ils peuvent souvent être intégrés relativement aisément sur des circuits électroniques.

Les principales difficultés que l'on rencontre dans le design de ces machines proviennent du fait qu'elles sont habituellement adaptées itérativement et que l'information est massivement distribuée dans les interconnexions de la MN. Parmi ces difficultés, notons, le choix du type de neurones à utiliser (déterministes ou stochastiques, modèle de McCulloch-Pitts ou Hodgkin-Huxley), le nombre de neurones (capacité à s'adapter au problème) le type d'interconnexions (avec ou sans récurrence), le paradigme/loi d'apprentissage (supervisé ou non, correction d'erreurs, minimisation d'entropie, etc.), la fonction de coût à minimiser, etc. Tous ces «hyper paramètres» doivent évidemment conduire à la conception d'une machine capable de bien généraliser (intrapoler ou extrapoler) sur de nouvelles données.

Outre les architectures bien connues de type MLP (ou RBF) optimisées pour diverses applications (antennes, parole, robotique), les MN qui retiennent particulièrement notre attention sont les machines stochastiques causales (réseaux bayesiens) et les machines à états liquides (MEL) (également appelées «réseaux à échos»). Pour le premier cas, ce type de système comporte habituellement un très grand nombre de variables stochastiques et les techniques d'optimisation comme le recuit simulé, sont souvent jugées inutilisables à cause des temps de calcul ou de la mémoire requise pour leur mise en œuvre. En effet, pour valider un réseau bayesien, on doit générer un très grand nombre de cas (vecteurs de tests) en fonction d'une distribution de probabilité multi-variables. On se frappe alors au problème de la «malédiction de la dimensionnalité». Une modification possible est l'ajout d'aspects déterministes dans le processus d'optimisation conduisant par exemple au recuit déterministe RD (Deterministic Annealing). Dans le second cas, (MEL), le problème est de concevoir une machine à rétroaction massive qui se comporte de façon quasi chaotique afin d'explorer un espace d'états continus (ou liquides).

Concernant les aspects électroniques de ces projets, nous étudions la conception de circuits échantillonneurs en fonction d'une distribution de probabilité d'un espace approximé par un réseau bayesien. Nous modifions les circuits logiques traditionnels afin de les rendre probabilistes. D'autre part, des circuits appelés «neurones à pulses» ont été simulés sur SPICE pour équiper des robots suiveurs.

ACTIVITÉS DU PROFESSEUR KHOUAS

Le professeur Khouas conduit des activités de recherche dans le domaine de la microélectronique, et principalement dans les domaines suivants : test des circuits analogiques, conception en vue du test « Design for Testability » (DFT), des circuits intégrés et des systèmes sur puce « System on Chip SOC » (SOC), circuits de synthèse de fréquence, circuits de test et de caractérisation, convertisseurs temps numérique, synthèse sur FPGA et outils de CAO pour la conception, la vérification et le test des circuits intégrés.

Techniques de conception en vue du test : La demande croissante de nouveaux produits électroniques de plus en plus petits, à bas prix et de faible consommation dans toutes les applications de l'électronique a stimulé la croissance rapide des systèmes intégrés sur puce « System on Chip Soc ». Les SOC intègrent des parties analogiques, numériques, des mémoires et des microprocesseurs sur le même circuit intégré. Les technologies modernes de fabrication de circuits intégrés permettent cette intégration de plusieurs modules sur la même puce, ce qui permet d'avoir des circuits plus performants, plus rapides, plus petits et à faible coût. Par contre, à cause de cette intégration croissante, le test de ces SOC devient de plus en plus difficile et surtout de plus en plus coûteux, ce qui risque de ralentir leur croissance au cours des prochaines années. L'objectif de ces travaux de recherche est de développer de nouvelles méthodes de test pour les SOC afin de maintenir un coût de test relativement faible par rapport au coût de fabrication.

Méthodes d'accélération de la simulation analogique : L'objectif de ces travaux de recherche est l'étude et l'implémentation de techniques d'accélération de la simulation de circuits analogiques pour certaines applications particulières qui sont très coûteuses en temps de calcul et moins exigeantes en précision. Parmi les outils de CAO visés par ces travaux, nous avons les logiciels de dimensionnement automatique des transistors, les simulateurs de pannes et les outils d'analyse Monte-Carlo. Ces applications utilisent les résultats de la simulation pour comparer des circuits et prendre des décisions à savoir : choisir le meilleur circuit dans le cas d'un outil de dimensionnement automatique, décidé si un défaut physique est détectable ou non dans le cas d'un simulateur de pannes et savoir si le circuit conçu est robuste dans le cas de l'analyse Monte-Carlo. Contrairement à l'application normale d'un simulateur qui est la vérification et la validation de circuits, pour ces applications, la précision intrinsèque du simulateur n'est pas importante tant que les résultats des comparaisons restent corrects. Le but de ces travaux est donc d'explorer les différentes méthodes pour accélérer les simulations analogiques dans le cas de simulations multiples d'un même circuit avec des modifications mineures et pour lesquelles une grande précision des résultats n'est pas toujours nécessaire.

Circuits de test et de caractérisation : Ces travaux de recherche visent le développement de méthodes pour la caractérisation des effets des fluctuations des procédés de fabrication sur le comportement des circuits fabriqués. Pour améliorer les performances des circuits de haute performance, il est indispensable de disposer pour chaque procédé de fabrication de modèles statistiques des variations «intra-die» et «die-to-die» des paramètres physiques et électriques les plus critiques. Les méthodes classiques d'extraction de ces paramètres nécessitent un grand nombre de circuits provenant de plusieurs emplacements différents sur la gaufre et des équipements de mesure très coûteux, ce qui les rend très coûteuses. L'objectif de nos travaux est la conception de circuits pour la caractérisation. L'idée est de concevoir pour chaque paramètre, un circuit permettant de faciliter l'analyse et la mesure des effets des fluctuations du procédé de fabrication sur le paramètre en question. Un des problèmes critiques ciblés par ces travaux de recherche est la variation des délais de propagation dans un circuit intégré.

ACTIVITÉS DU PROFESSEUR LANGLOIS

Le professeur Langlois s'intéresse à la conception et à la réalisation de systèmes embarqués pour le traitement du signal et le traitement d'images, à l'architecture des ordinateurs et au traitement du signal et d'images pour des applications biomédicales.

Des projets sont en cours dans trois domaines principaux :

Conception de processeurs spécialisés et configurables pour le traitement vidéo.

Ce projet est mené conjointement avec les professeurs Savaria, Bois, David et Boyer du GR2M. Une collaboration avec le professeur Aboulhamid du DIRO et la professeure Chériet du département de génie informatique et génie logiciel sont aussi en cours.

Les processeurs configurables offrent d'intéressantes solutions en informatique embarquée pour l'implémentation d'algorithmes de traitement d'image et de traitement du signal en temps réel. Les besoins en calculs, les contraintes de synchronisation, la réduction des coûts et les limites en consommation de puissance pour ces applications écartent habituellement les solutions purement logicielles implémentées sur un processeur à usage général. Les processeurs configurables ont l'intérêt de pouvoir être programmés à l'aide de langages de haut niveau familiers pour la plupart des concepteurs. Les processeurs configurables commerciaux sont paramétrables et extensibles. Des caractéristiques spécifiques comme un multiplicateur peuvent être activées ou non. Des structures peuvent être ajoutées au processeur, comme des instructions additionnelles, des blocs de registres élargis et des interfaces mémoires particulières.

Les objectifs de ce projet incluent le développement de méthodologies de conception pour des processeurs spécialisés (Application Specific Instruction set Processor - ASIP), principalement pour des applications de traitement vidéo en temps réel. Nous considérons présentement le problème du désentrelacement et la conversion du taux de trame pour la télévision à haute définition, et le traitement en temps réel d'images pour des applications médicales.

Détection automatisée en temps réel de crises épileptiques.

Ce projet est mené conjointement avec le Dr. Carmant de l'hôpital Ste-Justine et avec le professeur Bilodeau du département de génie informatique et génie logiciel.

Le but du projet est de développer un système fiable pouvant détecter automatiquement et en temps réel des crises épileptiques chez l'animal et chez l'humain. Ce système supporte des projets de recherche en cours à l'hôpital Ste-Justine sur les mécanismes impliqués dans les dommages au cerveau suite à des convulsions épileptiques, l'impact des lésions et de l'hyperthermie sur le développement de l'épilepsie, et le synchronisme oscillatoire dans le complexe amygdale-hippocampe. Notre approche veut exploiter l'information provenant des potentiels de champs locaux et de l'analyse de séquences vidéo et infrarouge. Cette approche à trois types de senseurs imite mieux le processus naturel de détection des professionnels de la santé.

Systèmes embarqués multi-senseurs temps réel pour navigation véhiculaire et personnelle.

Ce projet est mené en collaboration avec le professeur Noureldin du Collège militaire royal à Kingston et d'autres chercheurs du réseau GEOIDE.

Le but de ce projet est d'implémenter des systèmes de navigation pour véhicules et personnes intégrant des données de positionnement provenant de senseurs inertiels et du GPS. Les senseurs inertiels tendent à être très précis à court terme, et peuvent complémenter adéquatement les données GPS lors de brèves interruptions de service. Le coût est une contrainte importante de réalisation est menée par applications considérées. À long terme, le système doit intégrer des accéléromètres sous la forme de systèmes micro-électromécaniques (MEMS). Un produit attendu du projet est un environnement de développement permettant à des développeurs d'applications de navigation de rapidement considérer des options de designs et leurs coûts associés.

ACTIVITÉS DU PROFESSEUR MARTEL

Les activités du professeur Martel se situent principalement dans la recherche et le développement de systèmes miniatures intelligents et plus particulièrement dans le domaine de la nanorobotique. L'objectif actuel consiste à développer des nanorobots avec une infrastructure conçue pour supporter une flotte d'une centaine de ces nanorobots capables d'opérer très rapidement et de façon autonome au niveau moléculaire et jusqu'au niveau des atomes.

Pour ce genre de projets, nous devons développer plusieurs systèmes électroniques et microélectroniques spécialisés pour supporter, contrôler et implanter plusieurs tâches complexes incluant par exemple :

- Système en temps réel et de très haute performance de positionnement, de navigation et communication à infrarouge pour plates-formes nanorobotique ;
- Système de positionnement miniature de résolution atomique basé sur les techniques de microscopie à effet tunnel ;
- Systèmes et instruments miniatures de manipulation, mesure, synthèse et fabrication au niveau moléculaire ;
- Système de contrôle embarqué pour déplacement de nanorobots, etc.

Notre intérêt est donc le développement de divers circuits miniatures (analogue et numérique) de haute performance en utilisant diverses approches, techniques, outils de conception et systèmes de vérification/validation essentiellement au niveau système sur puces (SoC).

La miniaturisation, précision, vitesse et le rendement en temps réel sont des aspects très importants et critiques dans la plupart des systèmes électroniques développés pour ce genre de projet. Les systèmes à concevoir sont aussi généralement très complexes et exigeants et font appel à plusieurs technologies qui doivent être intégrées dans des systèmes micro-mécatroniques avec instruments intégrés de très haute précision et opérant à de très grandes vitesses.

ACTIVITÉS DU PROFESSEUR NICOLESCU

Gabriela Nicolescu conduit des recherches sur la conception des systèmes embarqués. Deux types de systèmes sont visés par ses recherches : la dernière génération des systèmes embarqués intégrant des sous-systèmes hétérogènes provenant de différents domaines d'application (ex. : électronique, optique, mécanique, RF) et les systèmes-sur-puce intégrant plusieurs processeurs hétérogènes (ex. : processeurs configurables, processeurs spécialisés pour un type d'application, processeurs d'usage général). Les thèmes de recherche seront élaborés brièvement par la suite.

Conception des systèmes embarqués hétérogènes

Nos travaux sur la conception des systèmes embarqués hétérogènes portent sur les nouvelles techniques pour la modélisation et la validation globale de ces systèmes. Nous travaillons sur la définition et la mise en place d'un environnement permettant la coopération des concepteurs provenant des domaines d'application différents, avec de différentes cultures et utilisant différents niveaux d'abstraction (ex. : RTL, niveau transactionnel), langages de spécification (ex. : VHDL, SytemC, Matlab) et modèles d'exécution (simulation native, simulation à base d'ISS). Nos travaux explorent particulièrement la modélisation et la simulation des interactions entre les composantes fournies par divers concepteurs et nous explorons les techniques de génération automatique des interfaces d'adaptation entre ces composantes.

Nous utilisons comme applications concrètes les MEMS (micro electro-mechanical systems), MOEMS (micro opto-electro-mechanical systems) et les réseaux optiques sur puce.

Conception des systèmes sur-puce multiprocesseur

Nos travaux sur la conception des systèmes-sur-puce multiprocesseurs portent sur l'exploration architecturale et la validation par simulation de ces systèmes.

Concernant l'exploration architecturale nous étudions des nouvelles architectures mémoires et les algorithmes efficaces pour mapper les différentes applications sur ces architectures. Nous explorons aussi l'impact de l'implémentation des systèmes d'exploitation sur l'efficacité des systèmes multiprocesseurs sur puce. Les approches prises en compte sont : les systèmes d'exploitation implémentés en logiciel, les systèmes d'exploitation implémentés en matériel, et les systèmes d'exploitation logiciels/matériels. Nous explorons aussi l'impact de l'intégration sur même puce des processeurs différents et des systèmes d'exploitation implémentés par les différentes techniques présentés plus haut.

Concernant la validation des systèmes, multiprocesseurs, nous explorons de nouvelles modèles de simulation permettant une validation rapide et précise de ces systèmes. Nous étudions les modèles de simulation de haut niveau pour les parties logiciels dépendants du matériel (hardware dependent software) pour la simulation native du logiciel embarqué.

Nous évaluons nos approches à l'aide des applications multimédia (ex. : MPEG4, DivX).

ACTIVITÉS DU PROFESSEUR SAVARIA

Il conduit des recherches selon deux grands axes : l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur la conception de chaînes d'alimentation pour les microsystèmes embarqués et les méthodes de conception et de synchronisation des systèmes intégrés. Il englobe aussi des techniques d'autotest et de tolérance aux pannes et aux défectuosités. Le second axe couvre des thèmes divers liés aux applications des microsystèmes intégrés comme la conception de systèmes de radio configurable, la conception de décodeurs convolutionnels, la conception d'une plate-forme SOC pour la réalisation de processeurs réseau et de systèmes de traitement vidéo ainsi que sur la conception d'un système de prototypage rapide. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs dont plusieurs sont membres du ReSMiQ. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Nos travaux sur les méthodes de conception explorent diverses classes de circuits nécessaires pour la mise en œuvre de chaînes d'alimentation de microsystèmes intégrés comme des redresseurs à faible chute de tension et des convertisseurs DC-DC à commande asynchrone. Nous explorons aussi des méthodes de synchronisation efficaces pour les systèmes intégrés. Une de ces méthodes permet de tolérer des biais de synchronisation arbitrairement grand dans des systèmes purement synchrones. D'autres méthodes investiguées conduisent à la conception systématique de systèmes intégrés globalement asynchrones mais localement synchrones.

Nous explorons les méthodes efficaces pour la conception d'architectures intégrées. Ces architectures doivent souvent être adaptées à la classe d'application ciblée. Cela conduit parfois à des plateformes composées de modules paramétrables, réutilisables et compatibles entre eux qui forment la base d'une architecture flexible pour la classe d'application ciblée. Nos recherches portent aussi sur plusieurs techniques pour la conception de processeurs configurables visant l'accélération des calculs. Ces techniques permettent notamment de réduire considérablement l'énergie requise pour effectuer un traitement.

Enfin, en rapport avec les techniques de tolérance aux pannes, nous les explorons dans le cadre d'un projet qui vise à gérer l'effet des radiations sur l'électronique ainsi que dans le cadre d'un projet qui vise la réalisation par circuit intégré à l'échelle de la tranche (WSI) d'une technologie de prototypage rapide pour les systèmes électroniques complexes.

Applications

Dans le cadre de cet axe, nous explorons un ensemble d'applications. Plusieurs de ces applications permettent d'explorer les méthodes de dimensionnement automatique des chemins de données. Nous explorons les architectures possibles pour la mise en œuvre des systèmes de traitement vidéo.

Nous travaillons aussi à la mise en œuvre de diverses classes de modules nécessaires pour la mise en œuvre de radios configurables, de processeurs réseau et de systèmes de traitement vidéo.

Un de nos projets important porte sur la conception d'un réseau de communication fiable pour la transmission des données critiques pour le domaine de l'aéronautique parrainé par Thales et Bombardier. Un autre projet parrainé par Ericsson porte sur la conception d'équipement réseau virtualisés.

Enfin, en collaboration avec Technocap, UQAM, UQO et plusieurs autres participants, nous élaborons une technologie d'intégration configurable pour les systèmes électroniques dans le cadre du projet DreamWafer.

ACTIVITÉS DU PROFESSEUR SAWAN

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon les grandes priorités suivantes : la conception, la réalisation et le test des circuits intégrés analogiques, mixtes et à fréquences radio ; la conception des systèmes pour l'acquisition et le traitement de signal et d'image, l'assemblage et l'encapsulation de dispositifs électroniques ; le prototypage rapide se servant de circuits et systèmes reconfigurables. L'ensemble de ces priorités s'articule autour de deux objectifs essentiels soient la réalisation de modules et de systèmes complets dédiés à des applications industrielles variées tel que les télécommunications, et la mise en œuvre de dispositifs médicaux servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions, plus particulièrement des micro stimulateurs et capteurs sensoriels implantables et non-implantables et des systèmes optiques et ultrasoniques portables.

En particulier, le professeur Sawan s'intéresse aux convertisseurs analogique à numérique (CAN): rapide, à haute précision et à très basses alimentation et consommation, aux filtres reconfigurables et à bande passante élevée, aux préamplificateurs à très faible niveau de bruit et à large bande passante et programmables, aux régulateurs de tension, aux PLL et FLL (Phase et Frequency Looked Loop). Aussi, des nombreux autres circuits intégrés mixtes font l'objet de nos travaux de recherche dans le cadre des applications médicales : capteurs et micro stimulateurs, conversion optique – électrique, ultrasons, microélectrodes, techniques de mesures intégrés, etc. Ajoutons que nous menons des travaux dans le domaine de communications sans fil, plus spécifiquement nous travaillons à la mise au point de systèmes complets, soient des mélangeurs, des MODEM, des amplificateurs de puissance, des liens électromagnétiques efficaces, etc.

Les systèmes dédiés à des applications médicales doivent être performants (dimensions réduites et à très basse consommation d'énergie), fiables et flexibles. Ces applications pluridisciplinaires regroupent des activités des différentes disciplines connexes en sciences et génie. Ceci implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, etc. Nous nous intéressons à mettre en œuvre un bon nombre de ces systèmes soient : un stimulateur implantable urinaire servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la création d'une vision acceptable chez les non-voyants, un dispositif capteur de signaux neuronaux dans le but de mesurer le volume d'urine dans la vessie et de commander le mouvement des membres artificiels remplaçant des membres amputés. Nous recherchons une solution aux à l'apnée du sommeil chez les nourrissants et chez les adultes, etc. À titre d'exemple, nous proposons un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons. Nous poursuivons nos travaux sur les techniques de télémétrie pour la mesure de divers paramètres biologiques. Nous nous servons des techniques optiques dans le domaine de l'imagerie clinique basée sur la spectrométrie proche infrarouge. Aussi, nous nous intéressons à la réalisation des systèmes ultrasoniques portables. De plus, nous ferons des travaux dans le domaine de laboratoire sur puce pour mettre au point des outils de diagnostique cellulaire.

Titulaire d'une Chaire de recherche du Canada sur les dispositifs médicaux intelligents, professeur Sawan est co-fondateur de l'IFESS (International Functional Electrical Stimulation Society), et membre de plusieurs comités d'organisation et de programme de conférences nationales et internationales. Fondateur de la conférence internationale IEEE-NEWCAS, fondateur du Laboratoire de neurotechnologies Polystim et directeur du regroupement stratégique en microélectronique du Québec (ReSMiQ), éditeur et coéditeurs de plusieurs revues internationales et membre de «Board of Governors» de la société circuits et systèmes de IEEE, élu «Distinguished Lecturer» de la société solid-state circuits de IEEE pour 2011-2012. Professeur Sawan est Fellow de l'académie Canadienne de génie, Fellow des instituts canadiens des ingénieurs, Fellow de IEEE et Officier de l'ordre nationale de Québec.

Pour plus de détails sur les différents travaux cités ci-dessus, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport et à consulter notre site web au http://www.polystim.ca

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs qui ont effectué des recherches associées au GR2M durant la période couverte par ce rapport :

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Akbarniai Tehrani Mona	Ph.D.	Y. Savaria	
Allard, Mathieu	M.Sc.A.	J.P. David	
Allard-Bernier, Jessica	M.Sc.A.	G. Bois	
Al-Terkawi-Hasid, Omar	M.Sc.A.	M. Sawan	
Aubertin, Philippe	M.Sc.A.	Y. Savaria	P. Langlois
Basile Bellavance, Yan	Ph.D.	Y. Savaria	Y. Blaquière
Ben Cheikh, Taieb Lamine	Ph.D.	G. Nicolescu	
Bendali, Abdelhalim	Ph.D.	Y. Audet	C. Akyel
Benhammadi, Seddik	M.Sc.A.	Y. Audet	V. Diaconu
Chaddad, Ahmad	Ph.D.	M. Sawan	
Daigneault, Marc-André	Ph.D.	J.-P. David	
Drolet, Jonathan	M.Sc.A.	M. Sawan	
Éthier, Sébastien	M.Sc.A.	M. Sawan	
Ezzat, Hicham	Ph.D.	Y. Savaria	
Farah, Rana	Ph.D.	P. Langlois	G.A. Bilodeau
Fourmigue, Alain	Ph.D.	G. Nicolescu	
Gan, Qifeng	Ph.D.	P. Langlois	Y. Savaria
Gélinas, Sébastien	M.Sc.A.	M. Sawan	
Ghannoum, Anthony	M.Sc.A.	M. Sawan	
Gil, Diana	M.Sc.A.	P. Langlois	
Grogan, Patrick	M.Sc.A.	J.-P. David	
Guérard, Hubert	M.Sc.A.	G. Bois	
Guillemot, Mikael	M.Sc.A.	Y. Savaria	
Hached, Sami	Ph.D.	M. Sawan	
Hamie, Ali	M.Sc.A.	M. Sawan	
Hasanuzzaman, Md	Ph.D.	M. Sawan	
Hashemi, Saeid	Ph.D.	M. Sawan	Y. Savaria
Hawi, Firas	M.Sc.A.	M. Sawan	
Kamrani, Ehsan	Ph.D.	M. Sawan	
Kar, Goutam Chandra	M.Sc.A.	M. Sawan	
Karimian-Sichany, Masood	Ph.D.	M. Sawan	
Khamseharshari, Elham	M.Sc.A.	Y. Audet	
Kowarzyk Moreno, Gilbert	Ph.D.	Y. Savaria	D. Haccoun
Krouchev, Nedialko	Ph.D.	M. Sawan	A. Vinet
Laflamme-Mayer, Nicolas	M.Sc.A.	M. Sawan	Y. Blaquière
Lafrance, Pierre	M.Sc.A.	Y. Audet	
Lareau, Étienne	M.Sc.A.	M.Sawan	F. Lesage
Lebrun Mc Kinnon, Mathieu	M.Sc.A.	G. Bois	
Lepercq, Étienne	Ph.D.	Y.Savaria	Y. Blaquière
Lerebours Jonas	M.Sc.A.	P. David	
Lévesque, Philippe	Ph.D.	M. Sawan	
Mbaye, Mame Maria	Ph.D.	Y. Savaria	S. Pierre
Mendez, Arnaldo	Ph.D.	M. Sawan	
Miled, Mohamed Amine	Ph.D.	M. Sawan	
Mirzaei, Marjan	M.Sc.A.	M. Sawan	
Monteiro, Fellipe	M.Sc.A.	G. Bois	
Moradi, Arash	Ph.D.	M. Sawan	
Moss, Laurent	Ph.D..	G. Bois	M. Aboulhamid

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Mounaim, Fayçal	M.Sc.A.	M. Sawan	
Nourivand, Afshin	Ph.D.	A. Alkalili	Y. Savaria
Ould Bachir, Tarek	Ph.D.	J.P. David	J. Mahseredjian
Pons Jean-François	M.Sc.A.	J-J, Brault	
Robati Tiyam	M.Sc.A.	Y. Savaria	
Rogers-Vallée, Michel	M.Sc.A.	G. Bois	
Salam, MuhammadTariqus	Ph.D.	M. Sawan	
Savard, Julien	M.Sc.A.	G. Bois	
Sebbar, Mohamed	M.Sc.A.	Y. Audet	J.P. David
Sharafi, Azadeh	Ph.D.	S. Martel	
Siadjine Njinowa, Marcel	Ph.D.	H.T. Bui	F. R. Boyer
Simard, Guillaume	M.Sc.A.	M. Sawan	
Stimpfling Thibault	M.Sc.A.	M. Savaria	
Tanguay, Louis-François	Ph.D.	M. Sawan	
Tapp, Martin	Ph.D.	G. Nicolescu	M. Aboulhamid
Tremblay, José-Philippe	M.Sc.A.	Y. Savaria	
Trentin Davide	M.Sc.A.	M. Savaria	
Turgeon, Jean-Sébastien	M.Sc.A.	Y. Savaria	
Vakili, Shervin	Ph.D	P. Langlois	
Zarrabi, Houman	Ph.D.	Y. Savaria	A. Alkalili
Zhang, Kai	Ph.D.	Y. Audet	
Zheng, Yushan	Ph.D.	M. Sawan	

ÉTUDIANTS NOUVELLEMENT INSCRITS

Nom de l'étudiant	Diplôme en cours	Directeur	Codirecteur
Blouin Frédéric	M.Sc.A.	P. Langlois	
Charasse, Sylvain	M.Sc.A.	Y. Savaria	
Dang Hervé	M.Sc.A.	P. Langlois	
El Galhi Nabil	Ph.D	Y. Savaria	
Fomekong Dongmo, Armand	M.Sc.A	J-J Brault	
Gholamzadel, Bahareh	M.Sc.A.	M. Sawan	
Hussain, Wassim	Ph.D	Y. Savaria	
Kassab, Amal	M.Sc.A	M. Sawan	
Keita, Abdoul-Kader	M.Sc.A.	P. Langlois	
Le Lan, Jérôme	M.Sc.A.	M. Sawan	
Li, Nan	Ph.D.	M. Sawan	
Massicotte, Geneviève	M.Sc.A.	M. Sawan	
Mehri Dehnavi, Marzieh	M.Sc.A.	Y. Audet	
Mohammadi Farahngi Ali	Ph.D	Y. Savaria	
Najarpour Foroushani, Armin	M.Sc.A.	J-J Brault	
Navabzadeh, Nazila	M.Sc.A.	J-J Brault	
Talal Zakani	M.Sc.A.	Y. Savaria	
Taboubi, Mohamed	M.Sc.A	P. Langlois	
Watson, Meghan Chelsea	M.Sc.A.	M. Sawan	

TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT

Cette section contient une liste de projets avec le nom des personnes concernées. Plus de détails sur chacun des projets se trouvent dans les descriptions individuelles des étudiants chercheurs.

Nom de l'étudiant	*Diplôme en cours*	*Le titre de son projet*
Akbarniai-Tehrani, M.	Ph.D.	Conception de systèmes de calibration pour antenne réseau radar météorologiques.
Allard, M.	M.Sc.A.	Implémentation d'un treillis de calculs reconfigurable à travers une architecture SDFPGA (Software Defined FPGA).
Allard-Bernier, J.	M.Sc.A.	Méthode de reconfiguration dynamique pour un réseau sur puce tolérant aux fautes
Al-Terkawi-Hasib, O.	M.Sc.A.	Conception et implémentation de convertisseurs DC-DC hautement efficaces et intégrés en technologie CMOS à faible tension.
Aubertin, P.	M.Sc.A.	Accélération à l'aide de processeurs configurables de l'exécution d'algorithmes de voisinage local utilisés en traitement vidéo.
Basile Bellavance, Y.	Ph.D.	Conception d'un environnement de travail matériel et logiciel pour l'instrumentation d'un circuit intégré à l'échelle de la tranche et pour l'aide à la conception de circuit à basse énergie.
Ben Cheikh, T.L.	Ph.D.	Approche multiprocesseur pour l'optimisation des applications biomédicales
Bendali, A.	Ph.D.	Conception et caractérisation de circuits intégrés CMOS de haute performance pour applications aux interconnexions photoniques.
Benhammadi, S.	M.Sc.A	Réalisation d'un capteur d'image combiné à la spectroscopie de réflexion pour l'analyse non invasive et in vivo du sang rétinal
Chaddad, Ahmad	Ph.D.	Traitement de données de l'activité cérébrale à partir de la Spectroscopie Proche Infrarouge SPIR.
Daigneault, M.-A.	Ph.D.	Synthèse haut-niveau et description de circuits numériques au niveau des transferts synchronisés.
Drolet, J.	M.Sc.A.	Circuits numériques intracorticaux pour la détection automatisée des potentiels d'action.
Éthier, S.	M.Sc.A.	Conception d'un stimulateur sécuritaire à faible consommation de puissance pour un implant visuel intracortical.
Ezzat, H.	Ph.D.	Processeur de vérification basée sur les assertions pour le DreamWafer™.
Farah, R.	Ph.D.	Identification de convulsions et de comportements des animaux avec un système de vision informatique.
Fourmigue, A.	Ph.D.	Modélisation au niveau système des architectures tri-dimensionnelles (3D) de systèmes multiprocesseurs sur puce (MPSoC).
Gan, Q.	Ph.D.	L'exploration architecturale de design sur processeurs à jeux d'instructions spécialisés pour l'accélération de l'exécution d'algorithmes des filtres particulaires
Gélinas, S.	M.Sc.A.	Conception et implémentation d'un dispositif de communication sans-fil courte-distance à très faible consommation pour implants biomédicaux.
Ghannoum, A.	M.Sc.A.	Module de reconnaissance d'objets dédié à un stimulateur visuel cortical.
Gil, D.	M.Sc.A	Processeurs embarqués pour reproduction de tons en temps réel
Grogan, P.	M.Sc.A.	Implémentation d'un treillis de calculs reconfigurable à travers une architecture SDFPGA (Software Defined FPGA)
Guérard, H.	M.Sc.A.	Implémentation, validation et simulation de NoC à haut niveau.
Guillemot, M.	M.Sc.A.	Mise en œuvre d'une suite d'outils permettant l'utilisation de la plateforme DreamWafer.
Hached, Sami	Ph.D.	Sphincter urétral artificiel commandé et alimenté en énergie sans fil
Hamie, Ali	M.Sc.A	Micro pompe implantable dédiée à l'injection des médicaments chez les patients épileptiques.
Hasanuzzaman, Md.	Ph.D.	Conception d'un module de stimulation zone de base implantable pour la micro stimulation intracorticale visuelle.
Hashemi, S	Ph.D.	Amélioration de l'efficacité des chaînes de conversion de puissance pour implants biomédicaux.
Hawi, F.	M.Sc.A.	Conception et implémentation d'un système de stéréovision passive dédié à l'implant intracortical visuel.

Nom de l'étudiant	***Diplôme en cours***	***Le titre de son projet***
Kamrani, E.	Ph.D.	Conception d'un nouveau portable sans fil fNIRS système combiné avec EEG de surveillance à côté de l'AVC et les patients cardiaques.
Kar, G.C.	M.Sc.A.	Conception et mise en œuvre d'une pompe à charge haute tension pour microstimulateur électrique.
Karimian-Sichany, M.	Ph.D.	Conception et implémentation d'une interface de capteur intelligent dans un réseau de capteurs avioniques.
Khamsehashari, E.	M.Sc.A.	Circuit de lecture destiné à un capteur d'images CMOS en mode courant.
Kowarzyk Moreno, G.	Ph.D.	Développement d'un algorithme de recherche de codes convolutionnels doublement orthogonaux parallèle et implicitement-exhaustif pour plateforme de calcul à haute performance.
Krouchev, N.	Ph.D.	Micro stimulation optimale du tissu nerveux - Des modèles aux dispositifs.
Laflamme-Mayer, N.	M.Sc.A	Conception et réalisation d'un réseau de distribution de puissance d'une carte de prototypage rapide de systèmes.
Lafrance, P.	M.Sc.A.	Convertisseur analogue à numérique permettant une quantification variable adapté à la sensibilité de l'œil humain.
Lareau, É.	M.Sc.A.	Conception d'un système portable de spectrométrie par proche-infrarouge multicanaux destiné à la détection de foyers épileptogènes.
Lebrun Mc Kinnon, M.	M.Sc.A.	Automatisation du processus de vérification pour les systèmes embarqués conçus grâce à une plateforme virtuelle.
Lepercq, É.	Ph.D.	Algorithme de routage pour l'utilisation et la mise au point d'une plateforme de prototypage rapide pour les systèmes électroniques *: Le WaferBoard™.*
Lerebours Jonas	M.Sc.A	Repérage de contenu numérique à haute vitesse optimisé sur plateforme GPGPU
Lévesque, P.	Ph.D.	Architecture d'un processeur dédié aux traitements de signaux ultrasoniques en temps réel en vue d'une intégration sur puce.
Mbaye, M.M.	Ph.D.	Techniques d'exploration architecturale de design à usage spécifique pour l'accélération de boucles.
Mendez, A.	Ph.D.	Méthode efficace pour le monitorage du volume de la vessie chez les patients paraplégiques.
Miled, M. A.	Ph.D.	Dispositif Laboratoire-sur-puce implantable dédié à la détection et séparation des neurotransmetteurs.
Mirzaei, Marjan	M.Sc.A	Conception et fabrication d'un dispositif implantable pour la détection de foyers épileptiques.
Monteiro, P.	M.Sc.A	Automatisation du processus de caractérisation de la consommation de puissance pour l'estimation au niveau modèle transactionnel
Moradi, A.	Ph.D.	Émetteur de faible puissance sans fil dédié aux microsystèmes biomédicaux implantables.
Moss, L.	Ph.D.	Profilage, caractérisation et partitionnement fonctionnel dans une plate-forme de conception de systèmes embarqués.
Mounaim, F.	Ph.D.	Neurostimulateur hautement intégré et nouvelle stratégie de stimulation pour améliorer la miction chez les paraplégiques.
Nourivand, A.	Ph.D.	Réduction de la puissance de fuite des mémoires sur-puce sans impact sur le rendement.
Ould Bachir, T.	Ph.D.	Opérateurs en virgule flottante pour des applications en simulation des systèmes électriques sur FPGA
Pons, J-F	M.Sc.A	Conception d'une plateforme d'*animats* à basse consommation de puissance utilisant des composants en logique asynchrone.
Robati T.	M.Sc.A	Le support matériel pour routeur virtuel (routeur d'agrégation) à haute vitesse.
Rogers-Vallée, M.	M.Sc.A.	Une méthode d'estimation de la consommation de puissance pour systèmes sur puce reprogrammable.
Salam, M.T.	Ph.D.	Microsystème biomédical implantable pour le traitement de l'épilepsie.
Savard, J.	M.Sc.A.	Exploration d'une procédure de simulation native de système IMA avec une application avionique graphique
Sebbar, M.	M.Sc.A.	Réalisation d'un système de conversion des couleurs pour un capteur d'images CMOS 'à photodétecteur sans fibre optique.

Nom de l'étudiant	***Diplôme en cours***	***Le titre de son projet***
Sharafi, A.	Ph.D.	Conception et mise en œuvre d'un micro-capteur non attachés pour la détection de tumeur du sein précoce.
Siadjine Njinowa, M.	Ph.D.	Conception d'un transmetteur de faible consommation de puissance et application dans les réseaux WBAN.
Simard, G.	Ph.D.	Télémétrie à très haut débit pour des implants biomédicaux dédiés à l'enregistrement neuronal.
Stimpfling T.	M.Sc.A.	Conception et implémentation d'un processeur réseau dans le but de supporter la virtualisation d'un équipement réseau.
Tanguay, L.-F.	Ph.D.	Synthétiseur de fréquences RF à ultra-faible consommation dédié aux microsystèmes implantables.
Tapp, M.	Ph.D.	Interopérabilité des environnements de simulation distribués par génération de code dynamique.
Tremblay, J.-P.	Ph.D.	Caractérisation de la fiabilité d'un réseau de transducteurs dans le domaine avionique.
Trentin, D.	M.Sc.A.	Étude et implémentation d'un système de communication avionique.
Turgeon, J.-S.	M.Sc.A.	Conception d'un module logiciel pour le diagnostique de fautes dans un circuit de la taille d'une tranche de silicium.
Vakili, S.	Ph.D	Optimisation de la largeur d'unités fonctionnelles et de chemins des données de processeurs configurables pour le traitement vidéo
Zarrabi, H.	Ph.D.	Conception et techniques d'évaluation pour la synthèse efficace de microsystèmes à faible énergie.
Zhang, K.	Ph.D.	Spectromètre en technologie CMOS basé sur le phénomène d absorption du rayonnement électromagnétique
Zheng, Y.	Ph.D.	Laboratoire sur puce pour la manipulation de particules biologiques par champ magnétique.

DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS

AKBARNIAI TEHRANI Mona **DIPLÔME : Ph.D.**

TITRE:

Conception de systèmes de calibration pour antenne réseau radar météorologiques.

RÉSUMÉ:

Le but de ce projet est la calibration des réseaux d'antennes utilisés dans les radars météorologiques.
Les performances des antennes réseau sont grandement affectées par des erreurs telles que le couplage mutuel entre les éléments du réseau, les changements environnementaux et les imperfections de fabrication. Cette recherche vise à mesurer, modéliser et compenser les erreurs mentionnées ci-dessus.

PROBLÉMATIQUE:

Certains sources d'imperfections dans les réseaux d'antennes ne peuvent pas être complètement éliminés lors du processus de conception des antennes donc des algorithmes de traitement du signal pour la compensation d'erreur doivent être utilisés pour calibrer une antenne en un temps court et alors que le réseau est déjà déployé.

MÉTHODOLOGIE:

Le projet débute par une phase de familiarisation dans lequel le concept d'antenne réseau orientables, leurs caractéristiques et les paramètres sont étudiés. Puis, des modèles pertinents seront implémentés dans Matlab. Une revue de littérature sur les méthodes de calibration sera ensuite faite et certains des algorithmes qui sont les plus souvent utilisées sont implémentés pour réaliser un modèle complet d'un système réel.
Les algorithmes étudiés sont généralement basés sur les algorithmes «maximum likelihood» ou de «sub-space direction-finding». La calibration se fait par l'adaptation du diagramme de rayonnement réel reçu à partir des émetteurs dans des positions prédéterminées pour le faire correspondre le mieux possible au motif idéal attendu (c'est à dire en l'absence d'imperfections). Un autre groupe de méthodes connues sous les termes d'auto-calibration et de « blind calibration » sont également étudiés parce qu'elles permettent de calibrer pour tous les types d'erreurs et d'estimer la position de la source de calibration dans un même temps. On définira ensuite une nouvelle méthode pour notre modèle d'antenne.

RÉSULTATS:

Les modèles étudiés ont été testés au cours de plusieurs expériences en appliquant un modèle d'erreurs réaliste. La performance des systèmes modélisés correspond bien aux résultats attendus et le système peut compenser l'erreur appliquée d'une manière satisfaisante. Certaines de ces méthodes sont également testées sur les données réelles acquises à partir d'une antenne réseau. Les résultats ont été encore satisfaisants. Dans la prochaine étape et après la définition de notre nouvelle méthode, elle sera implémentée sur une plate-forme de test.

ALLARD, Mathieu **DIPLÔME : M.Sc.A.**

TITRE:

Implémentation d'un treillis de calculs reconfigurable à travers une architecture SDFPGA (Software Defined FPGA).

RÉSUMÉ:

Le projet cherchera à implanter une toute nouvelle architecture permettant de traiter des algorithmes dotés d'un grand flot de données. En parallélisant le plus possible les calculs, il sera possible d'apporter d'importantes accélérations. Ce projet est en association avec la compagnie GaGe.

PROBLÉMATIQUE:

De nos jours, la technologie FPGA est devenue de plus en plus puissante et complexe à un niveau que seule la technologie ASIC pouvait atteindre il y a quelques années. Dans notre cas, compte tenu que le choix du FPGA provient des contraintes d'I/O, une bonne partie des ressources serait disponible après l'implémentation du design en tant que tel. Le but est donc de permettre un accès logiciel à ces ressources. D'un point de vue haut niveau, un SDFPGA peut être vu comme un FPGA dans un FPGA. Le treillis de calcul implanté dans un digitizer pourrait donc être reconfiguré par des programmeurs logiciels pour donner un nouveau comportement. Les algorithmes ayant de grandes possibilités de parallélisme seraient avantagés par ce treillis.

MÉTHODOLOGIE:

Pour réaliser ce travail, nous allons tout d'abord faire un modèle SystemC du treillis de calcul qui démontre la faisabilité de l'architecture à travers l'implantation d'une DDC (Digital Down converter). En ayant une ébauche très poussée de l'architecture finale, nous pouvons maintenant en faire l'implémentation matérielle. Également, celle-ci viendra se joindre aux nouvelles cartes du partenaire.

RÉSULTATS:

Réalisation d'un prototype implémentant le treillis de calcul.

ALLARD-BERNIER, Jessica **DIPLÔME : M.Sc.A.**

TITRE :

Méthode de reconfiguration dynamique pour un réseau sur puce tolérant aux fautes.

RÉSUMÉ :

Le but ultime du projet est de proposer une méthode de tolérance aux fautes intégrées au réseau-sur-puce, ici le Rotator-on-Chip (RoC), permettant une reconfiguration dynamique du réseau pour atténuer les défaillances possibles. Le tout sera exécuté sur FPGA. Pour ce faire, il y aura différentes phases dont une implémentation logicielle, une intégration matérielle et l'élaboration d'un environnement de test avec injection de fautes sur FPGA.

PROBLÉMATIQUE :

Les systèmes intégrés sont de plus en plus utilisés dans le but d'optimiser des applications dédiées, nous n'avons qu'à penser aux téléphones cellulaires ou aux lecteurs MP3. Cependant, ils augmentent également en complexité dans le but de remplir plus de fonctionnalités avec toujours moins de ressources. Deux principaux axes sont analysés dans le but d'optimiser les systèmes: les traitements de calcul et les communications. En solution du deuxième axe, l'utilisation des réseaux-sur-puce est proposée puisque leur rôle est d'interconnecter plusieurs ressources sans dégrader le débit de données. Diverses topologies de réseaux-sur-puce ont été développées ces dernières années notamment en se basant sur celle de la maille et de l'anneau qui restent des paradigmes dans le monde des réseaux. C'est cette dernière qui sera étudiée plus en détails dans ce projet.

Tous les réseaux sur puces ont des caractéristiques propres à eux qui les rendent plus attrayants dans certains domaines, notamment le nombre de ressources supportées, la rapidité des communications, etc. Bien que le débit soit une des métriques les plus importantes, il ne faut pas non plus oublier la fiabilité du transit des données. C'est pourquoi de plus en plus de réseaux sur puce sont développés dans une optique de tolérance aux fautes.

MÉTHODOLOGIE :

- Évaluation et analyse des techniques existantes
  - Recueillir les informations existantes sur les méthodes de tolérance aux fautes.

- Élaboration des bases comparatives
  - Caractérisation du modèle de base
  - Élaboration des méthodes d'évaluation

- Développement du modèle
  - Intégration d'un mécanisme de reconfiguration au RoC
  - Élaboration d'un mécanisme de détection des fautes au niveau logiciel
  - Intégration du mécanisme de détection des fautes au niveau matériel

- Simulations et comparaisons
  - Élaboration d'un environnement de test avec injection d'erreurs
  - Simulations
  - Évaluation en fonction des métriques de performances développées.

RÉSULTATS :

Aucun résultat n'est disponible pour l'instant.

AL-TERKAWI HASIB, Omar **DIPLÔME : M.Sc.A.**

TITRE :

Conception et implémentation de convertisseurs DC-DC hautement efficaces et intégrés en technologie CMOS à faible tension.

RÉSUMÉ :

Les dispositifs alimentés par batterie deviennent une partie importante de notre vie quotidienne. Avec la possibilité d'avoir des ensembles de circuits différents avec des demandes de puissance variables sur un fragment simple, la conception de convertisseur DC-DC intégré d'une haute efficacité devient une nécessité. Cette recherche vise la conception d'un convertisseur DC-DC bas complètement intégré qui peut opérer avec une haute efficacité dans des grandes plages de charge. Le circuit sera implémenté dans un procédé CMOS.

PROBLÉMATIQUE :

Dans les technologies modernes, l'intégration de différents circuits sur une même puce est une tendance très commune. Dans beaucoup de cas, les circuits sur puce ont besoin de différents niveaux de tension de réserve. L'approvisionnement des différentes tensions sur puce est le rôle d'un convertisseur DC-DC. Un des problèmes est l'utilisation d'éléments passifs hors puce. Un autre problème est la difficulté d'obtenir une régulation de la tension de sortie pour des valeurs différentes de résistance de charge tout en maintenant une bonne efficacité. La conception de tels circuits doit prendre en considération tous les critères mentionnés ci-dessus.

MÉTHODOLOGIE :

Pour accomplir l'objectif proposé, nous planifions les étapes suivantes :

- Une étude ou revue détaillée de la littérature sera effectuée ;
- La conception sera faite pour un procédé CMOS dans l'environnement Cadence. Pour ce faire, il faudra une maîtrise adéquate de cet environnement pour la conception de circuits mixtes ;
- La vérification Post layout sera comparée avec la simulation de circuit. La disposition finale doit être aussi robuste que possible pour tolérer les variations, ainsi, une analyse de procédé Monte-Carlo sera effectuée ;
- La puce fabriquée sera testée.

RÉSULTATS :

Dans le processus de conception du convertisseur DC-DC, une étude ou revue de la littérature sur le sujet a été effectuée. Différents types de topologies ont été comparés et analysés. Une nouvelle architecture de convertisseur DC-DC à capacités commutées avec un contrôle asynchrone a été réalisée. Le contrôleur asynchrone a été conçu afin de réduire les pertes de commutation dans le convertisseur lorsque la puissance de sortie est réduite. Le convertisseur utilise aussi plusieurs topologies afin d'adapter le taux de conversion à la tension de sortie nécessaire. Toutes ces méthodes sont utilisées pour améliorer l'efficacité du convertisseur DC-DC. La conception régule des tensions de charge de 300mV à 1.1V d'une tension d'entrée 1.2V. Une capacité totale de 350pF a été intégrée pour fournir un maximum de 250uW de puissance à la charge tout en atteignant une efficacité de 80%. Récemment, ce circuit a été fabriqué en technologie CMOS 0.13µm. Les résultats expérimentaux ont confirmé la théorie et la simulation du design et un article a été suomi à IEEE Transactions on Biomedical Circuits and Systems.

AUBERTIN, Philippe **DIPLÔME : M.Sc.A.**

TITRE :

Accélération de l'exécution d'algorithmes de voisinage local utilisés en traitement vidéo à l'aide de processeurs configurables.

RÉSUMÉ :

Ce projet porte sur l'accélération de traitement vidéo à l'aide de processeurs configurables. Il vise les algorithmes à voisinage local comme la convolution, les morphologies et les algorithmes de désentrelacement intra-champ. L'objectif est de définir et caractériser une approche de conception qui permette le développement rapide d'implémentations à haute vitesse de traitement d'algorithmes de ce type.

PROBLÉMATIQUE :

Les applications vidéo numériques sont omniprésentes. On peut penser, par exemple, à la télévision haute définition, aux lecteurs vidéo portatifs et aux téléphones cellulaires qui permettent la lecture vidéo. L'apparition de ces applications exigeantes est rendue possible grâce à l'augmentation exponentielle de la densité des circuits intégrés décrite par la loi de Moore. Par contre, cette augmentation exponentielle représente aussi un obstacle puisque les concepteurs doivent concevoir des systèmes toujours plus complexes avec les mêmes contraintes exigeantes de temps de mise en marché.

La principale solution à ce problème consiste à élever le niveau d'abstraction de la conception. Un paradigme de conception à niveau d'abstraction élevé, récent et prometteur est le processeur configurable. Étant donné la nouveauté de ce paradigme, des approches de conception et des méthodologies doivent être développées pour vraiment en tirer avantage.

MÉTHODOLOGIE :

L'approche proposée est appliquée à plusieurs algorithmes ayant des caractéristiques (complexité logicielle, modalité d'accès aux données) diverses afin de valider qu'elle soit applicable à ces algorithmes et afin de la caractériser. Pour la caractérisation, les métriques d'intérêt particulier sont la vitesse de traitement, la complexité matérielle et aussi la métrique AT. Ces métriques sont évaluées à l'aide de simulations et d'estimations obtenues grâce aux outils de conception. Jusqu'à présent, le processeur configurable Xtensa LX2 et la suite d'outils de Tensilica ont été utilisés. Les prochains travaux se concentreront sur la génération automatique de code VHDL à partir d'une description à haut niveau de l'algorithme.

RÉSULTATS :

Des implémentations rapides ont été réalisées pour diverses tailles de convolution 2D ainsi que pour trois algorithmes de désentrelacement intra-trame, dont PBDI, le nouvel algorithme proposé par Hossein Mahvash Mohammadi du GR2M. Concernant l'implémentation de PBDI, un article rapportant un facteur d'accélération de 1351 par rapport à une implémentation purement logicielle a été accepté et présenté à la conférence NEWCAS-TAISA 2009.

Une approche systématique pour la conception d'implémentations rapides de la classe d'algorithmes visée a été proposée et un article sur le sujet est en cours de rédaction. Il est attendu que ceci mène à une méthodologie où l'implémentation est dérivée automatiquement d'une description à haut niveau de l'algorithme.

BASILE-BELLAVANCE, Yan **DIPLÔME : Ph.D.**

TITRE :

Conception d'un environnement de travail matériel et logiciel pour l'instrumentation d'un circuit intégré à l'échelle de la tranche et pour l'aide à la conception de circuits à basse énergie.

RÉSUMÉ :

Ce projet de recherche s'intègre dans le projet DreamWafer qui vise à créer, à l'aide d'un circuit intégré à l'échelle de la tranche, un «PCB reconfigurable» où les puces déposées à la surface d'un substrat actif et reprogrammable peuvent être interconnectées dynamiquement entre eux. Le but du projet est d'instrumenter un circuit intégré à l'échelle de la tranche pour suivre en temps réel la température interne, la puissance consommée et la pression interne du substrat silicium.

PROBLÉMATIQUE :

Le projet DreamWafer^{TM}, vise à développer un circuit intégré qui ferait l'équivalent d'un «PCB reconfigurable» permettant d'interconnecter numériquement des circuits intégrés discrets (FPGA, processeurs, DSP…) à tester, ceux-ci étant déposés à sa surface. Ce système se nomme le WaferBoard. Il contient un circuit spécial qui est une matrice de millier de cellules identiques, chacune comportant un centre de contrôle logique, un crossbar reconfigurable et un ensemble de «plots» de quelques centaines de micromètres de large (points de contact avec les composants déposés). Ce circuit intégré est nommé WaferIC. Ce circuit se déploie sur l'ensemble d'une tranche de silicium, c'est pourquoi on le classe dans la catégorie des circuits intégrés à l'échelle de la tranche. Or, le WaferIC doit intégrer un réseau de capteurs intégrés (puissance, température et pression) pour mieux caractériser le premier prototype de WaferIC et pour ajouter des fonctionnalités supplémentaires d'aide à la conception pour les utilisateurs du WaferBoard. Par exemple, l'ajout de capteurs intégrés permettant de surveiller la consommation de puissance des circuits intégrés déposés à la surface est la première étape pour créer un outil d'aide à la conception permettant d'optimiser l'efficacité énergétique des systèmes électroniques.

MÉTHODOLOGIE :

La première étape du projet consiste à faire le design au niveau circuit d'un capteur analogique de courant, de température et de pression efficace occupant un minimum de surface. Une fois ces éléments conçus au niveau circuit, un circuit de test sera fabriqué et validé. Par la suite, le réseau de capteur sera intégré dans le WaferIC.

Parallèlement à ce design, un environnement logiciel d'aide à la conception doit être conçu et réalisé pour aider les utilisateurs du WaferBoard à concevoir et tester des circuits qui consomment moins de puissance. Des algorithmes d'aide à la décision seront conçus pour accompagner l'utilisateur dans la conception de circuits efficaces énergétiquement. Bien sûr, à la base de ces algorithmes, les données de consommation de chaleur et de puissance fournies par les réseaux de capteur du WaferIC permettront d'alimenter la recherche automatique de solution et de valider les architectures proposées par l'outil d'aide à la conception.

RÉSULTATS :

Puisque le projet vient tout juste de débuter, aucun résultat ne peut être présenté à ce jour.

BEN CHEIKH, Taieb Lamine **DIPLÔME : Ph.D.**

TITRE :

Approche multiprocesseur pour l'optimisation des applications biomédicales.

RÉSUMÉ :

L'imagerie biomédicale prend beaucoup d'essor dans le domaine du traitement numérique d'images grâce à la numérisation et à la vidéo assistance. Dans cette optique, plusieurs efforts ont été observés dans le développement d'algorithmes poussés pour produire des résultats satisfaisants aux besoins des médecins. Le problème de la majorité de ces algorithmes est qu'ils sont restés au niveau théorique et leur implémentation n'a pas été encore définie afin de satisfaire les contraintes de temps réel. Afin de concrétiser ces efforts sur le plan pratique, nous cherchons à assurer une implémentation adéquate de certains de ces algorithmes déjà développés en Matlab (langage interprétable) par le laboratoire de recherche LIV4D à l'École Polytechnique de Montréal. L'application visée est un système à réalité augmentée pour la chirurgie minimalement invasive.

PROBLÉMATIQUE :

Après l'étude de l'algorithme de l'application écrite en MATLAB, nous avons remarqué qu'il présente en partie des points communs avec les algorithmes de traitement d'images classiques en termes de structures de données de grandes tailles avec des formes régulières : matrice, tableau et traitement identiques sur les parties de ces structures de données. Ces points favorisent la parallélisation de l'application en question en proposant comme architecture d'implémentation une plate forme multiprocesseur. En plus de ces points communs, cette application présente certaines particularités telles que l'emploi intensif du contrôle et l'aspect dynamique du traitement. Ce qui complique davantage la tâche de la parallélisation. Compte tenu de ces particularités nous proposons une architecture multiprocesseur hétérogène combinant plusieurs types de processeurs (CPUs et GPUs).

MÉTHODOLOGIE :

Afin de faciliter la programmation de cette architecture multiprocesseur hétérogène, notre objectif est de proposer un environnement de programmation spécifique. Cet environnement doit être efficace, flexible et complet. Pour se faire, nous avons suivi une démarche basée sur un ensemble d'étapes : Comme première étape, nous avons réécrit le code en C (langage compilable) pour accélérer son exécution d'une part et favoriser, d'autre part, son instrumentation et son implémentation vu l'existence d'outils et de compilateurs adaptés pour le C. Ensuite, nous avons profilé le code en détail et observé la dynamique des données durant l'exécution. Ceci nous a donné l'idée de simplifier les structures de données en réduisant leurs tailles pour ne garder que les parties de données utiles pour le traitement.

RÉSULTATS :

Cette étape a permis d'améliorer le temps d'exécution du code séquentiel et d'optimiser la taille mémoire pour les données. Les premiers résultats ont été très encourageants qui avaient atteint pour une première image avec 55 contours une accélération de 212x par rapport à une implémentation en MATLAB et pour une image de 177 contours, une accélération de 505x.

Malgré cette accélération considérable, nous n'avons pas réussi à atteindre le temps réel avec une exécution séquentielle du programme, d'où le besoin de la parallélisation.

Comme deuxième étape, nous avons proposé une version parallèle du programme optimisé et nous avons implémenté cette version à l'aide du modèle de programmation parallèle OpenMP. L'expérimentation s'était faite sur un processeur multicore à 4 cœurs. Cette version a atteint une accélération de 2.74x pour une image de 55 contours et 3.08x pour une image de 177 contours. Cette accélération reste à optimiser et afin de tirer profit du parallélisme présent dans l'application, nous visons dans la prochaine étape d'implémenter le programme sur une architecture combinant des processeurs graphiques avec CUDA et des multicore avec OpenMP.

BENDALI, Abdelhalim **DIPLÔME : Ph.D.**

TITRE :

Conception et caractérisation de circuits intégrés CMOS de haute performance pour applications aux interconnexions photoniques.

RÉSUMÉ :

Dans ce projet, nous proposons d'utiliser le procédé CMOS standard pour la fabrication de capteurs d'image couleur (ClC) sans utiliser de filtres nécessaires pour séparer les couleurs primaires ou réseau de filtres de couleur (RFC). L'objectif majeur, visé par cette technique, est de réduire, d'une part, les dimensions du pixel couleur pour une plus haute résolution des caméras numériques et, d'autre part, contribuer à améliorer la sensibilité des ClC.

PROBLÉMATIQUE :

Aujourd'hui, les cameras numériques (CN) sont devenues les principaux dispositifs de capture d'image. Par leur capacité d'intégrer de nouvelles fonctionnalités, grâce notamment au traitement numérique d'image, les CN ont remplacé les procédés traditionnels de capture d'image basés sur les pellicules photosensibles. La tendance actuelle s'oriente plus vers les capteurs d'image utilisant le procédé CMOS qu'aux procédés basés sur les capteurs à couplage de charge (CCD). En utilisant la technologie CMOS, on peut intégrer sur une même puce la capture et le traitement de l'image, ce qui réduit à la fois la puissance consommée et le coût. Cependant un compromis est à respecter entre le coût et la performance : les détecteurs d'image CMOS sont moins performants que ceux en CCD dû principalement au bruit et la non-uniformité.

Chaque capteur d'image couleur utilise typiquement un RFC pour la reconstitution de la couleur. Un RFC est constitué de filtres de lumière de différents spectres de transmission (typiquement dans le rouge, le vert et le bleu) et disposés côte à côte. Malgré que le RFC est la solution la plus adoptée sur le marché, elle a, néanmoins, le désavantage d'absorber une partie de l'énergie lumineuse incidente à la surface: ce qui ce traduit par une réduction de la sensibilité et l'utilisation d'algorithme d'interpolation spatiale afin de restituer la couleur. De plus, il engendre un coût supplémentaire dû aux étapes de fabrication additionnelles rajoutées au CMOS standard. Afin de palier à ces inconvénients, nous proposons des CIC sans RFC.

MÉTHODOLOGIE :

Après avoir développé un premier modèle analytique du CIC, nous avons intégré sur une puce une matrice de CIC, composé de 120 lignes et 90 colonnes, ainsi que les blocks de traitement du signal. Grâce à des registres à décalage, cadencé par une horloge externe on balaye la matrice pixel par pixel. Le conditionnement du signal capté par le pixel sélectionné consiste en une conversion lumière-voltage suivie d'une amplification. Un système expérimental de contrôle et de mesure est développé afin de caractériser les différentes variantes du pixel proposé. Les puces que nous avons conçues sont fabriquées avec la technologie AMS 0.35µm.

RÉSULTATS :

Nous avons obtenu des résultats prometteurs quant au principe de fonctionnement des pixels : nous avons pu démontrer que selon la géométrie proposée il est possible de récolter l'information de la couleur. Cependant, des améliorations restent à apporter au pixel pour plus de performance. Nous avons aussi développé un circuit source de courant performant permettant de réduire l'impact des variations d'alimentation sur la matrice de CIC.

BENHAMMADI, Seddik*Erreur ! Signet non défini.* **DIPLÔME :** M.Sc.A.

TITRE :
Réalisation d'un capteur d'image combiné à la spectroscopie de réflexion pour l'analyse non invasive et in vivo du sang rétinal

RÉSUMÉ :

Dans ce projet on propose une nouvelle technique de diagnostic de sang non invasive, la technique consiste à combiner la spectroscopie de réflexion avec un capteur d'image.
La conception du capteur d'image doit prendre en compte certains défis pour intégrer la spectroscopie, sa structure doit s'adapter afin de permettre la présence d'une petite ouverture à son dos et au centre laissant la lumière la traverser. La spectroscopie quand à elle emploi une fibre optique de 50 micromètres de diamètre et doit atteindre la première couche d'oxyde de silicium du capteur d'image. Par conséquent un travail de micro-fabrication au niveau de la face arrière du capteur d'image s'ajoute.

PROBLÉMATIQUE :

L'objectif principal de ce projet est de concevoir et réaliser un prototype de capteur d'image combiné adapté pour l'insertion d'une fibre optique.
Pour arriver à cela il faut
1- Adapter l'adressage de chaque pixel à la structure modifiée du capteur d'image due à la présence d'une fibre optique.
2- Développer une technique de gravure profonde au silicium du capteur d'image pour permettre d'insérer une fibre optique d'un rayon de 40 micromètres.
3- Proposer un circuit électronique pour la reconstitution de l'image.

MÉTHODOLOGIE :

Phase 1 : Conception du circuit intégré : capteur d'image

Phase2 : Gravure profonde du silicium

Phase 3 : Reconstitution d'image

Phase 4 : Expérimentation

RÉSULTATS :

Les résultats expérimentaux du circuit intégré sont concluants, la reconstitution d'image est réussie, la gravure profonde est aussi effectuée mais présente des contraintes sur l'électronique.

DAIGNEAULT, Marc-André **DIPLÔME : Ph.D.**

TITRE :

Synthèse haut-niveau et description de circuits numériques au niveau des transferts synchronisés.

RÉSUMÉ :

Depuis l'aube des circuits intégrés en 1958, le nombre de transistors par puce double tout les deux ans dépassant aujourd'hui le milliard. À l'instar de cette progression exponentielle, un fossé de productivité dont l'importance s'accroit avec chaque nouvelle génération de puces est occasionné par l'insuffisance des méthodes de conception actuelles. Nous proposons ainsi une méthodologie permettant la synthèse automatisée de circuits numériques décrits en termes de transferts synchronisés par les données, plutôt qu'en termes de transferts non-synchronisés entre registres tel qu'est le cas au niveau d'abstraction RTL datant de la fin des années 80.

PROBLÉMATIQUE :

L'utilisation de transferts complètement synchronisés implique le transfert d'une donnée entre une source et une destination si et seulement si ces deux participants sont prêts à réaliser ce transfert. Un transfert peut alors être autorisé (par un circuit de contrôle). Toutefois, l'interconnexion de sources et de destinations synchronisées peut introduire de nombreuses dépendances et boucles combinatoires, ce qui peut forcer à considérer conjointement l'autorisation de transferts dépendants, un problème pour lequel la complexité croit exponentiellement avec le nombre de transferts dépendants. D'autre part, le nombre de combinaisons d'états de disponibilité des sources et destinations synchronisées d'un circuit tend à alourdir la spécification de ce dernier. Dans ce contexte, la description succincte d'un comportement désiré et la synthèse de ce dernier en un circuit pour lequel le contrôleur maximise à chaque cycle d'horloge le taux de transferts (en respect des dépendances combinatoires) pour chaque état possible du circuit représente l'une des principales problématiques des travaux de recherche.

MÉTHODOLOGIE :

Afin de valider la méthodologie de synthèse à haut-niveau proposée, il est impératif de pouvoir l'appliquer à différents exemples de conception de circuits numériques. Or la complexité inhérente à la conception de circuits au niveau des transferts synchronisés par les données est telle que la tâche doit être automatisée afin de pouvoir appliquer l'approche proposée à un nombre appréciable de designs, et de complexité variable. Notre méthodologie propose ainsi la mise en œuvre d'un outil de conception assisté par ordinateur permettant la synthèse de circuits numériques décrits au niveau des transferts synchronisés (en langage CASM).

RÉSULTATS :

À venir. Le compilateur est en cours de développement.

DROLET, Jonathan **DIPLÔME : M.Sc.A.**

TITRE :

Circuits numériques intracorticaux pour la détection automatisée des potentiels d'action.

RÉSUMÉ :

Le projet Cortisens a pour objectif de créer une puce intracorticale visant à transmettre l'activité neuronale à un système externe, le tout sans fil. Afin de réduire la quantité d'information devant être transmise par le lien sans fil, l'extraction des potentiels d'action doit être effectuée. L'objectif de ce projet de maîtrise est d'évaluer, implémenter et comparer plusieurs architectures de détection de potentiels d'action.

PROBLÉMATIQUE :

La détection de potentiels d'action est un sujet bien étudié, mais plusieurs facteurs inhérents à l'implémentation sur puce intracorticale compliquent le problème :

1. Le seuil de détection doit être établi automatiquement par la chaîne de traitement, c'est-à-dire le système doit être indépendant des influences externes.
2. La consommation d'énergie doit être minimale afin de rester dans les contraintes imposées par une puce intracorticale. En outre, le nombre de canaux par puce augmentant d'année en année, la consommation du bloc de détection (un par canal) devient crucial.
3. Il est désirable d'avoir les meilleures performances possibles en termes de détection. Cela signifie avoir un bon taux de détection et un faible taux de fausse détection.

MÉTHODOLOGIE :

La méthode de travail consiste à implémenter diverses chaînes de détection de potentiels d'action et à comparer les consommations d'énergie de chacune. Les chaînes seront d'abord comparées à l'aide de simulation, puis une puce sera conçue contenant les meilleures architectures pour confirmer les résultats de simulation.

RÉSULTATS :

Les résultats escomptés à la fin du projet de maîtrise sont une chaîne de traitement des potentiels d'action avec calcul automatisé du seuil de détection. La chaîne de traitement aura été implémentée sur puce et caractérisée au niveau de performance de détection, consommation d'énergie et surface de silicium. En outre, des résultats similaires pour différentes chaînes de traitement seront aussi donnés pour justifier le choix de l'architecture finale.

ÉTHIER, Sébastien **DIPLÔME: M.Sc.A.**

TITRE :

Conception d'un stimulateur sécuritaire et à faible consommation de puissance pour un implant visuel intracortical.

RÉSUMÉ :

Le contexte de ce projet est celui d'un implant visuel intracortical. Ce dernier doit être en mesure de stimuler les tissus corticaux sur plusieurs sites de manière à faire percevoir des points lumineux, appelés phosphènes, dans le champ visuel de l'usager.

L'objectif de ce projet est la conception de stimulateurs sécuritaires à faible consommation de puissance. Un prototype fonctionnel de l'implant ayant déjà été réalisé, il s'agit maintenant de diminuer la consommation d'énergie et d'améliorer l'aspect sécuritaire des stimulateurs. Pour ce faire, différentes formes d'ondes de stimulation, qui demandent théoriquement moins d'énergie, seront étudiées et la phase d'équilibre des charges est à être asservie afin de minimiser la concentration d'ions nocifs relâchés par les électrodes.

PROBLÉMATIQUE :

La génération de stimulation de formes d'onde différentes que le prototype actuel exige nécessairement une puissance plus élevée. Un premier défi est de minimiser cette hausse de manière à ce que la stimulation consomme globalement moins d'énergie pour engendrer une même réponse des tissus corticaux.

Un second défi est de rendre la génération de ces formes d'onde très flexible afin de pouvoir contrôler les différents paramètres de la stimulation.

Enfin, la génération de la haute tension au niveau de l'étage de sortie n'est pas triviale. Ce circuit doit être efficace et une attention particulière doit porter sur la réalisation du circuit afin d'éviter sa destruction.

MÉTHODOLOGIE :

- Conception et simulation des circuits électroniques afin de s'assurer qu'ils répondent aux spécifications de l'application;
- Dessin des masques des circuits intégrés correspondants et simulation ;
- Fabrication des deux circuits intégrés résultant via la CMC Microsystèmes ;
- Tests des circuits intégrés et comparaison avec les simulations.

RÉSULTATS :

Les deux circuits intégrés ont été réalisés et fabriqués. Ils sont présentement en cours de test. Les résultats de simulation montrent que la génération des formes d'onde et de la haute tension est fonctionnelle.

EZZAT, Hicham **DIPLÔME : Ph.D.**

TITRE :

Processeur de vérification basée sur les assertions pour le DreamWafer™.

RÉSUMÉ :

Le WaferBoard™ est une plateforme pour le prototypage rapide de circuits électroniques. Les composants sont placés sur le WaferBoard™ qui les détecte et les relie intelligemment entre eux et rend le prototype prêt en quelques minutes. Le WaferBoard™ permet de minimiser le temps de développement du PCB. Dès que le système est installé sur la plateforme, le processus de test commence.

La vérification basée sur des assertions (ABV), qui est reconnue comme la méthode de vérification fonctionnelle de premier plan, est l'art de trouver les propriétés que le design doit respecter afin de détecter les erreurs dans le système. Aujourd'hui, combiner l'ABV avec le WaferBoard™ est un véritable défi pour garantir la fiabilité des systèmes électroniques futurs.

PROBLÉMATIQUE :

Comment réaliser efficacement la vérification d'un design réalisé sur une plateforme de pro typage reconfigurable en utilisant un FPGA reconfigurable (Field Programmable Gâte Raray) ?

MÉTHODOLOGIE :

Utiliser les unités ABV synthétisées sur les FPGA mis sur WaferBoard™ pour interconnecter intelligemment les composants du design à tester et les contrôler via les processeurs embarqués sur le FPGA.

Les objectifs spécifiques :

- Analyser la pertinence de l'élaboration d'un langage d'abstraction plus élevé pour les assertions au niveau système au lieu d'utiliser les langages d'assertions standards (comme le Propret Specification Language-PSL et le System Ver log Assertion-SVA);
- Développer un IP (Intellectuel Propret) pour l'interconnexion des assertions synthétisées sur FPGA (esclave) aux composants du WaferBoard™ (maîtres) ;
- Accélérer l'environnement avec des instructions supplémentaires d'assertions spécialisées à l'aide de soft-processors embarqués sur FPGA ;
- Tester de notre environnement avec divers composants placés sur Waferboard™ (processeurs, mémoires, circuits ASIC (Application Specific Integrated Circuits) et PFGA).

RÉSULTATS :

Aucun résultat n'est disponible pour l'instant.

FARAH, Raina **DIPLÔME : Ph.D.**

TITRE :

Identification de convulsions et de comportements des animaux avec un système de vision informatique.

RÉSUMÉ :

Nous proposons un système de vision numérique qui aide à identifier les convulsions et certains comportements chez un rongeur dans une cage. Notre méthodologie consiste à extraire le rongeur du cadre, déterminer sa posture et déterminer et identifier et distinguer cinq types de comportement ; immobilité, mouvement abrupte, comportement de chien-mouillé, grattage et toilettage.

PROBLÉMATIQUE :

Une grande partie de la recherche dans un environnement biomédical se fait à l'aide de rongeur. Sauf que, les expériences nécessitent de longues heures d'observation qui sont faite d'habitude par des techniciens. Un système d'observations automatique sera d'une grande utilité dans ce cas.

MÉTHODOLOGIE :

Nous avons, jusqu'à temps, développer un algorithme de système de vision numérique qui utilise une fenêtre glissante et trois type de caractéristique pour identifier la position du rongeur dans le cadre. Les caractéristiques utilisées sont les histogrammes de gradients, les histogrammes d'intensité et la quantité de mouvements. Après avoir déterminé la position du rongeur, les frontières de la fenêtre sont ajustées pour correspondre aux dimensions du rongeur. Pour ajuster les frontières de la fenêtre, on a utilisé des graphes de pulse qui sont construites à partir des arrêtes du rongeur.
Pour déterminer la posture du rongeur, nous proposons un système qui combine les résultats de trois classificateur SVM. Le premier classificateur SVM utilise la hauteur du rongeur comme caractéristique, le deuxième utilise la largeur rongeure, le troisième utilise la quantité de mouvement et le quatrième utilise la direction du mouvement.
Pour identifier et distinguer les cinq comportements nous proposons une méthodologie qui utilise un classificateur SVM. Le classificateur utilise la quantité de mouvements, la fréquence du mouvement, la position du mouvement la posture et la tendance de déplacement du rongeure pour classifier le comportement du rongeure.

RÉSULTATS :

Avec la méthodologie proposée pour extraire le rongeure nous avons réussi à suivre un rongeur dans un cadre sous des conditions de travail normales dans un laboratoire biomédicale. Notre système a été testé sur trois vidéos chacune représentante une variation d'arrière-plan et de taille de rongeur. Notre système a réussi à suivre le rongeur avec une erreur maximale de 8%.

FOURMIGUE, Alain **DIPLÔME : Ph.D.**

TITRE :

Modélisation au niveau système des architectures tridimensionnelles (3-D) de systèmes multiprocesseurs sur puce (MPSoC).

RÉSUMÉ :

Ce doctorat porte sur les architectures de circuits intégrés en trois dimensions (3D) pour systèmes multiprocesseurs sur puce (MPSoC). L'objectif de ce doctorat est de mettre en place les méthodologies appropriées pour modéliser et exploiter pleinement les possibilités des technologies d'intégration 3D, pour la conception de systèmes multiprocesseurs sur puce (MPSoC).

PROBLÉMATIQUE :

Alors que la miniaturisation des transistors ralentit, les circuits intégrés tridimensionnels (3D) offrent une alternative technologique pour continuer l'intégration de fonctionnalités et développer des circuits toujours plus performants. Les progrès technologiques réalisés ces dernières années en matière d'intégration 3D ont permis la réalisation des premiers prototypes de circuits intégrés 3D. Cependant, le manque d'outils et de méthodologies appropriés pour aider à la conception de ces nouvelles architectures 3D est important, et peut à terme, compromettre l'utilisation des technologies 3D. Sans outils, ni méthodologies de conception appropriés, les ingénieurs sont contraints de continuer à développer des circuits intégrés 2D conventionnels. Ce travail répond à un besoin de modélisation des architectures de circuits intégrés 3D et se propose de développer des méthodologies permettant d'en exploiter les possibilités pour la conception de MPSoC.

MÉTHODOLOGIE :

Dans un premier temps, ce doctorat s'intéressera à la modélisation des phénomènes de dissipation thermique dans les circuits intégrés 3D. En effet, les circuits intégrés 3D sont constitués d'un empilement de multiples couches de silicium et sont exposés à des problèmes de dissipation de chaleur si l'architecture est mal conçue. L'objectif à court terme de ce travail est de mettre en place une méthodologie pour développer des modèles thermiques pouvant être couplés à des environnements de simulation dynamique de MPSoC. Le défi est de parvenir à développer des modèles suffisamment performants, précis et nécessitants des efforts de modélisation raisonnables.

Dans un deuxième temps, ce doctorat se concentrera sur les méthodologies d'exploration architecturale pour systèmes MPSoC 3D. L'ajout d'une troisième dimension dans les circuits intégrés, a entraîné l'explosion du nombre d'architectures possibles. L'objectif est de mettre en place une méthodologie permettant d'identifier rapidement l'architecture la plus appropriée pour une classe d'applications données, car les plateformes MPSoC ciblent toujours une classe d'applications bien précise (multimédia, communication, calcul, etc.), Pour évaluer les différentes architectures possibles, une plate-forme virtuelle modélisant un MPSoC 3D complet et permettant de simuler l'exécution d'applications sur ce MPSoC 3D sera réalisée.

RÉSULTATS :

Un article de conférence portant sur la modélisation de température dans les circuits intégrés 3D a été soumis au mois de septembre 2010 à la conférence DATE. Cet article est toujours en cours d'évaluation.

GAN, Qifeng **DIPLÔME : Ph.D.**

TITRE :

L'exploration architecturale de design sur processeurs à jeux d'instructions spécialisés pour l'accélération de l'exécution d'algorithmes des filtres particulaires.

RÉSUMÉ :

Ce projet porte sur l'accélération des filtres particulaires à l'aide de processeurs à jeux d'instructions spécialisés en traitement vidéo et(ou) en navigation.

L'objectif final est de définir et développer une Plate-forme sur processeurs à jeux d'instructions spécialisés qui permette le développement rapide d'implémentations des applications des filtres particulaires.

PROBLÉMATIQUE :

Les filtres particulaires sont des calculs intensifs et ils ont aussi besoin de la flexibilité pour divers domaines d'applications. Efficacité et flexibilité sont les objectifs importants pour l'implémentation de filtres particulaires dans les systèmes embarqués. Donc, les processeurs à jeux d'instructions spécialisés sont utilisés pour l'implémentation des applications des filtres particulaires.

Les problèmes suivants sont abordés pour l'accélération des filtres particulaires à l'aide de processeurs à jeux d'instructions spécialisés.

1. Du point de vue algorithmique, l'un des goulots des filtres particulaires est de la fonction non-linéaire. On peut trouver la solution par simplifier filtres particulaires. Mais en simplifiant filtres particulaires peuvent affecter la précision pour certaines applications spécifications.
2. Aucune publications ont présenté comment implémenter des applications de filtres particulaires dans les processeurs à jeux d'instructions spécialisés.
3. En raison de divers domaines d'applications utilisant filtres particulaires, on doit trouver une solution pour développer rapidement le processeur à jeux d'instructions spécialisés pour des applications des filtres particulaires.

MÉTHODOLOGIE :

La première étape du projet consiste à trouver plusieurs applications qui utilisent filtres particulaires et analysez une filtre particulaire conventionnel pour le caractériser et trouver des parties des calculs intensifs. Ensuite, on peut simplifier l'algorithme de filtre particulaire et évaluer l'impact de la précision pour plusieurs applications.

Sur les résultats de la première étape, le processeur configurable Xtensa LX2 et la suite d'outils de Tensilica ont été utilisés. On doit concevoir les processeurs à jeux d'instructions spécialisés pour les applications définis afin de l'accélérer. La dernière étape consiste à définir et développer une Plate-forme qui permette le développement rapide d'implémentations des applications des filtres particulaires par extraire la conception des composants des calculs intensifs qui ont appris avant.

RÉSULTATS :

Le filtre particulaire simplifié est généré et l'impact de la précision pour plusieurs applications, par exemple, bearing-only tracking, est évalué.

GÉLINAS, Sébastien **DIPLÔME : M.Sc.A.**

TITRE :

Conception et implémentation d'un dispositif de communication sans fil courte-distance à très faible consommation pour implants biomédicaux.

RÉSUMÉ :

Ce projet vise à augmenter la mobilité des patients dans le contexte d'étude clinique pour le projet d'imagerie du cerveau IMAGINC et le projet d'évaluation pré-chirurgicale de l'épileptique. En concevant un dispositif de communication sans fil courte-distance à très faible consommation, il sera possible de faire ces expérimentations avec davantage de facilité, tout en augmentant le confort des patients.

PROBLÉMATIQUE :

Avec l'avènement des technologies de communication sans fil, de plus en plus de chercheurs et cliniciens cherchent à se doter de nouveaux outils de mesure portables et sans fil lors de leurs études cliniques. En effet, ces chercheurs aimeraient pouvoir obtenir des mesures similaires, voire plus précises qu'avec leurs dispositifs actuels, tout en allégeant l'appareillage et en augmentant la mobilité des patients. Cependant, dans des applications comme l'évaluation pré-chirurgicale pour la détection de foyer épileptique, l'enregistrement de signaux d'électroencéphalogramme (EEG) intracrânien chez des patients épileptiques implique un nombre élevé de données (128 à 256 canaux : plus de 768 kbpds de données brutes) en plus de nécessiter la mesure continue sur de longues durées (2 à 3 semaines d'enregistrement). Les dispositifs sans fil commerciaux actuels supportant le protocole Bluetooth ou Zigbee ne permettent pas des débits de données suffisants pour ce genre d'applications, alors que les transmetteurs-récepteurs Wifi sont beaucoup trop énergivores pour une utilisation continue de longue durée.

MÉTHODOLOGIE :

Les objectifs du projet sont, dans un premier temps, de concevoir et implémenter un dispositif de communication sans-fil bidirectionnelle à courte portée (<10 m) et haut débit (> 800 kbps) pour le projet d'imagerie fonctionnelle du cerveau IMAGINC. Celui-ci sera développé en utilisant des composants commerciaux permettant une communication à haut-débit et courte distance, et de faible consommation énergétique. De plus, un contrôleur sur FPGA sera conçu en misant avant tout sur la simplicité d'utilisation, la réduction de la consommation énergétique ainsi que la contrôlabilité à distance

La deuxième version du prototype devra être implantable et optimisée (énergie/dimensions) afin de permettre l'enregistrement de signaux EEG intracrânien sur plus de 128 canaux pendant 1 semaine continue, pour l'évaluation pré-chirurgicale pour la détection de foyer épileptique.

RÉSULTATS :

Le prototype de développement a été validé avec succès pour une communication courte distance (30 cm) à 1 Mbps dans les airs. De multiples tests de performance seront effectués prochainement, en plus de compléter la conception du circuit imprimé du prototype final pour le projet IMAGINC. Une première passe d'optimisation de la consommation énergétique sera également étudiée sous peu.

GHANNOUM, Anthony **DIPLÔME : M.Sc.A.**

TITRE :

Module de reconnaissance d'objets dédié à un stimulateur visuel cortical.

RÉSUMÉ :

Ce projet s'insère dans le cadre de la réalisation d'un stimulateur visuel cortical par l'équipe Polystim neurotechnologies. Il consiste à créer un module de reconnaissance d'objets pour aider les personnes qui souffrent de cécité visuelle à se retrouver dans un environnement quelconque et de reconnaître les objets qui les entourent. Aussi la stratégie de triangulation des phosphènes sera réévaluée.

PROBLÉMATIQUE :

L'objectif est d'implémenter en C++ (OpenCV) et MATLAB un module de traitement d'images pour faire la reconnaissance d'objets. Le module logiciel devrait ensuite être traduit en VHDL pour exploiter la vitesse du matériel qui permettra d'appliquer le traitement en temps réel.

MÉTHODOLOGIE :

La première étape consiste à définir les spécifications du module de reconnaissance d'objets, ses objectifs principaux ainsi qu'à définir sa pertinence dans le cadre du projet Cortivision. Cela comprend aussi son intégration au traitement 3D d'images déjà implémenté pour le projet. La partie conséquente serait une étude des différentes approches pour obtenir les résultats requis, en validant et comparant les méthodes avec MATLAB. L'étape suivante serait de sélectionner la meilleure de ses méthodes pour l'implémenter en matériel (VHDL) et l'intégrer au module de traitement d'image existant qui interface le capteur d'image conçu dans le cadre du même projet.

RÉSULTATS :

Une étude de différentes approches de reconnaissance d'objets a été commencée pour avoir une idée générale sur ce qui bénéficierait le plus aux personnes qui souffrent de cécité visuelle. Cela comprendrait aussi les algorithmes d'apprentissage et d'intelligence artificielle. La base du projet a donc été établie ainsi que son contexte et le plan d'action. Un module d'étalonnage utilisant des marqueurs repères suivis par des algorithmes de traitement vidéo est conçu pour caractériser la carte phosphène du patient. L'algorithme en C/C++ a été validé et testé sur un PC hôte et certaines parties de l'algorithme ont été transférées à l'implémentation matérielle sur FPGA. La partie matérielle utilise le VHDL et Xilinx System Generator/MATLAB qui facilite la procédure de test, validation et la comparaison d'images.

GIL, Diana **DIPLÔME : M.Sc.A.**

TITRE :

Processeurs embarqués pour reproduction de tons en temps réel

RÉSUMÉ :

Ce projet explore les possibilités qu'offrent les processeurs spécialisés (ASIPs) pour l'accélération d'algorithmes de reproduction de tons, dans le contexte de systèmes embarqués portables.

PROBLÉMATIQUE :

Afficher les images à grande gamme dynamique (High Dynamic Range, HDR) dans des écrans conventionnels, tout en préservant le contenu visuel, requiert l'utilisation d'une technique appelée « reproduction de tons » (tone mapping). Il n'existe pas de méthode unique qui soit appropriée pour tous les types de scènes et les conditions d'illumination. De plus, ces algorithmes requièrent de nombreux calculs et sont donc normalement implémentés sur des stations de travail ou des processeurs graphiques. Cependant, ces plateformes ne satisfont pas toujours les contraintes de performance, de surface, de consommation de puissance et de flexibilité imposées par les systèmes embarqués.

MÉTHODOLOGIE :

La première étape consiste à classifier un ensemble d'images HDR de différentes caractéristiques selon des critères qui considèrent les conditions d'illumination. Par la suite, des algorithmes de reproduction de tons sont analysés pour estimer leur besoins en calculs, en mémoire et mieux comprendre leurs goulots d'étranglement. L'étape suivante porte sur la conception d'instructions spécialisées et de différentes architectures qui permettent accélérer les algorithmes cibles. Deux approches sont considérées pour la conception des processeurs : utiliser un langage de description d'architecture comme LISA, et utiliser un noyau d'un processeur configurable et extensible comme Xtensa. Finalement, les processeurs développés sont validés en termes de la qualité de l'image résultante, du taux de trame atteint, de la surface occupée et d'une estimation de la puissance consommée.

RÉSULTATS :

Nous avons proposé d'ajouter trois instructions spécialisées pour augmenter la performance d'un algorithme global de reproduction de tons. Ces instructions calculent la luminance, le logarithme et la valeur maximale de la luminance. Nous avons obtenu 169% d'accélération avec un coût matériel supplémentaire de 22%. Dans ce cas, nous avons utilisé un processeur décrit avec le langage LISA. Présentement, nous travaillons sur la conception d'un processeur pour un algorithme local de reproduction de tons.

GROGNAN, Patrick **DIPLÔME : M.Sc.A.**

TITRE :

Implémentation d'un treillis de calculs reconfigurable à travers une architecture SDFPGA (Software Defined FPGA)

RÉSUMÉ :

Le projet consiste à construire une architecture innovatrice permettant d'effectuer des algorithmes sur des flots de données. En parallélisant le plus possible les calculs, il sera possible d'apporter d'importantes accélérations. Ce projet est en association avec la compagnie GaGe.

PROBLÉMATIQUE :

Les FPGAs sont de plus en plus complexe et contienne de plus en plus de logique. La compagnie GaGe conçoit des convertisseurs analogiques à numériques qui n'utilisent qu'une petite partie de toute cette logique. En effet, leurs convertisseurs sont très dépendants sur le nombre d'entrées et sorties et très peu sur le reste. Alors, au lieu de perdre la logique, permettre aux utilisateurs de définir leur propre algorithme de traitement et de l'intégrer dans le FPGA semble une idée très pertinente. Cependant, peu de compagnies sont prêtes à investir dans l'expertise des langages de bas niveau. Cela prend donc une façon de transformer les dis algorithmes et de les transformer en logique. C'est donc le but de l'architecture proposée.

MÉTHODOLOGIE :

La première étape du projet consistera à mettre en place un modèle *SystemC* du treillis de calcul. Ce modèle sera de très haut niveau. Ensuite, ayant ce modèle, il sera possible de travailler sur la façon de transformer les algorithmes pour les rendre fonctionnels dans l'architecture. Finalement, une implémentation sur FPGA sera produite afin.

RÉSULTATS:

Un modèle SystemC a été implémentée. Un langage simplifié permettant la conception ainsi qu'un outil de compilation et de génération de graphes ont été créés afin de faciliter l'implémentation d'algorithmes sur le treillis. Un générateur de FFT à aussi été implémenté pour le treillis. On obtient une accélération du temps de calculs pour la FFT. De plus, la facilité d'implémentation des algorithmes s'apparente au temps que l'on prendrait pour créer une application dans un langage de haut-niveau.

GUÉRARD, Hubert **DIPLÔME : M.Sc.A.**

TITRE :

Implémentation, simulation et validation de réseaux sur puce à haut niveau

RÉSUMÉ

Les systèmes embarqués deviennent plus complexes puisqu'ils incluent beaucoup de ressources et doivent réaliser plusieurs fonctionnalités. Ceci introduit un problème au niveau de l'interconnexion des ressources, car un grand volume de donnée doit être traité. Une solution proposée est l'utilisation des NoC (Network-on-chip). Cependant, due à la complexité de ses topologies, il faut utiliser une méthodologie haut niveau (ESL) afin d'abstraire les communications pour ainsi permettre de simuler et valider plus rapidement le système à concevoir. Le recours aux métriques de performance permet de quantifier la performance du modèle en termes de débit, latence, etc. Lors de l'élaboration, nous avons modélisé et intégré un NoC dans un outil haut niveau. Nos résultats démontrent que le comportement du modèle haut niveau respecte le comportement du modèle bas niveau et que la simulation ne prend qu'une fraction du temps. La validation du modèle a été confirmée à l'aide des métriques développées. La technique proposée est générique et peut être appliquée à différentes topologies telles que le maillage et l'anneau.

PROBLÉMATIQUE :

Bien que l'utilisation de réseaux sur puce soit une réalité industrielle, l'implémentation et la simulation de ses topologies écrites dans un langage de description matériel nécessite beaucoup d'efforts. Par conséquent, la validation d'un système à concevoir utilisant un réseau sur puce peut s'avérer très fastidieux dû à la complexité de la topologie. Ceci est attribuable à la granularité fine de ces langages. Dans une approche haut niveau (ESL), au lieu d'utiliser un langage de description matériel, on utilise le langage de programmation haut niveau, par exemple C/C++, ainsi qu'une librairie de simulation haut niveau telle que SystemC afin de créer les modèles. L'intégration des réseaux sur puce dans les outils ESL est une approche récente. Ceci est dû à l'émergence des réseaux sur puce

MÉTHODOLOGIE :

1. Sélection d'un outil ESL
2. Intégration d'un réseau sur puce dans ce dernier
3. Création d'une architecture de test
4. Simulation de l'architecture
5. Raffinement de l'architecture
6. Comparaison des résultats avec la littérature

RÉSULTATS :

En cours.

GUILLEMOT, Mikaël **DIPLÔME: M.Sc.A**

TITRE :

Mise en œuvre d'une suite d'outils permettant l'utilisation de la plateforme DreamWafer.

RÉSUMÉ :

Le projet DreamWafer comporte une partie logicielle importante : WaferConnect. Ce logiciel doit permettre, à terme, d'utiliser la plateforme DreamWafer comme un outil CAD. Le travail consiste en la réalisation d'un tel outil, prenant en charge la présentation de l'état du système et son diagnostique, la connectivité avec certains outils CAD existants ainsi que l'utilisation du système au sens large (routage, alimentation).

PROBLÉMATIQUE :

Un certain nombre de modules logiciels existent déjà, d'autres restent à concevoir. Des problèmes d'intégration et de performance se posent.

MÉTHODOLOGIE :

En ce qui concerne l'intégration, les points suivant ont été retenus :
Formalisation de la documentation, construction de celle-ci avec reprise des modules existants.
Pour l'optimisation de performance, la première approche est d'analyser la consommation de ressources individuelles de chaque module existant. En fonction de l'activité normale attendue des modules, des objectifs seront fixés.

RÉSULTATS :

En ce qui concerne l'intégration, une spécification a été rédigé pour le logiciel complet (WaferConnect), permettant de formaliser le comportement attendu. Une équipe a été constituée et guidée pour produire une démonstration du logiciel tel qu'envisagé dans la spécification.
Au niveau de la performance, une amélioration importante a été obtenue sur le temps de démarrage de l'application, le suivi du développement de certains modules inexistants a permis de prendre en compte le facteur performance avant qu'il ne devienne critique. Une étude a été faite pour prouver qu'il est possible d'obtenir un affichage fluide malgré la complexité du système à afficher.

HASANUZZAMAN, Md **DIPLÔME: Ph.D.**

TITRE :

Conception d'un module de stimulation zone de base implantable pour la microstimulation intracorticale visuelle.

RÉSUMÉ :

Un stimulateur visuel cortical (VCS), utilisé pour récupérer les fonctions perdues, comme la cécité du corps humain, se compose d'un sous-système externe que les pouvoirs et les contrôles de l'implant à travers le crâne de l'homme, sans fil via une liaison inductive et un implant qui se trouve dans la tête. L'implant a deux composantes principales, le module d'interface (IM) et le module de stimulation (SM). La tâche principale de SM est de générer des signaux de stimuli pour stimuler la couche en utilisant un réseau de microélectrodes. Le but de ce projet est de concevoir un module de stimulation à l'aide de la technologie CMOS 0,13µm et des obligations de la puce et de la matrice de microélectrodes 4x4 ensemble en utilisant flip-chip et grille matricielle à billes (BGA) de tels ensembles que la densité de microélectrodes implantées dans l'area peut être augmentée.

PROBLÉMATIQUE :

Le module SM, avec l'aide de la DAC, actuel générateur d'impulsions, circuits de positive et négative charge de pompes et de contrôleurs, génère des impulsions de courant biphasique. Afin de minimiser la consommation électrique du circuit et de limiter la dissipation de puissance dans les sites intracorticale, une énergie génératrice efficace stimuli a été conçue en utilisant la technologie CMOS 0.18µm. Les formes des signaux utilisés dans ce générateur sont de demi-sinus, quart-sinus, l'amélioration de la hausse exponentielle des impulsions et rectangulaires. Un nouveau circuit DAC à la résolution 7-bits et basé sur multi biais faible zone mixte du CAD et de topologies de code thermomètre a également été conçu en utilisant la technologie CMOS 0.13µm pour conduire les circuits stimuli générateur. Il y a quatre grands défis dans ce projet. La haute impédance de l'électrode interface tissus qui varie de 50 ~ 100 K ohms, nécessitant la génération de haute tension d'alimentation (± 10V) et la génération de on chip de cette haute tension en technologie de pointe CMOS 013µm est devenu un défi dans ce projet. Le deuxième défi est d'inventer une nouvelle technologie afin d'appliquer cette haute tension à travers des microélectrodes. Le tiers est suivi de la haute tension alternative (± 10V) dans l'ensemble de microélectrodes qui requiert la conception d'un atténuateur qui quittera cette tension à une valeur faible qui peut être mesurée par un amplificateur d'instrumentation réalisable dans la technologie CMOS 0.13µm.

MÉTHODOLOGIE :

- Effectuer une revue de la littérature sur les on chip AC-AC de conversion en technologie CMOS 0.13 µm, modules de commutation, amplificateur d'instrumentation et circuits MUX;
- Conception de modules de commutation pour l'application de courant de stimulation à microélectrode tableaux ainsi que la surveillance de la tension;
- Mise en œuvre des circuits précités en utilisant les technologies CMOS 0.13µm et DALSA 0.8µm;
- Simulation des circuits conçus et vérifier leurs performances;
- Fabrication des puces en technologie CMOS 0.13µm et technologie DALSA 0.8µm;
- Utilisation Flip-Chip et grille matricielle à billes (BGA) ensemble pour lier les copeaux et la matrice de microélectrodes.

RÉSULTATS :

Les résultats de simulation montrent que la dynamique de la hausse exponentielle générateur de stimuli est de 60 dB pour 150 µA de stimulation actuelle et les erreurs DNL et INL du CAD sont inférieures à 0.5 LSB pour le courant de stimulation de 141.8 µA.

HASHEMI, Saeid **DIPLÔME : Ph.D.**

TITRE :

Amélioration de l'efficacité des chaînes de conversion de puissance dédiées aux implants biomédicaux.

RÉSUMÉ :

Les implants biomédicaux sont très utilisés pour améliorer la qualité de vie. Bien que de tels dispositifs aient été conçus avec succès, ces derniers sont exigeants d'un point de vue consommation de puissance. Ainsi, l'implémentation de sources d'alimentation fiables et efficaces demeure un défi significatif pour la conception.

PROBLÉMATIQUE :

L'étage d'entrée d'une chaîne conventionnelle de conversion de puissance se compose d'un redresseur à diode conventionnel. La diode possède une tension de seuil induisant une perte significative de puissance. Cette dernière affecte l'efficacité globale et diminue la tension à fournir aux étages suivants. En outre, la diode n'est pas implémentée dans la puce même mais remplacée par un composant discret, ce qui est peu commode si on veut concevoir un implant entièrement intégré.

À cause de la complexité élevée de l'implant et les limites biologiques qui s'imposent, il est nécessaire de développer une architecture plus efficace pour concevoir une chaîne de conversion de puissance. Une étude sur la topologie existante de la chaîne de puissance et ses composants du point de vue d'efficacité de puissance est nécessaire. Par la suite, une intégration de tous les composants dans une même puce en réduisant la consommation de puissance serait le choix le plus judicieux. Des études récentes ont montré qu'en utilisant des redresseurs à contrôleur passif/actif, nous pourrions diminuer la tension de seuil de la diode et la consommation de puissance. Ces derniers font usage des caractéristiques des redresseurs diode tout en commandant l'angle de conduction du dispositif. Par conséquent, l'efficacité de puissance peut être améliorée et l'intégration de l'implant se trouve plus facilement réalisable.

MÉTHODOLOGIE :

Afin d'étudier l'impact de la dissipation de puissance de chaque composant des chaînes de conversion de puissance pour les implants biomédicaux, un modèle est développé. La vérification de ce modèle est primordiale pour s'assurer de la validité des hypothèses et la précision des résultats. L'étape suivante est la conception et la simulation des nouveaux redresseurs passifs/actifs. Par la suite, nous réaliserons le circuit en utilisant une technologie CMOS Sub-micron. Enfin, des tests sur le prototype développé seront réalisés et nous déterminerons les modifications adéquates dans la perspective d'améliorer les performances.

RÉSULTATS :

Un modèle complet pour la chaîne conventionnelle de conversion de puissance d'un implant biomédical a été réalisé en utilisant Verilog-A et a été appliqué à un stimulateur intracortical. Les résultats obtenus concordent avec les mesures effectuées. Un nouveau design pour un redresseur à contrôleur actif est déjà simulé où le commutateur principal fonctionne dans la zone linéaire où la tension grille-drain est la plus élevée du circuit. Le redresseur résultant montre une augmentation significative de la tension de sortie et de l'efficacité de puissance par rapport aux circuits développés précédemment. Trois circuits de redresseurs en utilisant la technique d'auto-amorçage ont été élaborés. Ils utilisent des réservoirs pour diminuer la tension de seuil effective des transistors MOS situés dans la branche principale du circuit. Ces derniers ont une efficacité de puissance élevée tout en gardant une tension de sortie importante surtout dans le cas où la tension d'entrée est faible. Les deux premiers redresseurs utilisent un et deux réservoirs respectivement. Celui disposant d'un seul réservoir utiliser un circuit de contrôle intelligent et permet de réduire l'espace de la puce microélectronique. Les circuits conçus avec un seul et un double réservoir ont été implémentés et fabriqués. Les caractéristiques de ces derniers ont été vérifiées et validées. La dernière version du circuit fonctionne comme un redresseur avec un faible courant inverse. Elle est basée sur des diodes parasites des transistors formant des chemins auxiliaires pour charger le condensateur d'auto-amorçage.

HAWI, Firas **DIPLÔME: M.Sc.A.**

TITRE :

Conception et implémentation d'un système de stéréoscopie passive dédié au traitement d'image 3D.

RÉSUMÉ :

Ce projet consiste à faire la reconstruction 3D d'une scène quelconque en utilisant l'information reçue de deux caméras. Le principal but de ce projet est de fournir un algorithme robuste exécutable à temps réel. Il est réalisé dans le cadre du développement du stimulateur visuel cortical.

PROBLÉMATIQUE :

Le laboratoire de Polystim neurotechnologies avait développé des systèmes de reconstruction 3D en utilisant la stéréoscopie active. Ces systèmes serviront à rendre aux déficients visuels une information sur la profondeur de champ du milieu dans lesquels ils vivent. Des problèmes éthiques et énergétiques induits par l'utilisation des sources actives de ces systèmes peuvent être résolus en utilisant un système totalement passif. Pour réaliser ce système, de nouveaux obstacles se présentent : il faut atteindre de hauts niveaux de précision, résoudre des problèmes d'occlusion et garantir l'applicabilité en temps réel.

MÉTHODOLOGIE :

Il s'agit de créer un algorithme robuste qui répond aux exigences de précision et de rapidité. Nous essaierons de bénéficier de la flexibilité et robustesse des approches probabilistes mais aussi de la précision et rapidité des méthodes déterministes. L'algorithme sera implémenté sur MATLAB. La partie acquisition sera implémentée en matériel.

RÉSULTATS :

Un algorithme robuste aux occlusions est conçu et simulé avec succès.

KAR, Goutam Chandra **DIPLÔME : M.Sc.A.**

TITRE :

Conception et mise en œuvre d'une pompe à charge haute tension pour micro stimulateur électrique.

RÉSUMÉ :

Ce projet vise à générer une tension élevée pour la microstimulation neurones en utilisant la technologie CMOS 0.13 um. De plus la consommation de surface et la puissance sont des questions importantes pour la microstimulation de neurones, est très important pour générer une haute tension, de la technologie submicronique de tension faible, parce que presque tous les circuits pour le système de stimulation sont mises en œuvre dans les technologies submicroniques. Dans les dernières années, les membres du laboratoire Polystim ont travaillé sur la génération de haute tension, mais tout en technologie à haute tension. Notre objectif dans ce projet est de générer une tension élevée dans la même technologie qui est utilisée pour presque tous les circuits, ce qui conduit à la possibilité de mise en œuvre du module de stimulation tout intégralement dans une seule puce qui est hautement souhaitable pour optimiser la consommation d'énergie zone, et l'intégration.

PROBLÉMATIQUE :

L'interface formée avec l'électrode de stimulation et les tissus biologiques a une impédance très variable. Cette impédance étant non linéaire, le courant de stimulation est souvent préféré à la stimulation de tension dans de nombreuses applications pour les raisons de sécurité. Selon le courant nécessaire et l'impédance interface électrode-tissu, la tension requise est d'environ 20 V. Il y a eu des travaux effectués sur ce sujet, mais aucun d'entre eux n'est en technologie CMOS 0,13 um. En raison de la consommation d'énergie et les questions de 0,13 um région technologie CMOS est beaucoup plus recherché, mais en même temps que certains problèmes se produit. Le premier défi est que la technologie est une technologie bien triplé qui fournit des problèmes pour générer une tension négative. Le second défi est que la tension de claquage est beaucoup plus faible que celle de la technologie à haute tension qui crée une limite concernant la gamme de tension de sortie. Le troisième défi est que la question latchup est un gros grand pour générer une tension négative. Le quatrième défi est de maintenir la consommation d'énergie à un niveau souhaité.

MÉTHODOLOGIE :

- Réaliser une revue de la littérature sur la conversion DC-DC dans toutes les technologies disponibles, non-cumul des générateurs d'horloge et de décalage de niveau.
- Choisir des générateurs de puissance ou horloge efficace et de décalage de niveau.
- Mettre en œuvre les circuits précités en utilisant la technologie CMOS 0,13 um.
- Simuler des circuits conçus et vérifier leurs performances.
- Préparer le plan d'aménagement pour la meilleure conception de simulation.
- Fabrication des puces en technologie CMOS 0,13 um.

RÉSULTATS :

Les résultats de simulation montrent que la sortie de la pompe de charge est de ±10V. Les prévisions de la conception est inférieure à 1,5 mm x 1,5 mm. En fin de compte, la puce est entièrement intégrée et la consommation électrique est inférieure à 20 mA.

KARIMIAN-SICHANY, Masood **DIPLÔME : Ph.D.**

TITRE :

Conception et implémentation d'une interface de capteur intelligent dans un réseau de capteurs avioniques.

RÉSUMÉ :

L'objectif de l'article de design Interface intelligente de capteur (SSI) est de construire une interface universelle fiable qui doit être souple et configurable à ajustement à l'aide de diverses technologies de capteur de position (classiques, MEMS et photoniques) et convertir la sortie du capteur numérique de données qui seront utilisées dans le réseau de capteurs avioniques. L'interface proposée sera conçue et mis en œuvre avec les technologies CMOS état de l'art. Ce dernier, parmi les spécifications les plus importantes de toutes les propriétés de l'interface, est adopté pour réduire le câblage de capteurs et actionneurs. En raison de l'usage avionique de SSI, la fiabilité, la faible consommation d'énergie et la complexité d'interconnexion réduite sont les principales caractéristiques de la conception qui devrait être atteint dans le circuit de mise en œuvre final.

PROBLÉMATIQUE :

Un capteur compteur de hauts canaux et un dispositif d'actionnement sont nécessaires pour s'attaquer à un nombre croissant de fonctions dans un avion, où une gamme de capteurs de déplacement linéaire et rotatif pour fournir des informations, requises par l'opération de contrôle de vol. Avec la technologie avionique traditionnelles, ces dispositifs de connexion entraînent des faisceaux de câbles encombrants. Les normes de sécurité rigoureuses des systèmes d'avionique nécessitent l'installation redondante de toutes les composantes à bord, qui en outre aggrave la situation. Avec les énormes progrès réalisés dans le domaine de la photonique et des MEMS, il y a possibilité d'offrir une solution robuste et une alternative à faible coût pour la détection de la position. Afin de réduire la complexité d'interconnexion et d'accroître la fiabilité de ces capteurs et actionneurs, il est d'un grand intérêt pour concevoir une interface universelle de capteur pleinement intégré basé sur les technologies CMOS.

MÉTHODOLOGIE :

La recherche dans le cadre de ce projet se déroulera en quatre phases. Tout d'abord, on devrait effectuer une revue de la littérature. Le prototypage avec des dispositifs discrets est la prochaine étape dans laquelle les appareils et éléments COTS peuvent servir à mettre en œuvre l'interface. Après vérification et validation du prototype, un design à demi-personnalisé sera mis en œuvre comme un circuit intégré compact et à faible coût en utilisant des technologies CMOS. Dans la phase finale, une interface complètement personnalisée sera conçue, mise en place et mise au point comme un module IP qui pourrait potentiellement être intégré dans un ou plusieurs des capteurs développés.

RÉSULTATS :

Le prototype est maintenant implémenté et est à l'essai pour validation et vérification. Il doit être testé avec différents capteurs et également avec l'interface bus.

KHAMSEHASHARI, Elham **DIPLÔME : M.Sc.A.**

TITRE :

Circuit de lecture destiné à un capteur d'images CMOS en mode courant.

RÉSUMÉ :

Dans ce projet, nous proposons un capteur d'images à gamme dynamique élevée pour acquérir et transmettre les images à un contrôleur externe et aussi le circuit DRS (Delta Reset Sampling) pour enlever le bruit de patron fixe. Il possède avec le circuit comparateur de courant, l'avantage de deux modes d'opération, linéaire et logarithmique, ainsi que le mode courant pour augmenter la gamme dynamique. La technologie choisie pour la conception est le CMOS 0.35µm.

PROBLÉMATIQUE :

L'objectif principal de ce projet est un capteur d'images ayant une gamme dynamique élevée. Les tensions d'alimentation diminuant de plus en plus, la gamme dynamique du pixel diminue. En fonctionnant en mode courant, nous arrivons à obtenir une gamme élevée au-delà de 120 dB. Un autre avantage de pixel en mode courant est la tension de sortie fixe pour éliminer le besoin de charge et décharge du condensateur de colonne pendant la lecture. L'inconvénient principal du mode courant est la sensibilité au bruit de patron fixe. Pour l'enlever, nous utilisons le circuit DRS, en mode courant pour chacune des colonnes de la matrice de pixel. La partie innovatrice importante du projet consistera à concevoir des circuits DRS et comparateur de courant qui sont efficaces pour les modes d'opération linéaire et logarithmique et pourra aussi détecter dans lequel des deux modes se situe le pixel de façon à réaliser, à l'étage subséquent, une conversion analogique-numérique adéquate.

MÉTHODOLOGIE :

La première étape du projet consiste à définir les spécifications du circuit de lecture. Il faut aussi tenir compte des bruits dans le pixel qui représentent une limitation importante en performance de capteur d'images, particulièrement pour les faibles illuminations. Par la suite, les simulations en CMOS 0.35µm doivent suivre en imposant des bruits pour comparer avec les résultats calculés et déterminer les failles afin d'améliorer la performance du capteur. Finalement, après fabrication, les tests du système doivent suivre pour valider et vérifier les résultats de simulation et évaluer les caractéristiques du pixel réel.

RÉSULTATS :

Les résultats expérimentaux en provenance d'une première fabrication du circuit de capteur d'image reçu à l'hiver 2010 sont concluants. Un second ensemble de l'architecture proposée a été reçu et est maintenant sous test.

KOWARZYK MORENO, Gilbert **DIPLÔME : Ph.D.**

TITRE :

Développement d'un algorithme de recherche et de simulation de codes convolutionnels doublement orthogonaux parallèle et implicitement-exhaustif pour plateforme de calcul à haute performance.

RÉSUMÉ :

Le présent projet est une suite logique des travaux entrepris par le GRM portant sur la recherche de codes convolutionnels doublement orthogonaux (CDO) et de leurs variantes. Ceux-ci sont utilisés pour l'implémentation de décodeurs à seuil itératif et à architecture configurable ayant des caractéristiques désirables en termes de latence, de complexité et de performance en correction d'erreurs. La principale motivation de ce travail est de concevoir, implémenter et optimiser un algorithme de recherche permettant de trouver, dans un temps de calcul réduit, des codes optimaux de type CDO au sens large et CDO simplifiés (S-CDO). La nouvelle technique combine plusieurs améliorations algorithmiques et un usage plus efficace des ordinateurs multi-cœurs pour réduire le temps de calcul et pour permettre l'obtention de nouveaux codes plus courts, ainsi que de nouveaux codes optimaux.

PROBLÉMATIQUE :

Avec l'omniprésence des moyens de communication électroniques et le besoin d'une bande passante de plus en plus grande, il devient important à la fois d'avoir des communications fiables et de trouver des techniques maximisant le débit d'information utile. Le décodage à seuil itératif permet de minimiser la probabilité d'erreurs de transmission et offre une alternative intéressante aux décodeurs turbo à latence et complexité généralement plus élevées. Ce travail concerne l'accélération de la recherche de codes CDO simplifiés et au sens large. Les codes obtenus seront utilisés pour la conception de décodeurs CDO à basse latence et bonne performance en correction d'erreurs.

MÉTHODOLOGIE :

La première phase de ce projet consiste à analyser l'algorithme référence pour la recherche de CDO et d'identifier les goulots d'étranglement associés. Dans une deuxième phase, un algorithme parallèle et implicitement-exhaustif pour la recherche et simulation de codes CDO (au sens large, simplifiés et récursifs) sera développé et implémenté. Celui-ci mettra en œuvre des techniques permettant d'utiliser de façon plus efficace le matériel à multi-cœurs, et d'éliminer (ou de réduire) les délais associés aux goulots d'étranglement de l'algorithme de référence. Des techniques permettant d'arrêter et de redémarrer la recherche de codes seront développées : ceci est nécessaire car le temps d'exécution du logiciel parfois excède le MTBF de la machine où il a été lancé. Dans une troisième phase, les leçons apprises seront utilisées pour développer un algorithme adapté à l'usage du GPGPU ou des plateformes de développement à processeurs hétérogènes. Des tests seront effectués afin de pouvoir comparer les nouvelles performances et d'assurer que la recherche est toujours exhaustive et valide.

RÉSULTATS :

Un algorithme parallèle implicitement-exhaustif fut développé et implémenté. Les performances du nouveau logiciel de recherche sont entre 3 et 4 ordres de grandeurs meilleures par rapport à l'algorithme de référence. De nouveaux codes plus courts et de nouveaux codes optimaux furent trouvés et validés. L'ajout de techniques pour arrêter/redémarrer la recherche fut complété. Le développement de nouveaux algorithmes pour le calcul de type GPGPU est présentement en cours.

KROUCHEV, Nedialko **DIPLÔME : Ph.D.**

TITRE :

Micro stimulation optimale du tissu nerveux – des modèles aux dispositifs.

RÉSUMÉ

PROBLÉMATIQUE :

- Développer des outils permettant de simuler la stimulation du cortex visuel pour des courants électriques et ainsi contribuer au design optimal des dispositifs développés.

- Comprendre les mécanismes électro physiologiques d'activation des neurones et ainsi à améliorer les protocoles de stimulation, par l'étude de la distribution spatio-temporelle à la fois des champs générés par la stimulation et de l'activation neuronale qui en résulte.

MÉTHODOLOGIE :

Des modèles qui fournissent une représentation réaliste de la géométrie et des propriétés électriques du dispositif de stimulation et d'autres spécifiant l'interface entre le dit dispositif et le milieu extracellulaire cortical de l'aire, où le dispositif est implanté. Procéder en augmentant graduellement la complexité du modèle.

Ajouter ensuite une représentation du milieu neuronal, en utilisant d'abord l'approche classique où les neurones sont unidimensionnels et n'affectent pas le champ extracellulaire puis une approche bi domaine et enfin en tenant compte de la nature discrète des neurones.

Des simulations tenant comptent de l'organisation rétinotopique et des propriétés de sélectivité du répertoire cortical pour faire le lien entre les régions stimulées et le stimulus visuel évoqué.

Finalement, les résultats de modélisation seront validés en collaboration avec des équipes en électrophysiologie et psychologie.

RÉSULTATS :

La première étape qui est en cours se concentre sur la reproduction de la matrice d'électrodes, de l'interface avec le milieu extracellulaire, et des propriétés de ce dernier. Confrontant les résultats du modèle avec les résultats expérimentaux déjà disponibles, nous ajusterons les paramètres, notamment quand à l'homogénéité de la résistance des électrodes, à l'impédance de l'interface liquide électrodes et du milieu extracellulaire.

LAFLAMME-MAYER, Nicolas **DIPLÔME : M.Sc.A.**

TITRE :

Conception et réalisation d'un réseau de distribution de puissance d'une carte de prototypage rapide de systèmes.

RÉSUMÉ :

Le projet DreamWafer™ est un projet de recherche conjoint entre l'UQO, l'UQAM et l'École Polytechnique de Montréal (ÉPM) ainsi que des partenaires industriels visant à créer une carte innovatrice de prototypage rapide de systèmes. Plusieurs circuits intégrés (ICs) sont déposés aléatoirement sur cette carte WaferBoard™, qui est ensuite configurée pour interconnecter ces ICs par des liens physiques configurables à l'aide de circuits actifs dans une tranche de silicium (WaferIC™) comme le ferait un circuit imprimé.

PROBLÉMATIQUE :

L'objectif principal consiste à étudier le réseau de distribution de puissance du WaferBoard™ et de réaliser des plots configurables multi-usages pour le WaferIC. Le défi de ce projet est de réussir à concevoir un réseau d'entrées-sorties (plots) à commutation rapide, pouvant soutenir un fort courant, maintenir un niveau de tension constant, le tout sur une surface restreinte de silicium. De plus, les plots devront idéalement fournir une tension programmable.

MÉTHODOLOGIE :

Pour y arriver, un modèle du réseau de distribution des alimentations du WaferBoard™ sera créé. Des designs de régulateurs distribués seront élaborés avec des contraintes de surface et de performance. La fonctionnalité de tels circuits sera validée au moyen d'outils de CAO tel que CADENCE avec une technologie CMOS de 180nm. Là où les solutions les plus prometteuses seront ensuite dessinées, fabriquées et testées dans cette même technologie pour valider leur comportement et leur performance.

- Comparaison d'architecture pour déterminer l'option la plus prometteuse afin d'obtenir plusieurs références de tension programmables stables en température et stables par rapport à VDD ;
- Design d'un DAC programmable combiné avec un bandgap en schématique à l'aide de Cadence ;
- Design d'un bandgap avec plusieurs branches de sortie à plusieurs niveaux de tension programmable en schématique à l'aide de Cadence ;
- Choix de l'architecture la plus prometteuse et design du layout avec Cadence ;
- Investigation, choix et design d'un régulateur de tension programmable en schématique avec Cadence ;
- Layout de l'architecture la plus prometteuse avec Cadence ;
- Fabrication d'un prototype ;
- Test du prototype ;
- Rédaction d'articles.

RÉSULTATS :

Une puce a été fabriquée en technologie 180-nm avec la fonderie TOWER. Les résultats expérimentaux ont démontré que les régulateurs linéaires embarqués peuvent fournir un courant DC statique de 110mA pour les tensions programmables de 1.0, 1.5, 1.8, 2.0, 2.5 et 3.0V. Leurs performances dynamiques démontrent une impédance d'environ 1 ohm pouvant réguler une charge à 10 MHz. L'I/O intégré peut également être programmé pour les mêmes tensions et a été testé jusqu'à 10 MHz expérimentalement et 350 MHz en simulation post-layout.

LAFRANCE, Pierre **DIPLÔME : M.Sc.A.**

TITRE :

Convertisseur analogue à numérique permettant une quantification variable adapté à la sensibilité de l'œil humain.

RÉSUMÉ :

Le projet se divise en 2 volets :

- Une recherche sur les caractéristiques de réponse de l'œil humain sur les stimuli en intensité de lumière ;
- Un circuit de conversion analogique à numérique spécialement conçu pour les capteurs d'images de type CMOS, ayant un convertisseur par colonne. Le circuit proposé permettra une quantification variable, adapté à la sensibilité de l'œil humain. La technologie pour implémenter le circuit de type CMOS est celle d'AMS 0.35µm C35B401, une technologie optimisée pour les capteurs d'images.

PROBLÉMATIQUE :

L'œil humain est capable de déceler des images ayant une très large gamme dynamique, de l'ordre de 140-150 DB. La conception et la réalisation d'un capteur d'images CMOS capable de capter et numériser des images ayant 140-150 DB pose un défi technologique de taille. Si certains circuits logarithmiques permettent aux capteurs de fonctionner dans cette plage dynamique, il en est autrement pour la numérisation du signal. L'objectif principal de ce projet est de relâcher les contraintes électroniques du convertisseur analogique à numérique d'un capteur d'images ayant une gamme dynamique élevée, en optimisant la quantification en fonction de la réponse et la sensibilité de l'œil humain, et cela, sans dégrader la qualité visuelle des images.

MÉTHODOLOGIE :

Pour réaliser la première partie du travail, des équipements informatiques à la fine pointe de la technologie (Windows 7 et carte graphique HDMI version 1.3) permettant l'affichage d'image haute résolution d'intensité seront assemblés dans le but de valider visuellement la qualité des images générées par des algorithmes et par le circuit de conversion analogue à numérique.

Dans le cas de la 2e partie du travail, la numérisation de signaux de capteurs d'images, avec une quantification variable, sera réalisée grâce à un convertisseur analogique à numérique implanté dans la technologie AMS 0.35µm, couplée à une carte TerASiC ayant un FPGA Altera, permettant de varier l'horloge du système en temps réel.

RÉSULTATS :

Le circuit de FPGA sera simulé à l'aide des logiciels Quartus/ModelSim. Les hypothèses de la quantification variables seront simulées à l'aide de Matlab ainsi qu'à l'aide de logiciel propriétaire utilisant les bibliothèques SDL version 1.3 et/ou OpenGL. Le convertisseur numérique à analogique sera testé en laboratoire. Les différents résultats d'essais et de simulations seront combinés afin de valider ou invalider la perception de la qualité d'image résultant des hypothèses d'optimisation de la quantification variable du convertisseur analogique à numérique.

LAREAU, Étienne **DIPLÔME : M.Sc.A.**

TITRE :

Conception d'un système portable de spectrométrie par proche-infrarouge multicanaux destiné à la détection de foyers épileptogènes.

RÉSUMÉ :

L'objectif de ce projet est de développer un système de spectrométrie proche-infrarouge portable multicanaux (32) ayant pour application la détection de foyers épileptogènes. Le tout devra communiquer sans fil et avoir une autonomie de 15 à 20 heures.

PROBLÉMATIQUE :

L'objectif principal de cette maîtrise est la conception et la réalisation d'un prototype d'un appareil portable pour la spectrométrie par proche-infrarouge (NIRS) à plusieurs canaux. L'application suggérée est la détection de foyers de crise chez les épileptiques.

Le système réalisé devra consommer peu d'énergie afin d être alimenté par batterie et devra communiquer sans fil avec une interface logicielle permettant de contrôler le fonctionnement global. La conception devra être faite en fonction d'une réalisation future d'un système à 32 canaux.

La détection de la lumière se fera à l'aide de photodiodes à avalanche qui seront alimentées de façon externe, puisque ces dernières feront l'objet d'un autre projet afin d'être ingérées sur une puce dédiée.

MÉTHODOLOGIE :

Une revue de littérature marque le début du projet afin de cerner les divers enjeux des technologies utilisées. Un système existant de NIRS à 8 canaux sera utilisé afin d'expérimenter avec ce type de système et d'en comprendre les limitations existantes.

Par la suite, une première version à quelques canaux sera construite afin de valider les choix de composantes effectués. Le livrable final consistera en un circuit imprimé (PCB) qui contrôlera 32 émetteurs de lumière infrarouge et 32 détecteurs de type photodiode à avalanche commerciaux regroupés sur un casque. Le tout devra être alimenté par une batterie et l'autonomie du système devra être minimalement de quelques heures. Les objectifs seront de minimiser la consommation d'énergie et l'espace requis pour implanter le produit. Afin d'atteindre les cibles énergétiques, des techniques de multiplexage seront utilisées pour faire fonctionner la matrice d'émetteurs lumineux. Le design du circuit de contrôle sera également fait dans cette optique.

La contribution de ce projet de maîtrise est d'améliorer les appareils de NIRS multicanaux fixes en les rendant portables, c'est-à-dire leur permettant de transférer leurs données sans fil tout en ayant une autonomie suffisante pour faire des études de longue durée sur des sujets épileptiques.

RÉSULTATS :

Un premier prototype incluant 32 canaux NIRS et 32 canaux d'électroencéphalographie (EEG) a été réalisé. L'EEG a été ajouté au projet original afin de répondre aux besoins du groupe IMAGINC. Fonctionnant à batterie, l'appareil actuel est contrôlé par un ordinateur via un câble USB, mais est prêt à accueillir un module sans-fil dont la réalisation est en cours et prise en charge par un autre étudiant du groupe de recherche. Les cibles de consommation actuelles sont respectées avec les batteries utilisées.

Les premières mesures sur sujets humains seront effectuées dans les prochains mois avec 8 canaux NIRS et 8 canaux EEG afin de valider le fonctionnement du système.

LEBRUN MCKINNON, Mathieu **DIPLÔME : M.Sc.A.**

TITRE :

Automatisation du processus de vérification pour les systèmes embarqués conçus grâce à une plateforme virtuelle

RÉSUMÉ :

Ce projet a pour but de développer une approche et des techniques de vérification plus structurées et plus formelles dans le but de rendre leur automatisation possible. Ces techniques de vérification doivent être adaptées au flot de conception par plateforme virtuelle Space Codesign ™. Les fonctionnalités de la plateforme exploitées lors de ce projet sont l'utilisation du Transaction Level Modeling (TLM) ainsi que l'observabilité du matériel et du logiciel.

PROBLÉMATIQUE :

La vérification, selon la définition de l'IEEE, consiste à s'assurer que les requis établis dans la spécification d'un système sont atteints par le biais d'inspections et de preuves objectives. Selon le rapport de l'« International Technology Roadmap for Semiconductors » (ITRS) de 2009, 70 % du temps de conception d'un système sur puces est consacré à la vérification. L'industrie manifeste donc un besoin criant de réduire le temps de vérification dans le domaine de la conception de systèmes embarqués.

Plus particulièrement, l'emploi d'une approche TLM exige une vérification d'équivalence entre les différents niveaux d'abstraction produits. L'automatisation de cette étape sera la principale problématique du projet.

MÉTHODOLOGIE:

Produire un rapport sur le progrès de la technique lié aux principaux standards utilisés dans l'industrie : Open Verification Methodology (OVM), Verification Methodology Manual (VMM), SystemC Verification Library (SCV), Unified Coverage Interoperability Standard (UCIS).
Adapter les techniques de vérification par assertions pour un niveau d'abstraction transactionnel dans des cas précis comme les tailles de FIFO et des plages d'adresse.
Transformer les assertions en moniteurs au niveau d'abstraction RTL.
Montrer la compatibilité entre le moniteur au niveau RTL et l'assertion niveau transactionnel.
Automatiser le processus.

RÉSULTATS :

Aucun résultat n'est disponible pour l'instant.

LEPERCQ, Étienne **DIPLÔME : Ph.D.**

TITRE:

Algorithme de routage pour l'utilisation et la mise au point d'une plateforme de prototypage rapide pour les systèmes électroniques : Le *WaferBoard™*.

RÉSUMÉ:

Mes recherches prennent place au sein du projet *DreamWafer*™ et sont dédiées à la réalisation des premiers outils logiciels pour son utilisation, aujourd'hui principalement, un outil de routage.

PROBLÉMATIQUE:

L'utilisation du système de prototypage, le *WaferBoard*™, implique un nouveau flot de travail avec des contraintes nouvelles comparées aux systèmes actuels basés sur des PCB. Ce flot de travail implique le routage de quelques millions de segments, la configuration de milliers de points de contact, au travers de plusieurs méga-octets de configuration. Il est évident qu'un outil logiciel d'automatisation doit être réalisé, outil en cours de réalisation et segmenté en plusieurs sous-parties. Deux étapes cruciales sont fonctionnelles, à savoir la reconnaissance de packages et le routage d'une netlist.

Il est également nécessaire de réaliser une interface utilisateur permettant de visualiser l'état interne du wafer (Nano PADs, circuits de configuration, liens, crossbars, etc.). Cette interface pourra être étendue vers la réalisation de netlists, la définition de contraintes sur les nets ou d'autres choses encore.

MÉTHODOLOGIE:

La démarche choisie repose sur l'enchaînement de trois étapes pour atteindre les objectifs fixés :

- Revue de littérature sur les techniques existantes, sur les algorithmes de balancement de chemins, les architectures de réseaux d'interconnexions ;
- Reproduction du meilleur algorithme publié, en l'occurrence RCV pour les FPGA. Cet algorithme étant incomplet face aux exigences plus importantes du système, une extension a été développée et pourra être utilisée dans d'autres domaines ;
- Un algorithme basé sur une table de référence pré calculée a été écrit, pour effectuer une recherche très rapide dans un sous ensemble de l'espace des solutions.

RÉSULTATS:

Un modèle de netlist a été construit et validé auprès de données industrielles réelles. Ces données proviennent d'un partenaire privilégié du projet (HyperChip) ainsi que le design de OpenMoko.org disponible publiquement. Un algorithme de routage adapté aux spécificités du projet a été écrit et caractérisé et un article de journal est en préparation. L'année 2010 a permis de mettre en place deux algorithmes d'équilibrage des délais entre différents signaux, dont les résultats sont en cours d'extraction, pour une soumission à DAC 2011.

Un outil de génération de netlist a été étendu pour supporter des contraintes d'équilibrage : les deux algorithmes écrits sont aujourd'hui capable de les router, bien que certaines contraintes très fortes soient hors de portée des algorithmes actuels. Cependant, les travaux réalisés démontrent que cette problématique peut être résolue pour des netlists de densité faible à moyenne (5-15%) avec une balance de l'ordre de 3 fois le minimum atteignable par le système, sans aucune violation. Des violations apparaissent lorsque la densité et les contraintes se renforcent, mais l'adjonction du deuxième algorithme réduit d'un ordre de grandeur le nombre de violations et réduit d'un facteur 2 à 3 les temps de calcul.

Un article de journal est en préparation et un article de conférence en cours d'écriture, pour publier les résultats obtenus sur la moitié de l'année 2009 et 2010. Ces résultats sont une contribution au domaine des algorithmes de routage pour réseaux d'interconnexion.

LEREBOURS Jonas

DIPLÔME : M.Sc.A.

TITRE:

Repérage de contenu numérique à haute vitesse optimisé sur plateforme GPGPU

RÉSUMÉ:

Le but de ce projet est de proposer une implémentation optimisée d'un algorithme de recherche de contenu numérique à très haute vitesse sur une plateforme composée de GPGPU, dans différentes applications.

PROBLÉMATIQUE:

La diffusion de documents est rendue très simple et rapide par les évolutions des réseaux de communication. On rencontre de plus en plus de fuites d'informations confidentielles, de copies illégales de données, de contenu dangereux… Le repérage de données connues dans la multitude de flux qui nous relie peut dès lors devenir stratégique car il permet de tracer voire de contrôler les plus sensibles.

MÉTHODOLOGIE:

Un algorithme de repérage de données numériques à haute vitesse a été proposé par Jean-Pierre David. Il s'agit ici de l'adapter pour fonctionner sur les processeurs graphiques de GPGPU et de l'optimiser pour atteindre de très hautes performances, dans différents contextes.

RÉSULTATS:

À venir

LÉVESQUE, Philippe **DIPLÔME : Ph.D.**

TITRE:

Architecture d'un processeur dédié aux traitements de signaux ultrasoniques en temps réel en vue d'une intégration sur puce.

RÉSUMÉ:

Ce travail s'inscrit dans le cadre du projet de la mise en œuvre d'un système échographique intégré sans fil. Ce système sera portable, possédera une grande autonomie et pourra être utilisé en conjonction avec un système contrôlé par un processeur dédié ou seul, en tant qu'instrument d'imagerie médicale utilisé pour de nombreux diagnostics. Le prototype portatif complété est de 16cm x 10cm et permet de guider l'élaboration de l'architecture en vue d'une intégration sur puce. La section numérique du système est réalisée avec un seul FPGA (Spartan3) tandis que la section analogique est composée de composants discrets.

PROBLÉMATIQUE:

Les fonctions de traitement du signal radio fréquence (RF) des systèmes ultrasoniques actuellement disponibles sont généralement exécutées par un logiciel sur un processeur conventionnel (Central Processor Unit – CPU) ou sur autre processeur dédié au traitement de signal (Digital Signal Processor – DSP). Ces systèmes ne permettent pas une vitesse d'exécution adéquate ou requièrent beaucoup d'énergie pour atteindre les performances nécessaires. De plus, les dimensions et le coût limitent l'accessibilité de cette technologie pour certaines applications et certains milieux. La réalisation d'un nouveau type d'appareil permettra d'accroître le champ d'utilisation de cette technologie dans les secteurs militaire et vétérinaire, les pays économiquement défavorisés ainsi que la médecine à domicile.

MÉTHODOLOGIE :

Une recherche bibliographique approfondie sur les systèmes échographiques, sur les méthodes de traitement de signaux ultrasoniques et sur l'imagerie médicale a été effectuée et est régulièrement mise à jour. Le choix des différentes méthodes de traitement de signal a été validé en comparant les techniques à l'aide de Matlab. La partie numérique du système échographique, du démodulateur jusqu'à l'affichage de l'image sur un écran (résolution de 320x240) est implémentée sur FPGA (XC3S1500L) à faible consommation et à faible coût. La partie analogique est réalisée avec des composants discrets pour l'instant mais sera implémentée sur une ou plusieurs puces dans le cadre d'un autre projet. Grâce au prototype, il fut possible d'analyser l'architecture dans son ensemble. Le ratio performance-consommation ainsi que la qualité du traitement étant les deux principaux critères d'analyse et de comparaison.

RÉSULTATS :

La validation est complétée et les résultats obtenus sont satisfaisants. Toutefois, deux principales améliorations du processeur de prétraitement numérique sont à considérer. La première concerne l'ajout d'un module de compression des données en vue de réduire le débit utile nécessaire pour transmettre les images résultantes du prétraitement des signaux ultrasoniques. La deuxième amélioration importante concerne l'unité d'interpolation. En effet, il serait souhaitable d'allonger la fenêtre de recherche afin d'inclure plus d'une valeur valide de chaque côté des valeurs à déterminer. De plus, il serait recommandé d'utiliser une fenêtre de recherche à deux dimensions en incorporant les valeurs valides des pixels voisins selon l'axe des Y. De plus, une analyse des performances de différents algorithmes d'interpolation serait pertinente.

MBAYE, Mame Maria **DIPLÔME: Ph.D.**

TITRE :

Techniques d'exploration architecturale de design à usage spécifique pour l'accélération de boucles.

RÉSUMÉ :

Le projet consiste à spécifier des métriques orientées boucle qui permettront de mesurer les possibilités d'accélération de boucles de traitement soit par un processeur spécialisé, soit par un module matériel dédié en vue de la construction d'architectures multiprocesseurs hétérogènes.

PROBLÉMATIQUE :

L'industrie a à sa disposition une multitude d'outils pour la conception de plateformes SoC tels que le générateur de processeur spécialisé de la compagnie Tensilica, le générateur de code RTL CatapultC de Mentors Graphics, etc. Malheureusement, l'industrie doit faire des choix architecturaux qui reposent généralement sur l'expérience de ses concepteurs. Les concepteurs acquièrent une méthodologie en statuant sur le traitement qui s'accélère mieux en matériel qu'en logiciel alors qu'ils devraient prendre en compte des métriques rigoureuses pour faire leurs choix architecturaux. Les recherches actuelles montrent qu'environ 90% du temps d'exécution d'une application s'effectue dans 10% des lignes de code de l'application. Donc, au lieu de disperser ses énergies à vouloir optimiser toutes les lignes de code d'une application, il est bien plus efficace de cibler l'accélération des boucles contenues dans le code. Les métriques orientées boucle permettront ainsi de définir les possibilités d'accélération d'une boucle de traitement.

MÉTHODOLOGIE :

La première étape de notre projet consistera à proposer une technique d'accélération de boucles par des instructions spécialisées fortement couplées. Ensuite, durant la seconde étape, des métriques orientées boucles seront caractérisées, suivie de la conception et de l'implémentation de ces métriques. Elles seront déployées dans l'environnement du compilateur reconfigurable SUIF2. La prochaine étape sera l'interprétation des métriques pour statuer sur les possibilités d'accélération. De ces métriques, une méthode de partitionnement devra être sélectionnée telle que l'intégration d'instructions spécialisées ou de module matériel dédié. Ensuite, une technique de construction d'architectures multiprocesseurs sera proposée basée sur les résultats de partitionnement qui seront obtenus.

RÉSULTATS :

Nous avons proposé un cadre de travail qui permet de cibler un type d'architecture tels que logiciel pur, logiciel avec instructions spécialisées et matériel pur. L'architecture est spécifiée par des contraintes de design. De nouvelles métriques orientées boucle ont été proposées et implémentées. Selon les contraintes de design, les opérations d'une boucle sont ordonnancées et les métriques sont calculées. Celles-ci permettent de déterminer les aspects qui contribuent à accélérer une boucle et ceux qui freinent les possibilités d'accélération d'une boucle. Nous avons spécifié deux groupes de métriques : orientées accès mémoire et orientées calcul. Nous avons aussi proposé un processus d'analyse se basant sur les nouvelles métriques. Ce processus permet de déterminer quelles optimisations pourraient être appliquées pour que les possibilités d'accélération soient exploitées. Malheureusement, les métriques ne tiennent compte que des possibilités d'accélération au niveau itération. Donc, dans un second temps, nous avons proposé une technique d'estimation des performances d'un nid de boucle. Cette technique permet d'évaluer le temps d'exécution d'un nid de boucles en tenant compte de contraintes architecturales sans avoir à dérouler un nid de boucles pour ensuite réordonnancer les opérations. Le temps d'ordonnancement des opérations explose en fonction du facteur de déroulement du nid de bouches, ainsi notre technique réduit le temps d'exploration architecturale tout en fournissant des résultats précis.

MENDEZ, Arnaldo **DIPLÔME : Ph.D.**

TITRE :
Méthode efficace pour le monitorage du volume de la vessie chez les patients paraplégiques.

RÉSUMÉ :
L'objectif général de ce projet est de proposer et mettre en œuvre une méthode efficace de contrôle de volume de la vessie chez les patients paraplégiques souffrant de dysfonctions urinaires principalement causées par la SCI, dans le but d'approvisionner le Neurostimulateur avec le retour d'information nécessaire pour restaurer les fonctions de la vessie de façon sécuritaire et efficace.

MÉTHODOLOGIE :
Déterminer les spécifications cibles à l'aide de la méthode QFD (Quality Function Deployment). Établir si une méthode basée sur des capteurs artificiels ou sur des capteurs naturels devraient être utilisés pour la surveillance. Proposer et mettre en œuvre la méthode sélectionnée chez les animaux tout en respectant les normes bioéthiques. Valider la méthode proposée. Protéger et publier nos contributions.

Les patients souffrant du syndrome d'hyperactivité vésicale est un sujet avec un intérêt majeur car il est présent pour plusieurs personnes de par le monde entier. Par exemple, aux États-Unis, il est estimé à 34 millions, le nombre de patients ayant une vessie hyperactive, ce qui coûte environ 19,5 milliards de dollars par année. La prévalence de l'incontinence urinaire chez la population au Canada en 1997 était de 2,5% chez les femmes et 1.4% chez les hommes. Les patients canadiens vivant avec le SCI, une de principales causes de disfonctionnement urinaire est de 40,000. Il est important de considérer l'aspect humain de la maladie et l'incapacité en raison de la stigmation, l'isolement, la perte de l'estime de soi et la dépression. La recherche actuelle vise à trouver une solution au problème non résolu qui permettra d'améliorer la performance des dispositifs de neurostimulation en considérant les conditions particulières des patients et permettra de réduire les effets traumatiques secondaires. Les résultats de cette recherche contribueront à améliorer la qualité et l'espérance de vie et à réduire les coûts élevés de soins des patients avec dysfonctions urinaires.

PROBLÉMATIQUE :
Lorsque les principales fonctions de stockage et de miction de la vessie échouent par suite de traumatisme médullaires (SCI) ou d'autres maladies neurales, des complications graves de la santé du patient et une détérioration continue de sa qualité de vie se produisent. Aujourd'hui, il est possible de restaurer partiellement les fonctions de la vessie pour certains de ces patients en utilisant des dispositifs neurostimulateurs implantables. Pour restaurer ces fonctions de façon sécuritaire et efficace dans les applications chroniques, il est nécessaire d'appliquer les stimuli électriques pour la détection du volume de la vessie, uniquement lorsque la restauration est nécessaire et non en permanence comme cela est fait présentement. De cette manière, une stimulation neurale conditionnelle peut être efficacement réalisable dans une boucle fermée, ce qui réduit les stimulations inutiles de la vessie. Une telle approche permet de diminuer les effets secondaires nocifs produits par l'électrostimulation continue et d'épargner la réserve d'énergie toujours limitée. Malgré plusieurs tentatives dans les années passées, un dispositif fiable, précis et robuste pour implémenter la rétroaction du neurostimulateur avec des informations de volume de la vessie, demeure comme un besoin non résolu, principalement causé par la complexité de la physiologie, de l'anatomie de la vessie et du système nerveux ainsi que par les limitations techniques dans les technologies disponibles présentement pour la surveillance des variables biologiques en utilisant les dispositifs implantables.

RÉSULTATS :
En utilisant la méthode QFRD mentionnée ci-dessus, nous avons identifié les besoins et nous avons établi les spécifications requises pour l'implémentation d'un système pour la surveillance chronique du volume de la vessie. Après avoir analysé et évalué chacune des méthodes de mesure utilisées dans les études faites dans les années passées, nous concluons que l'enregistrement et le traitement des signaux produit pour des capteurs naturels (mécano-capteurs) sensitif au volume présent dans la vessie, constituent l'approche optimale pour déterminer le volume de la vessie dans les applications corniques. La révision, l'analyse et l'évaluation de ces méthodes ont été résumées dans un article soumis au Journal Canadien d'Urologie (CJU). À ce moment-ci, nous avons amorcé les expériences avec des rats pour trouver une méthode de surveillance du volume de la vessie à partir de l'enregistrement et traitement des signaux tirés de ses nerves afférentes (ENG).

MILED, Mohamed Amine **DIPLÔME : Ph.D.**

TITRE :

Laboratoire sur puce implantable au cerveau dédié à la détection et à la séparation des neurotransmetteurs.

RÉSUMÉ :

Les neurotransmetteurs représentent la base de la communication inter-neuronales et la pièce motrice de tout système nerveux. Une défaillance de ces derniers engendre un dysfonctionnement du système nerveux et de la transmission de l'information dans le cerveau. Les nanotechnologies nous permettent d'explorer de nouvelles voies pour réparer ce dysfonctionnement. Nous essayons dans un premier temps de développer un microsystème qui peut remplacer un seul neurotransmetteur. Ce système sera capable de non seulement détecter l'activité neuronale mais aussi de pouvoir la modifier ou l'ajuster. Ce microsystème est une combinaison de circuits micro-électroniques, de microélectrodes, d'un circuit de contrôle et de commande et de composantes micros fluidiques et chimiques. Une fois que le système sera développé pour un seul neurotransmetteur, ce dernier pourra être appliqué dans une architecture matricielle en vue d'être implémenté dans tout un réseau de neurones dans le cortex cérébrale. L'objectif est, ainsi, de remédier à un dérèglement de certaines fonctions du cerveau.

PROBLÉMATIQUE :

L'objectif de la recherche et de développer une micro puce implantable dans le cerveau pour suivre l'évolution des neurotransmetteurs au niveau cortical. Pour y parvenir, nous procédons à la réalisation d'un dispositif basé sur un laboratoire-sur-puce qui servira à échantillonner des neurotransmetteurs au niveau des connexions neuronale et de l'analyser. Nous prévoyons ensuite proposer une méthode de séparation et de détection de ces neurotransmetteurs cibles.

MÉTHODOLOGIE :

Le projet se décompose en plusieurs parties qui sont :

- Étude et simulation du système avec le logiciel d'analyse à éléments finis ANSYS ;
- Proposition d'une architecture micro fluidique ;
- Mise en œuvre d'une puce microélectronique en utilisant la technologie CMOS ;
- Assemblage de l'ensemble des puces ;
- Test et validation du système.

RÉSULTATS :

Un premier prototype a été déjà conçu et implémenté sur une première plateforme de prototypage. Une autre carte électronique a été élaborée pour générer les signaux électriques. Tout le système a été assemblé et connecté. Les premiers résultats étaient concluants et une séparation du liquide injecté dans les micros canaux a été réussie. La partie détection a été basée sur un capteur capacitif commercial. Une première série de mesures nous a permis de détecter une variation de 1pF lors de l'injection du liquide dans les micros canaux.

Une puce CMOS a été réalisée pour intégrer toutes les fonctionnalités de la plateforme de prototypage précédemment faite. En parallèle, plusieurs architectures micro fluidiques ont été fabriquées contenant différentes configurations d'électrodes pour tester différentes fonctionnalités. Une première manipulation cellulaire a été réalisée avec succès.

MONTEIRO, Felipe **DIPLÔME : M.Sc.A**

TITRE :

Automatisation du processus de caractérisation de la consommation de puissance pour l'estimation au niveau modèle transactionnel

RÉSUMÉ :

Il s'agit d'un projet de caractérisation des IP afin d'obtenir un modèle d'estimation de puissance à haut niveau. Plus précisément, le projet portera sur l'automatisation d'un processus de caractérisation déjà existant, lequel a été développé dans notre laboratoire. Présentement, ce projet vise seulement les IP standards de la compagnie Xilinx et nous travaillons seulement avec la consommation des circuits synthétisables sur FPGA. Éventuellement, nous aimerons proposer une méthodologie de Codesign à haut niveau (TLM) qui tient compte de la consommation d'énergie et qui permet d'avoir de meilleurs compromis logiciel-matériel.

PROBLÉMATIQUE :

La dissipation de puissance sur les circuits électroniques commence à avoir une très grande importance lors de la phase de design depuis les dernières années. La dissipation de chaleur excessive sur les circuits intégrés diminue relativement leurs performances. Également, plus que jamais, nous avons le besoin d'augmenter le temps de vie des batteries de nouvelles électroniques portables. Avec les techniques de design conventionnel RTL « Register Tranfer Level », une estimation de puissance plus précise est seulement possible aux dernières étapes du processus de design. À ce point, un changement du circuit devient une tâche très couteuse et fastidieuse. Alors, il serait fort intéressant d'être capable d'avoir une estimation de puissance aux premières étapes de développements, soit au niveau modèle transactionnel.

MÉTHODOLOGIE

Les étapes à suivre sont les suivantes ;

- Définir les IP que nous aimerions caractériser automatiquement
- Établir un moyen d'automatiser le processus de caractérisation. Ce processus existe déjà, toutefois il est trop manuel. Ceci devrait être fait pour chaque IP choisi.
- Implémenter l'automatisation du processus pour chaque IP
- Évaluer la précision de la caractérisation obtenue en ayant comme modèle de référence la consommation donnée par l'outil de Xilinx, Xpower

RÉSULTATS :

Nous n'avons aucun résultat pour l'instant.

MORADI, Arash DIPLÔME : Ph.D.

TITRE:

Émetteur de faible puissance sans fil dédié aux microsystèmes biomédicaux implantables.

RÉSUMÉ:

Dans cette thèse, la voie de transmission d'un émetteur de fréquence radio sans fil est mise en œuvre pour l'interface sans fil de capteurs biomédicaux avec la consommation d'énergie ultra faible. Un nouveau schéma de modulation Frequency Shift Keying (FSK) est proposé et mis en oeuvre technologie CMOS TSMC90nm pour réduire la consommation d'énergie. Le transmetteur RF opère en Amérique du Nord entre 902-928 MHz Bande ISM tout en offrant une puissance de sortie -2 dBm pour transmettre des données à un récepteur externe en 2-mètres de distance. Il est censé consommé un courant très faible tiré à partir d'une tension d'alimentation de 1.2V.

PROBLÉMATIQUE:

Le comportement du corps de certains patients atteints de maladies spécifiques du cerveau, telles que l'épilepsie, a besoin d'être surveillés en permanence. Pour ce faire, un réseau de capteurs est nécessaire pour détecter et produire les données associées. Les données générées doivent être transmises à un récepteur externe pour une analyse ultérieure. En effet, en utilisant de tels capteurs, les patients n'ont pas besoin d'être connectés à une machine pendant une longue période. Les émetteurs-récepteurs RF comme la partie la communication de réseaux de capteurs sans fil sont nécessaires dans de nombreuses applications biomédicales avec des dispositifs implantables. Ces dispositifs implantés doivent consommer une très faible puissance, sinon, la cellule de batterie de ces appareils doit être rechargée fréquemments dans des cabinets médicaux. En général, l'objectif est de maintenir l'émetteur-récepteur implantable aussi simple et de faible puissance que possible. Au lieu de cela, le récepteur externe peut être plus compliqué.

MÉTHODOLOGIE:

Dans cette recherche, nous proposons de concevoir et de mettre en oeuvre un émetteur-récepteur RF à ultra basse puissance pour l'interface sans fil de capteurs biomédicaux. L'émetteur-récepteur cible doit également répondre à d'autres spécifications, telles que l'intégrabilité, à faible coût et de simplicité. Utilisant la technique proposée pour moduler la transmission de données permettra de réduire la consommation électrique totale. En outre, la mise en oeuvre de la conception à l'aide du nanomètre processus CMOS ainsi que la conception technique du circuit analogique permet d'atteindre les performances souhaitées. En outre, en utilisant des composants passifs à mettre en oeuvre la voie de transmission rend la conception de consommer une très faible puissance.

RÉSULTATS:

La section de transmission d'une exploitation ultra faible puissance émetteur-récepteur sans fil dans la bande industrielle, scientifique et médical (ISM) de 902-928 MHz est conçu et mis en oeuvre en 90nm CMOS. La conception doit être envoyée à la fabrication pour des mesures et des vérifications. Les avantages d'émission de l'utilisation de composants de faible puissance. En outre, la technique de modulation de fréquence proposée a permis de réduire la consommation électrique totale. Le chemin du récepteur doit être élaboré une fois que la voie de transmission est vérifiée. Selon les résultats de simulaiton, l'émetteur consomme moins de 1 mW pour fournir une puissance de sortie assez grande.

MOSS, Laurent **DIPLÔME: Ph.D.**

TITRE:
Profilage, caractérisation et partitionnement fonctionnel dans une plate-forme de conception de systèmes embarqués.

RÉSUMÉ:
Une méthodologie d'exploration architecturale de systèmes embarqués a été développée en se basant sur la technologie Space Codesign, qui implémente une plate-forme virtuelle en SystemC pour des architectures multiprocesseurs. La méthodologie proposée combine un modèle de calcul formel, une spécification unique de l'application en SystemC à haut niveau, une méthode de synthèse comportementale pour en dériver un code RTL au besoin, une méthode de profilage au niveau système, une méthode de caractérisation automatisée autant que possible et un algorithme heuristique qui considère simultanément le partitionnement logiciel/matériel multiprocesseurs et la sélection d'une architecture de communications.

PROBLÉMATIQUE:
La complexité et les requis de performance des systèmes informatiques embarqués augmentent constamment. Pour répondre à ces requis, les systèmes embarqués comprennent maintenant plusieurs processeurs, blocs matériels, mémoires et périphériques sur une seule et même puce. Le choix de l'architecture de communications reliant ces composants, ainsi que le choix d'implanter les différentes fonctionnalités d'un tel système sous la forme de logiciels embarqués ou de composants matériels conçus sur mesure, a un grand impact sur la performance et le coût du système. Les méthodologies présentement utilisées par l'industrie pour la conception des systèmes embarqués ont de la difficulté à gérer ces architectures complexes et les retards et dépassements de coûts sont fréquents dans les projets de conception de systèmes embarqués.

MÉTHODOLOGIE:
Des applications connues, tel que le traitement d'images, serviront d'étude de cas. Ces applications seront modélisées à l'aide de Space, puis profilées afin d'en recueillir des données sur leur performance. Ensuite, ces applications seront caractérisées afin de pouvoir estimer la performance et le coût matériel des différentes architectures pouvant implémenter cette application. Ces estimateurs serviront de fonction d'évaluation pour des méta-heuristiques qui optimiseront le partitionnement logiciel-logiciel, le partitionnement logiciel-matériel et l'architecture de communications selon des contraintes de performance et de coût. Finalement, nous comparerons le temps d'exécution et la qualité des solutions obtenues pour différents algorithmes d'exploration architecturale automatisée, de même que la durée et la qualité des mesures obtenues par profilage et estimation.

RÉSULTATS:
Un modèle de calcul a été défini et proposé pour la modélisation des systèmes embarqués avec Space. Une méthode de synthèse matérielle des modules Space a été réalisée à l'aide de l'outil de synthèse comportementale Forte Cynthesizer. Une méthode de profilage logiciel/matériel a également été implémentée. L'automatisation de la caractérisation des applications de la plateforme SPACE et de ses bibliothèques logicielles a été réalisée. Des heuristiques de marche aléatoire, de descente, de recuit simulé et de recherche tabou ont été implémentées pour l'exploration architecturale. Ces méthodes ont été testées sur plusieurs applications codées avec SPACE.

La méthodologie dans son ensemble a été appliquée à trois études de cas : un système de guidage d'une automobile, un décodeur JPEG avec détection de peau et un encodeur/décodeur WiMAX. Les résultats montrent que notre méthode de synthèse matérielle s'applique à des modules aussi complexes qu'un décodeur Reed-Solomon ou Huffman. De plus, il est montré qu'il est possible d'implémenter un profilage non-intrusif au niveau système avec un impact minime sur la vitesse de simulation. La méthode d'estimation permet d'évaluer le temps d'exécution d'un ensemble d'architectures avec une précision de 8% et une vitesse de 400 à 48000 fois plus rapide qu'une simulation complète. La méthode d'estimation permet également d'estimer la quantité de ressources matérielles avec une précision de 20% et avec une vitesse de 200 000 fois plus rapide que la synthèse logique avec placement. Finalement, la recherche Taboue réactive obtient systématiquement de meilleurs résultats que la marche aléatoire et le recuit simulé adaptatif. Dans les cas où il a été possible de trouver une solution optimale avec un parcours en profondeur, la recherche taboue réactive a également pu trouver cette solution optimale.

MOUNAIM, Fayçal **DIPLÔME: Ph.D.**

TITRE :

Neurostimulateur hautement intégré et nouvelle stratégie de stimulation pour améliorer la miction chez les paraplégiques.

RÉSUMÉ :

La lésion de la moelle épinière (Spinal Cord Injury-SCI) est l'un des problèmes les plus dévastateurs médicalement et socialement. Selon l'Association Canadienne des Paraplégiques, près de 36,000 canadiens vivent avec une SCI. À la suite d'une SCI, il se produit une perte du contrôle sensoriel et moteur qui entraîne divers degrés de dysfonctionnement du bas appareil urinaire.

PROBLÉMATIQUE :

La stimulation électrique des nerfs sacrés se trouvant en dessous du niveau de la lésion constitue une approche prometteuse pour la réhabilitation des fonctions vésicales. Toutefois, pour déclencher une miction (évacuation d'urine) volontaire, l'efficacité d'une telle stimulation dépend grandement de sa capacité à contracter la vessie sans induire une contraction dyssynergique du sphincter de l'urète. À ce jour, le seul neurostimulateur implantable ciblant la miction et ayant été commercialisé nécessite une rhizotomie (section de nerfs) irréversible et non souhaitable pour la préservation des réflexes et des sensations urinaires et sexuelles s'ils sont encore présents.

MÉTHODOLOGIE :

1. **Prototypes implantables discrets :**
   Réaliser et tester des prototypes de neurostimulateurs implantables à l'aide de composants commerciaux.
2. **Nouvelles méthodes de neurostimulation et de surveillance du système urinaire :**
   Proposer et évaluer lors d'expériences animales aigües de nouvelles méthodes de neurostimulation et de surveillance permettant d'augmenter l'efficacité de l'évacuation de l'urine.
3. **Intégration sur puce :**
   Réaliser et tester des circuits intégrés comprenant des sous-systèmes de neurostimulateur (excluant la partie numérique) et permettant de démontrer la possibilité d'une intégration totale. En particulier, l'étage de récupération de l'énergie inductive pourra être intégré dans une technologie haute-tension. Celle-ci permettra de proposer et d'évaluer une nouvelle approche pour fournir les différentes alimentations nécessaires tout en maximisant l'efficacité énergétique.
4. **Neurostimulateur implantable hautement intégré :**
   Développer et caractériser un neurostimulateur complet basé sur les circuits intégrés réalisés. Il s'agit également de valider sa capacité à mettre en œuvre la nouvelle stratégie de neurostimulation proposée.

RÉSULTATS :

Nous avons proposé une nouvelle stratégie de neurostimulation basée sur le blocage de la conduction du nerf en utilisant une stimulation à haute-fréquence comme alternative à la rhizotomie. Jusqu'à maintenant, la réalisation de prototypes effectivement implantables en utilisant des composants discrets disponibles commercialement, a permis de tester les précédentes stratégies de stimulation lors d'expériences animales chroniques. Cependant, une plus grande intégration du système s'avère de plus en plus nécessaire pour la miniaturisation de l'implant, pour réduire la consommation de puissance, pour implémenter de nouvelles fonctionnalités tell que la télémétrie et pour augmenter le nombre de canaux de stimulation requis par la nouvelle stratégie de stimulation. Nous proposons donc également une nouvelle architecture de neurostimulateur associée à cette stratégie. Nos derniers rapports d'intégration ont porté sur l'étage de récupération d'énergie inductive, incluant redressement, régulation et conversion DC-DC dans une technologie CMOS haute-tension (20 ou 50 V).

NOURIVAND, Afshin **DIPLÔME: Ph.D.**

TITRE :

Réduction de la puissance de fuite des mémoires sur puce sans impact sur le rendement.

RÉSUMÉ :

Ces travaux de recherche consistent à élaborer de nouvelles techniques pour réduire les courants de fuite des mémoires sur puce sans impact sur le rendement. Nous étudions le comportement des cellules SRAM (Static Random Access Memory) à des tensions d'alimentation réduite au cours d'un mode de veille. Concrètement, nous mettons l'accent sur les cellules faibles causées par les variations excessives du processus et les défauts de fabrication. Nous proposons de nouvelles techniques au niveau circuit et de l'architecture permettant de réduire les fuites tout en évitant la perte de rendement.

PROBLÉMATIQUE :

Les courants de fuite représentent une part importante de la consommation totale d'énergie de la puce à l'échelle nano technologique. Une portion importante de la consommation de puissance vient des courants de fuite sur les puces SRAM en nanotechnologies. Diverses techniques ont été proposées dans la littérature pour réduire les fuites des mémoires SRAM par le passage des portions inactives de la mémoire à un mode de veille à faible-fuite. Toutefois, la capacité des cellules SRAM de conserver des données est généralement détériorée en mode veille, suite à l'échec de certaines «cellules faibles», causées par les variations de procédé excessives et non catastrophiques. Ces cellules fonctionnent habituellement à tension d'alimentation nominale. Toutefois, elles n'ont pas de mode de veille. Les puces contenant ces cellules faibles sont vouées à l'échec au cours du mode de veille et diminueront de beaucoup le rendement.

MÉTHODOLOGIE :

En raison de l'importance du défaut résistif ouvert, nous mettons l'accent sur les cellules faibles qui causent ce type de défauts. Nous injectons les défauts de la cellule SRAM. Par la suite, nous effectuons des simulations circuit permettant d'observer le comportement des défauts au mode de veille. Pour éviter la perte de rendement, de nouvelles techniques architecturales sont investiguées pour réduire les fuites des SRAMs en présence des cellules faibles.

RÉSULTATS :

De nouveaux comportements défectueux ont été observés en raison du mode de veille. Nous avons montré qu'en utilisant des techniques de vérification et correction d'erreur (ECC), pour lutter contre leur manque de fiabilité induit en raison des cellules faibles, les fuites de SRAM peuvent encore être réduites. Également, nous avons observé que les cellules faibles commencent à montrer un comportement déficient à différentes tensions en fonction de la gamme de la résistance et de l'emplacement de l'anomalie. Ainsi, nous avons proposé l'étalonnage de la tension de veille de cellules SRAM en vue de réduire son impact sur le rendement.

OULD BACHIR, Tarek **DIPLÔME : Ph.D.**

TITRE :

Opérateurs en virgule flottante pour des applications en simulation des systèmes électriques sur FPGA

RÉSUMÉ :

Les praticiens de la simulation en temps réel avec matériel dans la boucle ont adopté les FPGA aux fins de réduction de la latence de la boucle. Cette thèse a pour ambition de contribuer à cette démarche en proposant l'utilisation d'opérateurs arithmétiques en virgule flottante pour ces architectures. Les processeurs développés grâce à ces opérateurs permettent la résolution des systèmes d'équations linéaires et des systèmes d'équations linéaires par morceaux de façon efficace, en comblant les besoins stratégiques du domaine de la simulation des systèmes électriques.

PROBLÉMATIQUE :

Le domaine du calcul à haute performance nourrit un intérêt croissant pour les systèmes de calcul hybrides qui sont un composite de machines ordinées à base de processeurs à usage général combinés à des circuits reprogrammables servant de coprocesseurs spécialisés. L'accélération matérielle réalisée peut offrir un gain de performance conséquent aux calculs scientifiques si l'architecture déployée répond mieux aux exigences du calcul qu'un processeur à usage général. Les FPGA sont attrayants du fait de leur densité continuellement croissante et de la possibilité d'y réaliser des architectures arbitraires. Néanmoins, les opérateurs arithmétiques disponibles sur les FPGA sont principalement en représentation à virgule fixe, alors que de nombreux problèmes scientifiques exigent l'utilisation d'une représentation à virgule flottante, souvent en double précision. Le problème mathématique que nous désirons exécuter sur ces processeurs est celui de la simulation des systèmes électriques. Deux méthodes de formulation des équations de réseau sont considérées: 1) les équations d'état et 2) l'analyse nodale-modifiée-augmentée. L'implémentation matérielle d'opérateurs matriciels en virgule flottant implique plusieurs défis architecturaux au coût de nombreux compromis qu'il faut évaluer avec soin. Les paramètres à considérer sont : 1) la taille des ressources reconfigurables ; 2) la bande passante sur les entrées et sorties ; 3) la taille, la disponibilité, la proximité de la mémoire. Dans le cas d'une exécution en temps réel, le chemin de rétroaction du calcul, induit par le caractère itératif de la résolution des équations d'états, impose une contrainte supplémentaire sur la latence des opérateurs, particulièrement pour des systèmes de taille moyenne.

MÉTHODOLOGIE :

Les architectures matérielles à développer sont initialement évaluées à un niveau d'abstraction élevé au moyen d'outils de programmation tels que MATLAB pour être ensuite réalisées matériellement grâce aux outils de synthèse, placement et routage tels que System Generator de la suite de développement ISE du fabricant de FPGA Xilinx. Le prototypage de systèmes hybrides constitue finalement l'étape de validation des architectures ainsi proposées et leurs performances sont comparées à celles rapportées dans la littérature.

RÉSULTATS :

A date, nous avons développé 1) une architecture de multiplieur-accumulateur en virgule flottante a été proposée, ainsi qu'une unité de produit vectoriel (DP) ; 2) un module matériel de résolution d'équations d'états en temps réels a été réalisé, ainsi qu'une architecture pour les équations de la méthode nodale modifiée augmentée ; 3) un prototype de boost et de PMSM ont été réalisés et présentés aux conférences IPST 2011 et Electrimacs 2011 ; 4) Un pont nodal a été réalisée pour le partenaire industriel Opal-RT et le travail a fait l'objet d'un article de conférence à EPE2011 ; 5) Un solveur nodal générique, pouvant simuler des topologies arbitraires, sous réserve de certaines limites de dimensions, a été réalisé et prototypé avec succès ; 6) Quatre articles de revue ont été soumis, dont un déjà accepté par IEEE Transactions on Industrial Electronics, sous réserve de modifications ; 7) Un chapitre de livre est sous presse chez Springer.

PONS Jean-François **DIPLÔME: M.Sc.A**

TITRE :

Conception d'une plateforme d'*animats* à basse consommation de puissance utilisant des composants en logique asynchrone.

RÉSUMÉ :

Ces dernières décennies, les réseaux de capteurs sans-fil (WSN) ont été le sujet de plusieurs recherches, notamment car ces dispositifs sont de plus en plus abordables et que de grands constructeurs se regroupent pour pouvoir développer des produits compatibles entre eux, comme par exemple la ZigBee® Alliance. Dans un domaine *a priori* totalement différent, on constate l'apparition d'*animats*; sorte de robots généralement dotés de fonctionnalités qui leurs permettent de réaliser des tâches simples comme suivre un leader, se disperser, découvrir un environnement, etc. Ce type de robots minimalement équipés au niveau de la mécanique, est nouvellement très étudié pour plusieurs raisons : premièrement ils permettent d'avoir un support pour la compréhension des techniques d'apprentissage chez les êtres vivants. De plus, ils permettent d'expérimenter des algorithmes de coopération au sein d'une colonie dans un environnement réel, s'affranchissant ainsi des biais de modélisation.
Le but de cette recherche est donc de trouver comment la prise en compte de la minimisation d'énergie devrait influencer la conception d'*animats,* et ce, à différents niveaux de la conception. Notamment, l'utilisation de composants en logique asynchrone sera étudiée ainsi que son impact sur la consommation d'énergie totale du système.

PROBLÉMATIQUE :

La problématique est de concevoir une colonie d'*animats* soucieux de minimiser leur consommation d'énergie mais capables de proposer une plateforme suffisamment complète pour l'étude de l'impact de l'environnement et de sa perception dans l'apprentissage machine.

MÉTHODOLOGIE :

Pour cela, plusieurs aspects sont étudiés: tout d'abord l'architecture générale d'un *animât* et la structure nécessaire à son « évolution » (diverses variétés de capteurs et d'actuateurs devraient pouvoir être utilisés) sont prises en compte et détaillées. Ensuite, l'utilisation et l'optimisation d'un module en logique asynchrone est proposé dans le but de répondre efficacement à la contrainte de diminution de la consommation d'énergie due à la communication radio.

RÉSULTATS :

Les résultats attendus sont une réduction des éléments logiques utilisés pour la réalisation du design en logique asynchrone, une diminution de la consommation due à l'écoute du réseau de radiocommunication. Enfin, à termes, une plateforme complète et fonctionnelle de développement d'algorithmes d'apprentissage sera fournie.

ROBATI, Tiyam **DIPLÔME: Ph.D.**

TITRE :

Le support matériel pour routeur virtuel (routeur d'agrégation) à haute vitesse

RÉSUMÉ :

Beaucoup de problèmes ont été signalés avec l'internet actuel et depuis longtemps ; ces problèmes sont des symptômes qui montrent qu'une approche globale est nécessaire pour y répondre. Les utilisateurs ne sont plus seulement connectés à Internet via les ordinateurs ; ils utilisent également les téléphones portables ou d'autres appareils reliés à Internet et qui montre que l'Internet actuel est loin d'être optimal dans un monde de la fibre optique et les communications sans fil. Par conséquent, la nécessité d'un futur Internet qui coexiste avec l'Internet actuel est évidente. Une solution intéressante à ce problème est la virtualisation de réseau qui est proposée pour soutenir différentes architectures de réseau et les protocoles sur une infrastructure réseau partagée. Un réseau virtualisé peut offrir la possibilité de louer des « tranches » de l'infrastructure de réseau qui ont le même matériel et les capacités du logiciel que l'infrastructure principale et, en louant les tranches à différents utilisateurs, un fournisseur peut mettre en œuvre une nouvelle architecture, protocoles et services dans un beaucoup plus facile ainsi qu'avec toute autre solution possible. Cette capacité est fondée sur le découplage de l'infrastructure des services.

PROBLÉMATIQUE :

Comment pouvons-nous isoler le trafic et toutes les ressources partagées entre les tranches d'avoir l'isolement complet ?
Quel type de support matériel que nous pouvons utiliser pour implémenter la virtualisation (Processeur réseau, FPGA, SoC, ...) ?
[C-2]

MÉTHODOLOGIE :

On vise à concevoir un SoC pour supporter la virtualisation afin de partager les ressources entre les tranches, en offrant le contrôle d'isolement complet ainsi que l'allocation de bande passante en fonction des priorités.
Il faut, en premier lieu, identifier les caractéristiques manquantes à un routeur classique pour supporter la virtualisation. Ensuite, on proposera une architecture supportant la virtualisation grâce à ces nouvelles caractéristiques. Finalement, on passera à l'implémentation dans le but de valider les concepts ainsi que la performance atteinte. L'implémentation se fera selon les étapes suivantes :
1. Module de codage différent dans C, puis SystemC
2. Produire SoC qui peut être utilisés pour la virtualisation dans le contexte de différentes

RÉSULTATS :

Aucun à ce jour.

ROGERS-VALLÉE, Michel **DIPLÔME: M.Sc.A.**

TITRE :

Une méthode d'estimation de la consommation de puissance pour systèmes sur puce reprogrammable.

RÉSUMÉ :

Le projet consiste à développer une bibliothèque à haut niveau de la consommation de puissance pour des modules standard de Xilinx. En utilisant la simulation SystemC de l'outil Space Codesign, il est possible d'accélérer le développement d'une architecture à faible consommation en évitant de faire des synthèses, qui sont très coûteuses en temps.

PROBLÉMATIQUE :

La consommation de puissance est une préoccupation importante de nos jours lors de la conception d'un système. De plus en plus les systèmes se complexifient et cette tendance augmente la consommation de fonctionnement. Puisque les sources (batterie et prise électrique) sont limitées, il faut constamment diminuer la consommation des systèmes. Bien qu'il existe des méthodes d'évaluation de la puissance au niveau RTL, de plus en plus de conception se fait à haut niveau (ex. : au niveau système) et de tels estimateurs de puissance ne sont pas disponibles. Le développement de cette bibliothèque permet de concilier les deux.

MÉTHODOLOGIE :

- Énumérer des composants de Space pour lesquels l'estimation de puissance est nécessaire. Isoler les différentes variables qui influencent la consommation de puissance. Faire varier chacune des variables et déterminer l'influence sur la consommation avec les outils de Xilinx (EDK et Xpower);
- Avec les données obtenues, créer des modèles de consommation de chacune des composantes.
- Développer une bibliothèque de composante à haut niveau d'abstraction et l'intégrer comme outil de Space Codesign ;
- Développer une méthodologie basée sur la séparation du comportement ou de l'architecture du module de la technologie d'implémentation du système. Cette séparation permettra de réutiliser les équations pour différentes technologies. Si la structure d'un nouveau composant est similaire à un composant présent, il est possible de réutiliser les équations pour accélérer son ajout dans la bibliothèque ;
- Effectuer un ensemble de comparaisons avec les outils de Xilinx et la réalité pour valider la méthodologie ;
- Intégrer des outils et proposer des méthodes pour diminuer la consommation en puissance d'une architecture utilisant la bibliothèque.

RÉSULTATS :

L'application de la méthodologie a été effectuée sur une gamme d'IP constituant un système embarqué (processeur, mémoire, bus interrupteur et minuterie). La précision des modèles se situe des les 15-20% d'erreurs et moins. De plus, la méthode permet, en utilisant l'outil Space Codesign, de faire une estimation de puissance qui est environ dix fois plus rapide que la méthode traditionnelle utilisant un simulateur (Modelsim) et un estimateur RTL (Xilinx Xpower). Le bus OPB est dans la phase finale de vérification et un test global avec une nouvelle application sera fait pour finaliser les données.

SALAM, Muhammad Tariqus **DIPLÔME: Ph.D.**

TITRE :

Microsystème biomédical implantable pour le traitement de l'épilepsie.

RÉSUMÉ :

Environ 50 millions de personnes dans le monde souffrent d'épilepsie, dont un tiers sont réfractaires aux médicaments antiépileptiques. Un nombre de ces derniers ne sont pas de bons candidats à la chirurgie ont continué à avoir des crises malgré la chirurgie. Ainsi, de nouvelles options thérapeutiques pour l'épilepsie réfractaire sont nécessaires. Un stimulateur cortical approprié pourrait être un mode plus sûr et efficace de traitement alternatif pour l'épilepsie réfractaire. Toute l'idée de ce traitement est d'identifier le début des crises et de bien stimuler la zone épileptogène de façon à supprimer une saisie à venir. Par conséquent, une faible puissance de détection de début des crises est nécessaire et elle doit être très sensible aux décharges anormales spécifiques électro graphiques.

PROBLÉMATIQUE :

De nombreux modèles mathématiques ont été développés pour détecter les crises, dont l'EEG intracérébral les modèles de base ont montré de meilleures performances que EEG de surface à base de modèles. Ces modèles ont été traduits en filtres passe-bande et en logiciels qui sont utiles pour les applications à court terme. En outre, l'amplification du signal neuronal est un enjeu crucial, parce que la performance relativement faible en termes de bruit de la technologie CMOS provoque plusieurs types de bruits indésirables, module le signal et diminue le rapport signal/bruit. Beaucoup de méthodes de pré amplification des signaux neuronaux ont été proposées, et certains ont démontré des capacités impressionnantes pour amplifier le potentiel de très faible amplitude-action. Il existe une variabilité dans le modèle de saisie en fonction de la localisation, de l'étiologie de la saisie et le placement des électrodes intracrâniennes. En outre, la détection des rythmes biologiques peut causer de fausses alarmes.

MÉTHODOLOGIE :

La faible puissance du détecteur de crise épileptique a un gain d'amplification réglable de sorte qu'il puisse mettre l'accent sur le niveau d'amplitude d'intérêt. Aussi les tensions de seuil variables d'un détecteur de niveau de tension délimitent les emplacements des signaux détectés et extrait les informations de la fréquence ainsi que l'augmentation progressive de l'amplitude. Permettre la syntonisation du détecteur haute fréquence facilite la détection précise de la fréquence des crises d'un patient. L'effet global des bruits et la consommation électrique de l'appareil sont réduits. Cette détection est censée être très fiable dans un dispositif implantable sans risquer de fausses détections des rythmes physiologiques (sommeil de broche). L'algorithme propose la saisie de détection et est applicable à tous les patients qui ont subi des crises fréquentes caractérisées par une augmentation progressive de la basse tension en pleine activité sur les enregistrements EEG intracérébraux.

RÉSULTATS :

Sept patients ont subi une étude intracrânienne pour mieux délimiter la zone épileptogène. Plusieurs saisies ont été enregistrées toutes originaires de l'hippocampe droit et la diffusion au néocortex latéral temporal et l'insula. Les onsets saisis ont été marqués par un épileptologue (DKN). Le début des crises a été caractérisé par une activité tonique initiale basse tension alpha dans l'évolution de dopage rythmique. Le signal enregistré lors d'une saisie a été introduite dans le CLNS pour tester la performance. Le CLNS utilise les propriétés de l'iEEG mesuré pour déclencher une suppression de la crise biphasique stimulation électrique dès l'apparition des crises. La performance de la CLSNS testée chez un patient souffrant d'épilepsie réfractaire a montré une détection précoce de la saisie à la stimulation sensible ultérieure. Une telle stimulation du foyer épileptogène peut espérer perturber la progression, la saisie et la propagation dans les régions adjacentes. Des stimulations préliminaires indiquent que les performances de ces dispositifs sont satisfaisantes. La validation expérimentale est réalisée.

SAVARD, Julien **DIPLÔME: Ph.D.**

TITRE :

Exploration d'une procédure de simulation native de système IMA avec une application avionique graphique

RÉSUMÉ :

Ce projet s'intègre dans le projet de recherche universitaire AREXIMAS, dirigé par l'École Polytechnique de Montréal, en collaboration avec l'École de Technologie Supérieur et du Consortium de Recherche et d'Innovation en Aérospatiale au Québec. Il vise à concevoir une méthodologie de conception, à partir d'un cas d'utilisation, faisant usage d'un environnement de simulation peu couteux. Une application d'une « Unité de Contrôle et d'Affichage Multi-usage » (MCDU) avec interface graphique sera développée et exécutée sur un simulateur de systèmes « Avioniques Modulaires Intégrés » (IMA). Celle-ci interagira avec un « Système de Gestion de Vol » (FMS) de CMC Électronique à travers des ports UDP/AFDX. La méthodologie proposée permettra d'évaluer le temps à allouer à chaque partition, la consommation mémoire, les taux d'utilisation des ports de communication, et les impacts collatéraux générés par les changements à la configuration du système.

PROBLÉMATIQUE :

L'objectif visé des IMA est de rassembler plusieurs applications sur une même plateforme pour réduire les coûts, ainsi que les temps de développement, de certification et de production, tout en accroissant la flexibilité des systèmes. Afin d'assurer la protection et la séparation fonctionnelle entre les applications critiques, l'industrie aéronautique a développé des interfaces standardisées de communication. La spécification ARINC 653, balise le partitionnement temporel et spatial d'un processeur pour celles-ci.

En dehors des systèmes d'exploitation dispendieux permettant le développement de systèmes ARINC 653, tel VxWorks653, il existe peu de savoir-faire pour les quelques environnements peu coûteux permettant de simuler ces systèmes durant la conception. Le présent projet vise donc à pallier à cette problématique en développant une méthodologie à partir d'un cas d'utilisation qui utilisera un simulateur à faible coût et permettra au développeur d'observer une série de métriques durant la conception qui seront cruciales pour la réalisation du système.

MÉTHODOLOGIE :

Le projet se réalisera en cinq phases :

1. Le développement d'une application graphique représentant un MCDU (norme ARINC 739A).
2. Identifier un simulateur de systèmes IMA, et l'utiliser pour l'exécution de l'application MCDU.
3. Intégrer le système MCDU à une application de FMS, fourni par une entreprise partenaire du projet, qui communiquera avec l'application MCDU par le biais d'un bus de communication UDP/AFDX, et permettra de la valider.
4. Valider le système, obtenir des informations sur les métriques, et développer la méthodologie.
5. Rédiger le mémoire en incluant tous les détails du projet

RÉSULTATS :

Le présent projet fournira une méthodologie de conception utilisant un simulateur à faible coût. Celle-ci permettra l'observation d'informations relatives à la consommation mémoire du système IMA, au taux d'utilisation de ses ports de communication, au temps d'exécution idéal à allouer à ses partitions, et aux effets collatéraux générés par ses différentes configurations. Une application avionique graphique sera également livrée pour être utilisée dans de futurs projets de recherche, notamment ceux de l'équipe d'AREXIMAS.

SEBBAR, Mohamed **DIPLÔME : M.Sc.A.**

TITRE :

Réalisation d'un système de conversion des couleurs pour un capteur d'images CMOS à photo détecteur sans filtre optique.

RÉSUMÉ :

Un capteur d'images couleurs CMOS sans filtre optique novateur en cours de développement permet de détecter les couleurs sans utiliser le filtre de Bayer. Il les détecte en utilisant la propriété d'un matériau semi-conducteur selon laquelle la profondeur de pénétration des ondes électromagnétiques varie avec la longueur d'onde. En utilisant cette propriété, le capteur permet de détecter trois composantes couleurs avec un seul pixel. Ce projet de recherche à pour but de trouver une méthode pour la conversion des couleurs de l'espace de couleurs du capteur en couleurs dans un espace standard et de réaliser son circuit numérique. Le deuxième volet de du travail est de concevoir un prototype de démonstration pour le nouveau capteur.

PROBLÉMATIQUE :

Dans la chaine de traitement d'image pour produire une image sur un media d'affichage à partir d'une image brute du capteur d'images, la conversion des couleurs est une étape importante. La première partie de du travail s'intéresse à la problématique de la conversion des couleurs en tenant compte des particularités du nouveau capteur d'images. La deuxième partie du travail s'intéresse à démontrer le bon fonctionnement du nouveau capteur en réalisant un prototype de démonstration contenant une chaine de traitement d'images et permettant de produire une image finale pour affichage.

MÉTHODOLOGIE :

La réalisation du projet de recherche a commencé par l'identification d'une méthode de conversion des couleurs convenable pour le nouveau capteur. Par la suite, cette méthode a été implémentée sous forme d'un GUI Matlab. Ensuite un circuit numérique réalisant la conversion des couleurs a été réalisé en VHDL. Finalement, le prototype de démonstration a été réalisé à base d'une carte de prototypage FPGA jumelée à un écran tactile. Ce prototype émule une caméra numérique.

RÉSULTATS :

L'implémentation Matlab de la méthode de conversion des couleurs a été terminée ainsi que son circuit numérique en VHDL. La réalisation de la caméra numérique a aussi été terminée. Elle a été réalisée sur une carte de prototypage FPGA d'Altera.

SHARAFI, Azadeh **DIPLÔME : Ph.D.**

TITRE :
Conception et mise en œuvre d'un micro-capteur non attaché pour la détection de tumeur du sein précoce.

RÉSUMÉ :
Selon l'Agence internationale de recherche sur le cancer (CIRC), avec 1,38 millions de nouveaux cas de cancer et 485 décès en 2008, le cancer du sein est le cancer le plus fréquent chez les femmes. Alors, il est nécessaire de développer de nouveaux outils pour diagnostiquer et traiter ce genre de cancer. En outre, un nouveau risque de la récurrence du cancer se pose après le traitement. Dans un tel cas, il est indispensable de détecter la tumeur le plus rapidement possible. Le moyen le plus efficace pour détecter les cellules tumorales est l'imagerie par résonance magnétique (IRM). Cependant, cette technique n'est pas en mesure de détecter de petites tumeurs en développement (<5 mm). Par conséquent, il est nécessaire de trouver de nouvelles méthodes pour détecter les tumeurs de moins de 5 mm. Des études montrent, lorsque la tumeur commence à grandir, certains paramètres micro-environnementaux, tel que le niveau de pH, changent. Il est possible de détecter la tumeur à son stade précoce par la mesure de ces paramètres en les comparants aux valeurs standards à l'aide d'un micro-capteur. Les contraintes sur la taille, l'alimentation et le système de communication entre le micro-capteur et le monde extérieur sont les questions les plus importantes qui devraient être abordées dans cette solution.

PROBLÉMATIQUE :

Comment détecter la récurrence du cancer lorsque la tumeur est inférieure à 5 mm?

MÉTHODOLOGIE :

Objectif général

Concevoir un micro-capteur pour détecter une tumeur en développement par mesures de variations de pH.

Objectifs spécifiques

1. Trouver la taille minimale détectable de la tumeur par le micro-capteur.
2. Trouver une résolution minimum de détection de pH par le micro-capteur.
3. Proposer un nouveau système de communication sans fil entre le micro-capteur et le monde extérieur.
4. Proposer un nouveau bloc d'alimentation pour le micro-capteur.
5. Validation du micro-capteur à travers des expériences *in-vitro*.

RÉSULTATS :

HSOC : En surveillant les variations de pH à l'aide de micro-capteur conçu, il est possible de détecter de nouvelles tumeurs en développement qui ne sont pas détectables par les techniques d'imagerie clinique actuelles.

Justification de l'originalité : La visualisation des tumeurs de petite taille (<5 mm) reste au-delà de la capacité des techniques cliniques actuelles.

Réfutabilité : L'hypothèse sera réfutée si la taille de la tumeur plus petite détectée par le micro-capteur conçu est plus de 5 mm dans l'une des dimensions spatiales.

SIADJINE NJINOWA, Marcel **DIPLÔME : Ph.D.**

TITRE :

Conception d'un transmetteur de faible consommation de puissance et applications dans les réseaux WBAN

RÉSUMÉ :

Ce travail de recherche porte sur la réduction de la consommation de puissance dans un transmetteur utilisé dans les réseaux sans fils sur la personne humaine(WBAN). Ces réseaux sont essentiellement constitués de capteurs et d'actuateurs disposés sur ou à proximité du corps humain pour mesurer différents paramètres physiologiques en différents endroits du corps humain. Les mesures effectuées sont remontées par voie radio vers une unité déportée laquelle va les traiter, les renvoyer, prendre des décisions, alerter, les enregistrer, etc. Afin d'améliorer les performances de ces réseaux, de grands efforts sont mis à contribution pour les rendre totalement intégrables sur puce. Ceci a pour effet de minimiser leurs tailles et leurs prix. La consommation de puissance dans ces réseaux sans fils doit aussi être minimisée dans l'optique d'améliorer la durée de vie des batteries qui assurent leur alimentation. Dans un premier temps, nous nous intéresserons à la consommation de puissance du générateur d'horloge dans ces réseaux. Dans ces réseaux, le générateur d'horloge est utilisé comme oscillateur local. Ainsi, nous proposerons des architectures d'oscillateur consommant moins de puissance et des techniques de réduction de la puissance et de gigue. Le choix de la focalisation de notre attention sur la réduction de l'énergie de l'oscillateur est justifié par le fait que 50% de l'énergie totale du synthétiseur d'horloge est consommée par l'oscillateur. Dans un second temps, notre attention sera portée sur la réduction de la consommation totale de puissance du transmetteur. Dépendamment des architectures, la consommation de puissance de l'amplificateur de puissance dans ces réseaux varie entre 40 et 60%.Nous tiendrons compte de cette information et proposerons de nouvelles architectures de transmetteur consommant le moins de puissance possible.

PROBLÉMATIQUE :

La caractéristique principale des réseaux sans fils sur la personne humaine(WBAN) est la fiabilité, leur taille et leur faible consommation de puissance étant donné que leur source d'énergie est généralement limitée. Dès lors que le bloc de génération d'horloge joue un rôle capital dans ces réseaux, celui de la synchronisation des opérations et de porteuse RF, il devient alors nécessaire d'optimiser ses performances à savoir la réduction de sa consommation de puissance et de son bruit de phase. Telle est la tâche qui nous incombe dans ce projet de recherche. Par ailleurs, nous nous intéresserons aussi à la réduction de la consommation de puissance du transmetteur en entier. En d'autres termes comment concevoir un système fiable, totalement intégrable et consommant le mois de puissance que possible ?

MÉTHODOLOGIE :

Dans un premier temps, nous focaliserons notre attention sur la réduction de la consommation de puissance de l'oscillateur car ce dernier consomme plus de la moitié de la consommation totale de puissance du générateur d'horloge. C'est ainsi que nous proposons de nouvelles cellules à délai consommant moins de puissance et qui serviront à la conception de l'oscillateur faible puissance. La conception et la simulation de cet oscillateur faible puissance se fait par le biais de l'outil Cadence. Étant donné que la gigue est l'une des sources de bruit de phase dans le générateur, nous proposons une technique de réduction de cette gigue.

Dans un second, nous intéresserons à l'augmentation de l'efficacité de notre transmetteur. Cette efficacité est définie comme le rapport de la puissance transmise et de la consommation totale de puissance du transmetteur. Étant donné qu'environ 60% de puissance est dissipée par l'amplificateur de puissance, Nous proposerons d'autres nouvelles architectures de transmetteur qui tiendront compte de cette réalité.

Enfin une implémentation sur puce du transmetteur proposé améliorera à coup sûr la mobilité, le suivi, le traitement des patients. Bref la qualité de vie des patients sera nettement améliorée.

RÉSULTATS :

A ce stade de nos travaux de recherche, nous avons déjà conçu un convertisseur de donnée DAC utilisant seulement les cellules normalisées. La technique de réduction de gigue utilise ce DAC et une application de cette technique dans un générateur d'horloge, le FRPS montre bien que la gigue initiale sur le FRPS a été réduite de moitié. Ces deux contributions ont fait l'objet de deux articles de conférence. Nous proposons aussi une nouvelle cellule à délai à faible consommation et son application dans un oscillateur. Ce qui fait présentement l'objet d'un article soumis.

D'autres résultats sont également attendus, à savoir un transmetteur simple et efficace

SIMARD, Guillaume **DIPLÔME : Ph.D.**

TITRE :

Télémétrie à haut débit pour des implants biomédicaux dédiés à l'enregistrement neuronal.

RÉSUMÉ :

Ce projet s'insère dans le cadre de la réalisation par l'équipe de neurotechnologies PolyStim d'un implant d'enregistrement neuronal. Il consiste à créer un nouveau transmetteur sans fil à haute vitesse et à évaluer le taux d'erreurs par bit (BER) acceptable pour ce type d'application.

PROBLÉMATIQUE :

Le domaine des implants biomédicaux est en effervescence. Les chercheurs tentent d'augmenter les capacités des implants en termes de frugalité énergétique, de vitesse de transmission et de miniaturisation afin de pouvoir mieux intégrer ces dispositifs aux systèmes biologiques qui répondent naturellement à ces critères. L'objectif est d'augmenter la vitesse de transmission du lien montant (intérieur vers extérieur) d'un implant biomédical, sans toutefois augmenter dramatiquement sa consommation en énergie et en respectant un nombre d'erreurs qui est à déterminer.

MÉTHODOLOGIE :

Simuler un lien complet de transmission des données et l'implant des erreurs sur cette chaîne afin de déterminer un taux d'erreur par bit acceptable (BER). À partir de ce taux d'erreur, concevoir un transmetteur à faible consommation d'énergie suffisamment rapide et fiable pour l'enregistrement neural. Deux types de transmetteurs sont à l'étude, l'un de type ultra-large bande à répétition d'impulsions et l'autre à couplage capacitif utilisant la technique MIMO.

RÉSULTATS :

Un transmetteur de type ultra-large bande a été fabriqué et est en cours de validation. Une correction au niveau de la puce doit être apportée afin de compléter les analyses de consommation énergétique de celle-ci. Les résultats sont attendus d'ici la fin de 2010. Des simulations sont en cours afin de déterminer le BER acceptable de ce transmetteur pour l'application de l'enregistrement neural et le travail de conception est en cours pour le transmetteur à couplage capacitif.

STIMPFLING, Thibaut **DIPLÔME : M.Sc.A.**

TITRE :

Conception et implémentation d'un processeur réseau dans le but de supporter la virtualisation d'un équipement réseau

RÉSUMÉ :

Les opérateurs de télécommunication (internet, téléphonie) font face à une explosion de l'utilisation en bande passante par leur client. En effet, les utilisateurs ont changé leurs habitudes de consommation pour un usage nomade. Désormais, les consommateurs veulent pouvoir accéder à Internet, à partir d'un « Smartphone », ordinateur, tablette ou télévision. La quantité de données échangées n'a cessée ainsi d'augmenter, poussant les fournisseurs d'accès à mettre en place des stratégies d'optimisation de l'utilisation des ressources de leur réseau. En effet, le déploiement d'une nouvelle architecture (fibre optique) entraine des coûts très élevés. La stratégie adoptée par les fournisseurs d'accès est de partager l'ensemble des ressources disponibles.
C'est dans ce contexte que s'inscrit la virtualisation des réseaux ; partager un équipement réseau physique entre plusieurs opérateurs. Les recherches effectuées visent à proposer une architecture d'un processeur réseau, dont les ressources peuvent être partitionnées et dédiées de manière dynamique.

PROBLÉMATIQUE :

Le problème considéré porte sur l'isolation entre chacun des opérateurs partageant l'équipement physique. Il s'agit en effet de garantir à chacun d'eux des ressources dédiées d'une part, mais aussi la capacité à utiliser des ressources sous-utilisées par certains autres opérateurs. On comprend ainsi que ce partage des ressources s'effectue de manière dynamique.

MÉTHODOLOGIE :

La méthodologie suivante sera suivie :

- Définir les besoins en termes d'isolation entre chacun des opérateurs
- Identifier des mécanismes existants pouvant correspondre aux fonctionnalités requises
- Identifier d'éventuelles limitations aux mécanismes existants et proposer des solutions
- Proposer une architecture générique répondant au problème

RÉSULTATS :

Une architecture générique a été présentée, se basant sur des mécanismes standards et non propriétaires. Néanmoins, aucune implémentation n'a été effectuée présentement. L'étape suivante est donc de modéliser cette architecture, d'évaluer son efficacité, via un langage de description tel que « SystemC ». Puis, on s'attachera à interagir entre ce processeur réseau et une unité gérant la communication entre plusieurs processeurs réseaux. On formalisera le rôle de cet « hyper viseur », pouvant être vu comme un « différenciateur de trafic » ou « isolateur de trafic ».

TANGUAY, Louis-François **DIPLÔME: Ph.D.**

TITRE :

Synthétiseur de fréquences RF à ultra-faible consommation dédié aux microsystèmes implantables.

RÉSUMÉ :

Nous proposons de concevoir un synthétiseur de fréquences RF à ultra-faible consommation destiné aux microsystèmes implantables de bio télémétrie à l'aide d'un procédé CMOS nanométrique. Le synthétiseur opérera dans la bande de fréquence ISM 902-928 MHz, il devra permettre la syntonisation de sept canaux, présenter un temps de démarrage de l'ordre de 10 us et une consommation de puissance inférieure à 1 mW.

PROBLÉMATIQUE :

Les microsystèmes biomédicaux implantables présentent un énorme potentiel pour la recherche en médecine. Les dispositifs médicaux intelligents implantables, qui combinent des capteurs et/ou des actuateurs avec des circuits intégrés, ouvrent la voie à des applications fascinantes. Aujourd'hui, la possibilité d'utiliser la technologie CMOS pour intégrer des circuits RF, numériques et même certains types de capteurs sur une même puce, suscite un vif intérêt dans un domaine nouveau: celui des réseaux de capteurs implantables, ou BSN (Body-Sensor Networks) et leurs applications en recherche biomédicale. L'implantation dans le corps de tels réseaux de capteurs sans fils permettraient de surveiller, détecter ou même combattre différentes maladies, et ce de manière *in situ*.

MÉTHODOLOGIE :

Dans cette optique, nous proposons de concevoir un synthétiseur de fréquences RF destiné aux microsystèmes implantables de bio télémétrie à l'aide d'un procédé CMOS nanométrique opérant avec une alimentation inférieure à 1V. Bien que les performances RF des transistors nanométriques soient très attrayantes, la tension d'alimentation très basse ainsi que l'impédance de sortie limitée de ces transistors compliquent la conception de circuits analogiques tels les miroirs de courant, les pompes à charge etc. Des méthodes de conception électronique innovatrices devront être utilisées et des compromis judicieux devront être faits afin d'obtenir les performances requises au niveau du bruit de phase, du temps de démarrage, de la consommation de puissance, etc. L'utilisation d'un procédé nanométrique CMOS, conjointement avec des techniques de conception de circuits analogiques à faible puissance telle la méthodologie gm/ID, permettront d'implémenter ce synthétiseur à consommation de puissance ultra faible.

RÉSULTATS :

Le circuit intégré d'un synthétiseur intégrer-N à consommation ultra-faible opérant dans la bande Industrielle, Scientifique et Médicale (ISM) de 902-928 MHz a été implémenté en technologie CMOS 90-nm et son fonctionnement a été validé en laboratoire. Ce synthétiseur, basé sur un PLL, permet la sélection de sept canaux dans la bande ISM et fournit les versions différentielles, I/Q des porteuses RF. Le circuit inclut une nouvelle architecture de LC-VCO auto-polarisé ainsi qu'une pompe à charge offrant une impédance de sortie très élevée sur une plage de tension de sortie s'étendant jusqu'à 100 mV des tensions d'alimentation. La consommation totale du synthétiseur, en excluant les tampons de sortie de test, est de 640µW.

TAPP, Martin **DIPLÔME : Ph.D.**

TITRE:
Interopérabilité des environnements de simulation distribués par génération de code dynamique.

RÉSUMÉ:
L'interopérabilité entre des environnements de simulation où les modèles objets utilisés et les technologies de communication diffèrent largement est un problème de grande envergure et c'est pourquoi une approche générique est proposée.

L'approche consiste à concentrer le développement logiciel sur la résolution des problèmes d'interopérabilité et non sur l'ensemble du logiciel nécessaire à l'interopérabilité (couches réseaux, protocoles, encodage et décodage des données réseaux, particularités des plates-formes,). Par l'entremise de fichiers décrivant les modèles objets et l'interopérabilité, il devient possible de lire ces descriptions pour ensuite générer le code réalisant l'interopérabilité. De plus, à l'aide des services de compilation dynamique de la technologie .NET, il devient possible de générer l'interopérabilité au moment même de l'exécution de l'application requérant l'interopérabilité i.e. génération de code dynamique. L'approche proposée permet donc de générer l'interopérabilité seulement à partir de définitions de modèles objets et d'interopérabilité entre ces modèles objets.

PROBLÉMATIQUE:
Depuis les événements du 11 septembre 2001, le besoin d'interconnecter rapidement différents environnements de simulation distribués (ESD) n'a cessé d'augmenter, notamment ceux basés sur les standards IEEE 1516 High Level Architecture (HLA) et IEEE 1278 Distributed Interactive Simulation (DIS). Que ce soit pour des fins d'entraînement ou pour l'évaluation de scénarios d'hostilités potentielles, l'interopérabilité entre ces environnements sans modifier les applications existantes est un défi majeur étant donné leurs différences au niveau des technologies de communication utilisées et au niveau de la complexité associée à la conversion des données réseaux à échanger. Peu importe l'approche utilisée, les solutions actuelles requièrent du développement logiciel cas par cas ce qui s'avère coûteux, consomme du temps et nécessite des connaissances techniques spécialisées (programmation réseau, particularités des protocoles, etc.).

MÉTHODOLOGIE:
La méthodologie utilisée pour ce projet est d'élaborer un prototype évolutif et de valider les hypothèses émises au travers de différentes phases, où les hypothèses d'évaluation de performance et de validation seront validées en continue au cours de l'évolution du prototype.

RÉSULTATS:
Les résultats suivants ont été obtenus :
Génération dynamique d'une composante logicielle représentant un modèle objet à partir de sa définition ;
Transformation de données réseaux dans le modèle objets générer dynamiquement pour les environnements de simulation basés sur HLA et DIS ;
Génération dynamique complète d'une composante logicielle représentant l'interopérabilité entre des modèles objets dans un format prototype défini en C#;
Interface utilisateur permettant de définir l'interopérabilité dans le format prototype défini en C#;
Passage de l'examen de synthèse ;
Rédaction partielle d'un article de journal pour «Transactions on Modeling and Computer Simulation».

Les résultats de recherche ont été établis dans le contexte des environnements de simulation distribuée STRIVETM (HLA) ET ITEMSTM (HLA et DIS) de CAE, ainsi que de OneSAF (HLA et DIS) de l'armée américaine.

TREMBLAY, José Philippe **DIPLÔME : Ph.D.**

TITRE :

Caractérisation de la fiabilité d'un réseau de transducteurs dans le domaine avionique

RÉSUMÉ :
Dans le cadre de ce projet, une nouvelle topologie d'un système de communications basée sur le protocole avionique AFDX/ARINC664 est proposée. Des ensembles de capteurs et d'actuateurs, géométriquement rapprochés, seront reliés entre eux par un bus secondaire régi par la norme ARINC825. La garantie de l'intégrité des données transmises, l'interopérabilité avec tous types de transducteurs ainsi que le respect des différentes contraintes du domaine avionique constituent les aspects prioritaires pris en compte lors du développement du réseau.

PROBLÉMATIQUE :

Dans l'industrie aéronautique, de nombreux systèmes de capteurs et d'actuateurs sont requis afin d'assurer un nombre grandissant de fonctions à bord d'un avion. Avec la technologie actuelle, la connexion de ces instruments demanderait un réseau encombrant de fils. Les différentes normes de sécurité des systèmes avioniques viennent encore plus compliquer les choses en demandant l'installation redondante de tous les composants à bord. De plus, la communication entre différents modules appartenant à divers domaines d'applications est maintenant requise dans les nouvelles plateformes avioniques, ce qui entraîne une augmentation marquée de la demande en bande passante à l'intérieur d'un aéronef tout en devant s'assurer de respecter l'intégrité des données critiques lors de leur transmission.

MÉTHODOLOGIE :

La première étape consiste au développement du bus secondaire selon la norme ARINC825. Afin de s'assurer de la fiabilité du système global, un mécanisme d'injections de fautes spécifiques au domaine aéronautique sera mise en place de manière à pouvoir stimuler le circuit. Une série d'observateurs matériels sera par la suite intégrée au système pour en assurer le respect de contraintes spécifiques. Ceux-ci seront basés sur les assertions matérielles, décrites à l'aide du langage PSL (Property Specification Langage). Finalement, la caractérisation de la fiabilité sera effectuée à l'aide d'une nouvelle méthodologie basée sur la théorie des valeurs extrêmes. L'application de cette dernière théorie permettra des réduire le nombre de fautes injectées pour en arriver au niveau de précision requis par le domaine avionique.

RÉSULTATS :

Un prototype, basé sur deux cartes FPGA, est présentement en production afin de valider la proposition quand à une partie de l'architecture globale. Les mécanismes d'injection de faute sont également insérés dans le réseau afin de valider la fiabilité du système. L'architecture proposée sera par la suite adaptée pour l'atteinte des objectifs fixés.

TRENTIN, Davide **DIPLÔME : M.Sc.A.**

TITRE:

Étude et implémentation d'un système de communication avionique.

RÉSUMÉ:

Le but du projet, qui se situe dans la cadre du projet Avio 402, est l'analyse et l'implémentation des certains sous-systèmes inclus dans l'architecture du projet principal. Une des taches principales du projet Avio 402 est la conception d'un système de transmission de données qui mette en communication les capteurs et les actuateurs avec l'ordinateur central de bord et, pour la réalisation de ce système, deux protocoles de communication différents sont utilisés : le ARINC 825 et le ARINC 664, Part 7 (AFDX). Le but de mon projet de recherche est l'analyse des implémentations possibles de trois parties de ce système : le contrôleur CAN (qui réalise la base du contrôleur de bus ARINC 825), le « End System » AFDX et le Switch AFDX. Les parties qui nécessitent une implémentation matérielle seront ainsi implémentées pour démontrer qu'il est possible respecter les contraintes du projet avec cette approche et pour réaliser un prototype du système.

PROBLÉMATIQUE :

Le projet Avio 402 nécessite l'implémentation d'un prototype pour évaluer la précision des résultats théoriques obtenus grâce à des modèles mathématiques. L'analyse des différents types d'implémentation possibles et la réalisation d'un prototype permettront aussi d'améliorer le « Technology Readiness Level » en déterminant les défis de mise en œuvre et les fonctionnalités offertes par les technologies utilisées.

MÉTHODOLOGIE :

Le prototype du système sera implémenté en utilisant des FPGA (en particulier, des Xilinx Spartan 6 ont été choisis) qui permettent d'implémenter les différentes parties du système en matériel et en logiciel dans le même dispositif. Puisque le « End System » AFDX peut être réalisé complètement en logiciel, un ordinateur sera utilisé au lieu d'un processeur embarqué pour simplifier l'interface avec des ports Ethernet (utilisées par ce protocole de communication) et pour permettre à d'autres étudiants de progresser dans leurs travaux de recherche en utilisant la même plateforme.

RÉSULTATS :

Le contrôleur CAN a déjà été implémenté en matériel (et modifié par un autre étudiant pour être adapté aux spécifications du protocole ARINC 825). Une étude sur le protocole AFDX à été complétée et les fonctionnalités que le « End System » doit garantir ont été déterminées et une approche software à été choisie pour sa réalisation. De premières modifications ont été faites au protocole Ethernet inclus dans Linux 2.6 pour ajouter les fonctionnalités requises par AFDX (un autre étudiant est maintenant en train de compléter cette migration).

TURGEON, Jean-Sébastien **DIPLÔME : M.Sc.A.**

TITRE :

Conception du module logiciel pour le diagnostique de fautes dans un circuit de la taille d'une tranche de silicium

RÉSUMÉ :

Suite à la création d'un noyau au niveau du logiciel WaferConnect pour créer une base solide pour l'implémentation de ces divers modules et faire adaptation des modules déjà existant à cette nouvelle structure, le projet a pour but de concevoir un algorithme permettant de déterminer l'état de la logique de la chaine de balayage dans chacune des cellules du WaferIC ; ceci inclut les liens JTAG les reliant.

PROBLÉMATIQUE :

Le projet est mené sous le projet de recherche DreamWafer qui propose une nouvelle plateforme de prototypage rapide de circuit électronique. Cette plateforme inclut un réseau d'interconnexion configurable réalisé sur un circuit intégré à l'échelle de la tranche de silicium : le WaferIC. Ce réseau est piloté par un logiciel : le WaferConnect.
Pour ce qui est du diagnostique, le waferIC étant un circuit intégré à l'échelle de la tranche ; il est certain qu'il y aura des erreurs sur sa surface puisque les procédés de fabrication ne sont pas parfait. Donc, pour obtenir un circuit tolérant aux pannes, il est important de déterminer à quels endroits ce trouve les défectuosités pour être capable de les éviter. L'objectif est donc de caractériser tous les liens pour être en mesure de produire les chemins optimaux pour la configuration du WaferIC. Il faut ensuite développer un module de communication permettant d'envoyer et d'interpréter les « bits stream » envoyé et reçu du matériel pour son diagnostique et sa configuration.

MÉTHODOLOGIE :

- Création du noyau logiciel sur lequel baser le module de diagnostique
- État de l'art sur les circuits JTAG tolérant aux fautes et leur diagnostique
- Division du problème en deux parties majeures : le diagnostique de la logique de la chaine de balayage et le module de communication entre le matériel et le logiciel
- Conception d'algorithmes pour résoudre chacun des sous problèmes
- Vérification de ces algorithmes à l'aide e tests de régression

RÉSULTATS :

Une version de l'outil de diagnostique a été implémentée. Les résultats préliminaires sont encourageants et suffisante. Une version de l'outil est développée pour permettre de l'inclure dans le logiciel développé dans le cadre du projet DreamWafer. Un mémoire de maitrise est aussi en rédaction.

VAKILI, Shervin **DIPLÔME : Ph.D.**

TITRE :

Optimisation de la largeur d'unités fonctionnelles et de chemins des données de processeurs configurables pour le traitement vidéo

RÉSUMÉ :

Ce projet propose deux nouvelles techniques d'optimisation pour le processus de conception de processeurs spécialisés (ASIP) et évalue leur efficacité.

PROBLÉMATIQUE :

La spécialisation de processeurs (ou la conception ASIP) est une approche de conception du matériel qui vise à combler le fossé entre des processeurs programmables et la conception ASIC. L'idée de base de cette tendance est de spécialiser les éléments architecturaux d'un processeur de base pour l'application cible en vue d'améliorer les facteurs d'efficacité.
L'objectif de ce projet est d'introduire deux optimisations nouvelles, qui peuvent être utilisées dans le processus de conception ASIP. Ces optimisations sont directement liées aux calculs en virgule fixe.
Dans les systèmes embarqués temps réel, le calcul en virgule fixe est normalement utilisé pour implémenter des applications de DSP et traitement vidéo.
Les éléments suivants décrivent brièvement ces optimisations.
-L'optimisation de la longueur des mots de variables dans l'application cible visant à améliorer la longueur du chemin de données (y compris les unités fonctionnelles, registres, etc.) dans l'ASIP.
-La sélection des techniques et des architectures appropriées pour implémenter unités fonctionnelles. La complexité de ce problème dépend du nombre de techniques disponibles pour chaque fonction, la largeur des opérandes, etc.

MÉTHODOLOGIE :

La recherche proposée est prévue pour être réalisée en quatre phases principales basée sur les objectifs. Pendant la première phase, nous allons développer un modèle de processeur personnalisé (ASIP), qui offre une capacité suffisante pour mettre en œuvre et évaluer les activités proposées dans les étapes ultérieures de ce projet. Dans la deuxième phase, nous allons développer une méthodologie de sélection automatique de largeur des mots pour être intégrés dans le processus de conception ASIP. Cette méthodologie est basée sur l'exploration de l'espace de conception et vise à optimiser le compromis coût-précision. La troisième phase introduira une méthodologie pour optimiser l'architecture et la mise en œuvre des unités fonctionnelles utilisées dans l'ASIP. Cette méthodologie est également intégrée dans le processus de développement de processeurs personnalisés.
La quatrième phase permettra de prolonger la méthodologie de la conception à des architectures plus avancées de processeur. Une optimisation complète dans ce nouvel espace de conception pourra aussi nécessiter quelques révisions et modifications sur les étapes précédentes.

RÉSULTATS :

Nous avons conçu un ASIP pour un algorithme de reproduction de tons (tone mapping)**.** Cet algorithme sera utilisé comme application cible pour tous les développements dans cette recherche. Nous avons ajouté trois instructions spécialisées à un processeur de base en utilisant le langage LISA. Les résultats de ce travail pourront être utilisés pour la comparaison dans les prochaines étapes de cette recherche.

ZARRABI, Houman **DIPLÔME : Ph.D.**

TITRE :

Conception et techniques d'évaluation pour la synthèse efficace de microsystèmes à faible énergie.

RÉSUMÉ :

La conception et les solutions d'évaluation qui peuvent contribuer à la synthèse précise de microsystèmes à faible énergie sont fortement appréciées par l'industrie. La proposition pour la conception de ces solutions et d'estimation est l'accent principal de ce projet de recherche. La recherche a commencé avec la proposition de modèles d'estimation de gains d'énergie dans les plates-formes informatiques. Ces modèles ont été généralisés pour inclure les modèles de plateformes capables de gérer l'énergie. Plus tard, un modèle de délai plus précis, ainsi qu'une nouvelle méthodologie tenant compte de l'effet d'interconnexions, ont été proposées pour l'utilisation efficace de la puissance gérée microsystèmes. Actuellement, des solutions de conception pour la synthèse de Microsystems à faible énergie, portatif, utilisant une plate-forme technologique Wireless Sensor Network (WSN), sont à l'étude.

PROBLÉMATIQUE :

La principale préoccupation dans la conception et la synthèse des Microsystems portables, y compris les réseaux de capteurs, est la consommation d'énergie. La Modélisation précise des plates-formes de traitement est le défi principal pour l'évaluation des gains d'énergie. Pour la modélisation des délais, une modélisation précise de système de traitement est le principal défi. Finalement, pour la synthèse à haut rendement énergétique des microsystèmes, la complexité du système est le défi de conception.

MÉTHODOLOGIE :

Nous nous inspirons de la loi d'Amdahl et l'appliquons aux composants du système de modélisation pour l'énergie. Nous avons fait une analogie à cette loi (parties fixes et variables système de traitement) pour modéliser les délais. Pour la synthèse du microsystème à faible énergie, nous profilons l'application et faisons levier pour proposer des solutions de conception basées sur le profil des applications embarquées. Dans nos recherches actuelles, nous profilons des applications WSN et nous essayons de gérer la consommation d'énergie sur la base des informations de profil obtenues.

RÉSULTATS :

Les résultats obtenus depuis le début de la recherche peuvent se résumer ainsi :

- Modèles de l'énergie ont été proposées pour estimer les gains d'énergie possibles, ainsi que ses limites, lors de l'utilisation des microsystèmes configurable capable de gérer l'énergie ;
- Un modèle de retard de système incluant des effets d'interconnect, y compris les effets d'interconnexion, une estimation précise et la fonctionnalité de plates-formes exécutant Dynamic Voltage and Frequency Scaling (DVFS), ont été proposé;
- Modèles de l'énergie pour les applications réseaux de capteurs sont obtenus et les techniques de gestion de l'énergie sont à l'étude.

ZHANG, Khai **DIPLÔME : Ph.D.**

TITRE :

Spectromètre en technologie CMOS basé sur le phénomène d'absorption du rayonnement électromagnétique

RÉSUMÉ :

Les éléments de dispersion sont irremplaçables dans les spectromètres modernes. Dans ce projet, nous proposons une nouvelle méthode pour la détection du spectre basée sur l'absorption des longueurs d'onde dans du silicium fabriqué en technologie CMOS sans utilisation d'éléments de dispersion.
La technologie CMOS est une technologie très mature de sorte que le détecteur et les composants de traitement de signal peuvent être implémentés sur la même puce. Ce principe de détection est différent de celui des spectroscopes traditionnels. La profondeur de pénétration de la lumière incidente dépend de la longueur d'onde pour un matériau semi-conducteur spécifique de sorte qu'on peut avoir l'information spectrale en mesurant les paires électron-trou générés par les photons en fonction de la profondeur.

PROBLÉMATIQUE :

Les photons avec différentes longueurs d'ondes pénètrent à différentes profondeurs et génèrent des pairs électrons-trous dans le silicium. Nous détectons le profile des charges en excès dans le but de dresser l'information spectrale. Pour y arriver, la génération et la recombinaison des charges et le transport des charges doivent être étudiés. Le transport des charges en excès dépend de la concentration des dopants, de la distribution des champs électrique et magnétique, du taux de génération et de recombinaison, des courants de dérive et de diffusion, des recombinaisons en surface qui réduisent le nombre de charge générées prés de la surface, de la durée de vie des charges, de la température et de la géométrie du dispositif. Étudier ces facteurs et optimiser le design nous aidera à dresser le profile des longueurs d'ondes incidentes. En outre, pour une fabrication en technologie CMOS, certains paramètres de géométrie sont limités.

MÉTHODOLOGIE :

Nous commençons notre recherche par le calcul de la génération et la recombinaison des charges en excès dans le substrat de silicium dopé légèrement et dans la région de déplétion respectivement. Ensuite, nous calculons les courants de dérive et de diffusion dans des conditions idéales avec des champs électriques et magnétiques uniformes. Certains résultats expérimentaux valident l'idée de détection. Ensuite, nous considérons plus de facteurs comme le taux de génération-recombinaison, la recombinaison en surface, le transport dans la région de déplétion et le champ électrique non uniforme, pour décrire le transport des charges en excès dans tout le dispositif et les effets de chaque facteur. En même temps, dans le but de soutenir et modifier le calcul théorique, nous simulons le modèle du dispositif à l'aide de COMSOL, un logiciel de calcul par éléments finis et nous fabriquons des prototypes pour faire des expériences.

RÉSULTATS :

Nous avons déjà établi l'équation théorique pour décrire le transport des charges en excès générées dans un substrat du silicium légèrement dopé sous un champ électrique-magnétique uniforme. Certaines expériences préliminaires sur des prototypes ont validées l'idée de la détection. Elles ont prouvées la possibilité de réaliser un spectromètre avec le principe de l'absorption des longueurs d'ondes en détectant les charges en excès générées en fonction de la profondeur. Maintenant, nous nous concentrons sur la génération- combinaison des charges dans la zone de déplétion et nous avons quelques résultats de simulation.

ZHENG, Yushan **DIPLÔME : Ph.D.**

TITRE :

Laboratoire sur puce pour la manipulation de particules biologiques par champ magnétique.

RÉSUMÉ :

Dans certaines billes magnétiques en fonction des applications de laboratoire sur une puce, la capacité à haut débit est nécessaire. Nous proposons une méthode d'optimisation de réseau micro bobines plane. Les résultats de simulation par éléments finis montrent logiciels (Finite Element Analysis) que la topologie proposée a le meilleur rendement par rapport à la topologie classique en raison de la résolution des problèmes d'interaction entre les perles, nous introduit également une méthode à faible consommation fonctionnement du réseau bobines, qui peuvent également soulager le problème de chauffage dans le canal. Le système microfluidique combinant le tableau proposé bobine et schéma de fonctionnement est adapté à des applications de haut débit LoC (Laboratoire sur puce).

PROBLÉMATIQUE :

Pour générer le champ magnétique de diffusion de la microfluidique, en chaîne ou bobines planaires sur puce sont préférables par rapport à ferromagnétiques externe, parce que l'intensité du flux magnétique et la direction peut être modifiée en changeant simplement le courant passant dans les bobines, ce qui entraîne une plus un contrôle flexible. La plupart des travaux précédents sont basés sur la manipulation à une seule bobine ou simple manipulation topologique tableau bobines, qui s'applique à une seule particule ou la manipulation à faible débit. Toutefois, pour certaines applications de laboratoire sur une puce, tels que la purification, de détection rapide, etc., la capacité à haut débit est nécessaire. Par conséquent, l'optimisation de la topologie réseau micro bobines est nécessaire.

MÉTHODOLOGIE :

Notre étude de l'année dernière vise à explorer la topologie la plus efficace de bobines planaires tableau pour la manipulation de masse des billes magnétiques dans le canal. Les résultats de simulation ont permit de minimiser la dimension de bobines à la restriction, des résultats de fabrication dans le meilleur efficace, reflétant la force magnétique optimisée et augmenter le territoire de piégeage. Pendant ce temps, un régime à faible consommation opération sur la base balayage circulaire est introduit.

RÉSULTATS :

Par le biais de remplacement de la bobine d'origine, avec sept petites bobines dans la même zone donnée, nous pouvons obtenir un plus fort champ magnétique à proximité du centre chaque bobine et un plus grand total de piégeage zone sur la superficie de micro canaux. Aussi, pour minimiser la consommation d'énergie et de la chaleur générée par effet Joule tableau bobine, un mode de fonctionnement basé sur balayage circulaire est introduit. En partageant une seule source de courant, en vue macroscopique, toutes les bobines de travailler ensemble, mais en fait, une seule bobine fonctionne en même temps. Cette méthode d'optimisation est prouvée par les deux analyses théoriques et les résultats de simulation du logiciel FEA.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés dans ce rapport sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels.)

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Audet, Y.	CRSNG	15,300.00 $	2007 – 2011	«Integration of Surface Plasmon Polaritons into CMOS Circuits»
Bois, G.	CRSNG	25,000.00 $	2009 – 2014	«Design and Verification of Embedded Systems in the Context of the ESL Paradigm»
Boyer, F.R.	CRSNG	75,000.00 $	2006 – 2011	«Variable clock period for low power and high performance»
David, J.P.	CRSNG	75,000.00 $	2007 – 2012	«Description et synthèse automatique de réseaux de machines algorithmiques évoluées»
David, J.P	MITACS	30,000.00 $	2010-2011	«Implantation d'applications sur un modèle de treillis de calcul pour FPGA Accélération Québec »
David, J.P.	FCI	922,302.00 $	2011-2013	« Laboratoire VESI (Very Efficient System Implementation)»
Kashyap, R.	CRSNG	35,500.00 $	2008 – 2010	«Self-organized, ultra-stable, beat frequency laser»
Kashyap, R.,	NCE (CIPI)	76,000.00 $	2010	«Laser Cooling: LICOS»
Kashyap, R.,	NCE (CIPI)	114,000.00 $	2010	«Damage Resistant Fibers: DROPS»
Kashyap, R.,	CRSNG	120,600.00 R	2010	«HyFi Bragg
Kashyap, R.,	NCE (CIPI)	55,000.00 $	2010	«Polecat (Poling)
Kashyap, R.	CRSNG	99,500.00 $	2008 – 2010	«NODES: Nonlinear Optical Devices for Sensing and communications»
Kashyap, R.	CRSNG	35,500.00 $	2008 – 2011	«Atom guidance in polymer fibers»
Kashyap, R.	CRSNG	4,500.00 $	2009 – 2010	«Optical Delay Lines using conjugate optics»
Kashyap, R.	NCE CIPI Tech. Exploitation and Networking Student	7,700.00 $	2009 – 2010	«Glass based sensors»
Kashyap, R.	NCE CIPI Tech. Exploitation and Networking Student	1,500.00 $	2009 – 2010	«Hollow-grams»
Kashyap, R.	CRSNG	52,500.00 $	2009 – 2011	«Ultra-long gratings»
Kashyap, R.	FQRNT	19,500.00 $	2009 – 2011	«Non-linear optics based a thermal broadband source for dual-wavelength OCT»
Kashyap, R.,	FQRNT	73,500.00 $	2009-2012	« Broadband NLO Waveguides»

Kashyap, R.,	Gouvernement du Canada	1,400,000.00 $	2010-2017	«Chaire de Recherche du Canada»
Kashyap, R.,	NCE (CIPI)	40,000.00 $	2011	«Dynamic Iris (Conf)»
Kashyap, R.,	IEEE	7,500.00 $	2011	MID IR Fibers Conf».
Kashyap, R.,	NCE (CIPI)	7,500.00 $	2011	«WFOPC 2011 Conf. »
Kashyap, R.	NSERC PGS for PhD student: Jerome Lapointe	20,000.00 $	2011-2013	«Fs Laser Writing of Waveguides in Crystalline Media»
Kashyap, R.	NSERC	48,000.00 $	2011-2015	«SOCRATES: Solid state Optical Cooling in Rare earth»
Langlois, P.	CRSNG	81,000.00 $	2007 – 2012	«Méthodologies de conception pour processeurs spécialisés»
Langlois, P.	CRSNG	25,000.00 $	2011	«Computer vision system for inventory inspection in a health-care setting Programme de subventions d'engagement partenarial»
Martel, S.	Chaire de Recherche du Canada	100,000.00 $	2006 – 2010	«Conception de micro/nano systèmes»
Martel, S.	CRSNG	44,000.00 $	2007 – 2011	«Magneto tactic Bacteria-based Micro robots»
Martel, S.,	Chaire de Recherche Ecole Polytechnique	60,000.00 $	2011-2015	Développement et construction de plateformes de ciblage thérapeutique directe
Nicolescu, G.	CRSNG	26,000.00 $	2009 – 2013	«System-Level Design for Heterogeneous Integrated Systems»
Nicolescu, G.	CRSNG	42,750.00 $	2011 – 2013	«3-D System-Level Design for next Generation Ubiquitous Networks»
Savaria, Y.	Chaire de Recherche du Canada	200,000.00 $	2008 – 2014	«Conception des microsystèmes et systèmes microélectroniques»
Savaria, Y.	CRSNG	56,000.00 $	2009 – 2013	«Tools and Design Techniques for High-Performance Low-Power MPSoCs Using Optimized Asip Architectures»
Savaria, Y.	MITACS – FQRNT	135,000.00 $	2009 – 2010	«Subvention de stages»
Sawan, M.	CRSNG	284,000.00 $	2007 – 2012	«Medical Microsystems Dedicated for Wireless Sensing»
Sawan, M.	Chaire de Recherche du Canada	200,000.00 $	2009 – 2013	«Dispositifs médicaux intelligents»

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Aboulhamid, M., Bois, G., Nicolescu, G., Tahar, S.	CRSNG	200,000.00 $	2007 – 2010	«From Modeling to Prototyping Advanced Wireless Systems»
Aboulhamid, M., Bois, G., Nicolescu, G., Tahar, S.	STMicroelectronics	30,000.00 $	2007 – 2010	«From Modeling to Prototyping Advanced Wireless Systems»
Bois, G., Boland, J.-F., Thibeault, C.	CRIAQ, CAE Electronics, CMC Electronics	99,600.00 $	2009 – 2010	«Architecture exploration for high-integrated and low-cost avionic systems»
Bois, G., Nicolescu, G.	NSERC	100,000.00 $	2009 – 2010	«Design Exploration for Massively Parallel-Processing Systems»
Bois, G., Nicolescu, G.	CRSNG	98,250.00 $	2008 – 2010	«Exploring Advanced Technologies and Architectures for Massively Parallel Processing Systems based on Networks-on-Chip»
Bois, G., Nicolescu, G.	CRSNG Équipement	10,000.00 $	2008 – 2010	«Exploring Advanced Technologies and Architectures for Massively Parallel Processing Systems based on Networks-on-Chip»
Bushmann, M., Sawan, M., et 20 autres	FRSQ	1 250,000.00 $	2007 – 2011	«Groupe de recherche en Sciences et Technologies de la Santé»
Cheriet, F., Nicolescu, G., Martel, S.	NATEQ	48,000.00 $	2009 – 2011	«Multimodal platform for visualization of vascular structures in guided surgery»
Cherkaoui, O., Savaria, Y.	NSERC, Operating	147,392.00 $	2010 - 2012	«On the virtualization of the network equipment : NETVIRT»
Cherkaoui, O., Savaria, Y., et 3 autres	Prompt	112,500.00 $	2009 – 2011	«Next-Generation Internet» (NGI)»
David, J.-P., Savaria, Y.,	FCI	346,711.00 $	2011-2013	«Laboratoire VESI (Very Efficient System Implemention)»
David, J.-P., Feeley, M., Langlois, P.	Prompt	126,000.00 $	2009 – 2011	«Calcul parallèle pour la visualization temps reel d'infrastructures représentées par des polynômes»
El-Sheimy, N., Hunter, A., Langlois, P.	GEOIDE Phase IV	265,000.00 $	2009 – 2012	«Multi-Sensors Systems for Tracking and Mobility Applications»
Fernandez J., David J.P.	FQRNT	108 000$	2010-2012	«La sécurité de la technologie RFID utilisée pour l'authentification » Projet de recherche en équipe
Kashyap, R., et 7 autres	CRSNG	1,150,000.00 $	2010-2013	«Integrated Sensor Systems»
Kashyap, R., et 8 autres	CFI Infrastucture	3,700,000.00 $	2010-2012	«FABULAS»
Kirk, Kashyap, R., et 7 autres	CRSNG	1,150,000.00	2010-2013	«Integrated Sensor Systems»
Laurin, J.-J., Savaria, Y., Boone, F., Fabry, P.	CRSNG	190,200.00 $	2009 – 2011	«Exploring simplifications to electronically steerable antennas for meteorological radars»
Lesur, O., Cheriet, F., Nicolescu, G., Jouvet, P.	FRSQ	185,000.00 $	2010 – 2012	«Diagnostic and treatment of pulmonar inflammation based on a system macro and micro imaging»

Martel, S. et 8 autres	CQDM	684,155.00 $	2011-2014	«SN-38 (or5-FU) drug encapsulation in liposomes transported by magneto tactic bacteria for localized colorectal cancer treatment»
Martel, S., et 5 autres	CIHR	72,971.00 $	2009 – 2011	«MRI Based Targeting of Therapeutic Magnetic Micro Carriers for Chemoembolization of Liver Tumours»
Martel, S., Ferreira, A.	FQRNT-FQRSC	15,000.00 $	2009 – 2011	«Optimisation d'une plateforme interventionnelle pour le ciblage thérapeutique»
Martel, S., et 2 autres	NSERC	111,000.00 $	2008 - 2011	«Magnetic catheter and guide wire navigation platform based on a MRI system for diagnostic or therapeutic»
Martel, S., Savaria, Y., Dubois, C.	CRSNG	116,500.00 $	2007 – 2010	«High-speed nanoprobes-based processes for sub-micrometer electronic interconnects»
McWalter, I., Savaria, Y., et 8 autres	FCI – Équipement	9 600,000.00 $	2009 – 2014	«EmSYSCAN : Embedded Systems Canada»
Nicolescu, G., Bois, G., Tahar, S., Aboulham, M.	CRSNG	213,000.00 $	2010 – 2012	«3D System-Level Design for Next-Generation Ubiquitous Networks»
Nicolescu, G., Bois, G.,	CRSNG	196,500.00 $	2008-2010	«Exploring Advanced Technologies and Architectures for Massively Parallel Processing Systems based on Networks-on-Chip»
Nicolescu, G., Bois, G.,	STMicroelectronics	20,000.00 $	2008-2010	«Exploring Advanced Technologies and Architectures for Massively Parallel Processing Systems based on Networks-on-Chip»
Pesant, G., Antoniol, G., Guéhéneuc, Y., Nicolescu, G.	NATEQ	58,500.00 $	2009 – 2011	«Constrains Programming for Embedded Systems Validation»
Savaria, Y., Bois, G., David, J.-P., Langlois, P., Aboulhamid, M.	FQRNT	199,280.00 $	2009 – 2012	«Méthodes de conception pour l'exploitation de MPSoC haute performance»
Savaria, Y., Sawan, M., Blaquière, Y., Izquierdo, R.	Prompt – Québec	420,000.00 $	2009 – 2011	«Experimental Validation of DreamWafer ™ Micro fabrication with Thermal /Mechanical and Distributed Power Control Interconnecting Chips, PCBs»
Savaria, Y., Sawan, M., Blaquière, Y., Izquierdo, R.	CRSNG Technocap	773,767.00 $ 455,157.00 $	2009 – 2011 2009 – 2011	«Experimental Validation of DreamWafer ™ Micro fabrication with Thermal /Mechanical and Distributed Power Control Interconnecting Chips, PCBs»
Savaria, Y., David, J.-P., Bois, G., Langlois, P., Aboulhamid, E.M.	FQRNT	150,540.00 $	2009 – 2011	«Systèmes MPSoC extensibles: de l'exploration aux applications»
Savaria, Y., David, J.-P., Bois, G., Langlois, P., Aboulhamid, E.M.	FQRNT Fonctionnement	149,460.00 $	2009 – 2011	«Systèmes MPSoC extensibles: de l'exploration aux applications»

Savaria, Y., Blaquière, Y., Izquierdo, R., Lakhssasi, A.	MDEIE	700,000.00 $	2011	«Maturation des brevets des universités par le perfectionnement, le développement et la mise à l'essai d'un microsystème à base de circuits intégrés de grande taille
Sawan, M., Lesage, F., Lassonde, M., Tardif, J-C.	Instituts de recherche en Santé du Canada (IRSC)	1 745,500.00 $	2009 – 2014	«A portable wireless near infrared spectroscopy system combined with electroencephalography for bedside monitoring of stroke and cardiac patients»
Sawan, M., Lesage, F., Lassonde, M., Tardif, J-C.	Instituts de recherche en Santé du Canada (IRSC)	614,500.00 $	2009 – 2014	«A portable wireless near infrared spectroscopy system combined with electroencephalography for bedside monitoring of stroke and cardiac patients»
Sawan, M., Chaudauri, A.	NSERC, Strategic Grant	192,000.00 $	2009 - 2012	«Intracortical Multiunit Implant to Create Vision for Blinds: Integration and validation»
Sawan, M., et 9 autres	Fondation Canadienne pour l'Innovation (FCI)	4 000, 000.00 $	2009 – 2012	«Design, test, assembly and packaging platform for the construction of innovative Microsystems»
Sawan, M., Savaria, Y., Bois, G., et 24 autres	FQRNT	406,500.00 $	2008 – 2014	«Analog, digital and RF circuits and systems design»
Sawan, M., et 27 autres	FQRNT, Research Center	348,000.00 $	2008 - 2012	«Microsystems Research Alliance of Quebec (ReSMiQ)»
Sawan, M., Kashyap, R., et 6 autres	CRSNG/CRIAQ	480,000.00 $	2009-2013	«Sky Sensors»
Sawan, M., and 6 others	MITACS	70,000 $	2010-2012	«Data Networks and Smart Sensors for Safety-Critical Avionics Applications»
Sawan, M., Savaria, Y., et 6 autres	CRIAQ-AVIO 402, CRIAQ, NSERC-CRD, Mitacs, Bombardier, Thales	231,000.00 $	2010 - 2013	«Data Networks and Smart Sensors for Safety-Critical Avionics Applications»
Thibeault, C., Gagnon, F., Savaria, Y.,	PROMPT-Québec	53,125.00 $	2010-2011	Methodology and Platform for Power Efficient Wireless DSP Algorithm Implementations
Thibeault, C., Audet, Y., Blaquière, Savaria, Y.,	CRIAQ/Bombar-dier/MDA	328,500.00 $	2011 – 2013	«Méthodologie de conception, vérification et test des systèmes embarqués tolérant aux radiations»
Wu, K., Kashyap, R.	CRSNG	162,500.00 $	2008 – 2012	«CREER»

ÉQUIPEMENT ÉLECTRONIQUE

Le groupe GR2M possède un ensemble diversifié d'équipements électronique provenant de diverses subventions (FCI, NATEQ, NSERC, SCM/CMC) obtenues par les différents professeurs membre du GR2M.

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GR2M.polymtl.ca)

NB	Fabriquant	Modèle	Description
1	AEROFLEX	IFR3413	Générateur de signal RF 3GHz
1	Agilent	16034H	Test fixture
1	Agilent	16047E	Test Fixtures 40 Hz to 110 MHz
1	Agilent	16048G	Test Leads
1	Agilent	16065A	Ext Voltage Bias Fixture
1	Agilent	16314A	Balance /unbalance 4 terminal converter
1	Agilent	33250A	0-80MHz WaveForm Generator
1	Agilent	4294-61001	Impedance Analyser fixture 100 □
1	Agilent	4294A	Impedance Analyzer 40Hz-110MHz
2	Agilent	E3631A	Power Supply
1	Agilent	E3641A	Power Supply
1	Agilent	E3642A	Power Supply
1	Agilent	E3646A	Power Supply
1	Agilent	E3647A	Power Supply
1	Agilent	N5771A	System dc power supply
1	AVR ICE		Microcontroler programmer and debugger
1	Barnstead / Thermolyne	F30430CM	Programmable furnace
1	BK	879	LCR meter
1	BK	4011	FUNCTION GENERATOR
1	BP microsystem	FP1700/240	Universal programmer
1	BP microsystem	SM100VQ	
1	BP microsystem	SM128CS	
1	BP microsystem	SM84UP	
1	BP microsystem	SM56TB	TSSOP 56 PINS
1	Casira		Bluetooth
1	CMC/AMI	9444-04-R1	DUT BOARD
1	Data Physics	A-120	Power Supply
1	Data Physics	DP-V011	Shaker
1	Data Translation	DT9834-16-0-12-BNC	High Performance Multifunction Data acquisition USB
1	Fluke	177	True RMS Multimeter
1	HP	54124	Four Chanel test set DC to 50 Ghz
1	HP	16500B	Logic Analyzer
1	HP	16550A	100Mhz STATE/500Mhz TIMING
1	HP	1741A	Oscilloscope
1	HP	3580A	Spectrum Analyzer
1	HP	3709B	Constellation Analyzer
1	HP	54006A	Probe 6 GHz
1	HP	54007A	accessory kit
1	HP	54120B	Sampling oscilloscope 50GHz
1	HP	54616B	Oscilloscope 500MHz
2	HP	54645D	Mixed signal oscilloscope 100MHz
1	HP	6202B	DC Power supply
1	HP	6202B	DC Power supply
1	HP	8111A	Pulse Function Generator 20 Mhz
1	HP	8553L	Spectrum Analyzer 110MHz
2	Instek	PC-3030	Power Supply
1	Intel	EVAL80960VH	INTEL 80960VH Developpement board
1	Intel	KEIXP 12EBAB	Network processor development platform
1	INES	GPIB	PCI Card (dans un pc)

1	Karl Suss	10577065	Probe station

ÉQUIPEMENTS APPARTENANTS AU GROUPE (www.GR2M.polymtl.ca)

NB	Fabriquant	Modèle	Description
5	Karl Suss	PH120	Manual Probe Head
1	Karl Suss	PH600	Semi-auto Probe Head
2	Karl Suss	Z040-K3N-GSG-100	RF probe 100um dc-40 GHz,Z probe
2	Keithley	2002	Precision Multimeter
1	LEITCH	SPG-1680MB	Sync Pulse Generator
1	Logical Device	QUV-T8Z	UV ERASER
1	METCAL	MX500P-11	Fer à souder surface mount
2	Microchip	ICD2	Microcontroler programmeur
1	MIRANDA	DAC-100	4224 DAC
1	Miranda	Expresso	
1	MiroTech	VME+PC	Cabinet
1	Nahishige	MB-PB	Micromanipulator
1	NI	PXI-1042	PXI BUS
1	NI	PXI-6071E	Analog input multifunction
1	NI	PXI-6071E	Analog input multifunction
1	NI	PXI-8186	Embedded Controler P4 2.2 GHz
3	Philips	PE1514	Power Supply
1	PHILIPS	PM3055	Oscilloscope 20 Mhz
1	PolyScience	5L	Saline Bath
1	Sanyo	VCC3700	Camera couleur + power supply
1	SONY	PVM-1354Q	Télévision
1	SRS	SR560	low noise préamp.
1	SRS	SR785	Signal Analyzer
1	SUN	960	Data center cabinet
1	Tektronix	3002	Logic Analyzer
1	Tektronix	7623	Oscilloscope
1	Tektronix	011-0055-02	75 Ω feedthrough
1	Tektronix	012-1605-00	Interface cable
1	Tektronix	067-0484-01	Differential deskew fixture
1	Tektronix	CSA7404B	Communication Signal Analyser
4	Tektronix	FG502	Function Generator
1	Tektronix	P6139A	Sonde 500MHz
2	Tektronix	P6243	Probe 10X 1GHz
4	Tektronix	P6245	sonde 1.5Ghz 10X pour TDS7154
1	Tektronix	P6418	Sonde Logique 16ch
7	Tektronix	P6470	Pattern Generator v1.0 17 ch
2	Tektronix	P6810	Sonde logique haute performance 32ch
1	Tektronix	P7240	Sonde active 5X
1	Tektronix	P7350	Sonde différentielle 5GHz
1	Tektronix	PG506	Calibration Generator
1	Tektronix	SG503	Sine Wave Generator
1	Tektronix	TCA-1MEG	Adapteur d'impédence 50□1M□
1	Tektronix	TCA-1MEG	Adapteur d'impédence 50□1M□
1	Tektronix	TCA-SMA	adaptateur TCA-SMA
1	Tektronix	TCP202	Sonde de courant de précision DC
1	Tektronix	TCP312	Sonde de courant de précision AC/DC
1	Tektronix	TCPA300	Amplifier ac/dc current probe power supply
1	Tektronix	TDS3054B	Oscilloscope PORTABLE
4	Tektronix	TDS320	Oscilloscope 100Mhz 2ch.
1	Tektronix	TDS3AAM	Advanced Analysis Module (TDS3054B)
1	Tektronix	TDS3LIM	Limit Testing Module (TDS3054B)
1	Tektronix	TDS3VID	Advanved Video Module (TDS3054B)
1	Tektronix	TDS7154	Oscilloscope 1.5GHz 4ch.

2	Tektronix	TLA715	Analyseur logique 32Mb/ch 64ch/68ch ou 32ch+32stim.
3	Tektronix	TM503	Power module mainframe for 3 plug-ins
3	Topward	TPS4000	Power Supply
1	vision eng.	lynx	LAMP
1	vision eng.	lynx	POWER SUPPLY
2	WAVETEK	19	Générateur de fonction
2	Weller	WES50	Soldering iron
2	Weller	WTCPT	Soldering iron
1	Wenworth labs	MP0901	Prober Microscope
3	Wenworth labs	PRO195LH	Prober Microscope
2	Xantrex	XT20-3	Power Supply

Laboratoire LASEM (GR2M/PolyStim/Lasem)

Nb	Fabricant	Modèle	Description
1	Heller Industries	1700EXL	Reflow Oven
1	Hesse-Knipps	Bondjet 815	Wedge Bonder
1	Hitachi	S-4700II	scanning electronic microscope
1	PVA Tepla	PS400	Plasma Cleaner
1	ASM Pacific	Eagle Extreme	Ball Bonder
1	Finetech	Femto	Flip-Chip Bonder
1	Jot automation	J204-02-022	Buffer/Inspection Conveyors 20"
1	Finetech	Pico	Rework Station
1	Kulicke & Soffa	4524D	Ball bonder
1	Metcal	1E6000	Optical Inspection Camera
1	Metcal	BGA 3101	Rework station
1	Metcal	BGA 3591	Rework station
1	Metcal	VPI-1000	Optical Inspection Camera
1	Oxford instrument	X-Max 50mm2	EDX
1	Panasonic	CT-2086YD	Monitor
1	Perkin Elmer	Pyris Diamond	Differential Scanning Calorimeter DSC
1	Royce Instruments	System 580	Wire Bond Tester
1	Shreiber Engineering	trueton 500W	Water Chiller
1	Techcon	TS9150	Solder Paste Dispenser
1	Unitek Miyachi	LW500A-1	Nd:YAG laser
1	Unitek Miyachi	LW500AWS	5 axis Laser Welding Motion Control System WS
1	Virtual industries	SMD-VAC-GP	Vacuum pen

ÉQUIPEMENTS OBTENUS VIA LA SCM (WWW.CMC.CA)

Nb	Fabriquant	Modèle	Description
1	Agilent	81200	Test fixture
1	Agilent	83712B	Synthesized CW generator 10MHz 20 GHz
1	Agilent	E4805B	VXI Timing module
1	Agilent	E8491B	Firewire VXI Controller
8	ALESSI	MH5-L , MH5-R	Micropositioner
3	ALESSI	MMM-01, MMM-02	Micropositioner
1	Analogic	DB58750	Arb. Function Generator
1	CMC	REV0	VXI Test Fixture Rev.0 (bois)
1	CMC/AMI	TH1000	Mixed Signal Head Test
1	CMC/FERNBANK	MOD2	Rapid prototyping board V2
3	GGB	28	Picoprobe
6	GGB	40A-GSG-150-P	Microwave Probe
11	GGB	40A	Microwave Probe
2	GGB	dual output	Power supply (Dual Output)
2	GGB	mcw-9-4635	Microwave Probe multi chanel
3	HP	1144A	ACTIVE PROBE
1	HP	6623A	Programmable P/S
1	HP	81130A	Pulse Pattern Generator

ÉQUIPEMENTS OBTENUS VIA LA SCM (WWW.CMC.CA)

Nb	Fabriquant	Modèle	Description
1	HP	85033D	Calibration Kit
1	HP	8593E	Spectrum Analyser
1	HP	8753E	Network Analyser
1	HP	E1401A	VXI Mainframe
1	HP	E1406A	HPIB Command module
1	HP	E1429B	A/D Digitizer
1	HP	E1445A	A/W Generator
1	HP	E1450A	Timing Module
1	HP	E1452A	Terminator PAT I/O
2	HP	E1454A	Pattern I/O POD
1	HP	E3661A	Instrument Rack
3	HP	E4841A	Gen/Anal. Module
1	IMS	XL100	High Speed numeric universal tester
1	Iotech	SB488A	Sun GPID CNTL
1	Keithley	KI236	Source Measurement Unit
	Rhode & Schwarz	NRVZ 1020.1809.02	Power Meter
	Rhode & Schwarz	NRVZ-Z6	Power sensor

ÉQUIPEMENT INFORMATIQUE

Le groupe GR2M possède un ensemble diversifié d'équipements informatique provenant de diverses subventions (FCI, NATEQ, NSERC) obtenues par les différents professeurs membre du GR2M ou obtenus via la SCM / CMC en prêt ou de façon permanente en tant que contribution.

Équipement informatique prêté par la CMC (www.CMC.ca)

Nb	Fabriquant	Modèle	Description
1	IBM	X3650-M4	Serveur de licences
16	IBM	IntelliStation M pro	2HD 80Go , 1-3Go ram
16	SLPS	FPGA board	Altera, Xilinx
2	ARM	FPGA board	RPP
2	BeeCube	miniBEEcube	

Équipement informatique appartenant au GR2M (www.GRM.polymtl.ca)

Nb	Fabriquant	Modèle	Description
Serveurs			
4	IBM	X3850 v5	Serveur de calcul 302 eoeurs, 2TB ram, 24 TBhd
2	Dell	R510	2 processeurs 4 cœurs, 32 Go ram, disques interne raid de 8TB
1	Dell	T610	1 processeurs 4 cœurs, 49 Go ram,
1	Adaptec	Snap server 550	Disk 3TB
1	SUN	Sun Blade V890	16 processeurs, 32 Go ram
2	SUN	Sun Blade 1000	2 processeurs, 2 Go ram
2	SUN	SUN V440	4 processeurs, 8 Go ram
2	SUN	Sun Storage XTA3511	Disques 6TB Go, raid-5
Postes et équipements			
18	PC	Core2duo	Station du laboratoire VLSI
136	PC	Desktop	Pentium IV, Core 2 Duo, Quad et i7
2	HP	4050tn	Imprimante Laser Noir
2	DELL	3100n	Imprimante Laser Couleur
1	DELL	5100n	Imprimante Laser Couleur
4	DELL	1700n	Imprimante Laser
5	HP	P3015	Imprimante Laser

LOGICIELS DE MICROÉLECTRONIQUE (EDA)

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible dans les laboratoires du GR2M et du VLSI. Quelques-uns de ces logiciels sont achetés par le GR2M et d'autres, tel que Cadence, Mentor, Synopsys, Xilinx, sont distribués par la Société canadienne de microélectronique (SCM / CMC).

Logiciels disponibles au GR2M (www.GRM.polymtl.ca)

Compagnie	Logiciel
Cadence	ANLS, Assura, CCD, Confrml, ET, EXT, IC, ICC, IUS, MMSIM, Neocell, Neockt, OA, RC, SEV, SOC, SPB, TSI, VSDE
Agilent	ADS
Agility	Celoxica
Aldec	VHDL
Altera	Quartus
Ansys	Ansys, Workbench
Ansoft	HFSS
Coware	Processor Designer
Coventor	Coventor Ware
Forte	ForteDS
Matworks	Matlab, Simulink
Mentor Graphics	Calibre, DFT, HDS, PADS, ModelSim,
Comsol	COMSOL
Synopsys	Astro, Astrorail, NS (Nanosim), SYN (Core Synthesis Tools), FM (Formality), HSIM, HSPICE, STAR SIM, Sentaurus,
Synplicity	Synplify
Tensilica	Xtensa
Virage	Mem compiler
Xilinx	ISE, EDK, CHIPSCOPE, PlanAhead

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pourpublication

[A-1] GOSSELIN, F., LALANDE, V., MARTEL, S., «Characterization of the deflections of a catheter steered using a magnetic resonance imaging systems», accepté ;a Medical Physics.

[A-2] SAFI-HARB, M., SAWAN, M., MiIRABBASI, S., « Time-Based Measurement of Transient in LC-Tank Oscillators Using Initial Condition Sampling», ***The IEEE-TCAS-I,*** Online, 2011

[A-3] SEMMAOUI, H., DROLET, J., LAKHASSASI, A., SAWAN, M., «Setting Adaptive Spike Detection Threshold for Smoothed- TEO Based on Robust Statistics Theory», Accepted in The IEEE-Trans. on Biomed. Eng., 2011.

[A-4] TARIQUS-SALAM, M., MOUNAIM, F., NGUYEN, D., SAWAN, M., «A Low-Power Miniaturized Seizure Detector with Responsive Neurostimulation»

Articles de revues publiés de septembre 2010 à août 2011

[P-1] AHLAWAT, M., TEHRANCHI, A., XU, C.Q., KASHYAP, R., «Ultra broadband flattop wavelength conversion aid on cascaded SFG-DFG using pump detuning in QPM-LN waveguides», Applied Optics, 2011, pp. E108-E111.

[P-2] AL-TERKAWI, H., SAWAN, M., SAVARIA, Y., «A Low-Power Asynchronous Step-Down DC-DC Converter for Implantable Devices», IEEE Transactions on Biomedical Circuits and Systems, Vol.5, Iss.3, juin 2011, pp. 292 – 301.

[P-3] ALLAIRE, F.C.J., LANGLOIS, J.M.P., LABONTE, G., TARBOUCHI, M., «Two-Tiered Resolution Real-Time Path Evaluation», Proc. of International Conference on Evolutionary Computation, 24-26 octobre 2010, Valencia, Espagne, pp. 321-326.

[P-4] AWWAD, F., NEKILI, M., SAWAN, M., «A Novel Theory on Parallel Repeater-Insertion Methodologies for Long On-Chip Inerconnects», Int'l J. of Circuit Theory and Applications, janvier 2011, vol. 39, pp. 1-16.

[P-5] BERCHTIKOU A, LAVOIE J, POENARIU V, SAOUDI B, KASHYAP, R., Wertheimer M R, «Thermometry in Noble Gas Dielectric Barrier Discharges at Atmospheric Pressure using Optical Emission Spectroscopy», IEEE Transactions on Dielectrics and Electrical Insulation Vol. 18, No. 1, février. 2011, pp. 24-33.

[P-6] BERGERON, E., PERRON, L.D., FEELEY, M., DAVID, J-P., «Logarithmic-Time FPGA Bitstream Analysis: A Step Towards JIT Hardware Compilation», ACM Transactions on Reconfigurable Technology and Systems, mai 2011, vol. 4, no. 2, pp. 1-27

[P-7] BOIS, G., MOSS, L., FILION, L., FONTAINE, S., «3D System-level design for next generation ubiquitous networks Nicolescu, G., Bois, G., Tahar, S., Aboulham, M. Architecture Exploration for High-Integrated and Low-Cost Avionic Systems Level Design and Verification in Practice», Springer, 2010, pp. 273-308.

[P-8] BOULAIS, E., FANTONI, J., CHATEAUNEUF, A., SAVARIA, Y., MEUNIER, M., «Laser Induced Resistance Fine Tuning of Integrated Polysilicon Thin Film Resistors», IEEE Transactions on Electron Devices, Brief, Vol. 58, No. 2, février 2011, pp. 572–575

[P-9] CHEBLI, R., SAWAN, M., EL-SANKARY, K., SAVARIA, Y. «High-voltage DMOS integrated circuits using floating-gate protection technique». Analog Integrated Circuits and Signal Processing, 2010, 62:2, pp. 223-235.

[P-10] DAIGNEAULT, M.A., DAVID, J.-P., «A High-Resolution Time-to-Digital Converter on FPGA Using Dynamic Reconfiguration», IEEE Transactions on Instrumentation and Measurement, juin 2011, vol. 60, no. 6, pp.2070-2079.

[P-11] ETHIER, S., SAWAN, M., «Exponential Current Pulse Generation for Efficient Very High-Impedance Multisite Stimulation», IEEE-Trans. on BioCAS, Vol. 5, No. 1, 2011, pp. 30-38.

[P-12] GAGNÉ M, KASHYAP, R., «New nanosecond Q-switched Nd:YAG laser fifth harmonic for fast hydrogenfree fiber Bragg gratings fabrication», Article in Press in Opt. Commun., vol. 283, issue 24, 15 décembre 2010, pp.5028-5032

[P-13] GAO, S., CHABINI, N., AL-KHALILI, D., LANGLOIS, J.M.P., «FPGA-based efficient design approaches for large-size two's complement squarer's», The Journal of Signal Processing Systems, Vol. 58, No. 1, 2010, pp. 3-15.

[P-14] GHAFAR-ZADEH, E., SAWAN, M., «A Biological Laboratory on Microelectronic Chip: Design, Fabrication and Experimental Results» The Scientific Information Database, 2011, vol. 8, no. 4.

[P-15] GHAFAR-ZADEH, E., CHOWDHURY, S.F., ALIAKBAR, A., CHODAVARAPU, V., LAMBROSE, R., BEITAL, L., «Handheld impedance biosensor system using engineered proteinaceous receptors». Biomedical Microdevices, 2010, vol. 12 issue 6, pp. 967-975.

[P-16] GHAFAR-ZADEH, E., CHOWDHURY, S.F., ALIAKBAR, A., CHODAVARAPU, V., LUMBROSO, R., BEITEL, L.K. 2010. «Erratum: Handheld impedance biosensor system using engineered proteinaceous receptors» (Biomedical Microdevices DOI: 10.1007/s10544-010-9451-0)". *Biomedical Microdevices*. 2010, 12:6, 1107.

[P-17] GHAFAR-ZADEH, E., SAWAN, M., CHODAVARAPU, V.P., «Differential Monitoring of Bacteria Growth using CMOS Capacitive Sensor», Trans. on Biomedical Circuits & Systems, août 2010, vol. 4,

[P-18] GOSSELIN, B., SAWAN, M., «Linear-Phase Delay Filters for Ultra-Low-Power Signal Processing in Neural Recording Implants», IEEE Trans. on Biomedical Circuits & Systems, 2010, vol. 4, issue 3, pp. 171-180.

[P-19] GOSSELIN, B., SAWAN, M. «A low-power integrated neural interface with digital spike detection and extraction». Analog Integrated Circuits and Signal Processing. 64:1. 3-11

[P-20] GOSSELIN, B., HOSSEIRI-KHAYA, S., QUOTB, A., SAWAN, M., «Hardware Implementation of Wavelet Transforms for Real-time Detection and Compression of Biopotentials in Neural Implants», Journal of Current Development in Theory and Applications of Wavelets, Vol. 5, Issue 1, 2011, pp. 1-34.

[P-21] HAMZA, J., SAWAN, M., JAIN, P.K., «Suppression of Common-Mode Input Electromagnetic Interference Noise in Dc-DC Converters using Active Filtering Method», IET Power Electronics, août 2011, vol. 4, no. 7, pp. 776-784.

[P-22] HARHIRA A, GUAY F, DAIGLE, M., KASHYAP, R., «Long-period fiber grating fabricated by use of CO2 laser beam and phase mask», Article in Print in Opt. Commun ., doi:10.1016/j optcom.2010.06.071,

[P-23] HASAN, S.R., BÉLANGER, N., SAVARIA, Y., AHMAD, O., «All Digital Skew Tolerant Synchronous Interfacing Methods for High-Performance Point-to-Point Communications in Deep Sub-Micron SoCs», Journal Integration, the VLSI Journal, Vol. 44, No. 1, Jan. 2011, pp. 22–38.

[P-24] HASAN, S.R., BÉLANGER, N., SAVARIA, Y., AHMAD, O., «Crosstalk-Glitch Gating: A Solution for Designing Glitch Tolerant Asynchronous Handshake Interface Mechanisms for GALS Systems», IEEE Transactions on Circuits and Systems I, Vol. 57, No. 10, Oct. 2010, pp. 2696–2707

[P-25] ISLAM, A., U. IQBAL, J.M.P. LANGLOIS A., NOURELDIN, «Implementation methodology of embedded land vehicle positioning using an integrated GPS and multi-sensor system,» Integrated Computer-Aided Engineering, vol. 17, No. 1, 2010, pp. 69-83.

[P-26] KASHYAP, R., «A Living Prostehtic Iris », Ocular Times, mai-juin 2011, vol. 10, no. 4, pp. 16-20.

[P-27] LAPOINTE, J., HARHIRA, A., DURETTE, J.F., BEAULIEU, S., SHAAT, A., BOULOS, P.R., KASHYAP, R., «An ocular prothesis withch reacts to light», Proc. Of Spie, février 2011, vol. 7885, pp. 788512-1- 788512-7

[P-28] LAREAU, E., POULIOT, P., LESAGE, F., NGUYEN, D., SAWAN, M., «Multichannel Wearable System Dedicated for Simultaneous Electroencephalography/Near-Infrared Spectroscopy Real-Time Data Acquisitions», The Journal of Biomedical Optics, Vol. 16, Issue 9, septembre 2011, pp 096014-1 -096014-14

[P-29] LE BEUX, S., NICOLESCU, G., BOIS, G., BOUCHEBABA, Y., LANGEVIN, M., PAULIN, P., «Combining Mapping and Partitioning Exploration for NoC-Based Embedded Systems», Journal of Systems Architecture, juin 2010, vol. 56 issue 7, pp. 223-232

[P-30] LE BEUX, S., O'CONNOR, I., NICOLESCU, G., BOIS, G., PAULIN, P., «Multi-Optical Network on Chip for Large Scale MPSoC», IEEE Embedded Systems Letters, septembre 2010, vol. 2, issue 3, pp. 77-80.

[P-31] LEVESQUE, P., SAWAN, M... «Novel low-power ultrasound digital pre-processing architecture for wireless display». IEEE Transactions on Ultrasonic's, Ferroelectrics and Frequency Control. 2010, 57:3. 757-767.

[P-32] MARTEL S., «Collective methods of propulsion and steering for unmetered micro scale nanorobots navigating in the human vascular network», Proceedings of the Institution of Mechanical Engineers, Part C: Journal of Mechanical Engineering Science, Vol. 224, part C, 2010, pp. 1505-1513.

[P-33] MARTEL S., «Combining aggregates of synthetic micro scale nanorobots with swarms of computer-controlled flagellated bacterial robots to enhance target therapies through the human vascular network», Int. Journal on Advances in Systems and Measurem*ents*, 2010, Vol. 3, No. 3-4, pp. 92-98.

[P-34] MATHIEU J-B., MARTEL S., «MRI Steering of aggregating magnetic micro particles for enhanced therapeutic efficacy in cancer targeting», Magnetic Resonance in Medicine, Vol. 63, 2010, pp. 1336-1345.

[P-35] MBAYE, M.M., BÉLANGER, N., SAVARIA, Y., PIERRE, S., «Loop Acceleration Exploration for Application-Specific Instruction-Set Processor Architecture Design TVLSI-00186-2010.R2» IEEE Transactions on Very Large Scale Integration Systems, Décembre. 2010, pp 1–13

[P-36] MENDEZ, A., SAWAN, M., «Chronic Monitoring Of The Bladder Volume: Critical Review And Assessment of Measurement Methods», Canadian J. of Urology**,** Vol. 8, No. 1, 2011, pp. 5504-16

[P-37] MOHAMMADI, H. M., SAVARIA, Y., LANGLOIS, P., «A Hybrid Video Deinterlacing Algorithm Exploiting Reverse Motion Estimation» IET Journals, Jan. 2011, pp. 611–618

[P-38] MOUNAIM, F., SAWAN, M., «Integrated High-Voltage Inductive Power and Data Recovery Front-End Dedicated to Implantable Devices», IEEE-Trans. on BioCAS, Vol. 5, No. 3, 2011, pp. 283-291.

[P-39] MOUNAIM, F., ELZAYAT, E., SAWAN, M., CORCOS, J., ELHILALI, M., «New Neurostimulation and Blockade Strategy to Reduce Sphincter Resistance in Spinalized Dogs», Contemporary Engineering Sciences J., 2010, vol. 3, no. 7, pp. 321-337.

[P-40] NEMOVA, G., KASHYAP, R, «Laser cooling of Er3+-doped solids», Opt. Commun. 283, 3736, 2010.

[P-41] NEMOVA, G., KASHYAP, R., «An Alternative Technique for Laser Cooling with Super-Radiance», Phys. Rev. A, 83, 013404, 2011.

[P-42] NEMOVA, G., KASHYAP, R., «Temperature distribution in laser cooled rare-earth doped solid state samples» J. Opt. Soc. Am.B., volume 27, no. 12, 2010, pp. 2460-2464.

[P-43] NOURIVAND, A., Al-KAHLILI, A., SAVARIA, Y., «Analysis of Resistive Open Defects in Drowsy SRAM Cells», Journal of Electronic Testing, April 2011. Vol.27, Iss.2; p.203-213.

[P-44] NOURIVAND, A., AL-KHALILI, A.J., SAVARIA, Y., «Post-Silicon Tuning of Standby Supply Voltage in SRAMs to Reduce Yield Losses Due to Parametric Data-Retention Failures» IEEE TVLSI, Vol. 20, No. 1, Oct. 2010, pp. 29–41

[P-45] POUPONNEAU, P., LEROUX, J.-C., SOULEZ, G., GABOURY, L., MARTEL, S., «Co-encapsulation of magnetic nanoparticles and doxorubicin into biodegradable microcarriers for deep tissue targeting by vascular MRI navitation», Biomaterials, mai 2011, vol. 32, issue 13, pp. 3481-3486.

[P-46] POUPONNEAU, P., SAVADOGO O., NAPPORN T., YAHIA L'H., MARTEL S., «Corrosion study of iron-cobalt alloys for MRI-based propulsion embedded in untethered microdevices operating in the vascular network», Journal of Biomedical Materials Research: Part B - Applied Biomaterials, 93B, 2010, pp. 203-211.

[P-47] POUPONNEAU, P., SAVADOGO O., NAPPORN T., YAHIA L'H., MARTEL S., «Corrosion study of single crystal Ni-Mn-Ga alloy and Tb0.27Dy0.73Fe1.95 alloy for the design of new medical microdevices», Journal of Materials Science: Materials in Medicine, février 2011, vol. 22, issue 2, pp. 237-245.

[P-48] SAFI-HARB M., SAWAN, M., MIRABBABI, S., «An Implantable Seizure-Onset Detector Based on a Dual-Path Single-Window Count-Based Technique for Closed-Loop Applications The IEEE J. on Emerging and Selected Topics in Circuits and Systems, 2011, vol. 1, issue 4, pp. 603-612.

[P-49] SIMARD, G., SAWAN, M., MASSICOTTE, D., «High-Speed OQPSK and Efficient Power Transfer Through Inductive Link for Biomedical Implants», IEEE Transactions on Biomedical Circuits and Systems, 2010, vol. 4, issue 3, pp. 192-200.

[P-50] SINGH, R., AUDET, Y., GAGNON, Y., SAVARIA, Y., BOULAIS, E., MEUNIER, M., «A Laser-Trimmed Rail-to-Rail Precision CMOS Operational Amplifier», IEEE Transactions on CAS II, Vol. 58, No. 2, février 2011, pp. 75-79.

[P-51] TABATABAEI, S., LAPOINTE, J., MARTEL, S., «Shrinkable hydrogel-based magnetic microrobots for interventions in the vascular network», Advanced Robotics, Special Issue on Cordless Technology for Milli/Micro/Nano Robtos, mai 2011, vol. 25, no. 6., pp.1049-1067

[P-52] TARIQUS-SALAM**, M**., SAWAN, M., NGUYEN, D., «A Novel Low-Power Implantable Epileptic Seizure-Onset Detector», IEEE-Trans. on BioCAS**,** Vol. 5, Issue 6, 2011, pp. 568-578.

[P-53] TEHRANCHI A, KASHYAP, R., «Wideband wavelength conversion using double-pass cascaded $\chi(2)$ $\chi(2)$ interaction in loss waveguides», Opt. Commun., 2010 vol. 283, pp. 1485-1488.

[P-54] TEHRANCHI, A., MORANDOTTI, R., KASHYAP, R., «Efficient flattop ultra-wideband wavelength converters based on double-pass cascaded sum and difference frequency generation using engineered chirped gratings», Optics Express volume 19 no. 23, 2011, pp.22528-22534.

[P-55] TEHRANCHI, A., KASHYAP, R., «Efficient wavelength conversion with flattop response based on double-pass cascaded $X^{(2)i}$in periodically poled $LINbO_3$ waveguides» Photons, vol. 7 no. 2, 2010, pp. 23-5

[P-56] VAZUQUEZ G V, HARHIRA A, KASHYAP, R., Bosisio R G, «Micromachining by laser ablation: building blocks for a multiport integrated device», Opt. Commun., 283(14), pp. 2824-2828, 2010

Articles de revues publiés de septembre 2009 à août 2010

[P-57] BEUCHER, N., BÉLANGER, N., SAVARIA, Y., BOIS, G., «High Acceleration for Video Application Using Specialized Instruction Set based on Parallelism and Data Reuse», *Journal of Signal Processing Systems*, Vol. 56, No. 2-3, September 2009, pp. 155-165

[P-58] CHEBLI, R., SAWAN, M., EL-SANKARY, K., SAVARIA, Y., «High-Voltage DMOS integrated circuits using floating-gate protection technique», Analog Integrated Circuits and Signal Processing, Vol. 62, No. 2, February 2010, pp. 223-235.

[P-59] GAGNÉ, M., KASHYAP, R., «Demonstration of a 3 mW threshold Er-doped random fiber laser based on a unique fiber Bragg grating», *Optics Express*, Vol.17, Issue 21, October 2009, pp. 19067-19074.

[P-60] GAO, S., CHABINI, N., AL-KHALILI, D., LANGLOIS, J.M.P., «FPGA-based efficient design approaches for large-size two's complement squarer's», The Journal of Signal Processing Systems, Vol. 58, No. 1, 2010, pp. 3-15.

[P-61] GHAFAR-ZADEH, E., SAWAN, M., CHODAVARAPU, V.P., «Differential Monitoring of Bacteria Growth using CMOS Capacitive Sensor», Trans. on Biomedical Circuits & Systems, août 2010, vol. 4, issue 4, pp. 232-238.

[P-62] GHAFAR-ZADEH, E., SAWAN, M., «Toward Fully Integrated Lab-on-Chip: Design, Assembly and Experimental Results», Int. Journal of Advanced Media and Communications, Vol.3, No. 1, 2009, pp. 154-166.

[P-63] GIRODIAS, B., BOUCHEBABA, Y., NICOLESCU, G., PAULIN, P., ABOULHAMID, M., «Multiprocessor, Multithreading and Memory Optimization for On-Chip Multimedia Applications», Journal of Signal Processing Systems, Springer, Vol. 57, No. 2, novembre 2009, pp. 263-283.

[P-64] HASAN, S.R., BÉLANGER, N., SAVARIA, Y., AHMAD, O., «Crosstalk-Glitch Propagation Modeling for Asynchronous Interfaces in Globally Asynchronous Locally Synchronous Systems», *IEEE Transactions on Circuits and Systems Part I* (TCAS-I), Vol. 57, No. 8, août 2010, pp. 2020-2031.

[P-65] HASHEMI, S., SAWAN, M., SAVARIA, Y., «A Novel Low-Drop Voltage CMOS Active Rectifier for RF Powered Devices: Experimental Results», *Elsevier Microelectronics Journal*, Vol. 40, No. 11, novembre 2009, pp. 1547-1554.

[P-66] ISLAM, A., IQBAL, U., LANGLOIS, J.M.P., NOURELDIN, A., «Implementation methodology of embedded land vehicle positioning using an integrated GPS and multi-sensor system», *Integrated Computer-Aided Engineering*, Vol. 17, No. 1, 2010, pp. 69-83.

[P-67] LEVESQUE, P., SAWAN, M., «Novel Low-power ultrasound digital preprocessing architecture for wireless display», IEEE Trans. on Ultrasonics, Ferroelectrics and Frequency Control, Vol. 57, No. 3, mars 2010, pp. 757-767.

[P-68] MARCHE, D., SAVARIA, Y., «Modeling R2R Segmented Ladder DAC», *IEEE Transactions on CAS I*, Vol. 57, No. 1, janvier 2010, pp. 31-43.

[P-69] MARTEL S., «Collective methods of propulsion and steering for unmetered micro scale nanorobots navigating in the human vascular network», Proceedings of the Institution of Mechanical Engineers, Part C: Journal of Mechanical Engineering Science, Vol. 224, part C, 2010, pp. 1505-1513.

[P-70] MARTEL S., «Combining aggregates of synthetic micro scale nanorobots with swarms of computer-controlled flagellated bacterial robots to enhance target therapies through the human vascular network», Int. Journal on Advances in Systems and Measurem*ents*, 2010, Vol. 3, No. 3-4, pp. 92-98.

[P-71] MATHIEU J-B., MARTEL S., «MRI Steering of aggregating magnetic micro particles for enhanced therapeutic efficacy in cancer targeting», Magnetic Resonance in Medicine, Vol. 63, 2010, pp. 1336-1345.

[P-72] MATHIEU, J.-B., MARTEL, S., «Aggregaton of magnetic microparticles in the context of targeted therapies actuated by a magnetic resonance imaging system» Journal of Applied Physics, 2009, vol. 106, issue 4, pp. 044904 – 044904-7.

[P-73] MEMARZADEH-TEHRAN, H., LAURIN, J.-J., KASHYAP, R., «Optically Modulated Probe for Precision Near-Field Measurements», IEEE Trans. on Instrumentation and measurements, avril 2010, pp. 2755-2762.

[P-74] MOUNAÏM, F., ELZAYAT, E., SAWAN, M., CORCOS, J., ELHILALI, M., «New Neurostimulation And Blockade Strategy To Reduce Sphincter Resistance In Signalized Dogs», Contemporary Engineering Sciences J., Vol. 3, No.7, 2010, pp. 321-337

[P-75] NEMOVA, G., KASHYAP, R., «Fiber amplifier with integrated optical cooler», J. Opt. Soc. Am. B, Vol. 26, 2009, pp. 2237-2241.

[P-76] NEMOVA, G., KASHYAP, R., «Raman fiber amplifier with integrated cooler», *Journal of Lightwave Technology*, Vol. 27, Issue 24, Décembre 2009, pp. 5597-5601.

[P-77] POUPONNEAU P., SAVADOGO O., NAPPORN T., YAHIA L'H., MARTEL S., «Corrosion study of iron-cobalt alloys for MRI-based propulsion embedded in untethered microdevices operating in the vascular network», Journal of Biomedical Materials Research: Part B - Applied Biomaterials, 93B, 2010, pp. 203-211.

[P-78] POUPONNEAU P., SAVADOGO O., NAPPORN T., YAHIA L'H., MARTEL S., «Corrosion study of single crystal Ni-Mn-Ga alloy and Tb0.27Dy0.73Fe1.95 alloy for the design of new medical microdevices», Journal of materials science – Materials in Medicine, 2010.

[P-79] SAWAN, M., HASHEMI, S., SEHIL, M., AWWAD, F., HAJJ-HASSAN, M., KHOUAS, A., «Multicoils-based inductive links dedicated to power up implantable medical devices: modeling, design and experimental results», Biomedical Microdevices, Vol. 11, No. 5, octobre. 2009, pp. 1059-1070.

[P-80] TARIQUS-SALAM, M., SAWAN, M., NGUYEN, D., «An alternative treatment for epilepsy: low-power implantable device», The Journal of Healthcare Engineering, Vol. 1, No. 2, juin 2010, pp. 169-183

[P-81] TEHRANCHI, A., KASHYAP, R., «Response flattening of efficient broadband nonlinear wavelength converters based on cascaded sum- and difference-frequency generation in periodically poled lithium niobate waveguides», IEEE Journal of Quantum Electronics, Vol. 45, Issue 9, Septembre 2009, pp. 1114-1120.

Articles de conférence de septembre 2010 à août 2011.

[C-1] AHLAWAT, M., TEHRANCHI, A., PANDIYAN, K., CHA, M., KASHYAP, R., «Multiple-QPM SHG and SFG in Bulk PPLN with a Central Aperiodic Domain », Proceedings of the 7th International Workshop on Optical Fibres and Passive Components, Montreal, Canada, 13-15 juillet 2011, pp.

[C-2] AHLAWAT, M., TEHRANCHI, A., XU, C.Q., KASHYAP, R., «Ultra-broadband, flattop wavelength conversion based on cascaded SfG-DFG using pump tuning in QPM_LN waveguides», Photonics India, Guwahati, Inde, decembre 2010, pp.

[C-3] AL-TERKAWI-HASIB, O., SAWAN, M., SAVARIA, Y., « Fully Integrated Ultra-Low-Power Asynchronously Driven Step-Down DC-DC Converter », IEEE-ISCAS, Paris, France, May 30 – June 2, 2010, pp. 877-880.

[C-4] BAIAD, M. D., TRIPATHI, S.M., KUMAR, A., NENOVA, G., KASHYAP, R., «Integrated optical-bio-sensor based on pure surface Plasmon-polariton excited by a waveguide grating» 7th Workshop on Fibre and Optical Passive Components, Montréal, Canada, 13-15 juillet 2011, pp. 1-5.

[C-5] BERRIAH, O., BOUGATAYA, M., LAKHSSASSI, A., BLAQUIÈRE, Y., SAVARIA, Y., « Thermal Analysis of a Miniature Electronic Power Device Matched to a Silicon Wafer », NEWCAS 2010, Montreal, Canada, 20-23 mai 2010, pp. 129-132.

[C-6] BILODEAU, G.-A., GHALI, R., DESGENTS, S., FARAH, R., ST-ONGE, P.-L., DUSS, S., LANGLOIS J.M.P., CARMANT, L., «Where is teh rat? Tracking in low contrast thermographic images», IEEE Workshop on Object Tracking and Classification Beyond the Visible Spectrum, Colorado, USA, 20-25 juin 2011, pp. 55-60.

[C-7] BOSTANI, A., TEHRANCHI, A.,, KASHYAP, R., «Study of apodization on Aperiodically Poled Lithium Niobate (APPLN) for Second Harmonic Generation (SHG)», Proceedings of the 7th International Workshop on Optical Fibres and Passive Components, Montreal, Canada, 13-15 juillet 2011, pp. 1-4.

[C-8] BOUGATAYA, M., BERRIAH, O., LAKHASSASSI, A., DAHMANE, A.O., BLAQUIÈRE, Y., SAVARIA, Y., NORMAN, R., PRYTULA, R., «Thermo-Mechanical Analysis of a Reconfigurable Wafer-Scale Integrated Circuit», IEEE International Conference on Electronics, Circuits and Systems (ICECS), Athens, Greece, 12–15 décembre 2010, pp. 315–318.

[C-9] BRINGOUT, G., LALANDE, V., GOSSELIN, F.P., MARTEL, S., «Safety evaluation of magnetic catheter steering with upgraded magnetic resonance imaging system», International Conference on Engineeering in Medicine and Biology Society (EMBC), Buenos Aires, Argentine, 31 août – 3 septembre 2010 pp. 6702-6705.

[C-10] CARMEL-VEILLEUX, T., BOLAND, J.-F., BOIS G., «A Novel Low-Overhead Flexible Instrumentation Framework for Virtual Platforms», Proc. Of 22nd IEEE International Symposium on Rapid System Prototyping (RS), mai 2011, pp. 92-98.

[C-11] CHEBLI, R., SAWAN, M., «Adjustable Input Self-Strobed Delay Line ADC Intended to Implantable Devices», IEEE-ISCA**S,** Buenos-Aires, Argentina, 15-18 mai 2011, pp. 2297-2300.

[C-12] DE LIMA FILHO, E., NEMOVA, G., SAAD, M., BOWMAN, S., KASHYAP, R., «Sensing of laser cooling with optical fibres», Proceedings of the 7th International Workshop on Optical Fibres and Passive Components, Montreal, Canada, 13-15 juillet 2011, pp. 1-5

[C-13] DIAA BAIAD, M., TRIPATHI, S.M., NEMOVA, G., KUMAR, A., KASHYAP, R., «Integrated optical bio-sensor based on pure surface plasmone excited by waveguide gratings», Proceedings of the 7th International Workshop on Optical Fibres and Passive Components, Montreal, Canada, 13-15 juillet 2011, pp. 1-5.

[C-14] FELFOUL, O., MOHAMMADI, MARTEL, S., «In vivo magnetotactic bacteria targeting» The 6th International Conference on Microtechnologies in Medicine and Biology (MMB 2011), Lucerne, Suisse, 4-6 mai 2011, pp. 1-4

[C-15] FEREYDOUNI FOROUZANDEH F., AIT MOHAMED, O., SAWAN, M., «Delay Calculation and Error Compensation in TBCD-TDM Communications Protocl for Wireless Body Sensor Networks» NEWCAS 2010, Montréal, Canada, 20-23 juin 2010, pp. 17-20.

[C-16] GAGNÉ, M., KASHYAP, R., «Photosensitivity of hydrogen-free optical fibers exposed to nanosecond 213 nm pulses», OSA Conference BGPP, Karlsruhe, Germany, June 21-24, 2010, pp. 1-4

[C-17] GAGNE, M., SHARMA, P., KASHYAP, R., «New UV laser sources for fiber Bragg grating fabrication» Proceedings of the 7th International Workshop on Optical Fibres and Passive Components, Montreal, Canada, 13-15 juillet 2011, pp. 1-4.

[C-18] GAGNE-TURCOTTE, A., MILED, A., SAWAN, M., «An Improved Multiphysics Modelling Approach for Dielectrophoresis-Based Cell Separation» IEEE-CCECE, Niagara Falls, Canada, 8-11 mai 2011, pp. 1387-1390.

[C-19] GIL D. C. FARAH R, LANGLOIS P., BILODEAU G.-A., SAVARIA Y., «Comparative Analysis Of Contrast Enhancement Algorithms in Surveillance Imaging» ISCAS Conférence IEEE International Symposium on Circuits and Systems Conference (ISCAS), Rio de Janeiro, Brazil from 15–18 mai 2011 , pp. 849–852

[C-20] HARHIRA, A., LAPOINTE, J., KASHYAP, R., «High sensitivity inline fiber Mach-Zehnder interferometer bend sensor using a twin core fiber», Proc. SPIE, Vol. 7653, 4th European Workshop on Optical Fibre Sensors, Porto, Portugal, 8-10 septembre 2010, pp. 765315-1-765315-4.

[C-21] HARHIRA, A., CARVALHO, I. C. S., GUAY, F., DAIGLE, M., KASHYAP, R., Holographic technique of LPG fabrication with a 10.6 µm radiation », ICOOPMA 2010, Budapest, Hungary, 15-21 août 2010, pp. 1-4

[C-22] HARHIRA, A., LAPOINTE, J., KASHYAP, R., «Optimization of a Simple Bend Sensor based on Multimode Interference and a Twin Core Fiber Mach-Zehnder Interferometer», Conference on Optical Sensors, Toronto, Canada, juin 2011, pp. 1-4

[C-23] HASANUZAMAN, M., SAWAN, M., RAUT, R., «An Energy-Efficient and Multiple-Waveform Stimuli Generator for Visual Cortex Microstimulation», IFESS, Vienna, Austria, 8-12 septembre 2010, pp. 1-4.

[C-24] KHAMSEHASHARI, E., AUDET, Y., «Mode Detection of a Linear-Logarithmic Current-Mode Image Sensor», IEEE NEWCAS 2011, Bordeaux, France, 26-29 juin 2011, pp. 538-541.

[C-25] LAFLAMME-MAYER, N., SIMARD, G., BLAQUIERE, Y., SAWAN, M., «A Dual-Power Rail, Low-Dropout, Fast-Response Linear Regulator Dedicated to a Wafer-Scale Electronic Systems Prototyping Platform», IEEE-NEWCAS, Bordeaux, France, 26-29 juin 2011, pp. 438-441.

[C-26] LAMBIN IEZZI, V. L., LORANGER, S., HARHIRA, A., REHMAN, S., SAAD, M., GOMES, A., KASHYAP, R., «Stimulated Brillouin Scattering for Fiber Sensing Passeve Components»,

Proceedings of the 7th International Workshop on Optical Fibres and Passive Components, Montreal, Canada, 13-15 juillet 2011, pp. 1-4

[C-27] LAPOINTE, J., GAGNE, M., HARHIRA, A., KASHYAP, R., «Optical fibre force sensor», Proceedings of the 7th International Workshop on Optical Fibres and Passive Components, Montreal, Canada, 13-15 juillet 2011, pp. 1-4.

[C-28] LAREAU, E., SIMARD, G., LESAGE, F., SAWAN, M., «Near infrared spectrometer combined with multichannel EEG for functional brain imaging», IEEE-ISMICT, Medical Information & Communication Technology, Montreux, Switzerland, 27-30 mars 2011, pp. 122-126.

[C-29] LORANGER, S., LAMBIN IEZZI, V., HARHIRA, A., SAAD, M., GOMES, A., REHMAN, S., KASHYAP, R., «Stimulated Brillouin Scat 0tering in Multimode Optical Fibres Sensing Applications», Fall Issue of Photons Fibre and Optical Passive Components (WFOPC), Montréal, Canada, 13-15 juillet 2011, pp. 1-4

[C-30] MARTEL S., VONTHRON, M., «Interactive system for medical interventions based on magnetic resonance targeting», ACHI 2011 (ARIA-Digital World 2011) Gosier, Guadeloupe, 23-28 février 2011, pp. 1-4

[C-31] MARTEL S., «Towards mass-scale micro-assembly systems using magnetotactic bacteria», ASME, Int. Manufacturing Science and Engineering Conf., Corvalis, OR, USA, 13-17 juin 2011, pp. 1-4

[C-32] MILED, A., SAWAN, M., «A New Fully Integrated Dielectrophoretic CMOS Processing Unit for Lab-on-Chip Applications», IEEE-ISCAS, Buenos-Aires, Argentina, mai 2011, pp. 2349-2352.

[C-33] MILED, A., GAGNE-TURCOTTE, **A**., SAWAN, M., «Dielectrophoretic Manipulation: Modeling and Integration of Microsystems based Lab-on-chip», IEEE-IMS3TW, San Diego, USA, 16-18 mai 2011, pp. 39-42.

[C-34] MILED, A., GAGNE, A., SAWAN, M., «Electrodes Architectures for Dielectrophoretic-Based Cells Manipulation in LoCs: Modeling, Simulation and Experimental Results», IEEE 17th International Mixed-Signals, Sensors and Systems Test Workshop, Santa Barbara, USA, 16-18 mai 2011, pp. 39-42.

[C-35] MORADI, A., SAWAN, M., «A_New_FSK-Based Transmitter Dedicated for Low-Power Wireless Medical Transceivers», IEEE-CCECE, Niagara-Falls, Canada, mai 2011, pp. 1238-1241.

[C-36] NEMOVA, G., KASHYAP, R., «Althermal Ho^3 –Doped Amplifier with Two Pumps, CLEO-IQEC, Europe 22-26 mai 2011, p.1

[C-37] NEMONA, G., KASHYAP, R., «Mid-IR fiber amplifier cooled with YB^2 + ions», Photonics Society Summer Topical Meeting Series, IEEE, 18-20 juillet 2011, pp. 100-101

[C-38] NEMONA, G., KASHYAP, R., «Super-Radiance and Fluorescence are Two Approach to Laser Cooling of Solids», Photonics North, Ottawa, Canada, 16-19 mai 2011, pp. 1-4

[C-39] NEMONA, G., KASHYAP, R., «Breaking the Low Phonon Energy Barrier for Laser Cooling in Rare-Earth Doped Hosts», Proceedings of Photonics West, 18-23 janvier 2011, pp. 1-4

[C-40] OLAMAEI, N., CHERIET, F., BEAUDOIN, G., MARTEL, S., «MRI visualization of a single 15 µm navigable imaging agent and future microrobot», International Conference on Engineeering in Medicine and Biology Society (EMBC), Buenos Aires, Argentine, 31 août – 3 septembre 2010 pp. 4355-4358.

[C-41] OULD BACHIR, T., DUFOUR, C., DAVID, J.P., MAHSEREDJIAN, J., «Floating-point engines for the FGPA-based real-time simulation of power electronic circuits», IPST, Delft, The Netherlands, juin 2011, pp. 1-6.

[C-42] OULD BACHIR, T., DUFOUR, C., DAVID, J.P., MAHSEREDJIAN, J., BELANGER, J., «Reconfigurable floating-point engines for the real-time stimulation of PECs: a high-speed PMSM drive case study», Electrimacs, Paris, France, juin 2011, pp. 1-6.

[C-43] OULD BACHIR, T., DAVID, J.-P., «FPGA-based real-time simulation of state-space models using floating-point cores», EPE-PEMC 2010, Ohrid Macedonia, 6-8 septembre 2010, pp. S2-26-S2-31

[C-44] OULD-BACHIR, T., DUFOUR, C., DAVID, J.-P., «Effective FPGA-based electric motor modeling with floating-point cores», IECON/EEEE, Phoenix, Arizona, USA, 7-10 novembre 2010, pp. 829-834.

[C-45] POLLINA, M., LECLERC, Y., CONQUET, E., BOIS, G., MOSS, L., «The assert set of tools for engineering (taste) current feature, demonstrator and future evolutions», Proc. Of DASIA 2011, San Anton, Malta, mai 2011, pp. 1-4

[C-46] POULIN, J, LIGHT, P., KASHYAP, R., LARGE, M., LUITEN, A., «Guiding of ultra cols Rubidium atoms using Laguerre-Gaussian beams in hollow core photonic crystal» Photonics India, Guwahati, Inde, decembre 2010 pp. 1-4.

[C-47] RAJOTTE, S., GILL, D.C., LANGLOIS, J.M.P., «Combining ISA extensions and sub setting for improved ASIP performance and cost», IEEE ISCAS, mai 2011, pp. 653-656

[C-48] ROGERS-VALLEE, M., CANTIN, M.-A., BOIS, G., MOSS, L., «IP Characterization Methodology for Fast and Accurate Power Consumption Estimation at Transactional Level Model», Proc of IEEE Inter. Conf. on Comp Design (ICCD 2010), Amsterdam, 3-6 octobre 2010, pp.534-541.

[C-49] SAFI-HARB, M., TARIQUS-SALAM, M., MIRABASI, S., NGUYEN, D., SAWAN, M., «A Low-Power High-Sensitivity CMOS Mixed-Signal Seizure-Onset Detector», IEEE-*EMBC*, Boston, 30 août-3 septembre 2011, pp. 5847-5850.

[C-50] SAIZ-VELA, A., MOUNAIM, F., MIRIBEL-CATALA, P., SAWAN, M., SAMITIER, J., «Miniaturizes SiP supply board based on TPVD charge pump ICs for high-voltage biomedical applications», 9th International Conference on Circuits and Systems (NEWCAS) 2011, Bordeaux, France, 26-29 juin 2011, pp. 514-517.

[C-51] SAOUDI, B., BERCHTIKOU, Z, KASHYAP, R., «Application de la spectroscopie optique d'émission à la mesure de la température des neutres dans des décharges DBD de He et de Ne a la pression atmosphérique», Colloque de Plasma-Québec les plasmas: science, applications, Montréal, Canada, 25-27 mai 2011, pp. 1-4

[C-52] SAWAN, M., MILED, M. A., GHAFAR-ZADEH, E., «CMOS/Micro fluidic Lab-on-chip For Cells-Based Diagnostic Tools», Invited paper at the IEEE-EMBC**,** Buenos Aires, Argentina, 31 août–4 septembre 2010, pp. 5334-5337.

[C-53] SEMMAOUI, H., DROLET, J., LAKHSSASSI, A., MARTINEZ-TRUJILLO, J.C., SAWAN, M., «An Energy Detector Applied to Unsupervised Neural Spikes Dtection», IEEE-EMBS Conf. On Neural Engineering, Cancun, Mexique**,** 27 avril -1er mai 2011, pp. 104-107.

[C-54] SEMMAOUI, H., DROLET, J., LAKHSSASSI, A., SAWAN, M., «A new approach for higher data reduction capacity based on spike detection technique in wireless multichannel neural recordings», Biomedical Engineering Conference, Caire, Égypte, 16-18 décembre 2010, pp. 154-157.

[C-55] SIMARD, G., SAWAN, M., MASSICOTTE, D., «Low-Power High-Speed Capacitive Transdermal Spatial Pulse Position Modulation Communication», IEEE-NEWCAS*,* Bordeaux, France, 26-29 juin 2011, pp. 113-116.

[C-56] TARIQUS SALAM, M., NGUYEN, D.K, SAWAN, M.,«A multichannel intracerebral EEG monitoring system for epilepsy presurgical evaluaiton», IEEE-CCECE, Niagara Falls, Canada, 8-11 mai 2011, pp. 25-328.

[C-57] TARIQUS SALAM, M., SAWAN, M., NGUYEN, D.K «Epileptic seizure onset detection prior to clinical manifestation». 32nd Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC 2010), Buenos Aires, Argentine, 31 août – 3 septembre 2010, pp. 6210-6213.

[C-58] TARIQUS SALAM, M., NGUYEN, D., SAWAN, M., «A Multichannel Intracerebral EEG Monitoring system For Epilepsy Presurgical Evaluation», IEEE-CCECE**,** Niagara-Falls, 8-11 mai 2011, pp. 325-328

[C-59] TEHRANCHI, A., KASHYAP, R., «Efficient ultra-wideband wavelength Converters based on double-pass cascaded SFG + DFG using engineering QPM gratings», Proceedings of NLO Kauai, USA, 17-22 juillet 2011, pp. 22528-22534.

[C-60] TEHRANCHI, A., KASHYAP, R., «Flattop wideband wavelength convertes based on cascade sum and difference-frequency generation using step-chirped gratings», Proceedings of Photonics West, Sans Francisco, USA, 18-23 janvier 2011, pp. 785-793.

[C-61] TEHRANCHI,.A., AHLAWAT, M., XU, C.Q., KASHYAP, R., «Novel Techniques for Guided-Wave Wavelength Conversion», 16th Opto-Electronics and Communications Conference, OECC 2011, Kaohsiung, Taiwan, 4-8 juillet 2011, pp. 331-332

[C-62] TREMBLAY, C.C., JEAN, J., MARCHAND, L., TURKI, A., CHOUINARD-GAOUETTE, P., BROUSSEAU, M., MOHAMMADI, M., MARTEL, S., «Robotic platform for real-time tracking of a single fast swimming bacterium», Symposium on Optomechatronic Technologies, Montréal, Canada, 25-27 octobre 2010, pp. 1-5.

[C-63] VALORGE, O., ANDRE, W., SAVARIA, Y., BLAQUIÈRE, Y., «^Power supply analysis of a large area integrated circuit», IEEE-NEWCAS*,* Bordeaux, France, 26-29 juin 2011, pp.398-401.

[C-64] VALORGE, O., BLAQUIÈRE, Y., SAVARIA, Y., «A Spatially Reconfigurable Fast Differential Interface for a Wafer Scale Configurable Platform», IEEE International Conference on Electronics, Circuits and Systems (ICECS), Athènes, Greece, 12–15 Décembre. 2010, pp. 1176–1179.

[C-65] ZARRABI H., AL-KHALILI A.J., SAVARIA Y., «Repeater Insertion in Power Managed VLSI Systems» Easy Chair Conference system, Lausanne, Suisse, 2-4 mai 2011, pp. 395-398.

[C-66] ZHENG Y., BEKHICHE, S., SAWAN, M., «Planar Microcoils Array Applied to Magnetic Beads Based Lab-on-chip for high throughput applications», IEEE-ISCAS, Buenos-Aires, Argentina, 15- 18 mai 2011, pp. 2345-2348.

Articles de conférence de septembre 2009 à août 2010.

[C-67] AHLWAT, M., VAZQUEZ, V., NALIN, M., MESSADDEQ, Y., RIBEIRO, S., KASHYAP, R., «Refractive index changes in photo-darkened $Sb_n S_{1-n}$ Chalcogenide Glass by exposure to below band-gap radiation», International Conference on Non Crystalline Solids, Iguassu, Brazil, septembre 2009, pp. 1-4.

[C-68] ALLARD, M., GROGAN, P., DAVID, J.-P., «A scalable architecture for multivariate polynomial evaluation on FPGA», 2009 International Conference on Reconfigurable Computing and FPGAs, Cancun, Mexico, 9-11 décembre 2009, pp.107-112.

[C-69] AL-TERKAWI-HASIB, O., SAWAN, M., SAVARIA, Y., «Fully Integrated Ultra-Low-Power Asynchronously Driven Step-Down DC-DC Converter», IEEE-ISCAS, Paris, France, 30 mai–2 juin 2010, pp. 877-880.

[C-70] AZZABI, A., ABOULHAMID, M., NICOLESCU, G., «Timing verification of cyclic systems based on temporal constraint analysis», ICECS 2010, Athens, Grèce, 12–15 décembre 2010, pp. 659-662.

[C-71] BAFUMBA-LOKILO, D., SAVARIA, Y., DAVID, J.-P., «Generic Array-Based MPSoC Architecture», 2nd Microsystems and Nan electronics Research Conference (MNRC 2009), Ottawa, Canada, 13-14 octobre 2009, pp. 128-131.

[C-72] BENSALEM, B., KASHYAP, R., DEMIZIEUX, P.-M., PROULX, X., CARDINAL, C., BOSISIO, R., NERGUIZIAN, C., « A Novel Scheme to Lock Distributed Multimode Optical Fiber Vibration Sensors », OSA meeting: Optical Fiber Sensors, Karlsruhe, Germany, 21-24 juin 2010, pp.B1-B7

[C-73] BERRIAH, O., BOUGATAYA, M., LAKHSSASSI, A., BLAQUIÈRE, Y., SAVARIA, Y., « Thermal Analysis of a Miniature Electronic Power Device Matched to a Silicon Wafer », NEWCAS 2010, Montreal, Canada, 20-23 mai 2010, pp. 129-132.

[C-74] BOUCHEBBABA, Y., NICOLESCU, G., PAULIN, P., «MPAssign: A Framework for Solving the Many-Core Platform Mapping Problem», 21st IEEE International Symposium on Rapid System Prototyping, Virginie, USA, 8-11 juin 2010, pp. 1-7.

[C-75] BRINGOUT G., SAEIDLOU S., MARTEL S., «Sub-micrometer network fabrication for bacterial carriers and electrical signal transmission», 4th International ICST Conference on Nano-Networks, Luzern, Switzerland, Oct. 18-20, 2009, pp. 46-50.

[C-76] CHAOUI, H., SICARD, P., SAWAN, M., «High Precision ANN-Based Adaptive Displacement Tracking of Piezoelectric Actuators for MEMS», NEWCAS 2010, Montreal, Canada, June 20-23, 2010, pp. 85-88.

[C-77] DAIGNEAULT, M.-A., DAVID, J.-P., «A novel 10 ps resolution TDC architecture implemented in a 130nm process FPGA», NewCAS 2010, Montreal, QC, 20-23 juin 2010, pp. 281 -284.

[C-78] DAIGNEAULT, M.-A., DAVID, J.-P., «Towards 5ps Resolution TDC on a Dynamically Reconfigurable FPGA», 18th Annual ACM/SIGDA International Symposium on Field Programmable Gate Arrays (FPGA) 2010, Monterey, California, USA, 21-23 février 2010. p. 283

[C-79] ETHIER, S., SAWAN, M., M., EL-GAMAL, M. «A Novel Energy-Efficient Stimuli Generator for Very-High Impedance Intracortical Microstimulation», IEEE-ISCAS, Paris, France, May 30 – June 2, 2010, pp. 961-964.

[C-80] FELFOUL, O., MOKRANI, N., MOHAMMADI, M., MARTEL, S., «Effect on the chain of magnetosomes embedded in magnetotactic bacteria and their motility on Magnetic Resonance Imagning», Conference on the IEEE Engineering in Medicine and Biology Society (EMBC), 31 août – 4 septembre 2010, pp. 4367-4370.

[C-81] FEREYDOUNI FOROUZANDEH, F., AIT MOHAMED, O., SAWAN, M., AWWAD, F., «Delay Calculation and Error Compensation in TBCD-TDM Communications Protocol for Wireless Body Sensor Networks», NEWCAS 2010, Montreal, Canada, June 20-23, 2010, pp. 17-20.

[C-82] FEREYDOUNI FOROUZANDEH, F., AIT MOHAMED, O., SAWAN, M., AWWAD, F., «TBCD-TDM: Novel Ultra-Low Energy Protocol for Implantable Wireless Body Sensor Networks», IEEE-Globe Com, Hawaii, November 30 - December 4, 2009, pp. 1-6.

[C-83] GAGNÉ, M., KASHYAP, R., «Photosensitivity of hydrogen-free optical fibers exposed to nanosecond 213 nm pulses», OSA Conference BGPP, Karlsruhe, Germany, June 21-24, 2010, http://www.opticsinfobase.org/abstract.cfm?URI=BGPP-2010-BWD5

[C-84] GAGNÉ, M., KASHYAP, R., «Lasers aléatoires à fibre basé sur un réseau de Bragg unique», ACFAS, Montréal, Canada, May 9-13, 2010, pp. 1-4.

[C-85] GIRODIAS, B., GHEROGHE, L, BOUCHEBBABA, Y., NICOLESCU, G., ABOULHAMID, M., LANGEVIN, M., PAULIN, P., «Combining Memory Optimization with Mapping of Multimedia Applications for MPSoCs», », 21st IEEE International Symposium on Rapid System Prototyping, Virginie, USA, 8-11 juin 2010, pp. 1-9

[C-86] GOSSELIN, B., SAWAN, M., «Circuits techniques and microsystems assembly for Intracortical multichannel ENG recording», IEEE-Custom Integrated Circuits Conference (CICC), San Jose, USA, September 13-16, 2009, pp. 97-104.

[C-87] HARHIRA, A., CARVALHO, I. C. S., GUAY, F., DAIGLE, M., KASHYAP, R., «Holographic technique of LPG fabrication with a 10.6 µm radiation», ICOOPMA 2010, Budapest, Hungary, August 16-19, 2010, p. 20.

[C-88] HARHIRA, A., LAPOINTE, J., KASHYAP, R., «High sensitivity inline fiber Mach-Zehnder interferometer bend sensor using a twin core fiber», Proc. SPIE, 2010, pp. 7653/1-7653.15.

[C-89] HARHIRA, A., CARVALHO, I. C. S., KASHYAP, R., «LPG on Tapered Fiber Fabricated by Holographic Technique and 10.6µm Radiation», in Bragg Gratings, Photosensitivity, and Poling in Glass Waveguides, OSA Technical Digest (CD) (Optical Society of America 2010), paper BMA6, http://wwwopticsinfobase.org/abstract.cfm?URI=BGPP-2010-BMA6.

[C-90] HASHEMI, S., SAWAN, M., SAVARIA, Y., «A Low-Area Power-Efficient CMOS Active Rectifier for Wirelessly Powered Medical Devices», 16th IEEE International Conference on Electronics, Circuits and Systems, Tunisia, December 13-16, 2009, pp. 635-638.

[C-91] HASIB, O.A., SAWAN, M., SAVARIA, Y. 2010. «Fully integrated ultra-low-power asynchronously driven step-down DC-DC converter», IEEE International Symposium on Circuits and Systems. ISCAS Paris, France, 30 mai – 2 juin 2010, pp. 877-880.

[C-92] KHAMSEHASHARI, E., AUDET, Y., «Digital Linearity Correction of a Wide Dynamic Range Current-Mode Image Sensor», The 8th IEEE International, NEWCAS Conference 2010, Montréal, Canada, 21-23 juin 2010, pp. 133-136.

[C-93] KHOSHBAKHT MARVI E., MOHAMMADI M., MARTEL S., «Using a Swarm of Bacteria as Actuator for Propelling Micro robots», 12th International Conference on New Actuators, Bremen, Germany 14-16 juin 2010, pp.1-4.

[C-94] KHOSHBAKHT MARVI E., MOKRANI N., MOHMAMMADI M., MARTEL S. «Impact of the Geometrical Features of Micro-components in Bacterial Micro-assemblies», 5th Int. Conference on Micro Manufacturing (ICOMM/4M), Madison, Wisconsin, USA, 5-8 avril, 2010, pp. 1-4

[C-95] LAFLAMME-MAYER, N., VALORGE, O., BLAQUIÈRE, Y., SAWAN, M., «A Low-Power, Small-Area Voltage Reference Array for a Wafer-Scale Prototyping Platform», NEWCAS 2010, Montreal, Canada, 21-23 juin 2010, pp. 189-192.

[C-96] LALANDE V., GOSSELIN F.P., MARTEL S., «Experimental demonstration of a swimming robot propelled by the gradient field of a Magnetic Resonance Imaging (MRI) system», 2010 IEEE/ASME International Conference on Advanced Intelligent Mechatronics (AIM), Montreal, Canada, 6-9 juillet 2010, pp.103-108.

[C-97] LAPOINTE J., MARTEL S., «Thermo responsive hydro gel with embedded magnetic nanoparticles for the implementation of shrinkable medical microrobots and for targeting and drug delivery applications», 31st Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), Minneapolis. USA, 3-6 septembre 2009, pp. 4246-4249

[C-98] LE BEUX, S., O'CONNOR, I., NICOLESCU, G., BOIS, G., PAULIN, P., «A System-Level Exploration Flow for Optical Network on Chip (ONoC) in 3D MPSoC», ISCAS Paris, France, 30 mai – 2 juin 2, 2010, pp. 3613-3616.

[C-99] LEPERCQ, E., VALORGE, O., BASILE-BELLAVANCE, Y., LAFLAMME-MAYER, N., BLAQUIÈRE, Y., SAVARIA, Y., «An Interconnection Network for a Novel Reconfigurable Circuit Board», 2nd Microsystems and Nanoelectronics Research Conference (MNRC), Ottawa, Canada, 13-14 octobre 2009, pp. 53-56.

[C-100] MAHDAVI, S., NABKI, F., SAWAN, M., EL-GAMAL, M.N.; «On the testing of MEMS resonators», The 4th International Design and Test Workshop (IDT), Riyadh, Saudi Arabia, 15-17 novembre 2009, pp. 1-6.

[C-101] MARTEL S, MOHAMMADI M., «Using a Swarm of Self-propelled Natural Microrobots in the Form of Flagellated Bacteria to Perform Complex Micro-assembly Tasks», 2010 IEEE International Conference on Robotics and Automation (ICRA), Anchorage, Alaska, 3—8 mai 2010, pp. 500-505.

[C-102] MARTEL S, MOHAMMADI M.,«A robotic micro-assembly process inspired by the construction of the ancient pyramids and relying on several thousand flagellated bacteria acting as micro-workers», Intelligent Robots and Systems, St-Louis, USA, 10-15 octobre 2009, pp. 426-427.

[C-103] MILED, M.A., EL-ACHKAR, C.M., SAWAN, M., «Low-Voltage Dielectrophoretic Platform for Lab-on-Chip Biosensing Applications», NEWCAS 2010, Montreal, Canada, 20-23 mai 2010, pp. 389-392.

[C-104] MILED, M.A., SAWAN, M., «A New CMOS/Microfluidic Interface for Cells Manipulation and Separation in LoC Devices». 2nd Asia Symposium on Quality Electronic Design (ASQED 2010*)*, pp. 194-197.

[C-105] MOUNAIM, F., SAWAN, M., «Integrated inductive power and data recovery front-end dedicated to implantable devices», IEEE-BioCAS Conference, Beijing, China, 26-28 novembre 2009, pp. 229-232.

[C-106] MOUNAIM, F., SAWAN, M., «High-voltage DC/DC converter for high-efficiency power recovery in implantable devices», 2009 International Conference on Microelectronics (ICM), Marrakech, Morocco, 19-22 décembre 2009, pp. 22-25.

[C-107] NEMOVA, G., KASHYAP**,** R., «High-power fiber lasers with integrated rare-earth optical cooler», In proceeding sof Photonics West, San Francisco, 23-28 janvier 2010, Laser Refrigeration of Solids III*,* p. 761406.

[C-108] OULD BACHIR, T., DUFOUR, C., DAVID, J.-P., BÉLANGER, J., «Effective fpga-basedelectric motor modeling with floating-point cores», IECON 2010 – 36th Annual Conference on IEEE Industrial Electronics Society, Glendale, AZ, 7-10 novembre 2010, pp. 829-834.

[C-109] OULD BACHIR, T., DAVID, J.-P., «Performing Floating-Point Accumulation on a modern FPGA in Single and Double precision», FCCM 2010, Charlotte, NC, 2-4 mai 2010, pp. 105-108.

[C-110] SAEIDLOU S., BRINGOUT G., DUBOIS C., MARTEL S., «Polymeric fibers for bacterial carriers and electrical signals in future nano-networks», 4th International ICST Conference on Nano-Networks (Nano-Net 2009), Luzern, Switzerland, 18-20 octobre 2009, pp. 1-4

[C-111] SAFI-HARB, M., SAWAN, M., MIRABBASI, S., «Super-Regeneration-Inspired Time-Based Testing of LC-Tank Oscillators», IEEE-ISCAS, Paris, France, 30 mai-2 juin 2010, pp. 4285-4288.

[C-112] SAWAN, M., GOSSELIN, B., «Multichannel Neurorecording for the Cortex: Integraton and Packaging Challenges», Symposium on Integrated Circuits and Systems Design (SBCCI), Natal, Brésil, 31 août – 3 septembre 2009, pp. 1-5.

[C-113] SHECHTER E., MARTEL S., «Principles of Motion Control of Bacterial Micro-Robots Using Oxygen Gradients», 2010 IEEE/ASME International Conference on Advanced Intelligent Mechatronics, Montreal, Canada, 6-9 juillet 2010, pp. 848-853.

[C-114] SIADJINE, M., BUI, H.T., BOYER, F.R., «Peak-to-Peak Jitter Reduction Technique for the Free-Running Period Synthesizer (FRPS)», IEEE International Symposium on Circuits and Systems (ISCAS), Paris, France, 30 mai – 2 juin 2010, pp. 1-4.

[C-115] SOARES DE LIME, F. E., NEMOVA, G., SAAD, M., BOWMAN, S., KASHYAP, R., «LICOS: Laser Induced Cooling of Solids», CIPI Annual Meeting, Niagara Falls, Canada, 4-5 juin 2010, pp.

[C-116] TABATABAEI, S.N., LAPOINTE, J., MARTEL, S., «Microscale hydrogel-based computer-triggered polymorphic microrobots for operations in the vascular networks», 3rd IEEE RAS and EMBS International Conference, Tokyo, Japon, 26-29 septembre 2010, pp. 407-412.

[C-117] TABATABAEI, S.N., LAPOINTE, J., MARTEL, S., «Hydrogel encapsulated magnetic nanoparticles as hyperthermic actuators for microrobots designed to operate in the vascular networks», International Conference on Intelligent Robots and Systems, IROS 2009, St-Louis, Missouri, USA, 11-15 octogre 2009, pp. 546-551.

[C-118] TANGUAY, L.F., SAVARIA, Y., SAWAN, M., «A 640µW Frequency Synthesizer Dedicated to Implantable Medical Microsystems in 90-nm CMOS», NEWCAS, Montreal, Canada, 20-23 mai 2010, pp. 369-372.

[C-119] TARIQUS-SALAM, M., SAWAN, M., NGUYEN, D.K., «Epileptic seizure onset detection prior to clinical manifestation», Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), 31 août – 4 septembre 2010, pp. 6210-6213.

[C-120] TARIQUS-SALAM, M., NGUYEN, D.K., SAWAN, M., MOLIANIAD, A., «A Novel Low-Power Implantable Device for Epileptic Detection and Neurostimulation», Biomedical Circuits and Systems Conference (BioCAS), 3-5 novembre 2010, pp. 154-157.

[C-121] TEHRANCHI, A., KASHYAP, R., «Pump-Detuned Double-pass cSFG/DFG-Based PPLN Wavelength Converters in Lossy Waveguides», OSA Meeting, Nonlinear Photonics, Karlsruhe, Germany, June 21-24, 2010, paper NTuC21, http://opticsinfobase.org/abstract.cfm?URI=NP-2010-NTuC21.

[C-122] TEHRANCHI, A., KASHYAP, R., «Flattop broadband wavelength converters based on double-pass cascaded SFG + DFG in quasi-phase matched waveguides», IEEE Proceedings of the 22nd Annual Lasers and Electro Optics Society (LEOS) Meeting, Antalya, Turkey, Oct. 4-8, 2009, pp. 819-820.

[C-123] TRABELSI, A., BOYER, F.R., BOUKADOUM, M., «Robust Estimation of LP Parameters in White Noise with Unknown Variance», IEEE International Conference on Electronics, Circuits & Systems (*ICECS*), Medina, Tunisia, 13-16 décembre 2009, pp. 335-338

[C-124] VÁZQUEZ, G., HARHIRA, A., BOSISIO, R., KASHYAP, R., «Complex optical micro components for integrated-Optic applications fabricated by laser ablation», *Proceedings of the SPIE*, Vol. 7499, 2009, pp. 749916-749916-6.

[C-125] ZARRABI, H., SAVARIA, Y., «Early Estimation of Energy Performance in Computing Platforms Utilizing Extensions to Amdahl's Law», 16th IEEE International Conference on Electronics, Circuits and Systems, Yasmine,Hammamet,Tunisia, December 13-16, 2009, pp. 783-786.

[C-126] ZARRABI. H., AL-KHALILI, A., SAVARIA, Y., «An Interconnect-Aware Dynamic Voltage Scaling Scheme for DSM VLSI» ISCAS 2010, Paris, France, May 30 – June 2, 2010, pp. 41-44.

Brevets

[B-1] KASHYAP, R., «Modifying the coatings of optical fibres», Canadian Patent, CA 2,479,m863,2004, 25 août 2011.

Livres

[L-1] GHAFAR-ZADEH, E., SAWAN, M. «CMOS capactive sensors for lab-on-chip Application: A multidisciplinary approach», New York, Springer. 146 p.

INDEX DES AUTEURS

A

AKBARNIAI TEHRANI Mona 23
ALLARD, Mathieu 24
ALLARD-BERNIER, Jessica 25
AL-TERKAWI HASIB, Omar 26
AUBERTIN, Philippe 27

B

BASILE-BELLAVANCE, Yan 28
BEN CHEIKH, Taieb Lamine 29
BENDALI, Abdelhalim 30
BENHAMMADI, Seddik 31

D

DAIGNEAULT, Marc-André 32
DROLET, Jonathan 33

E

ÉTHIER, Sébastien 34
EZZAT, Hicham 35

F

FARAH, Rana 36
FOURMIGUE, Alain 37

G

GAN, Qifeng 38
GÉLINAS, Sébastien 39
GHANNOUM, Anthony 40
GIL, Diana 41
GROGNAN, Patrick 42
GUÉRARD, Hubert 43
GUILLEMOT, Mikaël 44

H

HASANUZZAMAN, Md 45
HASHEMI, Saeid 46
HAWI, Firas 47

K

KAR, Goutam Chandra 48
KARIMIAN-SICHANY, Masood 49
KHAMSEHASHARI, Elham 50
KOWARZYK MORENO, Gilbert 51
KROUCHEV, Nedialko 52

L

LAFLAMME-MAYER, Nicolas 53
LAFRANCE, Pierre 54
LAREAU, Étienne 55
LEBRUN MCKINNON, Mathieu 56
LEPERCQ, Étienne 57
LEREBOURS Jonas 58
LÉVESQUE, Philippe 59

M

MBAYE, Mame Maria 60
MENDEZ, Arnaldo 61
MILED, Mohamed Amine 62
MONTEIRO, Felipe 63
MORADI, Arash 64
MOSS, Laurent 65
MOUNAIM, Fayçal 66

N

NOURIVAND, Afshin 67

O

OULD BACHIR, Tarek 68

P

PONS Jean-François 69

R

ROBATI, Tiyam 70
ROGERS-VALLÉE, Michel 71

S

SALAM, Muhammad Tariqus 72
SAVARD, Julien 73
SEBBAR, Mohamed 74
SHARAFI, Azadeh 75
SIADJINE NJINOWA, Marcel 76
SIMARD, Guillaume 77
STIMPFLING, Thibaut 78

T

TANGUAY, Louis-François 79
TAPP, Martin 80
TREMBLAY, José Philippe 81
TRENTIN, Davide 82
TURGEON, Jean-Sébastien 83

V

VAKILI, Shervin *84*

Z

ZARRABI, Houman *85*
ZHANG, Khai *86*
ZHENG, Yushan *87*