



Titre: Contributions à la modélisation et à la validation des modèles de liaisons HVDC de Type VSC-MMC dans les outils de simulation temps réel
Title:

Auteur: Sébastien Dennerière
Author:

Date: 2017

Type: Mémoire ou thèse / Dissertation or Thesis

Référence: Dennerière, S. (2017). Contributions à la modélisation et à la validation des modèles de liaisons HVDC de Type VSC-MMC dans les outils de simulation temps réel [Ph.D. thesis, École Polytechnique de Montréal]. PolyPublie.
Citation: <https://publications.polymtl.ca/2471/>

 **Document en libre accès dans PolyPublie**
Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/2471/>
PolyPublie URL:

Directeurs de recherche: Jean Mahseredjian
Advisors:

Programme: génie électrique
Program:

UNIVERSITÉ DE MONTRÉAL

CONTRIBUTIONS A LA MODELISATION ET A LA VALIDATION DES
MODELES DE LIAISONS HVDC DE TYPE VSC-MMC DANS LES OUTILS
DE SIMULATION TEMPS REEL

SÉBASTIEN DENNETIÈRE

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

THÈSE PRÉSENTÉE EN VUE DE L'OBTENTION
DU DIPLÔME DE PHILOSOPHIAE DOCTOR
(GÉNIE ÉLECTRIQUE)

FÉVRIER 2017

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Cette thèse intitulée :

CONTRIBUTIONS A LA MODELISATION ET A LA VALIDATION
DES MODELES DE LIAISONS HVDC DE TYPE VSC-MMC
DANS LES OUTILS DE SIMULATION TEMPS REEL

présentée par : DENNETIÈRE, Sébastien

en vue de l'obtention du diplôme de : Philosophiae Doctor

a été dûment acceptée par le jury d'examen constitué de :

M. KOCAR Ilhan, Ph.D., président

M. MAHSEREDJIAN Jean, Ph.D., directeur de recherche

M. KARIMI Houshang, Ph.D., membre

M. FORTIN-BLANCHETTE Handy, Ph.D., membre externe

REMERCIEMENTS

Cette thèse de doctorat a été un long processus de recherches, d'apprentissages, de remises en question et de découvertes avec de nombreuses personnes que je souhaite ici remercier.

Tout d'abord, Jean Mahseredjian a été le principal instigateur pour que je me lance dans cette aventure. Je tiens à lui exprimer ma gratitude d'avoir toujours cru dans ce projet et d'y avoir apporté un soutien indéfectible. Depuis maintenant plus de 15 ans, sa rigueur intellectuelle, sa passion pour la science et sa folie du travail guident ma démarche professionnelle. Mes remerciements vont également à Hani Saad pour son expertise sur les systèmes MMC et son aide à structurer cette thèse. Ses convictions dans ce domaine m'ont donné de beaux défis à relever. La contribution de Tarek Ould Bachir doit également être soulignée plus particulièrement pour sa patience à m'expliquer le domaine mystérieux de l'implémentation sur FPGA.

Cette thèse a été réalisée dans le cadre de mon activité professionnelle à RTE. Je tiens ainsi à souligner le soutien de Louis Sozzi, Patrick Auzary, David Landier, Bertrand Clerc et Samuel Nguefeu qui m'ont facilité la réalisation de ce travail malgré les contraintes d'organisation et de priorisation dans l'entreprise. J'ai bien conscience de la chance qui m'a été donnée de réaliser cette thèse dans le cadre de mon travail.

J'aimerais également remercier l'équipe de développement d'Hypersim chez OPAL-RT et à l'IREQ pour leur aide à rendre ce logiciel fonctionnel. Mes remerciements vont aussi à Wei Li, Xiao Xiao et Jean Bélanger pour leur support dans l'utilisation des plateformes FPGA.

Pour finir sur une note plus personnelle, je dois remercier mes parents de m'avoir donné la chance de croire que tout est possible dans la vie si nous en avons la volonté. Finalement, je n'aurais jamais pu réaliser cette thèse sans le soutien, l'amour et la patience de ma femme Mathilde qui a dû faire de nombreux renoncements durant cette période. Merci également à nos enfants Eloïse, Félix et Antoine d'avoir laissé votre Papa faire des activités bien mystérieuses avec ses ordinateurs au lieu de jouer avec vous. Votre futur petit frère ou petite sœur n'aura pas à subir cette contrainte !

RÉSUMÉ

Le développement des réseaux de transport d'électricité est actuellement en pleine mutation. La transition énergétique en cours depuis plusieurs années, se concrétise par la fermeture de nombreuses centrales de production au charbon ou au fioul, l'installation massive de centres de production éolien et photovoltaïque et enfin une stagnation, voire une diminution de la consommation d'électricité. Cette transition impacte tous les pays d'Europe si bien que les interconnexions sont de plus en plus soumises aux variations des productions renouvelables.

Cette évolution de la consommation et de la production impose l'installation de systèmes de contrôle des flux de puissance plus sophistiqués que ceux utilisés jusqu'à maintenant. On parle donc de plus en plus d'équipement à base d'électronique de puissance : liaisons à courant continu à haute tension (CCHT ou HVDC) et compensateur statique de puissance réactive. Les liaisons HVDC permettent en plus de répondre à la demande sociétale d'enfouir les ouvrages de transport d'électricité. Les réseaux de transport voient donc de plus en plus d'intégration de liaisons HVDC point à point. Le plan de développement du réseau européen ENTSO-E prévoit ainsi plus de 20 000 km de liaisons HVDC en 10 ans. Avec ce développement dans des zones relativement limitées (réseaux nationaux autour de la mer du Nord par exemple : Royaume Uni, France, Belgique, Pays-Bas, Danemark, Allemagne), la notion de réseaux à courant continu commence à se poser. Plusieurs projets de ce type de réseaux sont actuellement en cours d'étude de manière très avancée en Europe. En Chine deux réseaux HVDC sont désormais en exploitation.

Depuis maintenant plus de 20 ans, des liaisons VSC (Voltage Source Converter) à base de composants IGBT (Insulated Gate Bipolar Transistor) ou GTO (Gate Turn Off Thyristor) ont commencé à être installées. Elles étaient initialement synonymes d'onduleur autonome à modulation de largeurs d'impulsions et les commutations étaient réalisées à des fréquences de quelques centaines de Hz (voire quelques kHz pour les IGBT). La difficulté d'assembler des centaines de GTO/IGBT et de diodes en série pour former des valves à très haute tension (plus de 100 kV) et/ou le besoin de maîtriser les pertes par commutation dissipées dans ses convertisseurs ont conduit les constructeurs à privilégier des structures modulaires où de nombreux modules sont connectés en cascade. Les convertisseurs à multi-niveaux (MMC - Modular Multilevel Converter) vont de quelques dizaines de niveaux à plusieurs centaines en fonction de la technologie et du niveau de tension. Ce type de convertisseur est devenu en quelques années la solution quasi exclusive pour la conversion CA/CC à très haute tension en Europe. Des solutions à 400 kV voir 500 kV sont actuellement en cours de construction.

Afin de planifier l'installation de ces convertisseurs MMC et étudier leur fonctionnement dans des réseaux comportant une forte concentration d'électronique de puissance, il est nécessaire d'avoir des outils de simulation fiables. Les outils de simulation de transitoires électromagnétiques sont habituellement utilisés dans ce cadre car ce sont les outils les plus appropriés pour avoir une représentation détaillée des convertisseurs mais également de leur contrôle commande. En complément de ces outils, l'utilisation de la simulation temps réel associée à des répliques de contrôle commande s'impose de plus en plus comme un outil indispensable dans ce contexte.

C'est pour ces raisons que des laboratoires de simulation temps réel accueillant des répliques de contrôle commande ont été construits ou sont en cours de développement dans la plupart des zones intégrant des liaisons HVDC de manière massive. L'objectif est, pour certaines études spécifiques, de ne plus modéliser les systèmes de contrôle commande mais d'avoir les systèmes réels (avec les mêmes versions de logiciels que sur site) raccordés à des modèles de convertisseurs et de réseaux. Ces investissements conséquents seraient inutiles si les modèles temps réel étaient très approximatifs. La plus-value d'avoir les véritables systèmes de contrôle commande serait perdue. C'est pourquoi un soin particulier doit être apporté à la validation de ces modèles et à leur performance en temps réel.

Un des principaux objectifs de cette thèse est ainsi d'évaluer et si possible d'augmenter la précision des modèles MMC pour la simulation temps réel. Il est d'abord question de fournir des cas d'application dans un contexte industriel pour montrer les limites de certaines modélisations. Cette thèse permet également de mettre en lumière certaines limitations des modèles MMC détaillés. La validation des modèles MMC à l'aide de mesures réalisées sur des convertisseurs de forte puissance est aussi une contribution de cette thèse.

Des interfaçages entre simulateur temps réel et des systèmes de contrôle commande réels ont été développés dans cette thèse. Leurs performances temps réel et leur précision dans la plateforme de simulation complète ont été évaluées à l'aide de mesure sur site.

Afin de tester, valider et comparer des stratégies de contrôle commande et de protections adaptées aux réseaux à courant continu, il était nécessaire de développer des réseaux de test (ou benchmarks). Le deuxième volet de cette thèse a donc été de contribuer à la conception du réseau HVDC CIGRE qui est maintenant utilisé dans de nombreux groupes de travail et sert de base à des travaux de recherche dans ce domaine.

ABSTRACT

Development of electrical transmission grids is presently undergoing radical changes. The energy transition towards renewable energy started a few years ago. It leads to closure of many coal-fired or oil-fired power plants, massive construction of photovoltaic plants and wind farms and a stagnation of electrical consumption. This transition has a huge impact in Europe on the electrical interconnections between countries. Sophisticated equipment to control power flow are now more and more required in this context. Power electronic based devices are often selected such as High-Voltage Direct Current transmission systems (HVDC) and Static Var Compensator (SVC). HVDC also offers a practical solution to the public demand to use underground cables instead of overhead lines. More and more HVDC point-to-point link are now integrated in transmission grids. More than 20,000 km of HVDC lines are expected in the 10-year ENTSO-E development plan. This development will occur in a limited area in Europe (national grid around the North Sea: United Kingdom, France, The Netherlands, Denmark, Germany) providing an opportunity to design HVDC grids. Several HVDC grids projects are now planned in Europe. In China, 2 HVDC grids are already in operation.

Voltage Source Converters (VSC) have been installed on transmission grids for more than 20 years. They have been limited until 2010 to the two-level and three level diode-clamped topology with switching frequencies around a few kHz. Several practical limitations as switching losses and difficulties in assembling very high voltage valves have been overcome by the modular technology called MMC (Modular Multilevel Converter). This topology consists of several sub-modules (SM) connected in series. Number of SMs per valve can go from a few tenth to several hundreds. MMC is now the quasi exclusive solution for AC/DCCC conversion on transmission grids in Europe. Technical solutions up to 400 kV and even 500kV DC are under construction.

In order to prepare the installation and analyze the behavior of MMC converters connected to grids with high penetration of power electronics based devices, reliable and accurate simulation tools are required. Electromagnetic Transient (EMT) tools are usually used in this context because they handle a detailed representation of converters and control systems. In addition to EMT offline simulation, real-time simulation with HVDC control systems replicas becomes more and more popular.

This is why, real-time simulation laboratories with replicas have been constructed or are planned in most of areas where HVDC is massively installed. The main objective of these tools,

is to avoid modeling of control systems and to use the physical hardware and same version of software than used on site. Real-time simulators and control systems replicas are quite expensive. These investments would be useless if converters modeled in real-time simulators were not accurate. The HVDC replicas added value would be quite limited in this case. This is why special care has to be taken to validate converter models and their performances in real-time simulation.

One of the main objective of this thesis is to evaluate and increase, when possible, precision of MMC models for real-time simulation. First, industrial test cases are provided to assess the limits of some modeling techniques. This thesis also highlights limitations of some detailed MMC models. Validation of MMC models with onsite measurements performed on an HVDC link in operation is also a contribution of this thesis.

Interfaces between real-time simulators and physical control systems have been developed in this thesis. Real-time performances and accuracy in a fully equipped platform have been compared against real measurements.

In order to test, validate and compare control and protection strategies adapted to DC grids, the development of a DC grid test system (or benchmark) was required. The second topic of this thesis was the design of the CIGRE DC grid which is now used by international working groups and serves as a basis for many research in this field.

TABLE DES MATIERES

REMERCIEMENTS	III
RÉSUMÉ.....	IV
ABSTRACT	VI
TABLE DES MATIERES	VIII
LISTE DES TABLEAUX.....	XIII
LISTE DES FIGURES.....	XIV
LISTE DES SIGLES ET ABRÉVIATIONS	XX
LISTE DES ANNEXES.....	XXII
CHAPITRE 1 INTRODUCTION.....	1
1.1 Motivation	1
1.2 Objectifs de la thèse	5
1.3 Contributions de la thèse	6
1.4 Liste des publications issues de ce travail	7
1.4.1 Chapitre de brochure	7
1.4.2 Articles de journal	7
1.4.3 Articles de conférence	7
CHAPITRE 2 TECHNOLOGIES HVDC ET SIMULATIONS DE TYPE EMT – REVUE DE LA LITTERATURE	9
2.1 L'essor des liaisons HVDC-VSC.....	9
2.1.1 Les liaisons avec convertisseurs LCC et VSC	9
2.1.2 Avec des convertisseurs VSC à 2 ou 3 niveaux	10
2.1.3 Avec des convertisseurs VSC de type MMC	11
2.2 Description de la topologie MMC.....	12
2.3 Les modèles EMT de convertisseurs MMC	15
2.3.1 Modèle 1.....	15

2.3.2	Modèle 2.....	15
2.3.3	Modèle 3.....	16
2.3.4	Modèle 4.....	18
2.4	Principes de résolution dans les outils de type EMT	18
2.4.1	Modèles de composants - discrétisation des équations différentielles	19
2.4.2	Système de résolution.....	20
2.4.3	Principes de la simulation temps réel	21
2.5	Les études EMT pour les projets de liaisons VSC-MMC	22
2.5.1	Les études de faisabilité	23
2.5.2	Les études de spécifications pour l'appel d'offre	25
2.5.3	Les études de conception et de validation de performances	26
2.5.4	Les études en exploitation	32
2.6	Les réseaux à courant continu	33
2.7	Conclusions	35
CHAPITRE 3 MODÉLISATION DES LIAISONS VSC DANS LES OUTILS DE TYPE EMT POUR DES APPLICATIONS INDUSTRIELLES		36
3.1	Description d'une liaison HVDC de type VSC MMC.....	36
3.2	Les demi-bras des convertisseurs	37
3.2.1	Optimisations possibles du Modèle 1	38
3.2.2	Le Modèle 2a.....	43
3.2.3	Le Modèle 2b	46
3.2.4	Le modèle 3	51
3.2.5	Comparaison Modèle 2a / Modèle 2b	52
3.2.6	La modélisation à admittance constante.....	57
3.3	Les transformateurs de conversion.....	63
3.4	Les autres équipements	64

3.4.1	Les inductances de point neutre	64
3.4.2	Les inductances de demi-bras	65
3.4.3	Les parafoudres	65
3.4.4	Les disjoncteurs et équipements de sectionnement.....	66
3.4.5	Les câbles souterrains et des lignes aériennes sur la partie continue.	67
3.5	Conclusions	67
CHAPITRE 4 IMPLÉMENTATION DES MODÈLES DE LIAISONS VSC DANS DES SIMULATEURS TEMPS RÉELS.....		68
4.1	Exigences à respecter	68
4.1.1	Pourquoi la simulation temps réel ?	68
4.1.2	Validation des modèles temps réel de liaisons HVDC	68
4.1.3	Pourquoi l'utilisation de FPGA ?.....	71
4.2	Les modèles de convertisseurs adaptés à la simulation temps réel	74
4.2.1	Modèles basés l'utilisation de matrices d'admittance constantes	74
4.2.2	Modèle détaillé équivalent (Modèle 2a) adapté à la simulation temps réel	74
4.2.3	Modèle 3.....	88
4.2.4	Modèle 2b.....	88
4.3	Conclusions	89
CHAPITRE 5 IMPLÉMENTATION ET VALIDATION DES MODÈLES DE LIAISONS VSC APPLIQUÉES À LA LIAISON FRANCE ESPAGNE.....		90
5.1	Description de la liaison France-Espagne	90
5.1.1	Contexte	90
5.1.2	Description de l'interconnexion.....	91
5.2	Principes de modélisation et de validation des stations de conversion	93
5.2.1	Modélisation sans FPGA – Modèle 3	93
5.2.2	Description du modèle de station de conversion.....	95
5.2.3	Validation du modèle de transformateur de conversion.....	96

5.2.4	Principes de validation du modèle de convertisseurs et des interfaces	99
5.3	Validation du modèle temps réel.....	100
5.3.1	Constitution des modèles temps réel/hors temps réel	100
5.3.2	Validation à l'aide de simulation en temps différé du modèle temps réel sans interface d'E/S	101
5.3.3	Validation à l'aide de mesures du modèle temps réel sans interface d'E/S	105
5.4	Validation du modèle temps réel avec les interfaces d'E/S	109
5.5	Utilisation du modèle temps réel avec le contrôleur physique.....	111
5.5.1	Description du matériel	111
5.5.2	Validation de l'ensemble simulateur + réplique	113
5.6	Conclusions	120
CHAPITRE 6	UTILISATION DE MODÈLES DÉTAILLÉS MMC DANS DES SIMULATIONS TEMPS RÉEL.....	122
6.1	Modèle 2a implémenté sur FPGA.....	122
6.1.1	Implémentation sur FPGA	122
6.1.2	Validation du modèle de convertisseur sur FPGA	125
6.1.3	Validation du modèle avec un grand nombre de niveaux	129
6.2	Modèle 2b implémenté sur FPGA.....	133
6.2.1	Implémentation sur FPGA	133
6.3	Validation du modèle de convertisseur sur FPGA	133
6.4	Conclusions	137
CHAPITRE 7	RÉSEAUX HVDC - JUSTIFICATIONS DU BENCHMARK CIGRE ET RÉSULTATS DE CAS TESTS	138
7.1	Introduction	138
7.2	Description des réseaux CC et justifications.....	138
7.2.1	Topologie du réseau	138
7.2.2	Description des principaux équipements.....	140

7.3	Simulations du réseau test	149
7.4	Conclusions	154
CHAPITRE 8	CONCLUSION	155
BIBLIOGRAPHIE	157
ANNEXES	161

LISTE DES TABLEAUX

Tableau 3-1: Temps d'exécution d'un modèle 1 de liaison HVDC	42
Tableau 4-1: Étapes de validation d'un modèle temps réel de station de conversion VSC.....	70
Tableau 4-2: Modèle 2a - algorithme du demi-bras du MMC [9].....	80
Tableau 4-3: Modèle 2a - algorithme du demi-bras du MMC adapté pour l'implémentation FPGA.....	85
Tableau 4-4: Nombre d'opérations nécessaires à la résolution du Modèle 2a – formulation initiale.....	86
Tableau 4-5: Nombre d'opérations nécessaires à la résolution du Modèle 2a – formulation optimisée	87
Tableau 5-1: Paramètres des composants d'un convertisseur de la liaison France-Espagne ...	93
Tableau 6-1: Paramètres d'un sous-module.....	123
Tableau 6-2: Boucle temporelle de résolution CPU/FPGA du cas de la Figure 6-2.....	124
Tableau 7-1: Résultats des essais de transit de 1000MW au poste de BAIXAS	143
Tableau 7-2: Paramètres des convertisseurs du réseau test CIGRE.....	145
Tableau 7-3: Consignes de contrôle des convertisseurs du réseau test	148
Tableau 7-4: Caractéristiques des câbles CC du réseau test	149
Tableau 7-5: Temps d'exécution du réseau test en simulation hors temps réel ($\Delta t=20\mu s$)	150
Tableau 7-6: Évènements suite à l'apparition du défaut CC	153
Tableau A-1 : Paramètres du convertisseur MMC pour modèle à admittance fixe	162
Tableau A-2 : Paramètres du convertisseur MMC pour les modèles MMC à 21 niveaux	164
Tableau A-3 : Paramètres du convertisseur MMC pour les modèles MMC à 401 niveaux ..	164

LISTE DES FIGURES

Figure 2-1: VSC 2 niveaux.....	11
Figure 2-2: VSC 3 niveaux.....	11
Figure 2-3: Schéma simplifié d'un convertisseur MMC	13
Figure 2-4: Forme d'onde de la tension aux bornes d'un demi bras d'un MMC à 5 niveaux ...	14
Figure 2-5: Schéma équivalent d'un Modèle 3 pour l'état contrôlé et l'état bloqué	17
Figure 2-6: Schéma équivalent unifié d'un Modèle 3 pour le mode contrôlé et le mode bloqué	18
Figure 2-7: Schéma équivalent unifié d'un modèle 3 pour le mode contrôlé et le mode bloqué	20
Figure 2-8: Vue d'ensemble des études pendant le cycle de vie d'un système VSC	23
Figure 2-9: Etudes des contraintes transitoires maximales pour les stations de conversion	28
Figure 2-10: Etudes des contraintes transitoires maximales pour les disjoncteurs de raccordement	29
Figure 2-11: Etudes pour l'évaluation des surtensions CA	30
Figure 2-12: Etudes pour la validation des performances	31
Figure 2-13: Plan de développement 2014 du réseau ENTSO-E à 10 ans.....	34
Figure 2-14: Constructions ou réhabilitations prévisibles de liaisons CA et CC prévues à 10 ans sur le réseau européen	34
Figure 3-1: Schéma unifilaire d'une station de conversion HVDC de type VSC MMC.....	37
Figure 3-2: Topologie des sous-modules utilisés dans les convertisseurs de la liaison France-Espagne	37
Figure 3-3: Schéma équivalent d'un IGBT intégré à un modèle 1 de convertisseur MMC	39
Figure 3-4: Schéma équivalent d'un sous-module (avec diodes idéales)	40
Figure 3-5: Schéma équivalent d'un sous-module (avec diodes idéales et résistances).....	40
Figure 3-6: Matrices nodales pour la résolution temporelle d'une liaison HVDC	42
Figure 3-7: Équivalent discrétisé du sous-module i	44

Figure 3-8: Circuits pour valider le Modèle 2a amélioré	45
Figure 3-9: Comparaison des courants de demi-bras pour les 2 circuits (1 ^{ère} alternance et zoom)	46
Figure 3-10: Différences relatives entre le Modèle 2a initial et la référence et le Modèle 2a amélioré et la référence	46
Figure 3-11: Modèle 3 présenté dans [9]	47
Figure 3-12: État ON d'un sous-module et son schéma équivalent.....	48
Figure 3-13: État OFF d'un sous-module et son schéma équivalent	48
Figure 3-14: Schéma équivalent de l'état ON/OFF d'un sous-module	49
Figure 3-15: État bloqué d'un sous-module et son schéma équivalent	50
Figure 3-16: Schéma équivalent de l'état bloqué du sous-module i	50
Figure 3-17: Schéma équivalent d'un demi-bras	51
Figure 3-18: Schéma équivalent d'un demi-bras d'un modèle 3 moyen.....	52
Figure 3-19: Circuit test pour comparaison des Modèles 2 et 3 détaillés	53
Figure 3-20: Tension aux bornes du premier sous module (aucune initialisation)	53
Figure 3-21: Comportement des diodes dans le modèle 2	54
Figure 3-22: Changement d'état des diodes D_2 dans un Modèle 2a	55
Figure 3-23: Comportement des diodes dans le Modèle 2b.....	55
Figure 3-24: Changement d'état de la diodes D_2 dans un Modèle 2b	56
Figure 3-25: Comparaison de la tension du sous-module avec une tension initiale non nulle	56
Figure 3-26: Comparaison de la tension d'un sous-module sans tension initiale.....	57
Figure 3-27: Circuits équivalents d'un sous module avec la modélisation à admittance constante	58
Figure 3-28: Circuit équivalent d'une phase de convertisseur avec une modélisation à admittance constante	59
Figure 3-29: Impédances dans le domaine fréquentiel vues du côté CA	60
Figure 3-30: Impédance dans le domaine fréquentiel vue du côté CC	60

Figure 3-31: Schéma équivalent simplifié d'une phase de convertisseur en mode haute impédance.....	61
Figure 3-32: Tension au secondaire du transformateur de conversion (côté convertisseur)....	62
Figure 3-33: Courant dans l'inductance de point neutre.....	62
Figure 3-34: Fréquence de la résonance avec l'inductance de point neutre	63
Figure 3-35: Positionnement des parafoudres dans une station de conversion VSC-MMC....	66
Figure 4-1: Contrôle simplifié d'un convertisseur MMC [49]	72
Figure 4-2: Tension CC et courant CA mesurés lors de la mise sous tension de la liaison France Espagne	75
Figure 4-3: Courants de demi-bras mesurés lors de la mise sous tension de la liaison France Espagne	76
Figure 4-4: Cas test pour comparaison des deux formulations du Modèle 2a	77
Figure 4-5: Courant dans le demi-bras (modèles référence et optimisé superposés).....	79
Figure 4-6: Courant dans le demi-bras (zoom)	79
Figure 4-7: Tension du premier sous-module	79
Figure 4-8: Implémentation du Modèle 2b sur une plateforme CPU/FPGA	88
Figure 5-1: Localisation de l'interconnexion HVDC France-Espagne.....	91
Figure 5-2: Localisation de l'interconnexion HVDC France-Espagne.....	91
Figure 5-3: Détails de la topologie des convertisseurs MMC de France-Espagne	92
Figure 5-4: Interface physique entre une armoire MMS et un demi-bras	94
Figure 5-5: Circuit équivalent pour un convertisseur.....	95
Figure 5-6: Caractéristique tension/courant des parafoudres connectés en sortie de convertisseur	96
Figure 5-7: Topologie de raccordement du transformateur de la liaison 2 INELFE	97
Figure 5-8: Tensions au primaire du transformateur lors de sa mise sous tension	98
Figure 5-9: Tensions au primaire du transformateur lors de sa mise sous tension (Zoom)	98
Figure 5-10: Courant au primaire du transformateur lors de sa mise sous tension	98

Figure 5-11: Flux et courant dans une unité du transformateur pendant la mise sous tension	99
Figure 5-12: Répartition des tâches de la simulation temps réel sans E/S	101
Figure 5-13: Temps d'exécution des tâches dans Hypersim pour le circuit de la Figure 5-12	102
Figure 5-14: Tension pôle-terre en sortie de convertisseur (pôle positif)	103
Figure 5-15: Courant d'un demi-bras positif – phase a	104
Figure 5-16: Localisation du défaut pôle-terre et des parafoudres.....	105
Figure 5-17: Tension du pôle sain lors d'un défaut à la terre de l'autre pôle.....	105
Figure 5-18: Tension pôle-terre – séquence de démarrage STATCOM	107
Figure 5-19: Tension pôle-pôle – séquence de démarrage STATCOM.....	107
Figure 5-20: Courant demi-bras positif phase-a – séquence de démarrage STATCOM	108
Figure 5-21: Tension transformateur côté convertisseur – séquence de démarrage STATCOM	108
Figure 5-22: Vue générale de la plateforme de test incluant les E/S	109
Figure 5-23: Photo de la plateforme de test	110
Figure 5-24: Interfaçage des répliques de contrôle commande avec le modèle temps réel ...	113
Figure 5-25: IHM de la réplique du contrôle commande	114
Figure 5-26: Comparaisons entre mesures sur site et simulations temps réel avec les répliques à BAIXAS	116
Figure 5-27: Etat de la liaison avant l'essai d'échelon de puissance.....	117
Figure 5-28: Puissance active injectée sur le réseau français lors de l'essai d'échelon de puissance	117
Figure 5-29: Courant CC lors de l'essai d'échelon de puissance	118
Figure 5-30: Etat de la liaison avant l'essai de blocage	118
Figure 5-31: Transit de puissance lors du blocage d'un convertisseur	119
Figure 5-32: Courant CC lors du blocage d'un convertisseur	120
Figure 5-33: Courant CC lors du blocage d'un convertisseur	120

Figure 5-34: Courant dans le demi-bras supérieur phase-a lors du blocage d'un convertisseur	120
Figure 6-1: Vue schématique du modèle 2 implémenté sur FPGA.....	122
Figure 6-2: Circuit de test pour comparaison des implémentations virgules flottantes/fixes	123
Figure 6-3: Tension aux bornes du sous-module de la Figure 6-2.....	125
Figure 6-4: Erreur relative en fonction du pas de temps de la simulation	125
Figure 6-5: Etape 2c (voir section 4.1.2) de la validation du modèle 2 implémenté sur FPGA	126
Figure 6-6: Tension pôle-terre lors de la séquence de démarrage.....	127
Figure 6-7: Courant demi-bras positif – phase-a lors de la séquence de démarrage.....	128
Figure 6-8: Tension pôle-terre (pôle sain) lors d'un défaut pôle-terre (sans itération)	128
Figure 6-9: Tension pôle-terre (pôle sain) lors d'un défaut pôle-terre (Zoom)	129
Figure 6-10: Etape 2c (voir section 4.1.2) de la validation du modèle 2 implémenté sur FPGA pour un grand nombre de SM.....	130
Figure 6-11: Somme des tensions des condensateurs du demi-bras positif de la phase-a	131
Figure 6-12: Somme des tensions des condensateurs du demi-bras positif de la phase-a (zoom)	131
Figure 6-13: Courant de demi-bras positif phase-a.....	131
Figure 6-14: Tension pôle-terre (pôle sain) lors d'un défaut pôle-terre (avec itération)	132
Figure 6-15: Tension pôle-terre (pôle sain) lors d'un défaut pôle-terre (sans itération - Zoom)	132
Figure 6-16: Etape 2c (voir section 4.1.2) de la validation du Modèle 2b implémenté sur FPGA	134
Figure 6-17: Tension pôle-terre – Modèle 2b sur FPGA	135
Figure 6-18: Courant du demi-bras supérieur phase a – Modèle 2b sur FPGA	135
Figure 6-19: Tension pôle-terre du pôle sain – Modèle 2b sur FPGA.....	136
Figure 6-20: Temps d'exécution : Modèle 2b sur FPGA (a) ou sur CPU (b).....	136
Figure 7-1: Réseau test CIGRE.....	139

Figure 7-2: Configuration des stations de conversion : monopolaire (a) et bipolaire (b)	141
Figure 7-3: IHM de la liaison France Espagne transitant 1000 MW (Essai réel)	143
Figure 7-4: Circuit équivalent d'une phase de convertisseur pour la modélisation des pertes	144
Figure 7-5: Vue schématique du système de contrôle commande des convertisseurs VSC ..	146
Figure 7-6: Modélisation dans EMTP du réseau test CIGRE complet	147
Figure 7-7: Puissance active des stations de conversion suite au blocage de Cb-A1	151
Figure 7-8: Tension pôle-pôle dans le système DCS3 suite au blocage de Cb-A1	151
Figure 7-9: Tension pôle-pôle dans les systèmes DCS1 &2 suite au blocage de Cb-A1	151
Figure 7-10: Comparaison Modèles 1, 2 et 3 – tension au convertisseur Bb-C2.....	152
Figure 7-11: Tensions dans les systèmes DCS1 et DCS2 suite au défaut CC	153
Figure 7-12: Tension au convertisseur Bb-C2 avec les modèles 1, 2 et 3 suite au défaut CC	153
Figure A-1: Schéma de l'étude de mise sous tension du transformateur.....	163

LISTE DES SIGLES ET ABRÉVIATIONS

BCA	Balancing Control Algorithm
C	Capacité d'un sous-module
C_{arm}	Capacité équivalente d'un demi-bras C/N
CPU	Central Processing Unit
DSP	Digital Signal Processor
EMT	ElectroMagnetic Transient
FPGA	Field-Programmable Gate Array
g_{1i}	Commandes de la gâchette de l'IGBT supérieur du $i^{ième}$ sous-module
g_{2i}	Commandes de la gâchette de l'IGBT inférieur du $i^{ième}$ sous-module
HIL	Hardware-In the Loop
IHM	Interface Homme Machine
LCC	Line-Commutated Converter
HVDC	High Voltage Direct Current
N	Nombre de sous-module par demi-bras
L_{arm}	Inductance d'un demi-bras
i_{arm}	Courant d'un demi-bras
i_{arm}^h	Courant historique d'un demi-bras
i_{Ci}	Courant du condensateur du $i^{ième}$ sous-module
i_{Ci}^h	Courant historique du condensateur du $i^{ième}$ sous-module
$i_{Ctot\ell j}$	Courant du condensateur équivalent du demi-bras inférieur de la $j^{ième}$ phase
$i_{Ctotu j}$	Courant du condensateur équivalent du demi-bras supérieur de la $j^{ième}$ phase
I_{dc}	Courant continu
i_{diffj}	Courant différentiel de la $j^{ième}$ phase
IHM	Interface Homme Machine (HMI en anglais)
$i_{\ell j}$	Courant du demi-bras inférieur de la $j^{ième}$ phase
$i_{u j}$	Courant du demi-bras supérieur de la $j^{ième}$ phase
MMC	Moduler Multilevel Converter
$n_{u,\ell j}$	Nombre de SM qui doit être inséré pour chaque demi-bras
PCC	Point de raccordement ou « Point of Common Coupling »

PLL	Phase-Locked Loop
R_{1i}	Résistance variable (R_{ON} ou R_{OFF}) représentant l'IGBT supérieur du $i^{ième}$ sous-module
R_{2i}	Résistance variable (R_{ON} ou R_{OFF}) représentant l'IGBT inférieur du $i^{ième}$ sous-module
R_C	Résistance de l'équivalent de Norton du condensateur discrétisé
R_{OFF}	Résistance d'ouverture d'un IGBT/diode
R_{ON}	Résistance de fermeture d'un IGBT/diode
R_{SMi}	Résistance de l'équivalent de Norton du $i^{ième}$ sous-module
S_i	Fonction de commutation du $i^{ième}$ sous-module (0 ou 1)
$s_{\ell j}$	Fonction de commutation du demi-bras inférieur de la $j^{ième}$ phase [0;1]
s_{uj}	Fonction de commutation du demi-bras supérieur de la $j^{ième}$ phase [0;1]
SM	Sous-Module
STATCOM	STATic Synchronous COMPensator
STR	Simulateur Temps Réel
v_{arm}	Tension d'un demi-bras
v_{arm}^h	Tension historique d'un demi-bras
v_{Ci}	Tension du condensateur du $i^{ième}$ sous-module
$v_{convacj}$	Tension alternative de la $j^{ième}$ phase du convertisseur
\bar{v}_{Ctotj}	Tension moyenne de la somme des condensateurs du demi-bras de la $j^{ième}$ phase
$v_{\ell j}$	Tension d'un demi-bras inférieur de la $j^{ième}$ phase
v_{uj}	Tension d'un demi-bras supérieur de la $j^{ième}$ phase
v_{R1i}	Tension de la résistance représentant l'IGBT/diode supérieur du $i^{ième}$ sous-module
v_{R2i}	Tension de la résistance représentant l'IGBT/diode inférieur du $i^{ième}$ sous-module
VSC	Voltage Source Converter
v_{SMi}	Tension du $i^{ième}$ sous-module
v_{SMi}^h	Tension historique du $i^{ième}$ sous-module
Y_{arm}	Admittance d'un demi-bras

LISTE DES ANNEXES

ANNEXE A	- MODÉLISATION À BASE D'IMPÉDANCE FIXE	161
ANNEXE B	- PARAMÈTRES DU CONVERTISSEUR MMC	162
ANNEXE C	- ÉTUDE DE MISE SOUS TENSION DU TRANSFORMATEUR DE CONVERSION DE LA LIAISON 2 INELFE.....	163
ANNEXE D	- PARAMÈTRES DES CONVERTISSEURS MMC	164

CHAPITRE 1 INTRODUCTION

1.1 Motivation

Le développement des réseaux de transport d'électricité est actuellement en pleine mutation. La transition énergétique en cours depuis plusieurs années, se concrétise par la fermeture de nombreuses centrales de production au charbon ou au fioul, l'installation massive de centres de production éolien et photovoltaïque et enfin une stagnation, voire une diminution de la consommation d'électricité. Cette tendance est particulièrement visible en Europe. Pour prendre l'exemple de la France, la consommation d'électricité s'établit autour de 475 TWh / an depuis 2011 et une diminution de cette consommation est prévue dans les années à venir. D'autre part la production à partir d'énergies renouvelables est en forte progression. Au 31 décembre 2015, la puissance installée totale d'énergie éolienne était de 10.3 GW, soit presque le double de la puissance installée début 2011. La puissance installée totale d'énergie photovoltaïque est passée de 2.5 GW fin 2011 à 6.2 GW au 31 décembre 2015. Cette transition impacte tous les pays d'Europe si bien que les interconnexions sont de plus en plus soumises aux variations des productions renouvelables.

Cette évolution de la consommation et de la production impose l'installation de systèmes de contrôle des flux de puissance plus sophistiqués que ceux utilisés jusqu'à maintenant. On parle donc de plus en plus d'équipement à base d'électronique de puissance : liaisons à courant continu et compensateur statique de puissance réactive. Les liaisons à courant continu permettent en plus de répondre à la demande sociétale d'enfouir les ouvrages de transport d'électricité. Les réseaux de transport voient donc de plus en plus d'intégration de liaisons HVDC point à point. Le plan de développement du réseau européen ENTSO-E prévoit ainsi plus de 20 000 km de liaisons HVDC en 10 ans [1]. Avec ce développement dans des zones relativement limitées (réseaux nationaux autour de la mer du Nord par exemple : Royaume Uni, France, Belgique, Pays-Bas, Danemark, Allemagne), la notion de réseaux à courant continu commence à se poser. Plusieurs projets de ce type de réseaux sont actuellement en cours d'étude de manière très avancée ou déjà en exploitation [1]-[5].

Depuis maintenant plus de 20 ans, des liaisons VSC (Voltage Source Converter) à base de composants IGBT (Insulated Gate Bipolar Transistor) ou GTO (Gate Turn Off Thyristor) ont commencé à être installées. Elles étaient initialement synonymes d'onduleur autonome à modulation de largeurs d'impulsions et les commutations étaient réalisées à des fréquences de

quelques centaines de Hz (voire quelques kHz pour les IGBT). La difficulté d'assembler des centaines de GTO/IGBT et de diodes en série pour former des valves à très haute tension (plus de 100 kV) et/ou le besoin de maîtriser les pertes par commutation dissipées dans ses convertisseurs ont conduit les constructeurs à privilégier des structures modulaires où de nombreux modules sont connectés en cascade. Les convertisseurs à multi-niveaux (MMC - Modular Multilevel Converter) ont de quelques dizaines de niveaux à plusieurs centaines en fonction de la technologie et du niveau de tension. Ce type de convertisseurs est généralement identifié dans les brochures CIGRE et les normes IEC comme étant à base de "valves de type source de tension contrôlable" ou en anglais "converter with valves acting as controllable voltage source". Il a été proposé pour la première fois dans [6] et dans [7]. Ce type de convertisseur est devenu en quelques années la solution quasi exclusive pour la conversion Courant Alternatif (CA)/ Courant Continu (CC) à très haute tension en Europe. Des solutions à 400 kV voir 500 kV sont en cours de construction comme dans [8].

Afin de planifier l'installation de ces convertisseurs MMC et étudier leur fonctionnement dans des réseaux comportant une forte concentration d'électronique de puissance, il est nécessaire d'avoir des outils de simulation fiables. Les outils de simulation de transitoires électromagnétiques sont habituellement utilisés dans ce cadre car ce sont les outils les plus appropriés pour avoir une représentation détaillée des convertisseurs mais également de leur contrôle commande. En complément de ces outils, l'utilisation de la simulation temps réel associée à des répliques de contrôle commande s'impose de plus en plus comme un outil indispensable dans ce contexte. En effet les modèles de liaisons HVDC dans des outils de simulation non temps réel présentent plusieurs limitations :

- Problèmes de validité dus à la complexité des vrais systèmes et des matériels hétérogènes utilisés (CPU, FPGA, DSP...),
- Quasi-impossibilité de maintenir sur plusieurs dizaines d'années ces modèles à cause des évolutions informatiques (systèmes d'exploitations, versions logiciels) et des évolutions du contrôle commande sur site.

C'est pour ces raisons que des laboratoires de simulation temps réel accueillant des répliques de contrôle commande existants ou en cours de développement dans la plupart des zones intégrant des liaisons HVDC de manière massive. L'objectif est, pour certaines études spécifiques, de ne plus modéliser les systèmes de contrôle commande mais d'avoir les systèmes réels (avec les mêmes versions de logiciels que sur site) raccordés à des modèles numériques de convertisseurs et de réseaux. Ces investissements conséquents seraient inutiles si les modèles

temps réel étaient très approximatifs. La plus-value d'avoir les véritables systèmes de contrôle commande serait perdue. C'est pourquoi un soin particulier doit être apporté à la validation de ces modèles et à leur performance en temps réel.

Une contribution majeure sur la modélisation des convertisseurs MMC dans les outils de type EMT a été réalisée dans [9]. Elle a permis de développer des modèles de convertisseurs et des contrôles commande génériques. Les modèles MMC développés dans ce travail ont été classés en 4 groupes :

- Modèle 1 : représentation de chaque sous-module avec une modélisation détaillée de chaque composant IGBT/diode de manière individuelle en allant jusqu'à la prise en compte de leur caractéristique non-linéaire. C'est le modèle le plus détaillé dans un outil de type EMT.
- Modèle 2 : représentation de chaque sous-module mais les IGBT/diode sont simplifiés sous la forme de résistances R_{ON} / R_{OFF} . Ce modèle permet de réduire fortement le nombre de nœuds électriques et donc le temps de calcul. Deux types de Modèle 2 existent : le Modèle 2a présente une interface avec le reste du convertisseur sous la forme d'équivalent de Norton alors que le Modèle 2b présente une interface sous la forme de deux sources de tension et des diodes.
- Modèle 3 : représentation "agrégée" de chaque demi-bras en prenant pour hypothèse que les tensions des sous-modules dans un demi-bras sont identiques. Ce modèle permet de représenter le mode bloqué et donne des résultats précis pour des convertisseurs de plusieurs centaines de niveaux. Ce modèle permet surtout d'améliorer les performances de calcul.
- Modèle 4 : Modèle moyen de convertisseur. C'est le modèle le moins précis mais le plus rapide. Il donne des résultats satisfaisants pour des perturbations de faible amplitude ou les études électromécaniques côté CA mais n'est pas adapté à l'étude des perturbations côté courant continu.

En plus de cette thèse, de nombreux travaux ont été réalisés sur la modélisation des MMC ces 5 dernières années [10]-[13], mais ces travaux restaient théoriques et n'ont pas été appliqués à des contextes industriels réels. Même les solutions de simulation temps réel utilisées par les constructeurs pour tester les systèmes de contrôle commande [14] sont généralement basées sur des approches de modélisation à admittance constante [15]-[17]. Cette approche conduit à des erreurs qui ne sont pas documentées dans la littérature car difficilement mises en lumière avec des cas simples.

Le travail réalisé dans cette thèse clarifie les types de modèles nécessaires à la réalisation des études VSC de la planification à la maintenance des installations sur site. Cette clarification manque encore aujourd'hui dans les documents normatifs ou prénormatifs (CIGRE, IEEE).

Cette thèse permet de fournir des cas d'application dans un contexte industriel pour montrer les limites de certaines modélisations. Elle permet également de mettre en lumière certaines limitations des modèles MMC détaillés et simplifiés.

De nombreux travaux ont été réalisés pour valider des approches de modélisation à l'aide de modèles détaillés comme dans [9]. La validation de ces modèles à l'aide de mesures réalisées sur des convertisseurs de forte puissance manquaient ainsi dans la littérature. Cette thèse apporte une contribution dans ce domaine en utilisant des mesures réalisées sur des convertisseurs de 1050 MVA.

Les solutions pour interfacier des modèles MMC à des systèmes de contrôle commande réels sont très peu documentés dans la littérature car ce sont souvent des activités réservées aux constructeurs ou aux fabricants de simulateurs. Cette thèse contribue au développement des interfaçages entre simulateurs temps réel et systèmes de contrôle commande physiques. Elle contribue également à la validation de la performance et de la précision de la plateforme de simulation complète à l'aide de mesure sur site.

Le travail présenté en [9], avait identifié des sujets de recherche qui méritaient d'être approfondis :

- La réalisation d'un MMC sur FPGA incluant l'état bloqué.
- L'utilisation de MMC dans des réseaux CC multi-terminaux.

Le présent travail de thèse a répondu à la réalisation d'un modèle de MMC sur FPGA incluant l'état bloqué. Deux modèles ayant ces caractéristiques ont été intégrés à une plateforme de simulation temps réel et ont été validés.

Des travaux sur les réseaux à courant continu ont aussi été réalisés. Au-delà des projets de liaisons point-à-point, des projets de réseaux à courant continu voient maintenant le jour en Asie et en Europe [3]. Certains sont même déjà opérationnels [4]-[5]. Poussés par l'intégration d'énergies renouvelables (essentiellement les éoliennes offshore ou les hydroliennes) ces réseaux sont basés sur l'utilisation de convertisseurs MMC. Afin de tester, valider et comparer des stratégies de contrôle commande et de protections adaptées à ces nouveaux réseaux, il était nécessaire de développer des réseaux tests (ou benchmark). Cette thèse a contribué de manière

significative à la conception du réseau HVDC CIGRE qui est maintenant utilisé dans de nombreux groupes de travail et sert de base à des travaux de recherche dans ce domaine.

L'interconnexion HVDC France-Espagne a été mise en service en 2015 [18]. De nombreuses données de cette liaison étaient accessibles lors de la réalisation de cette thèse. Parmi celles-ci on peut citer : des mesures sur site, les caractéristiques des équipements, les stratégies de contrôle commande et de protections, l'analyse des problématiques d'essai des systèmes contrôle commande avec des simulateurs temps réel.

1.2 Objectifs de la thèse

L'objectif de cette thèse est de :

- Clarifier les modèles nécessaires aux différentes étapes d'un projet industriel de type VSC.
- Clarifier les erreurs induites par une modélisation des MMC à l'aide d'approche à admittance constante.
- Optimiser la précision et le temps de calcul des modèles MMC utilisés dans les outils de simulation de type EMT.
- Proposer et appliquer des solutions pour valider les modèles MMC dans des simulations temps réel.
- Implémenter des solutions techniques pour interfacer des modèles MMC temps réel avec des systèmes de contrôle commande réels.
- Valider les modèles de MMC avec des mesures sur site.
- Intégrer à une plateforme de simulation temps réel des modèles MMC allant jusqu'à plusieurs centaines de niveaux sur FPGA incluant le mode bloqué
- Contribuer à la conception d'un réseau à courant continu test et analyser son comportement.

Le plan de la thèse se présente comme suit :

CHAPITRE 2 : Technologie HVDC et simulations de type EMT – revue de la littérature

CHAPITRE 3 : Modélisation des liaisons VSC dans les outils de type EMT pour des applications industrielles

CHAPITRE 4 : Implémentation des modèles de liaisons VSC dans des simulateurs temps réel

CHAPITRE 5 : Implémentation et validation des modèles de liaisons VSC appliquées à la liaison France Espagne

CHAPITRE 6 : Utilisation de modèles détaillés MMC dans des simulations temps réel

CHAPITRE 7 : Réseaux HVDC – justifications du benchmark CIGRE et résultats de cas tests

1.3 Contributions de la thèse

Les contributions principales de cette thèse sont :

- Description des modèles nécessaires aux différentes étapes d'un projet VSC.
- Mise en évidence des erreurs induites par une modélisation basée sur des approches à admittance constante.
- Optimisation de la précision du Modèle 2a.
- Optimisation des équations du Modèle 2a pour l'implémentation dans des outils de simulation temps réel en prenant en compte le mode bloqué.
- Proposition et développement d'un Modèle 2b détaillé pour la simulation temps réel.
- Clarifications sur le domaine de validité des Modèles 2 et 3.
- Méthodologie de validation des modèles MMC temps réel.
- Interfaçage d'un modèle MMC temps réel à un contrôle commande réel.
- Validation à l'aide de mesures sur site de modèles MMC temps réel pour différents modes de fonctionnement.
- Intégration et validation sur une plateforme temps réel d'un Modèle 2a et Modèle 2b détaillé de MMC incluant le mode bloqué et implémenté sur FPGA.
- Contribution à la conception du réseau HVDC CIGRE : détermination des caractéristiques des équipements, modélisation et études dans des outils de type EMT.

1.4 Liste des publications issues de ce travail

1.4.1 Chapitre de brochure

- **S. Denetière**, J. Jardini, J. C. G. Allonso, H. Saad, "Chapter 6 - DC Grid test systems description", in *CIGRE Technical Brochure 604*, December 2014.

1.4.2 Articles de journal

- **S. Denetière**, H. Saad, B. Clerc, J. Mahseredjian, "Setup and performances of the real-time simulation platform connected to the INELFE control system", *Electric Power Systems Research*, Volume 138, September 2016, Pages 180-187, ISSN 0378-7796.
- T. K. Vrana, **S. Denetière**, Y. Yang, J. Jardini, D. Jovicic, H. Saad, "The CIGRE DC Grid Test System", *ELECTRA brochure n°270*, October 2013.

1.4.3 Articles de conférence

- **S. Denetière**, S. Nguefeu, H. Saad, J. Mahseredjian, "Modeling of Modular Multilevel Converters for the France-Spain link", *Proceedings of the International Conference on Power Systems Transients (IPST'13) in Vancouver*, Canada July 18-20, 2013
- **S. Denetière**, H. Saad, A. Naud, P. Hondaa, "Transients on DC cables connected to VSC converters", *Proceedings of the Jicable'15 Conference in Versailles*, France June 21-25, 2015
- **S. Denetière**, O. Saad, A. El. Akoum, J. Mahseredjian, H; Motoyama, "Involvement of electric utilities in the development of EMT simulation tools", *CIGRE Session 2014*, August 2014, Paris.
- **S. Denetière**, H. Saad, B. Clerc, E. Ghahremani, W. Li and J. Bélanger, "Validation of a MMC model in a real-time simulation platform for industrial HIL tests," *2015 IEEE Power & Energy Society General Meeting*, Denver, CO, 2015, pp. 1-5.
- **S. Denetière**, H. Saad, B. Clerc, "Setup and performances of the real-time simulation platform connected to the INELFE control system", *Proceedings of the International Conference on Power Systems Transients (IPST'15) in Cavtat*, Croatia, June 15-18, 2015.

- **S. Dennetière**, H. Saad, "EMT simulation of the CIGRE B4 DC Grid test system", *Proceedings of the CIGRE Canada conference*, Toronto, Canada, 22-24 september, 2014.

CHAPITRE 2 TECHNOLOGIES HVDC ET SIMULATIONS DE TYPE EMT – REVUE DE LA LITTERATURE

Ce chapitre présente un aperçu des grandes technologies de liaisons HVDC et plus particulièrement des technologies de liaisons VSC utilisées pour des applications de transport d'électricité. Ensuite, il est question de classer les études habituellement réalisées dans le cadre de projets de construction de liaisons HVDC de type VSC. Les principes de modélisation et de résolution dans les outils de type EMT sont présentés pour la simulation à temps différé et en temps réel. Enfin, la modélisation des stations MMC pour les outils d'étude de phénomènes transitoires électromagnétiques est élaborée. Cette dernière partie présente également les pratiques couramment utilisées d'étude et de choix de modèles aux différentes étapes d'un projet HVDC.

2.1 L'essor des liaisons HVDC-VSC

2.1.1 Les liaisons avec convertisseurs LCC et VSC

Les liaisons à courant continu construites ces 40 dernières années comprennent principalement des convertisseurs à base de thyristors (LCC : Line Commutated Converter). Cette technologie robuste et bien établie permet de réaliser des liaisons à très forte puissance pouvant dépasser les 7000 MW pour une tension continue allant jusqu'à 800 kV.

Depuis maintenant pratiquement 20 ans, des liaisons VSC (Voltage Source Converter) à base de composants IGBT (Insulated Gate Bipolar Transistor) ou GTO (Gate Turn Off Thyristor) ont commencé à être installées. Elles étaient jusqu'à très récemment synonymes d'onduleur autonome à modulation de largeurs d'impulsions et les commutations étaient réalisées à des fréquences de quelques centaines de Hz (voire quelques kHz pour les IGBT).

Ces convertisseurs de type VSC proposent de nombreux avantages par rapport à leurs homologues de type LCC [19]. On cite habituellement les avantages suivants :

- possibilité de régler le transit de puissance réactive ou la tension alternative au point de raccordement de manière indépendante du transit de puissance active.
- possibilité d'inverser le sens du transit de puissance en quelques centaines de millisecondes sans changer la polarité des tensions continues. Cette caractéristique permet l'utilisation de câbles continus à isolation synthétique qui sont habituellement sensibles à ces inversions de polarité.

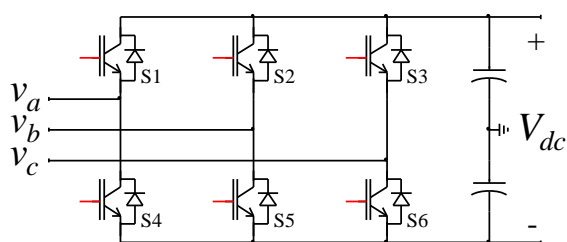
- pas de filtre pour les harmoniques de rangs faibles et pas de transformateurs de conversion spécifiques au courant continu pour les configuration monopolaires symétriques,
- possibilité d'alimenter des réseaux à faible puissance de court-circuit étant donné l'absence de ratés de commutation.

Les liaisons HVDC-VSC présentent actuellement plusieurs avantages qui expliquent leur essor particulier en Europe :

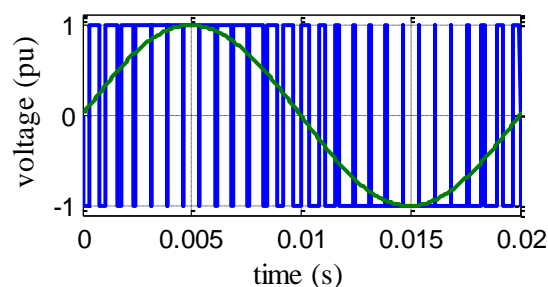
- Possibilité d'utiliser des câbles à isolation synthétiques. Ces câbles ont l'avantage d'être moins coûteux, moins lourds et plus respectueux de l'environnement que les câbles dont l'isolation est basée sur l'utilisation du papier imprégné ou de l'huile sous pression.
- Emprise au sol réduite comparativement à celle des convertisseurs HVDC-LCC à cause de l'absence de filtre. Par exemple les deux convertisseurs HVDC-VSC au poste de BAIXAS (liaison France Espagne) ont une emprise au sol de 225m x 170m (~3.8 ha) pour convertir 2000MW. Pour la même puissance de conversion, le poste de conversion HVDC-LCC des Mandarins (liaison IFA2000 entre la France et le Royaume Uni) nécessite 360m x 280m (~10 ha).

2.1.2 Avec des convertisseurs VSC à 2 ou 3 niveaux

Fin 2015, 25 liaisons HVDC-VSC sont en exploitation commerciales. Les 10 premières liaisons mises en service utilisent des convertisseurs VSC à 2 ou 3 niveaux. La topologie de ces convertisseurs est présentée aux Figure 2-1 et Figure 2-2. Dans un système réel les IGBT/diodes sont assemblés en série par centaines pour former des valves à très haute tension. Les puissances nominales des convertisseurs de cette technologie sont allées jusqu'à 350 MW (liaison Estlink entre la Finlande et l'Estonie). On utilise généralement dans les brochures CIGRE [20] et normes IEC la dénomination "convertisseur à valves agissant comme interrupteur commandé" ou en anglais "converter with valves acting as a controllable switch".

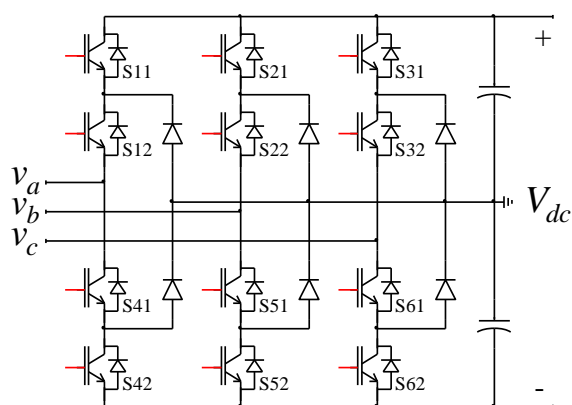


a) Topologie

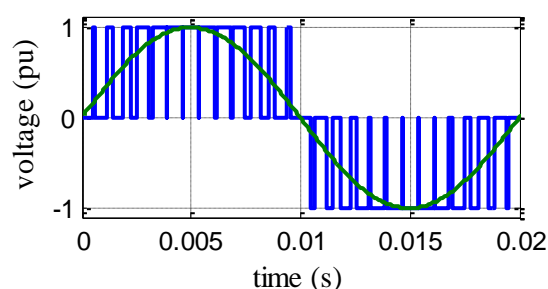


b) Forme d'onde de la tension

Figure 2-1: VSC 2 niveaux



a) Topologie



b) Forme d'onde de la tension

Figure 2-2: VSC 3 niveaux

La technique de modulation de largeur d'impulsion (MLI ou PWM- Pulse Width Modulation) est utilisée afin de réduire les harmoniques générés par les commutations dans ces convertisseurs. Il existe plusieurs techniques de MLI, la plus classique consiste à comparer la tension de référence désirée (la modulante) à une fonction triangulaire (la porteuse). Aux Figure 2-1.b et Figure 2-2.b, la tension de référence désirée (en vert) et la tension actuellement réalisée coté CA (en bleue), sont présentées. En ajoutant des filtres passifs à la sortie du convertisseur, les harmoniques générés par le PWM sont fortement réduits.

2.1.3 Avec des convertisseurs VSC de type MMC

La difficulté d'assembler des centaines de GTO/IGBT et de diodes en série pour former des valves à très haute tension (plus de 100 kV) et/ou le besoin de maîtriser les pertes par commutation dissipées dans ses convertisseurs conduit les constructeurs à privilégier des structures modulaires où de nombreux modules sont connectés en cascade. On parle donc maintenant de convertisseurs à multi-niveaux (MMC - Modular Multilevel Converter) allant de quelques dizaines de niveaux à plusieurs centaines en fonction de la technologie et du niveau de tension. Ce type de convertisseurs est généralement identifié dans les brochures CIGRE et

les normes IEC comme étant à base de "valves de type source de tension contrôlable" ou en anglais "converter with valves acting as controllable voltage source". Il est proposé pour la première fois dans [7].

Cette technologie MMC présente de nombreux avantages comparativement à la technologie à 2 ou 3 niveaux:

- Une fréquence de commutation et des crêtes de tension de commutation plus petites, ce qui entraîne la réduction des pertes globales [21];
- Les filtres côté alternatif ne sont pas nécessaires si le nombre de niveaux est suffisamment important;
- Une structure modulaire qui permet, d'une part, d'atteindre des tensions plus élevées et, d'autre part, d'améliorer la fiabilité en augmentant le nombre de sous-modules par demi-bras [22].

La première installation mise en service utilisant cette topologie: le projet Trans Bay Cable [23] avec une capacité de 400 MW/ ± 200 kV. En 2015 plus d'une dizaine de liaisons HVDC utilisent des convertisseurs de ce type. La liaison HVDC-VSC la plus puissance au monde est en 2015 la liaison France-Espagne qui est composée de deux liaisons indépendantes de 1000MW chacune [24]. Des réseaux à courant continu utilisant des convertisseurs MMC ont même été mis en service en 2014 en Chine [4]-[5].

2.2 Description de la topologie MMC

Cette topologie de convertisseur comporte 6 demi-bras (ou valves en anglais). Chaque demi-bras est constitué d'un certain nombre de sous-modules connectés en série. Les sous-modules sont constitués de composants semi-conducteurs (IGBT) et d'un condensateur pour le stockage d'énergie.

Par un contrôle adapté de l'état des IGBT d'un sous-module, la tension aux bornes d'un sous-module est nulle ou égale à la tension de la capacité. Par un contrôle adapté et individualisé des sous-modules, une tension contrôlée peut être appliquée aux bornes des demi-bras comme présenté à la Figure 2-3. Cette tension est discrétisée en échelons appelés niveaux et dont le nombre est égal au nombre de sous-modules par demi-bras +1. Le "+1" est dû au fait que l'on compte la tension nulle comme le premier niveau.

Si on part de l'hypothèse simplificatrice d'une énergie de stockage infinie dans les sous-modules avec des tensions égales aux bornes de chaque sous-module d'un demi bras, on peut approximer

les demi-bras par des sources de tension contrôlée par des valeurs discrétisées. Plus le nombre de niveaux est grand, plus la discrétisation de la tension contrôlée est fine.

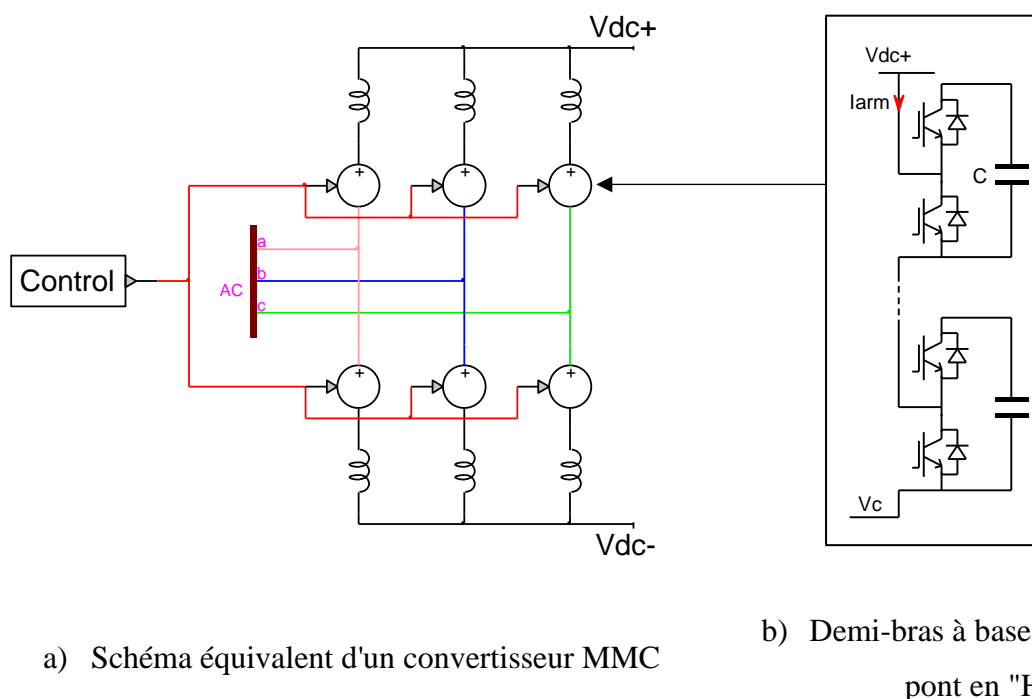


Figure 2-3: Schéma simplifié d'un convertisseur MMC

Des inductances, appelées inductances de demi-bras, sont utilisées en série avec les sous-modules pour le contrôle du courant dans les phases du circuit alternatif connecté au convertisseur. De plus ces inductances permettent de limiter l'amplitude des courants et leur pente en cas de défaut sévère aux bornes du convertisseur.

Jusqu'en 2015, tous les convertisseurs mis en service, sont constitués de sous-modules dont la configuration est en demi-pont en "H" (half bridge en anglais). Pour cette configuration, chaque module comporte 2 IGBT montés suivant un demi-pont en "H". Pour activer un module, l'un des interrupteurs doit être fermé et l'autre ouvert. Suivant l'interrupteur fermé, l'échelon de tension inséré est égal à zéro, ou à la tension non nulle préalablement disponible aux bornes du condensateur du module.

Par exemple, dans le "bras positif" d'une phase comme de la Figure 2-3b:

- État "ON": l'IGBT supérieur est commandé pour être passant et l'IGBT inférieur est commandé pour être bloqué. Le sous-module est donc commandé pour insérer une tension positive;

- État "OFF": l'IGBT inférieur est commandé pour être passant et l'IGBT supérieur est commandé pour être bloqué. Le sous-module est donc commandé pour insérer une tension nulle;
- État bloqué: les deux IGBTs sont commandés pour être bloqués. La tension aux bornes du sous-module dépend de l'état des diodes anti-parallèles et donc de la direction du courant I_{arm} . On peut donc remarquer que les capacités ne peuvent pas se décharger dans cet état (si on prend l'hypothèse de sous-module sans perte).

Pour générer l'alternance positive de la tension $V_c(t)$, de valeur crête inférieure ou égale à V_{dc+} , un nombre adéquat de modules du demi-bras positif est commandé pour "tenir" la tension instantanée positive $V_{dc+} - V_c(t)$. Dans le même temps, un nombre adéquat de modules du demi-bras négatif est commandé pour tenir la tension complémentaire $[V_{dc-} + V_c(t)]$.

Pour illustrer le fonctionnement d'un demi-bras, un exemple de forme de tension aux bornes d'un demi-bras comportant 4 sous-modules (donc 5 niveaux) est présenté à la Figure 2-4. La tension de référence est présentée en pointillé. La tension mesurée aux bornes du demi-bras est en trait plein.

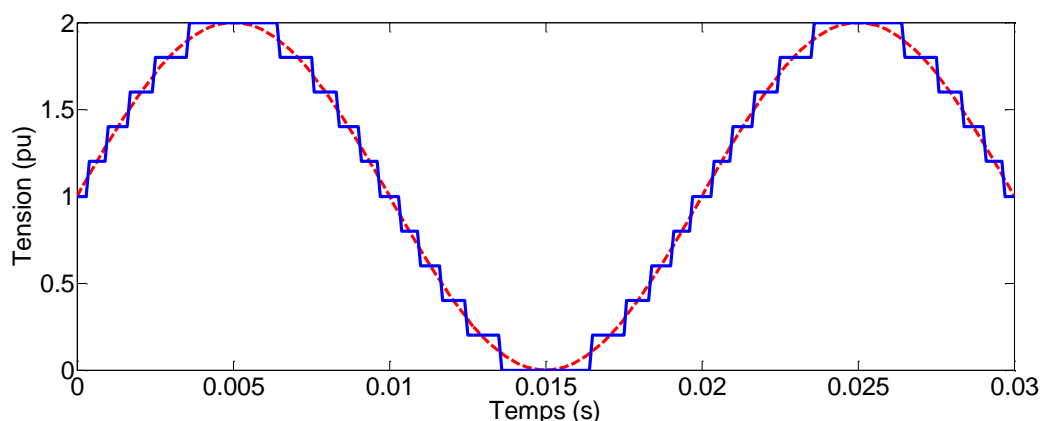


Figure 2-4: Forme d'onde de la tension aux bornes d'un demi bras d'un MMC à 5 niveaux

La description ci-dessous est valide uniquement pour des sous-modules en configuration demi-pont. D'autres configurations existent comme la configuration en pont complet ("full bridge" en anglais). Cette configuration présente l'avantage de pouvoir mieux contrôler des défauts côté CC. Aucune liaison HVDC n'utilise ce type de configuration à ce jour. La première application sera la liaison aérienne ULTRANET en Allemagne [25].

Cette thèse se concentre sur la configuration en demi-pont car:

- c'est la configuration qui restera majoritaire dans les années à venir pour des questions de coût (le pont complet impose deux fois plus de composants IGBTs),

- les résultats présentés dans cette thèse seront, pour la plupart, valides pour une configuration en pont complet,
- les résultats de cette thèse ont été validés grâce aux mesures et à l'expérience obtenues lors de la mise en service de la liaison HVDC-VSC France-Espagne.

2.3 Les modèles EMT de convertisseurs MMC

La première liaison HVDC-VSC utilisant la technologie MMC a été mise en service en 2010 (Projet Trans Bay Cable). Depuis cette date, beaucoup de travaux ont été réalisés sur le développement de modèles de convertisseurs MMC plus particulièrement pour les outils de simulation de transitoires électromagnétiques (outils de type EMT). Le travail présenté en [26] propose une classification des modèles MMC sous la forme suivante :

2.3.1 Modèle 1

Représentation détaillée de chaque composant unitaire d'un convertisseur. Chaque IGBT et chaque diode sont modélisés par des composants individuels. La caractéristique tension/courant des diodes et des IGBT peut être représentée. Ce type de modèle conduit à l'obtention d'un circuit électrique qui présente un nombre très important de composants et de nœuds électriques. C'est un type de modèle qui peut être assemblé par un utilisateur de logiciel et qui ne nécessite pas de développement de code informatique.

Le temps de calcul de ce type de modèle peut donc être très long surtout si le nombre de niveaux est important.

2.3.2 Modèle 2

Les diodes/IGBT sont modélisés par des résistances à deux valeurs (R_{on} à l'état passant, R_{off} à l'état bloqué). Les condensateurs des sous-modules sont remplacés par leur équivalent de Norton en fonction de la méthode d'intégration choisie. Les sous-modules sont donc représentés par un circuit composé de résistances et de sources de courant. Comme les sous-modules d'un même demi-bras sont connectés en série, il est possible d'obtenir l'équivalent de Thévenin d'un demi-bras en faisant la somme des équivalents de Thévenin de chaque sous-module. Cet équivalent doit être mis à jour à chaque pas de calcul en fonction des commandes des IGBT et de l'état des diodes de chaque sous-module.

Ce type de modèle présente l'avantage de limiter fortement le nombre de nœuds électriques à simuler puisqu'un demi-bras est représenté par un simple équivalent de Norton. Il présente

l'inconvénient pour l'utilisateur de limiter l'accès à l'intérieur des demi-bras. Chaque nouvelle topologie ou ajout de fonctionnalité doit faire l'objet d'un développement de code informatique.

Afin de résoudre ce modèle convenablement en mode bloqué, il est nécessaire d'appliquer un processus de résolution itératif. Cette résolution itérative va permettre d'identifier à chaque pas de temps le bon état des diodes antiparallèles [26].

Le Modèle 2 a été initialement sous la forme d'un équivalent de Norton pour représenter un demi-bras. Une autre formulation de ce type de modèle est possible avec une interface avec le système électrique sous la forme de deux sources de courants et de deux diodes comme expliqué dans [27]. On distingue donc deux types de Modèle 2

- Le Modèle 2a avec une interface sous la forme d'équivalent de Norton
- Le Modèle 2b avec une interface sous la forme de deux sources de tension et de deux diodes.

2.3.3 Modèle 3

Ce type de modèle est un modèle "agrégé" par demi-bras avec prise en compte de la modulation. On peut définir les grandeurs suivantes :

- N est le nombre de sous-module par demi-bras,
- S_i la fonction de commutation d'un sous-module ($S_i = 0$: état OFF, $S_i = 1$: état ON),
- $\frac{1}{N} \sum_{i=1}^N S_i = s_n$ la fonction de commutation d'un demi-bras,
- V_{ctot} représente la somme des tensions de toutes les capacités d'un demi-bras,
- $C_{arm} = \frac{C}{N}$ est la capacité équivalente pour chaque demi-bras, avec C la capacité individuelle de chaque sous-module.

Le schéma équivalent d'un demi-bras est présenté à la Figure 2-5.

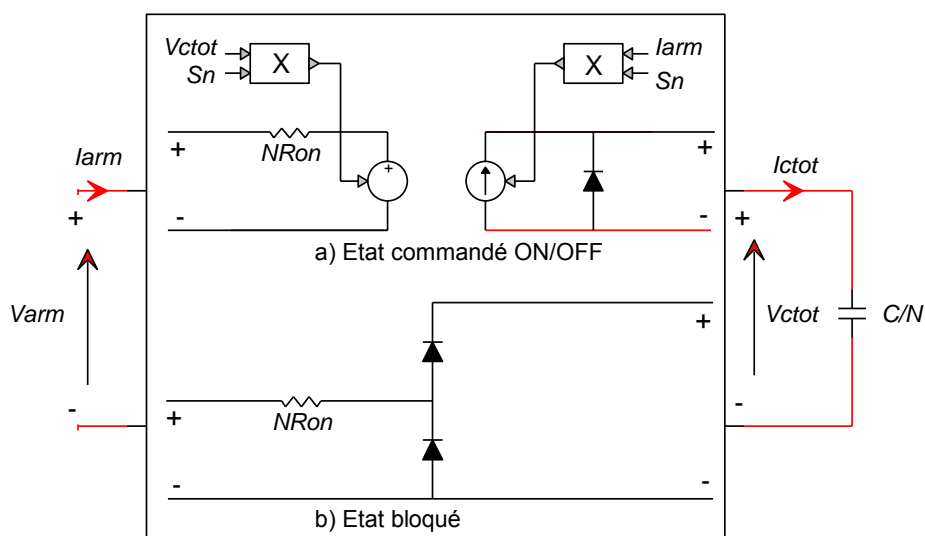
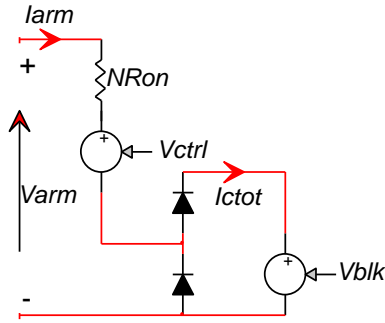


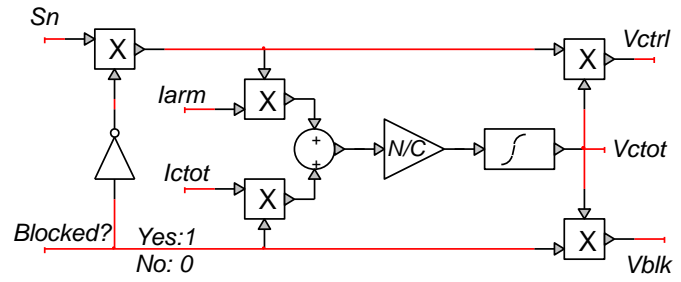
Figure 2-5: Schéma équivalent d'un Modèle 3 pour l'état contrôlé et l'état bloqué

Ce modèle part de l'hypothèse que les tensions des condensateurs d'un demi-bras sont égales. Cette hypothèse est valide si l'algorithme d'équilibrage des tensions des condensateurs fonctionne de manière satisfaisante. Ce modèle présente l'avantage de pouvoir être simulé beaucoup plus rapidement que les Modèles 1 et 2. L'inconvénient est de ne plus avoir une représentation détaillée des sous-modules. Les schémas équivalents de la Figure 2-5 ont été implémentés sous la forme d'un code informatique intégrant les modèles de sources, de composants RC et de diode. Ce code contrôle un équivalent de Norton qui fait l'interface avec la résolution nodale. Étant donné la présence des diodes dans le circuit en mode bloqué il est nécessaire d'inclure ce circuit dans une solution itérative afin d'obtenir des résultats satisfaisants comme indiqué dans [26].

Il est montré dans [27] que ces deux circuits équivalents peuvent être remplacés par un seul circuit qui prend en compte le mode bloqué et le mode contrôlé. Ce circuit unifié et le système de calcul des sources de tension associées sont présentés à la Figure 2-6.



a) Schéma électrique équivalent d'un demi-bras



b) Calcul des sources de tension contrôlées

Figure 2-6: Schéma équivalent unifié d'un Modèle 3 pour le mode contrôlé et le mode bloqué

Le circuit de la Figure 2-6a est généralement assemblé à partir de composants de base du logiciel de simulation. Cela facilite le développement de ce modèle. D'autre part cela permet de profiter de la gestion des commutations des diodes par le logiciel de simulation (interpolation [28] ou itérations [29]). L'inconvénient est que ce circuit équivalent présente plus de nœuds électriques que celui de la Figure 2-5.

2.3.4 Modèle 4

Ce type de modèle correspond à des modèles à valeur moyenne. Plusieurs modèles de ce type sont présentés et analysés dans [9]. Ce type de modèle présente peut d'intérêt dans le cadre du travail réalisé dans le cadre de cette thèse. Les temps de calcul de ces modèles sont sensiblement les mêmes que ceux du Modèle 3 s'ils sont exécutés dans des outils de simulation de type EMT. Il faut noter que certains Modèles de type 4 peuvent être implémentés dans des outils de type "phaseurs".

2.4 Principes de résolution dans les outils de type EMT

L'analyse du fonctionnement d'un réseau électrique nécessite des outils de simulation spécifiques. Les programmes EMT (ElectroMagnetic Transient) sont utilisés pour représenter avec précision des transitoires électromagnétiques. Ils sont particulièrement adaptés pour simuler des dispositifs à base d'électronique de puissance. Pour des études liées aux liaisons HVDC, les modèles EMT détaillés sont utilisés pour étudier le comportement des liaisons lors de phénomènes transitoires divers (défaut sur les réseaux, défaut internes aux convertisseurs, activation de systèmes de protection, variation rapide des consignes de contrôle, variations rapides des conditions de réseaux...). Ce type d'outil est utilisé tout d'abord dans le mode hors

temps réel et, dans ce cas, une modélisation complète des équipements et des systèmes de contrôle commande est réalisée. Ensuite, pour tester les véritables systèmes de contrôle commande et de protection, des outils de simulation EMT fonctionnant en temps réel sont utilisés. Dans ce cas les systèmes de contrôle commande et de protections sont interfacés à la simulation via des interfaces spécifiques (numériques ou analogiques).

2.4.1 Modèles de composants - discrétisation des équations différentielles

La plupart des composants électriques constituant un réseau peuvent être modélisés à l'aide d'équations différentielles. Ces équations différentielles sont liées entre elles par des relations algébriques qui dépendent de la topologie de ce réseau.

La méthodologie la plus répandue actuellement dans les outils de type EMT, proposée initialement dans [30], est basée sur la discrétisation d'une équation différentielle générique formulée par:

$$\frac{dx}{dt} = f(x, t) \quad (2.1)$$

Dans la plupart des logiciels de simulation EMT la méthode d'intégration trapézoïdale est utilisée avec un pas de temps fixe. Ce choix est justifié par sa stabilité numérique et sa performance. Cette méthode d'intégration est A-stable, donc stable si le système solutionné est stable. Il est possible d'utiliser des méthodes polynomiales plus précises mais cela implique un coût en terme de temps d'exécution.

La discrétisation de l'équation (2.1) avec la méthode d'intégration trapézoïdale conduit à:

$$x_t = x_{t-\Delta t} + \frac{\Delta t}{2} [f_t + f_{t-\Delta t}] \quad (2.2)$$

La variable Δt constitue le pas d'intégration. Dans le cas d'une inductance L connectée entre deux nœuds arbitraires k et m , la relation entre le courant et la tension est similaire à:

$$\frac{di_{km}}{dt} = \frac{v_{km}}{L} \quad (2.3)$$

Ce qui permet d'obtenir l'équation suivante avec la méthode trapézoïdale :

$$i_{km_t} = \frac{\Delta t}{2L} v_{km_t} + \frac{\Delta t}{2L} v_{km_{t-\Delta t}} + i_{km_{t-\Delta t}} \quad (2.4)$$

Les termes calculés au temps $t - \Delta t$ constituent l'historique et sont regroupés sous la forme d'un courant d'historique i_{Lh} . Le circuit équivalent de Norton est présenté à la Figure 2-7.

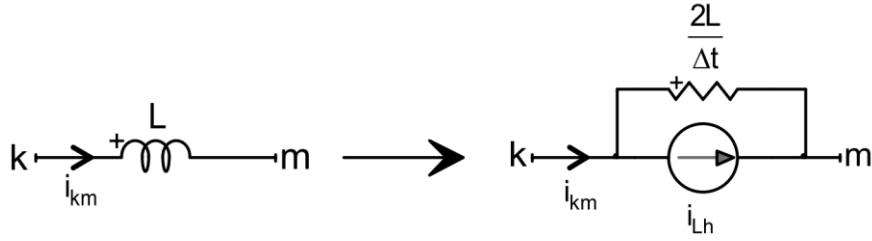


Figure 2-7: Schéma équivalent unifié d'un modèle 3 pour le mode contrôlé et le mode bloqué

Pour un condensateur connecté entre les nœuds k et m on obtient :

$$\frac{dv_{km}}{dt} = \frac{i_{km}}{C} \quad (2.5)$$

$$i_{km_t} = \frac{2C}{\Delta t} v_{km_t} - \frac{2C}{\Delta t} v_{km_{t-\Delta t}} - i_{km_{t-\Delta t}} \quad (2.6)$$

La même approche de discrétisation peut être appliquée à des modèles de composants plus complexes (machines tournantes, lignes et câbles). Pour les modèles non linéaires, il s'agit de réaliser cette discrétisation à chaque itération du processus de résolution.

Les composants dont les modèles n'utilisent que des équations algébriques (interrupteurs, transformateurs idéaux, sources de courant et de tension) n'ont pas besoin de suivre cette étape de discrétisation.

2.4.2 Système de résolution

La simulation EMT est effectuée dans le domaine du temps et peut être précédée d'une phase d'initialisation. L'objectif est de calculer les formes d'onde des variables d'état à n'importe quel endroit du réseau. Une simulation revient à résoudre un système d'équations algébriques différentielles avec un pas de temps discrétisé.

L'approche classique consiste à utiliser un système d'équations d'analyse nodale [31]:

$$\mathbf{Y}_n \mathbf{v}_n = \mathbf{i}_n \quad (2.7)$$

La matrice \mathbf{Y}_n est la matrice d'admittance nodale, \mathbf{v}_n est le vecteur des tensions de nœud, et \mathbf{i}_n représente la somme des courants de nœud.

Dans sa version originale [32], la matrice \mathbf{Y}_n est une matrice d'admittance pure. Cette technique impose ainsi plusieurs limitations pour représenter des sources de tension idéales, des transformateurs idéaux et de manière plus générale les fonctions de relation entre deux ou plusieurs branches du système électrique.

C'est pourquoi l'analyse nodale augmentée modifiée a été proposée [33]. L'équation (2.7) devient :

$$\mathbf{A}_n \mathbf{x}_n = \mathbf{b}_n \quad (2.8)$$

La matrice \mathbf{A}_n est composée d'une matrice d'admittance mais aussi de sous-matrices spécifiques pour les sources de tension, pour les transformateurs et autres fonctions de dépendance et les interrupteurs idéaux. Le vecteur \mathbf{x}_n est composé des variables inconnues (courants ou tensions). Le vecteur \mathbf{b}_n est composé des variables connues (courants ou tensions).

Le système d'équations (2.8) est résolu à chaque pas de temps t en remettant à jour la partie de droite de l'égalité avec les termes d'historique calculés au temps $t-\Delta t$ et les sources actives du réseau calculées au temps t . Cette résolution utilise une méthode directe par élimination gaussienne qui passe par une étape de factorisation LU [34] puis une étape de résolution du système factorisé. Si la matrice \mathbf{A}_n est constante pendant la simulation, la factorisation LU est réalisée au début de la simulation et seule l'étape de résolution est nécessaire pendant le reste de la simulation.

Ainsi, dès qu'un composant du réseau électrique change d'état (interrupteur, composant non linéaire) certains éléments de la matrice \mathbf{A}_n sont modifiés. Par conséquent, il est nécessaire de re-factoriser \mathbf{A}_n puis résoudre le système (2.8). Afin de réduire les temps d'exécution de ces simulations, certaines techniques existent donc pour conserver la matrice \mathbf{A}_n constante même si certains composants changent d'état. D'autres techniques de factorisation partielles peuvent également être appliquées. Ces techniques et leur performance sont étudiées dans le CHAPITRE 4.

2.4.3 Principes de la simulation temps réel

La simulation temps réel de type EMT est un outil utile lorsqu'un équipement physique (généralement un système de contrôle commande et/ou de protection) doit être testé. Ce type de simulation est synchronisé sur une horloge interne permettant d'avoir les résultats des

simulations à la même vitesse que s'ils se produisaient sur un réseau réel. Les matériels généralement utilisés par des simulateurs temps réel sont des processeurs CPU ou des cartes FPGA (Field Programmable Gate Arrays). L'intérêt des FPGA est de pouvoir exécuter des algorithmes dédiés avec des pas de temps très petits (de l'ordre de la centaine de nano seconde) et d'avoir des interfaces analogiques/numériques déjà intégrées. Le principal inconvénient de ces composants est la difficulté à développer des modèles complexes sur ce type de plateforme. Par conséquent la majorité des simulations temps réel sont réalisées sur des CPU. Les performances proposées actuellement par les CPU sont en effet satisfaisantes dans la plupart des cas. Dans le cas de la simulation de convertisseurs MMC, l'utilisation de FPGA devient requise au-delà d'un certain nombre de niveaux comme expliqué dans [9]. Il faut ensuite sélectionner le bon endroit pour réaliser la séparation CPU / FPGA dans le système simulé.

2.5 Les études EMT pour les projets de liaisons VSC-MMC

La brochure CIGRE [35] présente les études et les modèles requis dans le cadre de projets HVDC mais uniquement pour des convertisseurs de type LCC.

Les études réalisées dans le cadre d'un projet VSC peuvent varier d'un projet à l'autre. Une solution de transport d'électricité avec des convertisseurs VSC est une solution technique très pertinente lorsque certaines performances sont exigées comme par exemple : raccordement à des réseaux alternatifs à faible puissance de court-circuit, inversion du sens de transit de puissance rapide, participation au réglage en tension, utilisation de câbles CC à coût réduit. Les études réalisées dans le cadre de ces projets vont donc devoir étudier le comportement de la liaison VSC de manière globale et devront plus spécifiquement s'assurer que les performances qui ont conduit au choix "VSC" sont bien atteintes.

Cette section présente le contexte d'utilisation des modèles de type EMT de convertisseurs MMC dans le cadre de projets d'installation de ce type d'équipements. Ces modèles peuvent être utilisés pendant tout le cycle de vie d'une liaison de type VSC.

Comme point de départ de cette mise en contexte, une vue d'ensemble des études réalisées dans le cadre d'un projet VSC est présenté à la Figure 2-8. Cette vue d'ensemble est inspirée de celle présentée dans [1].

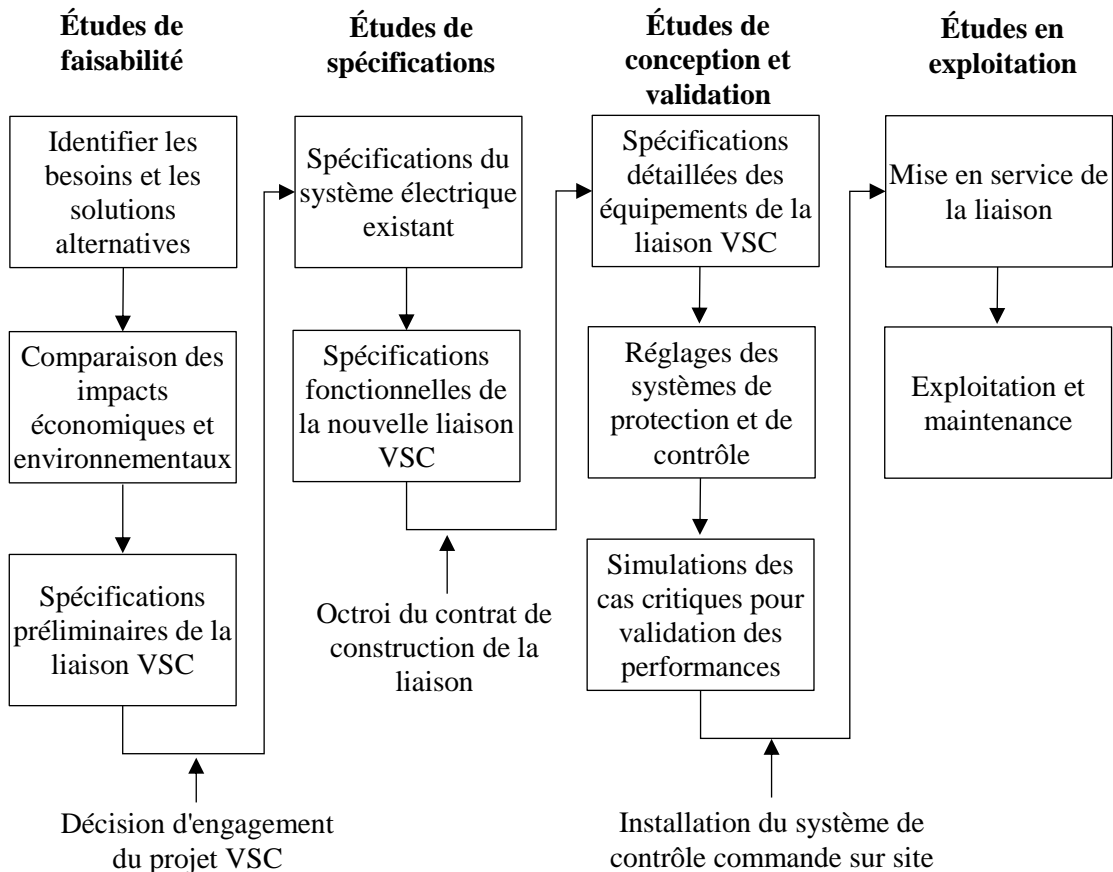


Figure 2-8: Vue d'ensemble des études pendant le cycle de vie d'un système VSC

Les études peuvent être réparties en 4 groupes :

- études de faisabilité
- études de spécifications
- études de conception et validation
- études en exploitation

2.5.1 Les études de faisabilité

Durant la phase de planification, le gestionnaire de réseau et/ou le propriétaire du projet, doivent réaliser des études pour évaluer les besoins généraux du projet, analyser les configurations et topologies envisageables. Dans la plupart des cas, ces études sont réalisées avec des outils de calcul de load-flow et parfois de stabilité transitoire surtout pour les projets LCC [35].

Pour les projets VSC, il peut être bénéfique pour le porteur de projet de réaliser aussi une série d'études de type EMT. Cela peut être le cas si le projet présente un caractère innovant de par

ses exigences de performances. Un exemple d'étude EMT à l'étape de planification d'un projet VSC est présenté en [25].

Les problématiques pouvant être évaluées à cette étape sont :

- Les performances sur défauts

Le comportement de la liaison VSC suite à des défauts CA et CC dépend beaucoup de la dynamique interne du convertisseur. Cette dynamique est très difficilement représentable dans des outils de type phaseurs car ils ne sont pas adaptés à la représentation de circuits électriques quelconques. Il n'est pas possible par exemple de prendre en compte les déséquilibres entre les demi-bras pendant un défaut. C'est pourquoi des outils de type EMT sont nécessaires. A titre illustratif il est possible d'étudier le temps maximum d'élimination de défaut sur la liaison CC en fonction du type de sous-module (pont complet ou demi-pont).

- Analyse du type de liaison CC : aérienne ou souterraine

En fonction des contraintes environnementales et/ou d'acceptation publique, des scénarios de liaisons aériennes ou souterraines doivent être étudiés. Des scénarios mixtes sont de plus en plus courants pour optimiser l'ensemble des contraintes économiques et environnementales [36]. Des études EMT peuvent aider à identifier le type de convertisseur le mieux adapté à la configuration de liaison choisie. Par exemple, l'étude d'une configuration monopolaire symétrique associée à des lignes aériennes CC peut montrer que cette configuration est complexe à être mise en place. En effet, avec une configuration monopolaire symétrique, il est difficile de contrôler les déséquilibres entre la tension du pôle positif et la tension du pôle négatif. Si la liaison HVDC est constituée de lignes CC aériennes, les pertes par effet couronne sur le circuit du pôle positif sont assez différentes des pertes sur le circuit du pôle négatif. Cette différence de pertes va conduire à un déséquilibre entre les tensions pôle-terre. Ce déséquilibre va induire un courant dans le circuit de neutre des transformateurs des deux convertisseurs qui sera d'autant plus important que la liaison CC est longue. Ce courant continu peut être difficile à limiter et peut conduire des projets à préférer des configurations bipolaires. Cette décision est basée sur des études avec des modèles EMT.

- Analyse de différentes technologies au regard des règles de raccordement.

Des études EMT peuvent aider à identifier les meilleures solutions techniques pour être compatibles avec les règles de raccordement aux réseaux CA. Ces études préliminaires peuvent aider le porteur de projet à mieux comprendre les solutions qui seront finalement proposées par les constructeurs.

- Détermination des équivalents de réseaux CA

En fonction du lieu de raccordement des convertisseurs, les réseaux CA peuvent avoir un impact important sur les performances de la liaison HVDC. Des études EMT peuvent aider à cerner les potentielles problématiques. Un ou des réseaux CA équivalents seront donc assemblés pour les illustrer et seront fournis dans les spécifications aux constructeurs.

Pour toutes ces études, il est question d'utiliser des modèles de type "générique" de liaison HVDC. Ce sont des modèles dont les détails internes sont accessibles à l'utilisateur (surtout pour la partie contrôle) et dont les principes de fonctionnement ne sont pas spécifiques à un projet. Les systèmes de contrôle n'étant pas définis à ce stade du projet, les conclusions tirées à la suite de ces études doivent être très peu dépendantes des systèmes de contrôle. Un système de contrôle générique est tout à fait suffisant.

Cependant il est important d'avoir des modèles de convertisseurs assez détaillés dans ces études afin d'obtenir des comportements réalistes sur défaut. Des modèles 3 offrent un bon compromis entre vitesse de calcul et précision. Il est montré dans [24] que ce type de modèle donne des résultats très proches des modèles de type 2 même sur des défauts CC. Il est cependant noté que la précision de ces modèles 3 peut être discutable pour des convertisseurs dont le nombre de niveaux est inférieur à 50.

2.5.2 Les études de spécifications pour l'appel d'offre

Les études réalisées dans la phase de planification permettent de fournir des détails importants sur les réseaux CA et les performances du système final. Ces détails sont décrits par le porteur de projet dans les spécifications fournies lors de l'appel d'offre.

Lorsque les constructeurs reçoivent ces spécifications d'appel d'offre, ils ont généralement peu de temps pour y répondre (environ 3 mois). Ils n'ont donc pas le temps de réaliser des études détaillées pour remettre une offre.

Une conception préliminaire du système HVDC est préparée à partir des données du réseau CA. Une modélisation simple des réseaux CA avec un modèle 3 des convertisseurs est suffisante à cette étape. La liaison CC est représentée par un équivalent à constantes réparties pour avoir la bonne évaluation de la chute de tension entre les deux convertisseurs pour un transit maximal.

Les études suivantes peuvent être réalisées pour détailler l'offre :

- Etudes préliminaires des contraintes transitoires :

- Etude préliminaire des défauts internes et défauts sur la liaison CC qui vont conduire au déclenchement des convertisseurs.
- Détermination de la contrainte la plus sévère pour les équipements et en particulier pour la configuration des parafoudres dans les stations de conversion.

Pour réaliser ces études un modèle 3 avec une représentation très rudimentaire du contrôle commande peut être utilisé. Les réseaux CA sont représentés par des équivalents de Thévenin.

- Etudes préliminaires des performances dynamiques : vérification de quelques cas tests en régime transitoire (défauts CA et CC) pour lesquels la liaison VSC se comporte comme exigé dans les spécifications.

Pour réaliser ces études il est possible d'utiliser un modèle 3 avec un modèle du contrôle commande assez complet mais avec des paramètres préliminaires. En fonction des habitudes d'étude et de modélisation, certains constructeurs vont préférer utiliser un modèle 2 car il est déjà interfacé avec des modèles de contrôle complets.

2.5.3 Les études de conception et de validation de performances

2.5.3.1 Les études de conception

Les études de conception sont réalisées dès que le contrat est octroyé au constructeur. Elles permettent d'établir les spécifications finales des équipements qui seront utilisés dans les postes de conversion. Comme présenté dans [37] des formules analytiques sont généralement suffisantes pour déterminer les grandeurs suivantes :

- Rapport de transformation du transformateur de conversion;
- Réactance de fuite du transformateur de conversion;
- Réactance de demi-bras;
- Capacité des sous-modules;
- Tension nominale des sous-modules;
- Nombre de sous-modules par demi-bras;
- Tension moyenne de fonctionnement des sous-modules.

Certaines études doivent cependant être réalisées avec des outils de type EMT. On peut identifier 3 types d'étude :

- Etude des transitoires les plus contraignants pour les matériels des postes de conversion

- Etude des transitoires les plus contraignants pour les disjoncteurs de raccordement
- Etude des surtensions CA

Des illustrations de ces études sont proposées ci-dessous.

Etudes des phénomènes transitoires les plus contraignants pour les matériels des postes de conversion

Ce sont des études de défauts qui vont générer les contraintes en courant et en tension les plus fortes. Par exemple :

- Les défauts pôle-pôle doivent induire les valeurs de courants les plus importantes dans les IGBT, les diodes et les inductances de demi-bras. Ces valeurs vont déterminer les valeurs crêtes des courants que doivent supporter les IGBT/diodes.
- Les défauts pôle-terre et au niveau des inductances de demi-bras sont les défauts qui génèrent les surtensions pôle-terre les plus fortes. Ces surtensions s'observent sur les pôles sains et sont limitées par des parafoudres. Leur capacité d'absorption en énergie dépend du temps d'élimination du défaut par le disjoncteur principal. Cette énergie maximale ne peut être déduite que de simulations avec des outils EMT.

Toutes les études de coordination d'isolement des postes de conversion sont réalisées à cette étape afin de spécifier la tenue des équipements.

La Figure 2-9 présente les données d'entrée nécessaires, les outils et modèles ainsi que les résultats importants de ces études.

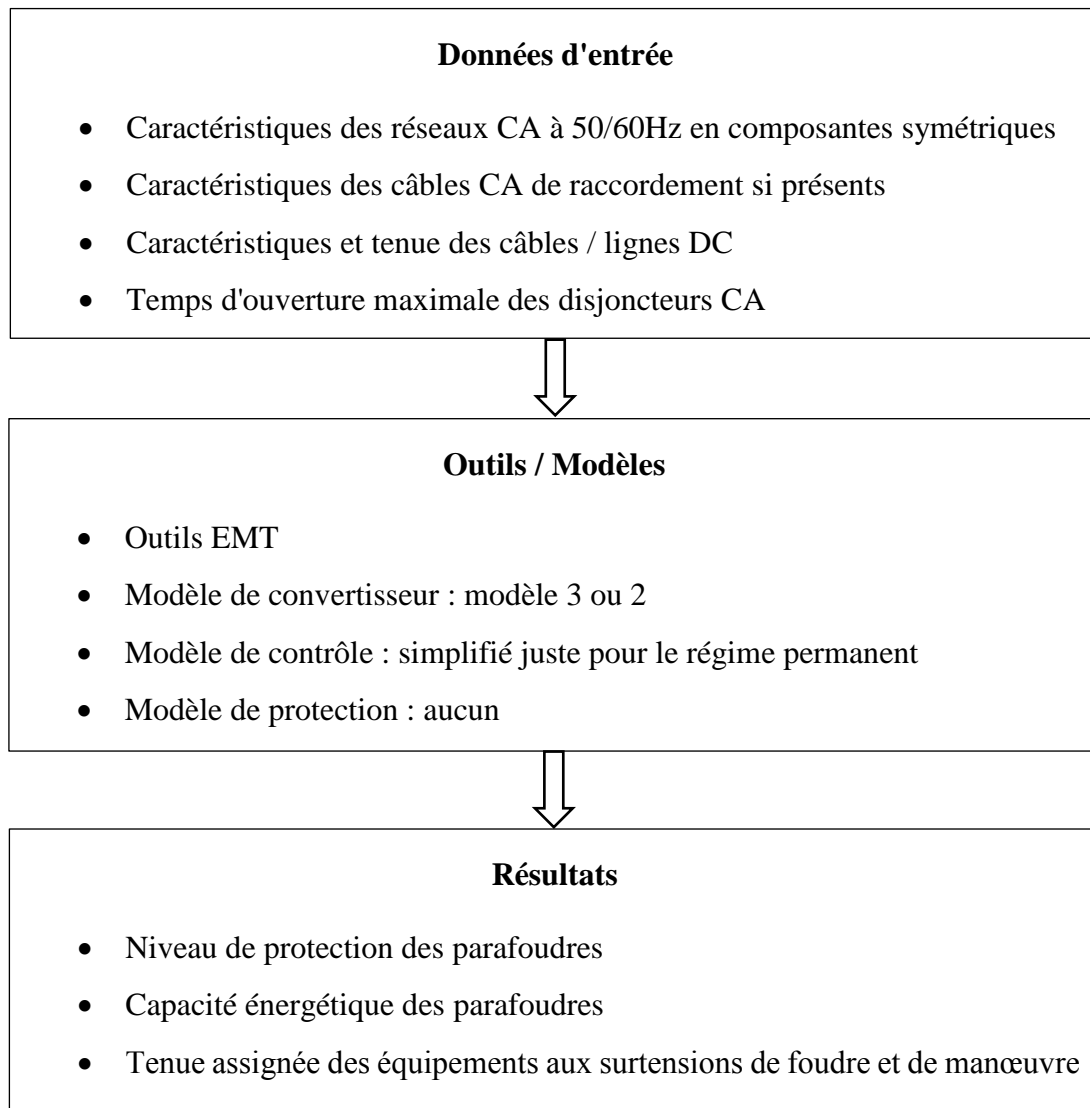


Figure 2-9: Etudes des contraintes transitoires maximales pour les stations de conversion

Etudes des transitoires les plus contraignants pour les disjoncteurs de raccordement

Les études de contraintes sur les disjoncteurs de raccordement sont réalisées également à cette étape. On étudie par exemple les Tensions Transitoires de Rétablissement (TTR) maximales obtenues lors de l'ouverture des disjoncteurs de raccordement. La Figure 2-10 présente les données d'entrée nécessaires, les outils et modèles ainsi que les résultats importants de ces études.

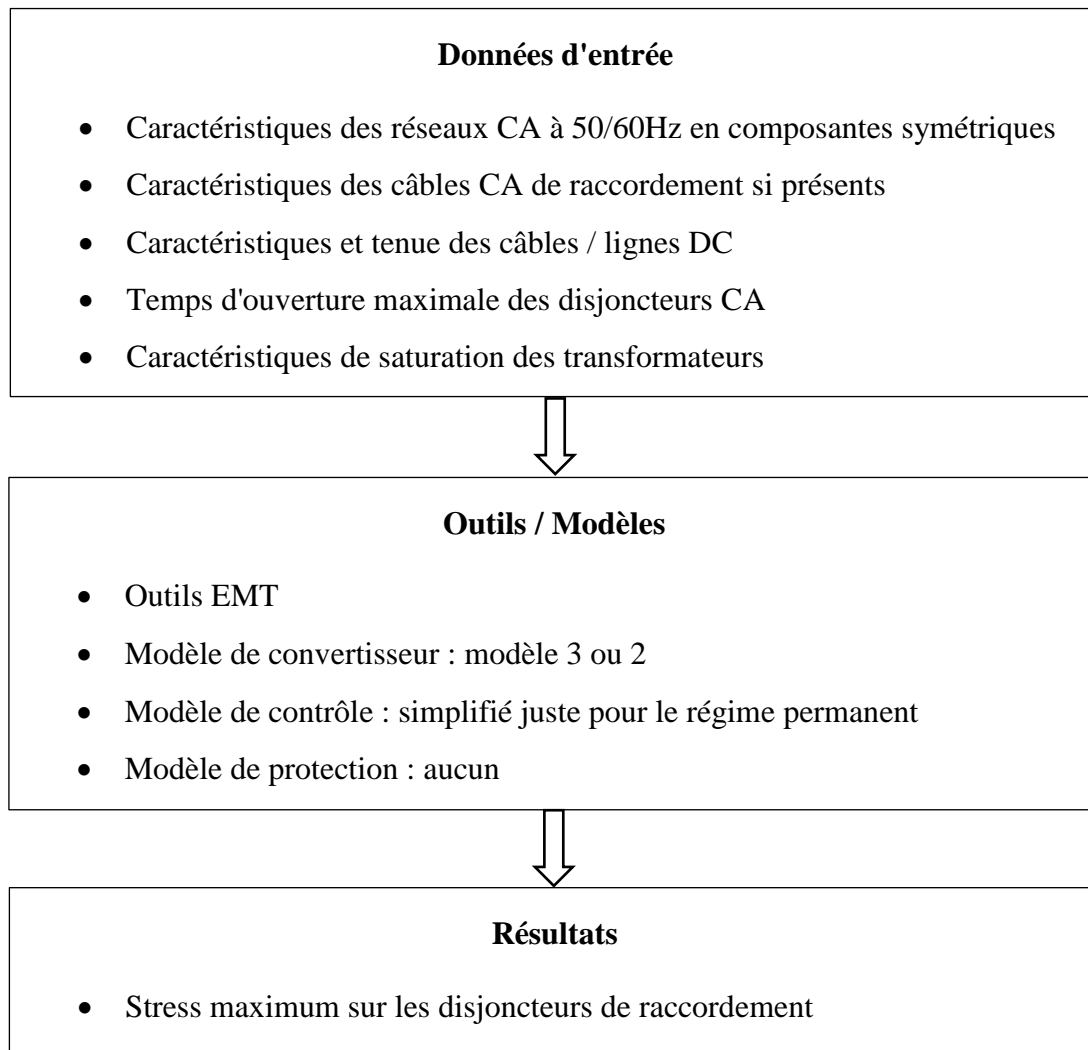


Figure 2-10: Etudes des contraintes transitoires maximales pour les disjoncteurs de raccordement

Etude des surtensions CA

Dans les cas particuliers des réseaux à puissances de court-circuit très faibles ou des raccordements à des réseaux à forte pénétration de convertisseurs à base d'électronique de puissance, des études complémentaires sur les surtensions CA doivent être réalisées avec des outils EMT. Dans ce cas, les modèles de liaison HVDC restent les mêmes mais il est nécessaire d'avoir des modèles de réseaux CA plus détaillés avec une prise en compte des systèmes de contrôle locaux.

Il est également possible de subir des surtensions temporaires harmoniques au point de raccordement suite à la mise sous tension de transformateurs de forte puissance à proximité. Ces surtensions CA peuvent endommager l'isolement de certains matériels bobinés dans les

postes de conversion mais également conduire le convertisseur à ne plus être contrôlable lors de l'apparition des surtensions. En effet dans le cas de sous-modules en topologie de demi-pont, les diodes anti-parallèles peuvent être passantes si une surtension CA conduit à une tension phase-terre en entrée de convertisseur plus grande que la tension CC comme présenté dans [24]. La Figure 2-11 présente les données d'entrée nécessaires, les outils et modèles ainsi que les résultats importants de ces études.

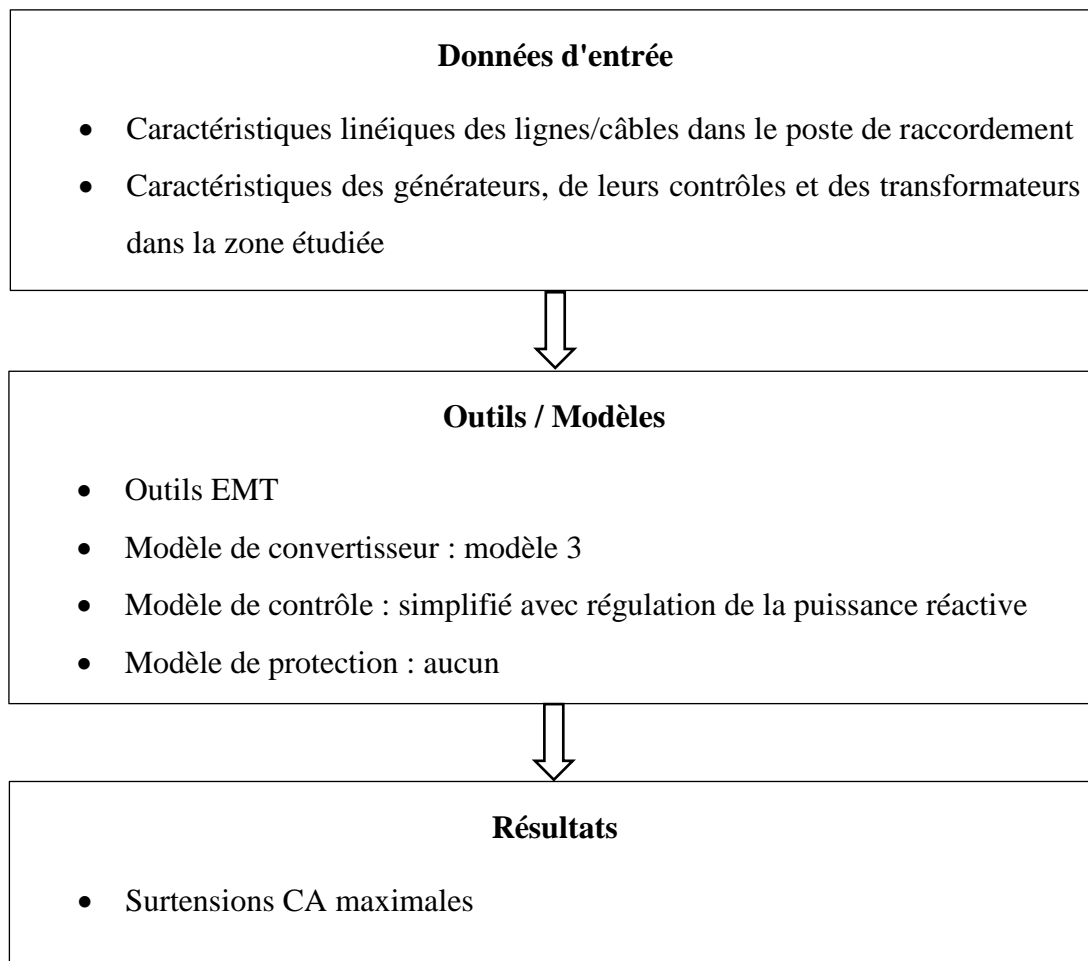


Figure 2-11: Etudes pour l'évaluation des surtensions CA

2.5.3.2 Les études de validation des performances

Les études de validation des performances sont réalisées à la fin de la phase de conception. Elles permettent de s'assurer que le système HVDC satisfait les spécifications. Il est ici question de tester le comportement de la liaison HVDC suite à des défauts et perturbations très variées. La très grande majorité de ces études sont réalisées avec des modèles détaillés de la liaison incluant les systèmes de contrôle commande et leurs protections. La majorité des essais de

fonctionnement de la liaison sont réalisés avec le vrai système de contrôle commande relié à un simulateur temps réel.

La Figure 2-12 présente les données d'entrée nécessaires, les outils et modèles ainsi que les résultats importants de ces études.

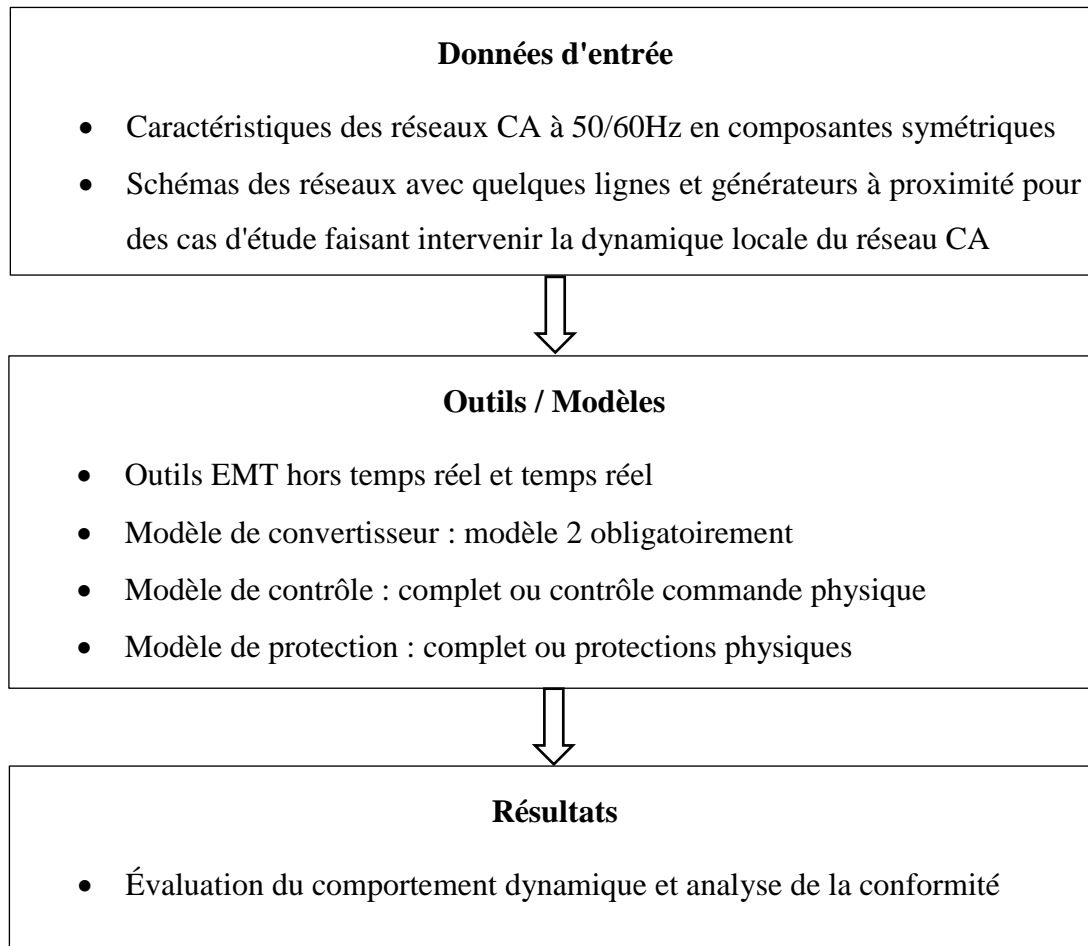


Figure 2-12: Etudes pour la validation des performances

Pour la réalisation de ces études des Modèles 2 sont nécessaires car tout le contrôle commande doit être pris en compte pour s'assurer de la conformité du système HVDC. Il est nécessaire de limiter autant que possible les simplifications réalisées dans ces modèles afin de garantir au propriétaire de la liaison HVDC une grande fidélité entre le comportement des modèles et le comportement réel.

Malgré ces exigences, les études de validation de performances de certains projets VSC ont été réalisées en partie avec des Modèles 3. Dans [14] et [38], des Modèles 3 sont utilisés pour les études de validation avec les simulateurs temps réel. Cette simplification était requise à l'époque de la conception de ces projets HVDC car les technologies de simulation temps réel de

convertisseurs MMC contenant des centaines de niveaux n'étaient pas disponibles. Cette question sera discutée et détaillée dans les prochains chapitres de cette thèse.

2.5.4 Les études en exploitation

Après la mise en service de la liaison HVDC, des études EMT peuvent être requises pour trois principales raisons :

- Optimiser l'exploitation de ces liaisons,
- Analyser des dysfonctionnements dans le comportement de la liaison,
- Analyser les potentielles interactions avec des nouveaux équipements qui vont se raccorder à proximité,
- Étudier des évolutions des équipements ou du contrôle commande.

Ces études sont généralement complexes (beaucoup de données nécessaires de la liaison mais aussi du réseau, généralement peu d'informations sont disponibles sur site...) et demandent, dans la plupart des cas des modèles détaillés des convertisseurs et des systèmes de contrôle commande.

Le constructeur fournit au propriétaire de la liaison, un modèle EMT détaillé de cet ouvrage qui fonctionne hors temps réel. C'est très souvent le modèle qui a été utilisé dans la phase de validation des performances (Section 2.5.3.2). Pour des raisons de confidentialité, le modèle du contrôle commande et de protection est fourni sous forme de boîte noire (code compilé) dont les détails sont non accessibles à l'utilisateur final. Ce modèle est souvent le seul disponible pour la réalisation de ces études. Plusieurs problèmes se posent donc :

- Certaines études ne peuvent pas être réalisées avec ce modèle. En effet le modèle ne peut pas inclure toutes les fonctionnalités du contrôle commande physique.
- Comment s'assurer que ce modèle va toujours être utilisable plusieurs années après la mise en service ?
- Comment s'assurer que le modèle est bien fidèle au système réel sur site ?

Malgré des spécifications de modèles de plus en plus précises, il est difficile d'avoir des modèles fiables et fonctionnels pendant toute la durée de vie de la liaison. En règle générale, après quelques années d'exploitation, aucun modèle EMT de la liaison n'est ni fonctionnel ni représentatif de l'équipement et du contrôle sur site.

C'est pourquoi plusieurs propriétaires de liaisons HVDC se dotent d'infrastructures permettant d'accueillir des répliques des systèmes de contrôle commande et de protections. Ces répliques sont des copies des systèmes installés sur site et sont connectées à un simulateur temps réel. Elles permettent de s'affranchir de la modélisation des systèmes de contrôle commande. Il est important pour cela de s'assurer d'avoir la même version du logiciel de contrôle et de protection sur site et sur la réplique.

2.6 Les réseaux à courant continu

Le développement de la génération distribuée et plus particulièrement de l'éolien et du photovoltaïque impose des contraintes nouvelles sur les réseaux de transport. Étant donné les oppositions de plus en plus croissantes à la construction de nouvelles lignes aériennes, l'utilisation de câbles souterrains devient la solution incontournable. Les solutions souterraines en courant alternatif ne dépassent pas les 40 km en 400 kV et 70 km en 225 kV à cause de la difficulté d'exploiter ces liaisons dans un réseau (problème de la compensation du réactif et de la manœuvre des câbles). Le courant continu se pose ainsi comme étant la seule solution techniquement et économiquement réaliste.

Les réseaux de transport voient donc de plus en plus d'intégration de liaisons HVDC point à point. Avec ce développement dans des zones relativement limitées (réseaux nationaux autour de la mer du Nord par exemple : Royaume Uni, France, Belgique, Pay-Bas, Danemark, Allemagne), la notion de réseaux à courant continu peut se poser. La Figure 2-13 présente le plan de développement du réseau européen à 10 ans [1]. On peut voir sur la Figure 2-14 que plus de 20 000 km de liaisons HVDC sont prévus en 10 ans dans ce plan de développement.

Certains projets sont déjà conçus pour évoluer en configuration multi-terminale voire en réseau HVDC [1]-[2].

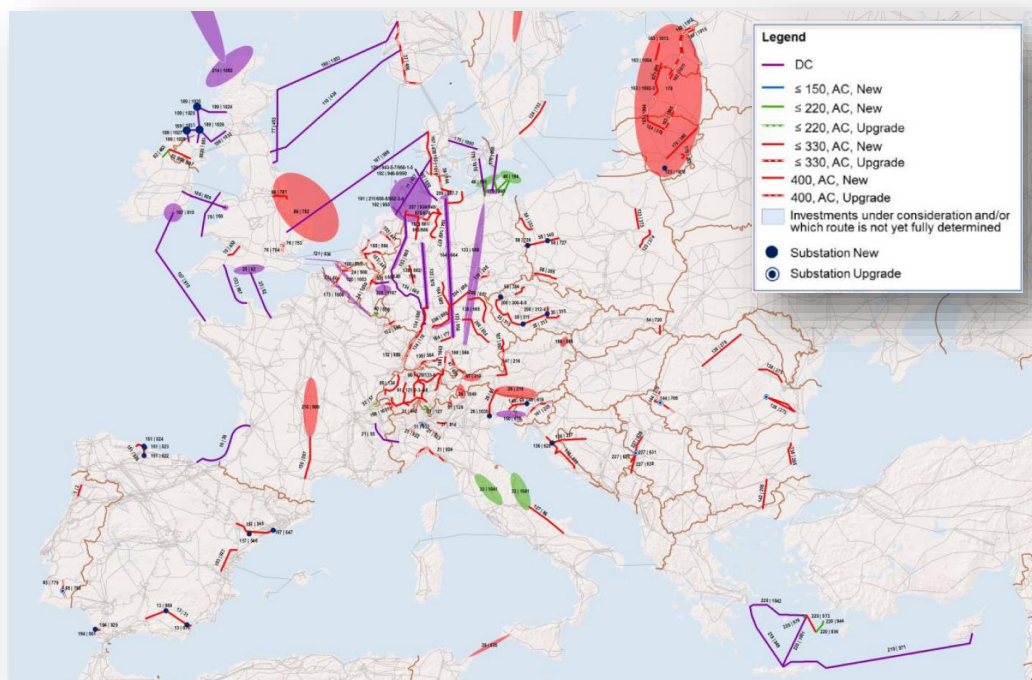


Figure 2-13: Plan de développement 2014 du réseau ENTSO-E à 10 ans

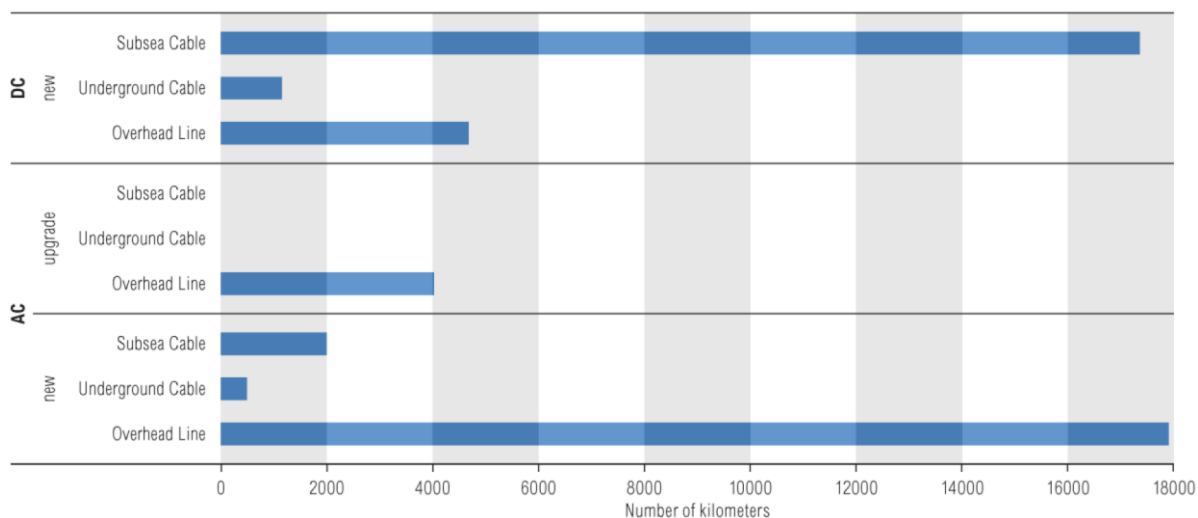


Figure 2-14: Constructions ou réhabilitations prévisibles de liaisons CA et CC prévues à 10 ans sur le réseau européen

Ces projets sont envisageables grâce à la technologie VSC qui permet de changer la direction des transits de puissance sans changer la polarité des câbles contrairement à la technologie LCC. Plusieurs groupes de travail CIGRE ont ainsi été créés ces dernières années pour étudier la construction de ces réseaux :

- B4.52 : HVDC Grid Feasibility Study
- B4.56 : Guidelines for Preparation of Connection Agreements or Grid Codes for HVDC Grids
- B4.57 : Guide for the Development of Models for HVDC Converters in a HVDC Grid
- B4.58 : Devices for Load flow Control and Methodologies for Direct Voltage Control in a Meshed HVDC Grid
- B4.59 : Control and Protection of HVDC Grids
- B4.60 : Designing HVDC Grids from Optimal Reliability and Availability Performance

La présente thèse a contribué à la rédaction de la brochure technique du groupe de travail B4-57 [39]. La contribution a essentiellement été centrée sur la définition de réseaux CC benchmark (Chapitre 6).

Notons également que deux réseaux à courant continu sont actuellement exploités en Chine [4]-[5].

2.7 Conclusions

Ce premier chapitre a permis de faire un tour d'horizon sur le sujet de la thèse et un rappel sur les notions de base nécessaires à la compréhension de ce rapport de thèse. Les différents types de modèles MMC ont été présentés. Une classification des modèles de type EMT nécessaires au cours d'un projet HVDC VSC a également été proposée.

L'intérêt du développement des réseaux à courant continu a été abordé afin de justifier le travail de recherche nécessaire dans ce domaine.

CHAPITRE 3 MODÉLISATION DES LIAISONS VSC DANS LES OUTILS DE TYPE EMT POUR DES APPLICATIONS INDUSTRIELLES

Ce chapitre décrit les modèles EMT de liaisons VSC adaptés aux applications industrielles. L'adaptation à un contexte industriel impose d'avoir des modèles dont l'exécution est suffisamment rapide, qui peuvent s'interfacer à des systèmes de contrôle commande réels et dont la précision est validée.

Le contexte industriel utilisé dans cette thèse est celui de la liaison à courant continu entre la France et l'Espagne. Cette installation est prise en exemple pour illustrer la pertinence de certains principes de modélisation.

Les liaisons à courant continu sont constituées des stations de conversion CA/CC et des liaisons aériennes et/ou souterraines les reliant. Les plus grands défis de modélisation de ces liaisons résident dans les stations de conversion. En effet, la technologie VSC-MMC est relativement récente et présente des spécificités nouvelles relativement complexes à modéliser de manière précise et rapide comparativement aux modélisations de câbles et de lignes. C'est pourquoi le travail de cette thèse s'est concentré sur la modélisation de ces équipements.

3.1 Description d'une liaison HVDC de type VSC MMC

Une liaison HVDC point-à-point en configuration monopolaire symétrique [40] comprend :

- 2 convertisseurs MMC qui sont constitués de 6 demi-bras chacun avec un agencement de sous-modules en série, ainsi qu'une inductance en série avec chaque demi-bras,
- Un transformateur de conversion par station de conversion généralement constitué de 3 unités monophasées,
- Une inductance de point neutre,
- Des parafoudres
- Des lignes ou des câbles sur la partie continue afin de transmettre la puissance électrique entre les deux convertisseurs.

Le schéma de la Figure 3-1 présente le positionnement de l'ensemble de ces équipements.

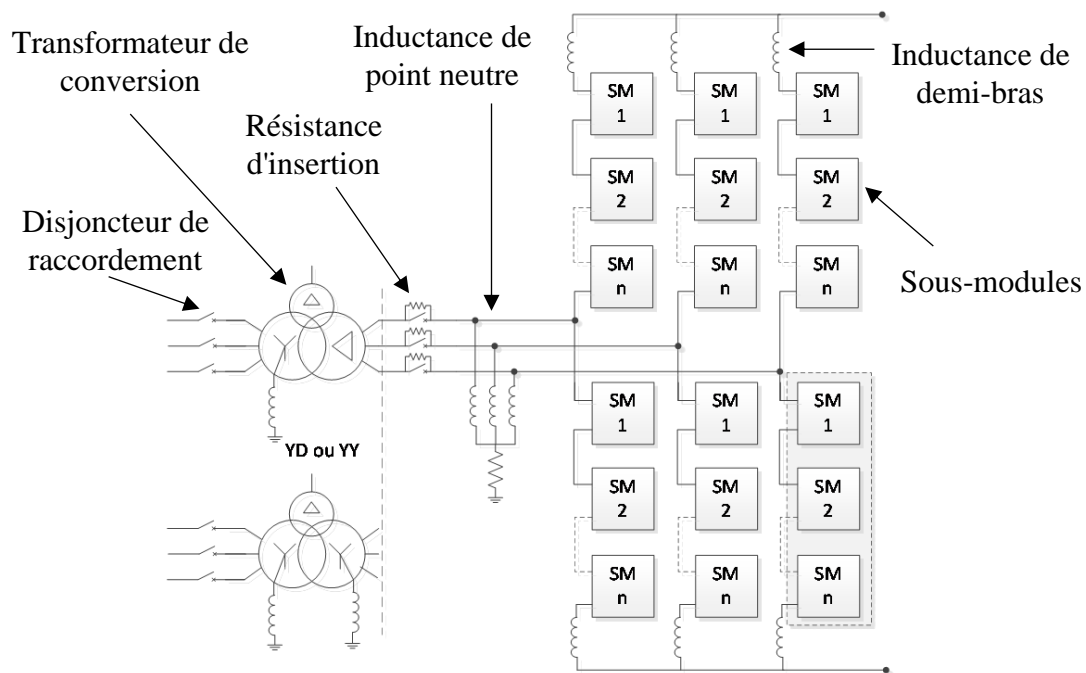


Figure 3-1: Schéma unifilaire d'une station de conversion HVDC de type VSC MMC

3.2 Les demi-bras des convertisseurs

Les convertisseurs MMC comportent généralement un grand nombre de sous-modules. Par exemple les convertisseurs de la liaison France-Espagne comportent plus de 450 sous-modules par demi-bras incluant la redondance. Ce sont des sous-modules avec une topologie en demi-pont comme présenté à la Figure 3-2. Cette thèse va se concentrer sur cette topologie de sous-module. Les conclusions seront néanmoins discutées pour qu'elles soient applicables à d'autres topologies.

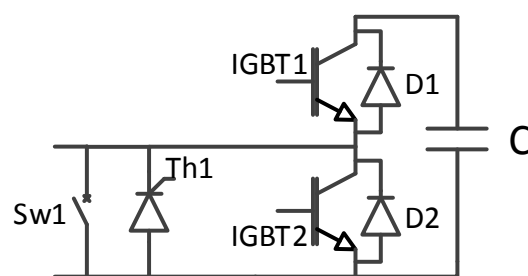


Figure 3-2: Topologie des sous-modules utilisés dans les convertisseurs de la liaison France-Espagne

Comme détaillé dans [7], les IGBT 1 et 2 sont commandés de manière complémentaire. Le thyristor Th1 est utilisé uniquement pour protéger les diodes anti parallèles D1 et D2 en cas de passage d'un courant trop important dans les diodes. L'interrupteur rapide SW1 permet de court-

circuiter de manière définitive un sous-module défaillant. Les composants SW1 et TH1 n'ont donc pas besoin d'être modélisés dans la plupart des études de performance dynamique.

La modélisation détaillée d'un si grand nombre de composants est un défi majeur. C'est pourquoi de nombreuses techniques pour optimiser la taille du système à résoudre ont été développées dans la littérature. Il est ici proposé de faire l'analyse des principales techniques et de les comparer dans le cadre d'une utilisation industrielle.

En ce qui concerne les modèles de demi-bras, dans [9] une classification des modèles de convertisseurs de type MMC est proposée. Une modélisation détaillée des demi-bras est possible avec les Modèles 1 et 2. Il est également possible de modéliser de manière détaillée des convertisseurs MMC avec des modèles utilisant l'interface du Modèle 3. Mais dans ce cas, il est nécessaire de modifier les équations de ce modèle pour prendre en compte tous les sous-modules. Les avantages et inconvénients de ces 3 modèles en termes de temps de calcul et de précision sont discutés dans les sous-sections suivantes. Le modèle de demi-bras à admittance constante est également discuté dans cette section.

3.2.1 Optimisations possibles du Modèle 1

Le Modèle 1 présente l'inconvénient d'être lent à simuler si le nombre de sous-modules est grand. En effet, son utilisation conduit à la génération d'une matrice nodale d'une taille proportionnelle au nombre de sous modules. Il est ainsi possible d'améliorer la vitesse de résolution de ce modèle en agissant sur la résolution nodale.

Le schéma équivalent d'un IGBT est présenté à la Figure 3-3. Il comporte un interrupteur contrôlé. Il est connecté en série avec une diode pour forcer le courant de l'interrupteur à passer du nœud p au nœud n. Une diode en parallèle de ce circuit permet au courant de circuler en sens inverse.

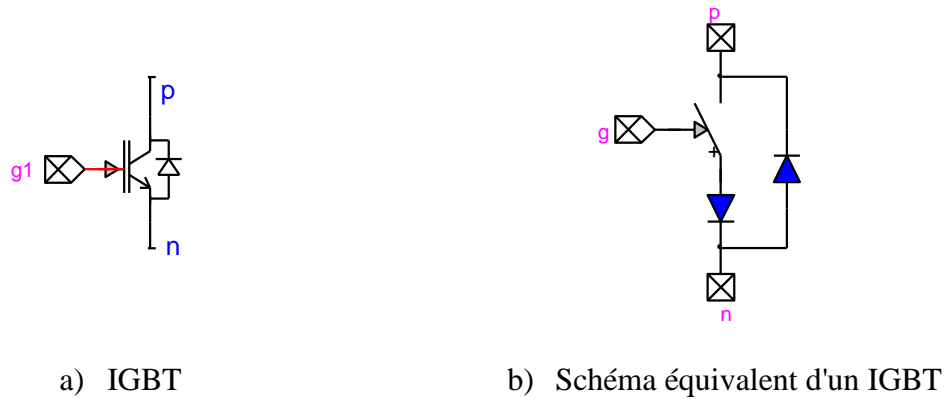


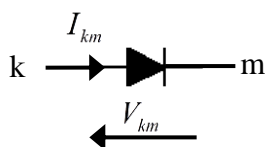
Figure 3-3: Schéma équivalent d'un IGBT intégré à un modèle 1 de convertisseur MMC

Les diodes peuvent être représentées par des modèles de diodes idéales (sans impédance avec des solveurs utilisant l'analyse nodale augmentée modifiée [33] ou avec des résistances R_{on}/R_{off}) ou par des modèles non linéaires (résistances non-linéaires). La taille du circuit électrique simulé obtenue avec ce type de modèle peut être très grande. Pour des convertisseurs à 450 sous-modules par demi-bras, une liaison monopolaire symétrique totalise $2 \text{ [IGBT / SM]} * 450 \text{ [SM / demi-bras]} * 6 \text{ [demi-bras / convertisseur]} * 2 \text{ [convertisseur / liaison]} = 10\,800$ IGBTs. Un modèle de cette liaison totalise au moins autant de nœuds électriques lorsque le modèle d'IGBT présenté à la Figure 3-3 est utilisé. Lorsqu'un solveur basé sur l'analyse nodale augmentée modifiée est utilisé, alors la taille de la matrice assemblée est d'au moins $15\,000 * 15\,000$.

Des solveurs particulièrement performants sont nécessaires pour résoudre ce type de système. Le solveur présenté dans [33] est basé sur un package de matrices creuses [41]. C'est le système de résolution actuellement utilisé dans le logiciel EMTP-RV.

Utilisation du modèle de diode idéale

Les diodes idéales dans EMTP-RV sont représentées par les équations suivantes :



Etat ouvert

$$I_{km} = 0$$

Etat fermé

$$V_{km} = 0$$

L'utilisation de ce modèle de diode conduit au schéma de sous module présenté à la Figure 3-4.

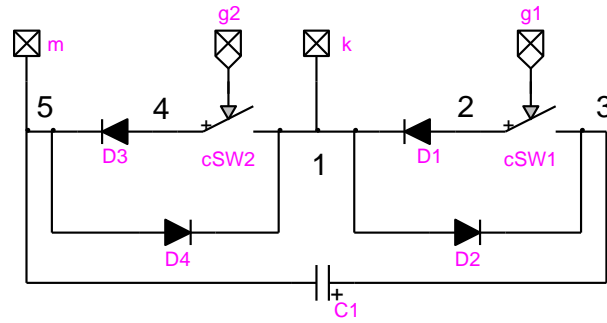


Figure 3-4: Schéma équivalent d'un sous-module (avec diodes idéales)

Lorsque les composants D3, D4 et cSW2 sont dans l'état ouvert (mode haute impédance lorsque les sous-modules sont bloqués – par exemple pendant la phase de démarrage), il n'est pas possible de le résoudre. Le solveur va ainsi ajouter des résistances de forte valeur à la terre (par exemple au nœud 4) pour résoudre le système. Cet ajout de résistance va se faire à chaque changement d'état de diode ou d'interrupteur. Il ralentit donc la simulation. Une solution pour rendre la simulation plus rapide est d'ajouter une résistance de forte valeur aux bornes des diodes D1 et D3 afin d'obtenir le circuit de la Figure 3-5.

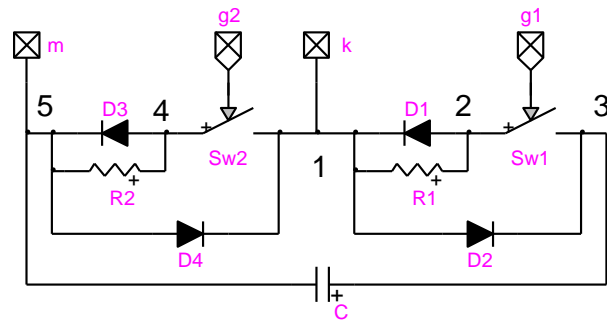


Figure 3-5: Schéma équivalent d'un sous-module (avec diodes idéales et résistances)

Avec l'analyse nodale augmentée modifiée, ce circuit s'assemble sous la forme présentée à l'équation (3.1) avec Sw1, Sw2, D1, D3 et D4 ouverts et D2 fermé. C'est une configuration qui

peut se produire lors de la séquence de démarrage ou du blocage du convertisseur. $R_c = \frac{\Delta t}{2C}$ est

l'impédance de la capacité discrétisée en fonction de la méthode d'intégration et du pas de temps

(Δt pour la méthode trapézoïdale, $\frac{\Delta t}{2}$ pour la méthode Backward Euler).

Si les résistances R1 et R2 ne sont pas utilisées, on remarque bien que le système ne peut pas être résolu. C'est donc le solveur qui va ajouter des résistances à chaque changement d'état des diodes.

[illegible]

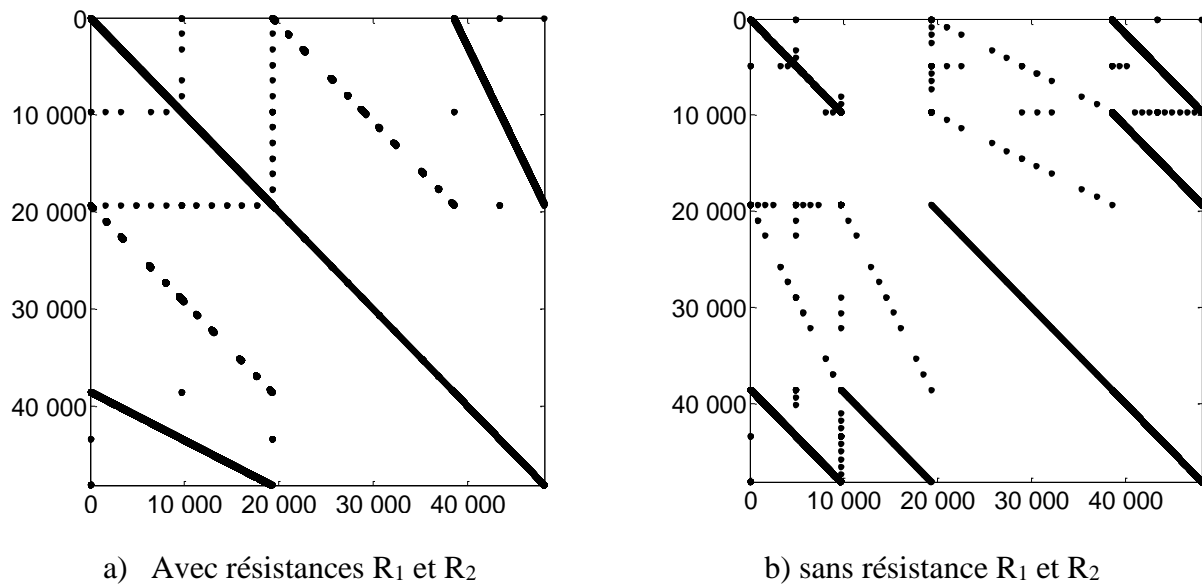


Figure 3-6: Matrices nodales pour la résolution temporelle d'une liaison HVDC

La simulation temporelle de 1s de cette liaison composée de 2 convertisseurs de 401 niveaux a été réalisée avec les modèles d'IGBT/diodes suivants :

- Cas 1 : Résistances non-linéaires (modèle1 original)
- Cas 2 : Diodes idéales
- Cas 3 : Diodes idéales + résistances R_1 et R_2

Tableau 3-1: Temps d'exécution d'un modèle 1 de liaison HVDC

	Temps d'exécution
Cas 1	3400 s
Cas 2	2720 s
Cas 3	290 000 s

Pour ces 3 types de modèles, les résultats sont quasiment identiques. Cependant, l'utilisation des diodes idéales ne permet pas d'avoir une représentation de la caractéristique non linéaire des semi-conducteurs. Il peut être parfois nécessaire d'avoir cette caractéristique non linéaire pour des études très détaillées.

L'augmentation du temps de calcul pour le cas 3 est due à l'ajout très fréquent de résistances à la terre par le solveur et au ré-ordonnement de la matrice nodale.

Le package de résolution matriciel KLU [42] a été utilisé pour résoudre ce système. Il ne permet pas d'obtenir des gains notables pour ce cas d'application. Néanmoins ce package est en cours de modification pour réaliser de la factorisation partielle mais n'est pas actuellement disponible. Cette technique permet de re-factoriser uniquement la partie de la matrice nodale qui a été modifiée au pas de temps actuel. Dans le cas d'un convertisseur MMC de 451 niveaux en mode contrôlé, il n'y a qu'un sous module qui change d'état à la fois dans un pas de temps de $5\mu s$ [9]. Par conséquent il n'y a que $1 * 6$ [demi-bras/convertisseur] interrupteurs qui peuvent changer de position dans un pas de temps sur les 10 800 interrupteurs. La factorisation partielle pourrait donc présenter un intérêt particulier pour ce cas d'application.

3.2.2 Le Modèle 2a

Étant donné le temps d'exécution nécessaire au Modèle 1 pour des convertisseurs à plusieurs centaines de niveaux, ce type de modèle ne paraît pas adapté à la simulation temps réel pour le moment. C'est pourquoi des modèles simplifiés ont été développés.

Le Modèle 2a (ou détaillé équivalent) est décrit dans [26]. Un processus itératif intervient lorsqu'au moins un sous-module est dans l'état bloqué et qu'au moins une diode change d'état. L'activation du processus itératif intervient uniquement dans ce cas de figure et permet d'éviter des oscillations numériques.

Cependant pour optimiser le temps de calcul du modèle, le processus itératif décrit dans [9] n'est pas activé en dehors de cette situation. Cela induit une erreur dans les résultats fournis par le modèle. Par exemple, pour un demi-bras de 401 niveaux, cette erreur peut aller jusqu'à 25% sur le courant.

Une solution a été développée pour résoudre ce problème et éviter de réaliser des itérations. Il faut en fait modifier le calcul des termes historiques pour prendre en compte les courants calculés au pas de temps présent. Le schéma équivalent du sous-module i est décrit à la Figure 3-7.

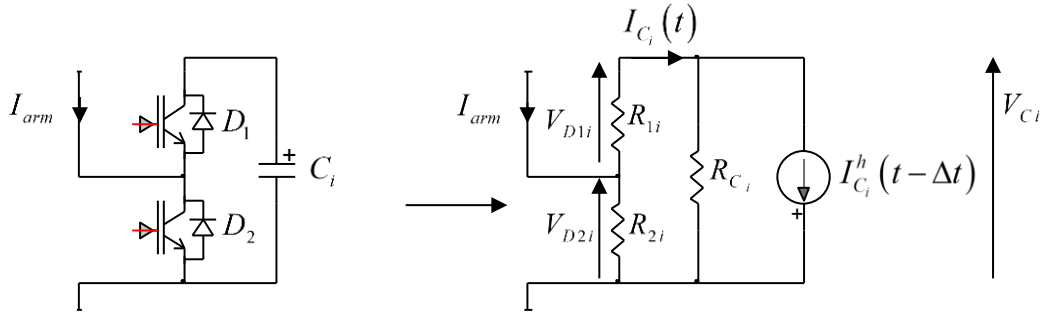


Figure 3-7: Équivalent discrétisé du sous-module i

L'algorithme du Modèle 2a dans le domaine du temps reste identique à celui présenté dans [9] mais les étapes suivantes sont ajoutées dans le calcul des termes historiques.

Pour la méthode d'intégration trapézoïdale :

$$I_{C_i}^h(t) = -\frac{1}{R_{C_i}} V_{C_i}(t) - I_{C_i}(t) \quad (3.2)$$

$$R_{C_i} = \frac{\Delta t}{2C_i} \quad (3.3)$$

Pour la méthode d'intégration Backward Euler :

$$I_{C_i}^h(t) = -\frac{1}{R_{C_i}} V_{C_i}(t) \quad (3.4)$$

$$R_{C_i} = \frac{\Delta t}{C_i} \quad (3.5)$$

Ensuite le calcul de chaque tension de Thévenin est réalisé :

$$V_{SM_i}^h(t - \Delta t) = R_{SM_i}(t) \left(\frac{R_{C_i}}{R_{C_i} + R_{L_i}} \right) I_{C_i}^h(t - \Delta t) \quad (3.6)$$

Puis le courant de Norton de l'ensemble du demi-bras:

$$I_{arm}^h(t - \Delta t) = -Y_{arm}(t) \sum_{i=1}^N V_{SM_i}^h(t - \Delta t) \quad (3.7)$$

Les équations (3.2) à (3.7) ont été ajoutées au Modèle 2 dans la section de préparation des historiques afin d'obtenir une résolution plus précise. Ces équations ne nécessitent pas de boucle dans le code développé en FORTRAN grâce à la vectorisation de l'équation (3.6). Il n'y a donc pas de différences remarquables dans le temps de calcul de ce nouveau modèle.

Le nouveau modèle a été testé et validé avec un exemple simple illustré à la Figure 3-8. Ce circuit comprend un demi bras à 401 niveaux et le circuit équivalent pour la première alternance ($i_{arm} > 0$). Le circuit équivalent est le circuit de référence pour cette première alternance du courant.

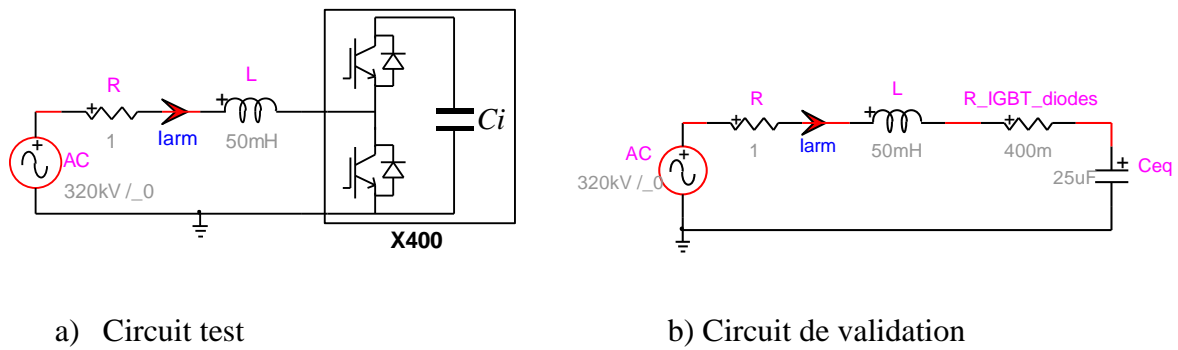


Figure 3-8: Circuits pour valider le Modèle 2a amélioré

Le courant de demi-bras est présenté à la Figure 3-9. L'erreur relative sur le modèle initial est proche de 25%.

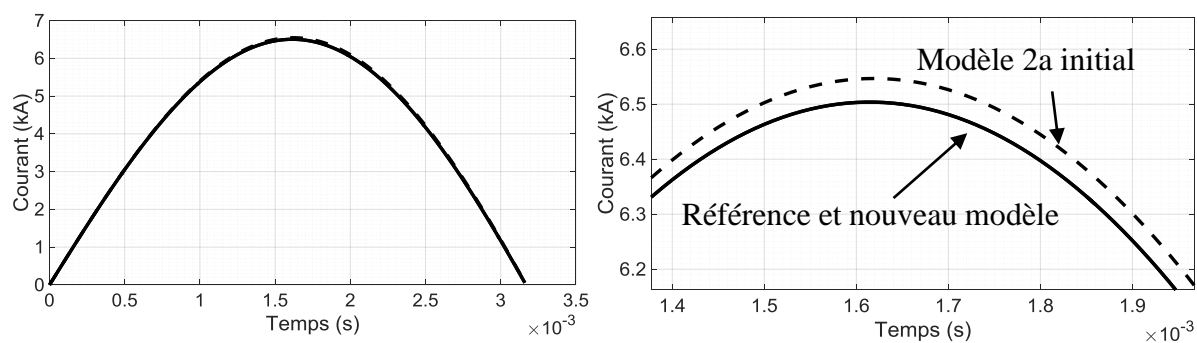


Figure 3-9: Comparaison des courants de demi-bras pour les 2 circuits (1^{ère} alternance et zoom)

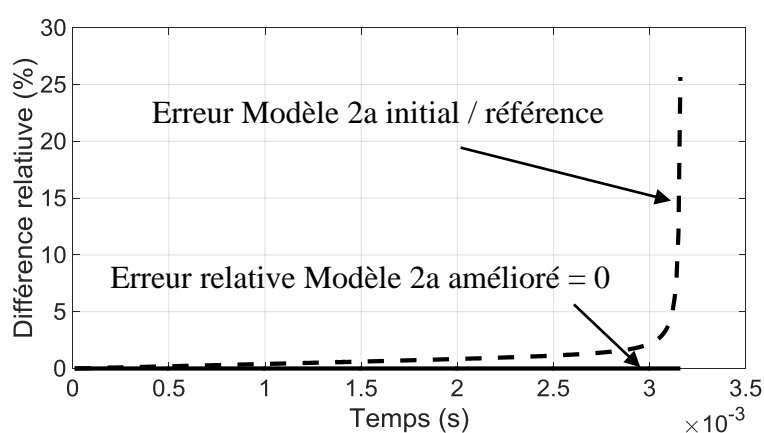


Figure 3-10: Différences relatives entre le Modèle 2a initial et la référence et le Modèle 2a amélioré et la référence

Cette mise à jour du Modèle 2a permet ainsi d'améliorer la précision du modèle sans augmenter son temps d'exécution.

3.2.3 Le Modèle 2b

Le Modèle 3 décrit dans [9] est basé sur deux circuits équivalents : un circuit pour le mode contrôlé et un circuit pour le mode bloqué comme présenté à la Figure 3-11.

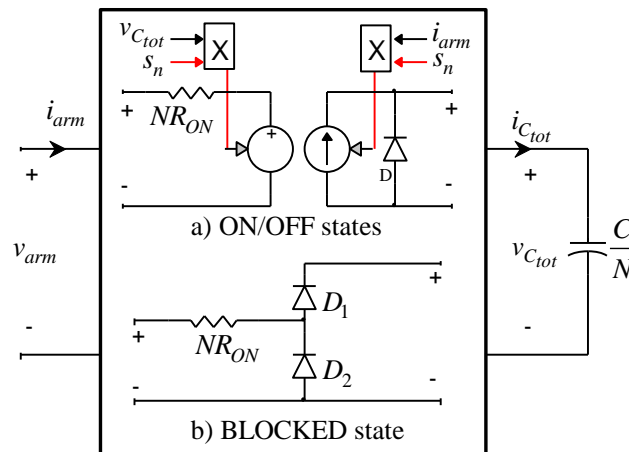


Figure 3-11: Modèle 3 présenté dans [9]

Avec ce modèle les sous-modules ne sont plus représentés de manière individuelle. Cela signifie que le contrôle d'équilibrage des tensions de condensateurs dans chaque demi-bras ne peut plus être étudié.

Une autre formalisation de ce modèle est présentée dans [14]. Cette formalisation présente l'avantage de ne pas nécessiter deux modèles de circuits différents. Son implémentation est donc facilitée. Dans [14] la constitution de ce modèle n'est pas justifiée et son utilisation pour représenter les sous-modules de manière détaillée n'est pas proposée.

La justification de ce modèle est fournie ci-dessous pour les Modèles 2b et 3. Il faut noter que les Modèles 2b et 3 ont le même circuit équivalent (2 sources de tension et deux diodes) mais le Modèle 2b inclut une représentation détaillée des sous-modules alors que le Modèle 3 prend en compte une modélisation agrégée de chaque demi-bras.

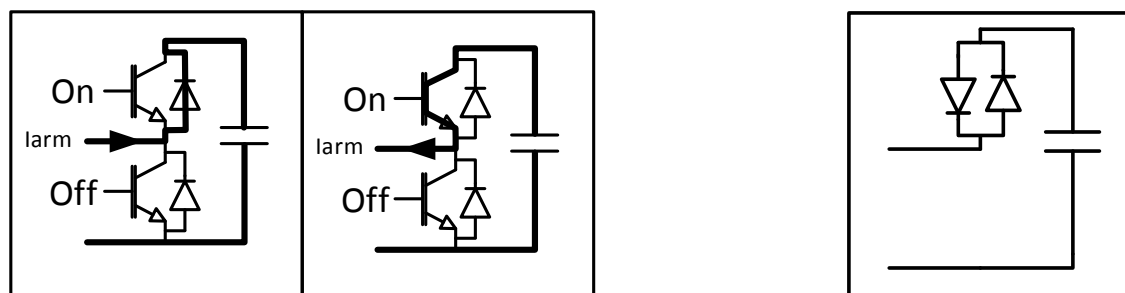
Il est d'abord question d'identifier le schéma équivalent du sous-module i en fonction de ses différents états en mode contrôlé (commandes envoyées sur les IGBT) et en mode bloqué (pas de commande envoyée sur les IGBT).

Pour le mode contrôlé, on part de l'hypothèse que les IGBTs sont commandés de manière complémentaire. Il existe 2 états dans lesquels peuvent se trouver les sous-modules lorsque les IGBTs sont commandés :

- Analyse de l'état ON

Ce cas se produit lorsque l'IGBT1 du sous-module (voir Figure 5-3) est commandé à l'état ON. En fonction du sens du courant I_{arm} dans le demi-bras, on obtient les parcours de courant

présentés à la Figure 3-12. Le schéma équivalent fait apparaître deux diodes D_1 et D_1' . D_1 est la diode anti-parallèle présentée à la Figure 5-3. D_1' représente la conduction de l'IGBT1 et sa modélisation permet de représenter la conduction et le changement d'état de l'IGBT1.



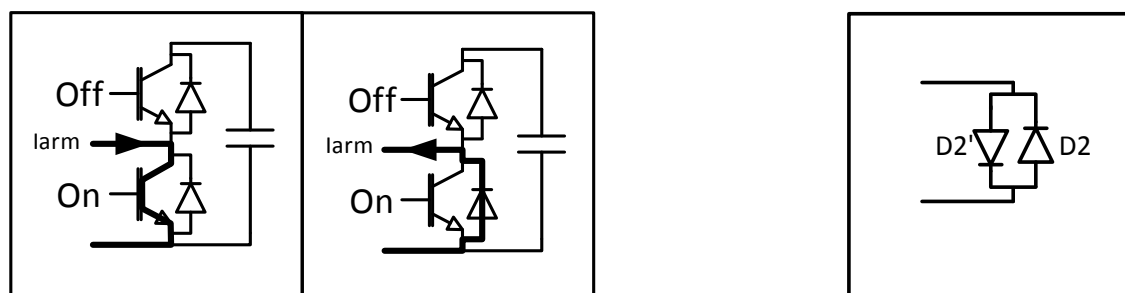
a) Parcours du courant à l'état ON

b) Schéma électrique équivalent

Figure 3-12: État ON d'un sous-module et son schéma équivalent

- Analyse de l'état OFF

Ce cas se produit lorsque l'IGBT2 du sous-module (voir Figure 5-3) est commandé à l'état ON. En fonction du sens du courant I_{arm} dans le demi-bras, on obtient les parcours de courant présentés à la Figure 3-13. Le schéma équivalent fait également apparaître deux diodes D_2 et D_2' . Le schéma équivalent fait apparaître deux diodes D_2 et D_2' . D_2 est la diode anti-parallèle présentée à la Figure 5-3. D_2' représente la conduction de l'IGBT2 et sa modélisation permet de représenter la conduction et le changement d'état de l'IGBT2.



a) Parcours du courant à l'état OFF

b) Schéma électrique équivalent

Figure 3-13: État OFF d'un sous-module et son schéma équivalent

L'association des schémas équivalents des Figure 3-12 b) et Figure 3-13 b) conduit au schéma équivalent du sous module i de la Figure 3-14 avec :

- R_{ON} la résistance à l'état passant d'un IGBT/diode

- C la capacité du module i
- $S_i = 1$ si état ON, $S_i = 0$ si état OFF
- V_{c_i} est la tension aux bornes de la capacité du sous-module i

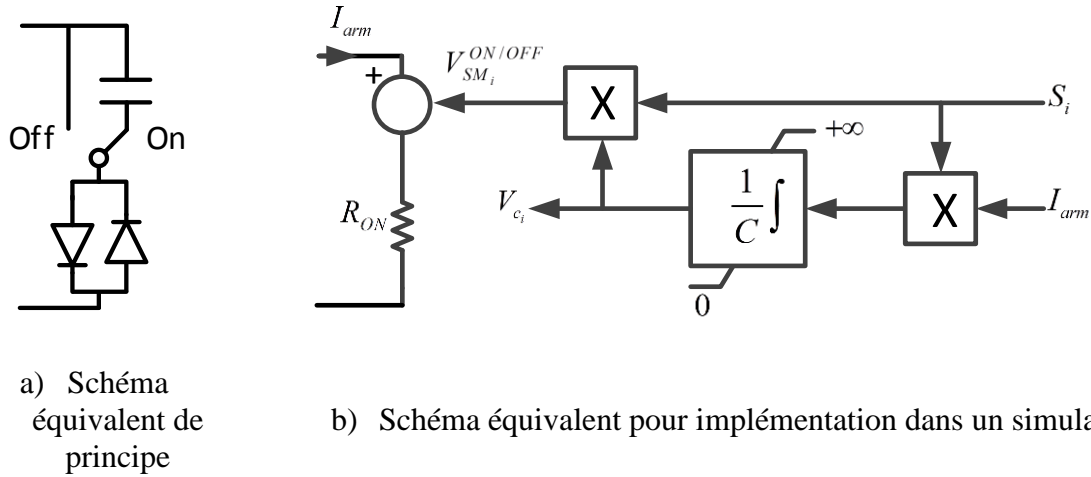


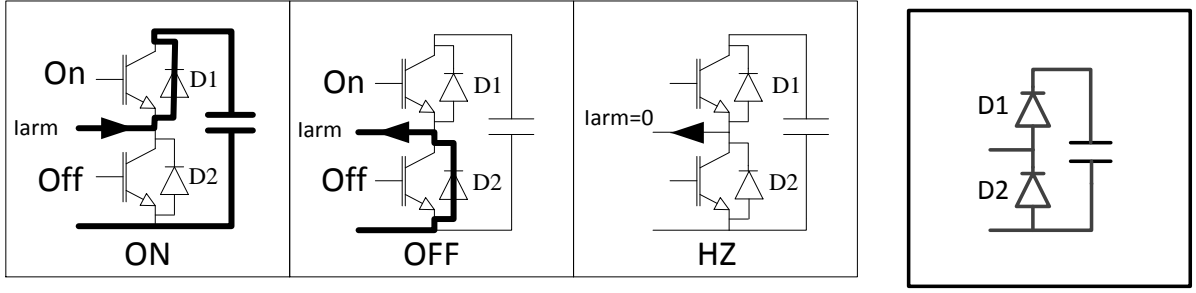
Figure 3-14: Schéma équivalent de l'état ON/OFF d'un sous-module

Le schéma de la Figure 3-14 b) comprend une source de tension contrôlée pour modéliser la capacité. Cette source de tension est contrôlée par le courant la traversant. Ce circuit impose donc un pas de temps de décalage entre la résolution du circuit électrique constitué du système { source de tension + résistance } et le circuit de calcul de la tension $V_{SM_i}^{ON/OFF}$.

Avec des outils qui utilisent l'analyse nodale augmentée modifiée telle que présentée en [33], il est possible de développer ce modèle à l'aide d'une source de tension comme une source dépendante. Dans ce cas, tous les composants du circuit équivalent peuvent être résolus de manière simultanée.

- Analyse de l'état bloqué

L'état bloqué constitue le mode de fonctionnement lorsqu'aucun signal de commande n'est envoyé aux IGBT.

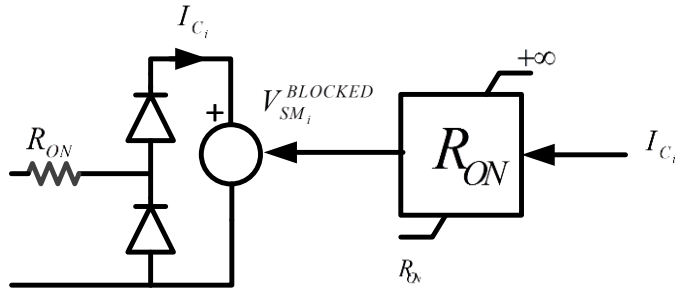


a) Parcours du courant à l'état bloqué

b) Schéma électrique équivalent

Figure 3-15: État bloqué d'un sous-module et son schéma équivalent

Ce schéma électrique équivalent peut être représenté par le circuit de la Figure 3-16.

Figure 3-16: Schéma équivalent de l'état bloqué du sous-module i

Dans un demi-bras, il est possible d'avoir des sous-modules qui sont dans ces 3 états (ON, OFF et bloqué). Comme les sous-modules sont connectés en série dans un demi-bras, l'association du circuit de l'état ON/OFF (Figure 3-14 b) et du circuit de l'état bloqué (Figure 3-16) permet d'arriver au circuit équivalent du demi-bras présenté à la Figure 3-17 avec les paramètres suivants :

- n est le nombre de sous-module par demi-bras
- R_{ON} la résistance à l'état passant d'un IGBT/diode
- C_i la capacité du sous-module i
- V_{C_i} la tension de la capacité du sous-module i
- $S_i = 1$ si le sous-module i est à état ON, $S_i = 0$ si état OFF
- $Blk_i = 1$ si le sous-module i est à l'état bloqué, $Blk_i = 0$ sinon

$$V_{arm}^{ON/OFF} = s_n V_{Ctot} \quad (3.11)$$

Le schéma de principe de ce modèle est présenté à la Figure 3-18. N_{S_n} représente le nombre de sous-modules insérés. N_{blk} représente le nombre de sous module en mode bloqué.

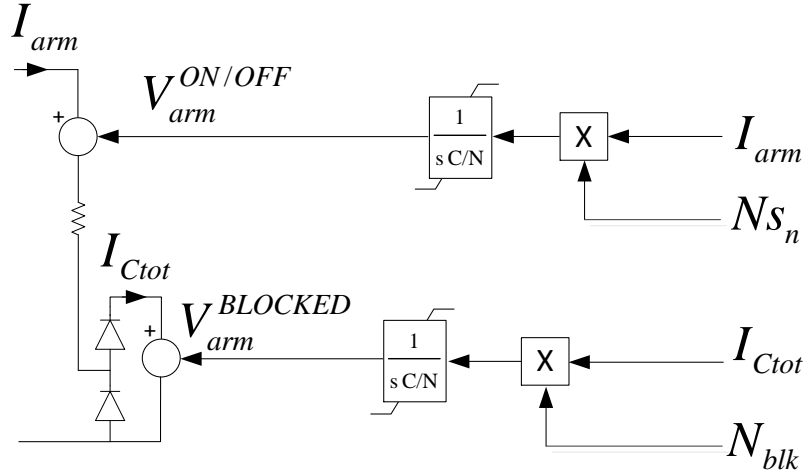


Figure 3-18: Schéma équivalent d'un demi-bras d'un modèle 3 moyen

3.2.5 Comparaison Modèle 2a / Modèle 2b

La principale différence de ce modèle avec le Modèle 2a est la modélisation des diodes. Dans le Modèle 2a toutes les diodes sont représentées de manière indépendante d'un sous-module à l'autre. Ce n'est pas le cas pour le Modèle 2b. Ainsi, pour un Modèle 2b, tous les sous-modules bloqués d'un demi-bras vont changer d'état au même moment. En effet avec ce type de modélisation, le comportement des diodes de tous les sous modules d'un même demi-bras va être modélisé par les deux diodes du circuit équivalent de la Figure 3-18. Cette hypothèse peut être remise en question dans le cas particulier où les tensions des capacités des sous-modules d'un demi bras ne sont pas correctement équilibrées.

Pour illustrer ce point le circuit de la Figure 3-19 est utilisé. Il s'agit d'un demi bras de 20 sous-modules connecté en série avec une source de courant sinusoïdale. Les IGBT de ce demi-bras ne sont pas commandés. L'évolution des tensions des capacités va donc dépendre de l'état des diodes de chaque sous-module.

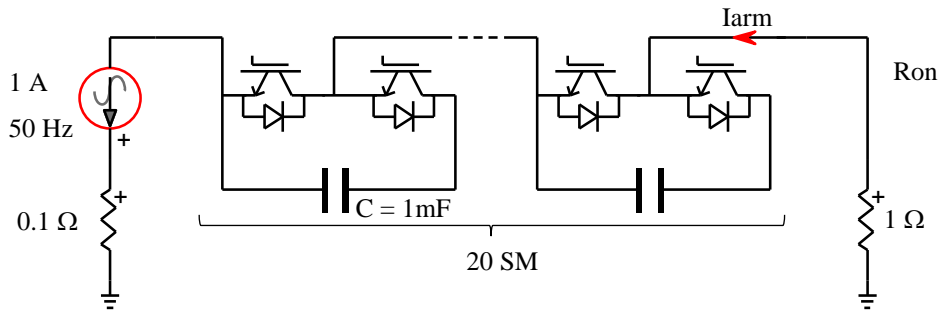


Figure 3-19: Circuit test pour comparaison des Modèles 2 et 3 détaillés

Deux modèles de demi-bras sont utilisés:

- Le Modèle 2a
- Le Modèle 2b comme présenté à la Figure 3-17

La première simulation est le démarrage de ce circuit sans initialisation (pas de tension initiale aux bornes des capacités et pas de calcul de régime permanent). Les sous-modules vont se charger progressivement via les diodes qui vont commuter en fonction des conditions de courant et de tensions à leurs bornes.

La tension du premier sous-module fournie par les deux modèles est présentée à la Figure 3-20. Les deux modèles donnent des résultats quasiment identiques avec une différence relative inférieure à 10^{-6} .

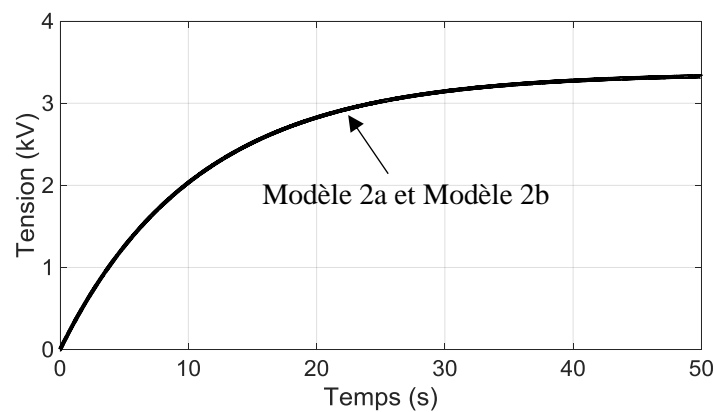


Figure 3-20: Tension aux bornes du premier sous module (aucune initialisation)

Si maintenant le sous-module j a une tension non nulle au démarrage de la simulation (V_0), les tensions aux bornes des diodes de chaque sous-module vont être différentes.

Pour illustrer ce propos, la Figure 3-21 présente le sous-module i du demi-bras.

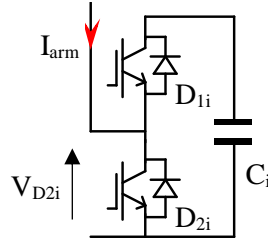


Figure 3-21: Comportement des diodes dans le modèle 2

Pour le Modèle 2a, lorsque D_{1i} est fermée et D_{2i} est ouverte, les tensions aux bornes des diodes sont calculées à chaque pas de temps sous la forme:

$$V_{D2i}(t) = R_{on} I_{arm}(t) + \left[\frac{1}{C_i} \int_0^t I_{arm}(t) dt \right]_{I_{arm}(t) > 0} + V_{0i} \quad (3.12)$$

Avec

$$V_{0j} \neq 0; V_{0i} = 0 \forall i \neq j \quad (3.13)$$

Par conséquent, toutes les diodes D_{2i} pour $i \neq j$ vont commencer à conduire simultanément lorsque leur tension va dépasser leur seuil de conduction. Mais pour la diode D_{2j} ce seuil de conduction ne sera pas atteint au même moment. Sa commutation ne sera donc pas simultanée avec les autres diodes.

La tension de la capacité du sous-module i est initialisée à 1000V. On compare l'état de la diode D_{2j} avec celui de n'importe quelle autre diode D_{2i} $i \neq j$ à la Figure 3-22. Le pas de calcul est de $5\mu s$. Chaque pas de calcul est identifié sur la Figure 3-22. Le changement d'état de D_{2j} intervient 6 pas de temps après celui des autres diodes soit $30\mu s$ plus tard. Ce retard dépend des caractéristiques des caractéristiques électriques du demi-bras mais également des composants qui y sont connectés (inductances, résistances...). Ce retard sera d'autant plus important que la dispersion entre les tensions des sous modules est grande.

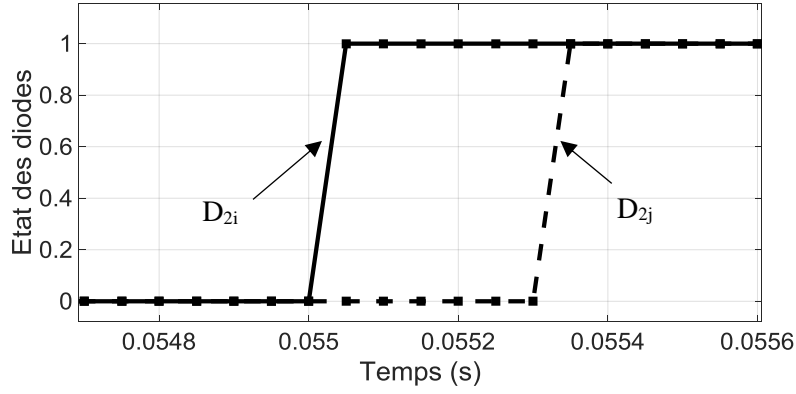


Figure 3-22: Changement d'état des diodes D_2 dans un Modèle 2a

Il est maintenant important d'analyser le comportement du Modèle 2b dans ce type de situation. Avec ce type de modèle le changement des diodes est agrégé dans les deux diodes D_1 et D_2 présentées à la Figure 3-23.

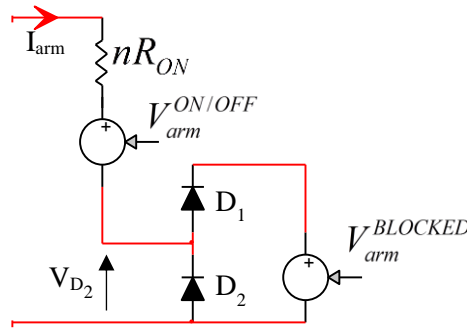


Figure 3-23: Comportement des diodes dans le Modèle 2b

Pour le Modèle 2b, lorsque D_1 est fermée et D_2 est ouverte, les tensions aux bornes de la diode D_2 est calculée à chaque pas de temps sous la forme :

$$V_{D2}(t) = R_{on} I_{arm}(t) + \sum_{i=1}^n \left[\frac{1}{C_i} \int_0^t I_{arm}(t) dt + V_{0i} \right]_{I_{arm}(t) > 0} \quad (3.14)$$

Avec

$$V_{0j} \neq 0; V_{0i} = 0 \forall i \neq j \quad (3.15)$$

Dans le cas où il n'y a qu'un sous module qui a une tension initiale très différente des tensions des autres sous-modules la tension de la diode D_2 va être relativement peu influencée par cette valeur de tension initiale. Par conséquent, les diodes D_1 et D_2 vont changer d'état au même instant que dans le cas où toutes les tensions initiales sont nulles comme le montre la Figure 3-24.

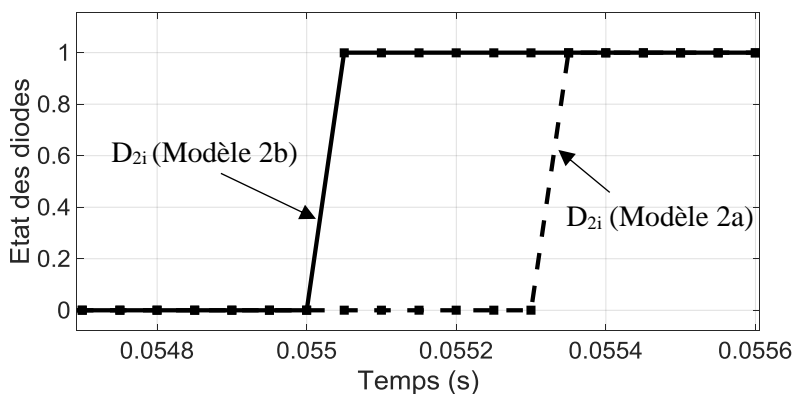


Figure 3-24: Changement d'état de la diodes D_2 dans un Modèle 2b

La comparaison des tensions des sous-modules montre maintenant des différences très importantes entre le Modèle 2a et le Modèle 2b détaillé surtout pour le sous-module dont la tension initiale est non nulle.

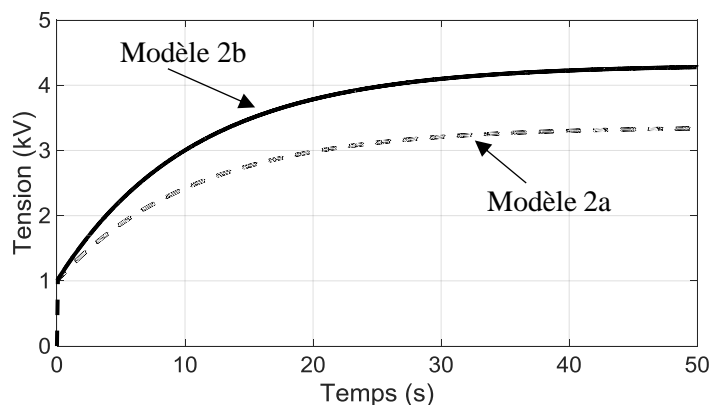


Figure 3-25: Comparaison de la tension du sous-module avec une tension initiale non nulle

Pour les autres sous-modules, les différences entre les deux modélisations sont beaucoup plus faibles ($< 5\%$) comme présenté à la Figure 3-26. Ces différences observées entre les résultats donnés par les Modèle 2a et Modèle 2b détaillés seront d'autant plus importantes qu'il y aura une dispersion forte des tensions des sous modules dans un même demi-bras.

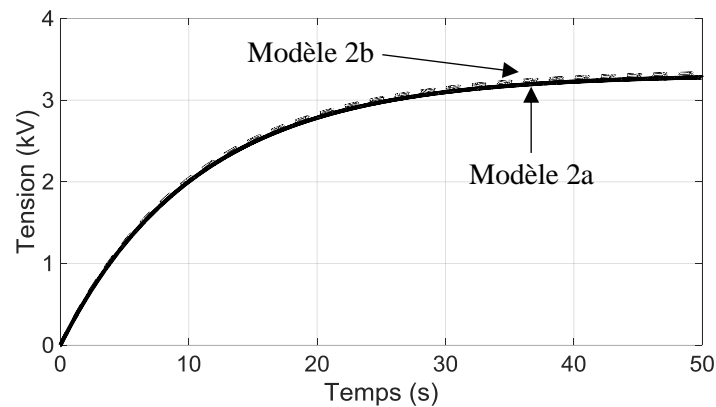


Figure 3-26: Comparaison de la tension d'un sous-module sans tension initiale

3.2.6 La modélisation à admittance constante

Le principe de ce type de modélisation est de représenter un interrupteur à l'aide d'un équivalent de Norton dont l'admittance est constante en fonction de l'état de l'interrupteur. Ce principe a été publié initialement dans [15] et repris dans [16] puis [17].

Cette technique revient à modéliser l'interrupteur ouvert par un condensateur de valeur C_s et l'interrupteur fermé par une inductance de valeur L_s . Pour garder une admittance constante, le rapport C_s/L_s doit être constant. Dans [17] une solution basée sur un circuit RC (R_s , C_s) pour l'état ouvert est proposée afin de limiter les oscillations numériques pouvant apparaître lors des changements d'état.

Le changement d'état de l'interrupteur est pris en compte par la modification de la valeur du courant d'historique représenté par la source de courant. Cette technique offre l'avantage de garder la matrice d'admittance constante. Les gains de temps de calcul peuvent donc être conséquents puisqu'il n'est pas nécessaire de re-factoriser la matrice nodale à chaque commutation.

L'approche présentée dans [17] est celle qui est la plus utilisée dans l'industrie. Cependant elle présente l'inconvénient majeur d'induire des erreurs d'autant plus grandes que le pas de calcul est grand. Le pas de calcul doit généralement être inférieur à la μs sinon les courants dans les interrupteurs ouverts n'est plus négligeable et la tension aux bornes des interrupteurs fermés devient trop grande.

Comme le modèle 2 détaillé dans [9], il est nécessaire d'implémenter ce modèle avec une méthode itérative afin d'obtenir une solution stable.

Il est possible d'utiliser cette technique pour modéliser un modèle de type 1 (ie avec accès à tous les nœuds électriques) mais également de modéliser des Modèle 2 et 3.

Dans le premier cas, tous les sous-modules sont représentés avec les circuits équivalents présentés à la Figure 3-27.



a) Sous module dans l'état ON

b) Sous module dans l'état OFF

Figure 3-27: Circuits équivalents d'un sous module avec la modélisation à admittance constante

Dans le cas d'un Modèle 2b ou 3 (détaillé ou moyen), il est possible de modéliser tous les interrupteurs (diode, IGBT, disjoncteur) d'une station de conversion avec cette technique. Bien que le nombre d'interrupteurs soit plus limité dans ce cas (2 diodes par demi-bras) et tous les disjoncteurs / sectionneurs dans la station de conversion) il peut paraître intéressant du point de vue temps de calcul d'utiliser cette méthode plus particulièrement pour la simulation temps réel. C'est cette solution qui a été choisie dans le cadre de la conception et les essais de plusieurs projets industriels comme dans [14]. Il n'est pas ici question d'estimer le gain en termes de temps de calcul de cette méthode mais plutôt d'évaluer la perte de précision qu'elle entraîne.

Le circuit de la Figure 3-28 présente le circuit équivalent simplifié d'une phase d'un convertisseur MMC. On retrouve les composants suivants:

- Disjoncteur principal de raccordement
- Résistance d'insertion et sectionneur de contournement
- Transformateurs de conversion (simplifié à l'aide de son inductance de fuite)
- Forte impédance de mise à la terre (L_{SPR})
- Les deux demi-bras modélisé à l'aide de l'hypothèse d'admittance constante,
- Les inductances des demi-bras
- Les câbles ou lignes CC représentés par leur capacité équivalente à la terre.

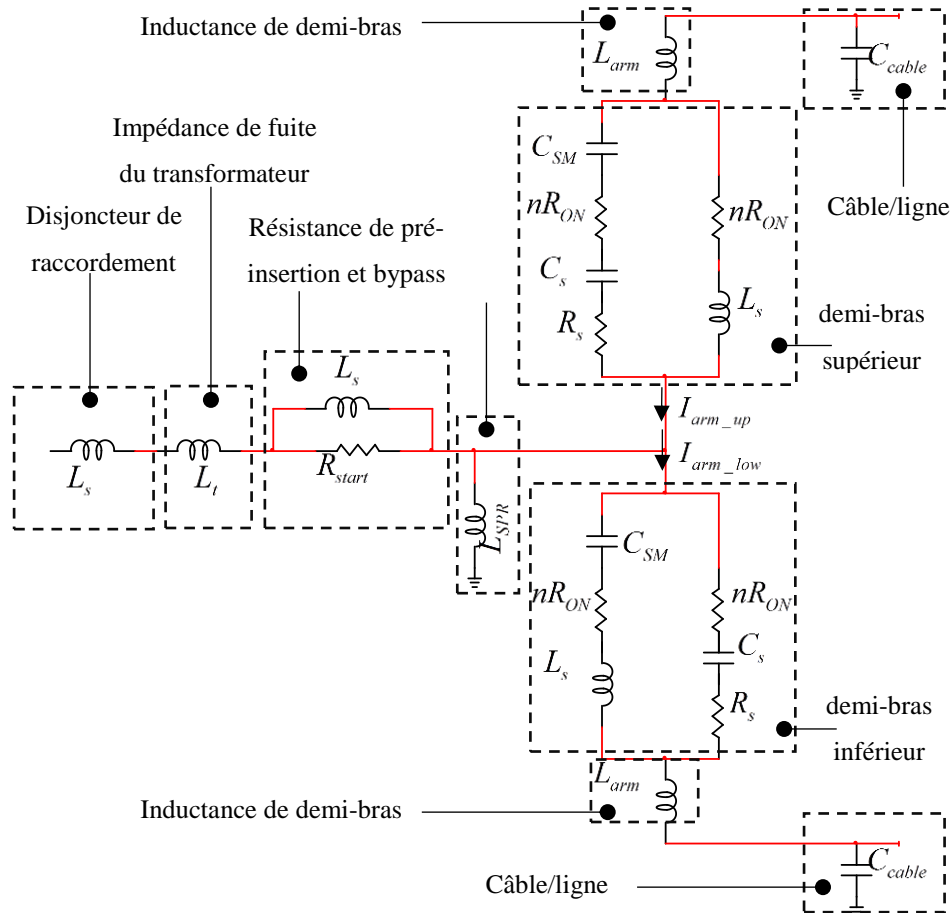


Figure 3-28: Circuit équivalent d'une phase de convertisseur avec une modélisation à admittance constante

Le circuit de la Figure 3-28 présente un nombre important de composants R, L et C qui ne représentent pas des composants réels. Ces composants peuvent parasiter la simulation en ajoutant des fréquences de résonances non réalistes dans le circuit. La première étape de cette analyse commence par un balayage fréquentiel des modèles de convertisseurs des Figure 3-28 côté CA et côté CC. Dans le cas proposé, les données sont présentées à l'ANNEXE B.

Le circuit équivalent a été construit ici pour un courant de demi-bras positif avec les diodes D_1 fermées et D_2 ouvertes (Figure 3-23). Le circuit équivalent est donc différent lorsque les diodes ont des états différents.

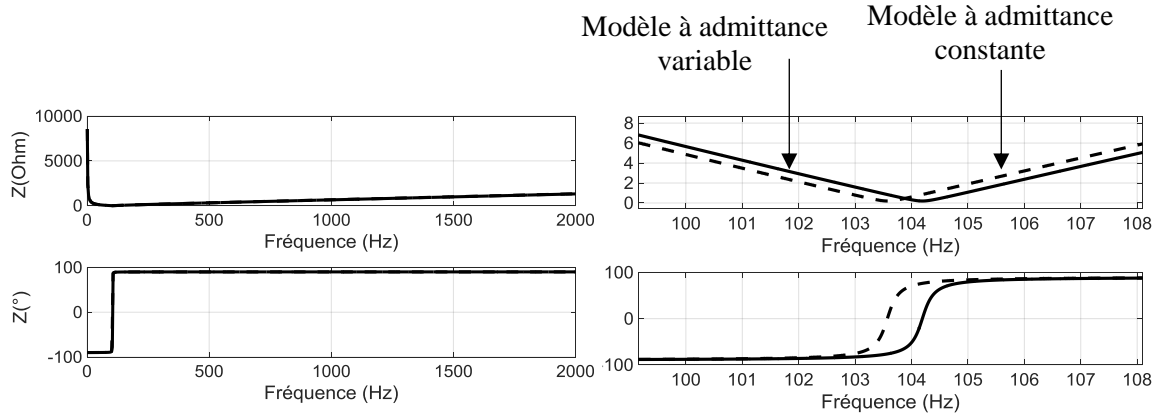


Figure 3-29: Impédances dans le domaine fréquentiel vues du côté CA

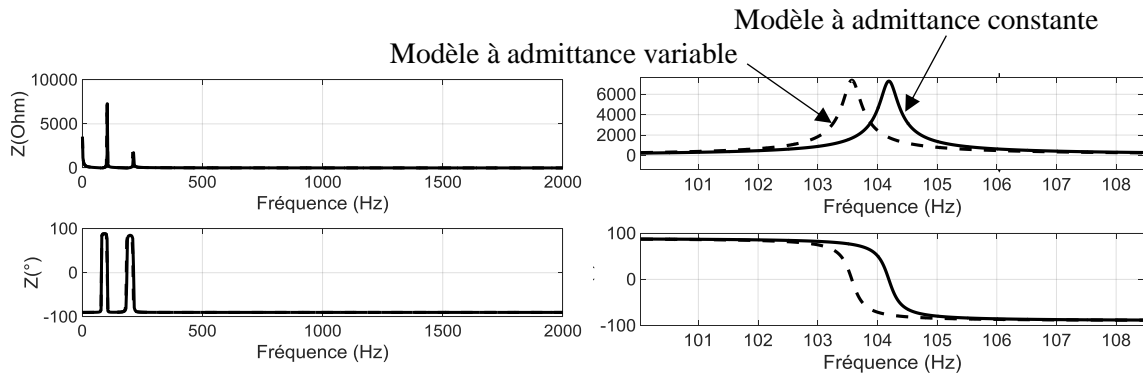


Figure 3-30: Impédance dans le domaine fréquentiel vue du côté CC

La fréquence de résonance principale observée côté CC et CA autour de 104 Hz environ provient du circuit LC $\{C_{\text{cable}}, C_{\text{SM}}, L_{\text{arm}}, L_t\}$. Les impédances fréquentielles observées côté CA et CC sont très proches pour les deux types de modélisation. Les fréquences de résonance sont modifiées de moins de 1 Hz entre les deux types de modélisation. Cette étude est ensuite réalisée pour tous les états des diodes et permet de valider le principe de modélisation.

Un état pose cependant problème avec ce principe de modélisation. C'est l'état bloqué en haute impédance : le demi-bras est bloqué et les diodes D_1 et D_2 sont ouvertes. Dans ce cas, le circuit équivalent simplifié vue du secondaire du transformateur est présenté à la Figure 3-31. Ce circuit LC présente une fréquence de résonance :

$$f_{\text{spr}} = \frac{1}{2\pi\sqrt{4L_{\text{SPR}}C_s}} \quad (3.16)$$

Avec les valeurs numériques présentées en ANNEXE B, cette fréquence de résonance est d'environ 16.8 Hz.

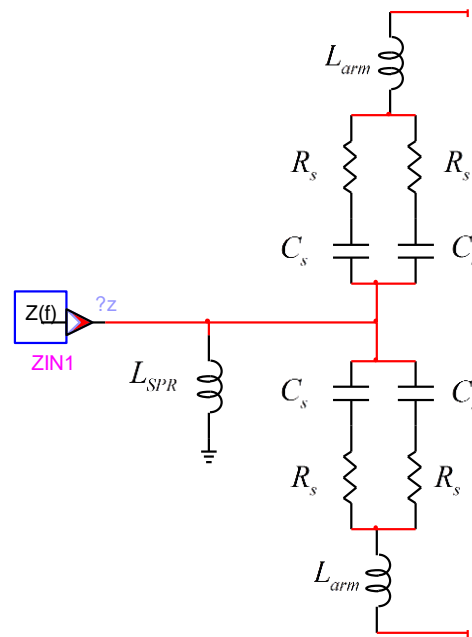


Figure 3-31: Schéma équivalent simplifié d'une phase de convertisseur en mode haute impédance

Pour illustrer les conséquences de cette résonance, un modèle 3 de liaison VSC-MMC est simulé avec des modèles de diodes à admittance constante. Les données de cette liaison sont celles présentées dans [24].

Le cas d'étude est celui d'un blocage d'un convertisseur sans ouverture des disjoncteurs de raccordement (blocage sans déclenchement). Ce cas peut se produire suite à une perturbation réseau (défaut, surtension temporaire) qui conduit les protections du convertisseur à bloquer le convertisseur. Dans ce cas, le convertisseur reste connecté au réseau CA mais il est bloqué.

Les tensions au secondaire du transformateur sont présentées à la Figure 3-32 en comparant le modèle à admittance constante et celui à admittance variable. On peut remarquer la fréquence de résonance bien présente avec le modèle à admittance constante. Cette résonance non réaliste va conduire après quelques secondes au déclenchement de la liaison suite à l'activation de systèmes de protection. Cette résonance est également visible dans le courant à travers l'inductance de point neutre comme présenté à la Figure 3-33.

Le blocage a lieu à $t=2s$.

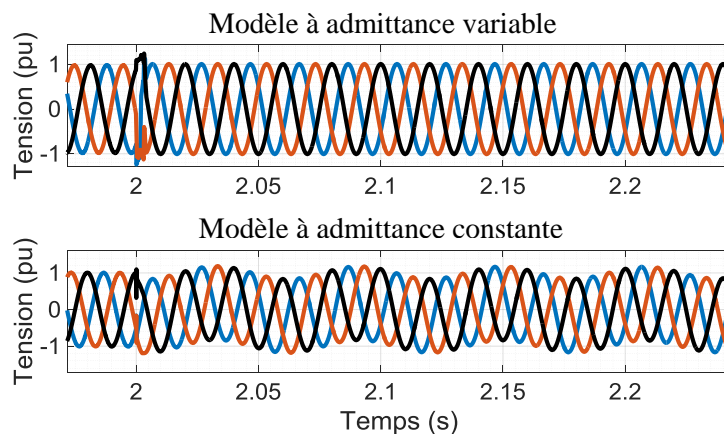


Figure 3-32: Tension au secondaire du transformateur de conversion (côté convertisseur)

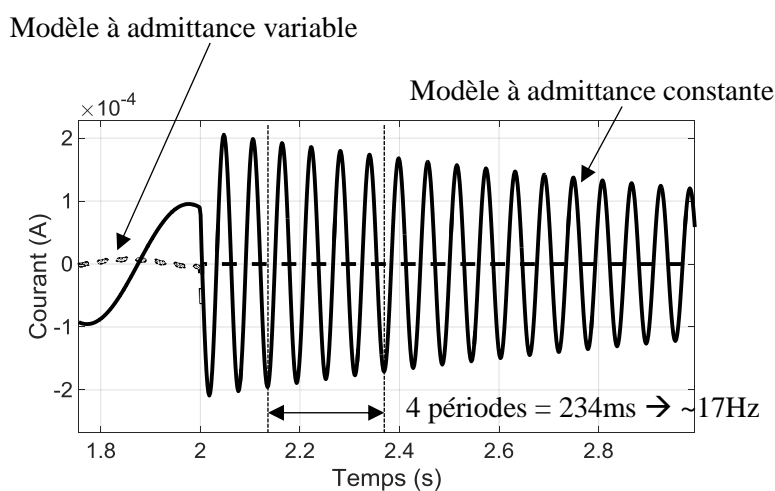


Figure 3-33: Courant dans l'inductance de point neutre

Ces résultats ont été obtenus pour des valeurs de C_s , L_s et R_s calculées à $2\mu s$. C'est généralement le pas de temps le plus grand choisi pour utiliser cette méthode [17] car, pour des pas de temps plus grands, les interrupteurs ont des impédances trop grandes à l'état passant et trop faibles à l'état ouvert. Si un pas de temps plus petit est choisi, la valeur de la capacité C_s sera plus petite et donc la fréquence de résonance augmente. Ce problème de résonance devient ainsi encore plus gênant car on se rapproche de la fréquence fondamentale du réseau CA. Pour illustrer cet impact, la fréquence de résonance calculée à l'équation (3.16) est tracée en fonction du pas de temps.

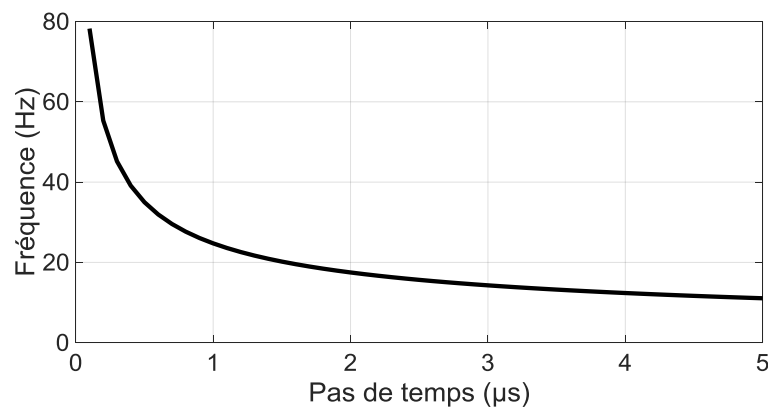


Figure 3-34: Fréquence de la résonance avec l'inductance de point neutre

Cette méthode de modélisation conduit ainsi à des problèmes de précision. Des techniques ont été proposées pour sélectionner les valeurs de C_s , L_s et R_s de manière optimale [43]. Ces techniques tentent de minimiser les pertes induites par les composants fictifs. Ces techniques ne sont pas adaptées lorsque de nombreux interrupteurs sont utilisés et elles ne règlent pas les problèmes de résonance fictive.

Elle conduit à des résultats erronés quel que soit le pas de temps :

- Pour des pas de temps grands : les interrupteurs ont des impédances de moins en moins idéales
- Pour les pas de temps petits : des résonances irréalistes peuvent être induites

De plus la prise en compte de non-linéarités n'est pas possible de manière précise avec ce type de modélisation. Cette modélisation à admittance constante n'a donc pas été utilisée dans les modélisations temps réel décrites dans cette thèse.

3.3 Les transformateurs de conversion

Les transformateurs de conversion pour les stations VSC monopolaires sont généralement constitués d'unités monophasées. Ils sont connectés en série avec le disjoncteur de raccordement du réseau alternatif, la résistance d'insertion et le convertisseur.

Il n'y a pas de modélisation spécifique de ces transformateurs pour les stations VSC. Étant donné que les convertisseurs MMC génèrent des perturbations harmoniques de hautes fréquences (au-delà de 2kHz) et d'amplitude faible, des modèles hautes fréquences pour ces cas d'applications ne sont pas nécessaires [20].

L'un des phénomènes transitoires le plus fréquent subi par ces équipements est leur mise sous tension. Généralement il n'y a pas de disjoncteur ni entre le transformateur et le convertisseur,

ni entre le convertisseur et les câbles CC. Par conséquent la mise sous tension du transformateur d'une station de conversion conduit à la mise sous tension du convertisseur de la station, des câbles CC et du convertisseur de leur extrémité de la liaison. Pour limiter les courants d'enclenchement de cet ensemble de composants, des résistances d'insertion sont utilisées au primaire ou au secondaire du transformateur. Dans de nombreux cas ([23], [24], [36]), les résistances sont placées au secondaire du transformateur. Cela permet de réduire les courants d'appels venant de la charge du convertisseur mais pas les courants d'appel dus à la magnétisation du transformateur.

Par conséquent, pour étudier les transitoires liés à la mise sous tension des transformateurs il est nécessaire d'avoir des modèles valides sur une gamme de fréquences relativement faibles ($< 1\text{kHz}$). Les phénomènes de saturation doivent être pris en compte.

Les modèles valides pour ce type d'études sont décrits dans [44] et [45]. Généralement des modèles basés sur des schémas équivalents simples séparant les fuites, la magnétisation et des ratio idéaux, donnent des résultats satisfaisants pour ces études de mise sous tension. Ce type de modèle est référencé comme étant "saturable transformer component" dans [44]. C'est ce type de modèle qui a été utilisé dans la présente thèse pour étudier la mise sous tension de liaison VSC.

3.4 Les autres équipements

3.4.1 Les inductances de point neutre

Dans le cas de convertisseurs MMC de topologie monopolaire symétrique, les équipements connectés au secondaire du transformateur de conversion (côté convertisseur) sont reliés à un système flottant sans référence à la terre. Des inductances de très grande valeur (plusieurs kH) sont généralement utilisées entre le transformateur et le convertisseur pour éviter que du courant continu ne parte dans les bobinages du transformateur et tout en gardant une impédance très grande à 50 Hz.

Étant donné la valeur très importante de ces inductances, une composante continue même de faible amplitude sur les tensions à leurs bornes est suffisante pour les conduire dans un état saturé. Il est donc important de modéliser la saturation de ces matériels.

3.4.2 Les inductances de demi-bras

Les inductances de demi-bras sont connectées en série avec les sous-modules. Elles peuvent être raccordées côté CC ou côté CA. Leurs principales fonctions sont :

- Limitation du courant circulaire pour en faciliter le contrôle
- Limitation de la valeur du courant de défaut
- Contribution à l'impédance d'interface entre le réseau CA et la partie CC.

Ces composants peuvent être modélisés par des inductances pures. Il est parfois nécessaire de placer une résistance en parallèle de ces inductances afin de limiter l'apparition d'oscillations numériques. Ces oscillations peuvent apparaître lorsque la méthode trapézoïdale est utilisée sans méthode de réduction des oscillations numériques comme [46][46]. Ces inductances sont particulièrement sensibles à cette problématique car elles sont en série avec les IGBT/diodes qui génèrent des variations très brutales du courant dans les demis bras.

3.4.3 Les parafoudres

Les parafoudres sont généralement utilisés pour des questions de coordination d'isolement dans les postes électriques. Ils limitent les surtensions à fronts rapides comme celles provoquées par des impacts de foudre ou des manœuvres de composants inductifs.

Dans les stations de conversion VSC de type MMC, deux types de parafoudres sont utilisés :

- Les parafoudres servant à limiter les surtensions rapides dues à la foudre et à la manœuvre. Ces parafoudres ont des capacités énergétiques relativement limitées (quelques dizaines ou centaine de kJ).
- Les parafoudres servant à limiter les surtensions temporaires induites par des défauts proches des convertisseurs. Ces parafoudres ont des capacités énergétiques très importantes (plusieurs dizaines de MJ) étant donné la durée des surtensions.

Le positionnement des parafoudres dans une station de conversion VSC-MMC est présenté à la Figure 3-35. La localisation des parafoudres du premier type sont identifiés avec des croix simples. La localisation des parafoudres du deuxième type sont identifiés avec des croix dans un carré.

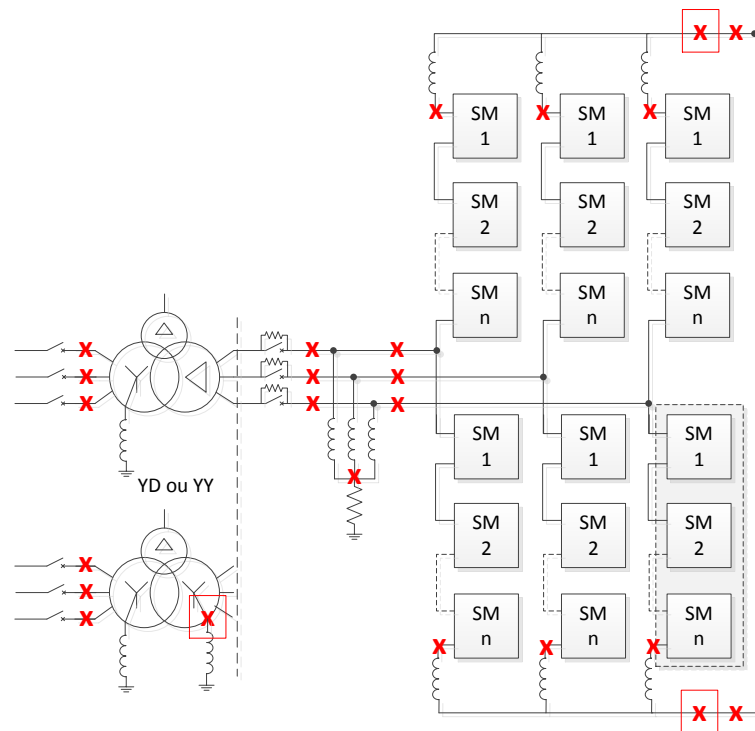


Figure 3-35: Positionnement des parafoudres dans une station de conversion VSC-MMC

Les parafoudres connectés aux pôles positifs et négatifs du convertisseur, ainsi que celui connecté au neutre du secondaire (en cas de couplage YY), sont sollicités lors de défauts dans le convertisseur avec la terre. Lorsque ce type de défaut apparaît, le convertisseur n'est plus flottant et les tensions entre les conducteurs et la terre se trouvent référencées par rapport au défaut. Par conséquent des surtensions temporaires se produisent le temps de détecter le défaut, bloquer le convertisseur et ouvrir les disjoncteurs de raccordement. Ces surtensions peuvent donc durer une centaine de millisecondes. Il est ainsi très important de modéliser ces parafoudres pour tous les défauts proches ou dans les convertisseurs. Des exemples de surtensions temporaires suite à des défauts sont présentés dans [47].

Pour les autres parafoudres, il est pertinent de les modéliser uniquement dans des cas très rares d'étude de foudre ou de surtensions très rapides. C'est pourquoi, dans la suite de cette thèse, uniquement les parafoudres limitant les surtensions temporaires sont pris en compte.

3.4.4 Les disjoncteurs et équipements de sectionnement

Les disjoncteurs et sectionneurs utilisés dans les stations de conversion de type VSC MMC sont généralement des équipements identiques à ceux utilisés dans des postes classiques en courant alternatif. Leur modélisation n'est donc pas spécifique à ce type d'application. Il faut noter que la modélisation des disjoncteurs à courant continu ne fait pas partie du périmètre de cette thèse.

3.4.5 Les câbles souterrains et des lignes aériennes sur la partie continue.

Les lignes et de câbles connectés aux convertisseurs jouent un rôle important dans le comportement des liaisons à courant continu. Pour représenter le régime nominal de fonctionnement, les modèles de ces composants doivent être valides pour le courant continu. Ces mêmes modèles sont utilisés pour évaluer le comportement des installations suite à des défauts côté CA et CC. Il est donc fondamental que ces modèles soient valides sur une large bande de fréquences allant de 0 à quelques kHz. Les modèles de type Wideband sont donc nécessaires pour l'étude de ces liaisons.

3.5 Conclusions

Ce chapitre a permis de proposer des améliorations pour le Modèle 2a et plus particulièrement pour le calcul des historiques. Le Modèle 2b a été présenté et justifié. Son domaine de validité comparativement au Modèle 2a a été évalué. Ce modèle permet d'avoir des résultats précis sauf si un grand déséquilibre dans les tensions des sous-modules existe.

La modélisation des autres composants des stations de conversion a également été décrite. Un exemple de modélisation de transformateur de conversion avec une validation grâce à des mesures sur site a été présenté.

CHAPITRE 4 IMPLÉMENTATION DES MODÈLES DE LIAISONS VSC DANS DES SIMULATEURS TEMPS RÉELS

Ce chapitre présente les méthodes pour interfacer des systèmes de contrôle commande de convertisseurs VSC-MMC à des simulateurs temps réel.

4.1 Exigences à respecter

4.1.1 Pourquoi la simulation temps réel ?

En complément de la simulation hors temps réel, la simulation temps réel est utilisée principalement lorsqu'un système de contrôle commande réel doit être interfacé à un modèle numérique des équipements électriques (convertisseurs, câbles CC, réseaux CA). Pour les systèmes HVDC /FACTS installés sur les réseaux de transport, ce type de simulation est ainsi utilisé pour tester les performances des systèmes de contrôle commande et de protections en usine avant l'installation sur site. Ces essais permettent de s'assurer que le comportement du contrôle commande et des protections est bien conforme aux spécifications fournies par le client comme précisé dans [35]. Lorsque les systèmes de contrôle commande et de protections sont installés et mis en service sur site, la simulation temps réel peut être utilisée pour s'interfacer avec des répliques du contrôle commande. Ces répliques sont utilisées pour des études de réseaux ou des activités de maintenance [48].

Les essais usine doivent permettre de :

- S'affranchir d'un grand nombre d'essais sur site,
- S'assurer que le système de protection va protéger les équipements sans conduire à des déclenchements intempestifs.

Il est donc très important que la simulation temps réel fournisse des résultats précis et fiables lorsqu'elle est interfacée aux systèmes de contrôle commande et de protections. Cela induit des contraintes sur la modélisation des composants électriques et sur le pas de temps maximal.

4.1.2 Validation des modèles temps réel de liaisons HVDC

La modélisation d'une liaison HVDC doit prendre en compte tous les équipements qui ont un impact sur son comportement électrique. Tous les équipements sous tension sont donc généralement modélisés à l'exception des systèmes de refroidissement et certaines parties des

systèmes auxiliaires. Pour les liaisons VSC de type MMC, les points suivants imposent une complexité particulière dans la modélisation temps réel en particulier :

- Les convertisseurs comportent un très grand nombre de sous-niveaux,
- Les stations de conversion comportent des parafoudres qui permettent de réduire les surtensions temporaires,
- Les courants de magnétisation des transformateurs peuvent être très importants lors de leur mise sous tension ou suite au retour de la tension après un défaut sur le réseau,
- Des inductances de grande valeur sont souvent utilisées pour réaliser des mises à la terre au secondaire des transformateurs de puissance.

Après la phase de vérification des performances d'un système de contrôle commande, la simulation temps réel peut être utilisée pour réaliser des études de réseaux. On utilise dans ce cas la simulation temps réel car les modèles de systèmes de contrôle commande sont généralement peu fiables et très difficiles à maintenir. Dans ce cas, nous avons donc une représentation identique à la réalité du système de contrôle commande. Il est ainsi important d'avoir une modélisation valide des équipements électriques. C'est pourquoi un processus strict de validation doit être mis en place. Le processus de validation de ces modèles temps réel de station de conversion VSC est présenté au Tableau 4-1.

Tableau 4-1: Étapes de validation d'un modèle temps réel de station de conversion VSC

Étapes	Modèles et matériels utilisés	Références
1a	Demi bras MMC simulé sur un CPU d'un STR	Demi bras MMC simulé sur machine hors temps réel
1b	Demi bras MMC simulé sur un FPGA et relié à un STR	Demi bras MMC simulé sur machine hors temps réel
1c	Demi bras MMC + BCA simulés sur FPGA et relié à un STR	Demi bras MMC + BCA simulés sur machine hors temps réel
2a	Station VSC + système de contrôle simulé sur un CPU d'un STR	Station VSC + système de contrôle simulé sur machine hors temps réel
2b	Station VSC + système de contrôle simulés sur un STR multi CPU	Station VSC + système de contrôle simulé sur machine hors temps réel
2c	Station VSC avec demi-bras simulés sur FPGA + système de contrôle simulés sur un STR multi CPU	Station VSC + système de contrôle simulé sur machine hors temps réel
3a	Station VSC simulée sur un STR. Système de contrôle simulé sur un autre STR. Les deux simulations sont reliées via des interfaces d'Entrées/Sorties (E/S)	Station VSC + système de contrôle simulé sur machine hors temps réel
3b	Station VSC simulée sur un STR. Demi-bras simulés sur FPGA et relié au STR. Le système de contrôle est simulé sur un autre STR. Les deux STR sont reliés via des interfaces d'Entrées/Sorties (E/S)	Station VSC + système de contrôle simulé sur machine hors temps réel
3c	Station VSC simulée sur un STR (CPU+FPGA). Le contrôleur réel est interfacé via les interfaces d'E/S	Mesures sur site

Ce processus de validation est relativement long car la modélisation temps réel de convertisseurs VSC-MMC impose l'utilisation de simplifications dans les modèles, de délais

pour découpler les tâches de calcul et l'implémentation sur des matériels hétérogènes (CPU / FPGA) qui conduisent à des délais et des simplifications dans la représentation des nombres.

On peut ainsi distinguer 3 grandes étapes de validation:

1. Validation du modèle de demi-bras et du contrôle BCA. Ce qui est validé à cette étape:
 - a. les équations sur un modèle implémenté sur CPU
 - b. l'implémentation sur FPGA d'un demi bras et la communication avec le CPU
 - c. l'implémentation sur FPGA du contrôle BCA.
2. Validation du modèle de convertisseur et du contrôle VSC. Ce qui est validé à cette étape:
 - a. les paramètres et les modèles constituant une liaison VSC sur 1 CPU
 - b. l'impact de la séparation des tâches : 1 convertisseur MMC / CPU + 1 contrôle VSC / CPU
 - c. l'impact de la séparation des tâches de modélisation dans un convertisseur CPU / FPGA
3. Validation des performances temps réel dans un environnement industriel. Ce qui est validé à cette étape:
 - a. l'impact de la communication avec les E/S standard
 - b. l'impact de la communication avec les E/S standard et le(s) FPGA

4.1.3 Pourquoi l'utilisation de FPGA ?

4.1.3.1 L'interfaçage de systèmes de contrôle commande physiques

La Figure 4-1 présente le schéma de principe d'un contrôle commande de convertisseur MMC. Ce type d'algorithme de contrôle adapté aux convertisseurs MMC est décrit dans [49].

Dans l'industrie, ces algorithmes sont implémentés sur plusieurs types de composants : CPU, DSP et FPGA. Les CPU et DSP contiennent les algorithmes de mesures, de contrôle et de protection des stations de conversion généralement jusqu'à la tâche de modulation. Les pas de calcul et d'échantillonnage sur ces matériels vont de la ms à la dizaine de μ s. Ces pas de calcul sont donc plus grands que les pas de calcul utilisés sur les CPU des simulateurs temps réel (entre 20 et 50 μ s). Les E/S standard permettant d'interfacer des systèmes de contrôle commande à des simulateurs utilisant des CPU peuvent donc être utilisées pour se raccorder à cette partie des systèmes de contrôle.

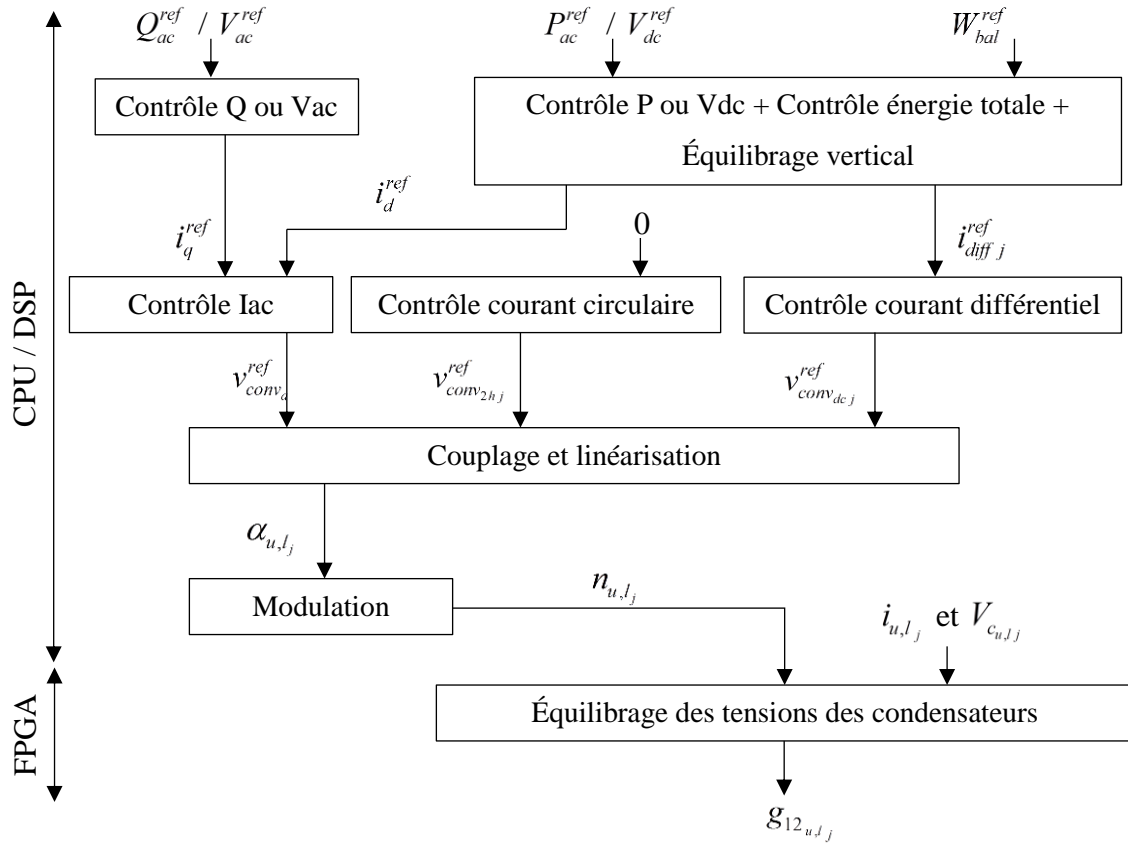


Figure 4-1: Contrôle simplifié d'un convertisseur MMC [49]

Les FPGA sont utilisés pour réaliser les conversions analogiques / numériques ainsi que les calculs nécessitant de nombreuses opérations de contrôle et de protection pouvant être facilement parallélisée. Les algorithmes d'équilibrage des tensions de condensateurs sont ainsi développés sur ce type de matériels. Certaines fonctions de protections y sont également implémentées.

Les pas de temps utilisés sur les FPGA des systèmes de contrôle commande industriels ne sont généralement pas révélés pour des questions de confidentialité. Pour le système de contrôle commande de la liaison France Espagne, les demi-bras sont contrôlés pour qu'il n'y ait pas plus d'un sous-module qui change d'état à la fois. La période d'échantillonnage du système d'équilibrage des tensions doit être inférieure au plus petit intervalle de temps entre deux commutations. D'après [50] cette période doit répondre au critère suivant :

$$\Delta t \leq \frac{1}{1.2(2\pi f)} \arcsin\left(\frac{2}{1.4N}\right) \quad (4.1)$$

où f est la fréquence du réseau et Δt le pas d'échantillonnage. Pour un convertisseur à 450 niveaux, la période d'échantillonnage minimale est donc de 8.4 μs . Cette contrainte s'impose

donc au simulateur temps réel qui doit récupérer les commandes d'IGBT et envoyer au contrôle les tensions des condensateurs dans cet intervalle de temps.

Dans l'état actuel de la technologie, il n'est pas possible de la respecter si le modèle de demi-bras est implémenté sur CPU à cause principalement des temps d'accès au bus de communication PCI/E. Cette communication impose une latence de 2 à 3 μ s, donc 4 à 6 μ s pour une boucle de communication complète.

C'est pourquoi il est nécessaire d'implémenter ce modèle sur FPGA afin que la communication entre le modèle des sous-modules et le système de contrôle commande physique soit la plus rapide possible. Il s'agit du transfert des tensions de chaque sous-modules et les ordres de commande des IGBT. Des protocoles de communication inter FPGA sont disponibles [51] pour réaliser ces communications avec des latences très faibles (de l'ordre de la dizaine de ns). Une partie de ce travail de thèse a consisté à spécifier ces protocoles de communication.

4.1.3.2 L'implémentation des modèles MMC

Les convertisseurs MMC mis en service depuis plusieurs années, contiennent généralement plusieurs centaines de sous-modules par demi-bras. Afin de respecter la discrétisation de la tension générée par les demi-bras, il est important d'avoir un pas de calcul d'autant plus petit que le nombre de niveaux est important. L'équation (4.1) permet de déterminer le pas de temps minimal en fonction du nombre de niveaux.

Le nombre de calculs à réaliser dans ces modèles de demi-bras est d'autant plus important que le nombre de niveaux est grand. Comme le pas de calcul requis doit diminuer avec le nombre de niveaux, un modèle de demi-bras implémenté sur CPU arrive rapidement à ne plus répondre aux exigences en terme de pas de temps pour la simulation temps réel. Cette démonstration a été réalisée dans [50]. Des pistes de résolution parallèle de modèle de demi-bras sur CPU ont été analysées mais n'ont pas été fructueuses [52]. Ces modèles se prêtent effectivement bien à des résolutions parallèles même dans les demi-bras. Mais cela impose des communications inter tâches dans un même pas de temps qui sont très coûteuses en temps de communication sur des plateformes CPU comparativement au pas de temps de simulation requis.

Les FPGA sont donc des unités de calcul et de communication indispensables pour interfacer des systèmes de contrôle commande VSC à des simulateurs temps réel.

4.2 Les modèles de convertisseurs adaptés à la simulation temps réel

Cette section présente les modèles de convertisseur MMC de type EMT adaptés à la simulation temps réel.

4.2.1 Modèles basés l'utilisation de matrices d'admittance constantes

Il ne s'agit pas ici d'un modèle mais d'un type de modélisation basé sur le fait de garder la matrice nodale constante [15]. Il a été montré dans le CHAPITRE 3 que ce type de modélisation peut produire des artéfacts numériques non négligeables lors de l'étude de liaisons à courant continu. Ces problèmes sont difficilement contournables et ils peuvent se révéler bloquants dans des configurations spécifiques du système électrique. Par exemple dans le cadre du projet INELFE [18], il n'a pas été possible de tester des défauts CC avec le système de contrôle commande réel.

Même si ce type d'algorithme est implémenté sur FPGA et utilise des pas de temps très petits de l'ordre de la centaine de ns, les inconvénients de cette méthode restent non négligeables.

4.2.2 Modèle détaillé équivalent (Modèle 2a) adapté à la simulation temps réel

Les équations de ce modèle sont présentées au CHAPITRE 3. Il s'agit ici de décrire les améliorations apportées à ce modèle pour qu'il soit plus performant lors de simulation temps réel.

4.2.2.1 Nécessité du processus de résolution itératif – validation expérimentale

Dans [26] le Modèle 2a nécessite une résolution itérative lorsque le convertisseur est bloqué et qu'un changement d'état des diodes est détecté. Ce constat a été validé en utilisant un modèle1. Il est proposé ici de le valider à l'aide de mesures expérimentales.

Les états d'un sous-module sont présentés à la Figure 3-15. Lorsque le courant I_{arm} est positif, la diode D_1 est dans l'état passant et donc le sous-module est dans l'état ON. La tension aux bornes de la diode D_2 est positive et égale à la tension du condensateur. Lorsque le courant diminue et passe par zéro, la diode D_1 change d'état et devient non passante. Ensuite, en fonction de la tension aux bornes de la diode D_2 , cette diode peut conduire (SM dans l'état OFF) ou peut rester bloquée (SM dans l'état haute impédance - HZ). Lors de ce changement d'état, la

forme de la tension aux bornes de la tension de la diode D_2 et son impact sur l'état de la diode D_2 , dépend des paramètres électriques des équipements proches des demi-bras (inductance de demi-bras, capacités des câbles, saturation du transformateur...) et de la vitesse de variation du courant I_{arm} . Dans certains cas, les sous-modules passent de l'état ON à l'état OFF sans passer par l'état HZ, dans d'autres cas ils passent par l'état ON, HZ puis OFF. Il est possible de vérifier ce constat à l'aide du Modèle 2a développé dans [26]. Grâce à des mesures sur site réalisées lors de la mise en service de la liaison France Espagne, il a été possible de valider ce constat.

La Figure 4-2 présente la tension du pôle positif par rapport à la terre ainsi que le courant au primaire du transformateur (phase 1) lors de la mise sous tension d'un convertisseur non relié aux câbles CC (en mode STATCOM). Ces données sont présentées ici pour bien montrer que le convertisseur est en phase de démarrage et que le transformateur ne sature pas. Par conséquent, les résultats de mesure dans le convertisseur ne sont pas impactés par une déformation harmonique due à la saturation du transformateur.

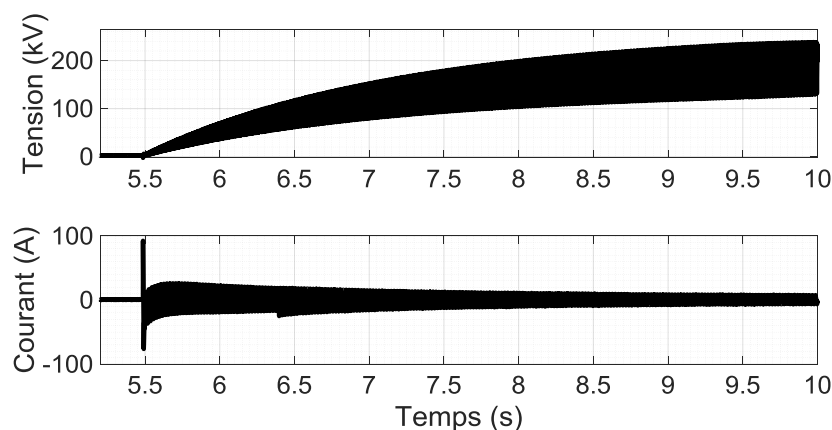


Figure 4-2: Tension CC et courant CA mesurés lors de la mise sous tension de la liaison France Espagne

La mesure du courant du demi-bras positif de la phase 1 lors de cet essai est présenté à la Figure 4-3. Les sous-modules ne passent pas par l'état HZ

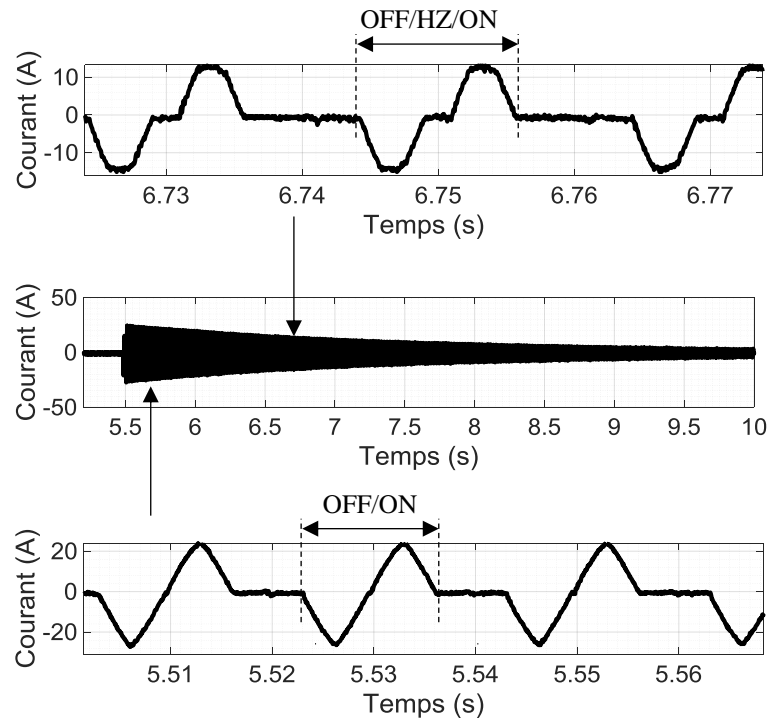


Figure 4-3: Courants de demi-bras mesurés lors de la mise sous tension de la liaison France Espagne

Lors du changement de signe du courant de demi-bras il n'est pas possible de savoir a priori si les sous-modules vont passer par l'état HZ. Pour avoir une solution exacte il est donc nécessaire de réaliser un processus itératif.

4.2.2.2 Eviter un processus de résolution itératif

Une résolution itérative est assez complexe à implémenter sur des simulateurs temps réel car cela impose une fluctuation du temps de calcul nécessaire à chaque pas de temps. Dans [52] un modèle 2 avec processus itératif a été implémenté pour un simulateur temps réel basé sur une plateforme CPU. Il est indiqué que cette implémentation permet de simuler jusqu'à 256 sous-modules par demi-bras ce qui est trop limité pour s'interfacer avec la plupart des systèmes de contrôle commande industriels. D'autre part, l'implémentation sur CPU limite le pas de temps minimum à 20 ou 25 μ s en fonction de la plateforme utilisée, ce qui rend cette implémentation non pertinente pour une utilisation industrielle.

Le travail réalisé dans cette thèse s'est donc concentré sur la faisabilité et la validation d'un modèle 2 sur FPGA et sans processus itératif. L'implémentation d'un solveur nodal robuste et généraliste sur FPGA est encore un sujet qui demande de nombreuses recherches afin d'être

commerciallement disponible [53]. C'est pourquoi l'implémentation FPGA s'est limitée au modèle de demi-bras et non au modèle complet d'un convertisseur.

Une solution alternative à la résolution itérative a été mise en place. L'idée est de forcer les sous-modules à passer par l'état HZ lorsque le courant de demi-bras change de signe. L'algorithme suivant est ainsi exécuté à chaque pas de temps:

1. Récupération de la tension aux bornes du demi bras: $V_{arm}(t)$
2. Calcul du courant de demi-bras :

$$I_{arm}(t) = I_{arm}^h(t - \Delta t) + V_{arm}(t)Y_{arm}(t) \quad (4.2)$$

3. Si au moins 1 sous-module est en mode bloqué alors étape 4 sinon étape 5
4. Si $I_{arm}(t)I_{arm}(t - \Delta t) > 0$ alors on force l'état HZ au pas de temps t
5. Pour chaque sous module, on sélectionne l'état en fonction de $I_{arm}(t)$ et de $I_{Ci}^h(t - \Delta t)$
6. Calcul de l'équivalent de Norton du demi-bras
7. Résolution nodale
8. Récupération des signaux de commande des IGBT

Le cas test présenté à la Figure 4-4 est utilisé pour réaliser une première validation de cette approche de modélisation. Ce circuit monophasé comprend une source de tension, deux résistances, une inductance et un demi-bras qui contient 5 sous-modules. Un modèle de système de contrôle simplifié en boucle ouverte est connecté à ce modèle de demi-bras. Ce système de contrôle est décrit dans [54].

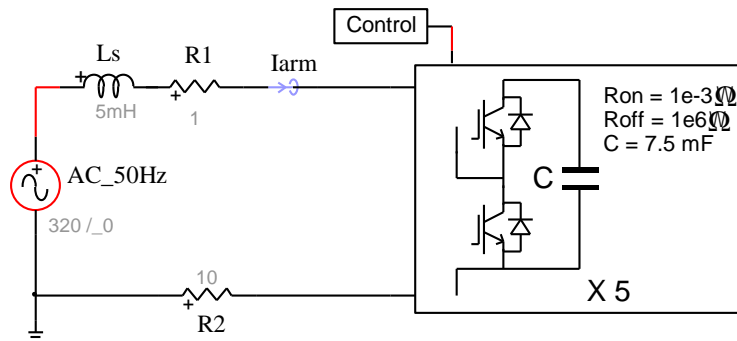


Figure 4-4: Cas test pour comparaison des deux formulations du Modèle 2a

Ce circuit est simulé dans deux environnements différents:

- Simulation de référence : simulation avec le logiciel EMTP-RV [33]. La méthode d'intégration est la méthode trapézoïdale avec un changement en méthode backward-Euler lorsqu'une discontinuité est détectée (changement d'état d'un sous-module par exemple). Dans cette simulation, le modèle 2 itère avec la résolution nodale comme expliqué dans [9].
- Simulation du modèle optimisé pour la simulation temps réel : simulation à partir d'un code C exécuté sur une machine Linux temps réel. Cette simulation permet de valider les concepts de modélisation avant l'implémentation sur FPGA. Cette simulation utilise uniquement la méthode d'intégration backward-Euler car elle est plus simple à utiliser sur FPGA et permet d'éviter les oscillations numériques pouvant apparaître avec la méthode trapézoïdale.

Les pas de temps des deux simulations sont identiques. La simulation démarre à $t=0$ sans conditions initiales. Le demi-bras ne reçoit pas de signaux de contrôle jusqu'à $t=100\text{ms}$. Les condensateurs se chargent donc progressivement jusqu'à cet instant. Le système de contrôle est activé ensuite pendant 100ms puis le demi-bras est à nouveau bloqué. Le courant dans le demi-bras est présenté à la Figure 4-5. La différence entre les deux simulations est très faible (différence relative $<10^{-6}$) en dehors des instants où le courant passe par zéro. La Figure 4-6 permet de visualiser l'impact du processus itératif pour le modèle de référence. Pour le modèle optimisé, lorsqu'une inversion du sens du courant est détectée, l'état HZ est forcé pour le pas de calcul suivant. L'amplitude du dépassement du courant au passage par zéro dépend du pas de calcul comme l'illustre la Figure 4-6. La simulation du modèle optimisée est d'autant plus précise que le pas de temps est petit. La tension du premier sous-module est présentée à la Figure 4-7.

Modèle 2 : référence et modèle optimisé

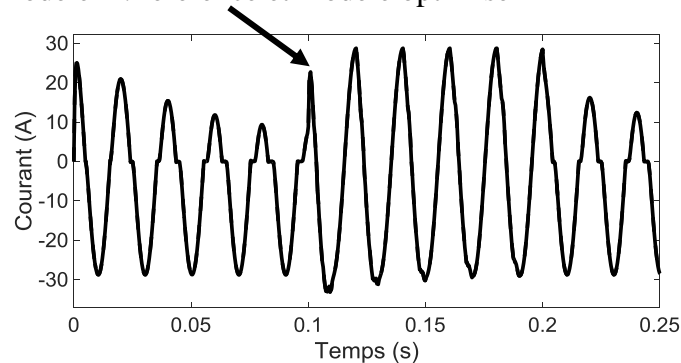


Figure 4-5: Courant dans le demi-bras (modèles référence et optimisé superposés)

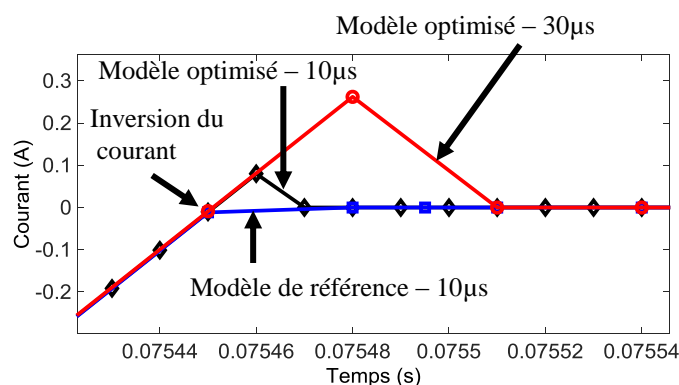


Figure 4-6: Courant dans le demi-bras (zoom)

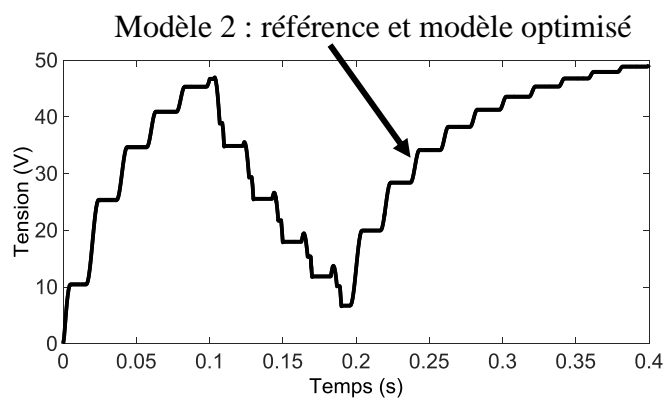


Figure 4-7: Tension du premier sous-module

4.2.2.3 Optimisation des équations du modèle 2

Les optimisations présentées dans cette section n'induisent pas de réduction de précision du modèle. Elles visent uniquement à réduire le nombre d'opérations dans l'exécution du modèle en vue d'une implémentation sur FPGA.

Le circuit équivalent discrétisé du sous module i est présenté à la Figure 3-7.

La sélection de l'état du sous module est basée sur le sens du courant I_{arm} et les tension V_{D1} et V_{D2} . Cette sélection peut être déduite de la valeur du courant I_{arm} et de celle du courant d'historique $I_{C_i}^h(t - \Delta t)$.

La résolution de ce modèle est décrite dans [9]. Elle est reprise ci-dessous pour détailler l'implémentation temps réel:

Tableau 4-2: Modèle 2a - algorithme du demi-bras du MMC [9]

1	Récupération de la tension $V_{arm}(t)$ aux bornes du demi-bras
2	Calcul du courant $I_{arm}(t)$: $I_{arm}(t) = I_{arm}^h(t - \Delta t) + V_{arm}(t)Y_{arm}(t)$ (4.3)
3	Pour chaque sous-module $i=1, N$:
3a	<p>Si SM_i en mode contrôlé (état ON ou OFF):</p> $R_{SM_i}(t) = \frac{(R_1(t) + R_c)R_2(t)}{R_c + R_1(t) + R_2(t)} \text{ avec état ON } \begin{cases} R_1 = R_{ON} \\ R_2 = R_{OFF} \end{cases}, \text{ état OFF } \begin{cases} R_2 = R_{OFF} \\ R_1 = R_{ON} \end{cases}$ <p>(4.4)</p> $R_{SM}(t) = \frac{R_c(t)}{R_c + R_1(t)} \quad (4.5)$
3b	<p>Si SM_i en mode bloqué:</p> <p>i. Si $I_{arm}(t) > 0$ et $V_{D2i}(t - \Delta t) > V_{C_i}(t - \Delta t) \rightarrow$ état ON calculé à l'étape 3a</p> <p>ii. Si $I_{arm}(t) < 0$ et $V_{D2i}(t - \Delta t) < 0 \rightarrow$ état OFF calculé à l'étape 3a</p> <p>iii. Sinon état haute impédance</p>
3c	<p>Tension aux bornes de D_{2i}: $V_{D2i}(t) = R_{SM_i}(t)[I_{arm}(t) - R_{SM}(t)I_{C_i}^h(t - \Delta t)]$ (4.6)</p> <p>Courant dans le condensateur C_i: $I_{C_i}(t) = I_{arm}(t) - \frac{V_{D2i}(t)}{R_{2i}(t)}$ (4.7)</p> <p>Tension aux bornes du condensateur C_i: $V_{C_i}(t) = (I_{C_i}(t) - I_{C_i}^h(t - \Delta t))R_{C_i}$ (4.8)</p>
3d	Si $V_{C_i}(t) < 0$ alors on force $V_{C_i}(t) = 0$ (4.9)
3e	Ajout de $R_{SM_i}(t)$ à la résistance de Norton de l'ensemble du demi-bras
3f	<p>Calcul de la tension de Thévenin du sous-module i et ajout à la tension de Thévenin de l'ensemble du demi-bras:</p> $V_{SM_{i th}}(t) = R_{SM_i}(t)R_{SM}(t)I_{C_i}^h(t - \Delta t) \quad (4.10)$

4	Calcul de l'équivalent de Norton à partir de l'équivalent de Thévenin
5	Calcul de l'historique de courant de chaque sous module: $I_{C_i}^h(t) = \frac{-1}{R_{C_i}} V_{C_i}(t) - I_{C_i}(t) \quad (4.11)$

L'optimisation réalisée pour l'implémentation temps réel sur FPGA consiste à paralléliser au maximum les opérations algébriques. Un nombre important de ces opérations sont réalisées à l'étape 3c. Elles visent à déterminer l'état des diodes D_1 et D_2 à partir des tensions $V_{D_{2i}}$ et V_{C_i} calculées au pas de temps précédent et de calculer les valeurs des courants et tensions des condensateurs pour visualisation/export externe.

Les tensions et courants des condensateurs peuvent être calculés de la manière suivante:

$$I_{C_i}(t) = I_{arm}(t) - \frac{R_{SMi}(t) [I_{arm}(t) - R_{SM}(t) I_{C_i}^h(t - \Delta t)]}{R_{2i}(t)} \quad (4.12)$$

Soit:

$$I_{C_i}(t) = \beta_{1I_{C_i}}(t) I_{arm}(t) + \beta_{2I_{C_i}}(t) I_{C_i}^h(t - \Delta t) \quad (4.13)$$

Avec:

$$\beta_{1I_{C_i}}(t) = 1 - \frac{R_{SMi}(t)}{R_{2i}(t)} \quad (4.14)$$

$$\beta_{2I_{C_i}}(t) = \frac{R_{SMi}(t) R_{SM}(t)}{R_{2i}(t)} \quad (4.15)$$

Il est possible de pré-calculer les valeurs suivantes:

- $\beta_{1I_{C_i}ON}$, $\beta_{2I_{C_i}ON}$ les valeurs de ces constantes quand le sous module i est dans la position ON (état bloqué ou contrôlé).
- $\beta_{1I_{C_i}OFF}$, $\beta_{2I_{C_i}OFF}$ les valeurs de ces constantes quand le sous module i est dans la position OFF (état bloqué ou contrôlé).
- $\beta_{1I_{C_i}HZ}$, $\beta_{2I_{C_i}HZ}$ les valeurs de ces constantes quand le sous module i est dans la position haute impédance (état bloqué).
- $\beta_{1I_{C_i}SC}$, $\beta_{2I_{C_i}SC}$ les valeurs de ces constantes quand le sous module i est dans la position court-circuit

Il est possible d'ajouter l'état court-circuit (SC) qui peut apparaître lorsque la tension des condensateurs sont proches de 0. Dans ce cas les deux diodes D_1 et D_2 passent à l'état passant.

Comme le courant I_{arm} est identique pour tous les sous-modules appartenant au même demi-bras, on calcule le produit suivant pour chaque état possible des sous-modules:

$$I_{arm_{Complc}}(t) = \beta_{1I_{Ci}}(t) I_{arm}(t) \quad (4.16)$$

Cela revient donc à calculer 3 valeurs de cette expression pour chaque pas de temps et chaque demi-bras.

On obtient donc le courant $I_{C_i}(t)$ pour chaque SM avec:

$$I_{C_i}(t) = I_{arm_{Complc}}(t) + \beta_{2I_{Ci}}(t) I_{C_i}^h(t - \Delta t) \quad (4.17)$$

L'ensemble des courants dans les condensateurs des sous-modules est donc obtenu avec une multiplication (équation (4.16)) additionnée d'un produit par sous-module. Ce calcul n'est pas réalisé dans le modèle car cette valeur du courant n'est pas utile ni pour le modèle, ni pour l'utilisateur.

Pour le calcul de la tension $V_{C_i}(t)$ une technique similaire est utilisée:

$$V_{C_i}(t) = R_c \beta_{1I_{Ci}}(t) I_{arm}(t) + R_c (\beta_{2I_{Ci}}(t) - 1) I_{C_i}^h(t - \Delta t) \quad (4.18)$$

On pose:

$$\beta_{1V_{Ci}}(t) = R_c \beta_{1I_{Ci}}(t) \text{ et } \beta_{2V_{Ci}}(t) = R_c (\beta_{2I_{Ci}}(t) - 1) \quad (4.19)$$

De la même manière que précédemment, il est possible de pré-calculer les valeurs suivantes:

- $\beta_{1V_{Ci} ON}$, $\beta_{2V_{Ci} ON}$ les valeurs de ces constantes quand le sous module i est dans la position ON (état bloqué ou contrôlé).
- $\beta_{1V_{Ci} OFF}$, $\beta_{2V_{Ci} OFF}$ les valeurs de ces constantes quand le sous module i est dans la position OFF (état bloqué ou contrôlé).
- $\beta_{1V_{Ci} HZ}$, $\beta_{2V_{Ci} HZ}$ les valeurs de ces constantes quand le sous module i est dans la position haute impédance (état bloqué).
- $\beta_{1V_{Ci} SC}$, $\beta_{2V_{Ci} SC}$ les valeurs de ces constantes quand le sous module i est dans la position court-circuit.

En posant :

$$I_{armCompV_{C_i}}(t) = \beta_{1V_{C_i}}(t) I_{arm}(t) \quad (4.20)$$

On arrive à:

$$V_{C_i}(t) = I_{armCompV_{C_i}}(t) + \beta_{2V_{C_i}} I_{C_i}^h(t - \Delta t) \quad (4.21)$$

Et de manière similaire pour le calcul de $I_{C_i}^h(t - \Delta t)$:

$$I_{C_i}^h(t) = I_{armCompI_{C_i}^h}(t) + \beta_{2I_{C_i}^h} I_{C_i}^h(t - \Delta t) \quad (4.22)$$

avec :

$$I_{armCompI_{C_i}^h}(t) = \beta_{1I_{C_i}^h} I_{arm}(t) \quad (4.23)$$

Pour la détermination des états des diodes, la modification suivante est proposée.

Il est possible de déterminer ces états à partir uniquement de $I_{arm}(t)$ et de $I_{C_i}^h(t - \Delta t)$.

L'inégalité à l'étape 3b $V_{D2i}(t - \Delta t) > V_{C_i}(t - \Delta t)$ peut s'écrire sous la forme:

$$\begin{aligned} R_{SMi}(t - \Delta t) \left[I_{arm}(t) - R_{SM}(t - \Delta t) I_{C_i}^h(t - \Delta t) \right] > \\ \left(I_{arm}(t) - \frac{V_{D2i}(t)}{R_{2i}(t - \Delta t)} - I_{C_i}^h(t - \Delta t) \right) R_{C_i} \end{aligned} \quad (4.24)$$

En remplaçant $V_{D2i}(t - \Delta t)$ par son expression présentée en 3c on obtient:

$$\alpha_{INorton}(t) I_{arm}(t) > \alpha_{I_{C_i}^h}(t) I_{C_i}^h(t - \Delta t) \quad (4.25)$$

Avec:

$$\alpha_{INorton_i}(t) = R_{SMi}(t - \Delta t) + R_{C_i} \left(\frac{R_{SMi}(t - \Delta t)}{R_{2i}(t - \Delta t)} - 1 \right) \quad (4.26)$$

$$\alpha_{I_{C_i}^h}(t) = R_{SM}(t - \Delta t) R_{SMi}(t - \Delta t) + R_{C_i} \left[\frac{R_{SM}(t - \Delta t) R_{SMi}(t - \Delta t)}{R_{2i}(t - \Delta t)} - 1 \right] \quad (4.27)$$

On pose:

$$Th_{M1_i}(t) = \frac{\alpha_{INorton_i}(t) I_{arm}(t)}{\alpha_{I_{C_i}^h}(t)} \quad (4.28)$$

Ainsi, en mode bloqué, on sait que le sous module i est dans l'état ON en comparant $Th_{M1_i}(t)$ à $I_{C_i}^h(t - \Delta t)$.

Pour l'état OFF, il faut calculer la tension V_{D2i} et dans ce cas il faut comparer $I_{C_i}^h(t - \Delta t)$ à la valeur de la variable suivante:

$$Th_{M2_i}(t) = \frac{I_{arm}(t)}{R_{SM}(t - \Delta t)} \quad (4.29)$$

Ces coefficients sont calculés avant la résolution nodale et ne dépendent que du courant de demi-bras. 4 valeurs (ON, OFF, HZ, SC) sont calculées pour chaque variable. En fonction des états des sous modules au pas de temps précédent, ces valeurs sont comparées à la valeur du courant d'historique de chaque sous-module.

Les équations (4.28) et (4.29) permettent de déterminer l'état des diodes comme à l'étape 3b.

L'état des diodes (D_1, D_2) /IGBT (IGBT₁, IGBT₂) est identifié par les variables booléennes M_1 et M_2 . Les signaux de commande des IGBT₁ et IGBT₂ sont identifiés par les variables g_1 et g_2 .

L'algorithme de ce modèle est résumé dans le Tableau 4-3.

Tableau 4-3: Modèle 2a - algorithme du demi-bras du MMC adapté pour l'implémentation FPGA

1	Récupération de la tension $V_{arm}(t)$ aux bornes du demi-bras
2	Calcul du courant $I_{arm}(t)$: $I_{arm}(t) = I_{arm}^h(t - \Delta t) + V_{arm}(t)Y_{arm}(t)$ (4.30)
3	Si inversion du sens du courant I_{arm} et convertisseur bloqué alors état HZ forcé ($M_1(t - \Delta t) = 0$, $M_2(t - \Delta t) = 0$) (4.31)
4	Calcul des paramètres suivants pour les états ON, OFF et HZ en fonction de $I_{arm}(t)$: $I_{arm_{CompVc}}(t)$, $I_{arm_{CompI_C^h}}(t) \rightarrow 2$ variables * 4 états : 8 valeurs $\beta_{2V_{Ci}}$, $\beta_{2I_{Ci}^h} \rightarrow 2$ variables * 4 états : 8 valeurs $Th_{M1_i}(t)$, $Th_{M2_i}(t) \rightarrow 2$ variables * 4 états : 8 valeurs
5	Pour chaque sous-module $i=1, N$:
5a	En fonction des valeurs de $M_1(t - \Delta t)$ et de $M_2(t - \Delta t)$, calcul de $I_{C_i}^h(t)$ et $V_{C_i}(t)$ et les états $M_1(t)$ et de $M_2(t)$
5b	Si (SM _i non bloqué) Si $(!(M_1(t) \& \& M_2(t)) \& \& V_{C_i}(t) > 0)$ alors $M_1(t) = g_1(t)$; $M_2(t) = g_2(t)$ (4.32) Sinon on conserve les valeurs de $M_1(t)$ et $M_2(t)$ Choisir des constantes $R_{SM}(t)$ et $R_{SM_i}(t)$ en fonction de $M_1(t)$ et $M_2(t)$
5c	Ajout de $R_{SM_i}(t)$ à la résistance de Norton de l'ensemble du demi-bras
5d	Calcul de la tension de Thévenin du sous-module i et ajout à la tension de Thévenin de l'ensemble du demi-bras: $V_{SM_{i,th}}(t) = R_{SM_i}(t)R_{SM}(t)I_{C_i}^h(t - \Delta t)$ (4.33)
6	Calcul de l'équivalent de Norton à partir de l'équivalent de Thévenin
7	Calcul de l'historique de courant de chaque sous module: $I_{C_i}^h(t) = \frac{-1}{R_{C_i}}V_{C_i}(t) - I_{C_i}(t)$ (4.34)

La formulation proposée dans cette thèse permet de faciliter une parallélisation des calculs qui est favorable à une implémentation sur FPGA. Cette formulation permet également de réduire

le nombre d'opérations à chaque pas de temps. Toutes les opérations réalisées dans ce modèle sont réalisées en virgule flottant double précision.

Le Tableau 4-4 présente le nombre d'opérations nécessaires par pas de calcul (sans itérations) pour la résolution du Modèle 2a avec la formulation initiale. Les étapes 1 et 2 ainsi qu'à partir de l'étape 3f sont identiques pour les deux formulations. Elles ne sont donc pas prises en compte dans cette évaluation du nombre d'opérations. Il est rappelé que N correspond au nombre de sous-module dans un demi-bras.

Tableau 4-4: Nombre d'opérations nécessaires à la résolution du Modèle 2a – formulation initiale

	Multiplications	Additions
$I_{arm}(t) = I_{arm}^h(t - \Delta t) + V_{arm}(t)Y_{arm}(t)$ (4.35)	1	1
$V_{D2i}(t) = R_{SMi}(t)[I_{arm}(t) - R_{SM}(t)I_{Ci}^h(t - \Delta t)]$ (4.36)	$2N$	N
$I_{Ci}(t) = I_{arm}(t) - \frac{V_{D2i}(t)}{R_{2i}(t)}$ (4.37)	N	N
$V_{Ci}(t) = (I_{Ci}(t) - I_{Ci}^h(t - \Delta t))R_{Ci}$ (4.38)	N	N
Ajout de $R_{SMi}(t)$ à l'équivalent de Thévenin		N
$V_{SMith}(t) = R_{SMi}(t)R_{SM}(t)I_{Ci}^h(t - \Delta t)$ (4.39)	N	
$I_{Ci}^h(t) = \frac{-1}{R_{Ci}}V_{Ci}(t) - I_{Ci}(t)$ (4.40)	N	N
Nombre d'opérations par pas de temps :	$6N + 1$	$5N + 1$

Le Tableau 4-5 fait le même décompte pour la formulation optimisée.

Tableau 4-5: Nombre d'opérations nécessaires à la résolution du Modèle 2a – formulation optimisée

	Multiplications	Additions
$I_{arm}(t) = I_{arm}^h(t - \Delta t) + V_{arm}(t)Y_{arm}(t)$ (4.41)	1	1
$I_{armCompVc_i}(t) = \beta_{1V_{C_i}}(t)I_{arm}(t)$ pour 4 états (4.42)	4	0
$\beta_{2V_{C_i}}, \beta_{2I_{C_i}^h}$	0	0
$I_{armCompI_{C_i}^h}(t) = \beta_{1I_{C_i}^h}(t)I_{arm}(t)$ pour 4 états (4.43)	4	0
$Th_{M1_i}(t) = \frac{\alpha_{INorton_i}(t)I_{arm}(t)}{\alpha_{I_{C_i}^h}(t)}$ pour 4 états (4.44)	4	0
$Th_{M2_i}(t) = \frac{I_{arm}(t)}{R_{SM}(t - \Delta t)}$ pour 4 états (4.45)	4	0
$I_{C_i}^h(t) = I_{armCompI_{C_i}^h}(t) + \beta_{2I_{C_i}^h}I_{C_i}^h(t - \Delta t)$ (4.46)	N	N
$V_{C_i}(t) = I_{armCompV_{C_i}}(t) + \beta_{2V_{C_i}}I_{C_i}^h(t - \Delta t)$ (4.47)	N	N
Ajout de $R_{SM_i}(t)$ à l'équivalent de Thévenin	0	N
$V_{SM_i th}(t) = R_{SM_i}(t)R_{SM}(t)I_{C_i}^h(t - \Delta t)$ (4.48)	N	0
$I_{C_i}^h(t) = \frac{-1}{R_{C_i}}V_{C_i}(t) - I_{C_i}(t)$ (4.49)	N	N
Nombre d'opérations par pas de temps :	$4N + 17$	$4N + 1$

La formulation optimisée permet donc de réduire le temps de calcul du Modèle 2a. Cependant des essais sur plusieurs simulateurs temps réel (OP5030 [55]) montrent que la réduction du temps de calcul n'est pas directement proportionnelle à la réduction du nombre d'opérations. Cette formulation optimisée permet de réduire de 10 à 30% le temps de calcul en fonction de l'architecture matérielle utilisée.

Ces optimisations permettent de pré-calculer un grand nombre de données avant la boucle temporelle. Cela est très important pour l'implémentation FPGA. Ces pré-calculs sont en effet réalisés sur des CPU et les résultats sont envoyés au FPGA avant le démarrage de la simulation temporelle. De même beaucoup de calculs sont facilement parallélisables sur FPGA.

4.2.3 Modèle 3

Le Modèle 3 est décrit dans le CHAPITRE 3. Il n'exige pas de défi particulier en ce qui concerne l'implémentation temps réel. Il est tout à fait possible d'implémenter ce type de modèle sur une architecture CPU sans FPGA. L'illustration de cette implémentation est réalisée au CHAPITRE 5.

Le calcul de la tension équivalent de chaque demi-bras est réalisé avec des blocs de contrôle. Ainsi cette solution induit un pas de temps de décalage

4.2.4 Modèle 2b

Pour ce type de modèle, il est nécessaire d'avoir recours à des FPGA. En effet pour les raisons invoquées à la section 4.1.3, des communications très régulières avec les systèmes de contrôle sont nécessaires. La Figure 4-8 présente la séparation de l'implémentation CPU/FPGA de ce modèle.

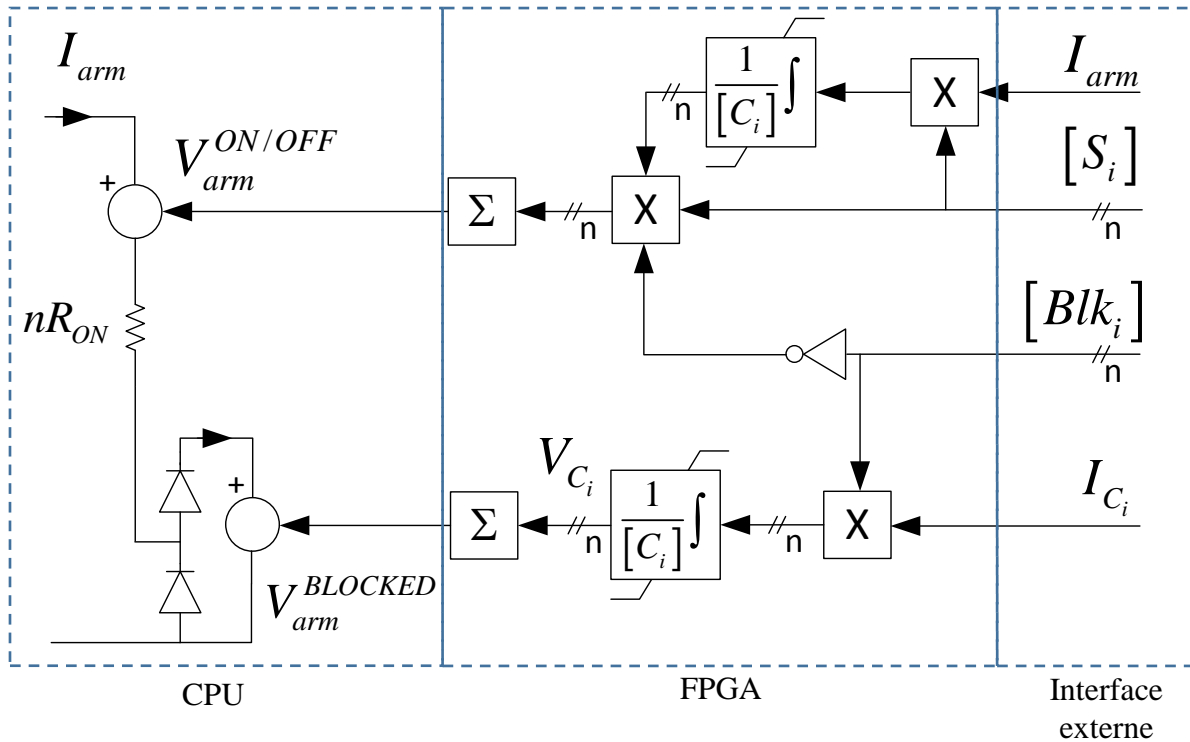


Figure 4-8: Implémentation du Modèle 2b sur une plateforme CPU/FPGA

4.3 Conclusions

Dans ce chapitre une méthodologie de validation des modèles MMC temps réel est proposée. Elle est basée sur une démarche progressive qui assure le suivi de la validité des modèles.

Les problèmes de validité induits par une approche à base d'admittance fixe ont été documentés dans cette section.

Des optimisations pour l'implémentation du Modèle 2a sur FPGA ont été proposées. Elles visent à réduire l'effort de calcul sans compromettre la validité du modèle.

CHAPITRE 5 IMPLÉMENTATION ET VALIDATION DES MODÈLES DE LIAISONS VSC APPLIQUÉES À LA LIAISON FRANCE ESPAGNE

Ce chapitre décrit les solutions techniques mises en place pour interfacer les répliques du contrôle commande de la liaison France-Espagne avec un simulateur temps réel.

5.1 Description de la liaison France-Espagne

5.1.1 Contexte

Il existe 4 liaisons aériennes CA d'interconnexion entre la France et l'Espagne. L'ensemble de ces liaisons constitue une capacité d'échange de 1400 MW et ne représente que 3% que la consommation maximale de la péninsule ibérique. C'est pourquoi il a été décidé en 2008 de construire une interconnexion HVDC de 2000MW. Ce projet a été appelé INELFE pour INterconnexion ELectrique entre la France et l'Espagne. Cette interconnexion se fait à l'aide de câbles souterrains pour que l'ouvrage soit plus facilement accepté par la population locale. Étant donné la capacité de cette interconnexion et de sa longueur, il était nécessaire qu'elle soit en courant continu. Cette interconnexion est constituée de 2 liaisons indépendantes de technologie VSC-MMC. Le contrat de construction des convertisseurs a été octroyé à SIEMENS. Les câbles ont été fournis par PRYSMIAN CABLES AND SYSTEMS. Ces deux liaisons ont été mises en service en août 2015 après 4.5 ans de conception, de construction et de test.

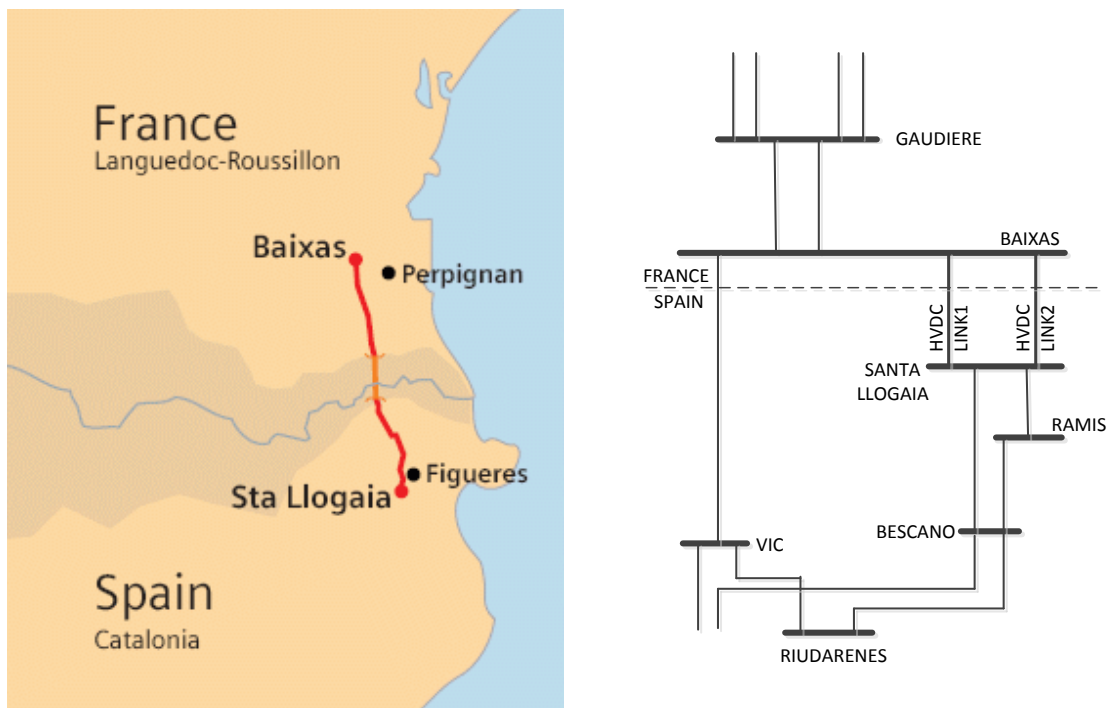


Figure 5-1: Localisation de l'interconnexion HVDC France-Espagne

5.1.2 Description de l'interconnexion

L'interconnexion HVDC est composée de deux liaisons. Chaque liaison est composée de deux stations de conversion MMC d'une capacité de 1000MW (+/-300MVAR) chacune. Un schéma simplifié est présenté à la Figure 5-2.

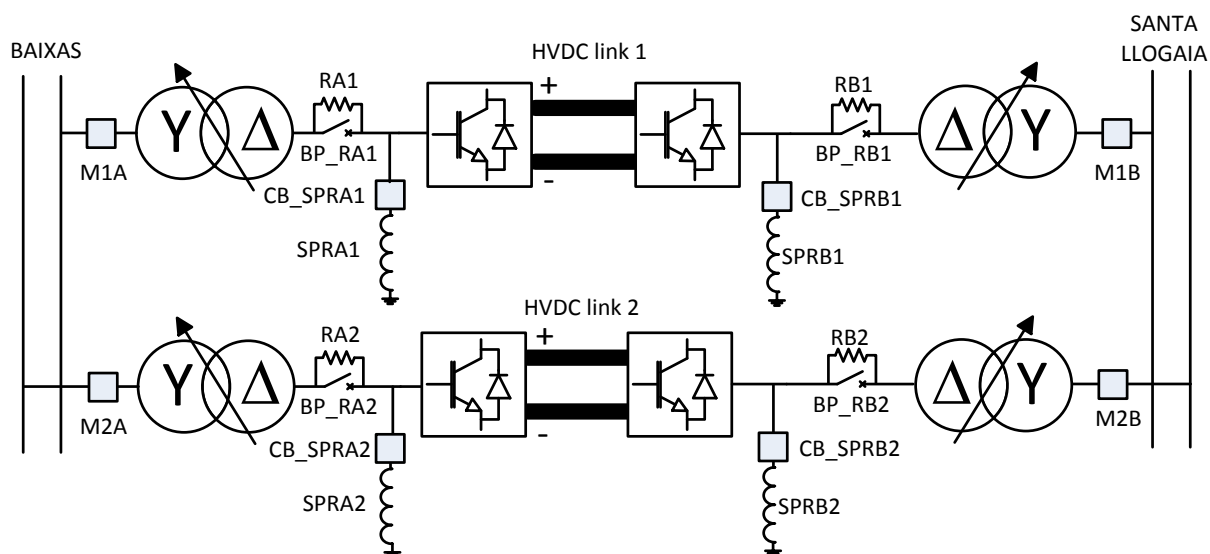


Figure 5-2: Localisation de l'interconnexion HVDC France-Espagne

Chaque liaison est composée de 2 monopoles symétriques, deux transformateurs de conversion et deux câbles à isolation synthétique.

La Figure 5-3 présente les principaux composants d'une station de conversion. Pour ce projet, les sous-modules sont des demi-pont. Le nombre de sous-modules par demi-bras est environ de 450. Le rôle de chaque composant dans ce convertisseur est décrit dans [22]. Le thyristor et le disjoncteur rapide intégrés à chaque sous-module sont activés pour protéger les sous-modules. Les transformateurs de conversion sont composés de 3 unités monophasées. L'enroulement tertiaire est utilisé pour alimenter les services auxiliaires. La bobine de point neutre (star-point reactor) est une bobine dont l'impédance est très grande, elle sert à donner une référence à la terre. Il n'existe pas de composants de sectionnement entre le transformateur et le convertisseur. La mise sous tension du transformateur se réalise donc avec le convertisseur connecté. Pour limiter les courants d'enclenchement lors de la mise sous tension du transformateur de conversion et du convertisseur, une résistance d'insertion est utilisée entre ces deux équipements. Elle est court-circuitée quelques secondes après le démarrage.

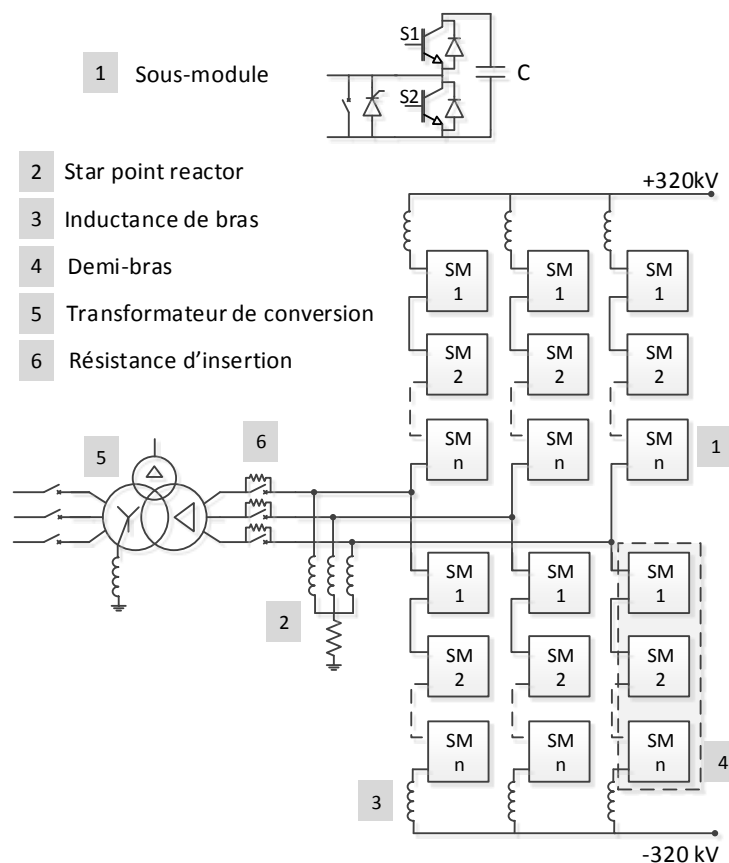


Figure 5-3: Détails de la topologie des convertisseurs MMC de France-Espagne

Les principaux paramètres d'un convertisseur sont présentés au Tableau 5-1.

Tableau 5-1: Paramètres des composants d'un convertisseur de la liaison France-Espagne

Transformateur de conversion	Tension nominale au primaire	400 kV
	Tension nominale au secondaire	333 kV
	Puissance nominale	1050 MVA
	Impédance de fuite	18%
Inductance de demi-bras	Inductance	50 mH
Résistance d'insertion	Résistance	5 k Ω
Star point reactor	Inductance	6500 H
	Résistance	5 k Ω
Sous-module	Nb ~ de sous-modules / demi-bras	450
	Capacité / sous-module	10 mF

Des câbles CC à isolation synthétique de section 2500 mm² sont utilisés pour relier les deux stations de conversion. Leur longueur est de 64.5 km par câble avec une mise à la terre des écrans tous les 3 km environ.

5.2 Principes de modélisation et de validation des stations de conversion

5.2.1 Modélisation sans FPGA – Modèle 3

La modélisation temps réel des convertisseurs MMC raccordés à des systèmes de contrôle commande industriels, exige l'utilisation de FPGA comme expliqué dans la section 4.1.3. Cependant, dans le cadre de ce projet de liaison, l'utilisation de FPGA n'a pas été choisie et la modélisation des sous-modules n'est pas détaillée.

La première raison est la complexité du raccordement du simulateur temps réel aux armoires qui communiquent avec les sous-modules. Ces armoires, appelées MMS (Module Management System) dans le cas de ce projet, reçoivent les valeurs instantanées des références de tension à appliquer sur chaque demi-bras. Une armoire MMS contrôle un demi-bras. Il y a donc 12 armoires par liaison. A partir de cette référence de tension, une modulation est appliquée pour calculer le nombre de sous modules à insérer. Dans le cas présent, pour des questions de capacité de calcul et de communication, la modulation est calculée dans le contrôle commande avec un pas de temps d'environ 40 μ s. A partir de cette valeur du nombre de sous-modules insérés (N_{on}), les IGBT vont être commandés pour respecter ce nombre. La Figure 5-4 présente l'interface

d'une armoire MMS avec un demi-bras de convertisseur. Cette figure identifie plus de 900 fibres optiques pour cet interfaçage. Pour une liaison complète, il faut donc compter plus de 11 000 fibres optiques pour raccorder un contrôle commande complet à un simulateur temps réel.

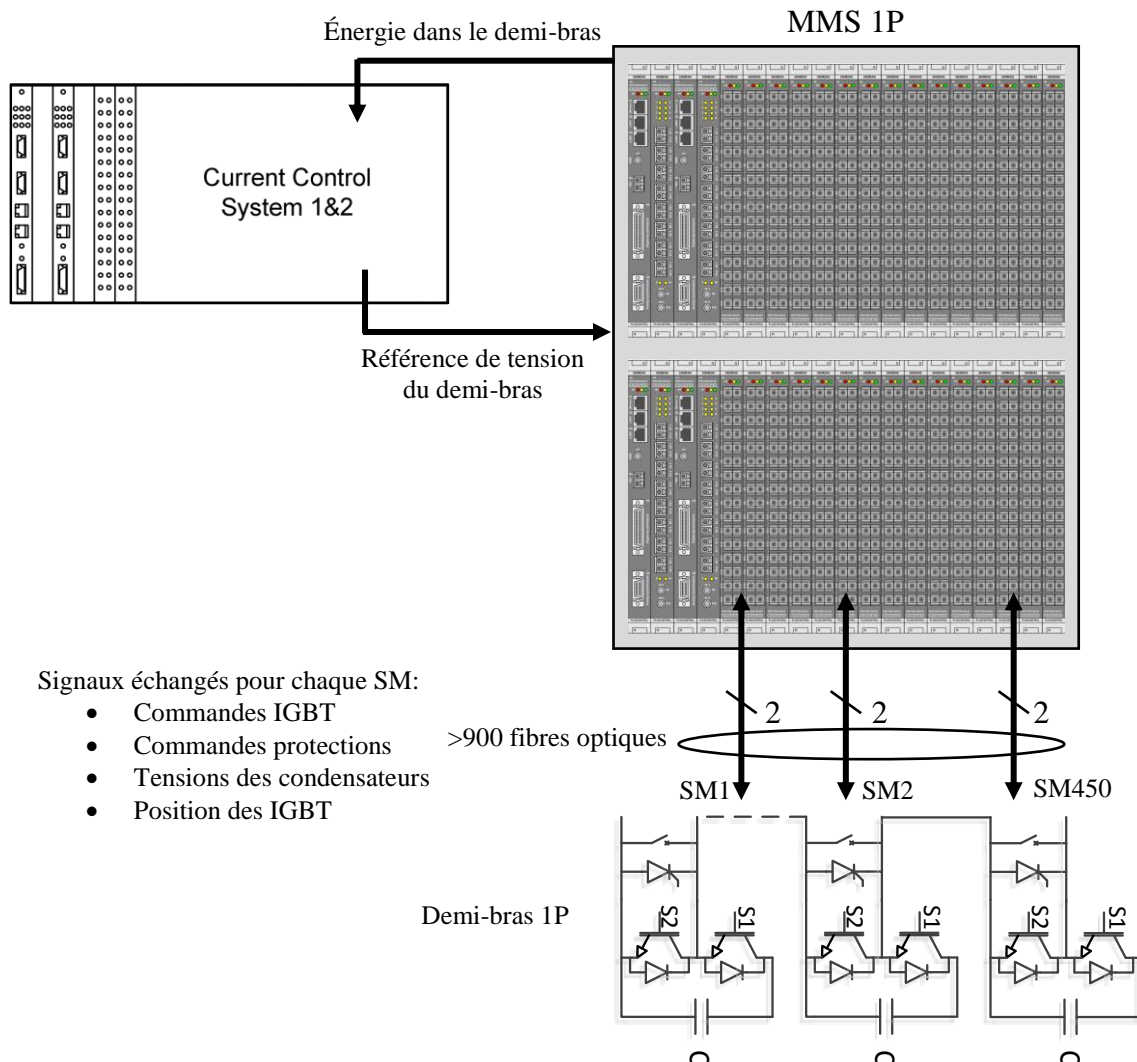


Figure 5-4: Interface physique entre une armoire MMS et un demi-bras

La deuxième justification pour ne pas utiliser une interface détaillée, est que pour un grand nombre de niveaux, il est envisageable d'utiliser un modèle 3 (modèle moyen par demi-bras). Cette justification est donnée dans [9]. Il est en effet montré que pour des convertisseurs de plus de 101 niveaux, l'hypothèse que les tensions des condensateurs d'un demi-bras sont égales est applicable. Cette hypothèse est valide si le contrôleur d'équilibrage des tensions de condensateurs fonctionne correctement, c'est-à-dire qu'il limite la fluctuation des tensions des condensateurs dans un demi-bras en dessous d'un certain seuil (généralement inférieur à 10% de la tension nominale).

5.2.2 Description du modèle de station de conversion

Le modèle 3 est ici utilisé pour modéliser les convertisseurs. Le schéma équivalent d'un convertisseur est présenté à la Figure 5-5. Des modélisations temps réel de convertisseurs ont déjà été présentées dans la littérature [57] et [58] mais elles n'analysent pas les performances temps réel en incluant une modélisation des parafoudres. Comme détaillé dans la section 3.4.3, les parafoudres connectés aux pôles des convertisseurs (en tête de câbles) ainsi que ceux connectés au point neutre des secondaires des transformateurs de conversion (si connexion en Y flottant au secondaire), sont particulièrement contraints lors de défaut CC. Ils limitent de manière importante les surtensions sur les câbles CC et dans le convertisseur sur de longue durée (plusieurs dizaines de ms).

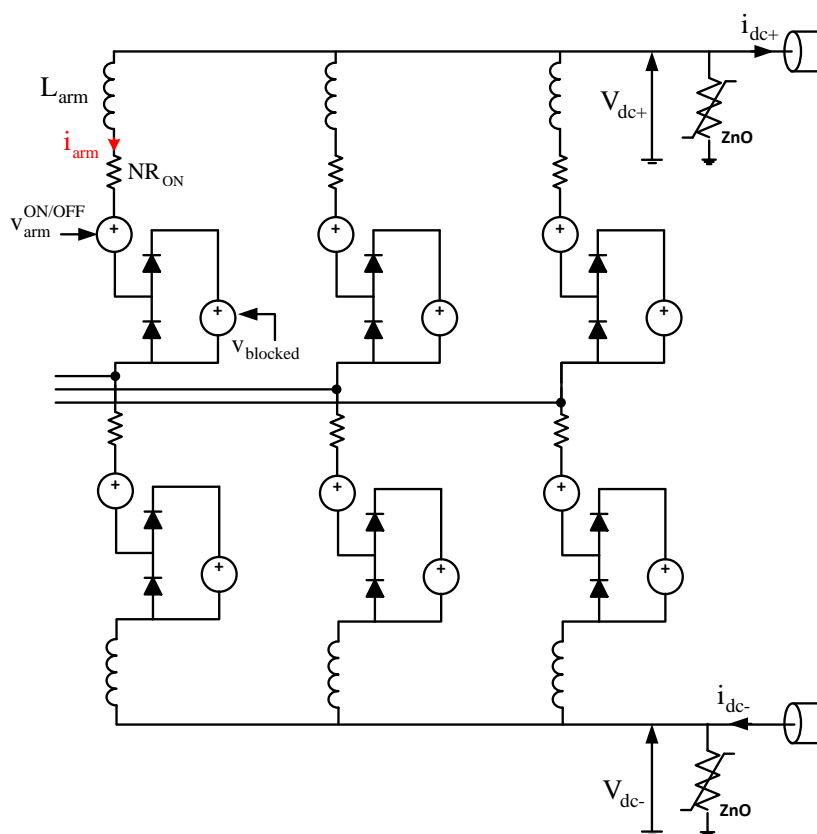


Figure 5-5: Circuit équivalent pour un convertisseur

C'est pourquoi les parafoudres connectés aux têtes de câbles sont représentés dans le modèle de station de conversion. Tous les autres parafoudres installés sur site dans la station de conversion (1 parafoudre par nœud électrique) ont également été modélisés mais ne sont pas représentés sur la figure ci-dessus pour des raisons de clarté. La caractéristique tension / courant de ces

parafoudres est présentée à la Figure 5-6. Elle a été implémentée de manière identique (résistance non-linéaire) dans les outils de simulation temps réel et hors temps réel.

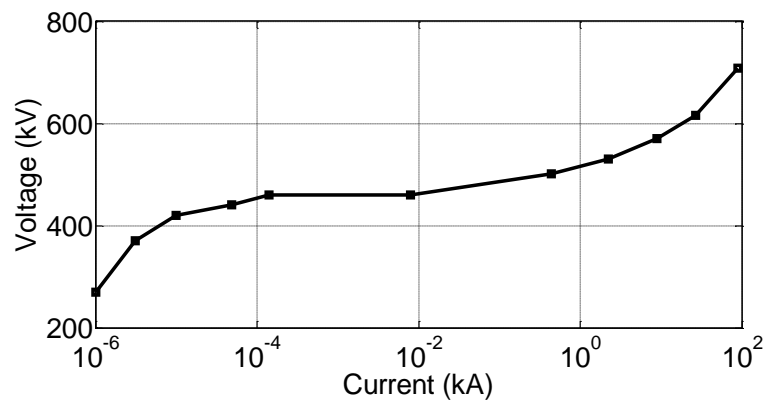


Figure 5-6: Caractéristique tension/courant des parafoudres connectés en sortie de convertisseur

5.2.3 Validation du modèle de transformateur de conversion

Les modèles EMTP ont été utilisés comme référence pour valider les modèles temps réel. Dans cette section, il s'agit de présenter une étape de validation du modèle de transformateur de conversion implémenté dans EMTP.

Des essais sur site ont permis d'analyser le degré de validité de ce modèle. Plusieurs mises sous tension du transformateur non raccordé au convertisseur ont été réalisées pendant la phase de mise en service de la liaison France Espagne. La topologie du transformateur et des composants environnant est présentée à la Figure 5-7. Le point neutre du primaire du transformateur est relié à la terre par une inductance de 39 Ω . Le disjoncteur M1A est raccordé au réseau général 400kV.

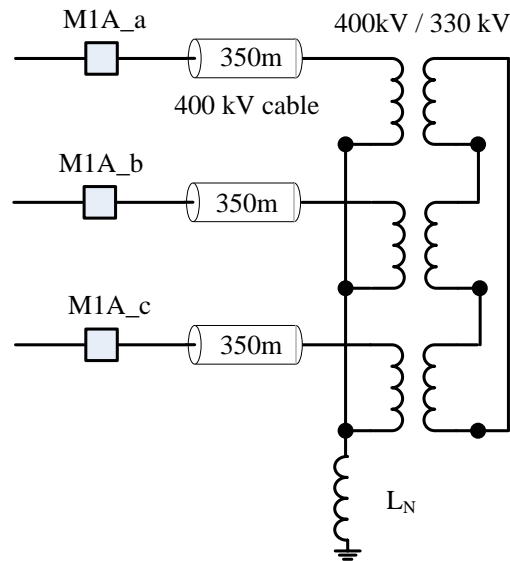


Figure 5-7: Topologie de raccordement du transformateur de la liaison 2 INELFE

Comme la résistance d'insertion est installée au secondaire du transformateur, elle n'a pas d'impact sur les courants d'enclenchement du transformateur. Pour cette étude, le réseau 400 kV a été modélisé en prenant en compte :

- Les lignes aériennes arrivant dans le poste – modèle Wideband prenant en compte la dépendance fréquentielle des paramètres linéiques
- Le câble 400 kV entre le disjoncteur M1a et le transformateur – section PI
- Les charges dans le poste
- Le réseau 400 kV amont – équivalent de Thévenin avec une première fréquence de résonance à 1.5 kHz
- Les diviseurs de tension capacitive qui mesurent la tension au primaire du transformateur

Les caractéristiques du transformateur étaient disponibles à partir des essais en circuit ouvert et en court-circuit. L'inductance dans l'air du transformateur a été fournie par le constructeur en se basant sur des calculs analytiques. Le schéma utilisé pour cette étude est présenté en ANNEXE C.

Les comparaisons avec les mesures sur site sont présentées aux Figure 5-8, Figure 5-9 et Figure 5-10. Les lignes pointillées sont les mesures sur site, les traits pleins sont les simulations réalisées avec le schéma présenté en ANNEXE C.

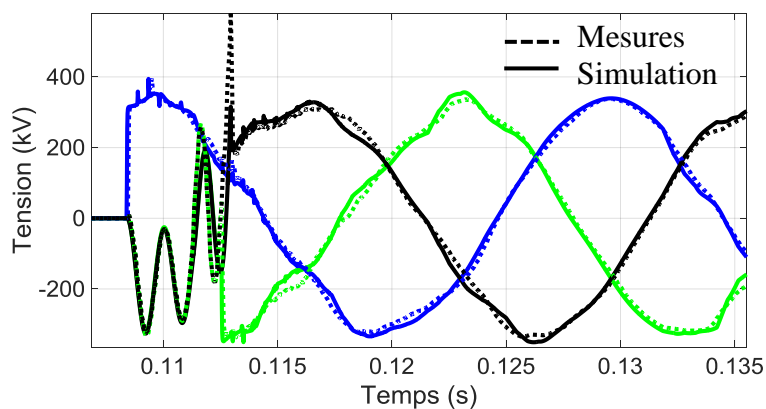


Figure 5-8: Tensions au primaire du transformateur lors de sa mise sous tension

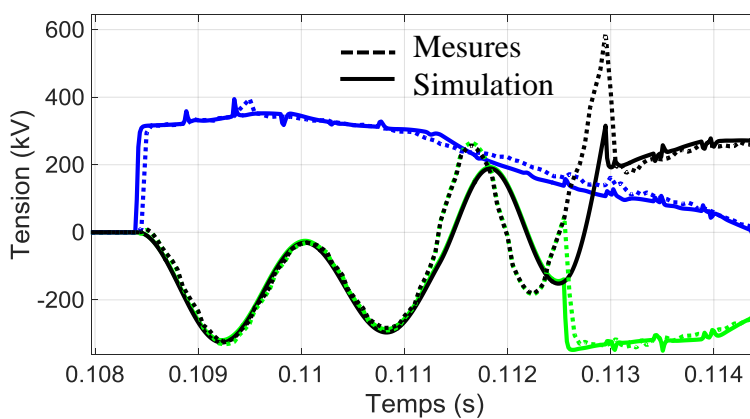


Figure 5-9: Tensions au primaire du transformateur lors de sa mise sous tension (Zoom)

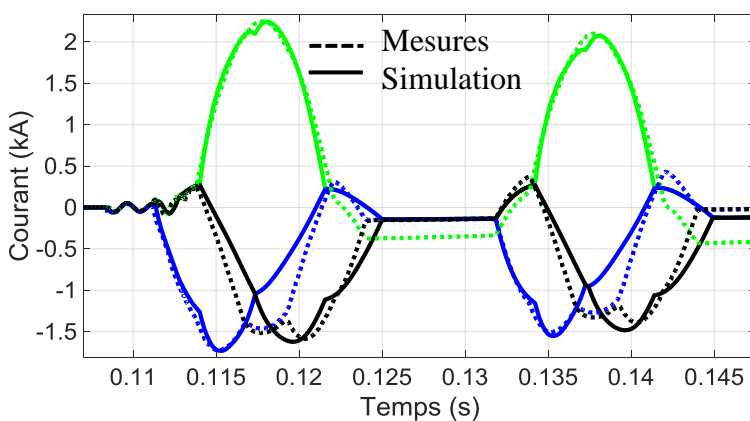


Figure 5-10: Courant au primaire du transformateur lors de sa mise sous tension

Les résultats de simulation sont assez proches des mesures. Cependant il existe des différences parfois importantes sur certaines phases. Ces différences peuvent être dues aux simplifications réalisées dans la modélisation du phénomène de saturation. Par exemple, les unités monophasées comportent 2 jambes de retour en plus de la jambe principale bobinée. Ces jambes

de retour induisent un parcours magnétique complexe qu'il faudrait modéliser avec des modèles topologiques. Dans [44] un modèle topologique du même type de transformateur est présenté. Il s'agit d'une unité cuirassée monophasée avec deux jambes de retour.

D'autre part, lors des essais, des courants très importants ont été mesurés jusqu'à 5 kA malgré des fermetures quasiment synchronisées sur les maximums de tension. Ces courants très importants étaient dus à la présence de flux rémanent dans certaines unités. Pour vérifier cette hypothèse, le flux sur une des phases a été calculé à partir de la tension mesurée. Le transformateur est conçu pour une tension nominale de 420 kV. Cette tension correspond à un flux maximal de 1091.58 Wb. La Figure 5-11 présente le flux (intégrale de la tension mesurée) et le courant dans la première phase du transformateur mise sous tension sur site. On peut remarquer que le courant sur cette phase est de plus de 500 A alors que le flux est égal au flux nominal. Cette unité monophasée est donc en saturation. Par conséquent le flux réel dans cette unité doit être bien supérieur au flux calculé à partir de la tension. La seule interprétation possible des résultats est la présence de flux rémanent lors de la mise sous tension. Cette interprétation se trouve confortée par le fait que, pour certains essais, la saturation apparaît pour des valeurs plus importantes du flux basée sur l'intégrale de la tension.

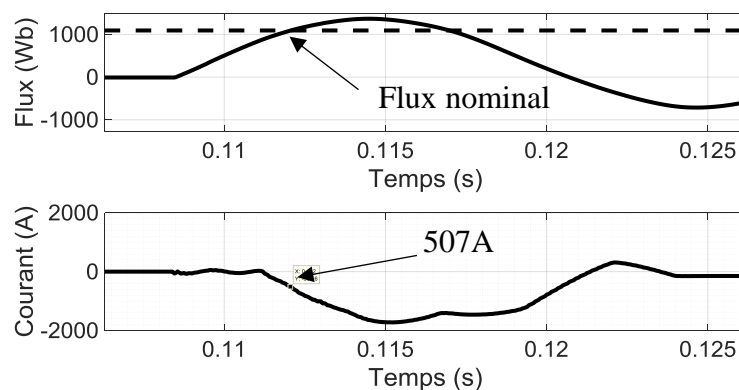


Figure 5-11: Flux et courant dans une unité du transformateur pendant la mise sous tension

5.2.4 Principes de validation du modèle de convertisseurs et des interfaces

Dans ce chapitre il est question de détailler les étapes de validation du modèle temps réel de station de conversion développé et les résultats obtenus. Les étapes de validation sont précisées au Tableau 4-1. Toutes les étapes relatives à la validation des modèles FPGA ne sont ici pas requises. Il s'agit donc de décrire les étapes suivantes:

- Demi-bras MMC simulé sur un CPU d'un STR (étape 1a)

- Station VSC + système de contrôle simulé sur un CPU d'un STR (étape 2a)
- Station VSC + système de contrôle simulé un STR multi CPU (étape 2b)
- Station VSC simulée sur un STR. Système de contrôle simulé sur un autre STR. Les deux simulations sont reliées via des interfaces d'Entrées/Sorties (étape 3a)
- Station VSC simulée sur un STR (CPU+FPGA). Le contrôleur réel est interfacé via les interfaces d'E/S

La première étape ne présente pas de défi particulier et n'est pas décrite dans cette thèse. Les étapes 2a et 2b sont présentées dans la section 5.3. L'étape 3a est présentée à la section 5.4. L'étape 3b est illustrée à la section 5.5.

5.3 Validation du modèle temps réel

5.3.1 Constitution des modèles temps réel/hors temps réel

Il est ici question de valider le modèle temps réel simulé sur un CPU ou sur plusieurs CPU. Étant donné la topologie du convertisseur il n'est pas possible de réaliser des séparations de tâches à l'intérieur des convertisseurs sans ajouter des pas de temps de délais (lignes de transport fictives). Cette solution pour découpler les tâches de calcul n'est ici pas requise car les modèles de convertisseurs sont relativement simples à simuler. Ils comportent en effet peu de nœuds électriques et peu de composants complexes.

Pour valider le modèle de convertisseur temps réel, le même modèle a été implémenté dans l'outil de simulation hors temps réel EMTP-RV. Le modèle hors temps réel permet d'avoir une résolution itérative des composants non-linéaires (en particulier pour les parafoudres). C'est le modèle de référence dans cette section. Des événements différents ont été simulés pour comparer les résultats : séquence de démarrage, perturbations CA et défauts CC.

Les systèmes de contrôle commande utilisés dans ces modèles sont les systèmes génériques décrits dans [9]. Ils comprennent un contrôle de haut niveau (contrôle de P/Q/Vdc/Vac), un contrôle de courant et un contrôle d'élimination du courant circulaire. La technique de modulation est le Nearest Level Control proposé dans [59]. La sortie de la modulation fournit le nombre de sous-module insérés (NS_n) et le nombre de sous-module bloqués (N_{blk}) tels que décrits dans la section 3.2.4. Le contrôle d'équilibrage des tensions de condensateur (BCA) ne peut pas être interfacé à ce type de modèle.

Ils ont été développés dans l'environnement Matlab-Simulink, exportés sous forme de code C, puis compilés sous forme de DLL dans EMTP-RV. Les mêmes systèmes de contrôle commande ont été importés vers l'outil de simulation temps réel Hypersim sous la forme de code C puis compilés avec le code de la simulation temps réel. Cette solution décrite dans [60] est directe et permet d'avoir un système de contrôle commande identique dans les deux environnements de simulation.

La deuxième étape de validation du modèle temps réel a consisté à comparer ses résultats avec des mesures sur site.

5.3.2 Validation à l'aide de simulation en temps différé du modèle temps réel sans interface d'E/S

Le circuit simulé dans le simulateur temps réel est présenté à la Figure 5-12.

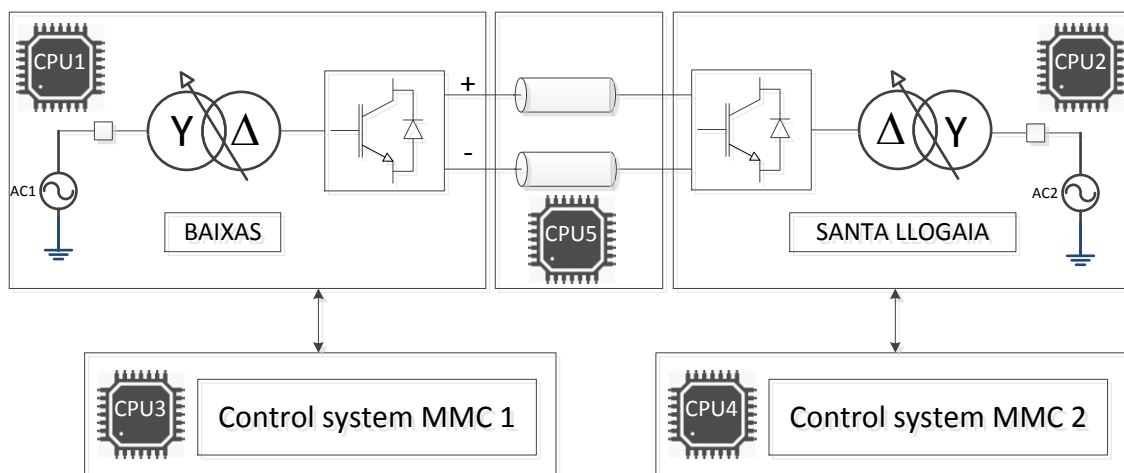


Figure 5-12: Répartition des tâches de la simulation temps réel sans E/S

Il est possible d'identifier 5 tâches spécifiques pour cette simulation temps réel permettant ainsi de répartir les calculs sur 5 CPU. Les équations du modèle de câble wide band peuvent être résolues sur un CPU séparé sans induire de simplifications. L'implémentation de ce modèle en temps réel est présentée dans [61].

La simulation temps réel de ce circuit est possible avec un pas de temps de $20\mu\text{s}$. Les tâches de calcul les plus lourdes sont celles des deux stations de conversion.

Les temps d'exécution de ces tâches en temps réel sont présentés à la Figure 5-13. Ils sont mesurés en permanence pour vérifier qu'ils sont bien constants et qu'il n'y a pas de dépassement du temps réel. La résolution du système électrique comprend la résolution de l'ensemble d'une

station de conversion et du réseau CA qui y est raccordé. Le temps d'exécution sur le CPU1 est relativement stable à ± 250 ns. Sur le CPU2, le temps d'exécution est relativement plus important ($+1.2$ μ s) et présente une variabilité un peu plus grande. Cela est dû au fait que le système électrique simulé sur le CPU1 est légèrement différent que celui simulé sur le CPU2 (ajout de quelques composants pour réaliser la synchronisation). D'autre part, on peut remarquer une augmentation de la variabilité du temps d'exécution entre $t=5$ s et $t=12$ s sur le CPU1. Cela est dû au fait que c'est le convertisseur qui est résolu sur le CPU1 qui est mis sous tension en premier. Cela induit des commutations plus fréquentes des diodes [24] et donc des re-factorisations plus fréquentes également.

Le matériel utilisé est un boîtier OP5030 [55] qui contient 12 CPU Intel Xeon X5690 3.467 GHz.

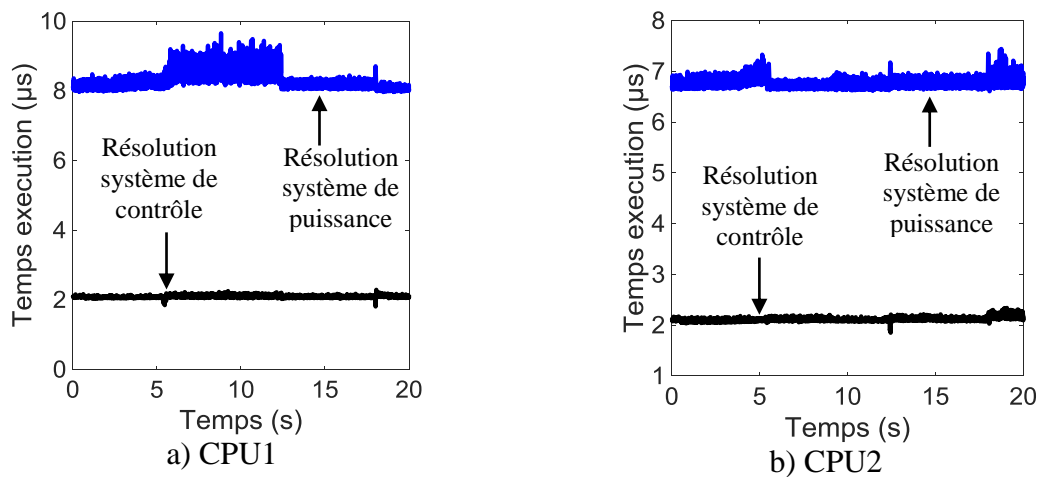


Figure 5-13: Temps d'exécution des tâches dans Hypersim pour le circuit de la Figure 5-12

La séquence de démarrage de la liaison comme décrite dans [24] est simulée en suivant les différentes étapes (voir schéma de la Figure 5-3):

1. Fermeture de M1A
2. Fermeture de BP_RA1
3. Déblocage du convertisseur 1 côté A et démarrage du contrôle de tension CC
4. Fermeture de M1B
5. Fermeture de BP_RB1
6. Déblocage du convertisseur 1 côté B et démarrage du contrôle du transit actif sur la liaison CC.

La tension CC à BAIXAS (pôle positif) obtenue avec le modèle hors temps réel et le modèle temps réel sont présentés à la Figure 5-14. Le courant du demi-bras positif de la phase a est

présenté à la Figure 5-15. Les résultats donnés par le modèle de référence (hors temps réel) et le modèle temps réel sont très proches.

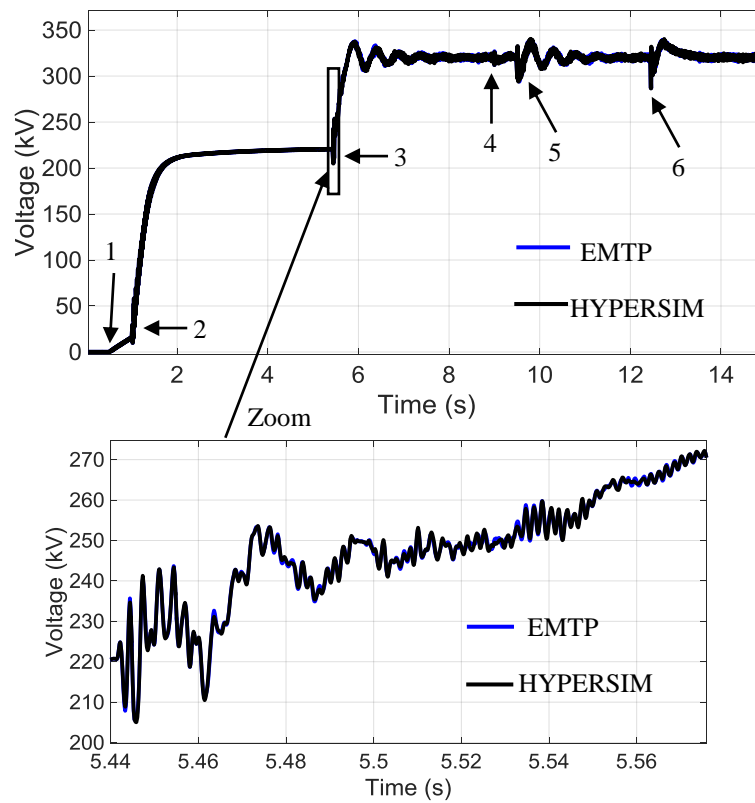


Figure 5-14: Tension pôle-terre en sortie de convertisseur (pôle positif)

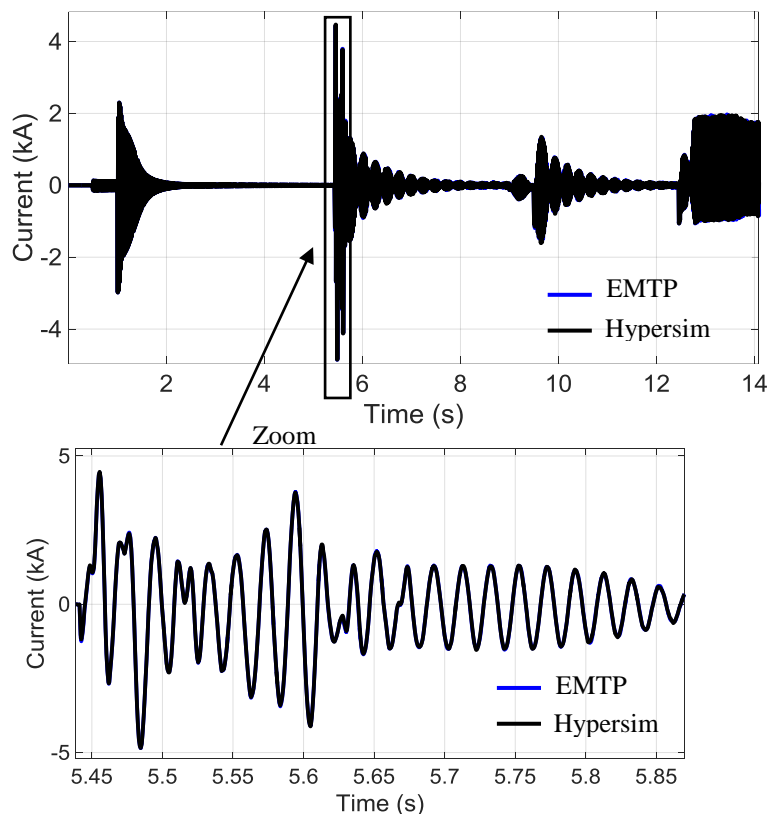


Figure 5-15: Courant d'un demi-bras positif – phase a

Des défauts CC sont simulés pour valider le comportement du modèle temps réel. Ce sont ces défauts qui sont les plus contraignants pour la simulation temps réel à cause de la vitesse des transitoires qu'ils produisent et des caractéristiques non-linéaires des parafoudres qui entrent en jeu. Pour ce type de défauts, les parafoudres peuvent conduire des courants importants (plusieurs kA). Le défaut le plus contraignant, présenté à la Figure 5-16, est le défaut pôle-terre. L'impédance du défaut est de $1 \text{ m}\Omega$. Pour les convertisseurs de la liaison France Espagne, les convertisseurs bloquent environ $40\mu\text{s}$ après la détection du défaut. Le défaut est ensuite isolé du réseau en ouvrant les disjoncteurs de raccordement des deux liaisons dans un délai de 30 à 60 ms.

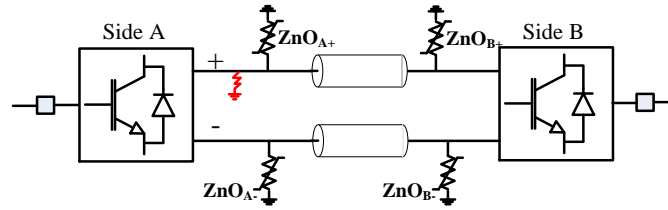


Figure 5-16: Localisation du défaut pôle-terre et des parafoudres

La tension du pôle sain est présentée à la Figure 5-17. Les résultats des deux modèles sont très proches. La simulation hors temps réel prend en compte une résolution itérative. Plusieurs essais ont été réalisés pour activer ou non la résolution itérative pour la simulation temps réel

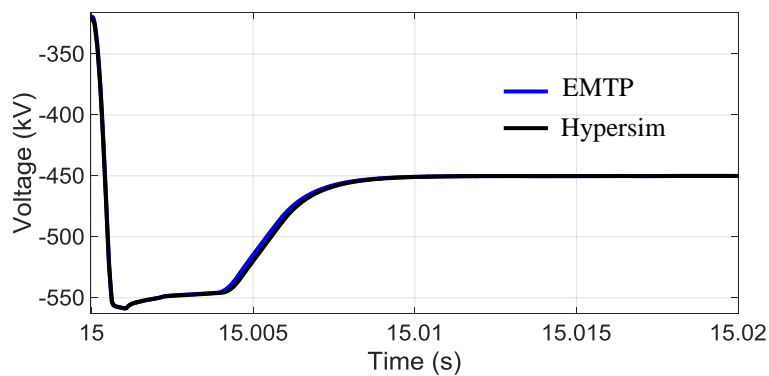


Figure 5-17: Tension du pôle sain lors d'un défaut à la terre de l'autre pôle

Il est très difficile de trouver un cas qui mette en défaut une résolution non itérative pour cette application. En fait la tension varie relativement lentement et quand le point de fonctionnement arrive dans la partie saturée alors la tension reste stable et il n'est pas nécessaire d'itérer. Des cas nécessitant l'utilisation d'une résolution itérative existent tout de même et sont présentés à la section 6.1.

5.3.3 Validation à l'aide de mesures du modèle temps réel sans interface d'E/S

La validation du modèle de convertisseur en mode bloqué a pu être complétée à l'aide d'une comparaison avec des mesures sur site. Plusieurs séquences de démarrage ont été enregistrées sur site et ont été comparées aux résultats fournis par les modèles de convertisseurs temps réel ou temps différé. Un essai de mise sous tension d'un convertisseur en mode "STATCOM" est ici présenté. Il présente l'avantage de ne pas inclure l'effet des câbles CC sur les résultats afin de valider au mieux le modèle de convertisseur.

La Figure 5-18 présente la tension pôle-terre. Dans les premières secondes de démarrage, on peut remarquer que le modèle ne représente pas parfaitement les maximums de tensions. Afin d'améliorer ces formes de tension, il faudrait utiliser des diodes avec une caractéristique non linéaire mais aussi représenter une certaine dispersion entre les caractéristiques des sous-modules d'un demi-bras. Ces deux possibilités d'amélioration alourdiraient de manière importante les temps d'exécution de la simulation temps réel pour un gain de précision très limité.

La Figure 5-19 présente la tension pôle-pôle. La forme de cette tension est assez sensible à la modélisation des pertes dans les sous-modules. En parallèle des sous-modules, des résistances permettant d'alimenter les cartes de commande des IGBT sont installées. Ces charges sont habituellement modélisées sous la forme d'une résistance. Cependant ces charges s'activent uniquement à partir d'une certaine valeur de tension aux bornes des sous-modules (~600V) et vont consommer une puissance constante. En reprenant ce type de fonctionnement dans la modélisation, la tension pôle-pôle simulée est arrivée à être très proche de celle mesurée.

La Figure 5-20 présente le courant du demi-bras positif phase-a. On remarque bien le passage régulier en état haute impédance lorsque le courant devient négatif.

La Figure 5-21 présente la tension entre la résistance d'insertion et le convertisseur. Cette forme de tension est due à la forte résistance de démarrage qui permet une mise sous tension progressive du convertisseur.

De manière générale, le modèle de convertisseur donne des résultats très proches de mesures.

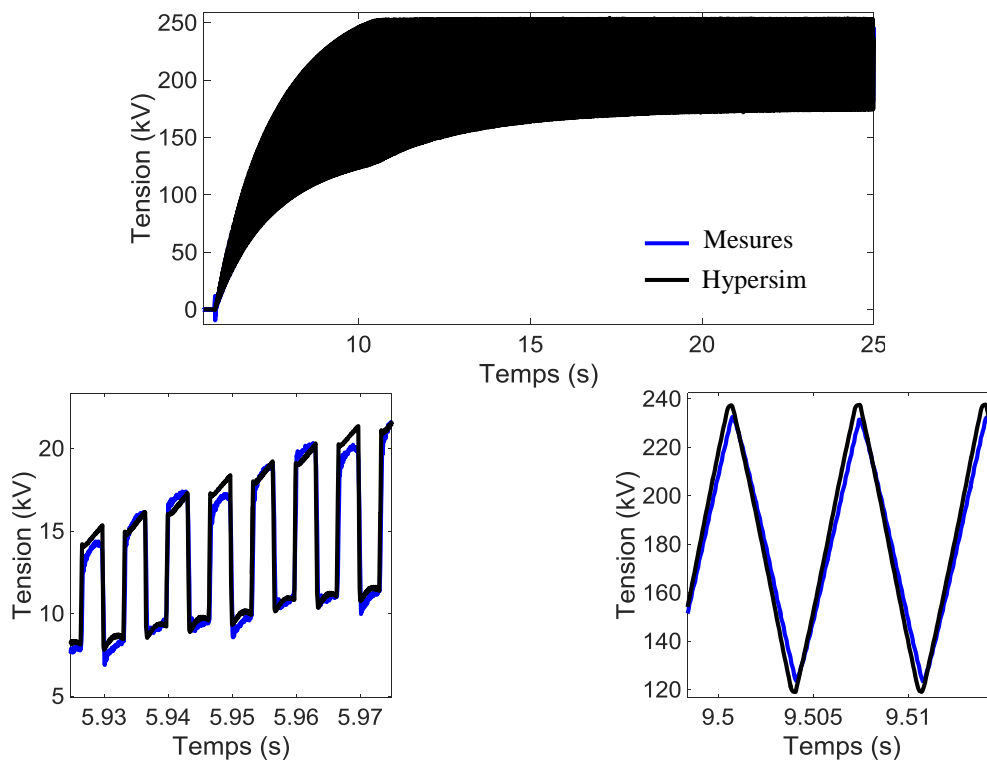


Figure 5-18: Tension pôle-terre – séquence de démarrage STATCOM

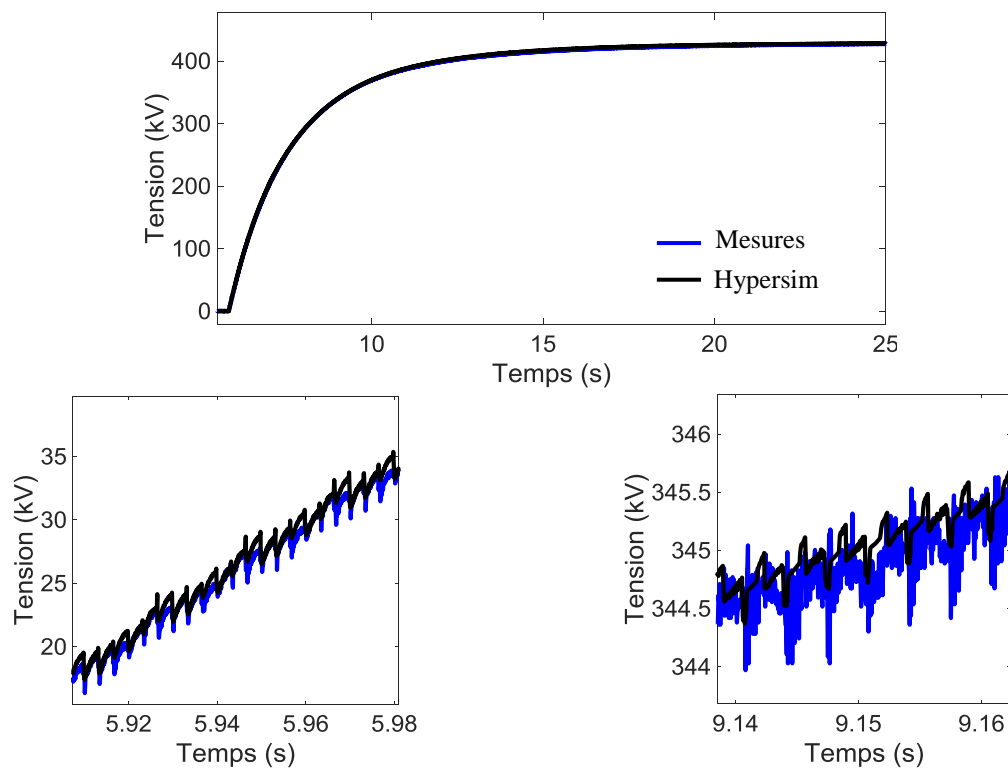


Figure 5-19: Tension pôle-pôle – séquence de démarrage STATCOM

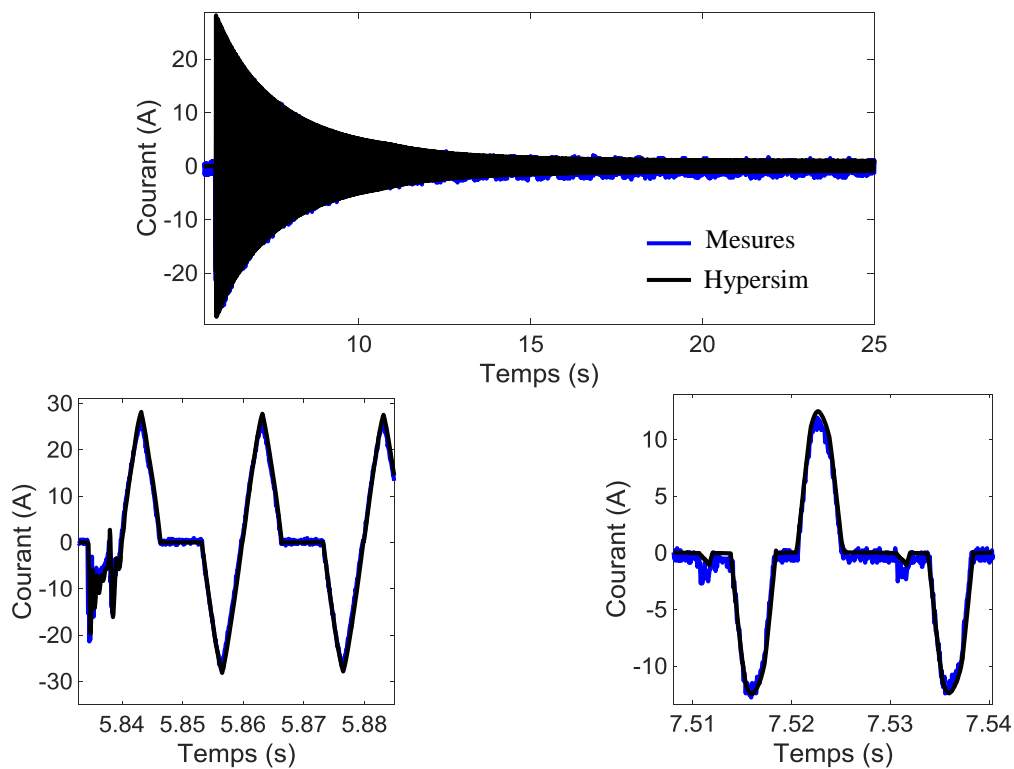


Figure 5-20: Courant demi-bras positif phase-a – séquence de démarrage STATCOM

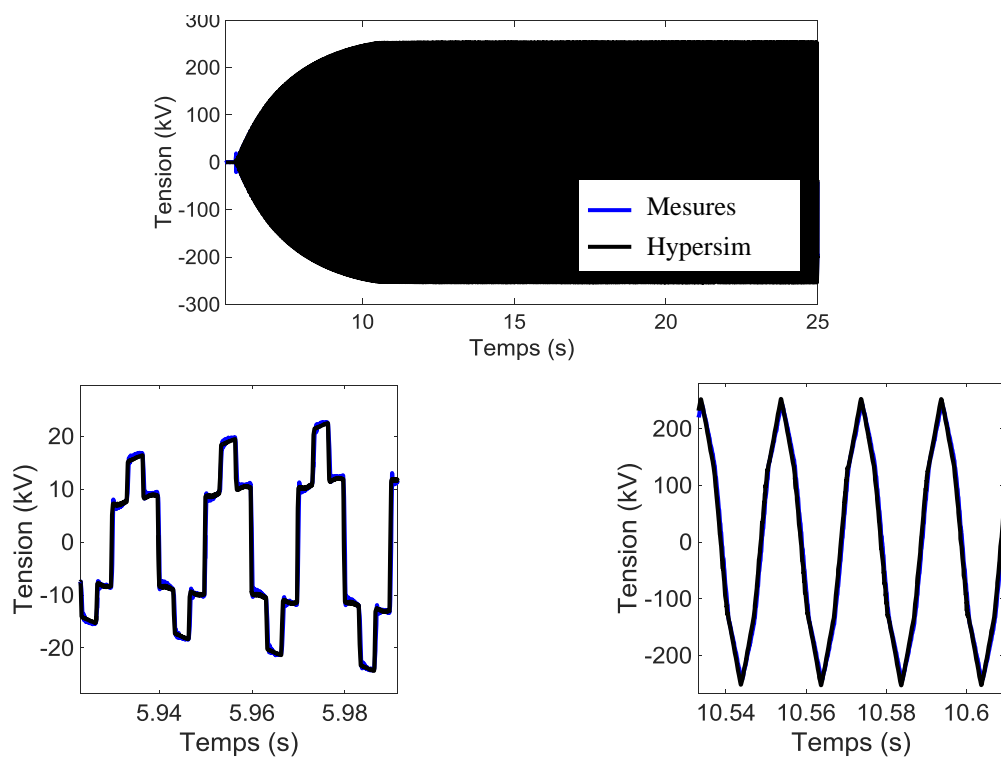


Figure 5-21: Tension transformateur côté convertisseur – séquence de démarrage STATCOM

5.4 Validation du modèle temps réel avec les interfaces d'E/S

L'étape suivante de validation de la plateforme temps réel est d'insérer les interfaces d'E/S (étape 3a décrite au 4.1.2) dans la simulation. La simulation du système de contrôle est donc réalisée sur un simulateur, la simulation du système électrique sur un autre simulateur et les deux simulateurs sont reliés via des interfaces d'E/S. Les mêmes E/S que celles spécifiées par le constructeur SIEMENS pour les répliques du contrôle commande réel ont donc été utilisées (même nombre et même type d'E/S) :

- mesures de tensions et courants
- nombre de sous-modules ON et nombre de sous-modules bloqués
- états des disjoncteurs, position des changeurs de prise

Les systèmes de contrôles des deux convertisseurs ont été simulés sur un simulateur OP5600 [62]. Le système électrique a été simulé sur un simulateur OP5030 [55] et interfacé au simulateur OP5600 à l'aide d'un boîtier d'interface OP5607 [63] comme présenté à la Figure 5-22. Une photo de l'agencement de cette plateforme de test est présentée à la Figure 5-23.

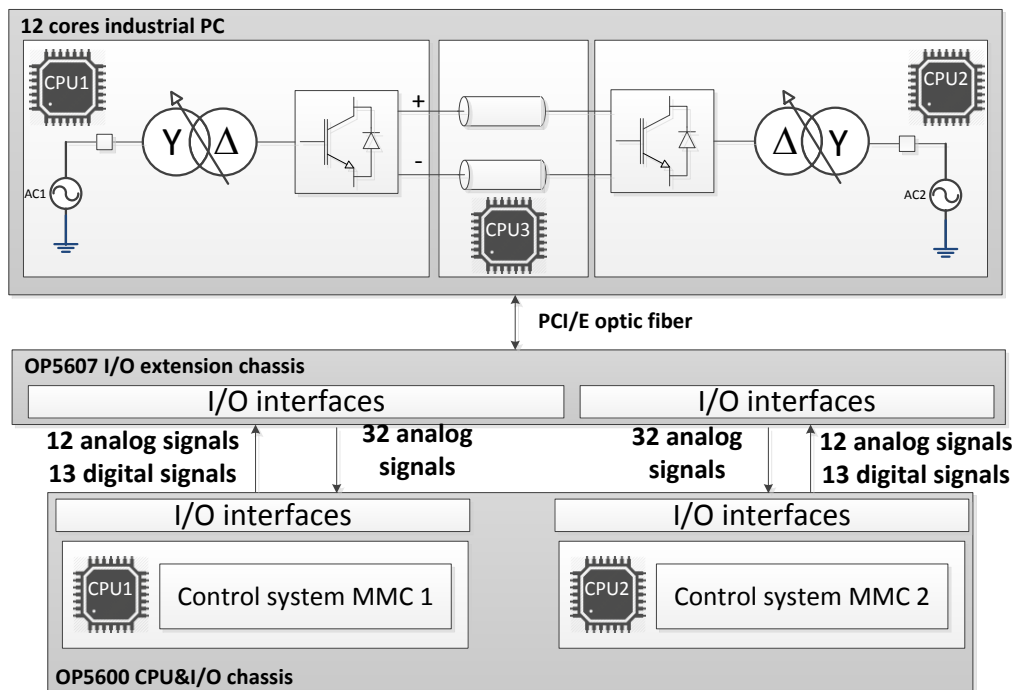


Figure 5-22: Vue générale de la plateforme de test incluant les E/S

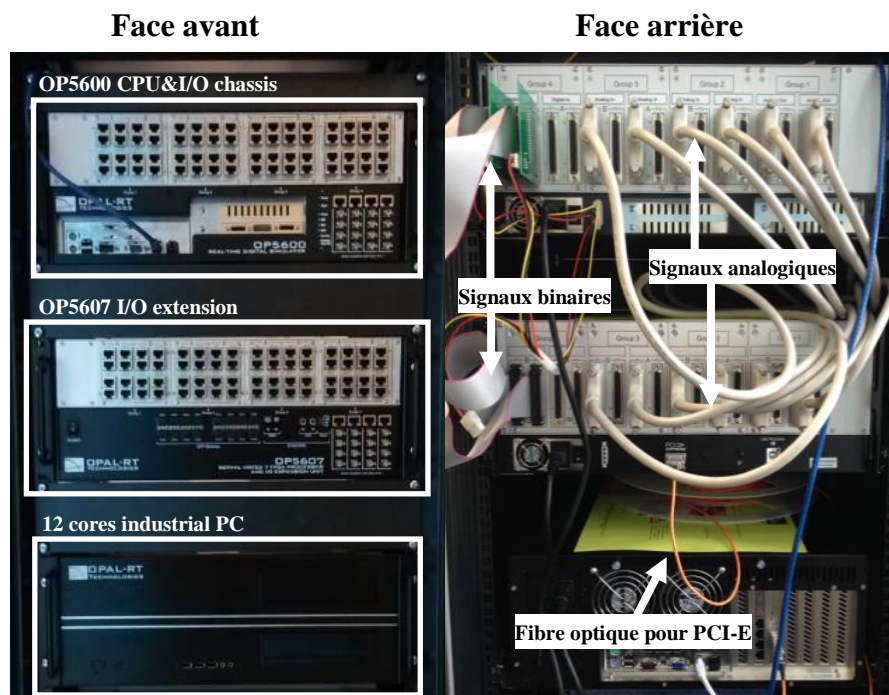


Figure 5-23: Photo de la plateforme de test

Le même cas test pour la séquence de démarrage a été simulé sur cette plateforme et a donné les mêmes résultats. En effet l'introduction des interfaces d'E/S n'induit qu'un seul pas temps de délais supplémentaire entre la résolution du système électrique et la résolution du système de contrôle. Ce pas de temps de délais supplémentaire (uniquement entre contrôle et puissance) n'est pas dommageable pour la précision des résultats pour ce cas d'application. Les temps d'exécution des tâches de résolution du système électrique sont augmentés des temps d'acquisition des interfaces d'E/S. Il a été possible de réaliser les simulations temps réel avec un pas de temps de 30 μ s.

Des défauts CC ont également été simulés pour tester la robustesse du système. Pour la même configuration que celle présentée à la Figure 5-16, les résultats sont quasiment identiques.

Cette plateforme de test a permis de valider la modélisation temps réel de la liaison VSC et de raccorder de manière optimale la réplique du véritable contrôle commande de la liaison France-Espagne.

5.5 Utilisation du modèle temps réel avec le contrôleur physique

5.5.1 Description du matériel

Deux répliques physiques du contrôle commande de la liaison France Espagne ont été raccordées à des modèles temps réel de station de conversion. Une réplique est dédiée aux activités d'étude de réseaux, une autre est dédiée aux activités de maintenance. L'interfaçage entre les répliques et les simulateurs ont été réalisés de la même manière (mêmes signaux, mêmes câbles) que dans le cas de la plateforme de test. Cela a permis de minimiser le temps nécessaire pour obtenir des répliques fonctionnelles. La première réplique (réplique études) contient 7 armoires de contrôle commande :

- **Station Control** : ce système réalise la coordination entre les deux convertisseurs d'une même station de conversion. Il reçoit toutes les consignes de l'IHM de l'opérateur et du contrôle distante
- **Converter Control** : ce système comprend les algorithmes de contrôle qui vont calculer pour un convertisseur les ordres de puissance CC, tension CC, puissance réactive. Il va également réaliser la régulation de tension CA lorsque cette fonction est activée. Le pas de calcul est ici de l'ordre de la milliseconde. Deux racks Station Control sont installés dans une seule armoire.
- **Current Control System (CCS)** : Ce système contrôle l'énergie dans le convertisseur, le courant CC, les courants CA, la tension CC, l'injection de troisième harmonique. Il calcule les tensions de référence à appliquer à chaque demi-bras. Le pas de calcul est de quelques dizaines de μs . Un rack de CCS est nécessaire par convertisseur. Deux racks sont installés dans une armoire.
- **Module Management System (MMS)** : C'est la partie la plus proche des composants d'électronique de puissance. Ce système va appliquer une méthode de discrétisation de la référence de tension de chaque demi-bras pour calculer le nombre de sous-modules devant être insérés à chaque pas de calcul. Il va ensuite générer les signaux de commande de chaque IGBT pour contrôler les tensions des condensateurs de chaque sous-module. Il contient également des fonctions de supervision des tensions/courants dans les demi-bras. Le pas de calcul est ici de quelques μs . Un rack de MMS a été installé dans cette réplique mais il ne comprend que la partie de discrétisation afin de

générer le nombre de sous-modules à insérer et le nombre de sous modules bloqués. Ce sont ces valeurs qui sont ensuite envoyées au simulateur temps réel.

- **C&P Measuring** : Ce rack contient toutes les fonctions de mesures des tensions / courants dans la station de conversion. Des filtres numériques sont implémentés dans ce rack ainsi que des fonctions de calcul (composantes symétriques, puissances CA, CC, harmoniques). Certaines fonctions de protection rapides sont également implémentées.
- **LAN Communication** : cette armoire comprend les équipements de communication du contrôle commande ainsi que l'horloge GPS et le TFR (Transient Fault Recorder)
- **Switch Yard Simulator** : ce rack permet de simuler les états de tous les sectionneurs de mise à la terre présent dans le poste sur site et d'envoyer les positions au contrôle commande. Il permet également d'envoyer les signaux d'état des composants qui ne sont pas générés par le simulateur temps réel comme les états des systèmes de refroidissement

La deuxième réplique comprend la quasi-totalité des armoires sur site, c'est-à-dire 33 armoires. Les interfaces d'E/S pour les deux répliques sont identiques. Le principe d'interfaçage des répliques au simulateur temps réel est présenté à la Figure 5-24.

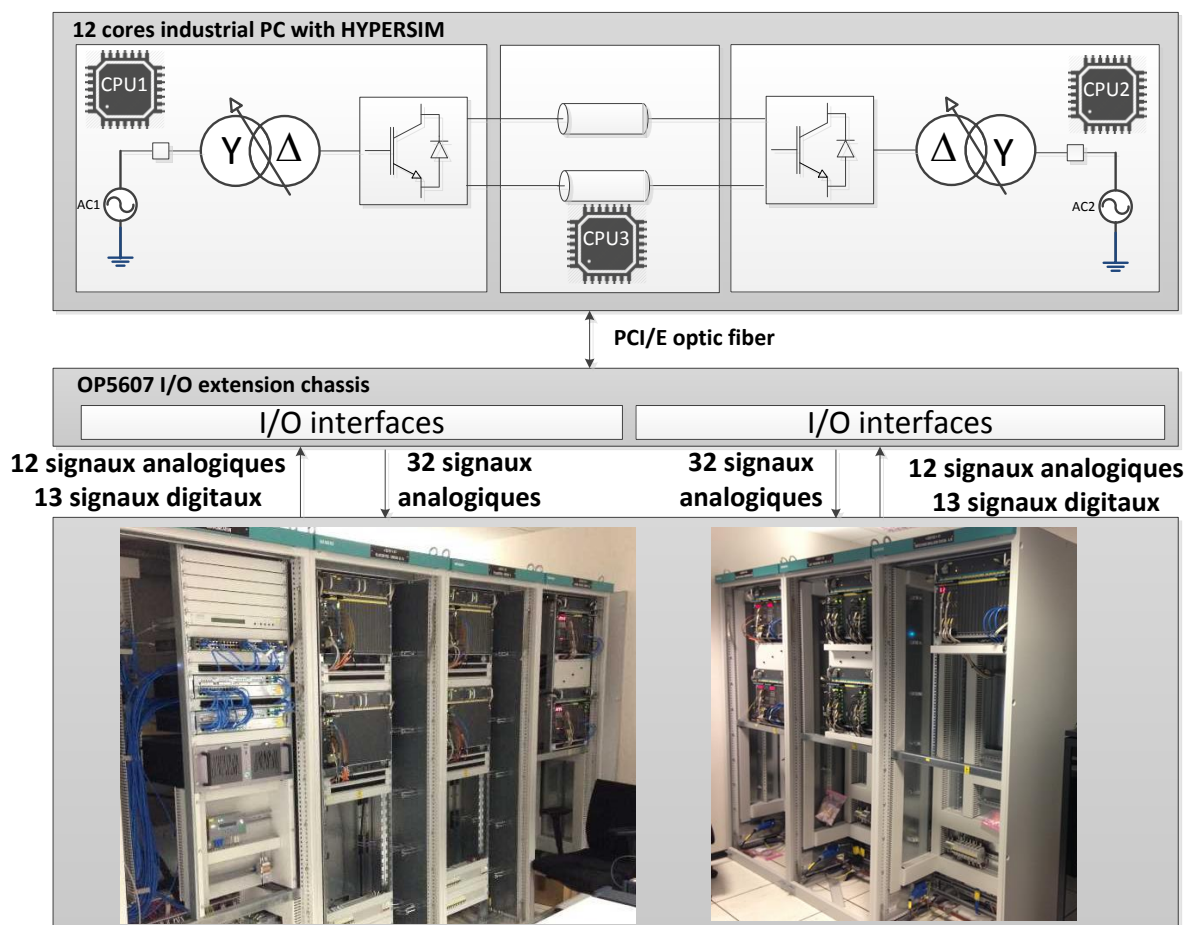


Figure 5-24: Interfaçage des répliques de contrôle commande avec le modèle temps réel

Durant les essais de mise en service de ces répliques, de nombreuses simulations ont été réalisées (défauts CA, CC, échelons de consignes, blocages de convertisseur, inversion du sens de transit). Les résultats de ces simulations ont été comparées avec les résultats des simulations en laboratoire réalisées chez le constructeur avec les véritables systèmes de contrôle commande (durant les Factory Acceptance Tests – FAT). Les modélisations des convertisseurs étaient différentes (modélisation à admittance constante pour les FAT), mais les résultats étaient très proches pour les transitoires impliquant des défauts en dehors des convertisseurs. Pour les défauts dans les convertisseurs, de nombreuses oscillations non réalistes ont été remarquées durant les FAT du véritable contrôle commande.

5.5.2 Validation de l'ensemble simulateur + réplique

Ensuite, le comportement des répliques raccordées aux simulateurs a été comparé à des mesures réalisées sur site. Trois essais réalisés sur site ont été simulés avec la plateforme présentée à la Figure 5-24:

- Cas 1 - Inversion du sens de transit
- Cas 2 - Echelon de consigne de puissance active
- Cas 3 - Blocage des convertisseurs d'une liaison alors qu'il y avait un transit de puissance sur la liaison

5.5.2.1 Cas 1 – inversion du sens de transit

L'inversion du sens de transit de puissance est ici analysée et validée. Les détails du cas test sont présentés sur l'interface de l'IHM (Figure 5-25). Un transit de 100 MW est imposé de BAIXAS (France) vers SANTA LLOGAIA (Espagne). Une inversion du sens de transit est ensuite appliquée avec une rampe de 50 MW/min pour atteindre 100 MW de SANTA LLOGAIA vers BAIXAS. Durant cette inversion du sens de transit, la tension CA à BAIXAS est contrôlée avec une pente de 40 MVAR / kV. La puissance de court-circuit au point de raccordement est de 9 GVA, la communication entre les deux stations est fonctionnelle et les changeurs de prise sont bloqués. A partir de l'image de l'IHM, il est possible de remarquer que les puissances absorbée depuis BAIXAS et injectée à SANTA LLOGAIA sont différentes. Cela est dû aux pertes dans les convertisseurs et les câbles CC. Pour un transit de puissance nominal, ces pertes sont, pour une station de conversion, de l'ordre de 1% de la puissance transitée.

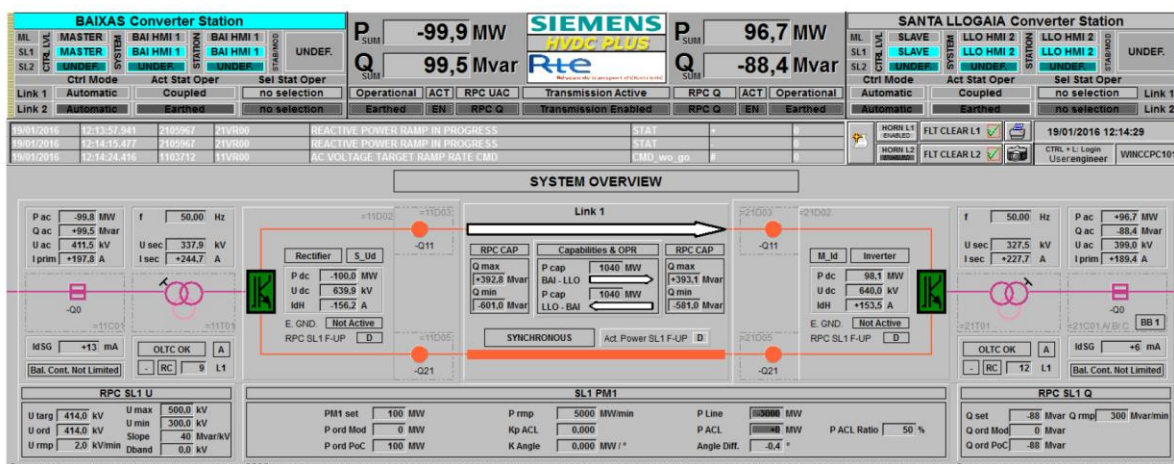
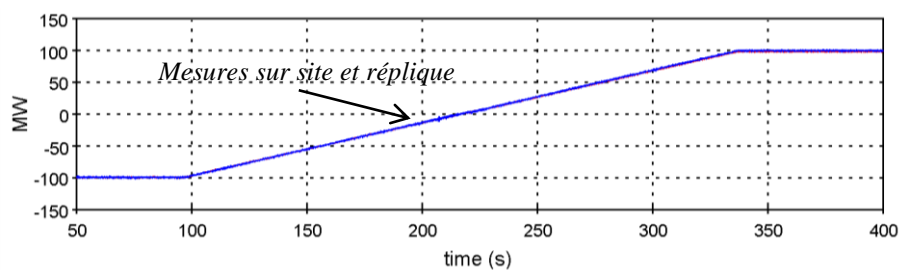


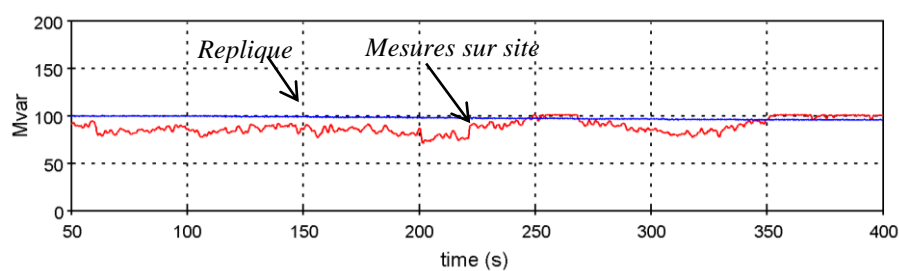
Figure 5-25: IHM de la réplique du contrôle commande

La comparaison entre les mesures sur site et les simulations temps réel avec les répliques est présentée à la Figure 5-26. Elle donne des résultats très satisfaisants (transit de puissance active, tension et courant CC). Il faut noter que les harmoniques présents sur la tension CC sont également très proches. En ce qui concerne la tension CA et la puissance réactive au poste de BAIXAS, on peut noter quelques différences qui sont essentiellement dues aux fluctuations de faibles amplitudes mais de fréquences élevées de la tension du réseau. Cela provient de la

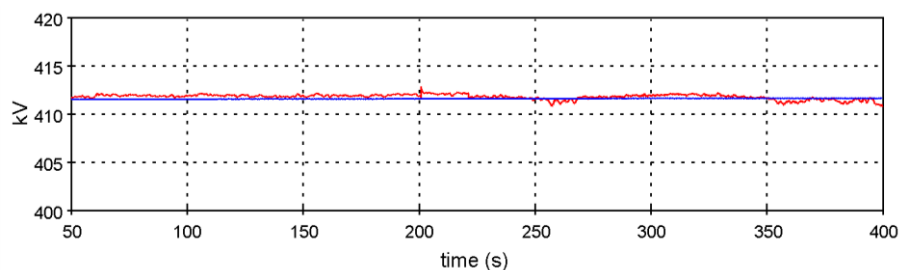
modélisation du réseau CA qui n'est pas suffisamment détaillée pour représenter ces phénomènes. Il faudrait représenter de manière détaillée le réseau 400 kV et les niveaux sous-jacents avec les producteurs / consommateurs.



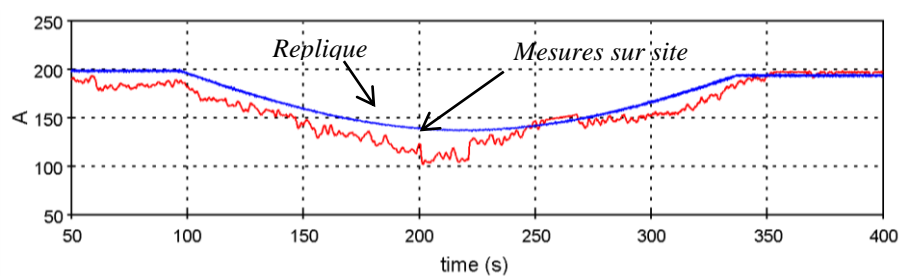
a) Puissance active



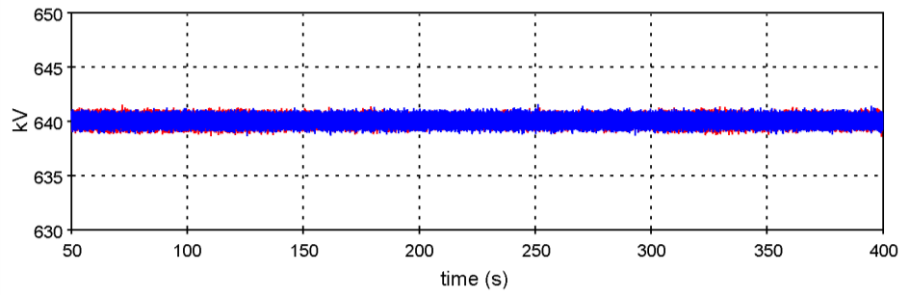
b) Puissance réactive



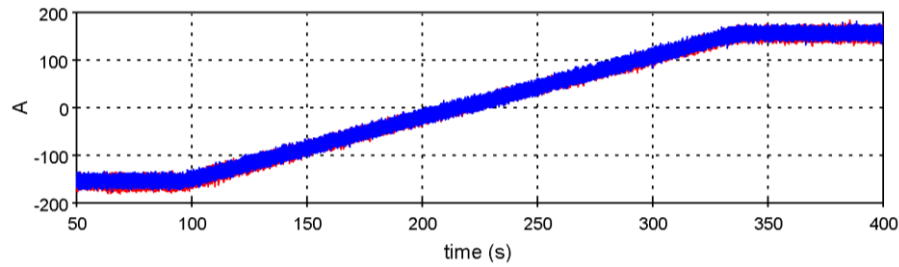
c) Tension CA en valeur efficace au point de raccordement



d) Valeur efficace du courant au point de raccordement



e) Tension CC



f) Courant CC

Figure 5-26: Comparaisons entre mesures sur site et simulations temps réel avec les répliques à BAIXAS

5.5.2.2 Cas 2 - Echelon de consigne de puissance active

Ce cas consiste à réaliser un échelon de consigne de puissance active de +20% pendant 500 ms. Il y a donc un échelon pour augmenter la puissance puis, 500ms plus tard, un échelon pour diminuer la puissance. Le transit initial de puissance dans la liaison est de 300MW de l'Espagne vers la France. Le système de communication a été volontairement désactivé sur site afin de s'assurer du bon fonctionnement de la liaison en cas de défaillance de ce type. Le convertisseur à BAIXAS contrôle la puissance active alors que celui de SANTA LLOGAIA contrôle la tension CC. L'échelon de puissance est donc initié côté BAIXAS. La Figure 5-27 présente l'IHM de la liaison côté BAIXAS avant l'échelon de puissance. On peut remarquer l'absence de données venant du côté espagnol.

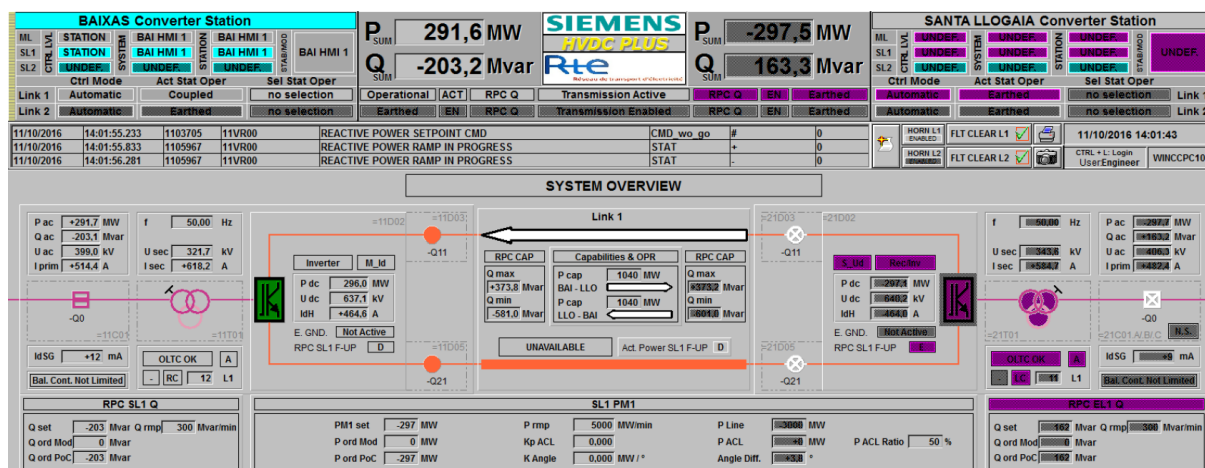


Figure 5-27: Etat de la liaison avant l'essai d'échelon de puissance

Le transit de puissance va de l'Espagne vers la France pendant cet essai. Il est présenté à la Figure 5-28. Le courant CC est présenté à la Figure 5-29. L'échelon de puissance génère un transitoire sur le réseau. Ce transitoire présente une dynamique qui dépend du fonctionnement de la liaison mais également du fonctionnement du réseau qui réagit à ce transitoire. Dans le cas de la simulation temps réel, les réseaux CA sont approximés par des équivalents de Thévenin. La liaison CA en parallèle de la liaison HVDC est négligée. Malgré cette modélisation très simpliste, les résultats donnés par le simulateur temps réel raccordé aux répliques sont très proches des mesures.

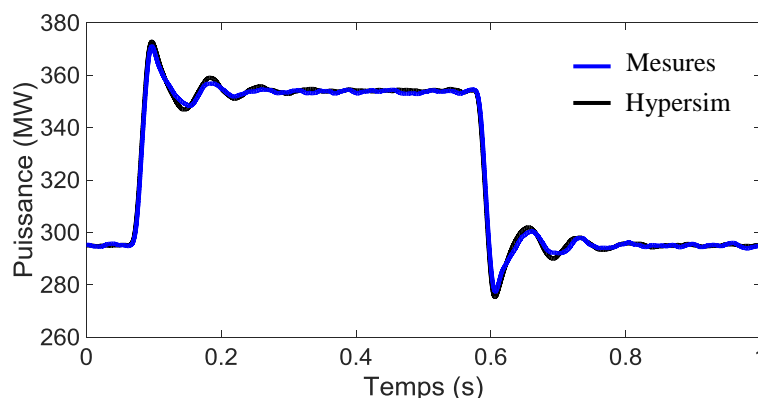


Figure 5-28: Puissance active injectée sur le réseau français lors de l'essai d'échelon de puissance

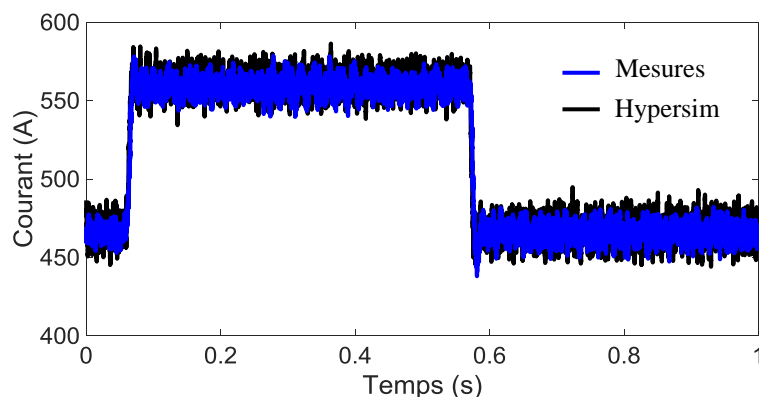


Figure 5-29: Courant CC lors de l'essai d'échelon de puissance

5.5.2.3 Cas 3 - Blocage des convertisseurs d'une liaison

Ce cas consiste à bloquer les convertisseurs d'une liaison pendant qu'un transit de puissance était effectif sur la liaison. Ce type de test permet de s'assurer de la capacité des convertisseurs et de leurs contrôles à reprendre rapidement le transit sur la liaison après un blocage activé par une protection (suite à un défaut CA par exemple). Ce cas a été réalisé sur site alors que le transit était initialement de 125 MW. La deuxième liaison connectée en parallèle a compensé la perte de transit transitoire sur le réseau afin d'éviter un transitoire trop important sur le réseau. Cela permet de faciliter la validation de la simulation car l'impact du réseau peut être négligé. La Figure 5-30 présente l'IHM de la station française avant l'essai de blocage.

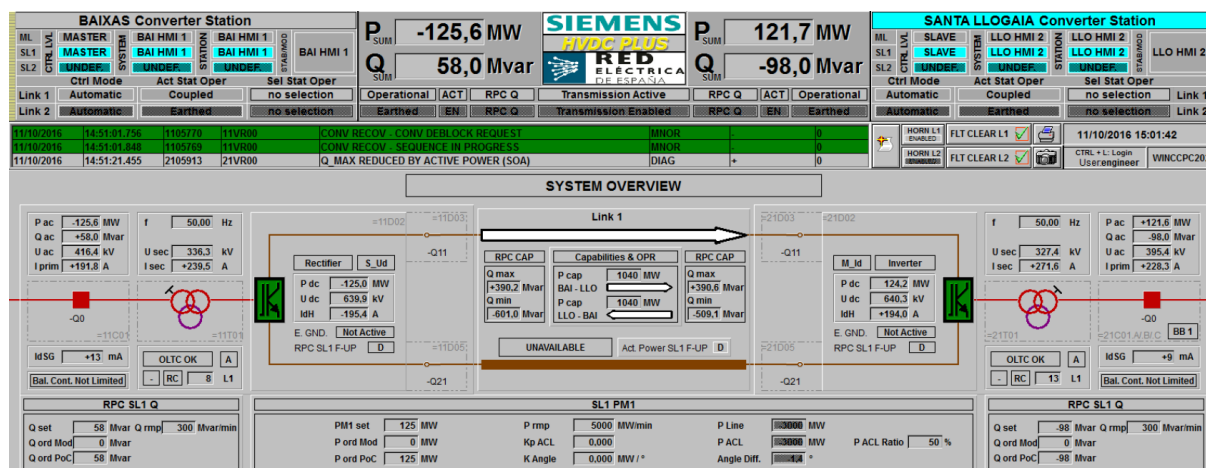


Figure 5-30: Etat de la liaison avant l'essai de blocage

Le convertisseur côté BAIXAS contrôle la tension CC alors que le convertisseur côté SANTA LLOGAIA contrôle le transit de puissance. Le blocage de la station est initié par le contrôle côté BAIXAS. Ce blocage induit une chute de la tension CC car il n'y a plus de contrôle de cette tension et le convertisseur à SANTA LLOGAIA absorbe la puissance du circuit CC pour

l'injecter sur le réseau CA. Il arrête le transit quand la tension CC passe en dessous d'une certaine limite. La pente observée sur la décroissance de la tension CC est donc due à la dynamique de la régulation de puissance du côté SANTA LLOGAIA. Lors du déblocage du convertisseur à BAIXAS, le contrôle de la tension CC est remis en fonction et le transit de puissance est rétabli par le contrôle de l'autre station de conversion.

La comparaison des essais avec la simulation avec les répliques est présentée aux Figure 5-31 à Figure 5-34. On peut noter une bonne concordance entre les mesures et les simulations. Cela est dû au fait que le même système de contrôle est utilisé dans les deux situations mais aussi grâce aux modèles de convertisseurs qui ont été validés étape par étape. Les variations des tensions / courants CC en régime permanent présentent des formes très proches. Ceci a été rendu possible par un travail d'adaptation des caractéristiques des diodes (R_{on} , R_{off} , circuit RC aux bornes des diodes...) afin de se rapprocher des mesures sur site.

Les différences les plus importantes sont visibles au niveau des courants de demi-bras. Ces différences peuvent être dues au fait que les demi-bras ne sont pas modélisés en détail que le contrôleur d'équilibrage des tensions de condensateurs (BCA) n'est pas inclus dans la réplique. Les mesures font apparaître une impulsion de courant de 350A au moment du déblocage qui n'est pas visible sur les simulations. Cette impulsion peut être due au contrôle BCA ou à la caractéristique non-linéaire des diodes/IGBT.

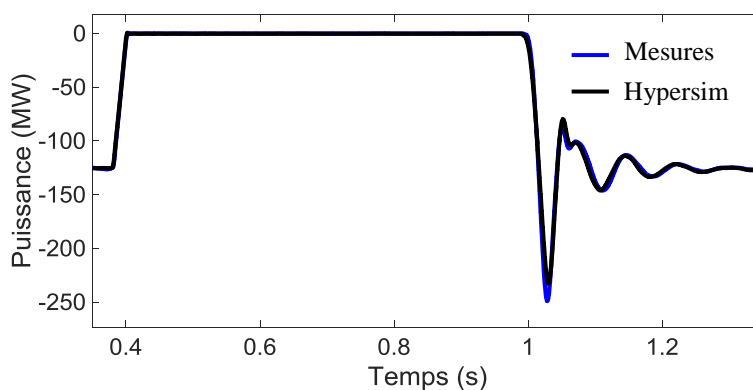


Figure 5-31: Transit de puissance lors du blocage d'un convertisseur

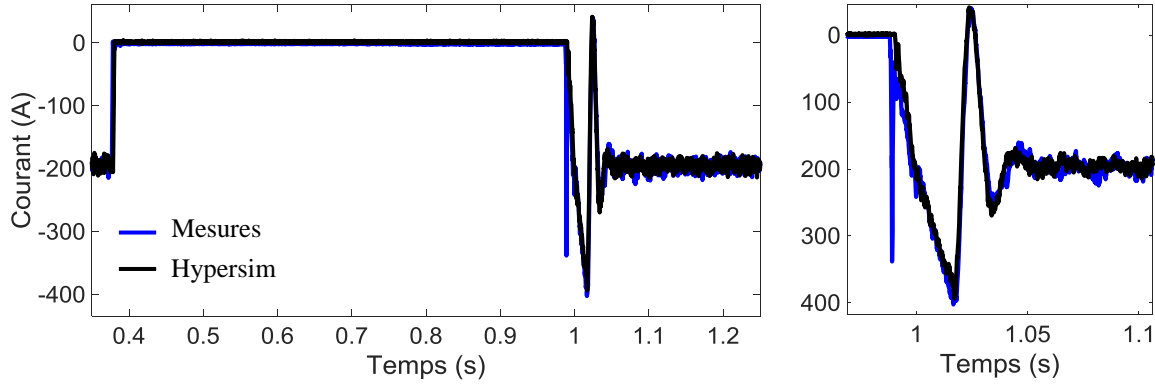


Figure 5-32: Courant CC lors du blocage d'un convertisseur

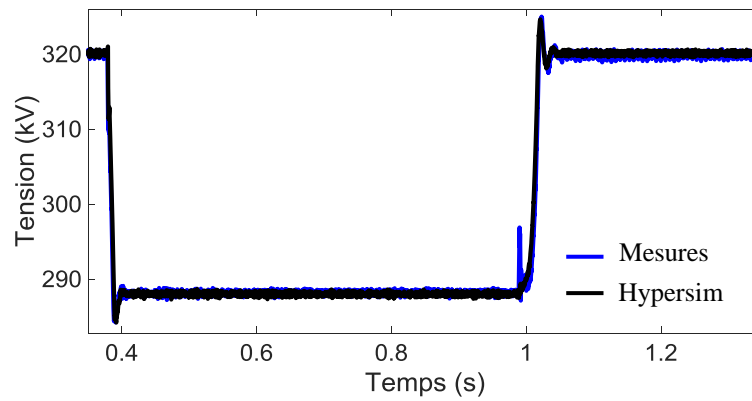


Figure 5-33: Courant CC lors du blocage d'un convertisseur

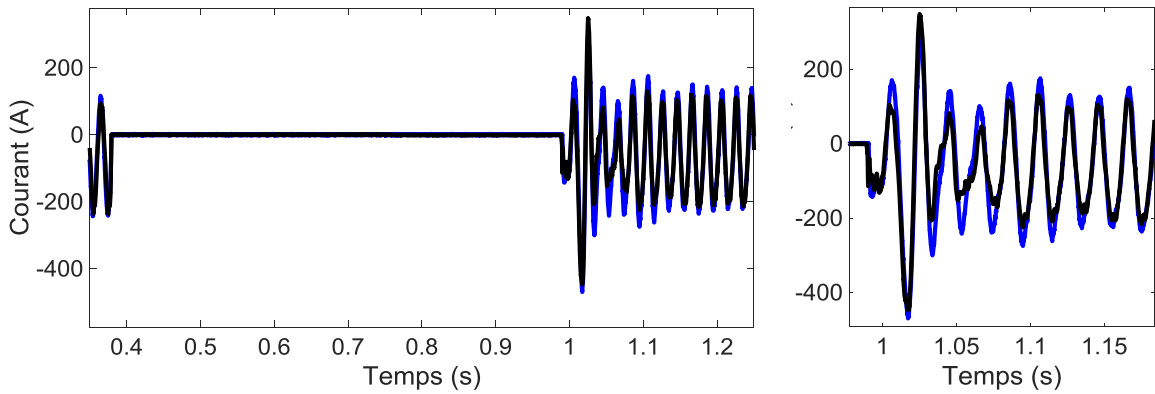


Figure 5-34: Courant dans le demi-bras supérieur phase-a lors du blocage d'un convertisseur

5.6 Conclusions

Ce chapitre a présenté l'implémentation du modèle temps réel de la liaison France-Espagne et son raccordement au vrai système de contrôle commande. Les performances en termes de pas de calcul et de précision ont été comparées à celles présentées dans [14]. La solution présentée

dans [14] avait conduit à l'impossibilité de réaliser des défauts sur la partie continue de la liaison lors des essais usine.

La solution proposée dans ce chapitre permet de réaliser ces défauts et de respecter le temps d'échantillonnage des systèmes de contrôle réels. La validation de cette solution a été réalisée à l'aide de mesures sur site incluant plusieurs modes de fonctionnement de la liaison (mode bloqué et contrôlé).

CHAPITRE 6 UTILISATION DE MODÈLES DÉTAILLÉS MMC DANS DES SIMULATIONS TEMPS RÉEL

Comme détaillé dans les chapitres précédents, l'utilisation de FPGA est actuellement requise pour interfacer un simulateur temps réel à un contrôle commande VSC. Ce chapitre présente l'utilisation des 2 modèles détaillés de convertisseurs MMC décrits dans le CHAPITRE 4 et développés sur FPGA. Leurs performances en termes de précision et de temps de calcul sont comparées.

6.1 Modèle 2a implémenté sur FPGA

6.1.1 Implémentation sur FPGA

Le Modèle 2a décrit à la section 4.2.2 a été implémenté sur FPGA. L'implémentation FPGA a été revue par rapport à celle présentée en [50] pour y inclure le mode bloqué et optimiser l'utilisation de ressources sur le FPGA. L'algorithme d'équilibrage BCA a également été implémenté. Comme décrit dans [64], cette implémentation permet de spécifier, pour chaque sous-module, des valeurs différentes de C , R_{on} , R_{off} et de la résistance en parallèle des condensateurs des sous-modules. Il est possible de modéliser 512 sous modules par demi-bras et 6 demi-bras par FPGA en incluant l'algorithme BCA. La Figure 6-1 présente une vue schématique du modèle implémenté sur FPGA.

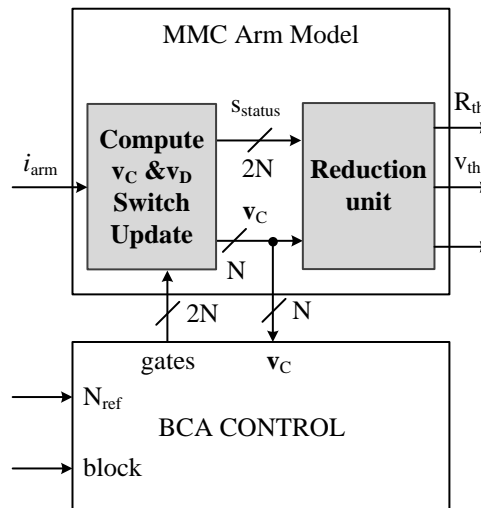


Figure 6-1: Vue schématique du modèle 2 implémenté sur FPGA

Le modèle de demi-bras sur FPGA a été développé sur un Virtex 7 VX458T intégré à un boîtier OP7020 de la société OPAL-RT [65]. La fréquence de l'horloge interne du FPGA est de 200 MHz. Le pas de calcul sur FPGA est de $1.25\mu\text{s}$. C'est le temps nécessaire pour mettre à jour les données R_{th} et V_{th} lorsqu'une nouvelle valeur du courant I_{arm} est fournie ou que d'autres signaux de commande sont disponibles (Figure 6-1).

L'implémentation de ce modèle sur FPGA n'est pas une contribution de cette thèse. Toutefois il a été possible d'analyser l'impact de la représentation des nombres sur FPGA sur plusieurs implémentations. Les modèles utilisant des représentations en virgule fixe ont conduit à des résultats divergents même quand le nombre de bits était augmenté. Pour illustrer ce type de problème, un exemple simple de sous-module est ici utilisé. On prend pour hypothèse les valeurs suivantes:

Tableau 6-1: Paramètres d'un sous-module

R_{on}	1 m Ω
R_{off}	10 k Ω
C	10 mF

Le circuit de la Figure 6-2 est utilisé pour tester deux implémentations du Modèle 2a:

- Une implémentation complète en double précision virgule flottante,
- Une implémentation des équations du modèle 2 en virgule fixe, 64 bits dont 35 bits fractionnaires. Le reste des équations de la Figure 6-2 sont résolues en virgule flottante.

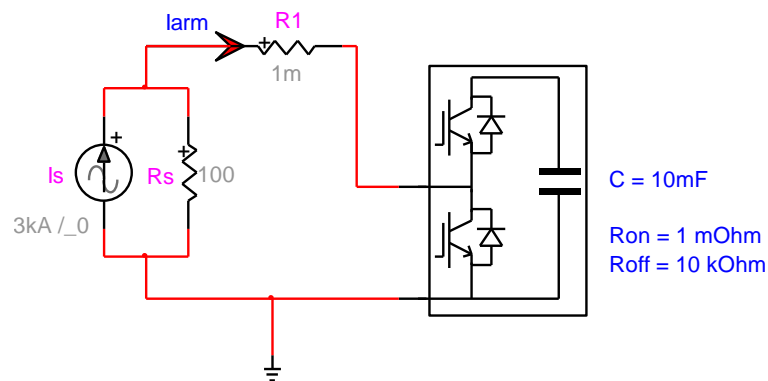


Figure 6-2: Circuit de test pour comparaison des implémentations virgules flottantes/fixes

Le sous-module est représenté par le Modèle 2a décrit à la section 4.2.2.3. C'est donc un équivalent de Norton (R_N , I_N) qui est inséré dans le circuit de la Figure 6-2.

Les constantes suivantes sont calculées en double précision virgule flottante avant le démarrage de la simulation : $\beta_{1I_{Ci}^h}$, $\beta_{2I_{Ci}^h}$, $\beta_{2V_{Ci}}$, $\beta_{2I_{Ci}^h}$. Elles sont généralement calculées sur un CPU et

chargées sur le FPGA au démarrage de la simulation temporelle. Ces constantes sont calculées pour tous les états possibles des sous-modules (ON, OFF, HZ, SC). La boucle temporelle de simulation est décrite dans le Tableau 6-2.

Tableau 6-2: Boucle temporelle de résolution CPU/FPGA du cas de la Figure 6-2

	Calcul réalisé	Unité de calcul
1	Résolution nodale en virgule flottante double précision: $I_{arm}(t) = \frac{R_s I_s(t) - R_N I_c^h(t - \Delta t)}{R_s + R_l + R_N} \quad (6.1)$	CPU
2	En fonction de l'état du sous-module, calcul de $I_{C_i}^h(t)$ et de $V_{C_i}(t)$ en point fixe: $I_{C_i}^h(t) = \beta_{1I_{C_i}^h} I_{arm}(t) + \beta_{2I_{C_i}^h} I_{C_i}^h(t - \Delta t) \quad (6.2)$ $V_{C_i}(t) = \beta_{1V_{C_i}}(t) I_{arm}(t) + \beta_{2V_{C_i}} I_{C_i}^h(t - \Delta t) \quad (6.3)$	FPGA
3	$I_{C_i}^h(t)$ est converti en virgule flottante et on passe au pas de temps suivant	CPU

Plusieurs implémentations ont été testées avec des représentations à virgule flottante et à virgule fixe. La simulation a été réalisée sur une durée de 10 s. Le sous-module est initialement dans l'état ON puis passe à $t = 0.4s$ à l'état OFF. La forme de la tension aux bornes du sous-module est présentée à la Figure 6-3. Cette tension est sinusoïdale jusqu'au changement d'état. On compare ici la représentation en virgule fixe avec une représentation en virgule flottante double précision.

Lorsque l'état OFF est activé, le sous-module est court-circuité et la tension du condensateur reste quasiment constante. Une légère décroissance de la tension à cause de la résistance non infinie de la diode supérieure peut être constatée sur la Figure 6-3. C'est dans ce mode de fonctionnement que l'on peut noter une augmentation constante de l'erreur due à la représentation en virgule fixe. Cette erreur est d'autant plus importante que le pas de temps est petit. Ceci est probablement dû au fait que, pour une durée de simulation fixe, le nombre de pas de calcul est plus important avec un petit pas de temps qu'avec un grand pas temps. Il y a donc plus de pas de calcul et donc plus d'accumulation d'erreur.

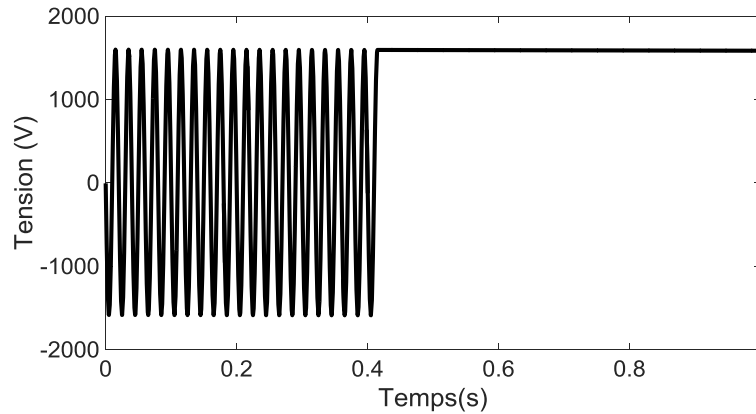


Figure 6-3: Tension aux bornes du sous-module de la Figure 6-2

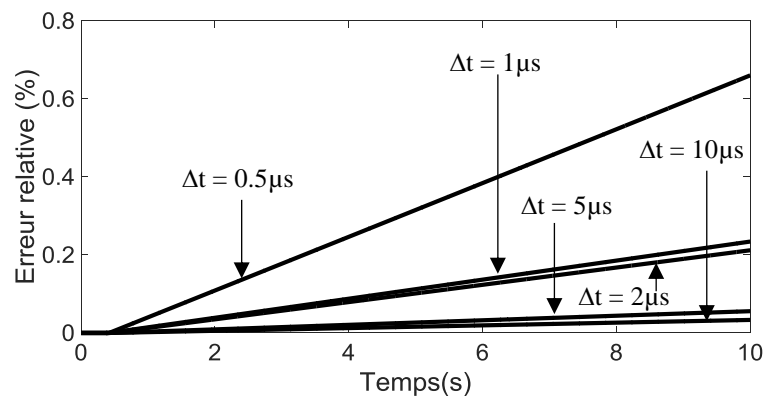


Figure 6-4: Erreur relative en fonction du pas de temps de la simulation

Cet exemple simple montre l'intérêt d'utiliser une représentation des nombres à virgule flottante sur FPGA pour ce type d'applications. Même si l'erreur diminue avec l'augmentation du nombre de bits fractionnaires, il est important de remarquer que cette erreur augmente de manière continue. Ce problème est particulièrement important pour des applications industrielles de simulation temps réel où les simulations peuvent fonctionner pendant plusieurs jours. Le fait de réaliser les calculs en unité réduite (pu) sur le FPGA pourrait minimiser l'erreur mais ne change pas la nature du problème.

Afin d'optimiser l'implémentation de ce modèle sur FPGA, les deux approches proposées dans la section 4.2.2 ont été utilisées : forcer l'état HZ en mode bloqué lors du passage par zéro du courant de demi-bras et détermination directe de l'état des sous-modules à partir de la valeur de ce courant et de la tension des condensateurs.

6.1.2 Validation du modèle de convertisseur sur FPGA

La validation du modèle de demi-bras avec sur CPU (étape 1a) a été réalisée à la section 4.2.2. Le modèle de convertisseur a ensuite été assemblé sur CPU pour réaliser les étapes de validation

2a et 2b. Le principe de l'étape de validation 2c (Station VSC avec demi-bras simulés sur FPGA + système de contrôle simulés sur un STR multi CPU) est présenté à la Figure 6-5 pour une station de conversion. Le cas simulé comprend 2 stations de conversion et deux câbles CC comme présenté à la Figure 5-12. Les CPU sont identiques à ceux utilisés au CHAPITRE 5 (Intel Xeon X5690 3.467 GHz).

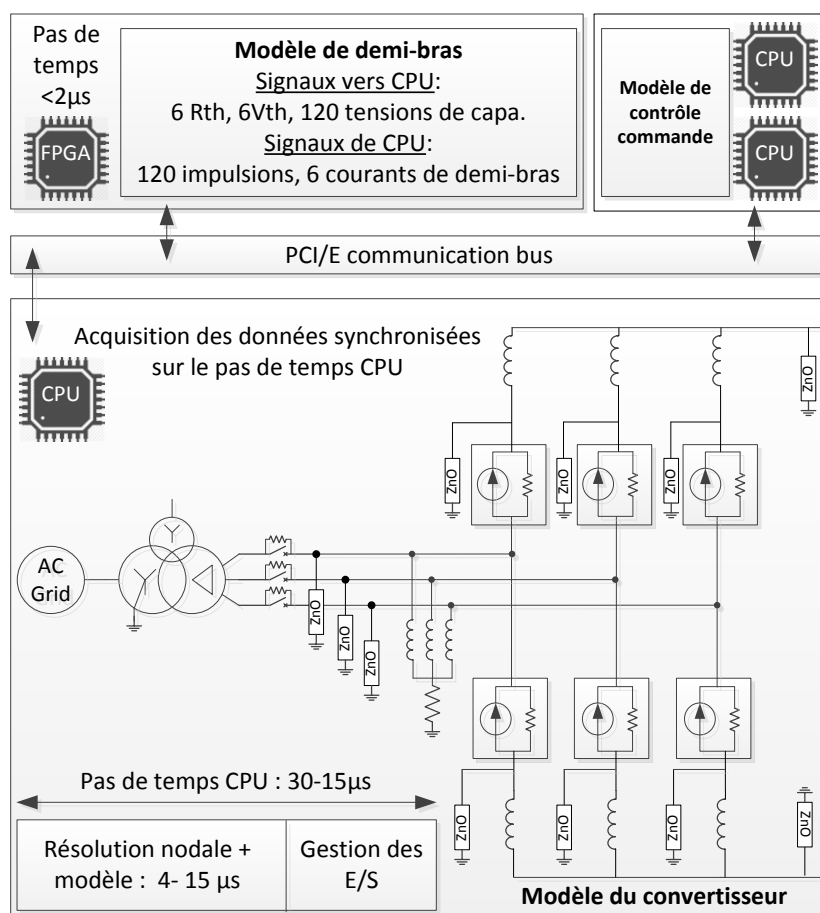


Figure 6-5: Etape 2c (voir section 4.1.2) de la validation du modèle 2 implémenté sur FPGA

A cette étape de validation, tout le système de contrôle commande est sur CPU. Le contrôle BCA communique ainsi avec le FPGA via l'interface PCI/E. Etant donné la latence de plusieurs μs pour accéder à ce bus de communication il n'est pas possible d'utiliser des pas de calcul plus petits que la dizaine de μs . Il n'est donc pas possible de modéliser un grand nombre de sous-modules à cette étape (contrainte sur le pas de temps minimal en fonction du nombre de niveaux mais aussi sur la quantité de données à transférer). C'est pourquoi le cas a ici été simulé avec des convertisseurs de 20 sous-modules par demi-bras. La capacité individuelle de chaque SM est de 1 mF.

Le système décrit en ANNEXE D a été modélisé sur CPU avec Hypersim. 2 FPGA ont été utilisés: 1 par convertisseur. Le modèle CPU comprend 2 convertisseurs VSC-MMC de 21 niveaux chacun. La méthode de résolution trapézoïdale est utilisée sur CPU pendant toute la simulation avec un pas de temps de $20\mu\text{s}$. Le réseau CA est représenté à l'aide d'un équivalent de Thévenin.

Pour réaliser cette validation, les résultats fournis par le modèle temps réel sont comparés aux résultats fournis par un modèle 2 implémenté dans EMTP. Il est rappelé que cette modélisation EMTP utilise une méthode de résolution itérative pour les systèmes non-linéaires.

Le premier test est la séquence de démarrage comme celle étudiée en section 5.3.2. Ce test est très utile pour valider le mode bloqué. Le calcul de l'erreur relative ε entre le résultat obtenu avec EMTP et celui obtenu avec le modèle temps réel montre que la simulation temps réel peut être réalisée avec une bonne précision malgré le fait que ce modèle n'itère pas (Figure 6-6 et Figure 6-7). La principale raison est que la tension CC évolue relativement lentement après l'apparition de la surtension.

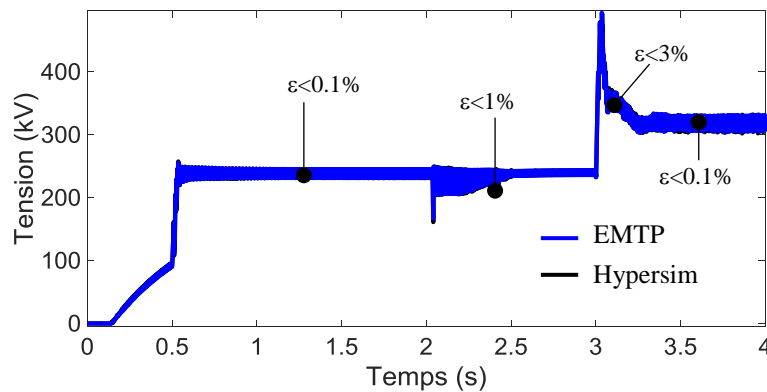


Figure 6-6: Tension pôle-terre lors de la séquence de démarrage

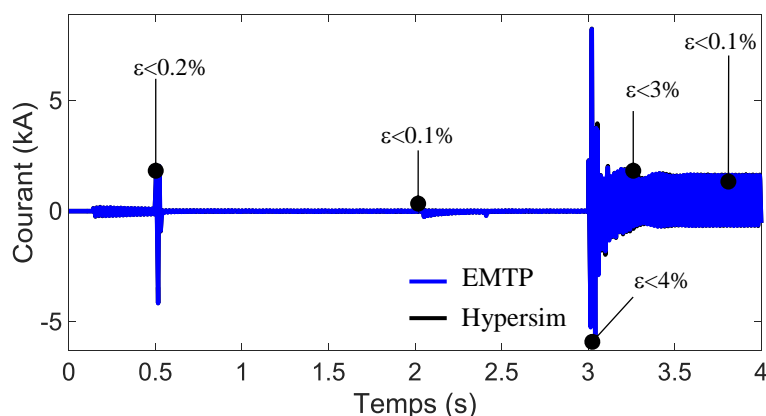


Figure 6-7: Courant demi-bras positif – phase-a lors de la séquence de démarrage

Le deuxième cas test est un défaut pôle-terre comme décrit à la Figure 5-16. Ce cas permet de valider la modélisation non-linéaire des parafoudres lors de l'apparition du défaut dans la simulation temps réel. La Figure 6-8 présente la tension du pôle sain lors d'une simulation temps réel sans itérations. C'est la tension qui est le plus impactée par la résolution des parafoudres. Les Figure 6-9 a et Figure 6-9 b permettent d'analyser l'impact d'une résolution itérative sur CPU. Cet impact est relativement faible en comparaison des conséquences que peuvent induire des itérations sur le temps de calcul. Ces résultats sont à nuancer car le faible impact du processus itératif dépend ici de la vitesse de variation de la tension pôle-terre. Cette vitesse est d'autant plus grande que la capacité (ici la capacité équivalente âme-écran du câble CC) connectée au convertisseur est faible. Donc dans le cas d'un fonctionnement en STATCOM, cet impact sera plus grand. Cet exemple est illustré dans la section 6.1.3

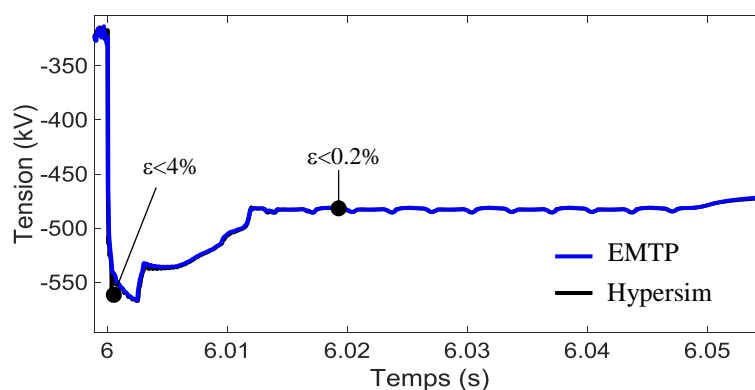


Figure 6-8: Tension pôle-terre (pôle sain) lors d'un défaut pôle-terre (sans itération)

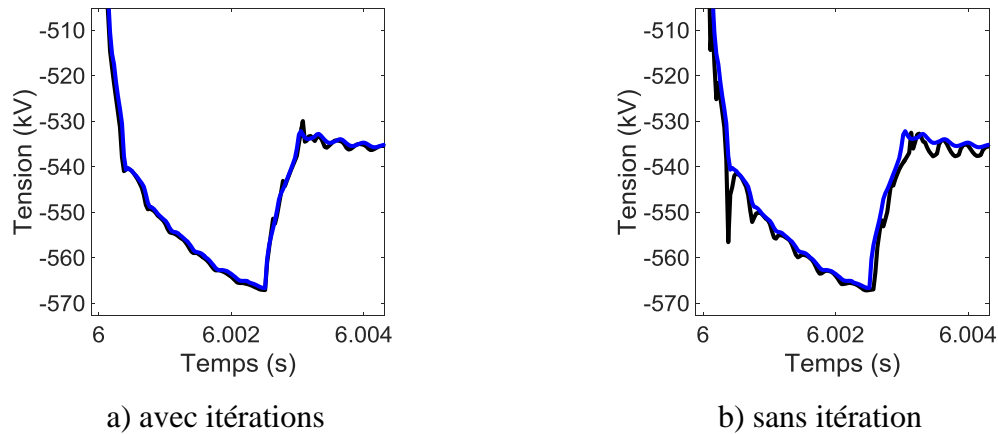


Figure 6-9: Tension pôle-terre (pôle sain) lors d'un défaut pôle-terre (Zoom)

6.1.3 Validation du modèle avec un grand nombre de niveaux

Lorsqu'un grand nombre de sous-modules est utilisé (>100), il est nécessaire de limiter le nombre de données échangées entre le CPU et le FPGA. La solution proposée et implémentée dans [50] est de placer le modèle de BCA sur le FPGA. Cette solution a été utilisée dans cette thèse comme présenté à la Figure 6-10. L'implémentation de cet algorithme sur FPGA est décrite dans [64].

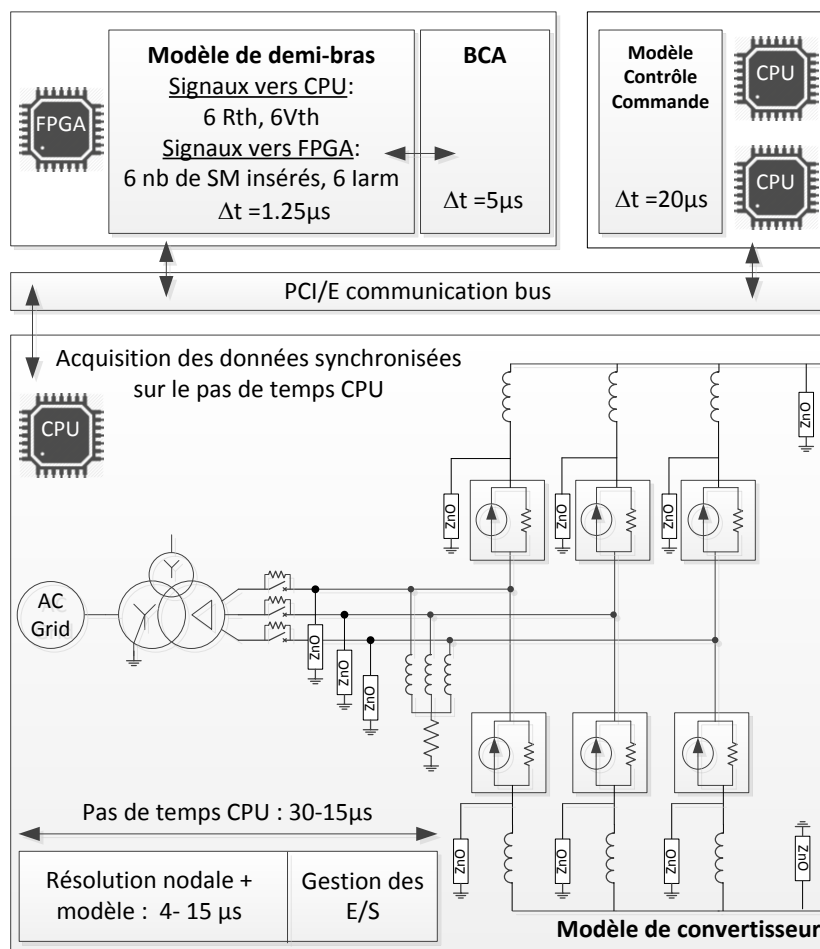


Figure 6-10: Etape 2c (voir section 4.1.2) de la validation du modèle 2 implémenté sur FPGA pour un grand nombre de SM

Cette implémentation permet de modéliser des convertisseurs MMC avec des performances temps réel constantes quel que soit le nombre de sous-modules. Le cas utilisé pour tester cette implémentation comporte 400 sous-modules par demi-bras. La capacité individuelle de chaque SM est ici de 10 mF. La modélisation d'une liaison comprenant deux convertisseurs et un câble CC est réalisée avec un pas de temps de 20 μs . La superposition des résultats entre le modèle EMTP et le modèle Hypersim temps réel est présentée de la Figure 6-11 à la Figure 6-13.

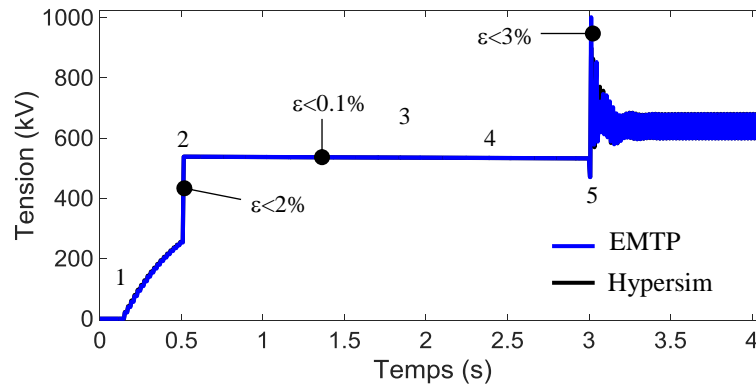


Figure 6-11: Somme des tensions des condensateurs du demi-bras positif de la phase-a

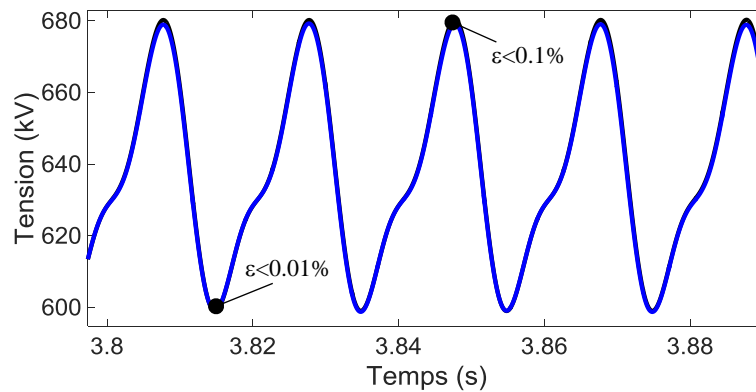


Figure 6-12: Somme des tensions des condensateurs du demi-bras positif de la phase-a (zoom)

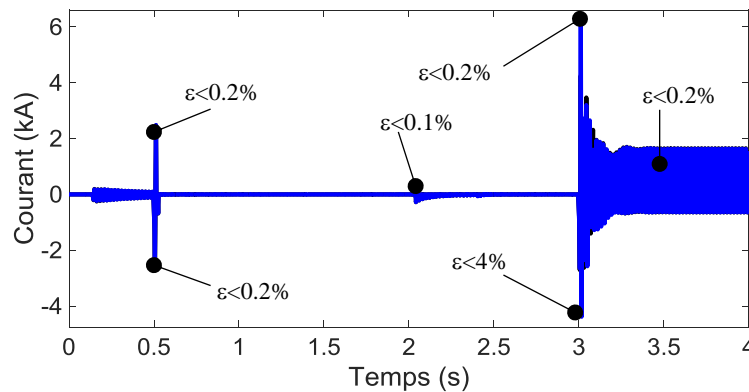


Figure 6-13: Courant de demi-bras positif phase-a

Pour analyser l'impact d'un processus itératif sur la précision des résultats, un cas test a été réalisé dans une configuration "STATCOM". Cela correspond au fonctionnement d'un seul convertisseur connecté à un réseau CA mais sans câble CC. C'est un mode d'utilisation prévu des stations de conversion de la liaison France Espagne lorsque les câbles ne sont pas utilisés ou si un support de tension est nécessaire dans la zone sans transit de puissance active. Dans ce cas de figure, les transitoires observés aux bornes des pôles du convertisseur seront plus rapides qu'en mode "liaison" car les capacités équivalentes des câbles ne seront plus présentes pour

ralentir les fluctuations de tension. Cette configuration est donc celle qui donne les transitoires de tension les plus rapides. C'est pourquoi elle est choisie pour comparer les résultats avec et sans processus de résolution itératif.

Un défaut pôle terre comme celui présenté à la Figure 5-16 est ici simulé en mode "STATCOM" avec la plateforme CPU/FPGA. Les résultats venant des simulations suivantes sont présentés en étant superposés avec les résultats venant d'EMTP:

- simulation temps réel FPGA/CPU sans résolution itérative,
- simulation temps réel FPGA/CPU avec résolution itérative sur le CPU.

Le pas de temps de toutes les simulations est de $20\mu\text{s}$.

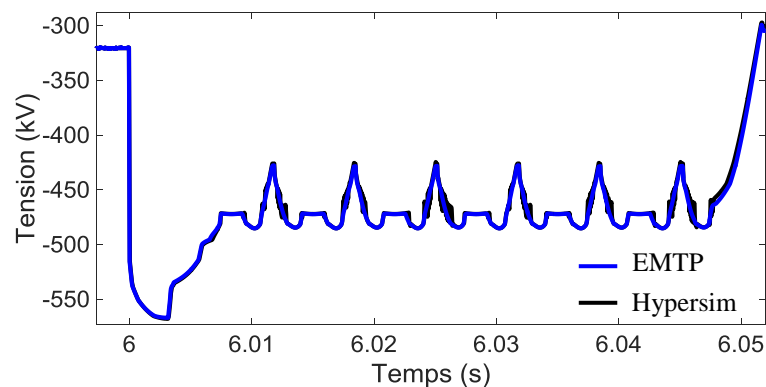


Figure 6-14: Tension pôle-terre (pôle sain) lors d'un défaut pôle-terre (avec itération)

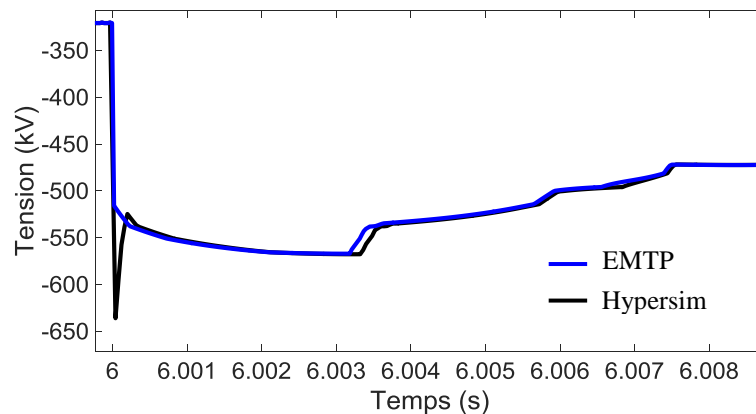


Figure 6-15: Tension pôle-terre (pôle sain) lors d'un défaut pôle-terre (sans itération - Zoom)

Comme discuté dans la section précédente, l'impact de l'absence de processus itératif est plus marqué dans ce cas. En effet l'absence de capacité à la sortie CC du convertisseur induit des fronts de tension plus rapides que dans le cas d'un mode de fonctionnement en liaison. Malgré des différences relatives assez importantes ($\sim 30\%$), les conséquences pour la simulation avec un contrôleur physiques sont relativement faibles car ces différences apparaissent sur un ou

deux pas de temps. Elles seront très probablement filtrées par les filtres numériques du contrôle commande.

6.2 Modèle 2b implémenté sur FPGA

6.2.1 Implémentation sur FPGA

Le Modèle 2b tel que décrit dans le CHAPITRE 4 a été implémenté par la société OPAL-RT sur FPGA [66]. Il a été utilisé dans le cadre de cette thèse sur un matériel identique à celui utilisé dans la section précédente (OP5030 + 1 OP7020 par convertisseur). Comme présenté à la Figure 4-8 l'implémentation de ce modèle sur FPGA est beaucoup plus simple que celle du modèle 2. Avec une fréquence de l'horloge du FPGA réglée à 200 MHz, le pas de calcul sur FPGA est de 500ns. Ce modèle a été développé en virgule fixe sur FPGA.

6.3 Validation du modèle de convertisseur sur FPGA

Ce modèle a d'abord été implémenté sur CPU pour réaliser la validation des étapes 1A, 2a et 2b. Les résultats étaient satisfaisants et ne sont pas présentés dans cette thèse car ils ne présentent pas d'intérêt particulier. L'étape 2c (utilisation du modèle FPGA et système de contrôle sur CPU) a été réalisée avec le même circuit test que celui utilisé à la section 6.1.2. Le principe de la plateforme de test est présenté à la Figure 6-16.

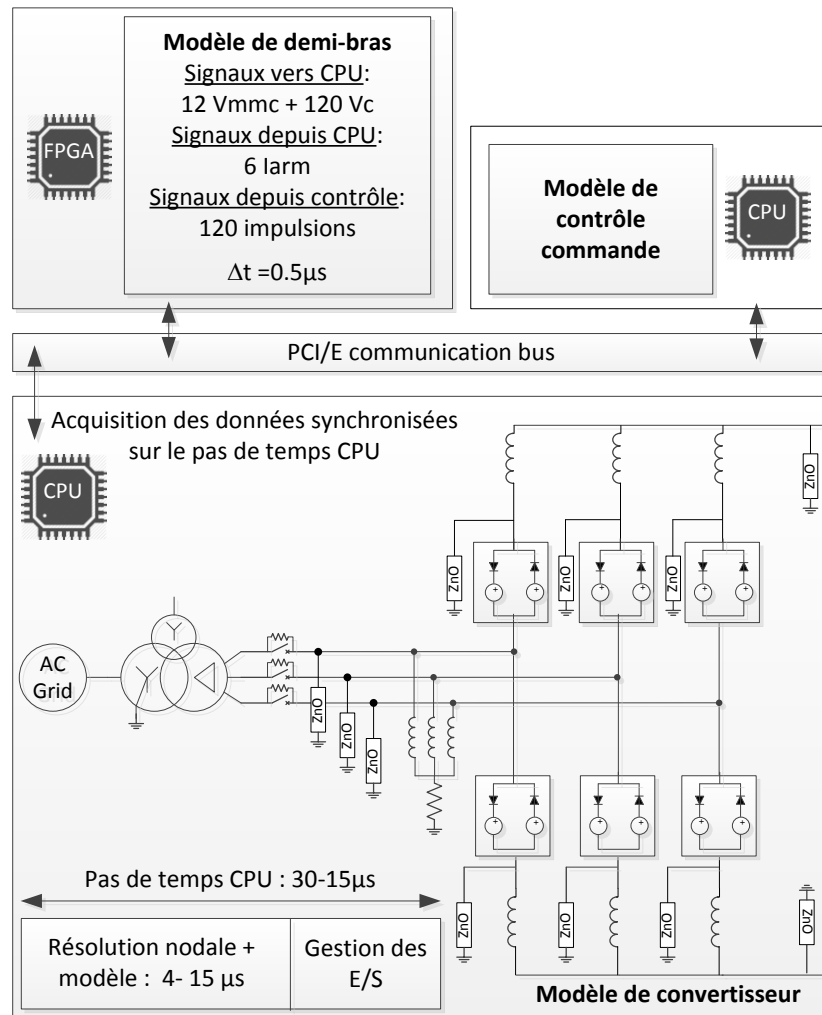


Figure 6-16: Etape 2c (voir section 4.1.2) de la validation du Modèle 2b implémenté sur FPGA

L'outil de simulation Hypersim utilise l'analyse nodale classique (non modifiée et non augmentée). Cela a pour conséquence de modéliser les équivalents de Thévenin à l'aide d'équivalent de Norton. Cela n'a pas de conséquence en termes de nombre de nœuds électriques comparativement à celui présenté à la Figure 6-16. Cependant le schéma équivalent de demi bras d'un modèle 3 nécessite 2 nœuds électriques de plus que celui d'un modèle 2 (équivalent de Norton simple). Pour un convertisseur, la taille du système nodal à résoudre est donc augmenté de 2 [nœuds supplémentaires] * 6 [demi-bras] = 12 nœuds. Une augmentation du temps de calcul d'environ 1 μs sur CPU a été observée. Le nombre de données échangées entre le CPU et le FPGA pour ce modèle est identique au nombre de données dans le cas du modèle 2.

Les mêmes cas tests utilisés pour la validation du modèle 2 ont été implémentés sur cette plateforme : séquence de démarrage avec le même séquençement qu'à la Figure 6-6 et défaut pôle-terre. Quelques résultats sont présentés ci-dessous. La référence EMTP est réalisée avec

un modèle 2 étant simulé avec le même pas de temps (25 μ s). Les convertisseurs ont 20 sous-modules par demi-bras. Il n'a pas été possible de faire des comparaisons avec EMTTP pour des convertisseurs présentant un grand nombre de niveaux car l'algorithme BCA utilisé à la section 6.1.3 n'était pas disponible sur cette implémentation FPGA.

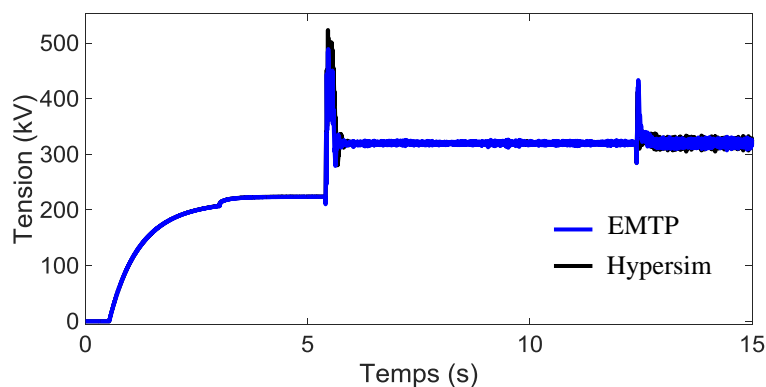


Figure 6-17: Tension pôle-terre – Modèle 2b sur FPGA

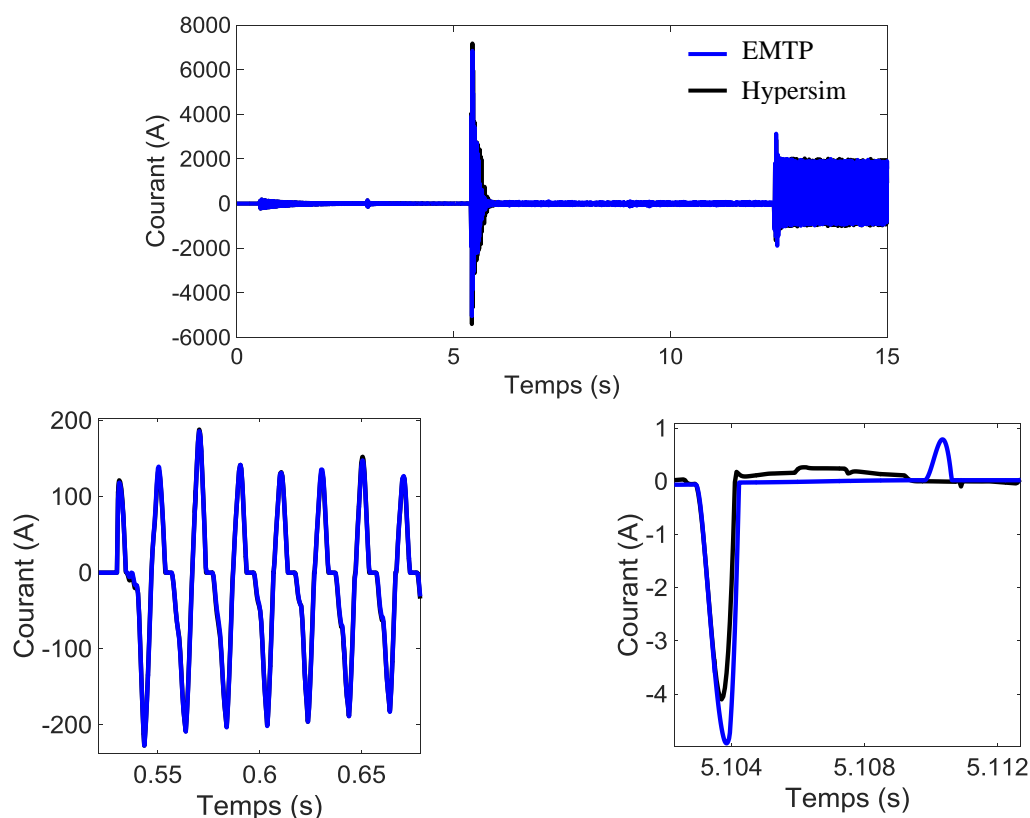


Figure 6-18: Courant du demi-bras supérieur phase a – Modèle 2b sur FPGA

Des différences entre sur le courant de demi-bras peuvent être notées. Elles apparaissent pour des valeurs faibles du courant. Ces différences proviennent de la représentation en virgule fixe du modèle sur le FPGA comme décrit dans la section 6.1.1.

Le comportement du modèle est également validé lors d'un défaut pôle-terre comme montré à la Figure 6-19.

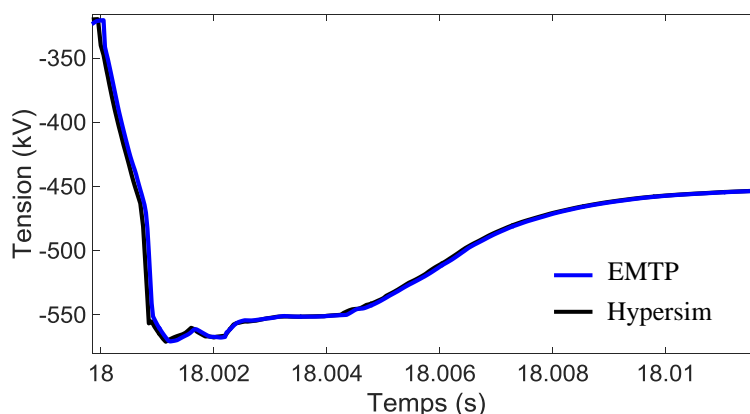


Figure 6-19: Tension pôle-terre du pôle sain – Modèle 2b sur FPGA

Le même modèle de demi-bras a été développé sur CPU. Les équations de calcul des tensions des capacités sont ainsi résolues sur le même CPU que celui utilisé pour l'analyse nodale. Les temps d'exécution des deux solutions sont présentés à la Figure 6-20. Comme prévu, le temps d'exécution de la solution basée sur FPGA est plus petit que celui de la solution basée uniquement sur CPU. De plus, ce temps d'exécution va rester constant pour la solution FPGA quel que soit le nombre de niveaux modélisés. On peut remarquer que pour certains pas de calcul, le temps d'exécution de la solution CPU dépasse le pas de temps de 25 μ s.

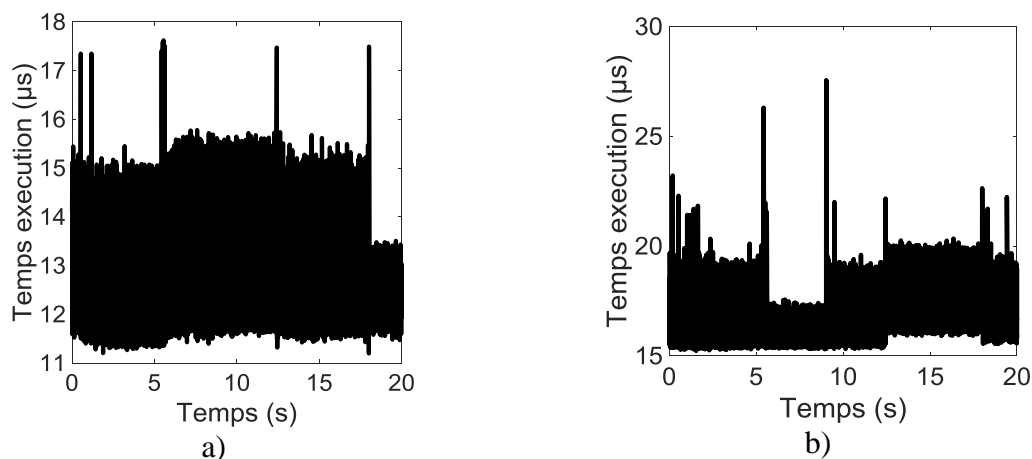


Figure 6-20: Temps d'exécution : Modèle 2b sur FPGA (a) ou sur CPU (b)

Il faut noter que les temps d'exécution présentés ici n'incluent pas les temps de communication CPU/FPGA. Ce sont uniquement les temps d'exécution des tâches calculées sur le CPU où la résolution nodale du convertisseur se trouve. Dans les deux cas présentés ci-dessus, le système de contrôle a été placé sur ce CPU également pour limiter les pas de temps de décalage entre contrôle et puissance.

6.4 Conclusions

Les deux modèles MMC développés sur FPGA ont été intégrés à une plateforme de simulation temps réel. Ces deux modèles prennent en compte le mode bloqué. Ils ont donné des résultats satisfaisants en termes de précision et de temps de calcul.

Le Modèle 2b sur FPGA présente les inconvénients suivants :

- Limitation de validité présentée à la section 3.2.5. Cette limitation n'est pas jugée bloquante pour une utilisation dans un contexte industriel,
- Plus de nœuds électriques dans le schéma électrique du convertisseur. Ce nombre de nœuds supplémentaires induit une augmentation du temps d'exécution étant donné que la taille de la matrice nodale à résoudre est plus grande. Cette augmentation du temps de calcul est d'environ 1 μ s.

Le modèle 2 sur FPGA présente les inconvénients suivants :

- Modèle plus complexe à implémenter sur FPGA et qui exige donc plus de ressources sur le FPGA. Ainsi un FPGA ne peut pas modéliser plus d'un convertisseur à 501 niveaux avec BCA intégré.
- Moins de flexibilité dans la modélisation des diodes (R_{ON}/R_{OFF} uniquement)

Leur précision a été validée à l'aide du Modèle 2 dans EMTP qui a été lui-même validé à l'aide de mesures. Ces travaux vont permettre de raccorder des répliques de contrôle commande industrielles à des simulateurs temps réel. Cette première application sera réalisée dans le cadre du projet européen BEST PATHS [67].

CHAPITRE 7 RÉSEAUX HVDC - JUSTIFICATIONS DU BENCHMARK CIGRE ET RÉSULTATS DE CAS TESTS

7.1 Introduction

L'étude des réseaux HVDC suscite un grand intérêt depuis quelques années maintenant dans le monde universitaire mais également industriel. Ce concept poussé par les difficultés de plus en plus importantes de pouvoir construire de nouvelles lignes CA aériennes a été initialement étudié en Europe. Des groupes d'intérêt comme Desertec [68], Medgrid et Friends Of The SuperGrid [69] se sont intéressés à la possibilité de réaliser des réseaux CC maillés pour transporter de l'électricité issue de productions renouvelables (éolien, photovoltaïque) depuis les pays du sud de la méditerranée ou la mer du nord vers l'Europe du nord. La CIGRE a ensuite lancé en 2011 plusieurs groupes de travail sur l'analyse technique de ces futurs réseaux HVDC.

Le travail présenté dans ce chapitre, a été réalisé dans le cadre du groupe CIGRE B4-57 [39]. Il a été question de proposer la structure d'un réseau HVDC appelé benchmark ou système test. Ensuite les données de ce réseau pour réaliser des études EMTP ont été décrites en fonction de technologies disponibles (câbles HVDC, convertisseurs VSC). Et finalement le réseau test a été assemblé dans des outils de simulation EMT afin d'illustrer sa faisabilité du point de vue fonctionnement électrique. Depuis la publication des données, de nombreux travaux de recherche ont été réalisés sur ce réseau [70]-[72].

En parallèle avec la réalisation de ces travaux d'étude, deux réseaux HVDC ont été construits en Chine [4] et [5].

7.2 Description des réseaux CC et justifications

7.2.1 Topologie du réseau

L'élément clé des réseaux CC est le convertisseur VSC. En effet, ce type de convertisseur, contrairement aux convertisseurs LCC, présente l'avantage de pouvoir inverser le sens de transit sans inverser la polarité de la tension CC à ses bornes. C'est pourquoi le réseau test est uniquement constitué de convertisseur VSC. Ce réseau décrit dans [39] est présenté à la Figure 7-1.

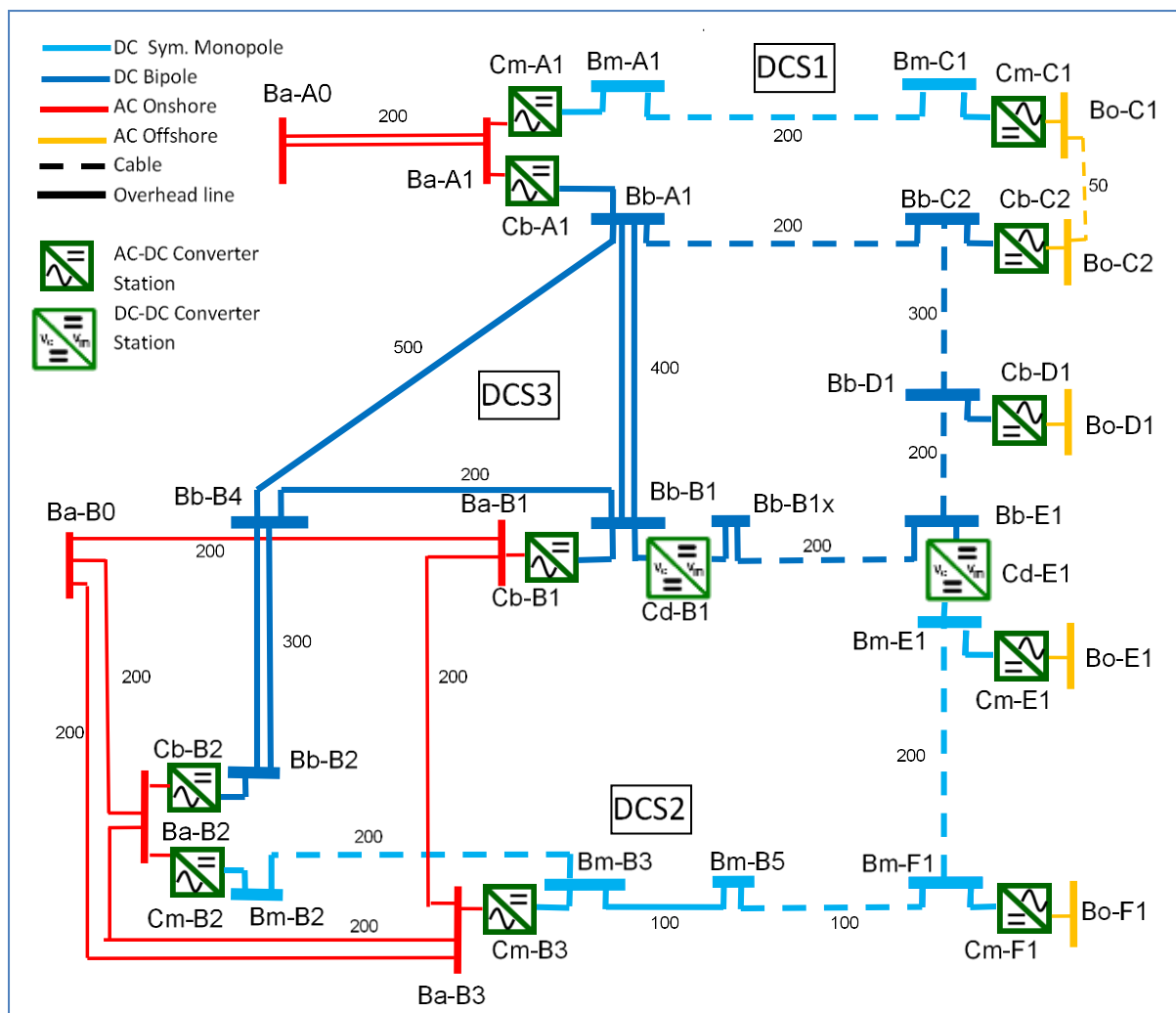


Figure 7-1: Réseau test CIGRE

Le système est composé de :

- 2 réseaux CA terrestres
 - Système A : postes A1 et A0
 - Système B : postes B0, B1, B2 et B3
- 4 réseaux CA offshore :
 - Système C : postes C1 et C2 raccordés par un câble CA
 - Systèmes D, E et F
- 2 postes HVDC sans raccordement à un poste CA
 - B4 et B5

Il peut être décomposé en 3 systèmes indépendants comme indiqué sur la Figure 7-1 :

- DCS1 : liaison point-à-point monopolaire symétrique
- DCS2 : liaison multi-terminaux à 4 convertisseurs monopolaires symétriques

- DCS3 : réseau CC à 7 convertisseurs bipolaires symétriques

DCS1 est une liaison monopolaire symétrique à ± 200 kV. Elle permet de raccorder la ferme éolienne connectée en C1 au poste terrestre A1.

DCS2 est un système à 4 terminaux monopolaire symétrique à ± 200 kV. Il permet de raccorder la ferme éolienne du poste F1 ainsi que la plateforme pétrolière du poste E1 au réseau CA terrestre aux postes B2 et B3.

DCS3 est un réseau HVDC à 5 terminaux bipolaires symétrique à ± 400 kV. DCS3 est connecté aux autres systèmes à l'aide d'un convertisseur CC-CC. DCS3 contient un deuxième convertisseur CC-CC pour réguler les flux de puissance dans ce réseau CC.

Le réseau complet est symétrique sans retour du courant par le sol.

7.2.2 Description des principaux équipements

Les données des équipements choisis pour concevoir ce réseau sont basées sur des projets réels (en particulier la liaison France-Espagne) mais également des prévisions sur l'évolution des technologies dans ce domaine (en particulier pour les câbles HVDC). Les convertisseurs, les systèmes de contrôle commande ainsi que les lignes/câbles sont ici décrits. La description des disjoncteurs à courant continu ne fait pas partie de ce travail de thèse.

7.2.2.1 Les convertisseurs

Les convertisseurs VSC sont de type MMC. La tension pôle-pôle à la sortie des convertisseurs monopolaires est de ± 200 kV. Pour ce niveau de tension, le nombre de niveaux choisi est de 201. Ce nombre conduit à une tension moyenne d'environ 2 kV par niveau, ce qui était supérieur aux tensions moyennes prévues sur les liaisons conçues en 2010. En 2016, les dernières évolutions des composants IGBT, permettent de tenir ce type de tension sans augmenter le risque de défaillance [73], [74]. Les schémas de principe des stations de conversion utilisées dans ce réseau sont présentés en configuration monopolaire et bipolaire à la Figure 7-2. Lors de la conception de ce système aucune installation VSC n'existait en configuration bipolaire. La première mise en service d'une liaison avec cette configuration est prévue au Canada en 2018 [75]. La configuration bipolaire a été sélectionnée pour une grande partie du réseau test pour des questions de fiabilité. En effet il ne serait pas acceptable de perdre une grande partie de la capacité de transport de ce système en cas de défaillance d'un pôle de conversion.

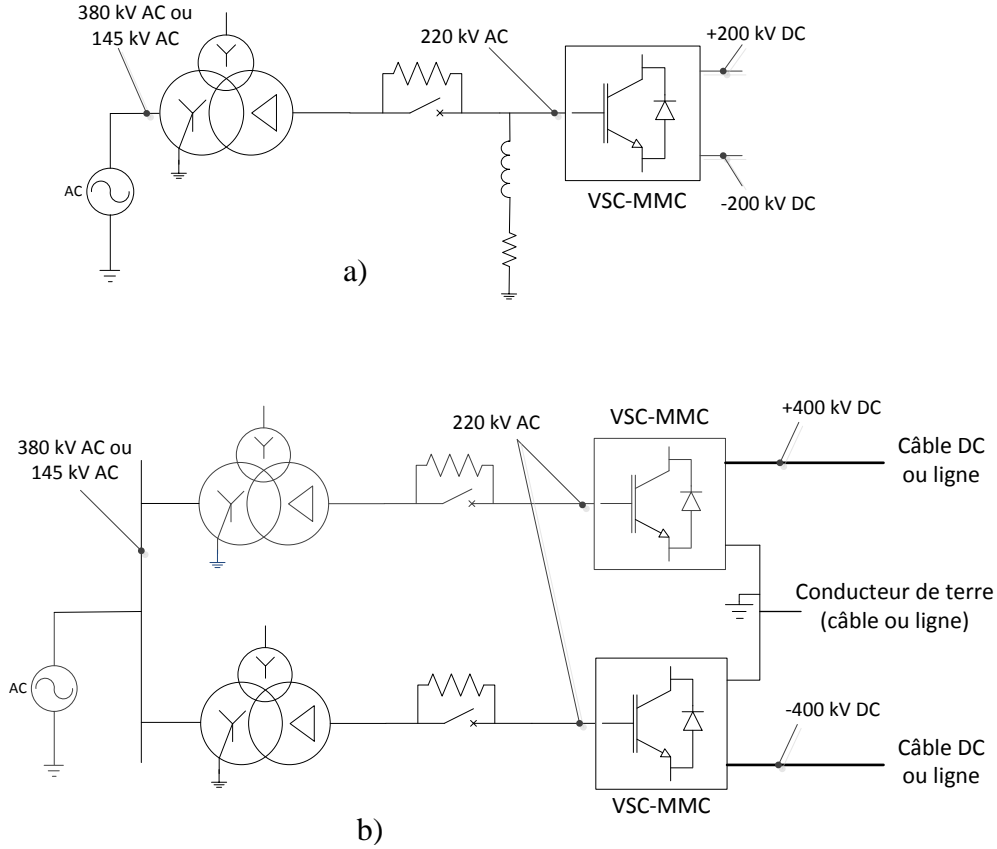


Figure 7-2: Configuration des stations de conversion : monopolaire (a) et bipolaire (b)

La tension nominale CA est de 380 kV pour les réseaux terrestres et de 145 kV pour les réseaux CA offshore. La tension au secondaire des transformateurs de conversion (côté convertisseur) est de 220 kV. Dans la configuration monopolaire symétrique, une impédance de point neutre est spécifiée. Sa justification est discutée dans la section 3.4.1. En configuration bipolaire, cette inductance n'est pas nécessaire car les convertisseurs sont raccordés à la terre à l'un de leurs pôles.

Les valeurs des capacités dans les sous-modules sont sélectionnées pour que la fluctuation de leur tension soit inférieure à 10%. Pour cela l'énergie dans chaque sous-module doit être de l'ordre de 30 à 40 kJ/MVA [76]. Elle a été choisie à 30 kJ/MVA dans le cas de ce système et la valeur de la capacité est déterminée à partir de l'équation :

$$C = \frac{2SE_{MMC}}{6NV_C^2} \quad (7.1)$$

Avec : E_{MMC} l'énergie stockée dans chaque pôle de convertisseur par kJ/MVA, S est la puissance apparente nominale du pôle en MVA, N est le nombre de sous-modules par demi-bras et V_C est la tension nominale de chaque sous-module en kV.

L'analyse des pertes pour des systèmes de ce type est très importante. En effet la majorité des pertes sont localisées au niveau des stations de conversion. Avec les technologies VSC à 2 3 3 niveaux les pertes étaient de l'ordre de 2 à 4%. Avec les convertisseurs MMC, les pertes sont actuellement de l'ordre de 1.1% par pôle. Dans le cas des convertisseurs de ce réseau test, les pertes ont été distribuées de la manière suivante :

- 0.6% pour le transformateur de conversion
- 0.1% pour les systèmes auxiliaires et les systèmes de refroidissement
- 0.3 % pour les pertes par conduction dans les demi-bras et les inductances de demi-bras

Les pertes induites par le fonctionnement des convertisseurs dépendent des solutions techniques choisies par les constructeurs (équipements et systèmes de contrôle) mais elles diffèrent relativement peu d'un constructeur à l'autre. Les pertes par commutations sont très dépendantes des algorithmes de contrôle et plus particulièrement de ceux utilisés pour équilibrer les tensions des sous-modules comme présenté dans [77]. Ces pertes sont généralement de l'ordre de 0.1% de la puissance comme discuté dans [77] et [78]. Elles ont été négligées dans le cadre de la conception de ce réseau test car elles sont suffisamment faibles par rapport aux autres pertes.

Les valeurs proposées ici ont été comparées avec les mesures réalisées sur la liaison France Espagne comme le montre le transit de puissance de 1000 MW sur la Figure 7-3. Dans cette situation, la puissance active transite vers le circuit CC. La puissance réactive est injectée sur le réseau CA. Il faut noter que cette approche d'évaluation des pertes n'est pas celle utilisée dans les essais de conformité (appareillage plus précis, tests réalisés sur des durées plus longues...). Elle permet juste d'avoir une première approximation des pertes dans les transformateurs et les convertisseurs.

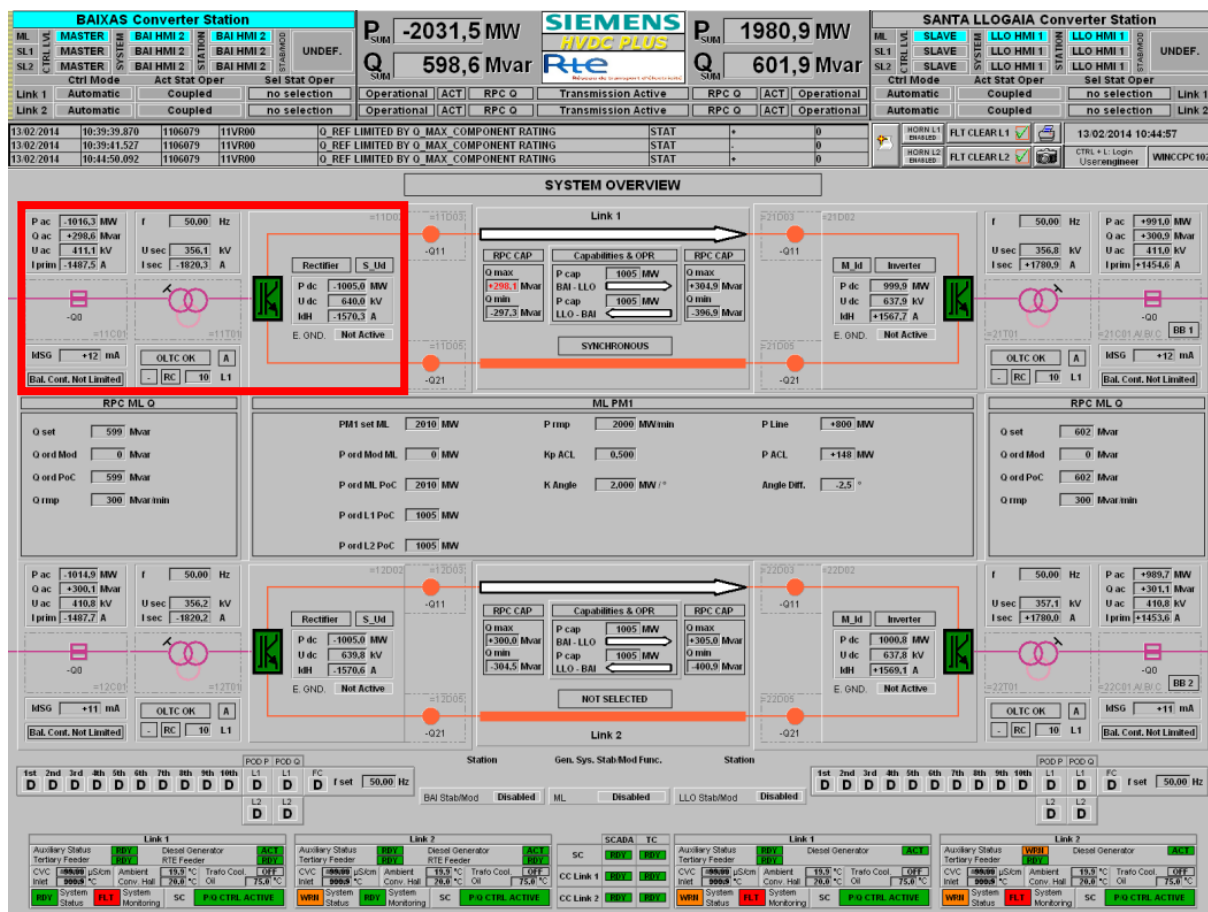


Figure 7-3: IHM de la liaison France Espagne transitant 1000 MW (Essai réel)

L'impédance de court-circuit du transformateur est de 17.8% en prise moyenne (Prise 10 utilisée lors de l'essai soit 408kV au primaire). Les calculs suivants permettent de calculer les pertes dans le transformateur.

Tableau 7-1: Résultats des essais de transit de 1000MW au poste de BAIXAS

P_{ac}^{prim}	1016.3 MW	U_{ac}^{sec}	356.1 kV
Q_{ac}^{prim}	-298.6 MVAR	I_{ac}^{sec}	1820.3 A
U_{ac}^{prim}	411.1 kV	U_{rated}^{sec}	333kV
I_{ac}^{prim}	1487.5 A	S_{rated}^{sec}	1050 MVA
U_{rated}^{prim}	408 kV		
S_{rated}^{prim}	1059 MVA		

La puissance réactive induite par le transformateur est calculée de la manière suivante :

$$Q_{transfo} = X_{tfo} \frac{(U_{rated}^{prim})^2}{S_{rated}^{prim}} (\sqrt{3} I_{ac}^{prim})^2 \quad (7.2)$$

La puissance apparente au secondaire du transformateur est de :

$$S_{\text{sec}} = U_{\text{ac}}^{\text{sec}} \sqrt{3} I_{\text{ac}}^{\text{sec}} \quad (7.3)$$

D'où la puissance active qui transite du secondaire du transformateur vers le convertisseur :

$$P_{\text{ac}}^{\text{sec}} = \sqrt{S_{\text{sec}}^2 - Q_{\text{transfo}}^2} \quad (7.4)$$

Ce calcul conduit à des pertes dans le transformateur de 0.337% et à des pertes dans le convertisseur à 0.788 % de la puissance transitée pour un total de 1.124% de pertes.

Les données proposées pour le réseau test CIGRE ont donc pu être comparées de manière satisfaisante aux essais réels. Il faut noter tout de même une différence au niveau de la répartition des pertes entre le transformateur et le convertisseur. Cette différence peut varier d'un projet à l'autre en fonction de quelques paramètres importants : par exemple réactance de court-circuit du transformateur et ratio de transformation primaire/secondaire.

Les pertes sont modélisées à l'aide de résistances dans le cadre de ce travail. Il est possible de déterminer leur valeur à partir de l'analyse du fonctionnement nominal d'un pôle de conversion. A partir du circuit équivalent présenté à la Figure 7-4, il est possible de déduire les équations des pertes dans les stations de conversion.

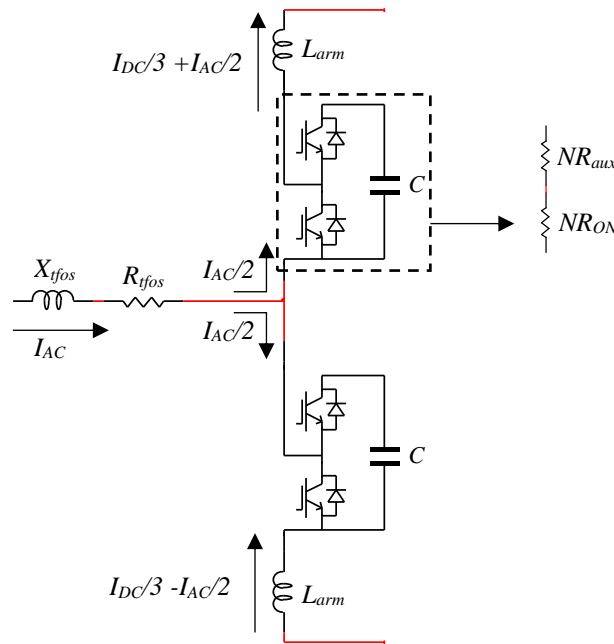


Figure 7-4: Circuit équivalent d'une phase de convertisseur pour la modélisation des pertes

$$P_{\text{losses}}^{\text{tfos}} = 3R_{\text{tfos}} I_{\text{AC}}^2 \quad (7.5)$$

$$P_{lcond}^{valve} = 6NR_{ON} \left(\left(\frac{I_{DC}}{3} \right)^2 + \left(\frac{I_{AC}}{2} \right)^2 \right) \quad (7.6)$$

$$P_{losses}^{aux} = 6NR_{aux} \left(\left(\frac{I_{DC}}{3} \right)^2 + \left(\frac{I_{AC}}{2} \right)^2 \right) \quad (7.7)$$

Il est ensuite possible d'en déduire les valeurs des composants dans chaque station de conversion comme présenté dans le Tableau 7-2.

Tableau 7-2: Paramètres des convertisseurs du réseau test CIGRE

	Données	pu	E1	C2	A1, B2	C1, D1, F1	A1, B1, B3
Puissance nominale		1.0	200MVA	400MVA	800MVA	800MVA	1200MVA
Inductance de demi-bras		15%	116 mH	58mH	29mH	29mH	19mH
Transformateur de conversion	Réactance	18%	139 mH	69 mH	35 mH	35 mH	23 mH
	Résistance	0.6%	1.45 Ω	0.726 Ω	0.363 Ω	0.363 Ω	0.242 Ω
	V _{AC} primaire	1	145 kV	145 kV	380 kV	145 kV	380 kV
	V _{AC} secondaire	1	220 kV	220 kV	220 kV	220 kV	220 kV
Inductance point neutre	Inductance	-	5000 H	5000 H	5000 H	5000 H	5000 H
	Résistance	-	5k Ω	5k Ω	5k Ω	5k Ω	5k Ω
MMC Sub-modules	Nb SM/arm	-	200	200	200	200	200
	C _{SM}	-	2.5 mF	5 mF	10 mF	10 mF	15 mF
	R _{on}	0.3%	5.445 m Ω	2.722 m Ω	1.361 m Ω	1.361 m Ω	0.908 m Ω

7.2.2.2 Les systèmes de contrôle commande

Une vue schématique des systèmes de contrôle commande est présentée à la Figure 7-5.

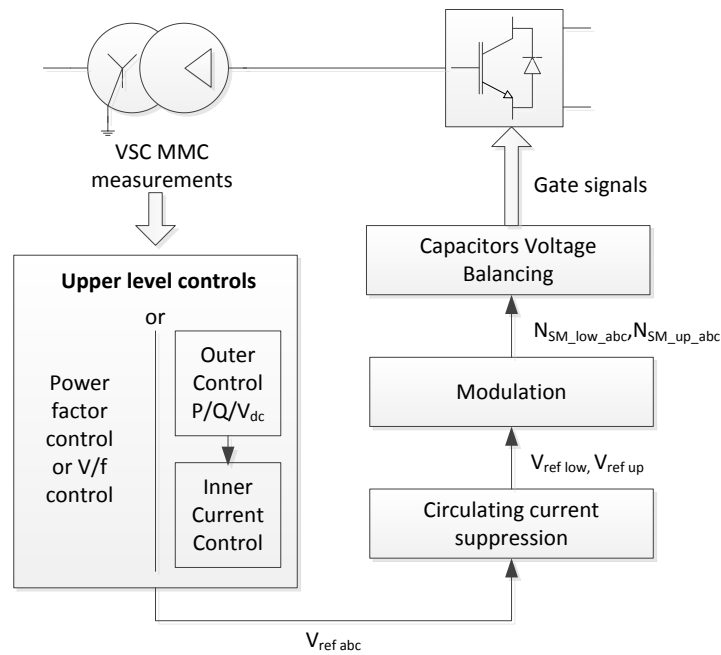


Figure 7-5: Vue schématique du système de contrôle commande des convertisseurs VSC

Tous les schémas détaillés de ces systèmes sont présentés dans [39]. Les stratégies de contrôle suivantes sont identifiées en couleur sur le schéma de la Figure 7-6 :

- Contrôle de puissance active (en vert)
- Contrôle de tension CC (en cyan)
- Contrôle de puissance active avec pente de réglage en Vdc (en rose)
- Contrôle tension/ fréquence (en gris)

Il a été décidé de mettre un contrôle de tension CC par système (DCS1, 2 et 3). Les contrôles de puissance active sont mis en place pour les convertisseurs raccordés aux fermes offshore. Les éoliennes n'ont pas été représentées dans ce réseau. La plateforme pétrolière alimente une charge passive, d'où l'utilisation du contrôle V/f.

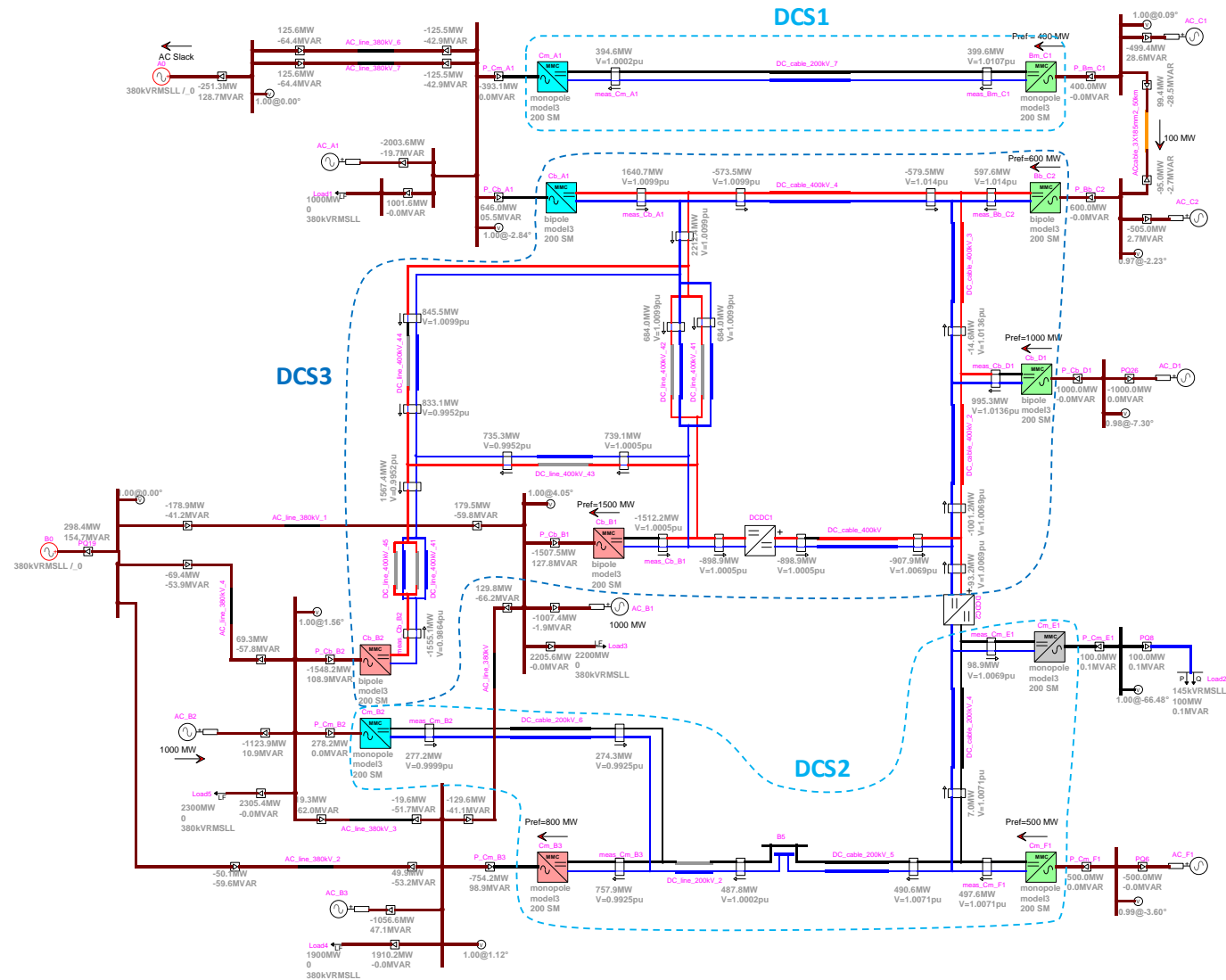


Figure 7-6: Modélisation dans EMTP du réseau test CIGRE complet

Les systèmes de protection des convertisseurs ont été très simplifiés. Deux systèmes ont été proposés côté CC : surintensité CC et sous-tension CC. Ils conduisent au blocage du convertisseur impacté et à l'ouverture du disjoncteur CA. Côté CA le convertisseur se bloque dès que la tension résiduelle est en-dessous de 0.1 pu avec un déblocage 20 ms après le retour de la tension. Les principales consignes de contrôle des convertisseurs sont résumées dans le Tableau 7-3.

Tableau 7-3: Consignes de contrôle des convertisseurs du réseau test

Convertisseur	Type de contrôle et consignes	Contrôle de puissance réactive
Cm-A1	CC voltage control, $V_{dc_ref} = +/- 200$ kV	$Q_{ref} = 0$ MVAR
Cb-A1	CC voltage control, $V_{dc_ref} = +/- 404$ kV	$V_{ac_ref} = 1$ pu
Cb-B1	P/ V_{dc} droop control , $V_{dc_ref} = +/- 400$ kV, $P_{ref} = -1500$ MW	$V_{ac_ref} = 1$ pu
Cb-B2	P/ V_{dc} droop control, $V_{dc_ref} = +/- 400$ kV, $P_{ref} = -1700$ MW	$V_{ac_ref} = 1$ pu
Cm-B2	CC voltage, $V_{dc_ref} = +/- 200$ kV	$Q_{ref} = 0$ MVAR
Cm-B3	P/ V_{dc} droop control, $V_{dc_ref} = +/- 200$ kV, $P_{ref} = -800$ MW	$V_{ac_ref} = 1$ pu
Cm-C1	P control, $P_{ref} = -400$ MW	$Q_{ref} = 0$ MVAR
Cb-C2	P control, $P_{ref} = -600$ MW	$Q_{ref} = 0$ MVAR
Cm-D1	P control, $P_{ref} = -1000$ MW	$Q_{ref} = 0$ MVAR
Cm-E1	V/F control, $V_{ac_ref} = 145$ kV RMS LL; $F_{ref} = 50$ Hz	-
Cm-F1	P control, $P_{ref} = 500$ MW	$Q_{ref} = 0$ MVAR
Cb-B1/E1	Cb-B1 ideal transformer with ratio =1; Cb-E1; ratio = 2	

Les convertisseurs CC-CC n'ont pas de système de contrôle commande dans cette version du réseau test. Un ratio constant est imposé à ces équipements. Peu d'effort a été consacré à cette partie de modélisation car les convertisseurs CC-CC restent encore à l'étape de projets de recherche.

7.2.2.3 Les lignes et les câbles

Les lignes et les câbles sont des composants majeurs de ce réseau CC. Il est important de proposer des paramètres réalistes pour ces équipements même s'ils n'étaient pas encore commercialement disponibles au moment de la réalisation de ce travail. Le travail de conception s'est basé sur l'utilisation unique de câbles à isolation synthétique (XLPE). Ces câbles sont actuellement utilisés dans la plupart des projets HVDC VSC à cause de leur coût et leur impact environnemental plus faibles que les câbles à papier imprégné.

Comme présenté à la Figure 7-1, deux niveaux de tension existent sur le réseau test : ± 200 kV et ± 400 kV. Des données pour des câbles XLPE à ± 200 kV sont proposées dans [79] et [80].

Les données pour les câbles à +/-400 kV ont été estimées à partir des données des câbles utilisés pour le projet France-Espagne. Un ratio a été appliqué sur les épaisseurs des isolants pour passer des données 320 kV aux données 400 kV. Le Tableau 7-4 présente les caractéristiques de ces deux types de câbles.

Tableau 7-4: Caractéristiques des câbles CC du réseau test

	1800 mm² 400 kV CC	1800 mm² 200 kV CC
Section des conducteurs (mm²)	1800	1800
D_{core} (mm)	50.25	50.25
ρ_{core} (Ωm)	2.2×10^{-08}	2.2×10^{-08}
ϵ_{r1}	2.3	2.3
$\tan\phi 1 / G$ (Ω^{-1}/km)	$0.0004 / 4.8 \times 10^{-08}$	$0.0004 / 5.5 \times 10^{-08}$
R_{in} (mm)	49.125	45.125
R_{ext} (mm)	52.125	47.125
ρ_{sh} (Ωm)	27.4×10^{-8}	27.4×10^{-8}
ϵ_{r2}	2.3	2.3
$\tan\phi 2 / G$ (Ω^{-1}/km)	$0.001 / 1.1 \times 10^{-06}$	$0.001 / 1.3 \times 10^{-06}$
R'_{in} (mm)	56.125	50.225
R'_{ext} (mm)	61.725	55.725
ρ'_{arm} (Ωm)	18.15×10^{-8}	18.15×10^{-8}
ϵ_{r3}	2.3	2.3
$\tan\phi 3$	0.001	0.001
S_{cable} (mm)	133.45	121.45
Profondeur d'enfouissement (m)	1.5	1.5

Depuis la conception de ce réseau, des câbles 400 kV CC sont désormais commercialement disponibles [81] et seront prochainement mis en service [8].

Tous les câbles et lignes sont représentés par des modèles à paramètres distribués et prenant en compte la dépendance fréquentielle de leurs paramètres linéiques.

7.3 Simulations du réseau test

Ce réseau test a été assemblé dans des outils de simulation de type EMT afin de s'assurer de la pertinence de sa conception. Des évènements (défaut CA, CC, blocage de convertisseur) ont été simulés.

Le réseau complet a été assemblé dans EMTP-RV. Ce réseau contient 11 convertisseurs avec des systèmes de régulation qui peuvent interagir. D'autre part, les réseaux CA contiennent des

sources de tension avec impédance qu'il est nécessaire d'initialiser pour avoir des transits de puissance réalistes dans les réseaux CA. C'est pourquoi un load-flow CA est utilisé pour initialiser ces réseaux. Pour l'initialisation du réseau CC, il n'a pas été jugé nécessaire de l'initialiser étant donné la vitesse de stabilisation des systèmes de contrôle. Le réseau complet est en effet dans un état stable après 1.5s de simulation.

Le réseau test a été assemblé avec 3 types de modèles de convertisseur : Modèle 1, 2a et 3. Pour une simulation de 3s et un pas de temps de 20 μ s, les temps de calcul sont présentés dans le Tableau 7-5. Les temps ont été obtenus avec un ordinateur comportant un processeur Quad Core 3.3 GHz Intel Core i7-4800 MQ et une mémoire RAM de 16 Go.

Tableau 7-5: Temps d'exécution du réseau test en simulation hors temps réel ($\Delta t=20\mu s$)

Type de modèle	Nombre de nœuds électriques	Temps de calcul (s)
1	39 294	32586
2	990	1450
3	990	404

7.3.1.1 Déclenchement d'un convertisseur

Un déclenchement permanent du convertisseur Cb-A1 a été simulé. Ce convertisseur, en configuration bipolaire, contrôle initialement la tension CC. Après le déclenchement du convertisseur, la tension CC du système DCS3 est contrôlée uniquement par les régulations de puissance active avec pente de réglage V_{dc} . Les résultats des puissances et tensions CC sont fournis de la Figure 7-7 à la Figure 7-9. Ces résultats montrent la bonne performance de l'ensemble du système. Le déclenchement du convertisseur Cb-A1 conduit à une perte d'injection de puissance de 1600 MW sur le réseau CC. Cette perte de puissance est compensée en 200ms par la réduction de la demande de puissance des convertisseurs Cb-B1 et Cb-B2 grâce à la pente de réglage en V_{dc} .

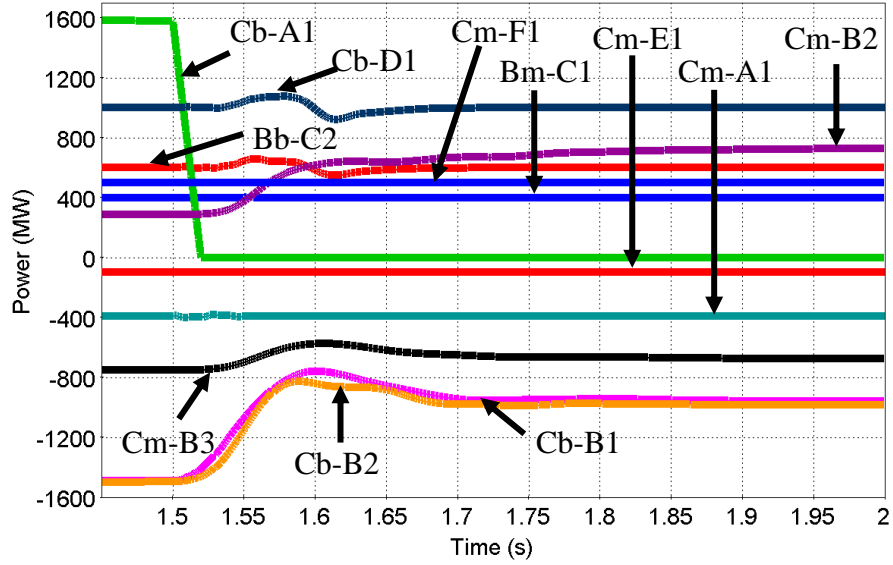


Figure 7-7: Puissance active des stations de conversion suite au blocage de Cb-A1

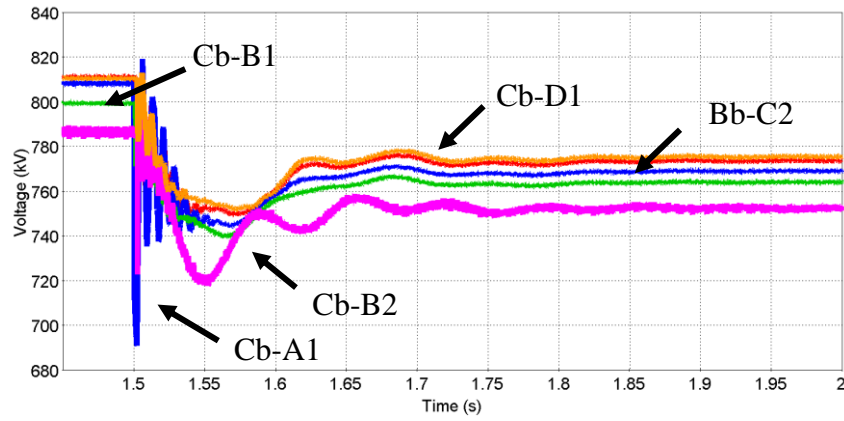


Figure 7-8: Tension pôle-pôle dans le système DCS3 suite au blocage de Cb-A1

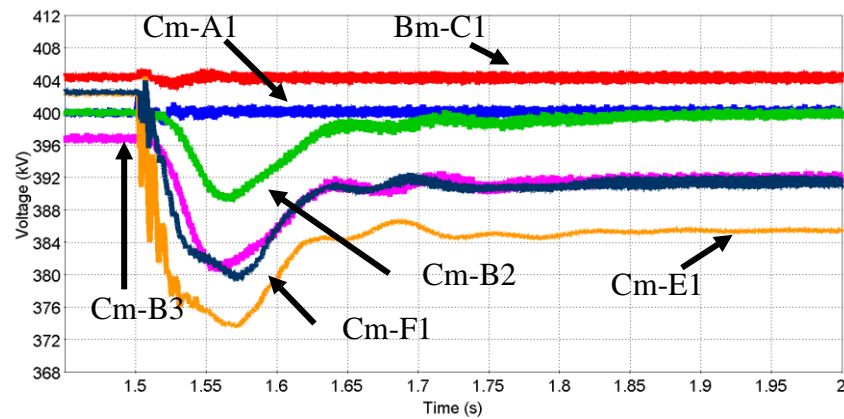


Figure 7-9: Tension pôle-pôle dans les systèmes DCS1 &2 suite au blocage de Cb-A1

Pour ce cas test, les résultats fournis par les Modèles 1, 2 et 2 ont été comparés. La tension pôle-pôle au convertisseur Bb-C2 a été comparée pour ces 3 modèles à la Figure 7-10. Les résultats

sont très proches et permettent de valider le fait de modéliser les convertisseurs de ce réseau test avec des Modèles 3.

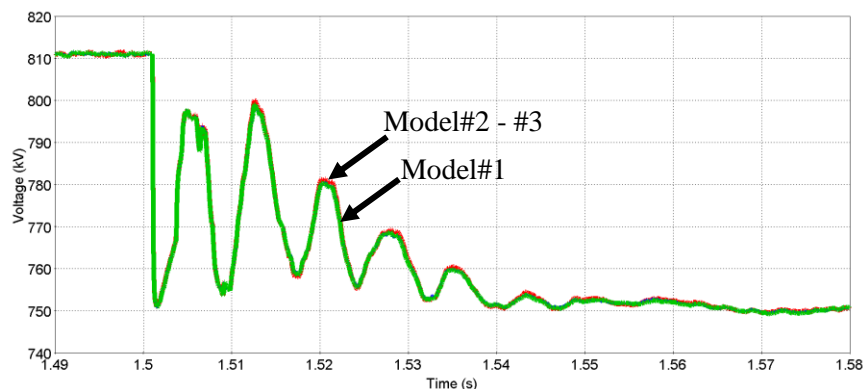


Figure 7-10: Comparaison Modèles 1, 2 et 3 – tension au convertisseur Bb-C2

7.3.1.2 Analyse d'un défaut CC

Le réseau test contient des lignes et des câbles sur les systèmes CC. Les défauts ont plus de probabilité de survenir sur des lignes à cause principalement de la foudre. Un défaut pôle-pôle est simulé aux bornes du convertisseur Cb-B1. Les hypothèses suivantes sont choisies:

- Le défaut est détecté en 2 ms et éliminé par ouverture de ligne à l'aide de disjoncteurs CC (modélisés à l'aide de disjoncteurs idéaux – courant de défaut coupé immédiatement).
- Lorsqu'une surintensité est détectée par une protection d'un convertisseur, ce convertisseur déclenchement de manière permanente.
- Les convertisseurs CC-CC ne changent pas leur point de fonctionnement pendant et après le défaut.

Il est nécessaire de bloquer très rapidement les convertisseurs à cause des intensités très importantes qui circulent dans les convertisseurs pour ce type de défaut. La liste des événements enregistrés lors de la simulation de ce défaut sur le réseau test est présentée au Tableau 7-6.

Tableau 7-6: Évènements suite à l'apparition du défaut CC

Évènements	Temps (ms)
Défaut CC	0
Blocage de Cb-B1 sur surintensité	0.44
Blocage de Cb-A1 sur surintensité	2.12
Blocage de Cb-D1 sur surintensité	3.04
Activation bande morte de Cm-F1	3.20
Blocage de Cb-F1 sur surintensité	3.48
Blocage de Bb-B2 sur surintensité	5.12
Blocage de Cm-E1 sur surintensité	8.36

6 convertisseurs se bloquent suite à ce défaut. Le convertisseur Cm-F1 stoppe le transit de puissance mais ne bloque pas car la tension à ses bornes n'est pas descendue en dessous du seuil de déclenchement. Les tensions pôle-pôle sont présentées à la Figure 7-11 et à la Figure 7-12.

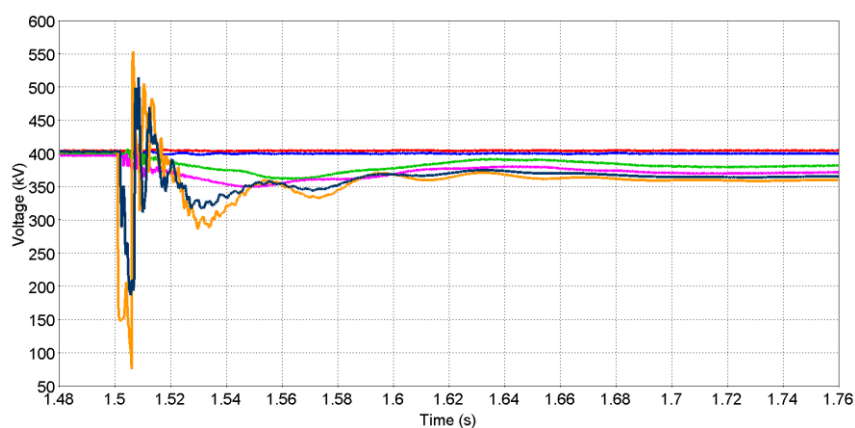


Figure 7-11: Tensions dans les systèmes DCS1 et DCS2 suite au défaut CC

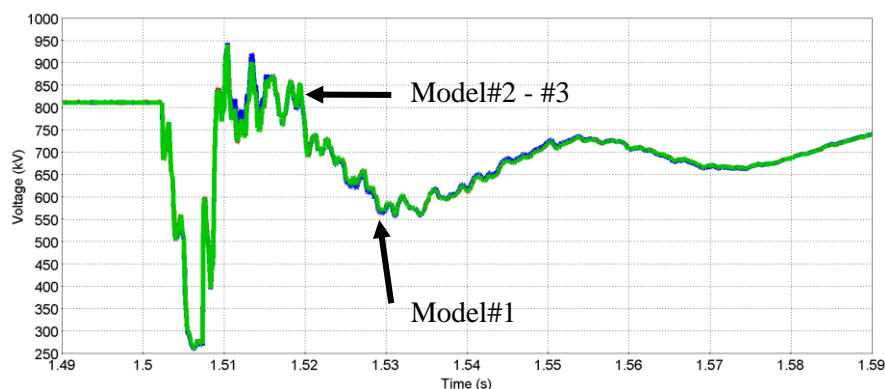


Figure 7-12: Tension au convertisseur Bb-C2 avec les modèles 1, 2 et 3 suite au défaut CC

De nombreuses améliorations pourraient être apportées à ce réseau test en termes de stratégie de protections. Il faudrait par exemple des systèmes plus sélectifs qui sont capables d'éliminer des défauts et redémarrer les convertisseurs rapidement.

Il serait nécessaire d'ajouter des résistances de décharge pour limiter les surtensions sur les pôles sains en cas de défaut et réduire les transitoires lors du rétablissement du transit. Ces améliorations ne remettent pas en question la conception de ce réseau test. Pour poursuivre ces travaux d'analyse des réseaux CC, d'autres réseaux tests ont été proposés en s'inspirant de celui présenté dans ce chapitre [82].

7.4 Conclusions

Ce chapitre a présenté le réseau HVDC CIGRE. Les principales justifications de conception de ce réseau ont été fournies. Celles-ci proviennent de données constructeurs, de mesures réalisées sur site mais aussi de données prospectives comme celles des câbles à courant continu. Ce réseau a ensuite été développé dans EMTP pour prouver la pertinence de sa conception. De nombreux raffinements pourraient être apportés dans la conception du contrôle et de la protection de ce réseau. Ces améliorations font l'objet de nombreux travaux de recherche de par le monde. L'intérêt du travail présenté dans ce chapitre était de poser les bases de conception de ce réseau. Cette contribution a été intégrée dans le chapitre 6 de la brochure CIGRE du groupe de travail B4-57 [39].

CHAPITRE 8 CONCLUSION

Les installations de liaisons HVDC de type VSC-MMC sont en pleine expansion depuis la première installation pour le projet Transbay Cable en 2011. La grande majorité des projets HVDC en cours utilisent cette technologie. C'est même devenu la seule solution utilisée en France pour les nouveaux projets depuis 2011. Étant donné l'impact de plus en plus important de ces équipements sur la dynamique des réseaux de transport, l'utilisation des outils de simulation devient extrêmement importante. En complément de ces outils, l'utilisation de la simulation temps réel associée à des répliques de contrôle commande s'impose de plus en plus comme un outil indispensable dans ce contexte. En effet, les modèles de liaisons HVDC dans des outils de simulation hors temps réel présentent plusieurs limitations (problème du suivi de version, maintenance de ces modèles).

Le travail réalisé dans cette thèse, clarifie le type de modèles nécessaires à la réalisation des études VSC de la planification à la maintenance des installations sur site. Cette clarification, va maintenant être incluse dans la brochure technique du groupe CIGRE B4-70 (Guide for Electromagnetic Transient Studies involving VSC converters).

Cette thèse permet de fournir des cas d'application dans un contexte industriel pour montrer les limites de certaines modélisations. En particulier, la modélisation basée sur l'approche à admittance constante a été utilisée pour modéliser la liaison France Espagne. Des cas d'étude montrant des erreurs importantes induites par ce type de modélisation ont été documentés.

Dans cette thèse, des interfaçages pour des systèmes réels ont été développés. Des tests de performance et la validation à l'aide de mesures de la plateforme de simulation complète ont également été réalisés dans cette thèse.

Cette thèse a également apporté des contributions dans deux axes proposés dans la thèse présentée en [9]. Tout d'abord elle a permis de tester et de valider deux modèles MMC implémentés sur FPGA et prenant en compte le mode bloqué. Les performances de ces deux modèles ont pu être testés et comparés. Ils sont maintenant prêts à être utilisés pour des applications industrielles.

Ensuite cette thèse a apporté une contribution dans la conception et l'analyse des réseaux à courant continu. Afin de tester, valider et comparer des stratégies de contrôle commande et de protections adaptées à ces nouveaux réseaux, il était nécessaire de développer des réseaux test (ou benchmark). Cette thèse a contribué de manière significative à la conception du réseau

HVDC CIGRE qui est maintenant utilisé dans de nombreux groupes de travail et sert de base à des travaux de recherche dans ce domaine. Cette contribution a été intégrée dans le chapitre 6 de la brochure CIGRE du groupe de travail B4-57 [39].

Les travaux réalisés dans cette thèse ont mis en lumière plusieurs pistes de sujets qui nécessiteraient des approfondissements :

- Les modèles de MMC sur FPGA présentés dans cette thèse conduisent à un découplage entre la résolution des modèles de demi-bras et la résolution du reste du convertisseur. Une résolution complète sur FPGA incluant le modèle de demi-bras, et tous les composants d'une station de conversion (incluant les parafoudres) seraient une contribution intéressante pour la simulation des convertisseurs MMC. Cette solution existe déjà avec des approches de résolution à admittance constante. Il serait question ici de faire une résolution nodale générique à admittance variable.
- Les performances des modèles présentés dans cette thèse devront être améliorées pour des configurations bipolaires. En effet aucun découplage ne peut être réalisé entre deux convertisseurs d'un même pôle et les temps d'exécution peuvent devenir trop importants pour respecter le critère du temps réel.
- La conception du réseau HVDC CIGRE pourrait être améliorée en termes de contrôle et de protection. Il serait aussi possible d'y améliorer la représentation des convertisseurs CC/CC et les réseaux offshore.
- Les modèle 2b et 3 présentent un circuit équivalent constitué de deux sources de tensions et de deux diodes. La modélisation des diodes a été restreinte à une résistance à deux valeurs R_{ON}/R_{OFF} avec un circuit snubber en parallèle. Il serait utile de développer des techniques permettant de sélectionner les valeurs des résistances et du snubber en fonction des caractéristiques du convertisseur.
- En complément des mesures sur site, le modèle 1 reste la base de validation des modèles simplifiés. Pour les topologies en cours de développement, c'est même la seule source de validation. Un travail sur les méthodes de résolution plus efficaces et plus particulièrement de factorisation partielle apporterait une contribution utile pour réduire le temps de calcul de ces modèles.
- Ce travail de thèse s'est concentré sur les topologies de sous-modules à demi-pont. Une étude similaire, pour les topologies différentes comme le pont complet, pourrait être intéressante dans l'avenir surtout que des projets de convertisseurs avec ce type de sous-modules sont en cours de conception.

BIBLIOGRAPHIE

- [1] 10-Year Network Development Plan 2014 – ENTSO-E – www.entsoe.eu
- [2] Bialek, J.W., "European offshore power grid demonstration projects," in *Power and Energy Society General Meeting*, 2012 IEEE , pp.1-6, 22-26 July 2012
- [3] G. W. de Saint Martin, J. Charvet, C. Veal, "Development of a three - terminal ready HVDC interconnector between France and Great Britain via Alderney", *Proceedings of the 9th International Conference on Insulated Power Cables (Jicable'15)*, Versailles 21-25 June, 2015
- [4] X. Li, Z. Yuan, J. Fu, Y. Wang, T. Liu and Z. Zhu, "Nanao multi-terminal VSC-HVDC project for integrating large-scale wind generation," *2014 IEEE PES General Meeting | Conference & Exposition, National Harbor*, MD, 2014, pp. 1-5.
- [5] G. Tang, Z. He, H. Pang, X. Huang and X. p. Zhang, "Basic topology and key devices of the five-terminal CC grid," in *CSEE Journal of Power and Energy Systems*, vol. 1, no. 2, pp. 22-35, June 2015
- [6] Jih-Sheng Lai and Fang Zheng Peng, "Multilevel converters-a new breed of power converters," in *IEEE Transactions on Industry Applications*, vol. 32, no. 3, pp. 509-517, May/Jun 1996.
- [7] R. Marquardt, "Current rectification circuit for voltage source inverters with separate energy stores replaces phase blocks with energy storing capacitors," *German Patent DE10103031B4*, Jan. 24, 2001.
- [8] Site web du projet NEMO : <http://www.nemo-link.com/the-project/overview/>
- [9] H. Saad, "Modélisation et simulation temps réel d'une liaison HVDC de type VSC-MMC", *Mémoire de thèse de doctorat*, Ecole Polytechnique de Montréal, Mars 2015.
- [10] U. N. Gnanarathna, A. M. Gole and R. P. Jayasinghe, "Efficient Modeling of Modular Multilevel HVDC Converters (MMC) on Electromagnetic Transient Simulation Programs," in *IEEE Transactions on Power Delivery*, vol. 26, no. 1, pp. 316-324, Jan. 2011.
- [11] X. Wang, M. Carrasco, F. Mancilla-David and D. Connors, "Accelerating detailed simulations of an HVDC system based on modular multilevel converters in a multi-core environment," *North American Power Symposium (NAPS)*, 2015, Charlotte, NC, 2015, pp. 1-6.
- [12] F. B. Ajaei and R. Iravani, "Enhanced Equivalent Model of the Modular Multilevel Converter," in *IEEE Transactions on Power Delivery*, vol. 30, no. 2, pp. 666-673, April 2015.
- [13] A. Beddard, M. Barnes and R. Preece, "Comparison of Detailed Modeling Techniques for MMC Employed on VSC-HVDC Schemes," in *IEEE Transactions on Power Delivery*, vol. 30, no. 2, pp. 579-589, April 2015.
- [14] O. Venjakob, S. Kubera, R. Hibberts-Caswell, P.A. Forsyth and T.L. Maguire, "Setup and performance of the real-time simulator used for hardware-in-loop-tests of a VSC-based HVDC scheme for offshore applications," *Proceedings of the International Conference on Power Systems Transients (IPST'13)* in Vancouver, Canada July 18-20, 2013.
- [15] Hui S. & Christopoulos C., "A discrete approach to the modeling of power electronic switching networks", *IEEE Transactions on Power Electronics*, Vol. 5, Pages 398 -403, October 1990.
- [16] Pejovic P. & Maksimovic D., "A method for fast time-domain simulation of networks with switches", *IEEE Transactions on Power Electronics*, Vol 9, Pages 449 -456, July 1994.
- [17] T. Maguire, J. Giesbrecht, "Small Time-step ($< 2\mu\text{Sec}$) VSC Model for the Real Time Digital Simulator", *Proceedings of the International Conference on Power Systems Transients (IPST'05)*, Montreal, June 2005.
- [18] A. D. Ferrer, J. M. Argüelles Enjuanes, G. D. Castejón, J. Loncle, P. Hondaa, L. Bénard, J. Santana, V. Lehmann, "Feedback on INELFE France Spain HVDC Project" Paper B4-124, *CIGRE session 2016*, Paris, August 2016.
- [19] "VSC transmission", CIGRE Working Group B4.37, Technical Brochure 269, 2005.
- [20] "Components Testing of VSC System for HVDC Applications", CIGRE Working Group B4.48, *Technical Brochure 447*, 2011.
- [21] S. Allebrod, R. Hammerski, and R. Marquardt, "New transformerless scalable modular multilevel converters for HVDC-Transmission", *Power Electronics Specialists Conference (PESC)*, 2008.

- [22] B. Gemmell, J. Dorn, D. Retzmann, and D. Soerangr, "Prospects of multilevel VSC technologies for power transmission," *Proc. IEEE Transmission and Distribution Conf. Exp.*, Milpitas, CA, pp. 1-16, Apr. 2008.
- [23] Knaak, H.-J., "Modular multilevel converters and HVDC/FACTS: A success story," in *Proceedings of the 2011-14th European Conference on Power Electronics and Applications (EPE 2011)*, Aug. 30 2011-Sept. 1 2011
- [24] S. Denetière, S. Nguefeu, H. Saad, J. Mahseredjian, "Modeling of Modular Multilevel Converters for the France-Spain link", *Proceedings of the International Conference on Power Systems Transients (IPST'13)* in Vancouver, Canada July 18-20, 2013
- [25] Staudt, V.; Steimel, A.; Kohlmann, M.; Jager, M.K.; Heising, C.; Meyer, D.; Vennemann, K.; Grebe, E.; Kleinekorte, K., "Control concept including validation strategy for an CA/CC hybrid link (»Ultranet«)," in *Energy Conversion Congress and Exposition (ECCE)*, 2014 IEEE, pp.750-757, 14-18 Sept. 2014
- [26] H. Saad, S. Denetière, J. Mahseredjian, P. Delarue, X. Guillaud, J. Peralta, S. Nguefeu, "Modular Multilevel Converter Models for Electromagnetic Transients", *IEEE Transactions on Power Delivery*, vol.29, no.3, pp.1481,1489, June 2014.
- [27] H. Saad, S. Denetière, J. Mahseredjian, "On modelling of MMC in EMT-type program", *2016 IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Trondheim, Norway, June 2016.
- [28] Faruque M.; Dinavahi V. & Xu, W., "Algorithms for the accounting of multiple switching events in digital simulation of power-electronic systems", *IEEE Transactions on Power Delivery*, Vol 20, Pages 1157 - 1167, April 2005.
- [29] O. Tremblay, M. Fecteau, P. Prud'homme, "Precise Algorithm for Nonlinear Elements in Large-Scale Real-Time Simulator", *Proceedings of the CIGRE Canada Conference in Montréal*, Québec, September 24-26, 2012.
- [30] F. H. Branin: "Computer methods of network analysis", *Proc. IEEE*, Vol. 55, Nov 1967, pp. 1787-1801
- [31] J. Mahseredjian, A. Xémard et B. Khodabakhchian "Simulation des régimes transitoires dans les réseaux électriques, " Éditions *Les techniques de l'Ingénieur*, 10 Février 2008, Dossier D4130.2008, 12 pages.
- [32] H. W. Dommel, "Digital computation of electromagnetic transients in single and multi-phase networks," *IEEE Trans. Power App. Syst.*, vol. PAS-88, no. 4, pp. 388–399, Apr. 1969.
- [33] J. Mahseredjian, S. Denetière, L. Dubé, B. Khodabakhchian, and L. Gérin-Lajoie, "On a new approach for the simulation of transients in power systems," *Elect. Power Syst. Res.*, vol. 77, no. 11, pp. 1514–1520, Sep. 2007.
- [34] Chua L. O. & Lin P. Y., "Computer-Aided Analysis of Electronic Circuits: Algorithms and Computational Techniques", *Prentice Hall Professional Technical Reference*, 1975.
- [35] "Modelling and Simulation Studies to be performed during the lifecycle of HVDC Systems", CIGRE Working Group B4.38, *Technical Brochure 563*, December 2013.
- [36] D. Ingemansson, J. D. Wheeler, N. M. MacLeod, F. Gallon, and O. Ruiton, "The South—West scheme: A new HVAC and HVDC transmission system in Sweden" *Proceedings of IET International Conference CA CC Power Transmission (ACDC)*, Birmingham, U.K., Dec. 2012
- [37] C. Oates, "Modular Multilevel Converter Design for VSC HVDC Applications", *IEEE Journal Of Emerging And Selected Topics In Power Electronics*, Vol. 03, No. 2, June 2015.
- [38] S. Denetière, H. Saad, B. Clerc, "Setup and performances of the real-time simulation platform connected to the INELFE control system", *Proceedings of the International Conference on Power Systems Transients (IPST'15)*, Cavtat, Croatia, June 15-18, 2015.
- [39] "Guide for the Development of Models for HVDC Converters in a HVDC Grid", CIGRE Working Group B4.57, *CIGRE Technical Brochure 604*, December 2014.
- [40] "Terminology for voltage-sourced converters (VSC) for high-voltage direct current (HVDC) systems", Norme IEC 62747-2014
- [41] I. S. Duff, A. M. Erisman and J. K. Reid: "Direct methods for sparse matrices", *Oxford Science Publications*, 1989, Oxford University Press
- [42] Natarajan, "KLU A high performance sparse linear solver for circuit simulation problems" *Master's Thesis*, University of Florida, 2005

- [43] R. Razzaghi, C. Foti, M. Paolone, F. Rachidi, "A Novel Method for the Optimal Parameter Selection of Discrete-Time Switch Model", *Proceedings of the International Conference on Power Systems Transients (IPST'13)*, Vancouver, Canada, July 18-20, 2013
- [44] J. A. Martinez-Velasco and B. A. Mork, "Transformer modeling for low- and mid-frequency transients — a review," *IEEE Transactions on Power Delivery*, vol. 20, no. 2, pp. 1625–1632, Apr. 2005.
- [45] M. Lambert, M. Martínez-Duró, J. Mahseredjian, F. de León and F. Sirois, "Transformer Leakage Flux Models for Electromagnetic Transients: Critical Review and Validation of a New Model," *IEEE Transactions on Power Delivery*, vol. 29, no. 5, pp. 2180-2188, Oct. 2014.
- [46] J. R. Marti and J. Lin, "Suppression of numerical oscillations in the EMTP power systems," in *IEEE Transactions on Power Systems*, vol. 4, no. 2, pp. 739-747, May 1989.
- [47] S. Denetiere, H. Saad, A. Naud, P. Hondaa, "Transients on CC cables connected to VSC converters", *Proceedings of the Jicable'15 Conference* in Versailles, France June 21-25, 2015
- [48] S. Denetiere, O. Saad, A. El. Akoum, J. Mahseredjian, H; Motoyama, "Involvement of electric utilities in the development of EMT simulation tools", *CIGRE Session 2014*, August 2014, Paris.
- [49] H. Saad, X. Guillaud, J. Mahseredjian, S. Denetiere and S. Nguefeu, "MMC Capacitor Voltage Decoupling and Balancing Controls," in *IEEE Transactions on Power Delivery*, vol. 30, no. 2, pp. 704-712, April 2015.
- [50] Saad, H.; Ould-Bachir, T.; Mahseredjian, J.; Dufour, C.; Denetiere, S.; Nguefeu, S., "Real-Time Simulation of MMCs Using CPU and FPGA," *IEEE Transactions on Power Electronics*, vol.30, no.1, pp.259-267, Jan. 2015
- [51] Description du protocole Aurora:
https://www.xilinx.com/products/design_resources/conn_central/grouping/aurora.htm
- [52] P. Le-Huy, P. Giroux, J.-C. Soumagne, "Real-Time Simulation of Modular Multilevel Converters for Network Integration Studies", *Proceedings of the International Conference on Power Systems Transients (IPST'11)*, Delft, The Netherlands, June 2011.
- [53] Nechma, T.; Zwolinski, M., "Parallel Sparse Matrix Solution for Circuit Simulation on FPGAs" *IEEE Transactions on Computers*, vol.64, no.4, pp.1090,1103, April 2015.
- [54] K. Ilves, L. Harnefors, S. Norrga and H. P. Nee, "Analysis and Operation of Modular Multilevel Converters With Phase-Shifted Carrier PWM," in *IEEE Transactions on Power Electronics*, vol. 30, no. 1, pp. 268-283, Jan. 2015
- [55] OP5030 data sheet : <http://www.opal-rt.com/new-product/opal-rt-real-time-computers-op5030-family-releasing-op5031>
- [56] Q. Tu and Z. Xu, "Impact of sampling frequency on harmonic distortion for modular multilevel converter," *IEEE Transactions on Power Delivery*, vol. 26, no. 1, pp. 298–306, Jan. 2011.
- [57] K. Ou, H. Rao, Z. Cai, H. Guo, X. Lin, L. Guan, T. Maguire, B. Warkentin, and Y. Chen "MMC-HVDC Simulation and Testing Based on Real-Time Digital Simulator and Physical Control System" *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 2, no 4, pp. 1109-1116, 2014.
- [58] M. Matar, D. Paradis and R. Iravani, "Real-time simulation of modular multilevel converters for controller hardware-in-the-loop testing," in *IET Power Electronics*, vol. 9, pp. 42-50, January 2016.
- [59] Q. Tu, Z. Xu, and L. Xu, "Reduced switching-frequency modulation and circulating current suppression for modular multilevel converters," *IEEE Transactions on Power Delivery*, vol. 23, no. 3, pp. 2009–2017, Jul. 2011
- [60] P. Le-Huy, S. Casoria, O. Saad, "Unified Modeling and Simulation Approach for Modular Multilevel Voltage Source Converters", *Proceedings of the International Conference on Power Systems Transients (IPST'13)* in Vancouver, Canada, July 18-20, 2013
- [61] B. Clerc, C. Martin, S. Denetiere, "Implementation of accelerated models for EMT tools", *Proceedings of the International Conference on Power Systems Transients (IPST'15)*, Cavtat, Croatia, June 15-18, 2015.
- [62] OP5600 data sheet : <http://www.opal-rt.com/product/op5600-hil-hardware-in-the-loop-computer-and-IO-system>
- [63] OP5607 data sheet : <http://www.opal-rt.com/new-product/op5607-chassis>

- [64] T. Ould-Bachir, H. Saad, S. Denetière, J. Mahseredjian, "CPU/FPGA-based Real-Time Simulation of a two-terminal MMC-HVDC System, *IEEE Transactions on Power Delivery*, December 2015.
- [65] OP7020 data sheet : <http://www.opal-rt.com/new-product/op7020-chassis>
- [66] W. Li; J. Bélanger, "An Equivalent Circuit Method for Modelling and Simulation of Modular Multilevel Converters in Real-Time HIL Test Bench", *IEEE Transactions on Power Delivery*, October 2016, Vol 31, Issue: 5 Pages: 2401 – 2409
- [67] Site web du projet européen BEST PATHS : <http://www.bestpaths-project.eu/>
- [68] Site web de Desertec : <http://www.desertec.org/>
- [69] Site web de Friends of the Supergrid : <http://www.friendsofthesupergrid.eu/>
- [70] M. K. Zadeh, M. Amin, J. A. Suul, M. Molinas and O. B. Fosso, "Small-signal stability study of the Cigré CC grid test system with analysis of participation factors and parameter sensitivity of oscillatory modes," *Power Systems Computation Conference (PSCC)*, 2014, Wroclaw, 2014.
- [71] K. Rouzbehi, A. Miranian, J. I. Candela, A. Luna and P. Rodriguez, "A Generalized Voltage Droop Strategy for Control of Multiterminal CC Grids," in *IEEE Transactions on Industry Applications*, vol. 51, no. 1, pp. 607-618, Jan.-Feb. 2015.
- [72] S. Elimban, Y. Zhang and J. C. Garcia Alonso, "Real Time Simulation for HVDC grids with modular multi-level converters," *11th IET International Conference on CA and CC Power Transmission, Birmingham*, 2015, pp. 1-8.
- [73] J. G. Bauer, M Wissen, T Gutt, J Biermann, C Schäffer, G. Schmidt, F Pfirsch, "New 4.5 kV IGBT and diode chip set for HVDC Transmission Applications", *PCIM Europe 2014*, 20 – 22 May 2014, Nuremberg, Germany
- [74] Xiguo Gong, "A 3.3kV IGBT module and application in modular multilevel converter for HVDC", *2012 IEEE International Symposium on Industrial Electronics (ISIE)*, Hangzhou, 2012, pp. 1944-1949.
- [75] Liaison HVDC Maritime link : <http://new.abb.com/systems/hvdc/references/maritime-link>
- [76] B. Jacobson, P. Karlsson, G. Asplund, L. Harnefors, and T. Jonsson, "VSC-HVDC transmission with cascaded two-level converters," Paper B4-110 in *CIGRE 2010 Session*, Paris, France, August 2010.
- [77] A Hassanpoor, S Norrga, A Nami, "Loss Evaluation for Modular Multilevel Converters with Different Switching Strategies", *Proceedings of ICPE 2015 – ECCE Asia*, 1-5 June 2015, Seoul, South Korea
- [78] K. Jacobs, H. Saad, S. Denetière, "Modelling of semiconductor losses of MMC in EMTP", *2016 IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Trondheim, Norway, June 2016.
- [79] Catalogue ABB : "XLPE land cable system user's guide" rev 5, disponible sur le site d'ABB : <https://library.e.abb.com/public/ab02245fb5b5ec41c12575c4004a76d0/XLPE%20Land%20Cable%20Systems%20GM5007GB%20rev%205.pdf>
- [80] Catalogue ABB : "XLPE submarine cable systems" rev5, disponible sur le site d'ABB : [http://www04.abb.com/global/seitp/seitp202.nsf/0/badf833d6cb8d46dc1257c0b002b3702/\\$file/XLPE+Submarine+Cable+Systems+2GM5007+.pdf](http://www04.abb.com/global/seitp/seitp202.nsf/0/badf833d6cb8d46dc1257c0b002b3702/$file/XLPE+Submarine+Cable+Systems+2GM5007+.pdf)
- [81] Y. Murata, M. Sakamaki, Y. Tanji, T. Katayama, T. Igi, O. Matsunaga, "400kV CC-XLPE Cable and Accessories", *CIGRE AORC Technical meeting*, 2014, Thailand
- [82] T. An et al., "A CC grid benchmark model for studies of interconnection of power systems," in *CSEE Journal of Power and Energy Systems*, vol. 1, no. 4, pp. 101-109, Dec. 2015.

ANNEXE A - MODÉLISATION À BASE D'IMPÉDANCE FIXE

Les équations suivantes sont tirées de [17] et permettent de déduire les valeurs des paramètres R_s , L_s et C_s d'un interrupteur pour obtenir une admittance constante.

V_b , I_b sont les grandeurs de base à choisir en fonction du contexte d'utilisation de l'interrupteur.

ξ est un facteur d'amortissement généralement compris en 0.6 et 0.9.

Δt est le pas de calcul de la simulation.

$$Z_b = \frac{V_b}{I_b} \quad (7.1)$$

$$F = \frac{1}{2(\sqrt{\xi^2 + 1} - \xi)} \quad (7.2)$$

$$L_s = \sqrt{2\Delta t F Z_b} \quad (7.3)$$

$$C_s = \frac{(\Delta t F)^2}{L_s} \quad (7.4)$$

$$R_s = \frac{2L_s}{\Delta t} - \frac{\Delta t}{2C_s} \quad (7.5)$$

ANNEXE B - PARAMÈTRES DU CONVERTISSEUR MMC

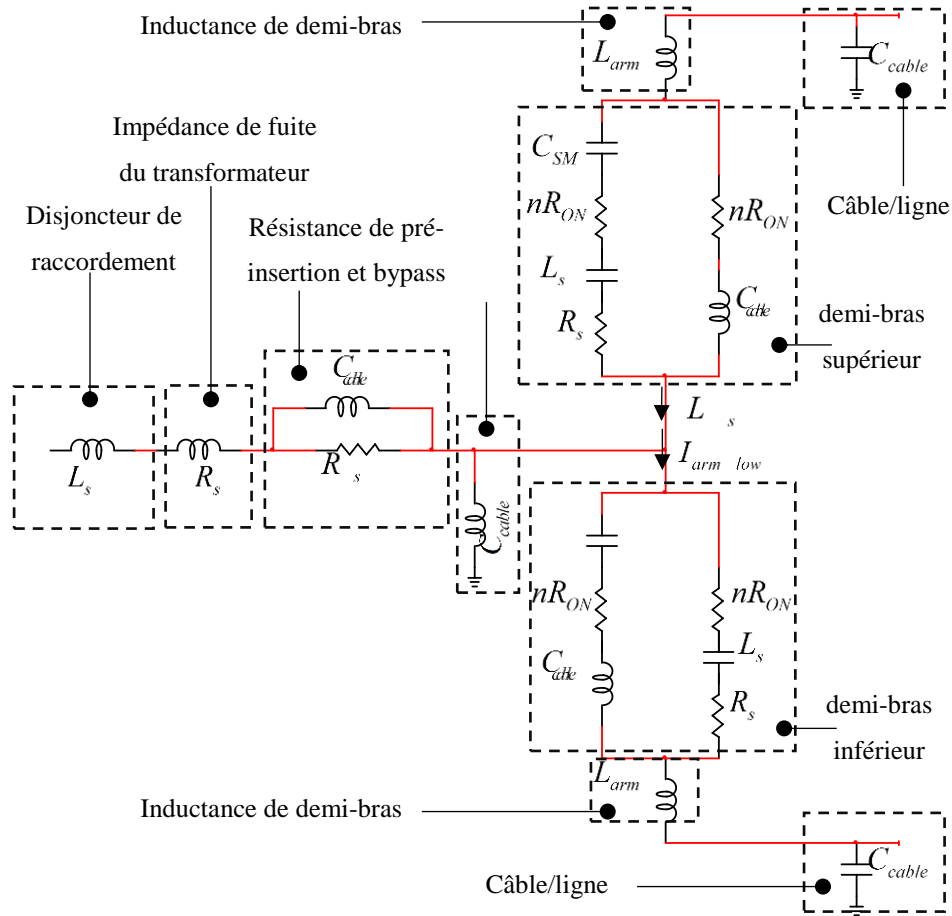


Tableau A-1 : Paramètres du convertisseur MMC pour modèle à admittance fixe

C_{SM}	25 μ F
L_{arm}	50 mH
C_{cable}	20 μ F
n	400
R_{ON}	400 * 1m Ω
L_{SPR}	7 kH
L_t	80 mH (0.18 pu)
R_{start}	5 k Ω
$\Delta t = 20\mu s$	C_s 3.448 nF
$\xi = 0.8$	L_s 1.255 mH
$V_b = 640$ kV	R_s 965.436 Ω
$I_b = 1.5$ kA	

ANNEXE C - ÉTUDE DE MISE SOUS TENSION DU TRANSFORMATEUR DE CONVERSION DE LA LIAISON 2 INELFE

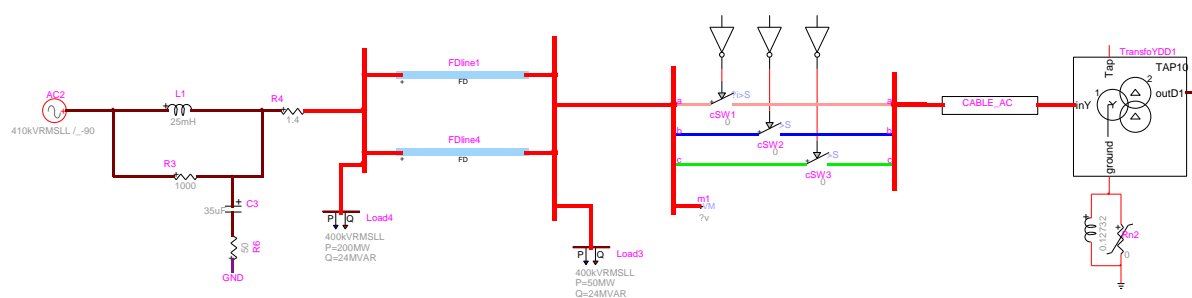


Figure A-1: Schéma de l'étude de mise sous tension du transformateur

ANNEXE D - PARAMÈTRES DES CONVERTISSEURS MMC

Convertisseur à 21 niveaux

Tableau A-2 : Paramètres du convertisseur MMC pour les modèles MMC à 21 niveaux

S_{rated}	1000 MVA
U_{dc}	+/-320 kV
N	20
C	1 mF
L_{arm}	50 mH
R_{ON} (*N pour modèle 3 et 2b)	1 m Ω
R_{OFF} (*N pour le modèle 3 et 2b)	1000 M Ω
$R_{snubber}$ (modèle 3 et 2b)	100 k Ω
$C_{snubber}$ (modèle 3 et 2b)	1 nF

Convertisseur à 401 niveaux

Tableau A-3 : Paramètres du convertisseur MMC pour les modèles MMC à 401 niveaux

S_{rated}	1000 MVA
U_{dc}	+/-320 kV
N	400
C	10 mF
L_{arm}	50 mH
R_{ON} (*N pour modèle 3 et 2b)	1 m Ω
R_{OFF} (*N pour le modèle 3 et 2b)	10 M Ω
$R_{snubber}$ (modèle 3 et 2b)	100 k Ω
$C_{snubber}$ (modèle 3 et 2b)	100 nF