



Titre: Système de tomographie d'impédance électrique modulaire et reconfigurable réalisé à l'aide d'un FPGA
Title:

Auteur: Jean-Christophe Gervais
Author:

Date: 2013

Type: Mémoire ou thèse / Dissertation or Thesis

Référence: Gervais, J.-C. (2013). Système de tomographie d'impédance électrique modulaire et reconfigurable réalisé à l'aide d'un FPGA [Mémoire de maîtrise, École Polytechnique de Montréal]. PolyPublie. <https://publications.polymtl.ca/1219/>
Citation:

 **Document en libre accès dans PolyPublie**
Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/1219/>
PolyPublie URL:

Directeurs de recherche: Robert Guardo, & Hervé Gagnon
Advisors:

Programme: Génie biomédical
Program:

UNIVERSITÉ DE MONTRÉAL

SYSTÈME DE TOMOGRAPHIE D'IMPÉDANCE ÉLECTRIQUE MODULAIRE
ET RECONFIGURABLE RÉALISÉ À L'AIDE D'UN FPGA

JEAN-CHRISTOPHE GERVAIS
INSTITUT DE GÉNIE BIOMÉDICAL
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION
DU DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES
(GÉNIE BIOMÉDICAL)
AOÛT 2013

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé:

SYSTÈME DE TOMOGRAPHIE D'IMPÉDANCE ÉLECTRIQUE MODULAIRE
ET RECONFIGURABLE RÉALISÉ À L'AIDE D'UN FPGA

présenté par : GERVAIS Jean-Christophe

en vue de l'obtention du diplôme de : Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de :

M. SAVARD Pierre, Ph.D., président

M. GUARDO Robert, Ph.D., membre et directeur de recherche

M. GAGNON Hervé, Ph.D., membre et codirecteur de recherche

M. BERTRAND Michel, Ph.D., membre

*“Live as if you were to die tomorrow. Learn as if
you were to live forever.”*

— Mahatma Gandhi

REMERCIEMENTS

Tout d'abord, je souhaiterais remercier mon directeur de recherche, monsieur Robert Guardo. Son dévouement et sa grande disponibilité font de lui un directeur hors pair. Je voudrais aussi remercier mon codirecteur, monsieur Hervé Gagnon, sans qui ce projet n'aurait pu voir le jour. Je vais m'ennuyer de nos séances de discussions devant le tableau blanc. J'espère un jour accéder au même niveau de connaissances et de perfectionnisme que ces derniers.

Je voudrais aussi remercier monsieur Pierre Savard pour m'avoir permis d'être chargé de laboratoire en instrumentation biomédicale au cours de ma maîtrise. Cette expérience d'enseignement fut très enrichissante. Je le remercie aussi d'avoir su me convaincre, lors d'une certaine journée de portes ouvertes en 2005, d'embarquer dans cette aventure que fut l'École Polytechnique.

Je dois aussi remercier toutes les personnes que j'ai côtoyées dans notre laboratoire, ainsi que Claude Turcotte, mon technicien en informatique préféré. Un merci, tout spécial, à ces collègues qui sont aussi mes amis personnels : Julien Jéhanne-Lacasse et Yannick Sigmen.

Finalement, merci à ma famille, de toujours croire en moi et d'être une source inépuisable d'encouragements et de soutien. Et un merci bien particulier à ma plus grande partenaire, Audrey, il y a un peu d'elle dans ce projet aussi.

RÉSUMÉ

La tomographie d'impédance électrique (TIE) est une technique d'imagerie médicale qui permet de visualiser la distribution de conductivité électrique d'une section du corps. Les principales applications de la TIE sont le monitoring de la ventilation pulmonaire, de l'activité cardiaque et de l'activité cérébrale ainsi que le dépistage du cancer du sein et de la peau. Les trois premières applications exploitent les variations de conductivité engendrées par le déplacement physiologique de fluides (air ou sang) qui sont de mauvais ou de bons conducteurs électriques. Les deux dernières utilisent les variations spécifiques du profil de conductivité des tissus en fonction de la fréquence. Ces profils dépendent de l'état physiologique ou pathologique des tissus. Chacune de ces applications nécessitent une variante différente de la TIE : multifréquentielle, tridimensionnelle ou synchrone à un événement physiologique. Jusqu'à récemment, chaque variante nécessitait la réalisation d'un système d'acquisition de données spécifique.

L'objectif de ce projet de maîtrise est de concevoir un système modulaire qu'on peut facilement reconfigurer selon l'application envisagée afin d'optimiser le rapport signal sur bruit ou la vitesse d'exécution.

L'approche choisie pour ce nouveau système est de réaliser tout le traitement numérique des signaux à l'aide d'un FPGA. À terme, ce système permettra de choisir le nombre de porteuses de fréquences différentes utilisées pour les mesures d'impédance (opération mono-, bi-, ou multifréquence), le nombre d'électrodes et leur distribution dans l'espace (mode bi- ou tridimensionnel) ainsi que l'acquisition de données synchronisée ou non à des signaux externes.

ABSTRACT

Electrical impedance tomography (EIT) is a medical imaging technique that may be used to visualize the electrical conductivity distribution of a body section. EIT is mainly used for monitoring pulmonary ventilation, cardiac activity and cerebral activity as well as for screening breast and skin cancer. Pulmonary, cardiac and cerebral EIT monitoring relies on the variation of conductivity caused by physiological movement of body fluids (air or blood) which are respectively poor or good electrical conductors. EIT applications to cancer screening are based on specific variations of tissue conductivity as a function of frequency. These specific variations are also affected by the physiological or pathological state of tissues. Each of these applications requires a different type of EIT system: multifrequency, tridimensional or synchronous to a physiological event. Until now, a custom-designed data acquisition system had to be built for each different application.

The objective of this master's project is to design a modular system that can be easily reconfigured according to the EIT application to optimize signal to noise ratio or frame rate.

A Field Programmable Gate Array (FPGA) based approach has been selected to implement all digital signal processing for this new system. Once finalized, this system will allow selection of the number of carrier frequencies for measuring impedance (single frequency, dual frequency, and multifrequency modes), the number of electrodes and their distribution in space (bidimensional or tridimensional modes), as well as data acquisition synchronized to external signals or not.

TABLE DES MATIÈRES

REMERCIEMENTS	IV
RÉSUMÉ.....	V
ABSTRACT	VI
TABLE DES MATIÈRES	VII
LISTE DES TABLEAUX.....	IX
LISTE DES FIGURES.....	X
LISTE DES SIGLES ET ABRÉVIATIONS	XII
INTRODUCTION.....	1
1.1 Introduction à la tomographie d'impédance électrique.....	2
1.1.1 Applications médicales de la TIE.....	3
1.1.2 Applications non médicales de la TIE.....	5
1.1.3 Principe de mesure	6
1.1.4 TIE bifréquence.....	10
1.2 Contexte du projet	11
1.3 Définition du projet	13
1.4 Structure du mémoire	14
CHAPITRE 2 MÉTHODES.....	15
2.1 Description générale du système TIE5-USB	15
2.2 Description du module d'électrodes actives.....	18
2.3 Description matérielle du module de synthèse et de démodulation	21
2.3.1 Blocs d'alimentation	21
2.3.2 Isolation électrique	21
2.3.3 Convertisseurs analogique-numérique et numérique-analogique	22
2.3.4 FPGA.....	23
2.3.5 Microcontrôleur USB	26
2.4 Architecture proposée pour le module de synthèse et de démodulation	26
2.4.1 Architecture globale	28

2.4.2	Flux des données sortantes : génération de la porteuse de référence	30
2.4.3	Flux des données entrantes : démodulation de la porteuse de mesure	31
2.4.4	Flux des données entrantes : transmission des données de TIE	36
2.4.5	Modules de coordination	40
2.5	Description de l'interface informatique	42
CHAPITRE 3 RÉSULTATS		44
3.1	Montage expérimental	44
3.2	Résultats des tests de caractérisation	47
3.3	Rapport signal sur bruit	50
3.4	Précision des mesures	52
3.5	Images différentielles sur fantôme	54
3.6	Images <i>in vivo</i>	56
3.7	Optimisation en fonction de la période inactive	57
3.8	Comparaison au système TIE4-USB	58
CHAPITRE 4 CONCLUSION		60
4.1	Synthèse des travaux actuels	60
4.2	Suggestions de travaux futurs	63
4.2.1	Optimisation de la TIE-SF	63
4.2.2	Réalisation d'un système de TIE synchrone à un événement physiologique	65
4.2.3	Réalisation d'un système de TIE-BF	67
4.2.4	Réalisation d'un système de TIE-3D	68
BIBLIOGRAPHIE		71

LISTE DES TABLEAUX

Tableau 1.1 Conductivité électrique de différents tissus.....	3
Tableau 2.1 Signaux du bus numérique reliant le MSD au MEA.....	19
Tableau 2.2 Affectation des bits dans une variable point-flottant double précision	37
Tableau 2.3 Définition des différentes durées paramétrables par le module SEQUENCER.....	40
Tableau 4.1 Utilisation des ressources logiques du FPGA	68

LISTE DES FIGURES

Figure 1.1 Prisme rectangulaire composé de deux matériaux de conductivités différentes	6
Figure 1.2 Schémas représentant les électrodes apposées au prisme.	7
Figure 1.3 Séquence d'acquisition de données pour un système à seize électrodes	8
Figure 1.4 Système de TIE développé dans notre laboratoire.....	9
Figure 1.5 Carte électronique du MSD des systèmes de TIE de 5 ^e génération.....	12
Figure 2.1 Représentation schématique du système TIE5-USB	15
Figure 2.2 Schéma fonctionnel du MEA.....	19
Figure 2.3 Représentation schématique d'un circuit d'électrode active (EA)	20
Figure 2.4 Schéma fonctionnel du circuit imprimé du MSD	21
Figure 2.5 Architecture globale des modules VHDL se trouvant dans le FPGA du MSD.....	29
Figure 2.6 Schéma fonctionnel du flux des données du générateur de porteuse	30
Figure 2.7 Schéma fonctionnel représentant l'architecture interne du DDC	33
Figure 2.8 Réponse en amplitude du filtre FIR.....	35
Figure 2.9 Chronogramme des signaux de sortie du module SEQUENCER	40
Figure 2.10 Panneau de contrôle avancé du MSD	43
Figure 3.1 Montage expérimental pour les interconnexions entre le MSD, le MEA et le fantôme.	45
Figure 3.2 Fantôme résistif.....	47
Figure 3.3 Courbes représentant le signal moyen de TIE, le RSB et la précision des mesures	48
Figure 3.4 RSB en fonction de la période active.....	51
Figure 3.5 RSB en fonction de la période inactive	51
Figure 3.6 Précision globale en fonction de la période active	53
Figure 3.7 Précision globale en fonction de la période inactive	53

Figure 3.8 Images différentielles de conductivité obtenues en appuyant sur les interrupteurs du fantôme	55
Figure 3.9 Images différentielles de la ventilation pulmonaire sur un sujet normal	56
Figure 3.10 RSB en fonction de la cadence d'acquisition pour deux valeurs différentes de périodes inactives	57
Figure 3.11 RSB en fonction de la cadence d'acquisition pour TIE4-USB et TIE5-USB	58
Figure 4.1 Vue interne du module BlueSAT.....	66
Figure 4.2 Schéma fonctionnel pour un système de TIE bifréquence.	67
Figure 4.3 Photo d'un montage de TIE-3D réalisé avec le système TIE4-USB	69
Figure 4.4 Photo de la carte électronique du MEA de nouvelle génération.....	69

LISTE DES SIGLES ET ABRÉVIATIONS

ϵ	Permittivité relative
$\theta(t)$	Phase du signal en fonction du temps
μV	Microvolt
σ	Conductivité
σ_{m_i}	Écart-type de la i^{e} mesure d'une trame
Ω	Ohm
ω	Fréquence angulaire
A+	Composante positive de la porteuse modulée en amplitude
A-	Composante négative de la porteuse modulée en amplitude
ADC	<i>Analog Digital Converter</i>
Ag	Symbole chimique de l'argent
AgCl	Formule chimique du chlorure d'argent
AM_IN	<i>Amplitude Modulated Input</i>
CEI	Commission électrotechnique internationale
CLB	<i>Configurable Logic Block</i>
CT	<i>Computed Tomography</i>
DAC	<i>Digital Analog Converter</i>
dB	Décibel
DCM	<i>Digital Clock Manager</i>
DDC	<i>Digital Down Converter</i>
DDS	<i>Direct Digital Synthesizer</i>
DSC_OUT	<i>Daisy-Chained Output</i>
EA	Électrode active

ECG	Électrocardiogramme
EEG	Électroencéphalogramme
EEPROM	<i>Electrically-Erasable Programmable Read-Only Memory</i>
EIT	<i>Electrical Impedance Tomography</i>
f	Fréquence
FIFO	<i>First-In, First-Out</i>
FIR	<i>Finite Impulse Response</i>
FPGA	<i>Field Programmable Gate Array</i>
HAL	<i>Hardware Abstraction Layer</i>
Hz	Hertz
IA	<i>Instrumentation Amplifier</i>
IGB	Institut de génie biomédical
IOB	<i>Input Output Block</i>
IP	<i>Intellectual Property</i>
IRM	Imagerie par résonance magnétique
ISE	<i>Integrated Software Environment</i>
KB	<i>Kilobytes</i>
kHz	Kilohertz
LED	<i>Light Emitting Diode</i>
mA	Milliampère
MAP	Maximum <i>a posteriori</i>
MEA	Module d'électrodes actives
MEMTA	<i>Modular Expandable Multi-Threaded Architecture</i>
MHz	Megahertz

MSD	Module de synthèse et de démodulation
NF	<i>Noise Figure</i>
OC	Opto-coupleur
PEPS	Premier entré, premier sorti
RAM	<i>Random Access Memory</i>
REF_OUT	<i>Reference Output</i>
RESET	Signal de réinitialisation du MEA
ROM	<i>Read-Only Memory</i>
RSB	Rapport signal sur bruit
RTL	<i>Register Transfer Level</i>
SAE	<i>Smart Active Electrode</i>
SCAN_CLK	Signal d'horloge du MEA
SFDR	<i>Spurious Free Dynamic Range</i>
SNR	<i>Signal to Noise Ratio</i>
SYNC	Signal de synchronisation du MEA
TI	Transformateur d'isolation
TIE	Tomographie d'impédance électrique
TIE-3D	TIE tridimensionnelle
TIE-CF	TIE par courants de Foucault
TIE-MF	TIE multifréquence
TIE4-USB	Système de TIE de 4 ^e génération
TIE5-USB	Système de TIE de 5 ^e génération
UAC	Unité arbitraire de conductivité
USB	<i>Universal Serial Bus</i>

V	Volt
VCCS	<i>Voltage-Controlled Current Source</i>
VHDL	<i>VHSIC Hardware Description Language</i>
VHSIC	<i>Very High Speed Integrated Circuit</i>

INTRODUCTION

Les techniques d'imagerie médicale ont connu un progrès phénoménal aux cours des dernières décennies. Les cliniciens ont maintenant accès à une multitude de modalités d'imagerie pour établir ou confirmer leurs diagnostics. Certaines technologies, telles la radiographie conventionnelle, la tomодensitométrie et la résonance magnétique permettent d'obtenir des images à haute résolution faisant ressortir des détails au niveau de l'anatomie. D'autres techniques permettent de faire de l'imagerie fonctionnelle, c'est-à-dire d'observer des processus physiologiques en action. On retrouve dans cette catégorie l'échographie, différentes techniques d'imagerie utilisées en médecine nucléaire, ainsi que l'imagerie par résonance magnétique fonctionnelle. Le choix d'une technique plutôt qu'une autre se fait en fonction des processus et/ou des anomalies physiologiques et anatomiques qu'on désire observer.

Comme la plupart des nouvelles technologies, les techniques d'imagerie médicale découlent d'abord de l'observation d'un phénomène physique lié à une propriété particulière des tissus biologiques. La découverte par Wilhelm Röntgen au début du 20^e siècle de l'atténuation des rayons X par les tissus denses, comme les os, est un exemple de la première phase du développement d'une nouvelle technologie. Suite à l'observation d'un phénomène physique, des développements d'instruments et de techniques de mesure font en sorte que ce phénomène peut être étudié et éventuellement expliqué pour enfin être introduit dans la pratique médicale. Dans le cas des rayons X, on n'a qu'à citer le développement de capteurs photoniques numériques qui remplacent les pellicules photographiques et qui produisent directement des données servant à reconstruire les images par ordinateur. Ces technologies font en sorte qu'on a aujourd'hui des appareils de radiographie d'une grande sensibilité, permettant des diagnostics précis. On utilise notamment ces appareils pour l'étude du système musculo-squelettique et en médecine dentaire.

Par une logique similaire, des scientifiques ont tenté de développer de nouvelles technologies basées sur l'interaction entre les tissus biologiques et d'autres formes d'énergie. Par exemple, les origines de la tomographie d'impédance électrique peuvent être attribuées au développement d'une caméra d'impédance par Henderson et Webster en 1978. Il s'agissait d'un système permettant de mesurer des variations d'impédance thoracique au moyen d'une matrice d'électrodes recouvrant le devant du thorax et d'une électrode située au milieu du dos. Le système appliquait un courant alternatif de faible amplitude entre l'électrode dorsale et une des

électrodes de la matrice et mesurait au moyen des autres électrodes les différences de potentiel engendrées par ce courant. Avec ce système, les auteurs ont produit des cartes d'équipotentiels leur permettant d'observer des changements de conductivité reliés à la respiration (Henderson et Webster, 1978).

Les expériences de Henderson et Webster ont ouvert la voie au développement de la tomographie d'impédance électrique (TIE). La principale amélioration apportée par la TIE sur la caméra d'impédance était l'introduction d'un algorithme de reconstruction d'images dans le processus de traitement de données. Ceci a permis d'obtenir la distribution de conductivité à l'intérieur de la section du corps étudiée, plutôt qu'une simple cartographie des équipotentiels produites par le courant appliqué. La première image de TIE *in vivo*, représentant un avant-bras humain, a été obtenue par Barber et Brown en 1984. Ces auteurs sont reconnus d'ailleurs comme les pionniers de la TIE par l'ampleur et la qualité de leurs contributions à ce domaine.

1.1 Introduction à la tomographie d'impédance électrique

Comme son nom l'indique, la tomographie d'impédance électrique est une technique d'imagerie qui permet de reconstruire des images d'une section du corps. Puisque le corps humain est composé de tissus ayant une conductivité électrique caractéristique, il est possible d'imager des structures internes du corps en appliquant des courants électriques et en mesurant les différences de potentiel qui en résultent. La technique est non invasive puisque les électrodes sont placées à la surface du corps et l'amplitude ainsi que la fréquence des courants appliqués ne produisent aucun effet physiologique indésirable. Plus précisément, les systèmes actuels de TIE produisent des images de changements de conductivité (en fonction du temps, de la fréquence d'excitation ou des deux) et non pas de la conductivité absolue des tissus. Un système de TIE comporte essentiellement des circuits électroniques pour appliquer des courants électriques à un ensemble d'électrodes et pour enregistrer les potentiels qui résultent de la répartition du courant dans les tissus du corps. Le système est relié à un ordinateur qui coordonne les phases d'acquisition des données, d'enregistrement et de reconstruction des images.

Le tableau 1.1 indique les valeurs moyennes de conductivité électrique pour différents tissus aux fréquences d'excitation couramment utilisées en TIE (quelques dizaines de kilohertz). On note que ces valeurs couvrent approximativement trois ordres de grandeur. On pourrait donc

discerner les types de tissus si des mesures absolues de conductivité pouvaient être réalisées avec suffisamment de précision.

Tableau 1.1 Conductivité électrique de différents tissus.

Tissu	Conductivité (mS/m)
Liquide cérébro-spinal	1539
Plasma	1515
Muscle	56 à 800
Sang	667
Poumon	42 à 138
Graisse	40
Os	6

Ces valeurs ont été tirées de Webster (1990). La conductivité moyenne de certains tissus varie pour diverses raisons. Dans le cas des poumons, la conductivité dépend du volume d'air qu'ils contiennent, l'air étant peu conducteur. Dans le cas des muscles, la conductivité dépend du sens des fibres musculaires, elle est plus faible dans le sens transversal et plus élevée dans le sens longitudinal.

1.1.1 Applications médicales de la TIE

Une des principales applications médicales de la TIE, en termes d'efforts de recherche et de développement qui y ont été investis, est le monitoring de la ventilation pulmonaire. Idéalement, ce monitoring permet d'enregistrer de façon continue le volume instantané d'air dans les poumons des patients qui sont sous ventilation mécanique aux soins intensifs. Or, il n'y a présentement aucun appareil qui permet d'observer en temps réel comment les poumons d'un patient réagissent à ce traitement. Les cliniciens ont donc recours à l'observation des signes vitaux et à des mesures indirectes, comme le taux de saturation du sang en oxygène. La TIE offre une réponse partielle aux exigences de ce type de monitoring, en permettant de visualiser en temps réel les variations de conductivité thoracique et d'en déduire un indice des variations du volume d'air dans chaque poumon.

Un article de synthèse de Frerichs (2000) fait un compte rendu exhaustif des connaissances en matière d'applications de la TIE au monitoring cardiorespiratoire. Après avoir examiné les résultats d'essais cliniques à petite échelle réalisés dans plusieurs pays, l'auteur

conclut que la TIE a un avenir prometteur pour les applications pulmonaires à condition de résoudre certains problèmes d'ordre pratique. Elle insiste entre autre sur l'importance de développer des systèmes d'acquisition de données offrant une plus grande stabilité de performances afin de permettre des comparaisons significatives des résultats obtenus par divers groupes d'utilisateurs. Certaines recommandations contenues dans cet article ont servi à définir les objectifs du présent projet.

Une deuxième application médicale importante de la TIE concerne l'étude du système circulatoire. Comme pour les poumons dont la conductivité change selon qu'ils soient remplis ou vides d'air, la conductivité du cœur change tout au long du cycle cardiaque selon la quantité de sang qu'il contient. Il est donc possible d'évaluer le volume d'éjection systolique par TIE. Ceci peut permettre de diagnostiquer plusieurs anomalies cardiovasculaires : l'insuffisance cardiaque congestive, l'hypertension ou même des maladies des artères coronaires (Zlochiver *et al*, 2006). Des chercheurs du *Rensselaer Polytechnic Institute* ont d'ailleurs réalisé par TIE des images tridimensionnelles de la distribution de conductivité du thorax dans le but d'étudier l'activité cardiaque (Newell *et al*, 2002).

Une troisième application intéressante de la TIE concerne l'évaluation de la vidange gastrique. Dans ce cas-ci, c'est le déplacement d'aliments dans le système digestif qui produit un changement de la conductivité électrique de l'estomac. Les aliments utilisés pour accroître le contraste de conductivité consistent généralement en des morceaux de viande ou bien des purées (par exemple, de pommes de terre) contenant un léger excédent de sel. Lors d'une étude récente, la TIE s'est avérée aussi performante que la scintigraphie dans l'évaluation de la vidange gastrique chez des patients soumis à une nutrition liquide par voie nasogastrique (Soulsby *et al*, 2006). L'avantage de la TIE dans ce cas-ci est d'éviter l'ingestion de radio-isotopes tout en utilisant une instrumentation beaucoup plus simple et moins coûteuse.

Un nouveau domaine d'application de la TIE, auquel se consacrent plusieurs groupes de recherche depuis une dizaine d'années, est le monitoring de l'activité cérébrale. On conçoit que certaines pathologies du cerveau, telles les ischémies ou, à l'inverse, les hémorragies peuvent être détectées par TIE en raison des variations locales de flux sanguin qu'elles engendrent. Ces recherches ont relativement peu progressé, principalement en raison de la difficulté d'obtenir des mesures précises lorsqu'on tente de mesurer, par des électrodes placées sur le cuir chevelu, l'effet

de variations de conductivité se produisant à l'intérieur de la boîte crânienne. Les systèmes de TIE actuels n'ont pas une sensibilité et une stabilité suffisamment grandes pour envisager de telles mesures.

Les applications précédentes ont un point en commun : elles se basent sur un changement temporel de la conductivité électrique du milieu pour réaliser des images différentielles. Le principe de cette technique, connue dans la littérature anglaise de TIE sous le nom de *time-difference imaging* est que l'ensemble de données enregistrées à l'instant zéro définit une distribution de conductivité de référence. Chaque ensemble de mesures enregistré par la suite permet de reconstruire une image de la variation de conductivité dans la section du corps étudiée par rapport à la distribution de conductivité de référence. Il est important de souligner que la majorité des études cliniques en TIE ont jusqu'à maintenant été réalisées en utilisant cette technique d'imagerie différentielle.

La TIE permet aussi de réaliser des images illustrant les variations de conductivité en fonction de la fréquence. Ainsi, au lieu d'appliquer un courant sinusoïdal à une fréquence unique, on appliquera des courants à différentes fréquences, soit de façon séquentielle ou bien simultanée par la superposition de sinusoides à plusieurs fréquences. Dans le cas le plus simple, soit l'enregistrement séquentiel d'ensembles de données obtenues à deux fréquences, on parlera d'imagerie différentielle bifréquence (en anglais, *frequency-difference imaging*). Dans le second cas, on parlera d'imagerie TIE multifréquence (TIE-MF). Une application médicale de la TIE-MF est le dépistage de tumeurs puisque les tissus cancéreux ne conduisent pas l'électricité de la même façon que les tissus sains. En effet, les tissus cancéreux ont souvent une structure plutôt désorganisée, parfois aussi plus vascularisée. Le courant électrique se distribue donc alors différemment selon la fréquence dans les tissus sains et cancéreux.

1.1.2 Applications non médicales de la TIE

Afin de compléter le portrait des applications de la TIE, il est bon de mentionner que cette technique d'imagerie dépasse le domaine médical. Dans les faits, la TIE peut être employée pour imager n'importe quel phénomène produisant une variation de conductivité électrique dans un milieu. On l'utilise entre autre pour le monitoring de procédés industriels (par exemple, dans des bioréacteurs). À l'instar du dépistage de tissus cancéreux, la TIE-MF peut être employée pour

l'inspection non destructive des matériaux. On retrouve également de nombreuses applications en géophysique, en prospection minière et même dans la détection de mines antipersonnel.

1.1.3 Principe de mesure

Le principe de mesure de la TIE peut être facilement compris grâce à l'analogie suivante. Supposons un prisme rectangulaire fait d'un matériau de conductivité σ inconnue. La longueur du prisme L est connue, de même que son aire transverse A . On désire calculer σ à partir de mesures de courants et/ou de potentiels. Dans le cas le plus simple, on placerait des électrodes à chaque extrémité du prisme et on appliquerait un courant I connu. Par la loi d'Ohm, la différence de potentiel aux électrodes serait :

$$V = RI \quad (1.1)$$

où la résistance électrique R du prisme dans cette configuration est donnée par :

$$R = \frac{L}{\sigma A} \quad (1.2)$$

On obtient alors la conductivité électrique σ à partir du potentiel mesuré V par :

$$\sigma = \frac{LI}{AV} \quad (1.3)$$

Si on complexifie quelque peu le problème en considérant un prisme composé de deux prismes juxtaposés de conductivités différentes, on peut déterminer ces conductivités par une expérience similaire à celle du prisme simple.

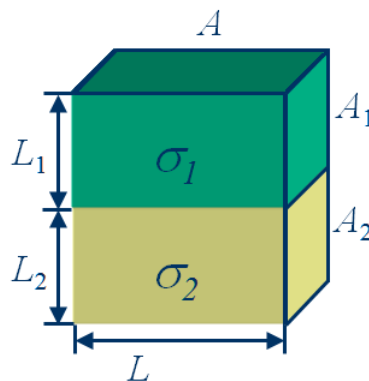


Figure 1.1 Prisme rectangulaire composé de deux matériaux de conductivités différentes.

Il s'agit d'effectuer deux mesures de différences de potentiel : la première où le courant est appliqué de façon à traverser les deux prismes en série (figure 1.2 (a)), la seconde en faisant passer le courant dans les deux prismes en parallèle (figure 1.2 (b)).

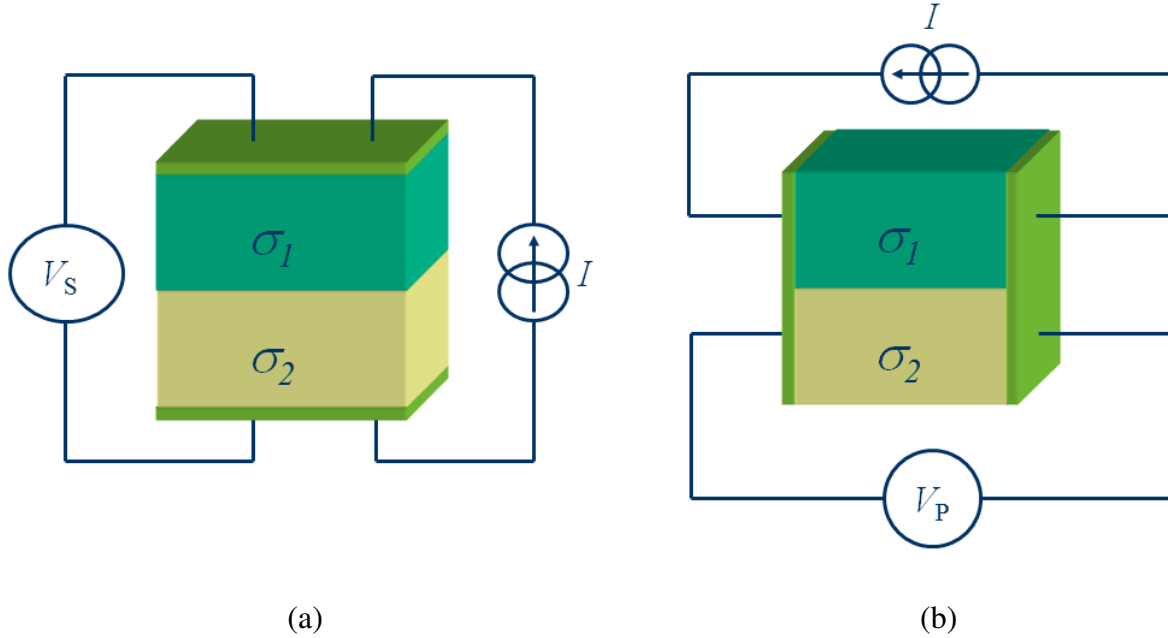


Figure 1.2 Schémas représentant les électrodes apposées au prisme afin de déterminer les conductivités des deux sections : a) Mesure en série. b) Mesure en parallèle.

De cette façon, on se retrouvera avec un système à deux équations et deux inconnues :

$$V_S = (R_{1S} + R_{2S})I \text{ où } R_{1S} = \frac{L_1}{\sigma_1 A} \text{ et } R_{2S} = \frac{L_2}{\sigma_2 A} \quad (1.4)$$

$$V_P = \left(\frac{R_{1P} R_{2P}}{R_{1P} + R_{2P}} \right) I \text{ où } R_{1P} = \frac{L}{\sigma_1 A_1} \text{ et } R_{2P} = \frac{L}{\sigma_2 A_2} \quad (1.5)$$

duquel on peut déterminer les conductivités des matériaux. Bien sûr, il s'agit ici d'une situation idéale qui ne peut s'appliquer directement à la TIE. Dans les cas d'intérêt pratique en médecine, on se retrouve à effectuer des mesures sur un milieu continu où la conductivité est fonction de l'espace et du temps. Une forme plus générale de la loi d'Ohm, découlant des équations de Maxwell, doit alors être utilisée. Un plus grand nombre d'électrodes seront aussi nécessaires pour obtenir l'ensemble des mesures qui serviront à la reconstruction d'une image de la distribution de conductivité.

Par exemple, pour réaliser des images de TIE pour le monitoring de la ventilation pulmonaire, on dispose les électrodes autour du thorax en suivant un plan passant sous les aisselles. Pour cette application, la plupart des systèmes de TIE actuels utilisent 16 ou 32 électrodes. Nous illustrons ci-dessous le cas d'un système à seize électrodes. Lors de chaque mesure quatre électrodes doivent assumer les rôles suivants: 1) source de courant, 2) puits de courant, 3) suiveur de tension et 4) inverseur de tension. Les autres électrodes non requises se mettent alors en mode haute impédance. La figure 1.3 illustre une séquence typique d'acquisition des mesures.

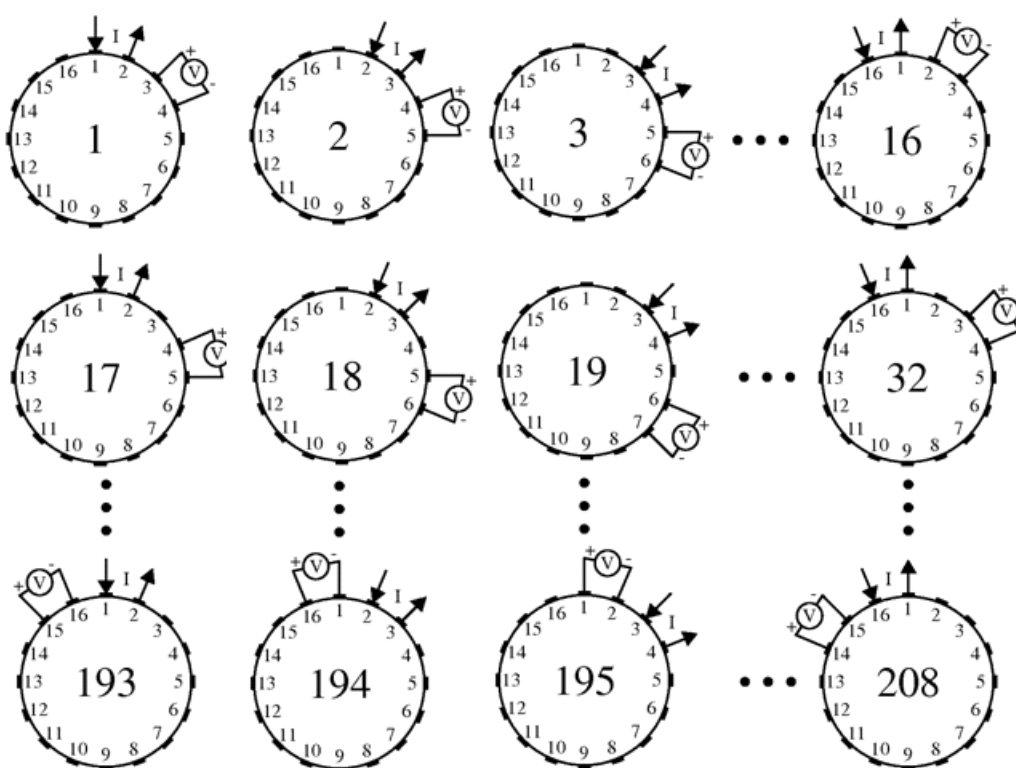


Figure 1.3 Séquence d'acquisition de données pour un système à seize électrodes. Les électrodes servant à mesurer une différence de potentiel sont représentées reliées à un voltmètre. Celles agissant comme source et puits de courant sont indiquées par des flèches représentant le sens du courant.

L'équation suivante permet de calculer le nombre de mesures linéairement indépendantes (M) qu'on peut réaliser avec N électrodes :

$$M = \frac{N(N - 3)}{2} \quad (1.6)$$

Le facteur 2 au dénominateur provient du fait que certaines mesures sont, dans le cas idéal, identiques à d'autres en raison du principe de réciprocity tension-courant (Geselowitz, 1971). Pour un système à seize électrodes, on obtient donc 104 mesures indépendantes qui constituent une trame. La reconstruction d'images se fait à partir d'une ou de plusieurs trames de mesures par des algorithmes mathématiques qui solutionnent un problème inverse qui consiste à déterminer la distribution de conductivité du milieu connaissant sa géométrie, la valeur du courant appliqué et le potentiel enregistré à chaque mesure.

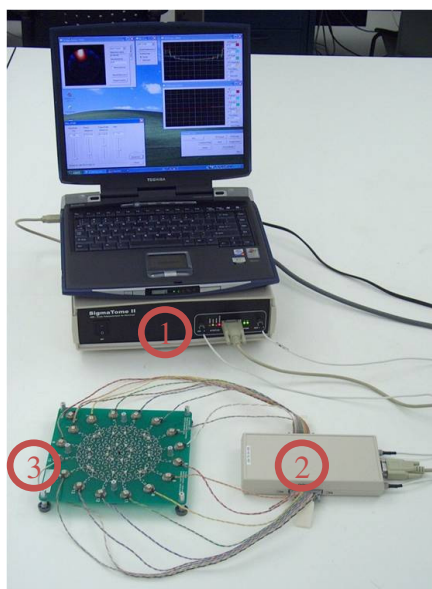


Figure 1.4 Système de TIE développé dans notre laboratoire.

Afin de donner au lecteur une idée de l'aspect physique d'un système de TIE, la figure 1.4 montre un des systèmes développés par notre laboratoire. Ce système comporte deux modules principaux : le module de synthèse et de démodulation (MSD) (1) et le module d'électrodes actives (MEA) (2). L'objet en avant-plan (3) est un fantôme résistif utilisé lors de tests du système.

Le MSD est le module principal de contrôle du système. Il sert à générer une porteuse sinusoïdale qui définit l'amplitude et la fréquence des courants appliqués par le MEA. En plus de coordonner la séquence des mesures, le MSD effectue la démodulation des signaux enregistrés par des amplificateurs différentiels dans le MEA. Enfin, le MSD envoie les données prétraitées (les résultats de la démodulation en quadrature de phase) à l'ordinateur. Le fonctionnement détaillé du MSD sera expliqué à la section 2.3.

Le MEA contient les circuits de conditionnement des signaux nécessaires aux électrodes. Il est composé d'une carte électronique sur laquelle on retrouve pour chacun des seize canaux d'électrodes trois circuits différents : un circuit de contrôle, un circuit de stimulation (application du courant) et un circuit de mesure de potentiel. Pour de plus amples détails sur ce module, le lecteur est invité à consulter le mémoire de maîtrise de Sigmen (2012) qui décrit le MEA le plus récent conçu dans notre laboratoire.

1.1.4 TIE bifréquence

Afin de compléter cette introduction à la TIE, nous nous attardons maintenant à la TIE bifréquence (TIE-BF). La version du MEA, réalisée par Yannick Sigmen (2012), avait pour but de permettre d'effectuer des mesures d'impédance sur une grande plage de fréquences (idéalement, 1 kHz à 1 MHz), ce qui nous ouvrait la voie à l'imagerie multifréquence (TIE-MF). La plage de fréquences effectivement atteinte avec ce MEA est légèrement inférieure à notre objectif initial mais amplement suffisante pour réaliser l'imagerie bifréquence.

On retrouve dans la littérature les valeurs d'admittance de plusieurs tissus biologiques pour des fréquences allant de 10 Hz à 20 GHz (Martinsen et Grimnes, 2011). L'admittivité (γ) est une valeur complexe, fonction de la fréquence angulaire (ω), définie par l'équation suivante :

$$\gamma(\omega) = \sigma(\omega) + j\epsilon_0\epsilon_r(\omega) \quad (1.7)$$

où σ et ϵ_r sont respectivement la conductivité électrique et la permittivité relative. Le coefficient j représente $\sqrt{-1}$ et ϵ_0 est la permittivité du vide. Effectivement, il se produit pour chaque tissu une distribution spécifique du courant d'excitation qui dépend de sa structure cellulaire et du milieu interstitiel. Lorsqu'on représente une cellule par un modèle électrique équivalent, la membrane cellulaire prend la forme d'une résistance très élevée en parallèle avec

un condensateur (Malmivuo et Plonsey, 1995). Intuitivement, on comprend alors qu'à plus haute fréquence le courant passe surtout à travers les cellules (c'est-à-dire, par un courant de déplacement à travers la membrane cellulaire) plutôt que par le milieu interstitiel. Ce dernier étant composé surtout d'ions mobiles, c'est le premier terme de l'équation 1.7 qui affecte davantage l'admittance du tissu. En résumé, le comportement des tissus selon la fréquence dépend de la configuration des cellules, de la concentration des ions, de leur mobilité et de la viscosité du milieu (Rigaud *et al*, 1995). L'avantage de la TIE-BF sur la TIE conventionnelle est donc de pouvoir réaliser des images de processus physiologiques qui produisent des changements de conductivité sur de très longues périodes de temps (par exemple, l'évolution d'une tumeur), mais qui mettent en présence des tissus avec des signatures fréquentielles distinctes. Ainsi, la TIE-BF permettrait de distinguer certains tissus selon leur structure et leur état physiologique, ce qui s'avère un élément essentiel pour le diagnostic de cancers de la peau ou du sein.

1.2 Contexte du projet

Cinq générations de systèmes de TIE ont été développées au laboratoire d'imagerie et d'instrumentation biomédicales de l'École Polytechnique de Montréal depuis une vingtaine d'années. Les trois premières générations ont permis de perfectionner l'instrumentation afin d'obtenir des systèmes pleinement fonctionnels. Le lecteur intéressé par l'historique de ces développements est invité à consulter le mémoire de maîtrise de Moumbe (2011).

Chaque nouvelle génération présentait une amélioration sur la version précédente, tant au niveau des performances d'enregistrement qu'au niveau de la conception matérielle de l'appareil. Ainsi, le système se renouvelait constamment dans l'optique d'être utilisé au chevet des patients. En plus des aspects ergonomiques spécifiques à ce rôle, il fallait développer la capacité de réaliser des enregistrements de longue durée et de grande fiabilité. Ces exigences sont dues entre autre au fait que le monitoring de la ventilation pulmonaire se fait dans une unité de soins intensifs sur des patients fortement instrumentés (ventilateur, cathéters, moniteurs de signes vitaux, etc.). De plus, les interventions fréquentes du personnel soignant rendent les conditions d'enregistrement de données de TIE difficiles.

Nous considérons que le système de la quatrième génération (TIE4-USB) est le premier système suffisamment robuste et polyvalent pour les applications médicales. Ceci est dû principalement à l'instauration d'un protocole de communication pour l'interface entre le MSD et

le MEA et à l'utilisation dans le MSD de puces électroniques réalisant la synthèse numérique directe de la porteuse d'excitation et la démodulation numérique des signaux enregistrés par les électrodes de mesure. Ce système a permis d'explorer d'autres formes de TIE sans nécessiter des modifications majeures au matériel. Par exemple, un système de TIE par courants de Foucault (TIE-CF) a pu être réalisé en remplaçant le MEA par un autre module, tout en conservant le même MSD (Tanguay, 2004). La TIE-CF ressemble à la TIE conventionnelle, mais le courant d'excitation est induit par un champ magnétique généré par des bobines (donc, sans contact) au lieu d'être appliqué par des électrodes.

Bien que la 4^e génération constitue une approche plus évolutive que les précédentes, la 5^e génération, dont fait partie le présent projet, présente un avantage majeur grâce au développement d'une nouvelle carte électronique pour le MSD. Un prototype préliminaire de cette carte dont le développement a débuté en 2002 est décrit dans le mémoire de Pierre-Luc Dazé (2004). On peut en voir une photo à la figure 1.5. Elle a pour avantage d'utiliser un réseau de portes logiques programmable (en anglais, *Field Programmable Gate Array*, FPGA) comme élément central du MSD. Bien que la 4^e génération emploie aussi un FPGA dans le MSD, la différence majeure est que le FPGA de cette version servait uniquement à interfacer les divers composants du MSD. Dans la 5^e génération, le FPGA a un rôle central en ce qui a trait au traitement numérique des signaux. L'architecture du FPGA comme tel sera décrite en détail au chapitre 2.

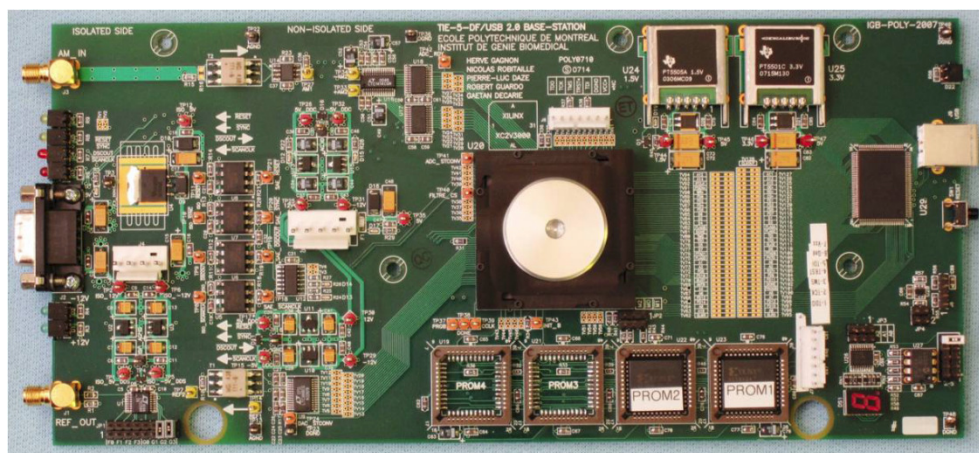


Figure 1.5 Carte électronique du MSD des systèmes de TIE de 5^e génération. Le FPGA se trouve sous le dissipateur de chaleur au centre de la carte.

Pour la 5^e génération de système de TIE, un nouveau MEA a été conçu par Sigmen (2012). Ce MEA comporte des circuits électroniques de stimulation et d'enregistrement à large bande pouvant être employés pour des applications de TIE-BF.

Suite au prototype réalisé par Dazé (2004), un autre projet a eu pour mandat de concevoir la logique interne d'un FPGA afin de réaliser le MSD du système TIE5-USB. Ce projet devait également permettre l'enregistrement d'électroencéphalogrammes (EEG) par les mêmes électrodes utilisées pour la TIE (Moumbe, 2011). Malgré que ce MSD ait permis des enregistrements de TIE conjointement à l'EEG, une révision du FPGA s'est avérée nécessaire pour résoudre des problèmes de stabilité. Effectivement, cette version du système TIE5-USB n'a pu remplacer le système TIE4-USB pour des raisons de fiabilité des mesures lors des enregistrements. De plus, les techniques de programmation employées pour concevoir la logique interne du FPGA n'offraient pas une grande flexibilité au MSD, rendant ardu tout développement futur.

1.3 Définition du projet

En lien avec le contexte présenté dans la section précédente, il a donc été décidé de faire une refonte complète de l'architecture logicielle du MSD. Cela consiste à concevoir l'ensemble des circuits internes du FPGA nécessaires au bon fonctionnement du système TIE5-USB. Par bon fonctionnement, on entend ici que le MSD remplisse les rôles suivants :

1. Générer une porteuse contrôlant le courant à appliquer aux électrodes par l'intermédiaire des circuits du MEA.
2. Contrôler la séquence de mesures.
3. Démoduler les signaux (différences de potentiel captées par les électrodes) provenant du MEA pour obtenir les composantes réelle et imaginaire de la porteuse de mesure (ou des deux porteuses de mesures dans le cas de la TIE-BF). Cette démodulation sera expliquée en détail au chapitre 2.
4. Transmettre les données à l'ordinateur pour enregistrement et traitement d'images.
5. Communiquer avec l'interface graphique réalisée sur l'ordinateur hôte afin de permettre à l'utilisateur de changer divers paramètres lors des enregistrements.

En plus de ce mandat de base, de nouvelles spécifications ont été établies pour amener le système à un niveau opérationnel plus élevé. D'abord, une des priorités est que le système soit conçu selon une architecture modulaire et facilement reconfigurable. Ceci fait en sorte que le même MSD pourra servir pour développer d'autres applications de la TIE.

Un autre objectif est que le MSD facilite la réalisation de la TIE-MF. Pour ce faire, il faut que le MSD puisse gérer plus d'une porteuse, ce qui permettra d'expérimenter avec des variantes de la TIE, comme la TIE multifréquence, tridimensionnelle et synchronisée à un événement physiologique. Au niveau de l'acquisition synchrone à un événement physiologique, une attention particulière sera portée à la coordination du signal de déclenchement (en anglais *trigger*) et de la séquence de mesures afin que l'enregistrement des données demeure cohérent.

1.4 Structure du mémoire

Ce mémoire suit le cheminement suivant. D'abord, on parlera au chapitre 2 du MSD et de sa conception, mais on expliquera surtout l'architecture du FPGA. On décrira ensuite les stratégies de conception qui ont été employées pour répondre au mandat. Le chapitre 3 portera sur les résultats des différents tests qui ont été réalisés pour démontrer que le MSD répond bien aux objectifs du projet. Le chapitre 4 présentera une discussion sur l'état actuel du projet et fera des suggestions pour des développements futurs.

CHAPITRE 2 MÉTHODES

Les méthodes utilisées pour réaliser un système de TIE répondant au mandat spécifié dans l'introduction sont discutées dans ce chapitre qui débute par une description du fonctionnement général du système. Les modules MEA et MSD sont ensuite décrits. Le MSD est décrit en détail puisqu'il constitue la principale réalisation de ce projet. On expliquera l'approche de conception des circuits contenus dans le réseau de portes programmables (FPGA), l'élément central du MSD, et le rôle que ces circuits jouent dans le système. Enfin, on décrira l'interface de communication avec l'ordinateur et l'interface graphique par laquelle l'utilisateur contrôle le système.

2.1 Description générale du système TIE5-USB

La figure 2.1 présente le flux des signaux entre les divers modules du système TIE5-USB, depuis les électrodes jusqu'à l'ordinateur hôte. Nous utiliserons ce schéma pour expliquer le fonctionnement général du système.

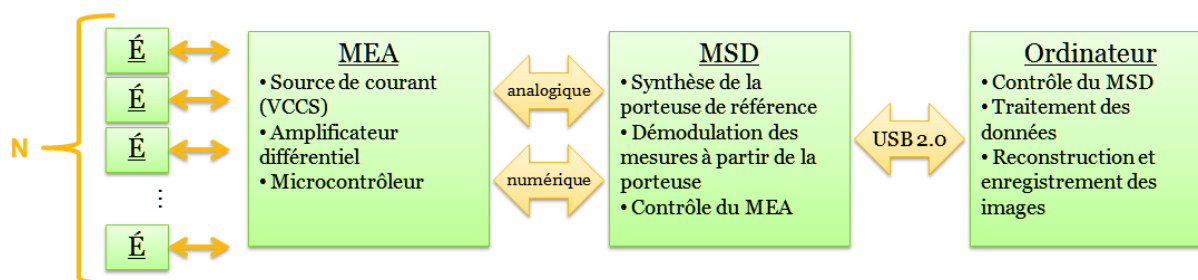


Figure 2.1 Représentation schématique du système TIE5-USB. On retrouve de gauche à droite, N électrodes reliées à des circuits d'interface situés dans le MEA. Ce dernier est relié au MSD par un bus analogique et un bus numérique. Le MSD est relié à l'ordinateur par un port de communication USB 2.0.

Électrodes

L'interface entre le patient et le système de TIE est constituée d'électrodes Ag/AgCl à usage unique du même type que celles qui sont couramment utilisées pour l'enregistrement d'électrocardiogrammes (ECG). La connexion des électrodes au système est effectuée par des câbles d'environ 1 m de longueur terminés par des connecteurs à pression. Le même type de

connecteur est utilisé pour le fantôme résistif (figure 1.4), ce qui facilite l'acquisition de données lors des tests.

Module d'électrodes actives

Le MEA utilisé dans notre projet est constitué de seize canaux identiques comprenant chacun une source de courant commandée par une tension, un amplificateur différentiel et un microcontrôleur. Ce dernier détermine le rôle de l'électrode Ag/AgCl reliée au canal à chaque étape de l'acquisition de données : a) application du courant d'excitation, b) mesure d'une différence de potentiel ou c) inactivité. Chaque microcontrôleur exécute le même microcode pour déterminer le rôle de l'électrode. Toutefois, ce rôle dépend du numéro du canal et du numéro de la mesure en cours. L'algorithme qui le détermine est conçu de façon à ce que, pour chaque mesure, il y ait deux électrodes pour appliquer le courant (une source et un puits), deux électrodes pour mesurer la différence de potentiel et douze électrodes inactives, c'est-à-dire qui présentent une haute impédance. Par défaut, l'algorithme utilise des paires d'électrodes adjacentes pour l'excitation et la mesure. Avec seize canaux, il génère une séquence de 208 mesures par trame. La séquence peut être modifiée à partir de l'interface usager en transmettant aux microcontrôleurs des paramètres définissant l'intervalle (nombre d'électrodes) entre les paires d'excitation et de mesure. On peut ainsi obtenir des séquences où l'excitation se fait par des électrodes opposées et les mesures par des électrodes adjacentes ainsi que plusieurs autres configurations.

Le MEA communique avec le MSD par quatre signaux numériques formant un port numérique de quatre bits et deux signaux analogiques. Le port numérique permet d'initialiser les paramètres dans la mémoire des microcontrôleurs et de cadencer la séquence de mesures. Les signaux analogiques sont une porteuse de référence et une porteuse de mesure. La première porteuse sert à déterminer le spectre du courant d'excitation. Dans un système de TIE conventionnel, elle correspond à un sinus d'amplitude et de fréquence fixe, qui sont prédéterminées par l'usager. Son spectre est plus complexe pour les systèmes multifréquences. La seconde porteuse est le signal de sortie d'un amplificateur différentiel large bande dont les entrées sont les signaux provenant des canaux qui jouent le rôle d'électrodes de mesure. C'est cette porteuse qui sera démodulée par des circuits du MSD et qui fournira ultimement les données pour la reconstruction d'images. Une description plus détaillée du MEA est donnée à la section 2.2.

Module de synthèse et de démodulation

Le MSD étant l'objet principal de ce mémoire nous lui consacrons une description détaillée à la section 2.3. Pour une explication du fonctionnement général du système, il suffit de mentionner les principaux rôles que joue ce module qu'on pourrait qualifier d'unité centrale : 1) initialisation du MEA et contrôle de la séquence de mesures, 2) synthèse de la porteuse de référence, 3) démodulation de la porteuse de mesure, 4) mise en forme et transmission des données acquises vers l'ordinateur et 5) matérialisation des choix faits par l'utilisateur par l'intermédiaire de l'interface graphique. Du point de vue du flux des signaux, le MSD transmet et reçoit deux signaux analogiques (les porteuses mentionnées plus haut), gère un port bidirectionnel à faible débit (le port de quatre bits servant à contrôler le MEA) et un port bidirectionnel à haut débit : le port USB qui le relie à l'ordinateur.

Communication USB

Toutes les communications entre le MSD et l'ordinateur s'effectuent par un port USB 2.0. La diversité d'informations qui transitent par ce port (commandes et états du système, données acquises, etc.) nécessitent un protocole de communication que nous décrivons à la section 2.4.

Ordinateur

Nous utilisons pour notre système de TIE un ordinateur de bureau standard. En effet, l'efficacité du traitement de données par le MSD, des communications par le port USB et celle de l'interface graphique permet d'utiliser un PC aux performances et au coût modestes.

Le contrôle du système par l'utilisateur se fait par une interface graphique réalisée à l'aide d'un logiciel appelé MEMTA (*Modular Expandable Multi-Threaded Architecture*). Ce logiciel est décrit en détail dans la thèse de doctorat de son concepteur (Gagnon, 2003). MEMTA consiste en un environnement de développement d'applications supportant l'usage de processus légers (en anglais, *threads*) pour effectuer plusieurs tâches en temps réel. L'environnement permet d'exercer une approche hautement modulaire et parallèle pour réaliser de nouvelles applications à partir d'une librairie de modules de base et un script qui définit l'usage des modules et leurs interconnexions. Bien entendu, le programmeur peut créer de nouveaux modules pour des cas spécifiques. Par exemple, dans notre projet, un seul nouveau module a été créé, le module *HAL* (*Hardware Abstraction Layer*) qui sert d'interface aux multiples circuits contenus dans le MSD.

Tous les autres modules de l'interface graphique ont été conçus pour des systèmes d'acquisition de données antérieurs. On retrouve dans la librairie de base des modules *oscilloscope* pour afficher en temps réel les données du système, des modules de lecture et de sauvegarde de données en format *Matlab*, des modules pour la reconstruction et l'affichage d'images de TIE, et plusieurs autres. Dans un autre environnement de développement, ces modules auraient vraisemblablement dû être conçus de toute pièce, augmentant grandement la difficulté et le temps de développement du système.

2.2 Description du module d'électrodes actives

La figure 2.2, tiré du mémoire de Yannick Sigmen (2012), représente de façon schématique les circuits qu'on retrouve à l'intérieur du MEA. Par contre, la barrière d'isolation qu'on aperçoit à la droite se trouve à l'intérieur du MSD et sera décrite dans la section 2.3.2. Il y a donc deux signaux analogiques : la porteuse de référence et la porteuse de mesure. Les circuits de conditionnement effectuent l'amplification et le filtrage de ces signaux analogiques. Les signaux numériques provenant du MSD (DSC_OUT, SCAN_CLK, SYNC et RESET) permettent la communication avec le MEA et gèrent la séquence de mesure. Leur rôle est décrit au tableau 2.1.

Notons que les microcontrôleurs peuvent se trouver dans deux modes différents : initialisation et acquisition. Le mode initialisation permet aux microcontrôleurs de déterminer leur position dans la chaîne de canaux (configuration de circuits en guirlande). C'est durant cette phase que le MSD définit la séquence de mesures en transmettant des paramètres au MEA par un protocole de communication sériel synchrone qui utilise SCAN_CLK comme signal d'horloge et SYNC et DSC_OUT comme signaux de données d'entrée et de sortie respectivement.

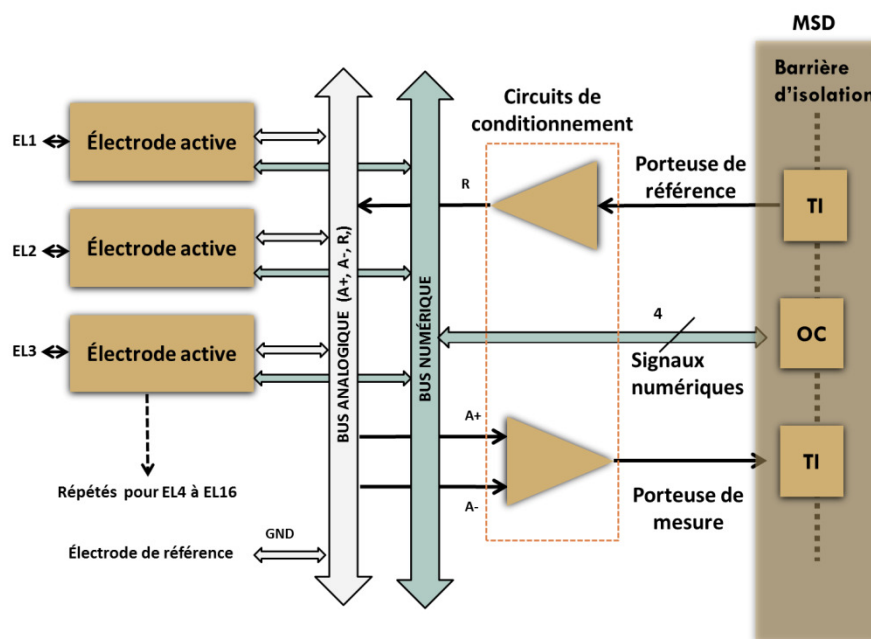


Figure 2.2 Schéma fonctionnel du MEA.

Tableau 2.1 Signaux du bus numérique reliant le MSD au MEA.

Signal	Description
DSC_OUT	<ul style="list-style-type: none"> - Signal de sortie du MEA - Utilisé pour les communications entre le MSD et le MEA. Indique la fin d'une trame de mesures lors de l'acquisition de données. - DSC vient du terme anglais <i>Daisy-Chained</i>, soit une connexion en guirlande entre les seize canaux d'électrodes actives
RESET	<ul style="list-style-type: none"> - Signal d'entrée du MEA - Réinitialise les seize microcontrôleurs du MEA.
SCAN_CLK	<ul style="list-style-type: none"> - Signal d'entrée du MEA - Utilisé pour les communications entre le MSD et le MEA. Cadence la séquence de mesures lors de l'acquisition de données.
SYNC	<ul style="list-style-type: none"> - Signal d'entrée du MEA - Utilisé pour les communications entre le MSD et le MEA. Indique au MSD un arrêt prématuré de l'acquisition de données.

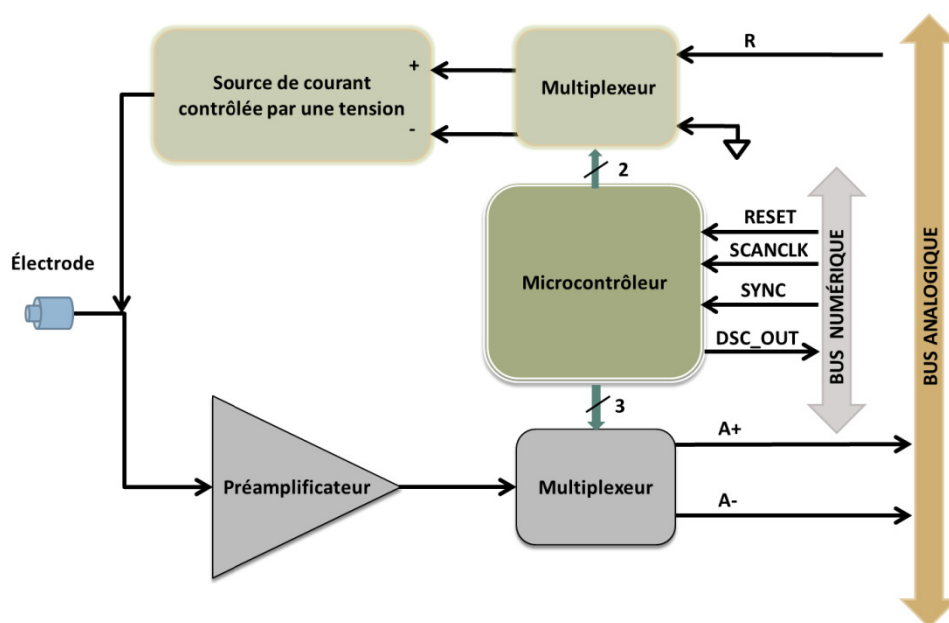


Figure 2.3 Représentation schématique d'un circuit d'électrode active (EA).

La figure 2.3 montre les circuits d'une électrode active. La source de courant contrôlée par une tension (VCCS) est un circuit doté d'une entrée différentielle. Le multiplexeur qui précède ce circuit permet de le faire fonctionner selon trois modes : i) source de courant (le signal R, soit la porteuse de référence générée par le MSD, est appliquée à l'entrée + et l'entrée - est reliée à la masse), ii) puits de courant (l'entrée + est reliée à la masse et le signal R, à l'entrée -), et iii) inactif (les entrées + et - sont reliées à la masse). Dans le mode inactif, aucun courant n'est appliqué à l'électrode. Celle-ci est alors essentiellement déconnectée du système en raison de la haute impédance de sortie du VCCS. La porteuse de mesure est pour sa part produite par un amplificateur différentiel large bande située sur le MEA. Les entrées de cet amplificateur sont les lignes A+ et A- du bus analogique. Durant l'acquisition de données, les microcontrôleurs qui dirigent les deux canaux servant à mesurer une différence de potentiel programment le multiplexeur situé au bas du schéma de façon à connecter le préamplificateur du premier canal à la ligne A+ et le préamplificateur du second canal à la ligne A-. C'est ce signal qui est envoyé au MSD. Il s'agit du signal brut de TIE. Il a l'aspect d'une sinusoïde modulée par une série de plateaux. Chaque plateau représente un changement d'amplitude dû à la variation de la distance entre les électrodes qui appliquent le courant et celles qui mesurent les différences de potentiel.

2.3 Description matérielle du module de synthèse et de démodulation

2.3.1 Blocs d'alimentation

Le boîtier du système de TIE contient trois composants : la carte électronique du MSD et deux blocs d'alimentation : un bloc à découpage et un bloc linéaire. Ces blocs alimentent le MSD et le MEA respectivement. Ils sont de qualité médicale et répondent à la norme CEI-60601 qui décrit les règles de sécurité et de performances essentielles pour les appareils médicaux. La figure 2.4 illustre les composants électroniques qui se trouvent sur le circuit imprimé du MSD.

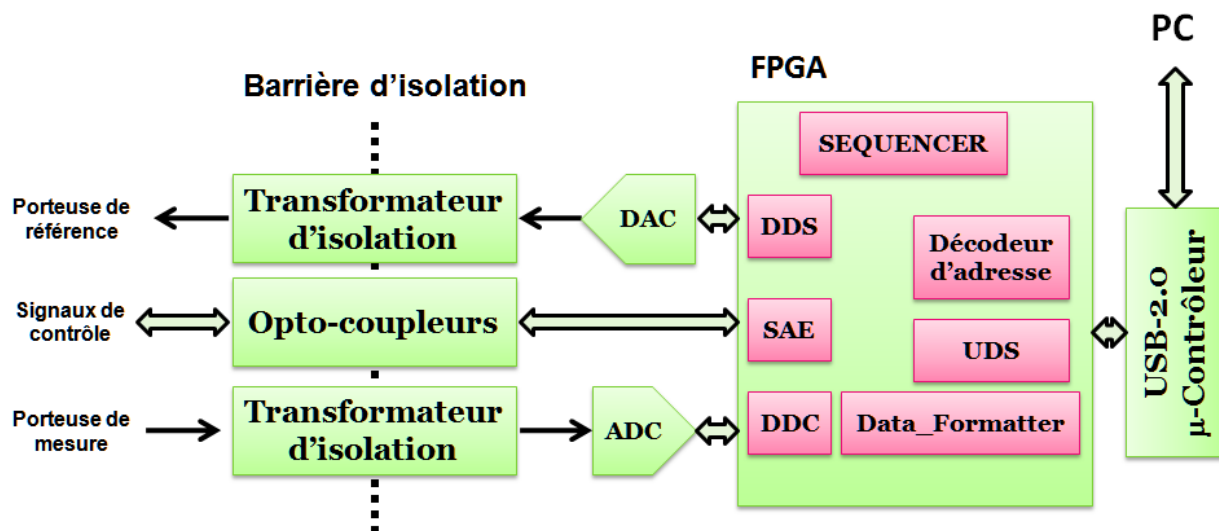


Figure 2.4 Schéma fonctionnel du circuit imprimé du MSD.

2.3.2 Isolation électrique

L'emploi de deux blocs d'alimentation distincts pour le MSD et le MEA est un premier élément des mesures prises pour assurer la sécurité du patient. Le second élément est l'établissement d'une barrière d'isolation entre les circuits du MEA et ceux du MSD. Comme son nom l'indique, cette barrière a pour but d'empêcher le passage de courant électrique entre les circuits du MEA, qui se trouvent en contact avec le patient par l'intermédiaire des électrodes, et les circuits du MSD qui sont reliés au secteur par le port USB de l'ordinateur hôte. En pratique, le courant qui traverse la barrière d'isolation n'est pas nul (en raison de couplages capacitifs inévitables) mais il revient aux concepteurs de s'assurer qu'il ne dépasse pas les limites imposées par la norme CEI-60601 (par exemple, un maximum de 10 μA rms à 60 Hz). Pour que les signaux nécessaires au fonctionnement du système puissent traverser la barrière d'isolation, ils

doivent être convertis sous une autre forme : champ magnétique, photons, etc. Dans notre système, les porteuses de référence et de mesures sont isolées au moyen de transformateurs à large bande passante, tandis que les signaux numériques sont isolés par des opto-coupleurs.

2.3.3 Convertisseurs analogique-numérique et numérique-analogique

En plus des circuits électroniques formant la barrière d'isolation, on retrouve sur la carte du MSD des convertisseurs analogique-numérique (ADC) et numérique-analogique (DAC). Comme le montre la figure 2.4, le DAC sert à générer la porteuse de référence à partir des données numériques synthétisées par le DDS (*Direct Digital Synthesizer*), un des modules du FPGA qui sera expliqué à la section 2.4. Nous avons utilisé un DAC de seize bits (LTC1668, *Linear Technology*) pouvant fonctionner à un taux d'écriture de 50 MHz. Un des paramètres de performance utilisé pour caractériser les DACs est la plage dynamique sans parasite ou SFDR (*Spurious Free Dynamic Range*). Dans notre cas, les données du DDS sont écrites au DAC au taux de 24 MHz. La fréquence de porteuse de référence couramment utilisée en TIE est de 50 kHz. La fiche technique du LTC1668 nous indique un SFDR de 90 dB pour un sinus de 1 MHz. On peut donc s'attendre à un SFDR plus élevé pour un sinus de 50 kHz mais cette valeur représente néanmoins la valeur minimale du SFDR qu'on peut atteindre. Il est à noter que cette mesure de SFDR est valide directement à la sortie du DAC. Dans notre système, ce signal passe par un transformateur d'isolation suivi d'un filtre passe-bas, ce qui peut réduire quelque peu le SFDR de la porteuse de référence transmise au MEA. Le filtre passe-bas est réalisé par une puce LTC1564 (*Linear Technology*) qui comprend un filtre du 8^e ordre et un amplificateur à gain programmable. La fréquence de coupure du filtre (seize valeurs allant de 10 kHz à 160 kHz) et le gain de l'amplificateur (seize valeurs allant de 0 à 15 V/V) sont fixés par des cavaliers permettant des ajustements seulement lorsque le système est hors-tension

Pour le conditionnement de la porteuse de mesure, le signal provenant du MEA passe d'abord par un transformateur d'isolation puis un filtre passe-bas. Une deuxième puce LTC1564 est utilisée pour cette fonction et sert essentiellement de filtre antirepliement (en anglais, *antialiasing*). La fréquence de coupure du filtre et le gain de l'amplificateur sont dans ce cas-ci contrôlés par des signaux provenant du FPGA. On peut ainsi optimiser l'utilisation de la plage dynamique de l'ADC à partir de l'interface usager. Le signal à la sortie du filtre antirepliement est numérisé par un ADC (LTC1414, *Linear Technology*) de quatorze bits pouvant fonctionner au

taux de 2,2 MHz. Selon les spécifications du fabricant, le rapport signal sur bruit (en anglais, *Signal to Noise Ratio*, SNR) à cette cadence est de 70 dB. Dans notre système, cet ADC fonctionne au taux de 2 MHz sous le contrôle d'un signal d'horloge de 2 MHz généré par le FPGA.

2.3.4 FPGA

Tel que mentionné précédemment, la principale innovation de cette 5^e génération du système de TIE réside dans l'intégration complète dans un FPGA des tâches qui auparavant étaient exécutées par des composants électroniques distincts. Ceci entraînait un fonctionnement sous-optimal du système à cause des difficultés à réaliser la synchronisation parfaite de ses composantes. Le FPGA choisi lors de la conception de la carte électronique du MSD est un Virtex-II de *Xilinx*. Il s'agit de la 2^e génération de FPGA hautes performances fabriquées par cette compagnie. Malgré qu'il existe maintenant des FPGA beaucoup plus performants, nous n'utilisons qu'environ 30% des ressources de ce FPGA pour cette nouvelle version du système de TIE. Le Virtex-II est donc amplement suffisant pour l'application envisagée.

Un FPGA est un circuit de logique programmable constitué de plusieurs blocs de logique configurable (en anglais, *configurable logic block*, CLB) et de blocs d'entrées sorties (en anglais, *input/output block*, IOB). On programme ces blocs pour qu'ils remplissent le rôle d'un élément logique d'un circuit. Une fois ces éléments logiques reliés ensemble, le FPGA peut accomplir les mêmes tâches qu'un assemblage complexe de circuits logiques. Un avantage important des FPGA est qu'il est possible de changer les éléments de circuits logiques autant de fois qu'on le désire par une simple reprogrammation. C'est un atout majeur dans le développement de nouvelles technologies et le prototypage rapide de systèmes numériques.

En plus des CLBs et des IOBs, on retrouve les éléments suivants dans les FPGA de la famille Virtex-II :

- des DCM (en anglais, *Digital Clock Manager*) qui permettent d'ajuster de façon numérique la propagation des horloges à l'intérieur du système en développement. On peut alors contrôler les délais de phase et l'effet d'obliquité (en anglais, *skew*).

- des blocs de multiplication dédiés qui permettent d'effectuer directement des multiplications d'entiers de 18 bits \times 18 bits.
- des blocs de mémoire vive (en anglais, *Block SelectRAM*) qui permettent de créer des structures de registres pour conserver des données.

Afin de définir un circuit logique à l'intérieur d'un FPGA, on se sert d'un langage de description de matériel, comme le VHDL dont le sigle signifie *VHSIC Hardware Description Language*, où VHSIC est l'abréviation de *Very High Speed Integrated Circuit*. Il est à noter qu'on ne parle pas ici d'un langage de programmation mais bien d'un langage permettant de définir des composants matériels, ce qui est complètement différent. Pour marquer la différence, considérons un programme écrit pour une certaine application dans un langage comme le C par exemple. Un compilateur va transformer les instructions du programme C en instructions d'un langage de plus bas niveau (généralement, en assembleur) puis en un code numérique (le module objet) qui sera exécuté par un ordinateur. En VHDL, les instructions écrites par le concepteur de système servent à définir des circuits logiques et leurs interconnexions. Ces circuits seront synthétisés et traduits par un outil logiciel qui générera des données numériques permettant de programmer les blocs du FPGA en fonction de l'application. Le FPGA pourra alors remplir la tâche définie par les instructions du concepteur au moyen des circuits logiques choisis.

Lorsqu'on fait la description d'une architecture pour une nouvelle application en VHDL, plusieurs choix s'offrent à nous. On doit d'abord déterminer le niveau d'abstraction avec lequel on décrira la logique. On peut faire une description de très bas niveau en implémentant, par exemple, des compteurs et des multiplexeurs à l'aide de portes et de bascules. Ce choix permet d'exercer un contrôle plus complet sur le circuit obtenu du synthétiseur et dans certains cas d'en optimiser les performances. Cette approche s'avère beaucoup trop ardue pour des applications complexes. On peut décider d'utiliser un niveau de description un peu plus élevé, en décrivant des machines à états et des structures de décisions. On se fie alors davantage aux capacités de traduction en logique simple du synthétiseur. Finalement, on peut utiliser des blocs de propriété intellectuelle (en anglais, *Intellectual property (IP) cores*) qui sont des modules VHDL conçus par le fabricant du FPGA. Ils permettent d'effectuer des tâches génériques qui sont souvent requises pour des applications de traitement de signal. Ces modules sont accessibles dans le logiciel de développement intégré du fabricant. Pour *Xilinx*, ce logiciel se nomme *ISE*. Pour ce

projet, on a évidemment choisi un niveau de description VHDL élevé tel qu'il sera décrit pour chacun des modules à la section 2.4.

Une autre décision importante qui doit être prise lors de la réalisation d'un FPGA est l'utilisation ou non du *Schematic Editor* de l'*ISE*. Le *Schematic Editor* permet de concevoir les différents modules selon une approche graphique. Essentiellement, on dessine des blocs, par exemple un DDS, et on définit ensuite le code VHDL de ce module. Il ne reste alors qu'à le relier aux autres modules du système. Bien que cette approche semble intéressante à première vue, l'utilisation de cet outil a été rejetée pour deux raisons. Premièrement, il rendait la seule version disponible de l'environnement de développement *ISE* instable (précisons que nous avons été limités à la version 10.1 de l'*ISE* puisqu'elle est la dernière version de l'environnement de développement de *Xilinx* supportant les FPGA de type *Virtex-II*). Deuxièmement, certains *IP Cores* n'étaient pas compatibles avec cet outil. En optant pour une approche complète en VHDL, c'est-à-dire une architecture où tous les modules et même l'entité de plus haut niveau (représentant tout le FPGA) sont décrits en VHDL, on a pu éviter les problèmes de stabilité de l'*ISE* et générer un code entièrement transférable à d'autres familles de FPGA de *Xilinx* ou d'autres fabricants. Même les blocs de propriété intellectuelle de *Xilinx* qui ont été employés ont été intégrés en VHDL. On peut donc affirmer que le projet est réalisé à 100% en VHDL.

Voici les étapes que l'*ISE* utilise pour traduire le code VHDL en circuits logiques :

1. Le synthétiseur interprète le code VHDL et le traduit en une logique correspondante qu'on nomme RTL de l'anglais *Register Transfer Level*.
2. L'outil d'implémentation de l'*ISE* prend la logique RTL et tente de la convertir en circuits en fonction des éléments logiques disponibles sur le FPGA choisi pour ce design. Il doit aussi faire le routage des différents modules afin que l'information puisse se déplacer entre chacun d'eux tout en respectant les contraintes de temps de propagation. Il peut alors optimiser ce routage en fonction de deux paramètres : vitesse d'exécution ou utilisation des ressources.
3. Des fichiers de programmation sont générés et peuvent être envoyés directement au FPGA ou écrits sur des supports mémoire. Pour le système de TIE5-USB, des mémoires mortes (EEPROMS) ont été prévues pour conserver le code de programmation du FPGA. Chaque fois que le système est mis sous tension, les

mémoires transfèrent automatiquement leur contenu dans la mémoire vive interne du FPGA.

2.3.5 Microcontrôleur USB

Les derniers composants électroniques qui font partie du MSD sont un microcontrôleur USB (CY7C68013-128C, *Cypress Semiconductor*) et une mémoire *flash* (24LC64, *Microchip*). Le microcontrôleur USB est en fait une puce électronique qui contient un microprocesseur 8051 d'*Intel*, un émetteur-récepteur USB 2.0 et une mémoire vive de 64 KB. Cette mémoire est divisée en deux parties. La première moitié est dédiée au fonctionnement du microcontrôleur USB. Tandis que l'autre moitié permet de référencer les registres contrôlant les différents paramètres du FPGA. La mémoire *flash* externe a deux rôles :

- Elle contient les descripteurs USB des systèmes. Ces derniers indiquent à l'ordinateur quel est le périphérique qu'on vient d'y connecter et comment il doit s'interfacer avec ce dernier.
- Elle contient aussi le microcode du microcontrôleur USB. Ce dernier peut être modifié et reprogrammé à partir de l'interface usager.

Cette section conclut la description des composants électroniques du MSD. On abordera maintenant l'architecture logique du FPGA.

2.4 Architecture proposée pour le module de synthèse et de démodulation

Cette section décrit l'architecture interne du FPGA du système TIE5-USB. On y explique les différents modules logiques qui ont été développés pour programmer le FPGA du MSD. Cependant, avant d'entamer une description détaillée, on expliquera brièvement la philosophie de conception ayant mené à l'agencement des modules.

Afin de comprendre cette philosophie de conception, il faut d'abord expliquer comment l'ordinateur interagit avec le système. Les paramètres qui sont entrés par l'utilisateur dans l'interface graphique MEMTA sont projetés (en anglais, *memory mapped*) dans la section de mémoire du microcontrôleur USB réservée au FPGA. Nous désignerons ces cases de mémoire de registres de contrôle du système TIE5-USB. Ces registres sont référencés par des adresses de seize bits. On utilise les huit bits les plus significatifs de l'adresse pour désigner le module du FPGA visé par

une opération et les huit bits les moins significatifs pour référencer les divers registres que ce module comporte.

Il est à noter que les signaux de communication entre le microprocesseur 8051 et sa mémoire (bus d'adresses et signaux de contrôle de lecture et d'écriture) sont aussi accessibles par le FPGA. Cela permet de contrôler les modules du FPGA par deux mécanismes. Premièrement, l'écriture dans un registre d'un module permet d'en modifier le paramètre correspondant. Un mécanisme de sécurité a été réalisé afin qu'il soit impossible de modifier cette valeur pendant que le module est en fonction. Cette sécurité est assurée par un registre tampon qui permet de sauvegarder la nouvelle valeur lorsque le module est en fonction et de l'actualiser seulement lorsqu'il n'est pas en fonction. Deuxièmement, un autre mécanisme qui permet d'interagir avec le module est l'envoi d'une commande par l'ordinateur. Cela correspond à faire une écriture directement à un registre à partir de l'ordinateur. Toutefois, le module du FPGA est alors conçu pour déclencher un événement lors de l'écriture à ce registre, peu importe la valeur qui y est écrite. Ce mécanisme de commande est entre autre utilisé pour démarrer ou arrêter le fonctionnement d'un module.

Notons que tous les modules ne disposent pas de la fonction de démarrage et d'arrêt. Certains d'entre eux sont autonomes (en anglais, *free-running*), c'est-à-dire qu'ils ne sont pas asservis par l'interface usager MEMTA. Dès que le FPGA est sous-tension, ils démarrent et effectuent la tâche pour laquelle ils ont été conçus et programmés. Tandis que d'autres modules ont besoin de recevoir une commande particulière avant de s'activer à leur tâche. Le mode de fonctionnement sera défini lors de la présentation de chacun des modules.

De plus, ce ne sont pas tous les modules qui nécessitent des registres pour contrôler leurs paramètres. Certains n'ont tout simplement pas de paramètres de contrôle. Il s'agit souvent de modules simples dont la tâche, par exemple, peut être une conversion de valeurs numériques ou bien l'écriture ou la lecture d'une mémoire de type premier entré, premier sorti (PEPS). Pour ce type de module, tous les paramètres ont été fixés lors de la conception car il n'était pas nécessaire de pouvoir les modifier. Il est donc inutile de réserver des plages mémoire pour les registres de ces modules.

Un autre point important de la conception est l'encapsulation des modules. Le VHDL permet deux formes de description matériel : architecture et procédé (en anglais, *process*).

L'architecture consiste à définir les ports d'entrée et de sortie du module, ainsi que les connexions de ces ports à ceux des autres modules. Le procédé, pour sa part, décrit la tâche à accomplir. Ce qui nous amène à l'encapsulation : l'intégration d'un module à l'intérieur d'un autre module, ce qui a pour effet de grandement simplifier l'architecture. Cette encapsulation a été utilisée pour intégrer des blocs de propriété intellectuelle (*IP cores*) fournis par *Xilinx*. Elle a ainsi permis de créer pour ces modules une interface dotée de registres.

Un dernier point important sur la philosophie de conception concerne la méthode choisie pour échanger des données entre les différents modules. À cet effet, on a réalisé une forme de communication appelée logique domino. La stratégie est simple. D'abord, tous les modules sont synchrones à une horloge maîtresse de 24 MHz. Le module qui transmet les données les rend disponibles à la montée de l'horloge maîtresse et doit les garder durant au moins une période de celle-ci. Le module qui reçoit des données doit les lire à la descente de cette horloge. Cette stratégie, simple d'apparence, a permis de relever un défi important lors de la conception du système car assurer le synchronisme de plusieurs modules qui interagissent à haute vitesse n'est pas une mince affaire. L'avantage de cette technique d'échange de données est qu'on est assuré de la validité des données à chaque étape de traitement. On évite les erreurs de concurrence critique (en anglais, *race condition*). Elle permet aussi d'optimiser le taux de transfert de données et la vitesse de fonctionnement du système.

2.4.1 Architecture globale

La figure 2.5 représente l'architecture globale du FPGA. On se référera à cette figure dans cette section pour décrire chacun des modules qu'on y retrouve. L'ordre dans lequel les modules seront présentés suivra la logique du flux des données. En réalité, il y a deux flux des données. D'abord, on présentera les modules permettant de générer la porteuse de référence. Ensuite, on décrira le flux des données partant de la porteuse de mesure jusqu'à la transmission des données à l'ordinateur.

D'abord, tel qu'expliqué précédemment, le MSD génère une porteuse de référence. Cette porteuse est produite par le module DDS. Le fonctionnement interne de ce module sera expliqué plus loin. Les mesures réalisées par le MEA reviennent ensuite au MSD via la porteuse de mesure qu'on peut observer en haut à gauche à la figure 2.5. Elle passera alors par le premier module du flux des données entrantes, qui est le module *Filter* qui s'occupe du contrôle des paramètres du

filtre antirepliement. Ensuite, on retrouve le module ADC_INTERFACE qui contrôle la numérisation des données analogiques. De ce module, les données fraîchement numérisées peuvent alors entreprendre deux chemins différents. 1) Elles peuvent être envoyées de façon brutes directement à l'ordinateur, il s'agit du chemin de la flèche complètement en haut de la figure 2.5. 2) Elles procèdent vers la chaîne de démodulation pour subir un traitement par le module DDC. Une fois traitées, elles sont converties par un module DOUBLE_CONVERTER, ainsi que formatées, en fonction de certains paramètres expliqués plus bas, par un module DATA_FORMATTER. Finalement, dans tous les cas, avant d'être transmis à l'ordinateur par le module USB_DATA_SORTER, les données sont stockées par un des modules FIFO.

De plus, on peut observer sur ce schéma deux autres modules qui ont davantage un rôle au niveau de la coordination des mesures, le module SAE qui s'occupe du contrôle du MEA et le module SEQUENCER qui contrôle la séquence d'acquisition et de traitement des données.

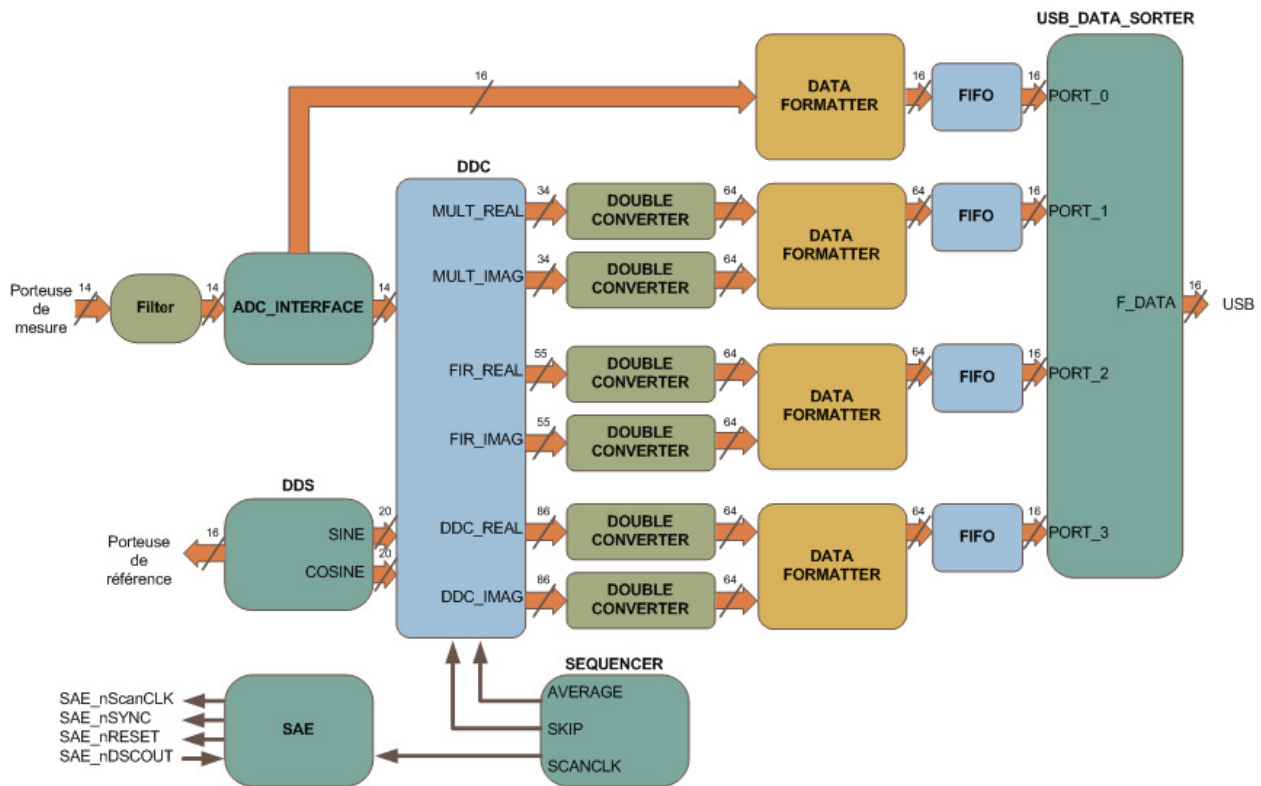


Figure 2.5 Architecture globale des modules VHDL se trouvant dans le FPGA du MSD.

2.4.2 Flux des données sortantes : génération de la porteuse de référence

2.4.2.1 Module : DDS

Ce module permet de synthétiser les valeurs d'un sinus et d'un cosinus à partir d'une table de conversion. On fournit au module les valeurs d'incrément de phase et de décalage. Le module accroît à chaque cycle d'horloge le contenu d'un accumulateur de phase par l'incrément spécifié. La phase instantanée est utilisée comme adresse dans la table de conversion pour générer la valeur correspondante du sinus et du cosinus. Les données du sinus sont envoyées au DAC pour qu'elles soient traduites en signal analogique qui constitue la porteuse de référence. Les données de sinus et de cosinus sont aussi utilisées par le module de démodulation en quadrature de phase.

Ce module est un exemple de l'encapsulation mentionnée précédemment. Il est composé de trois sous-modules écrits en VHDL. Le module DDS contient les registres de paramétrage et permet de s'interfacer avec un bloc de propriété intellectuelle de *Xilinx*, soit le *Direct Digital Synthesizer* (DDS v5.0). Ce module se nomme *DDS_Core* dans la figure 2.6. Les paramètres sont l'incrément et le décalage de phase en degrés et une constante pour l'ajustement de l'amplitude.

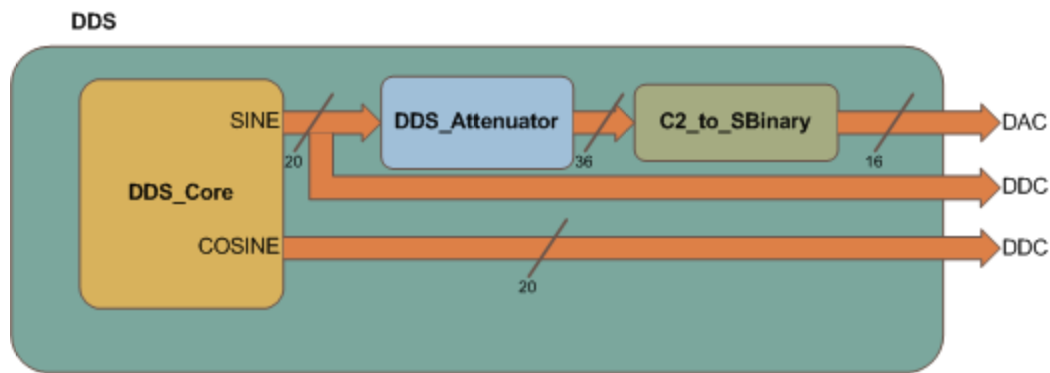


Figure 2.6 Schéma fonctionnel du flux des données du générateur de porteuse.

Pour le contrôle de l'amplitude, un autre sous-module est le *DDS_Attenuator*. Il s'agit d'un multiplicateur qui a été ajouté entre le *DDS_Core* et le DAC pour réduire l'amplitude du signal. Il multiplie la valeur de sortie du *DDS_Core* par une constante paramétrable par l'utilisateur, ce qui permet alors un contrôle fin sur l'amplitude de la porteuse de référence.

Le dernier sous-module du *DDS* est le *C2_to_SBinary*. Il s'agit d'un module de conversion qui prend les données provenant du *DDS_Attenuator* spécifiées en complément à deux pour les convertir en binaire pur qui est le format exigé par le DAC.

Finalement, il est à noter que deux bus de sortie ont été prévus pour le sinus et le cosinus afin de transmettre ces valeurs à la chaîne de démodulation en format complément à deux signé. Cette exigence sera expliquée dans la section portant sur le DDC. Ceci conclut la section concernant le flux des données menant à la porteuse de référence.

2.4.3 Flux des données entrantes : démodulation de la porteuse de mesure

2.4.3.1 Module : *Filter*

Ce module est le premier maillon de la chaîne de traitement visant à convertir la porteuse de mesure en données de TIE. Il est responsable de contrôler le gain ainsi que la fréquence de coupure du filtre passe-bas antirepliement. Ce filtre se situe en amont de l'ADC. Ce module VHDL permet à l'utilisateur de contrôler les paramètres de ce filtre par l'intermédiaire de l'interface graphique.

2.4.3.2 Module : *ADC_INTERFACE*

Ce module contrôle l'ADC LTC1414 décrit à la section 2.3. Il s'agit de l'un des modules autonomes, c'est-à-dire qui fonctionnent en permanence dès que le FPGA est mis sous tension. Ce module est réalisé par une machine à états finis de type Moore. Comparativement à une machine de type Mealy, les valeurs de sortie d'une machine de Moore dépendent seulement de l'état courant. Ce qui n'est pas le cas pour une machine de Mealy où les valeurs de sortie dépendent de l'état actuel ainsi que des valeurs d'entrée.

Cette machine à états finis fonctionne à la fréquence de l'horloge maîtresse du FPGA, soit 24 MHz. Elle génère une horloge de 2 MHz qui donne le signal de début de conversion à l'ADC. Ce module s'occupe aussi du transfert des données de sortie de l'ADC aux autres modules de la chaîne de traitement.

2.4.3.3 Module : DDC

Comme le DDS, le DDC (en anglais, *digital down converter*) est un module qui encapsule plusieurs sous-modules. En fait, c'est un des modules les plus importants du FPGA. Il est responsable de la démodulation en quadrature de phase de la porteuse de mesure. Puisque la formation d'images de TIE est basée sur la modulation d'amplitude et de phase du courant appliqué par les variations de conductivité des tissus, l'information qu'on cherche à extraire de la porteuse de mesure est en fait son enveloppe : c'est-à-dire, son amplitude et sa phase relative. Cette opération de démodulation peut être décrite mathématiquement par les équations suivantes. Supposons que le signal analytique représenté par les données de l'ADC a la forme suivante :

$$s(t) = a(t) \sin(2\pi ft + \theta(t)) \quad (2.1)$$

où $a(t)$ est l'amplitude en fonction du temps de la sinusoïde et $\theta(t)$ représente son déphasage. À l'aide d'une identité trigonométrique, on peut décomposer ce signal $s(t)$ ainsi :

$$s(t) = a(t) \sin(\theta(t)) \cos(2\pi ft) + a(t) \cos(\theta(t)) \sin(2\pi ft) \quad (2.2)$$

On s'aperçoit alors que le signal $s(t)$ peut être représenté par l'addition d'une composante en phase de ce signal $a_I(t)$ avec une autre composante en quadrature $a_Q(t)$.

$$a_I(t) = a(t) \sin(\theta(t)) \text{ et } a_Q(t) = a(t) \cos(\theta(t)) \quad (2.3)$$

$$s(t) = a_I(t) \cos(2\pi ft) + a_Q(t) \sin(2\pi ft) \quad (2.4)$$

Pour extraire la composante en phase, il suffit de multiplier ce signal par un cosinus de même fréquence. Cela correspond à une convolution dans le domaine spectral. On obtiendra alors un spectre centré à 0 Hz, ainsi qu'un autre au double de la fréquence. Il ne reste alors plus qu'à filtrer ce deuxième spectre pour ne conserver que celui centré à 0 Hz. Plus précisément :

$$s(t) = a_I(t) \cos^2(2\pi ft) + a_Q(t) \sin(2\pi ft) \cos(2\pi ft) \quad (2.5)$$

À l'aide d'une identité trigonométrique :

$$s(t) = a_I(t) \left(\frac{1 + \cos(2\pi(2f)t)}{2} \right) + a_Q(t) \left(\frac{\sin(2\pi(2f)t)}{2} \right) \quad (2.6)$$

En filtrant les composants au double de la fréquence f de $s(t)$, on retrouve le signal

$$R_{out_I}(t) = \frac{a_I(t)}{2} = \frac{a(t) \sin(\theta(t))}{2} \quad (2.7)$$

À la sortie du filtre, on obtient donc la composante en phase du signal $a(t)$ multiplié par un facteur $\frac{1}{2}$ et la phase $\theta(t)$. Par une manipulation similaire, mais cette fois en multipliant le signal $s(t)$ par $\sin(2\pi f t)$, il est possible d'obtenir la partie en quadrature de phase, soit la partie imaginaire :

$$R_{out_Q}(t) = \frac{a_Q(t)}{2} = \frac{a(t) \cos(\theta(t))}{2} \quad (2.8)$$

Maintenant qu'on a décrit le principe de fonctionnement de la démodulation en quadrature de phase, on peut expliquer comment cette fonction est réalisée dans le FPGA. Les sous-modules VHDL qui permettent d'effectuer ces opérations sont représentées à la figure 2.7.

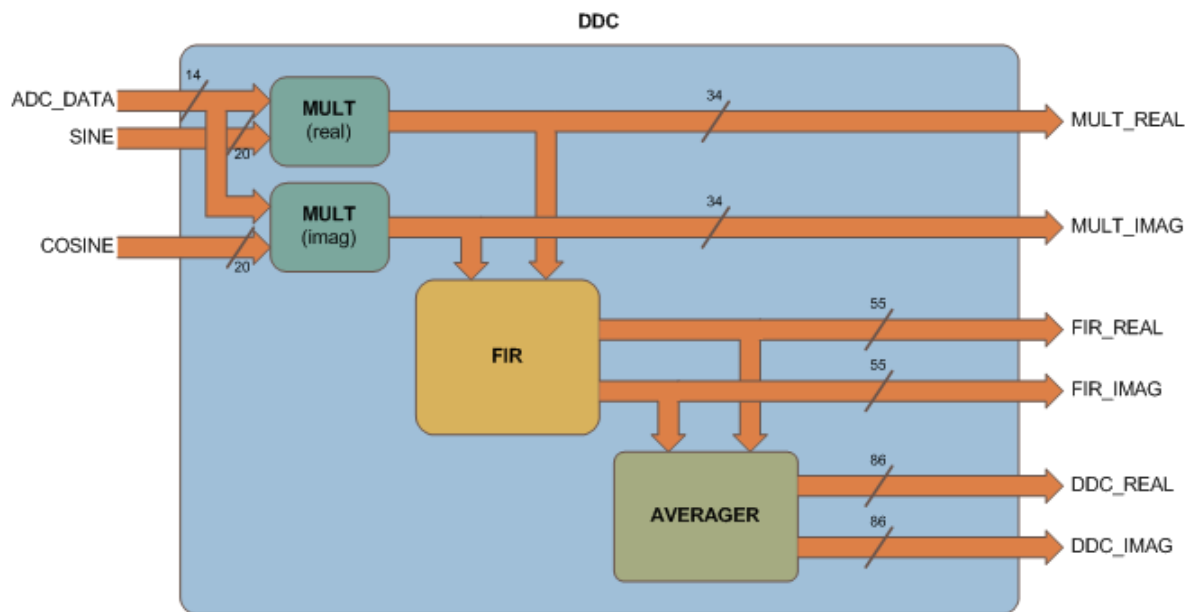


Figure 2.7 Schéma fonctionnel représentant l'architecture interne du DDC.

Dans ce schéma, les signaux SINE et COSINE proviennent directement du DDS. À droite du schéma, les signaux de sortie vont aux modules *DOUBLE_CONVERTER* tel que montré à la figure 2.5. Ce module de conversion sera expliqué plus loin. Le fait de pouvoir enregistrer les données entre chacun des sous-modules du DDC représente un grand avantage pour le débogage ainsi que des développements futurs.

2.4.3.3.1 Module : *MULT*

Ce module de multiplication est semblable à celui utilisé pour l'atténuateur du DDS. Il s'agit d'un bloc de propriété intellectuelle de *Xilinx* qui effectue en temps réel la multiplication des deux signaux. Il n'y a pas de contrôle de marche et d'arrêt, ni de paramètres à ajuster par l'utilisateur. Les données sont tout simplement ignorées par les modules subséquents lorsque non requises.

2.4.3.3.2 Module : *FIR*

Ce module permet de filtrer les composantes spectrales qui se trouvent au double de la fréquence de la porteuse. Le filtre qui a été réalisé est un filtre à réponse impulsionnelle finie (en anglais, *Finite Impulse Response*, FIR). Ces filtres peuvent être décrits par l'équation suivante :

$$y[n] = \sum_{k=0}^N b_k x[n - k] \quad (2.9)$$

où x sont les échantillons du signal d'entrée et y les échantillons du signal de sortie filtré. Les coefficients b ont été obtenus à l'aide de l'outil *fdatools* de *Matlab*. On a entré dans cet outil les paramètres qui optimisaient la réponse impulsionnelle de notre filtre. On a d'abord choisi un filtre passe-bas de type *Equiripple*, une fréquence d'échantillonnage de 2 MHz, une fréquence de coupure de 5 kHz et une atténuation de 100 dB dans la bande de rejet. Une attention particulière a été portée à la réponse du filtre à 100 kHz, puisque c'est à cette fréquence qu'on retrouvera le signal au double de la fréquence de la porteuse (rappelons, que la fréquence la plus souvent utilisée en TIE est de 50 kHz). On a donc optimisé le filtre afin que 100 kHz coïncide avec un creux de la réponse, c'est-à-dire entre deux lobes, tel qu'on peut l'observer à la figure 2.8.

Bien que peu évident, il y a bien deux courbes à la figure 2.8: elles sont tout simplement superposées. Ce qui signifie qu'il y a très peu de différence entre la réponse théorique de ce filtre et celle correspondant à sa réalisation numérique.

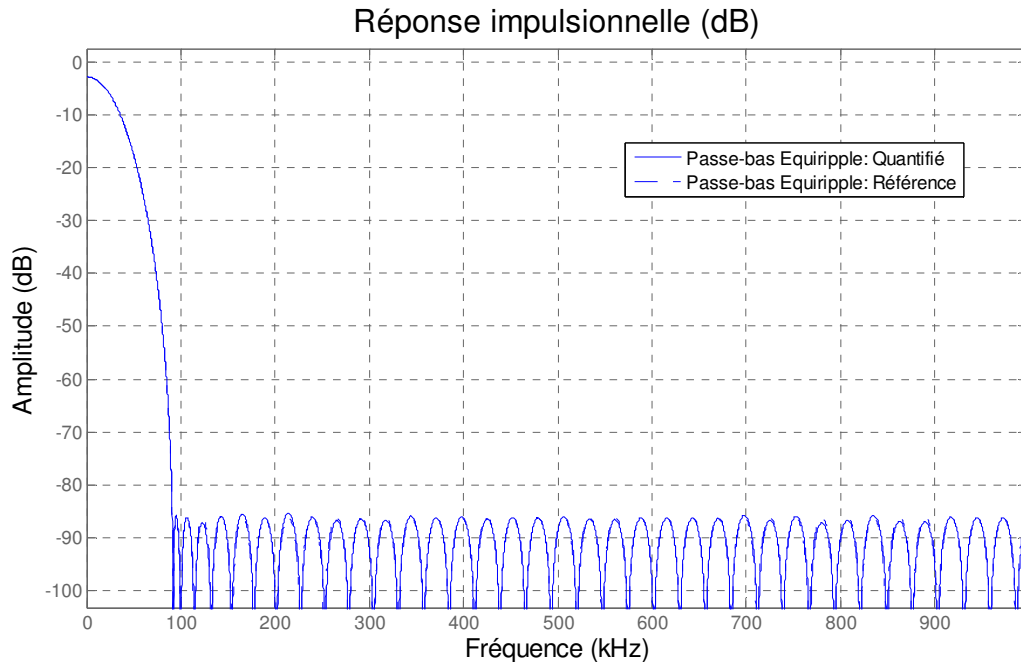


Figure 2.8 Réponse en amplitude du filtre FIR.

Une fois les coefficients obtenus, on les programme dans un bloc de propriété intellectuelle de *Xilinx* expressément conçu pour la réalisation des filtres FIR. L'outil de conception pour ce module nous offrait un choix d'architecture, soit une architecture utilisant des multiplicateurs ou bien de la logique distribuée. Bien que l'utilisation de multiplicateurs semble désavantageuse en termes d'utilisation de ressources et de latence du filtre, on a privilégié cette approche puisqu'elle permet de gérer plusieurs signaux d'entrées aux filtres. Ce qui nous permet d'utiliser le même module FIR pour traiter le signal en phase et celui en quadrature de phase. Cette caractéristique est encore plus avantageuse pour la réalisation future d'un système de TIE multifréquence.

2.4.3.3.3 Module : AVERAGER

Le sous-module qui suit le filtre FIR est un moyenneur nommé *AVERAGER*. Ce sous-module a été développé pour la raison suivante. L'information contenue dans le signal de TIE (phénomènes physiologiques qui modifient la conductivité des tissus) occupe une largeur de

bande de quelques kilohertz centrée autour de 0 Hz. Les composantes spectrales les plus hautes en fréquence sont probablement celles liées à l'activité cardiaque. D'autre part, la fréquence d'échantillonnage de la chaîne d'acquisition du système est de 2 MHz. On se retrouve par conséquent en situation de suréchantillonnage du signal d'intérêt. Utiliser toutes les données générées par la chaîne de traitement surchargerait les communications par le port USB par l'envoi de données redondantes. Deux options s'offrent donc à nous, 1) réaliser une décimation dans le temps, c'est-à-dire de prendre un échantillon à période fixe plus grande que l'intervalle d'échantillonnage et d'ignorer les autres, ou 2) de calculer la moyenne des échantillons provenant d'une même mesure de TIE. On a privilégié la deuxième option puisqu'elle permet également d'augmenter le RSB du système.

Le module *AVERAGER* a été réalisé à l'aide d'une machine à états finis de type Mealy. Son fonctionnement est assez simple. Le module reçoit deux signaux du module *SEQUENCER*, qui sera vu plus loin. Un signal *AVERAGE* qui indique au module le début d'une période de moyennage et un signal *SKIP* qui indique au module de ne pas tenir compte des données entrantes. On dit que ce module fait le moyennage, mais en fait il s'agit seulement d'une accumulation. Il est plus simple d'effectuer la division de la somme par le nombre d'échantillons accumulés par l'ordinateur hôte plutôt que de réaliser un diviseur en VHDL dans le FPGA. On transmet donc à l'ordinateur la somme des échantillons ainsi que leur nombre, et ce dernier calcule la moyenne. Mentionnons que ce module permet de réaliser en parallèle l'accumulation du signal en phase et de celui en quadrature.

2.4.4 Flux des données entrantes : transmission des données de TIE

2.4.4.1 Module : *DOUBLE_CONVERTER*

Au lieu de transmettre à l'ordinateur des entiers dont le nombre de bits varie selon la provenance de la donnée, il a été convenu de concevoir un module de conversion d'entiers en données point-flottant double précision. Ce format, communément appelé *double*, est très utilisé en informatique puisqu'il permet de représenter avec une bonne précision des nombres couvrant une grande plage dynamique. Le fait d'effectuer cette conversion à même le FPGA simplifie la tâche du programmeur qui doit gérer le transfert des données à MEMTA car elles sont déjà converties dans un format compatible. Selon le format IEEE 754, les 64 bits d'une variable point-flottant double précision sont affectés comme suit :

Tableau 2.2 Affectation des bits dans une variable point-flottant double précision.

Numéro du bit	Correspondance
63	Signe
62 à 52	Exposant
51 à 0	Mantisse

Une valeur réelle est donc représentée ainsi:

$$\text{Valeur réelle} = (-1)^{\text{signe}} \left(1 + \sum_{i=1}^{52} b_{-i} 2^{-i} \right) \times 2^{\text{exposant}-1023} \quad (2.10)$$

où b représente les bits de l'exposant. Le fonctionnement de ce module de conversion est basé sur une machine à états finis de type Moore. Cette machine possède trois états :

- 1- Elle vérifie si le premier bit de l'entier reçu est un 1, indiquant un nombre négatif. Si tel est le cas, elle inverse tous les bits de l'entier puisqu'on est en complément à deux.
- 2- Elle recherche la position du premier 1 qui se trouve dans les bits suivant le bit de signe. La position de ce premier 1 déterminera la valeur de l'exposant.
- 3- Elle crée le résultat en concaténant le bit de signe, la valeur de l'exposant et la mantisse. Enfin, elle comble les bits les moins significatifs avec des zéros.

Tel que présenté à la figure 2.5, on retrouve dans le FPGA six modules de conversion entier à point-flottant double précision. Deux modules traitent les données à la sortie des multiplicateurs pour le signal en phase et en quadrature de phase. Deux autres pour les sorties en phase et en quadrature de phase du *FIR*. Deux autres, enfin, pour les sorties de l'*AVERAGER*. Bien que les valeurs entières provenant de ces modules n'aient pas tous la même taille, le module de conversion est adapté en conséquence.

2.4.4.2 Module : *DATA_FORMATTER*

On retrouve quatre modules *DATA_FORMATTER* dans le FPGA. Trois de ces modules se trouvent à la sortie de chaque paire de modules *DOUBLE_CONVERTER* affectés aux multiplicateurs du DDS, aux filtres FIR et aux modules *AVERAGER*. Un quatrième est situé directement à la sortie du convertisseur analogique-numérique en amont du module *DDC*. Le rôle du module *DATA_FORMATTER* est de permettre à l'utilisateur de choisir la source des données qui

sont transmises à l'ordinateur. Le module est donc, essentiellement, un multiplexeur à quatre entrées et une sortie. Un rôle accessoire est d'annexer aux données des étiquettes (en anglais, *tags*) qui faciliteront leur validation lors du traitement final à l'ordinateur.

Ce module est conçu à l'aide d'une machine à états finis de type Mealy. Concernant le choix de données, le module permet à l'utilisateur de déterminer via l'interface graphique s'il désire recevoir les données en phase, les données en quadrature de phase, une juxtaposition de ces données ou aucune donnée. Ce choix doit être effectué pour chacune des sources possibles, soit l'ADC, le multiplicateur, le *FIR* et le module *AVERAGER*. Le choix aucune donnée semble inutile, mais il permet en fait de vérifier le mécanisme de génération des étiquettes et de s'assurer de la fiabilité de la communication USB sur un ordinateur donné.

Puisque ce système de TIE est en cours de développement, il est important de réaliser des fonctions qui facilitent le débogage. Les étiquettes sont des codes insérés automatiquement entre les données de TIE afin de permettre leur validation lors de la réception par l'ordinateur. Quelques choix d'étiquettes sont offerts à l'utilisateur. D'abord, on peut choisir de ne pas insérer d'étiquettes. Ceci permet d'avoir une plus grande bande passante pour le transfert de données de TIE. Toutefois, on ne peut détecter alors s'il y a eu des erreurs de transmission entraînant la perte de données. Un autre choix consiste à insérer une valeur incrémentale. Ceci permet de vérifier que toutes les données ont bien été reçues. La troisième forme d'étiquettes est une valeur constante. Ceci permet de vérifier que les données n'ont pas été modifiées pendant la transmission. Les étiquettes utilisant une valeur incrémentale ou constante sont paramétrables dans le module. Une dernière forme d'étiquettes, *EIT_TAG*, consiste à insérer à chaque donnée le numéro de la trame et le numéro de la mesure, c'est-à-dire la position à l'intérieur de la trame. Ces informations sont fournies directement par le module *SEQUENCER*.

2.4.4.3 Module : *FIFO*

Le module *FIFO* réalise une mémoire tampon de type premier entré, premier sorti (PEPS). Il a deux utilités dans la chaîne de traitement de données. D'abord, il permet de découper les données point-flottant de 64 bits, en quatre mots de seize bits. Ce découpage est nécessaire parce que l'écriture de données au microcontrôleur USB se fait par mots de seize bits. On utilise quatre modules *FIFO* comme tampons entre les modules *DATA_FORMATTER* (données de 64 bits) et le module *USB_DATA_SORTER* dont les entrées ont seize bits. De plus, l'ordre de

lecture des données de 64 bits par l'ordinateur est différent de l'ordre utilisé dans notre système : l'ordinateur fonctionne en mode petit-boutiste (en anglais, *little endian*) et le système en mode gros-boutiste (en anglais, *big endian*). On en profite donc aussi dans les modules *FIFO* pour intervertir l'ordre des variables de 64 bits pour qu'elles soient compatibles à celles de l'ordinateur.

2.4.4.4 Module : *USB_DATA_SORTER*

Ce module gère l'écriture des données sur le bus F_DATA du microcontrôleur USB. Le microcontrôleur dispose de quatre terminaisons (en anglais, *endpoints*) qui sont l'équivalent de mémoires PEPS. Lorsque le module *USB_DATA_SORTER* fait une écriture, il doit spécifier également l'adresse de la terminaison désirée. Une fois les données écrites, le pilote USB de l'ordinateur s'occupe de compléter les transmissions en allant chercher les données contenues dans les terminaisons correspondantes dans l'ordinateur. La seule information communiquée à l'*USB_DATA_SORTER* est la valeur de quatre drapeaux (en anglais, *flags*) qui indiquent s'il y a encore de l'espace disponible pour des écritures supplémentaires dans les quatre terminaisons.

Le module *USB_DATA_SORTER* agit donc comme répartiteur entre les données contenues dans les modules *FIFO* et les terminaisons du microcontrôleur USB. Ce module permet à l'usager de contrôler efficacement la transmission de données. Dans une application de TIE typique, l'usager peut décider d'envoyer le contenu de chaque *FIFO* à une terminaison spécifique. Ce choix a pour avantage de simplifier la réception des données à l'ordinateur. Une autre possibilité consiste à envoyer les données d'un même *FIFO* à chacune des terminaisons à tour de rôle. Ce choix permettrait d'utiliser la plus grande bande passante possible pour ce *FIFO*. Plusieurs autres stratégies sont envisageables selon les besoins. En résumé, on peut multiplexer de façon arbitraire le contenu d'un ou de plusieurs *FIFOs* dans une ou plusieurs terminaisons.

Un avantage du module *USB_DATA_SORTER* est qu'il accomplit sa tâche de répartiteur de façon quasi instantanée, soit en un cycle d'horloge de plus que le nombre d'écritures nécessaires pour transférer une donnée de 64 bits.

Voilà ce qui conclut la description des modules participant au traitement et à la transmission de données. Dans les sous-sections suivantes, on décrira les derniers modules de notre FPGA. Ces modules ont davantage un rôle de contrôle et de coordination des processus,

tandis que les modules précédents avaient un rôle d'opérateur au sein de leur flux des données respectif.

2.4.5 Modules de coordination

2.4.5.1 Module : SEQUENCER

Ce module permet le contrôle général de l'acquisition de données de TIE car il génère le signal SCAN_CLK du MEA ainsi que les signaux AVERAGE et SKIP internes au FPGA. Ces signaux déterminent la période durant laquelle le module *AVERAGER* accumule ou ignore les données. Le module *SEQUENCER* est composé d'une machine à états finis de type Moore qui fait intervenir plusieurs compteurs. La figure 2.9 représente le chronogramme des signaux mentionnés plus haut.

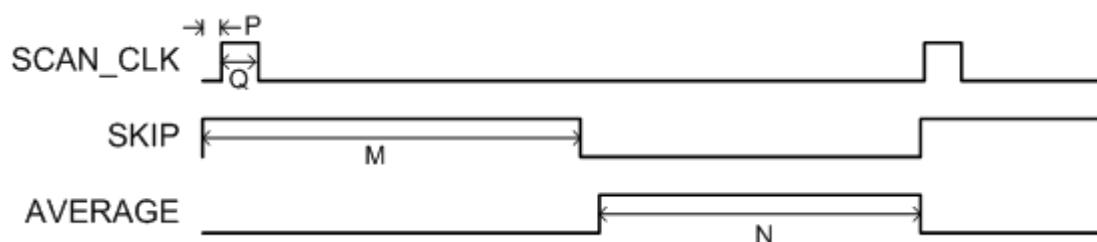


Figure 2.9 Chronogramme des signaux de sortie du module SEQUENCER.

Les valeurs des compteurs sont établies par l'utilisateur à partir de l'interface graphique. Il peut ainsi déterminer les durées suivantes :

Tableau 2.3 Définition des différentes durées paramétrables par le module SEQUENCER.

Lettre du compteur	Durée correspondante
P	Définit le délai avant le premier SCAN_CLK
Q	Définit la durée de l'impulsion de SCAN_CLK
M	Définit la durée de la période inactive
N	Définit la durée de la période active

La période entre deux impulsions `SCAN_CLK` sera ainsi déterminée par la somme des durées de la période inactive (M) et de la période active (N), ainsi que d'un court délai entre les impulsions `SKIP` et `AVERAGE`. Ce délai correspond à la latence du filtre *FIR*. La cadence d'acquisition de données par le système, en trames par seconde, sera inversement proportionnelle à la période entre deux impulsions `SCAN_CLK` successives.

2.4.5.2 Module : *SAE*

Ce module est responsable de contrôler le MEA qui contient l'électronique des électrodes actives intelligentes (en anglais, *Smart Active Electrode*, SAE). Ce module est composé de deux sous-modules : a) un sous-module qui dirige des commandes provenant de l'ordinateur vers le MEA, et b) un sous-module de commutation d'horloges. Ce dernier est nécessaire étant donné que le signal `SCAN_CLK` qui est envoyé au MEA peut provenir de deux sources :

- 1) Soit du module *SEQUENCER*, où il est généré par une horloge continue, tel qu'expliqué précédemment. Dans ce cas, le signal `SCAN_CLK` est nommé `AUTO_SCAN_CLK`.
- 2) Soit d'une impulsion unique (en anglais, *single shot*) générée par le module d'interface, suite à une commande manuelle venant de l'ordinateur ou d'un signal externe.

L'utilisation d'un module de commutation d'horloges fiable est essentielle pour ne pas contaminer le signal `SCAN_CLK` par des impulsions transitoires accidentelles.

2.4.5.3 Module : *Address_Decoder*

Ce module est relié au microcontrôleur USB. Il reçoit donc différents signaux de communication. Sa tâche principale est d'analyser les adresses des données entrantes sur le bus `USB_A` et d'activer le signal `CS` (en anglais, *chip select*) du module correspondant à l'adresse indiquée. Ainsi, lorsqu'un module du FPGA reçoit une impulsion sur son entrée `CS`, il sait que les données se trouvant sur le bus `USB_D` lui sont destinées.

En résumé, l'adresse `0x8000` est réservée pour une réinitialisation globale du système. Les adresses comprises entre `0x8100` et `0x81FF` sont réservées au `Module_0`. La plage d'adresses `0x8200` à `0x82FF` est réservée au `Module_1` et ainsi de suite pour les seize modules. Pour chacun

de ces modules, l'adresse 0x8X00 correspond toujours au registre de réinitialisation interne du module.

2.4.5.4 Module : FPGA_Control

Ce module contrôle trois broches (en anglais, *pins*) dont deux sont reliées à des diodes électroluminescentes (DEL) : PGA_IO_PROG_DONE_LED, FPGA_IO_PROG_FAILED_LED et FPGA_IO_PROG_DONE. Ce module s'occupe également de transmettre à l'ordinateur la version actuelle du code VHDL du FPGA. Finalement, il permet d'effectuer une réinitialisation globale du FPGA.

2.5 Description de l'interface informatique

En lien avec les modules présentés dans les sections précédentes, la figure 2.10 montre l'interface graphique du panneau de contrôle avancé du MSD. Tel qu'expliqué auparavant l'interface graphique qui permet de contrôler le système de TIE a été développée dans l'environnement MEMTA. Dans cet environnement, chaque module peut présenter à l'utilisateur une fenêtre principale permettant d'ajuster certains paramètres ou d'afficher certaines informations. Quelques fenêtres seulement sont visibles lors d'un enregistrement normal de données de TIE de sorte que l'interface graphique est beaucoup plus simple et conviviale. Cette interface graphique permet à l'utilisateur de réaliser des mesures de TIE avec des paramètres par défaut pour chaque module. La seule action à accomplir consiste à appuyer sur le bouton marche/arrêt. Toutefois, si l'utilisateur ouvre le panneau de contrôle avancé, il a alors accès de manière exhaustive à tous les paramètres associés à chaque module. À noter que l'agencement des groupes de contrôles dans cette interface graphique reproduit assez fidèlement le flux des données montré à la figure 2.5. Les contrôles situés complètement à droite de la fenêtre servent à modifier les paramètres liés à la transmission des données entre le microcontrôleur USB et le pilote USB de l'ordinateur.

À titre d'exemple, on peut voir dans la figure 2.10 que le groupe de contrôles pour le DDS est ombragé. Il s'agit d'un mécanisme de protection intégré à ce module. Effectivement, lorsqu'un module est en marche, il devient impossible de modifier ses paramètres. L'utilisateur doit alors appuyer sur le bouton *Disable* pour arrêter le module, changer la valeur du paramètre puis remettre le module en marche en appuyant sur le bouton *Enable*. Ce mécanisme existe pour tous les groupes de contrôles.

Advanced Dialog

FPGA

Version: 09/07/2013 Reset

Register Monitor

FPGA_STATUS_REG	0
FPGA_VERSION_DAY0_REG	57
FPGA_VERSION_DAY1_REG	48
FPGA_VERSION_MONTH0_REG	55

Command

FPGA_LOCAL_RESET_CMD Send

Sequencer

Averager (32-bit code) (Microseconds) (DDS Cycles)

Inactive Period: 400 200 9.99999940E

Active Period: 400 200 9.99999940E

Auto Scan Clock (8-bit code) (Microseconds) (DDS Cycles)

Delay: 1 0.5 0.024999999E

Pulse Width: 10 5 0.249999998E

Status: Disabled Reset Counters Enable

USB Microcontroller

Version: 21/09/2012

Speed: High (480 Mb/s)

Configuration: 1

Alternate Setting: 0

EEPROM

Programmed

Erase

Blank Check

Program

Verify

Temperatures

Base Station: 30.7 °C

Auxiliary 1: N/A

Auxiliary 2: N/A

Auxiliary 3: N/A

Auxiliary 4: N/A

Auxiliary 5: N/A

Auxiliary 6: N/A

Auxiliary 7: N/A

EndPoints

EP1: EP1INCFG: 0x30 (Inactive, Interrupt)

EP1OUTCFG: 0x30 (Inactive, Interrupt)

EP2: EP2CFG: 0xF8 (Active, IN, Interrupt, 1024, Quad)

EP2FIFOCFG: 0x00 (AUTOIN ZEROLENIN WORDWIDE)

EP2AUTOINLEN: 0x0400 (1024)

EP2FIFOFF: 0x18F8 (DECIS=0 PKSTAT=0 PKTS=1 PFC=1016)

EP4: EP4CFG: 0x72 (Inactive, IN, Interrupt, 512, Double)

EP4FIFOCFG: 0x00 (AUTOIN ZEROLENIN WORDWIDE)

EP4AUTOINLEN: 0x0200 (512)

EP4FIFOFF: 0x09F8 (DECIS=0 PKSTAT=0 PKTS=0 PFC=504)

EP6: EP6CFG: 0x72 (Inactive, IN, Interrupt, 512, Double)

EP6FIFOCFG: 0x00 (AUTOIN ZEROLENIN WORDWIDE)

EP6AUTOINLEN: 0x0200 (512)

EP6FIFOFF: 0x09F8 (DECIS=0 PKSTAT=0 PKTS=0 PFC=504)

EP8: EP8CFG: 0x72 (Inactive, IN, Interrupt, 512, Double)

EP8FIFOCFG: 0x00 (AUTOIN ZEROLENIN WORDWIDE)

EP8AUTOINLEN: 0x0200 (512)

EP8FIFOFF: 0x09F8 (DECIS=0 PKSTAT=0 PKTS=0 PFC=504)

Extra Packet Size (Words)

EP2: 3 EP4: 3 EP6: 3 EP8: 3 Fifo Reset

Data Formatter

	FIFO 0	FIFO 1	FIFO 2	FIFO 3
Data:	None	None	None	Complex
Tag:	Increment	Increment	Increment	EIT
Const.:	0	0	0	0
Increment.:	1	1	1	1
	Enable	Enable	Enable	Enable
Status:	Disabled	Disabled	Disabled	Disabled

USB Data Sorter

	Extra Packet Size (Words)	Destination EndPoints (4-bit Code)	Destination EndPoints (Plain Text)
FIFO 0:	Reset 3	0	None
FIFO 1:	Reset 3	0	None
FIFO 2:	Reset 3	0	None
FIFO 3:	Reset 3	1	EP2
Status:	Disabled		Enable

SAE

HardID: TIE-4/SAE-2 Configure ...

SoftID: Scanhead v1.5A

Config: Adjacent (16 electrodes, 208 measurements)

Pulse reset: ☐ RESET Acquire

Pulse sync: ☐ SYNC Suspend

Pulse scandk: ☒ SCANCLK Resume

Dscin: ON ☐ AUTOSCAN

Detect: GetID Factory Rst

Filter

Mute ☐ Gain: 10 Cut-off: 70 kHz

USB Driver

Version: 2.2.4

Manufacturer: IGB

Product: TIES-DF/USB

Serial Number: 1.0

	Ring Buffer Size	Event Trig Level	Read Quantum	Data Rate (MB/s)
EP1:	8388608	4992	48	Disable Reset N/A
EP2:	8388608	4992	48	Enable Reset N/A
EP4:	8388608	4992	48	Disable Reset N/A
EP6:	8388608	4992	48	Disable Reset N/A
EP8:	8388608	4992	48	Disable Reset N/A

Update Reset Start Close

Figure 2.10 Panneau de contrôle avancé du MSD.

CHAPITRE 3 RÉSULTATS

Ce chapitre présente les résultats obtenus à l'aide du système TIE5-USB décrit au chapitre précédent. Plus précisément, ces résultats visent à caractériser le MSD qui a été réalisé au cours de ce projet. Des précautions particulières ont été prises dans le montage expérimental afin de minimiser l'effet des imperfections du MEA ainsi que l'effet des champs électromagnétiques parasites présents dans un laboratoire typique d'électronique comme le nôtre.

Ce chapitre est séparé en huit sections. La première section décrit le montage expérimental et plus particulièrement le fantôme résistif : un accessoire de test qui permet d'évaluer des indicateurs de performance tel le RSB et la précision. La deuxième section montre les résultats de tests de caractérisation globale du système de TIE à partir de données acquises sur le fantôme. Les troisième et quatrième sections présentent respectivement des courbes de RSB et de précision en fonction de la cadence d'acquisition de données (en trames/s) que l'utilisateur peut modifier en changeant la durée des périodes *active* et *inactive* du module moyenneur (*AVERAGER*). Les cinquième et sixième sections présentent des images différentielles de TIE acquises respectivement sur un fantôme et *in vivo*. La septième section présente les effets d'une simple optimisation au niveau de la période inactive tandis que la huitième et dernière section compare les performances du nouveau MSD avec celui de la génération précédente.

3.1 Montage expérimental

Le montage expérimental utilisé lors des essais décrits dans ce chapitre est illustré à la figure 3.1. Le boîtier à gauche de la photo contient la carte du MSD et les blocs d'alimentation. Le MEA est le petit boîtier au bas à droite de la photo. Le circuit imprimé rouge est un fantôme résistif qui sera décrit plus loin dans cette section. Un point important à noter dans cette figure est le grand soin qui a été apporté afin de minimiser la taille des câbles d'interconnexion entre le MSD, le MEA et le fantôme. Lors de l'acquisition *in vivo* de données de TIE, le MSD serait normalement relié au MEA par deux câbles coaxiaux et un câble sériel mesurant environ 2 m. Ceci permettrait de placer le MEA près du patient et le boîtier du MSD au chevet du patient. Dans le présent montage, les câbles coaxiaux et le câble sériel mesurent seulement 10 cm. En ce qui concerne les interconnexions du fantôme au MEA, on utilise habituellement des câbles pour électrodes d'environ 50 cm. Ces câbles ont été remplacés dans le montage expérimental par deux

câbles plats de 10 cm. Ces précautions ont été prises afin de minimiser l'effet des interférences provenant des champs électromagnétiques parasites présents dans le laboratoire.

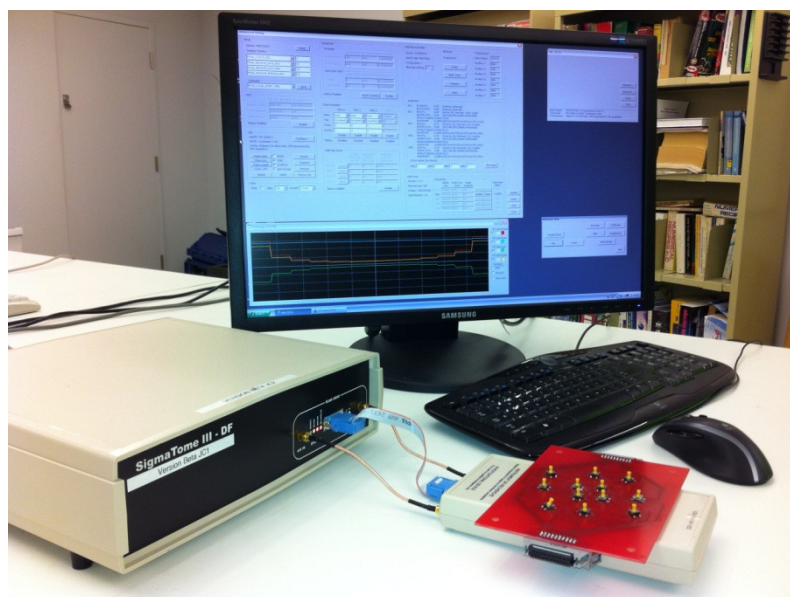


Figure 3.1 Montage expérimental utilisant des câbles très courts pour les interconnexions entre le MSD, le MEA et le fantôme.

Le MEA utilisé dans ce montage expérimental a été conçu pour le système TIE4-USB. Nous disposons d'un MEA de conception plus récente, théoriquement plus performant, mais dont les performances n'ont pas été suffisamment éprouvées en pratique. Nous avons donc préféré utiliser un MEA de génération précédente mais dont les caractéristiques sont stables, optimisées et bien connues. En ce qui concerne le fantôme, nous disposons également de deux versions. Celle visible à la figure 3.1 a l'avantage de permettre des connexions aux électrodes par des câbles plats terminés par des connecteurs de 20 broches. On retrouve ce même type de connecteurs sur le MEA. Il a donc été possible, pour le montage expérimental, de remplacer directement les câbles utilisés pour les électrodes (~50 cm) par des câbles plats de 10 cm seulement. Une version plus récente du fantôme est illustrée à la figure 3.2. Les deux versions du fantôme sont équivalentes du point de vue électrique. Trois aspects les démarquent cependant : 1) la disposition physique des résistances, 2) l'utilisation de connecteurs à bouton-pression compatibles avec les câbles standards pour les électrodes d'ECG et 3) l'ajout de composants qui simulent le comportement électrique des interfaces électrode-peau.

Ces fantômes comportent 340 résistances de précision (0,1%) interconnectées pour former un maillage d'éléments triangulaires. Les valeurs des résistances ont été calculées par la méthode des éléments finis pour simuler un milieu circulaire de conductivité homogène. Connaissant les valeurs des résistances et leurs interconnexions dans le maillage, il est possible de calculer avec une grande précision un signal de TIE théorique, c'est-à-dire un ensemble de mesures (une trame) effectuées selon une séquence connue d'acquisition des mesures. En connectant le fantôme à un système de TIE, on peut enregistrer, selon la même séquence, des ensembles de mesures réelles. On dispose alors de signaux de TIE réels et d'un signal théorique. Le fantôme résistif nous permet donc d'évaluer des indicateurs de performance globale du système, par exemple, la précision des mesures ou le RSB.

On note à la figure 3.2 qu'un côté du circuit imprimé soutient le maillage de résistances ainsi que des connecteurs pour les câbles d'électrodes alors que l'autre côté comporte une série de douze interrupteurs à pression. Ces interrupteurs permettent de modifier la distribution de conductivité du fantôme en court-circuitant (lorsqu'on enfonce le bouton) certaines résistances du maillage. Le fantôme résistif représente donc aussi un outil pour évaluer les performances des algorithmes de reconstruction d'images. Enfin, la présence sur le fantôme de circuits qui simulent l'interface électrode-peau permet d'augmenter le réalisme des signaux produits par ce fantôme.

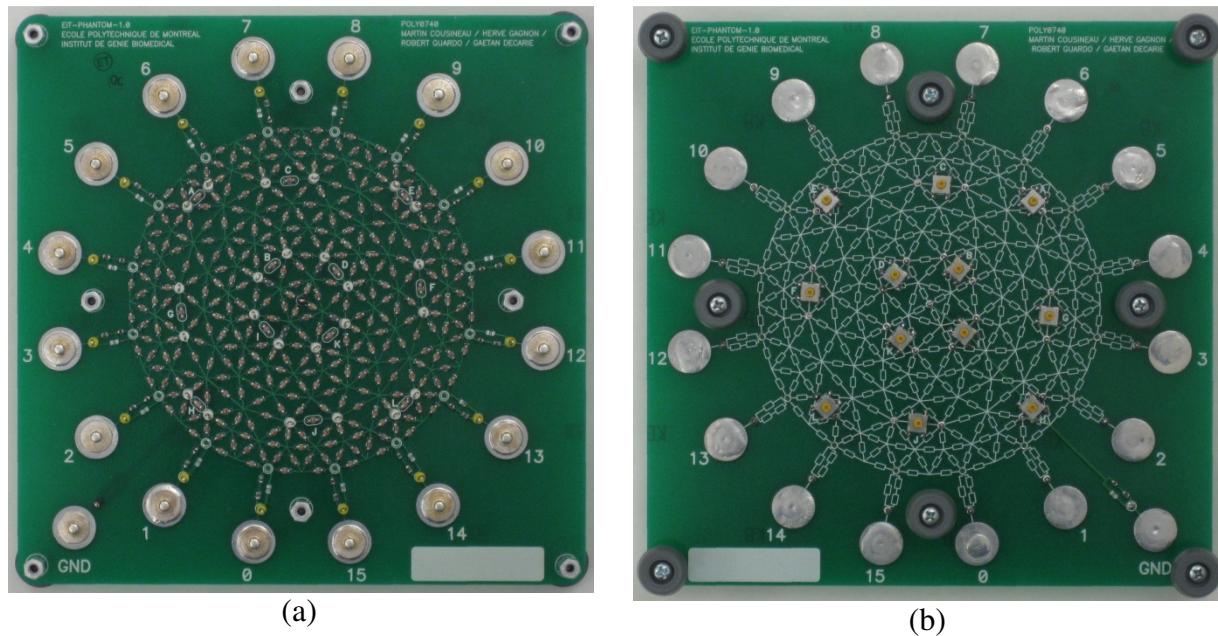


Figure 3.2 Fantôme résistif : a) côté où sont soudées les résistances, b) côté où sont situés les interrupteurs qui permettent de perturber la distribution de conductivité.

3.2 Résultats des tests de caractérisation

La figure 3.3 présente les résultats des premiers tests de caractérisation du MSD réalisé durant notre projet. Les essais ont été faits avec le montage expérimental décrit à la section précédente. L'objectif était d'évaluer le RSB et la précision des mesures du nouveau système de TIE. On a utilisé pour ces premiers essais les paramètres d'acquisition par défaut, soit une période inactive de 400 unités et une période active de 4000 unités. Ces unités correspondent à une période de l'horloge à 2 MHz qui commande l'ADC, soit 500 ns. Donc, les moyenneurs dans le démodulateur en quadrature de phase commencent à accumuler des échantillons 200 μ s après que le MEA ait fixé la combinaison d'électrodes d'excitation et de mesure requise à cette étape de la séquence et accumulent des échantillons durant les prochaines 2000 μ s. Si on cumule ces deux périodes (active et inactive), qu'on y ajoute un court intervalle pour la latence du filtre FIR, et qu'on multiplie par 208, le nombre de mesures par trame, on arrive à une cadence d'acquisition de 2,15 trames/s.

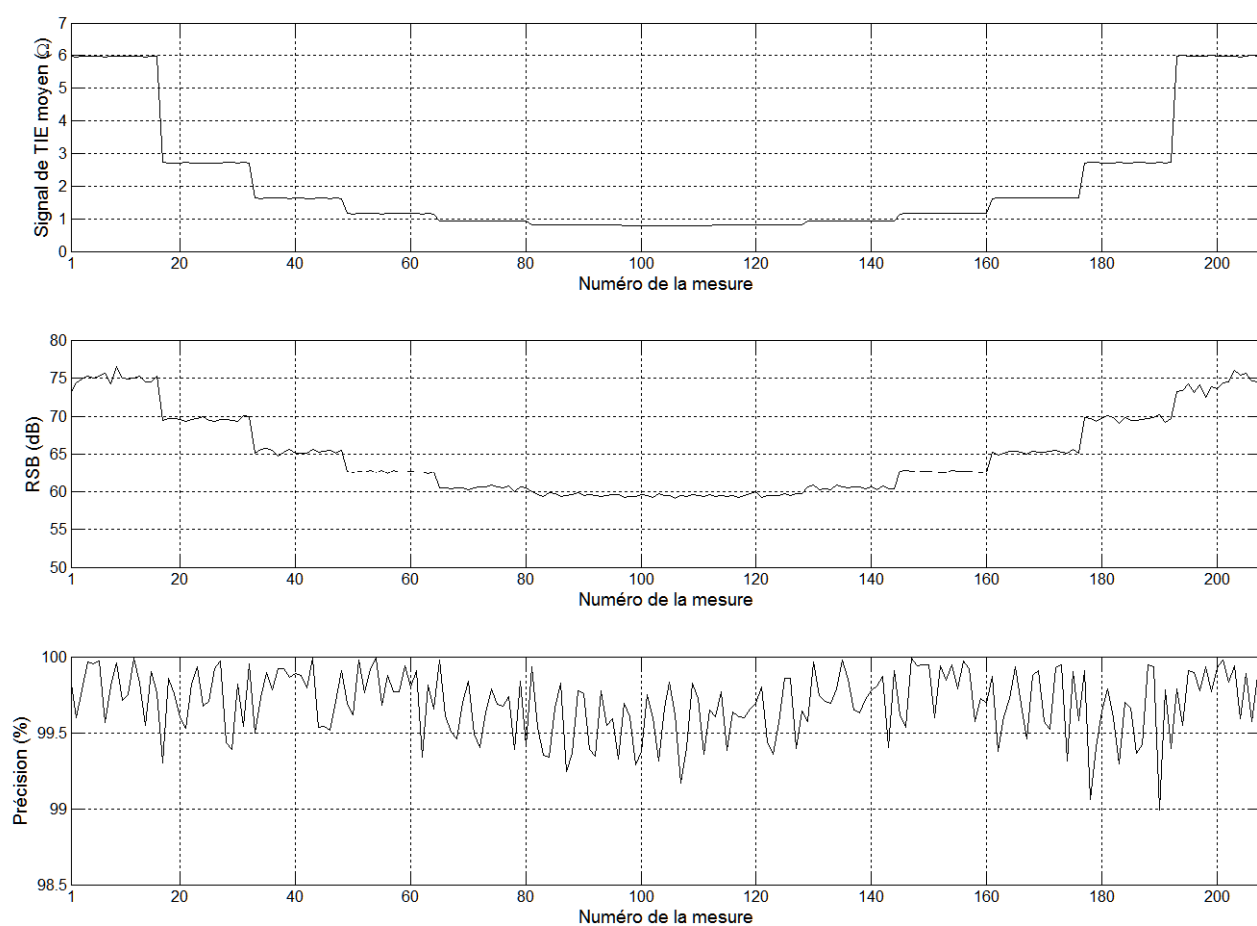


Figure 3.3 Courbes représentant, de haut en bas, le signal moyen de TIE, le RSB et la précision des mesures. L'axe des x représente le numéro de la mesure à l'intérieur de la trame.

Le test dont les résultats sont présentés à la figure 3.3 a été réalisé en enregistrant 1000 trames consécutives dans les conditions décrites plus haut. La figure montre trois graphiques représentant, de haut en bas, le signal moyen de TIE, le RSB et la précision des mesures. L'abscisse correspond au numéro de la mesure à l'intérieur de la trame. Le signal moyen de TIE montre essentiellement la variation d'amplitude des signaux enregistrés à mesure que la séquence préprogrammée modifie la configuration d'électrodes servant à appliquer le courant d'excitation et à mesurer une différence de potentiel. Pour la séquence de mesure utilisée ici (couramment appelée protocole de Sheffield), on obtient dans un milieu circulaire homogène comme le fantôme résistif, un profil de treize plateaux de forme caractéristique. Ce profil est symétrique par rapport au centre (la 104^e mesure de la trame) et l'amplitude des plateaux diminue en allant du début au centre de la trame. Cette diminution est due à une augmentation de la distance entre les paires d'électrodes d'excitation et de mesure.

Le second graphique représente le RSB en dB pour chaque mesure de la trame. Les valeurs en ordonnée de ce graphique sont obtenues à l'aide de l'équation 3.1. Le RSB est un important indicateur de performance d'un système d'acquisition de données. Nous expliquerons davantage sa signification à la section 3.3. On note que le profil du RSB ressemble à celui du signal moyen. Ceci s'explique par le fait que la variance des mesures est relativement constante dans un montage expérimental quasi idéal comme celui employé ici (où on a pris des précautions pour minimiser les interférences externes) alors que la valeur moyenne de la mesure varie selon la position dans la trame.

Le troisième graphique de la figure 3.3 représente la précision globale du système pour chaque mesure de la trame. Le calcul de la précision (équation 3.3) fait intervenir le signal de TIE théorique dont nous avons parlé en introduction à ce chapitre. On remarque que la précision est supérieure à 99% pour toutes les mesures de la trame. Une partie du déficit (c'est-à-dire la différence entre la précision calculée et 100%) est due à la tolérance de 0,1% des résistances du fantôme. La signification de cet indicateur de performance sera expliquée à la section 3.4.

3.3 Rapport signal sur bruit

Le RSB d'un système nous renseigne sur la qualité avec laquelle il transmet l'information. Il consiste en un rapport (exprimé en dB) de la puissance du signal désiré sur celle du bruit. Dans notre cas, il s'agit de la capacité du système de TIE à produire les mêmes valeurs de sortie pour un nombre de mesures prédéterminées lorsque la conductivité du milieu demeure inchangée.

Pour évaluer le RSB, on a utilisé le montage expérimental de la figure 3.1 pour enregistrer 1000 trames de 208 mesures (m_i). On calcule la moyenne (\overline{m}_i) et l'écart-type de chaque mesure pour les 1000 trames. On peut alors calculer le RSB à l'aide de l'équation suivante :

$$RSB_i = 20 \log \left(\frac{\overline{m}_i}{\sigma_{m_i}} \right) \quad (3.1)$$

Le deuxième graphique de la figure 3.3 a été obtenu par cette méthode. On y a tracé le RSB moyen pour chacune des mesures.

Les graphiques de la figure 3.4 ont été obtenus en fixant la période inactive du moyennneur à 400 unités (200 μ s) et en faisant varier la période active du filtre de 20 à 4000 unités en incrément de 20 unités (10 à 2000 μ s en incrément de 10 μ s). Les trois courbes du graphique présentent les valeurs maximum, moyenne et minimum du RSB. Tel qu'anticipé, on constate que le RSB augmente constamment avec la période active de moyennage. Toutefois, le taux d'augmentation devient plus faible au-delà de 800 unités de période active. En ce point, la cadence d'acquisition est d'environ 7,9 trames/s. Le RSB est alors de $58,8 \pm 5,7$ dB. Cette combinaison de périodes *active* et *inactive* donnerait une cadence d'acquisition et un RSB acceptables pour le monitoring de la ventilation pulmonaire. Toutefois, elle ne constitue pas nécessairement une combinaison optimale.

La même méthode a été appliquée afin de déterminer le RSB en fonction de la période inactive pour une période active fixée à 400 unités. Les résultats sont présentés à la figure 3.5. On constate que le RSB se stabilise dès que la période inactive est supérieure à 80 unités. Il n'y a alors aucun gain significatif de RSB à réaliser en augmentant la période inactive.

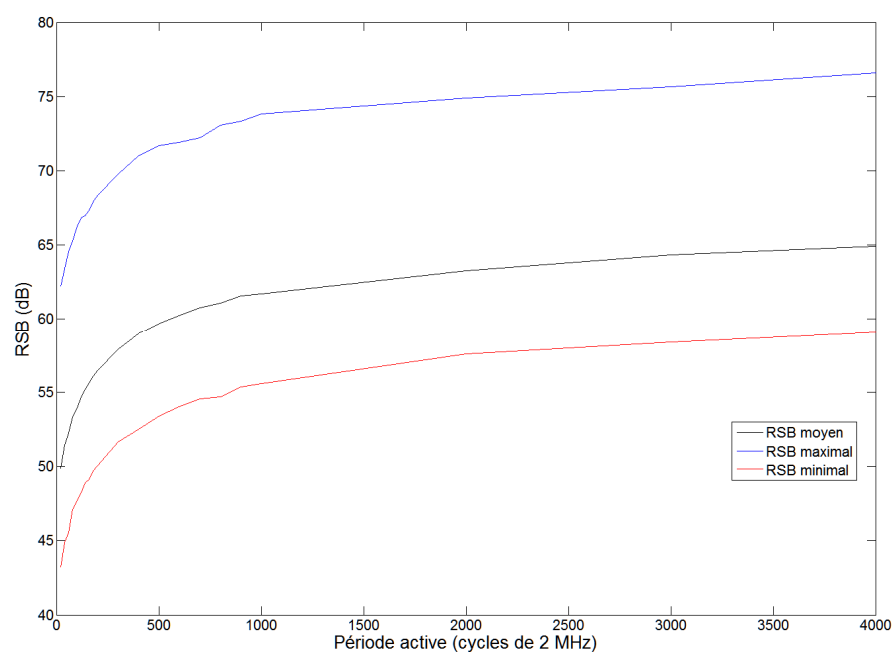


Figure 3.4 RSB en fonction de la période active lorsque la période inactive est fixée à 400 unités.

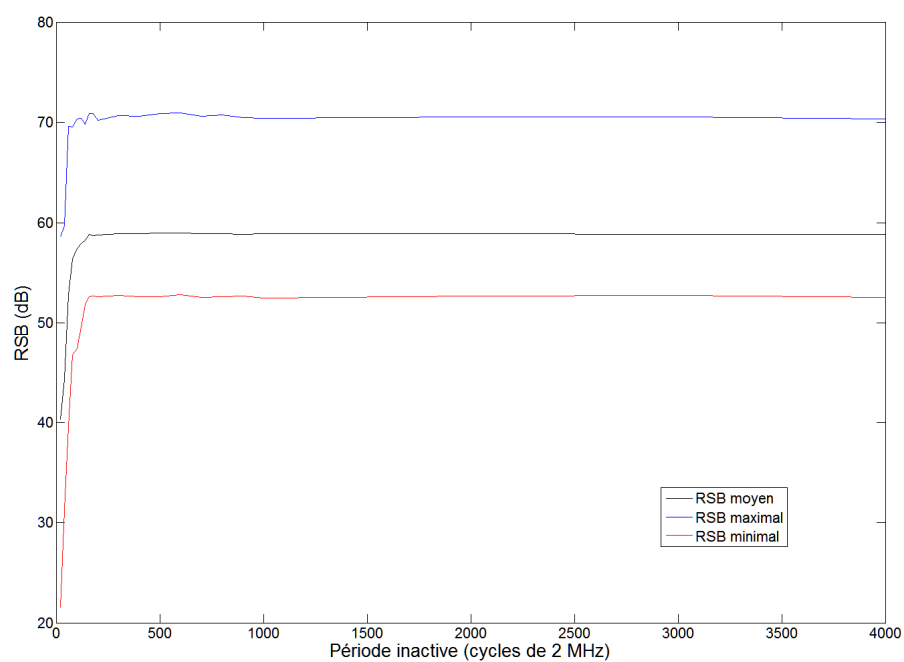


Figure 3.5 RSB en fonction de la période inactive lorsque la période active est fixée à 400 unités.

Notons que la cadence d'acquisition est obtenue à l'aide de l'équation suivante :

$$C = \left(\left((M + N + t) \times \frac{1}{2 \text{ MHz}} \right) \times 208 \right)^{-1} \quad (3.2)$$

où C est la cadence d'acquisition en trame/s, M correspond à la période active, N , la période inactive, t correspond à la période de latence du filtre FIR (80 unités dans notre cas). Cette équation s'applique seulement pour notre séquence de 208 mesures avec seize électrodes.

3.4 Précision des mesures

Cet indicateur de performance représente la capacité d'un système d'acquisition de données d'effectuer des mesures précises. On l'obtient en comparant le signal mesuré à un signal théorique. Encore une fois, nous utilisons le montage de la figure 3.1. Puisque le modèle électrique du fantôme résistif est connu, il est possible de calculer un signal théorique de TIE pour ce dernier. Il ne reste alors qu'à comparer les valeurs théoriques calculées aux valeurs mesurées. Comme pour la caractérisation du RSB, nous avons fait l'acquisition de 1000 trames de 208 mesures. Pour chaque mesure, nous avons calculé l'équation suivante :

$$P_i = \left(1 - \left| \frac{m_{i\text{mesuré}} - m_{i\text{théorique}}}{m_{i\text{théorique}}} \right| \right) \times 100\% \quad (3.3)$$

Nous avons répété les essais avec différentes valeurs de périodes *active* et *inactive* du moyennneur afin de déterminer la combinaison qui nous donnerait les meilleures performances. Les résultats de ces essais sont présentés à la figure 3.6 et à la figure 3.7. On constate que les points d'inflexion se situent à environ 40 unités. Au-delà de cette valeur, la précision change peu.

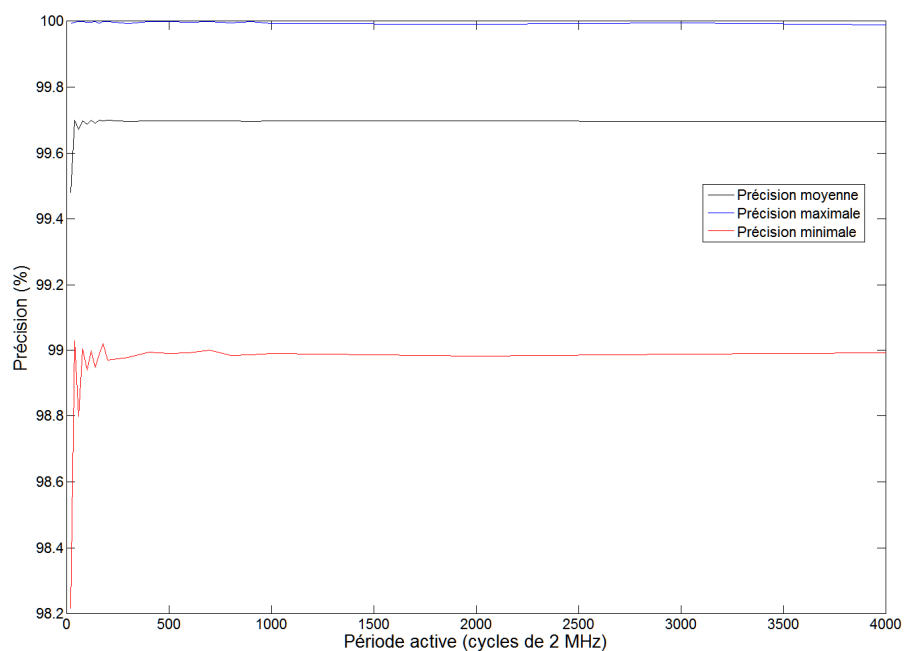


Figure 3.6 Précision globale en fonction de la période active, avec une période inactive de 400 unités.

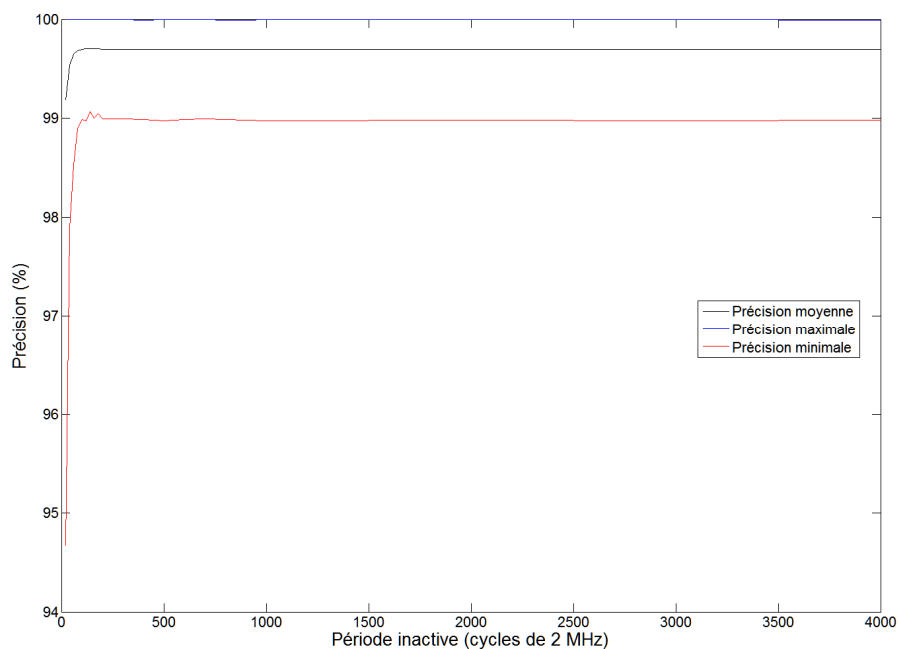


Figure 3.7 Précision globale en fonction de la période inactive, avec une période active de 400 unités.

3.5 Images différentielles sur fantôme

La figure 3.8 présente des images différentielles de TIE (en anglais, *time-difference images*) obtenues avec les mêmes paramètres d'acquisition que l'essai initial, présenté à la figure 3.3. Ces images ont été reconstruites en utilisant un maillage de 4096 éléments triangulaires en appliquant la méthode de l'estimateur du maximum *a posteriori* (MAP). Cet algorithme de reconstruction est décrit en détail dans la thèse de Gagnon (2003). Les colonnes de la figure montrent les images de la variation de conductivité du milieu homogène représenté par le fantôme résistif, réalisées en appuyant successivement sur les interrupteurs C, F, J et G du fantôme, puis (dans la dernière colonne) sur ces quatre interrupteurs simultanément. Les différentes rangées montrent comment l'aspect des images est modifié par le choix du paramètre de régularisation utilisé dans l'algorithme de reconstruction. Ce paramètre, appelé facteur de bruit (en anglais, *Noise Figure*, NF), détermine en quelque sorte l'importance que l'algorithme de reconstruction accordera aux mesures versus celle accordée à un *a priori*. On note qu'un NF élevé (première rangée d'images) favorise une meilleure résolution spatiale au détriment de l'apparition d'artéfacts. Un NF de valeur faible privilégie les images lisses à la façon d'un filtre spatial passe-bas, les images sont alors plus floues mais contiennent moins d'artéfacts.

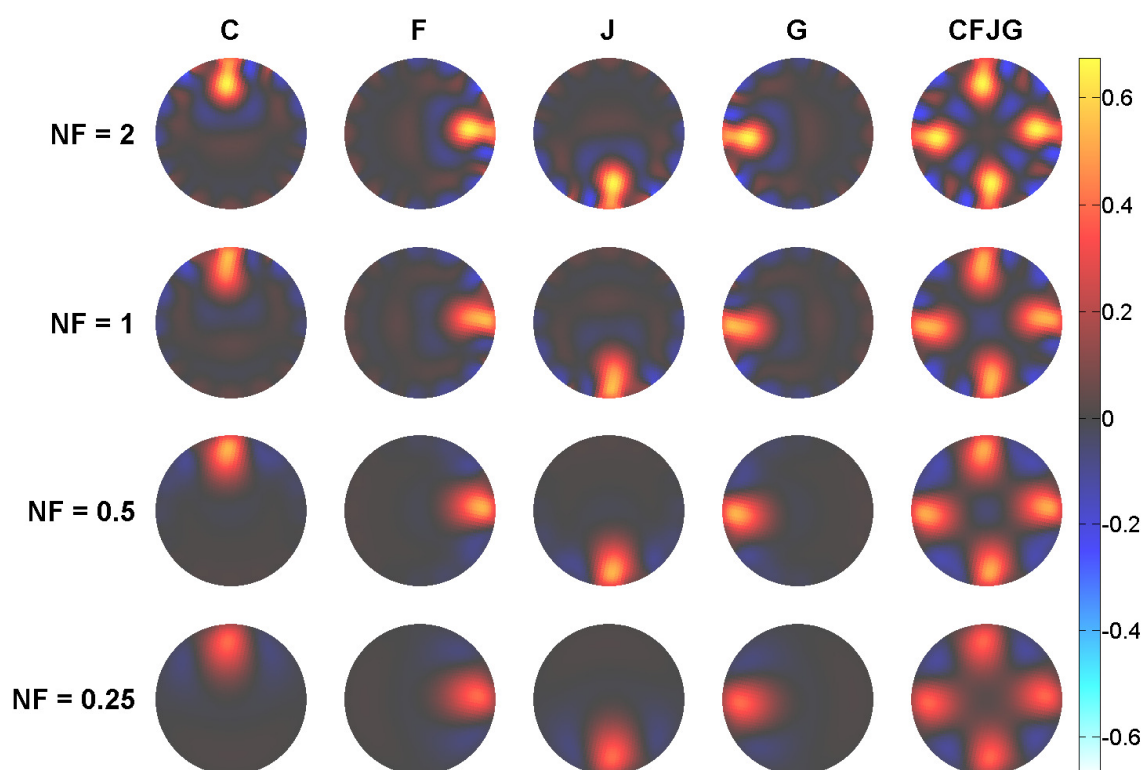


Figure 3.8 Images différentielles de conductivité obtenues en appuyant successivement sur les interrupteurs C, F, J, G du fantôme et, pour la dernière colonne, en appuyant simultanément sur les quatre interrupteurs. Ces images illustrent aussi l'effet du paramètre de régularisation appelé *Noise Figure* (NF) qui est utilisé dans l'algorithme de reconstruction MAP.

3.6 Images *in vivo*

Suite à la validation du fonctionnement du système, des images *in vivo* ont été enregistrées sur un volontaire de notre laboratoire après avoir réalisé tous les tests de sécurité électrique et en conformité avec la politique sur l'éthique de l'École Polytechnique de Montréal. Bien qu'il soit plus facile d'apprécier les images de TIE en défilement vidéo, la figure 3.9 permet d'apprécier les variations de conductivités lors d'un cycle respiratoire complet. La première image en haut à gauche a été prise à la fin d'une expiration au volume résiduel. On voit dans cette figure les poumons s'emplir d'air à partir de ce moment. La coloration des poumons devient de plus en plus blanche lors de l'inspiration, indiquant une diminution de la conductivité due à la faible conductivité de l'air. Par la suite, les poumons redeviennent bleus foncés lors de l'expiration.

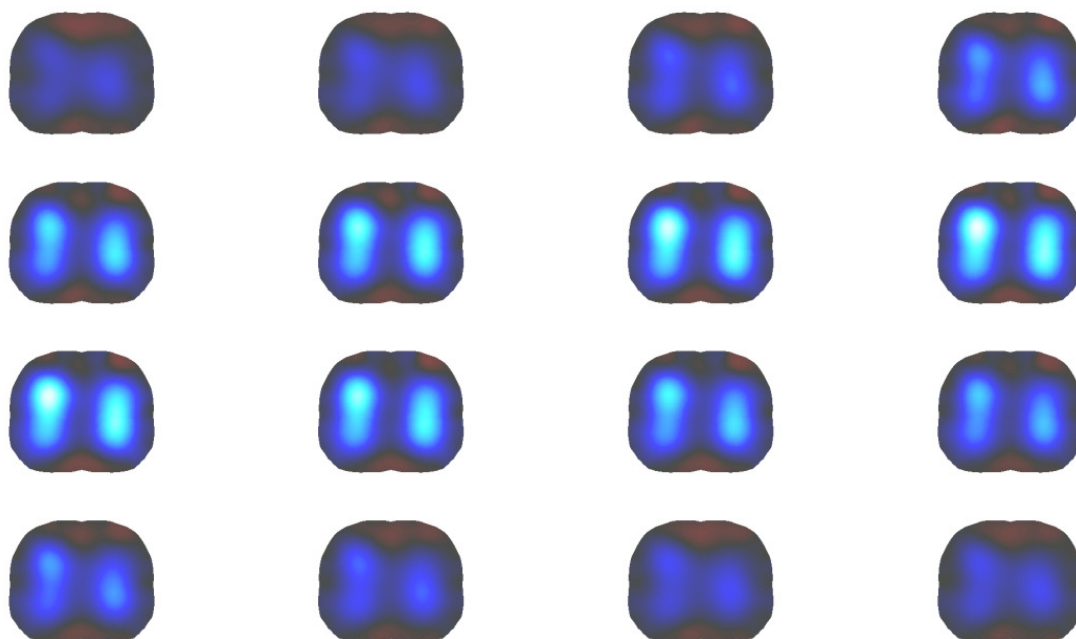


Figure 3.9 Images différentielles de la ventilation pulmonaire sur un sujet normal. La séquence d'images se succède chronologiquement de gauche à droite et de bas en haut.

Ces images ont été obtenues avec une période active et inactive de 400 cycles d'horloge de 2 MHz, ce qui correspond à une cadence d'acquisition de 10,94 trame/s. On observe donc que le système nous permet de bien distinguer la ventilation pulmonaire. De plus, il est aussi possible de discerner des variations de conductivité en fonction de l'activité cardiaque lorsque les images

défilent en continu sous la forme d'une vidéo. Ces variations de conductivité sont à peine perceptibles à la figure 3.9.

3.7 Optimisation en fonction de la période inactive

Afin d'améliorer les performances de notre système au niveau du RSB, nous avons réalisé une optimisation de la durée de la période inactive. En observant attentivement le graphique de la figure 3.5, on s'aperçoit qu'à partir d'un certain point d'inflexion (d'environ 160 cycles), il n'y a plus aucun intérêt à augmenter davantage la durée de la période inactive car il n'y a plus d'augmentation correspondante du RSB.

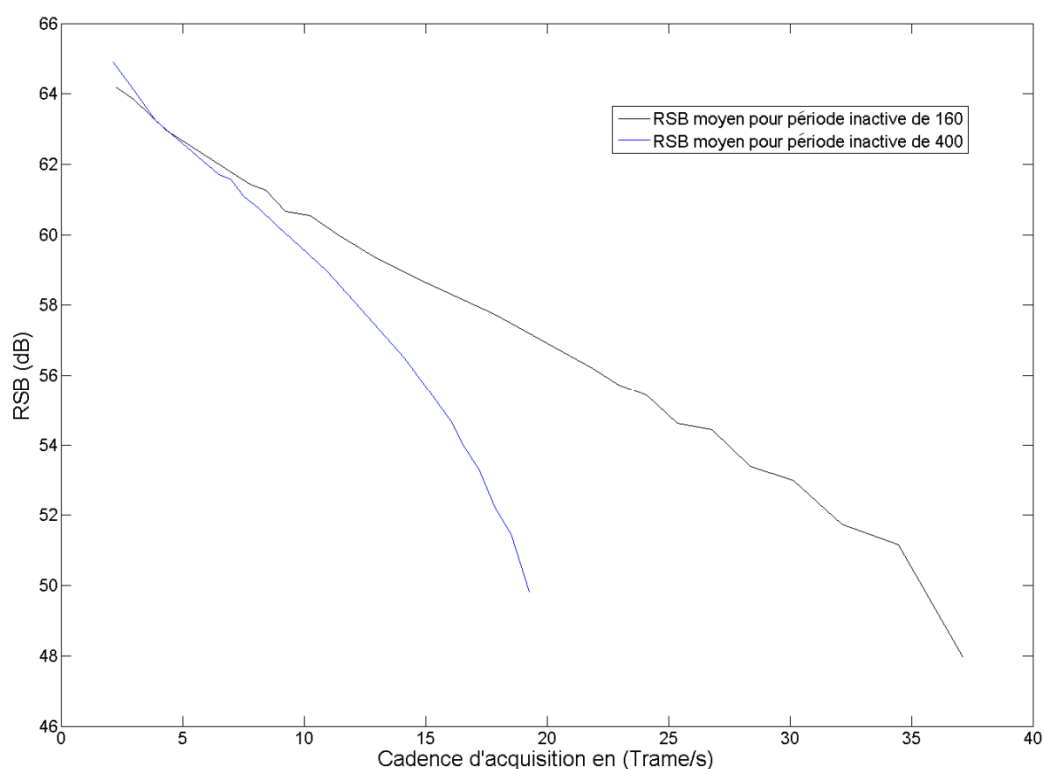


Figure 3.10 RSB en fonction de la cadence d'acquisition pour deux valeurs différentes de période inactive.

La figure 3.10 a été obtenue en mesurant le RSB en variant la durée de la période active tout en conservant la durée de la période inactive constante pour des valeurs de 160 et de 400 cycles. Cette mesure nous a permis de constater que pour une période inactive de 160 cycles,

comparativement à 400 cycles, nous avons un gain de RSB pour une même cadence d'acquisition. De plus, notre système pouvait alors atteindre une cadence d'acquisition beaucoup plus élevée soit de 37,2 trame/s avec un RSB satisfaisant.

3.8 Comparaison au système TIE4-USB

Suite aux résultats obtenus à la section précédente, nous avons décidé de comparer le RSB de notre nouveau système à celui du système TIE4-USB. Nous avons décidé de seulement comparer le RSB, puisque la précision des mesures est fortement dépendante du MEA plutôt que du MSD.

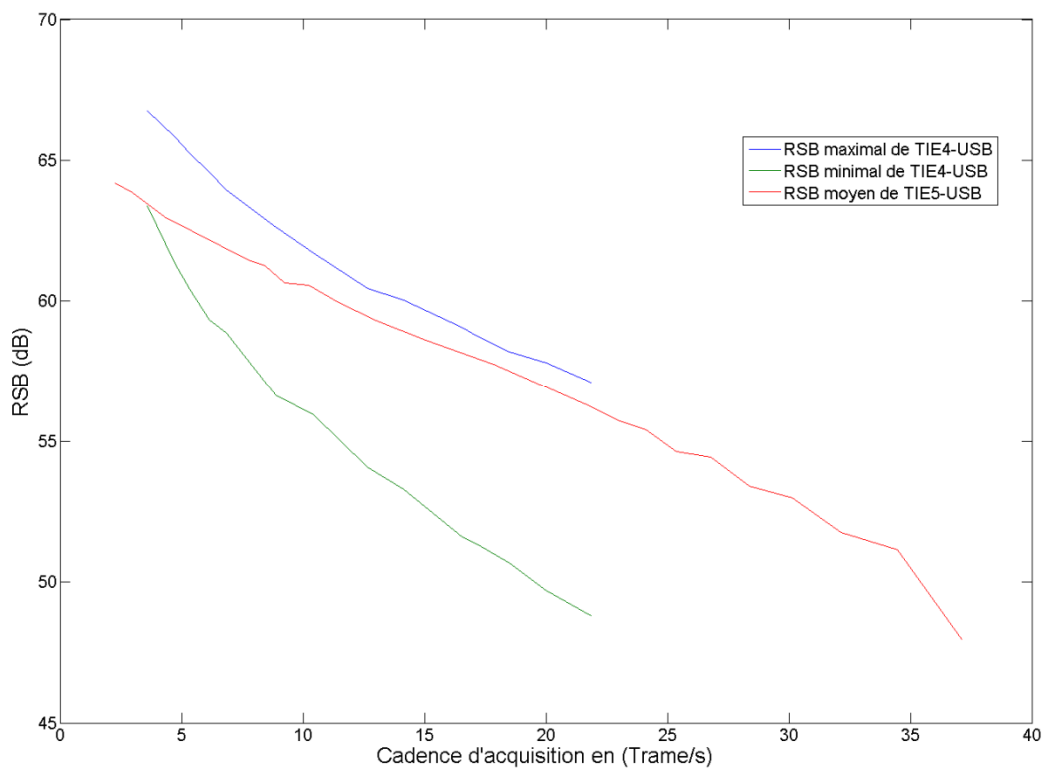


Figure 3.11 RSB en fonction de la cadence d'acquisition, comparant les performances maximales et minimales de TIE4-USB, avec la moyenne de TIE5-USB.

On comprend alors à l'aide de la figure 3.11 que le RSB moyen de notre système se compare avantageusement bien à celui de TIE4-USB. Toutefois, ce dernier système a subi beaucoup d'améliorations au cours des années qui ont permis de maximiser son RSB. Tandis que notre système offre déjà des performances très encourageantes à l'aide d'une simple optimisation

sommaire de la durée de la période inactive. De plus, on observe aussi que notre système peut déjà atteindre des cadences d'acquisition beaucoup plus élevée que le précédent. Tel qu'il sera discuté dans la conclusion, on peut facilement s'imaginer que les performances de notre système dépasseront amplement celles de la génération précédente lorsque les optimisations décrites dans la conclusion seront réalisées.

CHAPITRE 4 CONCLUSION

Ce chapitre comporte deux sections principales. La première décrit le système qui a été réalisé ainsi que les avantages de ce dernier par rapport à la génération précédente. La deuxième section fait le lien entre le système qui a été réalisé, les optimisations simples qui peuvent être réalisées à court terme et d'éventuels développements qui permettront d'envisager d'autres formes de TIE. Dans cette deuxième section, on présentera d'abord les optimisations pouvant être apportées au système afin d'améliorer les performances dans les applications simple fréquence (TIE-SF). Ensuite, on expliquera comment le système pourrait faire l'acquisition de données de TIE synchronisées à un événement physiologique. On proposera enfin deux architectures pour réaliser des acquisitions en mode bifréquence (TIE-BF) et tridimensionnel (TIE-3D).

4.1 Synthèse des travaux actuels

Bien qu'il n'ait pas été possible de démontrer tout le potentiel du MSD en réalisant toutes ses fonctionnalités, le système est tout de même fonctionnel. Il est vrai que nous n'avons pu faire la validation des différentes techniques de TIE présentées au chapitre 1, cependant cette nouvelle architecture matérielle pour le FPGA du MSD présente des avantages indéniables comparativement à la génération précédente. De plus, étant donné les performances actuelles et les optimisations envisagées qui sont décrites plus loin, nous avons de bonne raison de croire que les performances du nouveau MSD seront supérieures aux versions précédentes. De plus, les bénéfices potentiels qu'il offre font en sorte que ce le choix de ce MSD s'impose pour tout développement futur.

Robustesse

La conception du MSD est beaucoup plus robuste que celle des générations précédentes en termes de code VHDL. On entend par robustesse trois choses. Premièrement, les techniques de programmation employées pour la conception du MSD respectent entièrement la philosophie du VHDL. Lors de l'écriture du code, une attention particulière a été portée à la logique synthétisée afin que celle-ci soit cohérente avec ce que nous voulions concevoir. Ce principe peut être illustré par un exemple simple. Prenons la situation où nous créons une structure décisionnelle à l'aide de plusieurs *if* imbriqués. Si on assigne une valeur à un signal dans un de ces *if*, on doit assigner une valeur à ce signal pour toutes les autres possibilités de décisions dans cette structure sans quoi le

synthétiseur se verra dans l'obligation de créer une bascule inférée (en anglais, *inferred latch*). Ces bascules inférées, créées par le synthétiseur, reflètent une erreur de syntaxe VHDL. Il s'agit d'une façon détournée d'obtenir un circuit fonctionnel, mais qui nuit grandement aux performances temporelles du circuit et peut mener éventuellement à des erreurs majeures. Plusieurs centaines de ces bascules inférées sont présentes dans l'architecture de la génération précédente.

Deuxièmement, une autre amélioration apportée à la robustesse du FPGA a trait à la distribution des horloges internes. Il est possible pour les *Virtex II* d'employer des structures prédéfinies nommées DCM (de l'anglais, *Digital Clock Manager*) qui permettent de prioriser la propagation de l'horloge. Cette structure n'avait pas été employée dans la génération précédente, on utilisait plutôt de simples suiveurs d'entrée (en anglais, *input buffer*).

Troisièmement, la réalisation de plusieurs mécanismes de vérification d'erreurs confère une plus grande robustesse au design. Tant au niveau, de l'interface graphique MEMTA, qu'à l'intérieur des modules VHDL, des mécanismes de détection d'erreurs permettent de valider l'information afin de signaler tout problème observé. Dans le FPGA une série de témoins a été implémentée alors que dans MEMTA une fenêtre d'erreur s'affiche. Lorsqu'une erreur se produit le module FPGA_CONTROL en est toujours informé afin de signaler l'erreur à MEMTA.

Modularité

Un autre avantage majeur du nouveau MSD est sa modularité. Le paradigme de notre conception est un peu lié à l'expression : diviser pour mieux régner. Effectivement, puisque chaque tâche est découpée et assignée à un module précis, il est possible de remanier l'architecture de façon simple afin de créer une variante de celle-ci. Le passage d'une architecture TIE-SF à TIE-BF en est un bon exemple.

Un mécanisme clé à la base de cette modularité est le principe de logique domino tel qu'expliqué précédemment. L'échange de données entre les modules est alors simplifié, car elle n'est pas dépendante du délai de traitement des données à l'intérieur du module. D'ailleurs, l'instabilité de la génération précédente du MSD était principalement causée par les fortes contraintes temporelles liées à l'échange des données. Effectivement, le flux des données était une longue chaîne, où tout était interdépendant. Il n'y avait pas d'autonomie entre les modules

responsables de la démodulation et ceux responsables de la transmission des données. Les délais de propagation des données dans la chaîne de traitement étaient alors critiques.

Cette modularité de notre architecture confère un autre avantage comparativement au système TIE4-USB en permettant de relier directement les sorties sinus et cosinus du DDS à la chaîne de démodulation, et ce quel que soit le nombre de fréquences dans la porteuse. Dans le système TIE4-USB, la synthèse de la porteuse est faite par un composant différent du composant s'occupant de la démodulation. Il y alors un ajustement de phase à faire. Dans notre architecture, ce lien direct permet un contrôle beaucoup plus étroit de la phase.

Fonctionnalité

Notre MSD présente de nouvelles fonctionnalités qui faciliteront le développement de futures applications de la TIE. Tout au long de la conception de l'architecture, nous avons gardé en tête le fait que ce système serait principalement employé dans un environnement de recherche, c'est-à-dire qu'il devait offrir des fonctionnalités permettant de tester différents aspects de la TIE. L'idée de pouvoir transmettre à l'ordinateur les données présentes en différents points de la chaîne de démodulation illustre bien ce point. Par ce mécanisme, il est possible de recueillir les données brutes de TIE ou bien celles provenant de chacune des opérations de la démodulation par quadrature de phase. Il est ainsi possible de mieux comprendre chaque étape du traitement afin de subséquentement optimiser la démodulation des signaux.

Une dernière fonctionnalité digne de mention est l'utilisation d'un nouveau pilote USB relié au module *USB_DATA_SORTER*. Ce module permet l'envoi des données provenant de n'importe quel PEPS vers n'importe quelle terminaison USB. Il permet l'optimisation de la communication USB. Ainsi, l'analyse des transferts USB permettra d'optimiser la bande passante entre le système TIE5-USB et l'ordinateur.

En conclusion, nous croyons que la nouvelle génération de MSD a entièrement répondu au mandat correspondant aux critères suivants :

- Générer une porteuse de référence
- Contrôler la séquence de mesure du MEA
- Démoduler la porteuse de mesure

- Transmettre ces données à l'ordinateur
- Communiquer avec l'interface de contrôle MEMTA

De plus, la nouvelle conception évolutive du MSD permet d'envisager plusieurs applications et variantes intéressantes de la TIE. Ces dernières seront présentées dans la section suivante. On y présentera également différentes optimisations qui permettront d'améliorer les performances du MSD.

4.2 Suggestions de travaux futurs

4.2.1 Optimisation de la TIE-SF

Les performances du nouveau MSD du système TIE5-USB décrit dans ce mémoire ont été évaluées de façon préliminaire suite à une optimisation sommaire des différents paramètres affectant les performances. Une optimisation plus exhaustive de ces paramètres aurait pu grandement améliorer la précision globale des mesures et surtout le RSB. Dans cette sous-section, nous présenterons trois techniques d'optimisation.

La première technique est la recherche de la meilleure combinaison de périodes active et inactive pour le moyenneur. La méthode décrite dans le chapitre 2, soit fixer la période active et varier la période inactive, puis le contraire, n'a pas permis de trouver la combinaison optimale car on fixait de façon arbitraire la période active ou inactive à 400 unités. L'optimisation subséquente de la section 3.7 en fixant la période inactive à 160 unités fournissait déjà un gain significatif en RSB. Cette optimisation devrait être faite de manière plus systématique afin de trouver la période inactive la plus courte possible qui permet de maximiser le RSB du MSD. Cette optimisation devrait être refaite à toute les fois qu'une autre optimisation (comme celles décrites dans les paragraphes suivants) sera réalisée. Cette technique d'optimisation nous permettrait sans doute d'obtenir des valeurs de RSB comparables au MSD précédent.

Une deuxième technique d'optimisation qui pourrait procurer un gain de performance significatif concerne la synchronisation du signal de commutation des mesures avec la porteuse de référence. En ce moment, le signal SCAN_CLK, qui commande au MEA de commuter les paires d'électrodes à chaque mesure, est généré par le FPGA de façon asynchrone à la porteuse. Il serait avantageux d'effectuer cette commutation lorsque la porteuse de référence passe par zéro.

De cette façon, les effets transitoires observés lors de la commutation des électrodes seraient beaucoup plus faibles car le courant appliqué dans le milieu est à ce moment théoriquement nul. Le code VHDL pour détecter le passage par zéro de la porteuse à la sortie du DDS est déjà présent dans le FPGA. Toutefois, il n'a pas été relié au module SEQUENCER afin de synchroniser le signal SCAN_CLK principalement par manque de temps. De plus, il faudrait raffiner la génération du signal de passage par zéro pour tenir compte du délai de propagation entre le moment où le signal de référence quitte le DDS et le passage effectif par zéro du courant au niveau des électrodes dans le MEA.

Une dernière technique d'optimisation serait d'expérimenter avec d'autres séries de coefficients pour le filtre FIR du DDC. Les coefficients utilisés présentement ont été obtenus par une méthode de calcul empirique. Une approche plus systématique, guidée par des observations directes des signaux avant et après le filtre FIR, permettrait de calculer des coefficients qui réalisent un filtre optimal doté de meilleures performances au niveau du RSB.

Une autre optimisation qui serait envisageable mais qui nécessiterait un travail de longue haleine serait de refaire la carte électronique du MSD. Bien que cela n'ait potentiellement pas d'effets directs sur les performances du MSD, un nouveau circuit imprimé permettrait d'inclure certains éléments afin d'accroître la polyvalence du MSD. Par exemple, il serait alors possible d'utiliser un FPGA de nouvelle génération. Ce n'est pas que nous sommes limités par le FPGA actuel en termes de performances, mais le fait que les FPGA *Virtex II* soient considérés comme obsolètes par *Xilinx* en complique le développement. Il s'est avéré effectivement impossible d'utiliser des logiciels de simulation temporelle avec la version 10.1 de l'environnement de développement *ISE* de *Xilinx* qui est nécessaire afin d'utiliser le langage VHDL pour les *Virtex II*. De plus, en refaisant la carte électronique, il serait possible de modifier les circuits connexes aux mémoires du FPGA. Dans la version actuelle du MSD, ces mémoires ne sont pas soudées sur la carte. Elles sont insérées dans des socles (en anglais, *socket*) afin de pouvoir se servir au besoin d'un programmeur externe. Toutefois, cette possibilité de retirer les mémoires de leur socle nous a causé jusqu'à maintenant plus de problèmes que de bénéfices. Premièrement, nous n'utilisons plus le programmeur externe. Deuxièmement, des erreurs de communication entre le FPGA et la mémoire se produisaient occasionnellement à cause d'une mauvaise insertion de la puce de mémoire dans son socle. En plus de souder les mémoires à la carte électronique, on pourrait ajouter la possibilité de programmer celles-ci à l'aide du microcontrôleur USB. Ainsi, il serait

possible de changer la configuration de l'architecture VHDL du FPGA par l'interface MEMTA sans avoir à utiliser le câble de programmation USB fourni par *Xilinx* ni l'outil de programmation interne à *ISE*. Cette fonctionnalité serait particulièrement intéressante pour des applications où l'on souhaiterait passer rapidement durant des tests *in vivo* du mode TIE-SF à TIE-BF ou toute autre configuration. La programmation d'une nouvelle architecture pour le FPGA passerait alors par MEMTA. Finalement, une réédition du circuit imprimé pourrait permettre d'ajouter un port d'entrée et/ou des circuits de conditionnement de signaux (par exemple, un ampli d'ECG) pour la synchronisation des données de TIE à un événement physiologique tel que décrit dans la section suivante.

4.2.2 Réalisation d'un système de TIE synchrone à un événement physiologique

Tel que décrit dans l'introduction, il serait intéressant de pouvoir réaliser des acquisitions de TIE synchrones à un événement physiologique. Pour ce faire, l'ajout d'un port d'entrée au MSD nécessiterait une réédition de la carte électronique. Une solution de rechange existe cependant : l'utilisation d'un module appelé BlueSAT.

Le module BlueSAT est un système compact d'acquisition et de transmission de données physiologiques par lien radio Bluetooth qui a été développé dans le cadre d'un autre projet. La figure 4.1 présente une photo de l'intérieur de ce module. Cet appareil est alimenté par batteries et permet l'acquisition et la génération de signaux analogiques et numériques. Du côté des entrées analogiques, le module comporte trois canaux d'amplification différentielle ainsi qu'un canal d'acquisition d'ECG. Du côté numérique, on a accès à un port d'entrée et un port de sortie de huit bits chacun. Ce module est expressément conçu pour les applications biomédicales puisque la transmission sans fil des données permet une isolation parfaite avec le secteur.

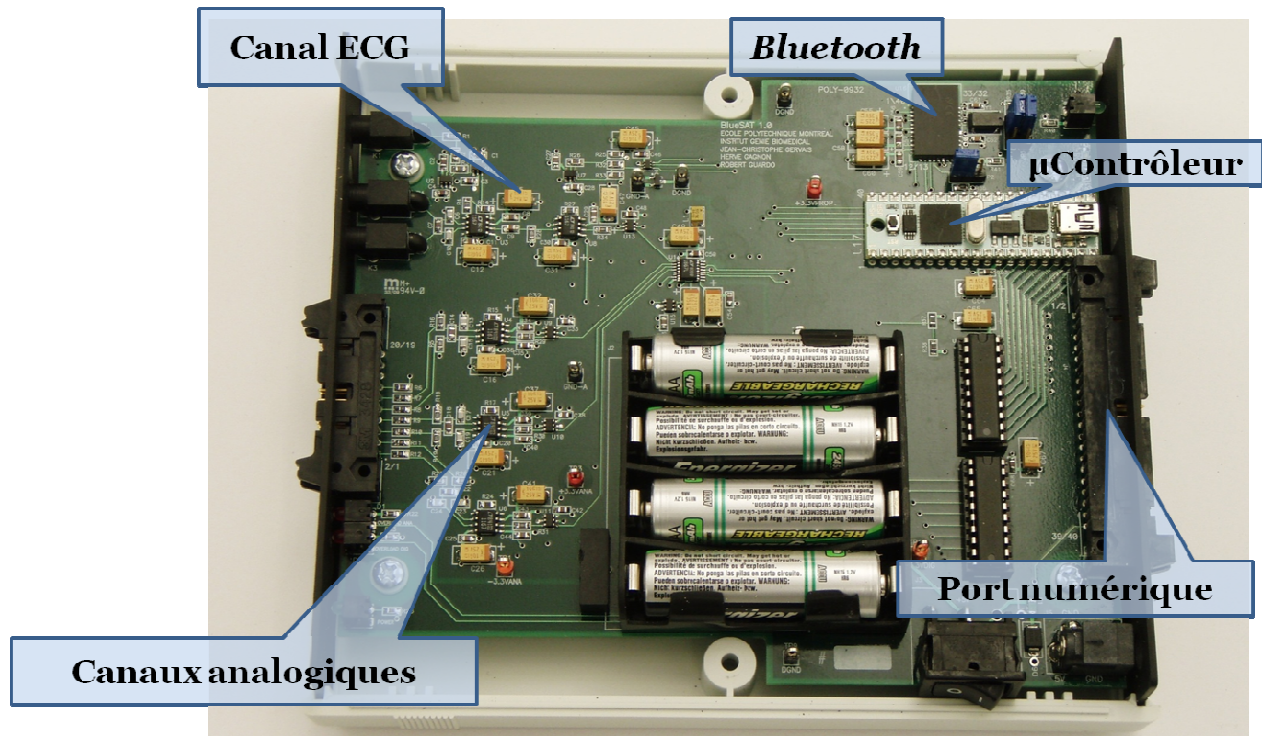


Figure 4.1 Vue interne du module BlueSAT présentant les différents canaux d'acquisition analogiques et numériques.

Le grand avantage de ce module est qu'il a également été développé dans MEMTA. Ainsi, lors d'un enregistrement de TIE, il s'agirait seulement d'ajouter l'interface de contrôle du BlueSAT aux modules de TIE habituels. La sauvegarde des données provenant des deux systèmes serait assurée par le même module d'écriture en format Matlab. De plus, le module BlueSAT ajoute des étiquettes aux données transmises à l'ordinateur de la même façon que le *Data_Formatter* du MSD (voir la section 2.4.4.2). En ayant ainsi des repères temporels dans les deux types de signaux, il serait alors possible de synchroniser ces derniers en post-traitement. On pourrait alors réaliser des expériences de TIE et les interpréter de façon synchrone à un événement physiologique capté par l'intermédiaire du module BlueSAT.

4.2.3 Réalisation d'un système de TIE-BF

Afin de réaliser des expériences de TIE en mode bifréquence, quelques modifications doivent être apportées au MSD. Ces modifications sont mineures et ne nécessitent pas la conception de nouveaux modules VHDL. L'architecture que nous avons réalisée a été pensée en conséquence. L'approche modulaire du code VHDL et le choix des blocs de propriété intellectuelle permettraient de réaliser le branchement des modules tel que présenté à la figure 4.2.

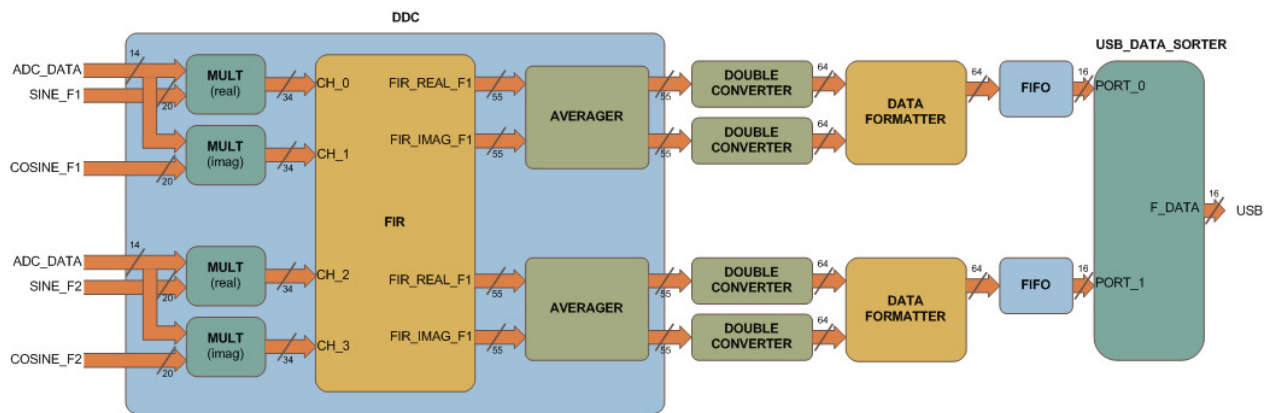


Figure 4.2 Schéma fonctionnel représentant le flux des données pour un système de TIE bifréquence.

Le flux des signaux demeure sensiblement le même que celui de la TIE simple fréquence. On remarque surtout qu'il faut dédoubler certains modules. Par exemple, le nombre de blocs de multiplication et de moyennage pour le DDC. Le FIR pour sa part permet d'ajouter des canaux (jusqu'à 64) : nous ne sommes donc pas limités de ce côté. Puisque l'information d'intérêt est centrée à 0 Hz suite à la multiplication, on peut en théorie utiliser la même réponse pour le filtre, bien qu'elle ne soit peut-être pas optimale pour les deux fréquences de la porteuse de référence. Concernant la génération de la porteuse par le DDS, ce dernier peut comporter jusqu'à seize canaux de sortie. Nous ne sommes donc pas limités de ce côté non plus. Les données numériques représentant la porteuse bifréquence devraient simplement être additionnées et transmises au convertisseur numérique analogique.

Afin de valider qu'un système de TIE-BF serait réalisable à l'aide de notre appareil, nous avons implanté dans notre FPGA actuel, l'ensemble des modules se trouvant à la figure 4.2. Bien que nous n'ayons pas validé le fonctionnement de ce système, on peut cependant conclure que ce

design à double fréquence d'excitation serait envisageable avec le système actuel. Le tableau 4.1 nous permet d'ailleurs de quantifier l'utilisation des ressources du FPGA pour une telle application.

Tableau 4.1 Utilisation des ressources logiques du FPGA.

Logique utilisée	Disponible Virtex-II (4000)	TIE-SF		TIE-BF	
		Nombre	(%)	Nombre	(%)
Nombre de tranches	23040	8664	37%	10943	47%
Nombre de blocs d'entrée et de sortie	684	112	16%	126	18%
Nombre de multiplicateurs 18×18	120	24	20%	48	40%

Finalement, il est bon de mentionner que certains changements devraient être faits pour l'application bifréquence dans l'interface de contrôle MEMTA. Celle-ci devrait inclure un contrôle de plus pour la deuxième sortie du DDS. Pour le reste, il s'agirait de transmettre les données de chaque porteuse dans différents FIFO et les algorithmes de traitement de données s'occuperaient alors de générer des images en conséquence. Avec ces quelques modifications, la TIE-BF serait facilement réalisable avec la carte actuelle.

4.2.4 Réalisation d'un système de TIE-3D

Pour réaliser des expériences de TIE avec des électrodes disposées sur plusieurs plans, il n'y aurait peu ou pas de modifications à faire au MSD. Les modifications nécessaires concernent surtout le MEA. Effectivement, la grande différence entre la TIE utilisant un seul plan et celle en trois dimensions réside dans la séquence de mesures qui doit être utilisée. À ce sujet, le lecteur intéressé peut consulter le mémoire de Luigi Abruzzese (2008). On y trouve la description de différentes stratégies d'acquisition pour la TIE à trois dimensions.

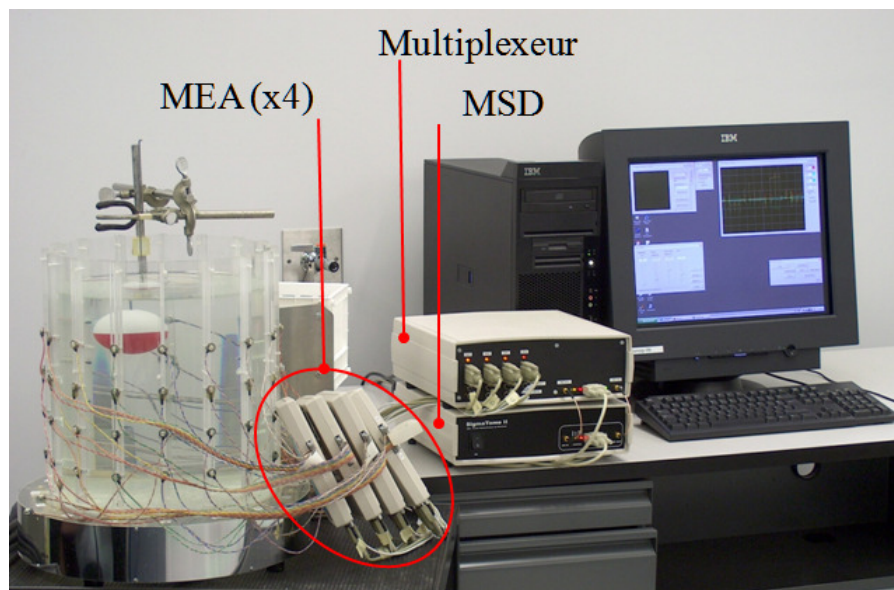


Figure 4.3 Photo d'un montage de TIE-3D réalisé avec le système TIE4-USB.

La figure 4.3 représente un montage réalisé avec un système TIE4-USB et quatre MEA. Ce montage permettait d'enregistrer des données de 64 électrodes disposées autour d'un bassin cylindrique rempli d'un salin. Un module multiplexeur avait dû être développé puisque les signaux du MEA ne pouvaient pas être connectés en parallèle.

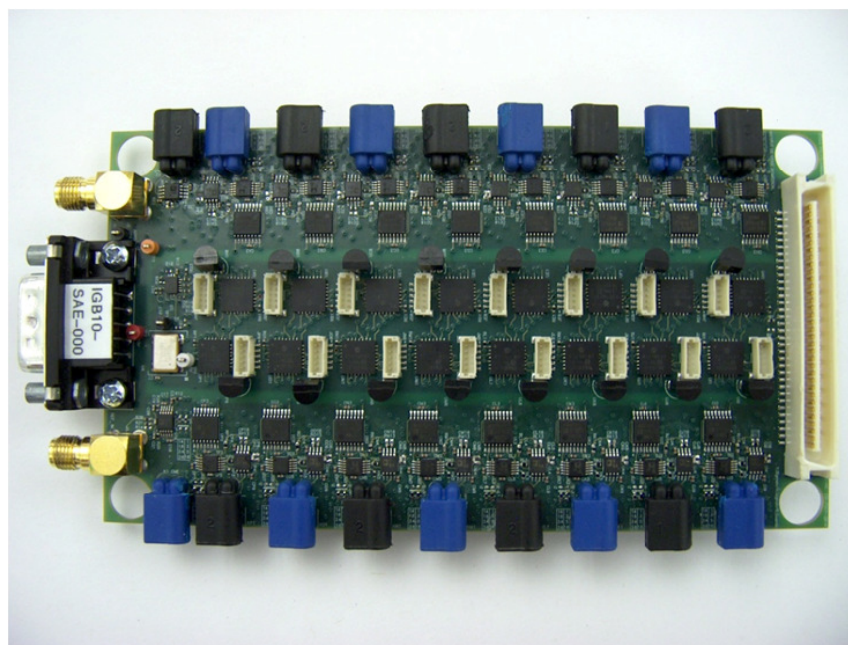


Figure 4.4 Photo de la carte électronique du MEA de nouvelle génération avec le connecteur permettant la superposition des MEA à gauche.

Un multiplexeur ne serait pas requis avec les nouveaux MEA conçus pour le système TIE5-USB. En effet, comme le montre la figure 4.4, ces MEA ont un connecteur (à l'extrémité droite de la carte) qui permet de superposer jusqu'à quatre MEA pour un total de 64 électrodes. Le rôle du MSD demeure le même. Ce dernier continue d'envoyer une porteuse de référence et de démoduler la porteuse de mesure. Le traitement des données à l'ordinateur afin de générer des images sera évidemment plus complexe et dépendant de la séquence de mesures choisie.

Voilà ce qui conclut la section des applications potentiellement réalisables avec le nouveau MSD du système de TIE de cinquième génération. Au cours de ce mémoire, nous avons donc présenté un système dont l'architecture matérielle du FPGA, entièrement réalisée en VHDL, est propice au développement de nouvelles applications : TIE bifréquence, TIE synchrone à un événement physiologique et TIE-3D. Grâce à sa polyvalence et à son potentiel évolutif, ce système pourra entrouvrir de nouvelles avenues de recherche intéressantes pour notre laboratoire.

BIBLIOGRAPHIE

Abruzzese, L. (2008). *Strategie di acquisizione di misure in tomografia di impedenza elettrica 3D (TIE-3D)*. (M.Sc. Politecnico di Milano, Milan, Italie).

Barber, D. C., & Brown, B. H. (1984). Applied potential tomography. *Journal of physics. Scientific instruments*, 17(9), 723-733.

Dazé, P.-L. (2004). *Intégration d'un tomographe d'impédance électrique dans un réseau de portes programmables (FPGA)*. (Mémoire de maîtrise, École Polytechnique de Montréal, QC).

Frerichs, I. (2000). Electrical impedance tomography (EIT) in applications related to lung and ventilation: a review of experimental and clinical activities. *Physiological measurement*, 21(2), R1-R21.

Gagnon, H. (2003). *Évaluation de la ventilation pulmonaire par tomographie d'impédance électrique*. (Thèse de doctorat, École Polytechnique de Montréal, QC).

Gagnon, H., Cousineau, M., Adler, A. & Hartinger, A. (2010). A Resistive Mesh Phantom for Assessing the Performance of EIT Systems. *IEEE Transactions on Biomedical Engineering*, 57, 2257-2266.

Geselowitz, D. B. (1971). An application of electrocardiographic lead theory to impedance plethysmography. *IEEE Transactions on Biomedical Engineering*, vol. BME-18, 38-41.

Hartinger, A. (2012). *Détection du cancer de la peau par tomographie d'impédance électrique*. (Thèse de doctorat, École Polytechnique de Montréal, QC).

Henderson, R. P., & Webster, J. G. (1978). An impedance camera for spatially specific measurements of the thorax. *IEEE Transactions on Biomedical Engineering*, 250-254.

Malmivuo, J., & Plonsey, R. (1995). *Bioelectromagnetism: principles and applications of bioelectric and biomagnetic fields*. Oxford University Press.

Martinsen, O. G., & Grimnes, S. (2011). *Bioimpedance and bioelectricity basics*. Accès électronique via Elsevier.

Moumbe, A. P. (2011). *Développement de l'unité centrale d'un système d'acquisition simultanée d'électroencéphalogrammes et de données de tomographie d'impédance électrique*. (Mémoire de maîtrise, École Polytechnique de Montréal, QC).

Newell, J. C., Blue, R. S., Isaacson, D., Saulnier, G. J., & Ross, A. S. (2002). Phasic three-dimensional impedance imaging of cardiac activity. *Physiological measurement*, 23, 203-209.

Rigaud, B., Morucci, J. P., & Chauveau, N. (1995). Bioelectrical impedance techniques in medicine. Part I: Bioimpedance measurement. Second section: impedance spectrometry. *Critical reviews in Biomedical Engineering*, 24(4-6), 257-351.

Sigmen, Y. (2012). *Conception d'un module d'électrodes actives pour un système de tomographie d'impédance électrique bifréquence*. (Mémoire de maîtrise, École Polytechnique de Montréal, QC).

Soulsby, C. T., Khela, M., Yazaki, E., Evans, D. F., Hennessy, E., & Powell-Tuck, J. (2006). Measurements of gastric emptying during continuous nasogastric infusion of liquid feed: electric impedance tomography versus gamma scintigraphy. *Clinical Nutrition*, 25(4), 671-680.

Tanguay, L.-F. (2004). *Tomographie d'impédance électrique par courants induits (TIECI) : algorithmes et instrumentation*, (Mémoire de maîtrise, École Polytechnique de Montréal, QC).

Webster, J. G. (Édit.). (1990). *Electrical Impedance Tomography*. Bristol, UK: Adam Hilger

XILINX (2007). *Virtex-II Platform FPGAs : Complete Data Sheet (DS031 (v3.5) November 5, 2007)*. Xilinx Inc., 2100 Logic Drive, San Jose, CA 95124-3400, USA.

Zlochiver, S., Freimark, D., Arad, M., Adunsky, A., & Abboud, S. (2006). Parametric EIT for monitoring cardiac stroke volume. *Physiological measurement*, 27(5), S139-S146.