POLYPUBLIE
Polytechnique Montréal

POLYTECHNIQUE MONTRÉAL
UNIVERSITÉ D'INGÉNIERIE

Titre: Title:	Boucle à verrouillage de délai offrant une densité de phases de 112 GHz pour convertisseur analogique à numérique à entrelacement temporel
Auteur: Author:	Ibrahim Alhousseiny
Date:	2022
Type:	Mémoire ou thèse / Dissertation or Thesis
Référence: Citation:	Alhousseiny, I. (2022). Boucle à verrouillage de délai offrant une densité de phases de 112 GHz pour convertisseur analogique à numérique à entrelacement temporel [Mémoire de maîtrise, Polytechnique Montréal]. PolyPublie. https://publications.polymtl.ca/10289/

Document en libre accès dans PolyPublie
Open Access document in PolyPublie

URL de PolyPublie: PolyPublie URL:	https://publications.polymtl.ca/10289/
Directeurs de recherche: Advisors:	Yvon Savaria, & Mohamad Sawan
Programme: Program:	Génie électrique

Ce fichier a été téléchargé à partir de PolyPublie, le dépôt institutionnel de Polytechnique Montréal
This file has been downloaded from PolyPublie, the institutional repository of Polytechnique Montréal

https://publications.polymtl.ca

POLYTECHNIQUE MONTRÉAL

affiliée à l'Université de Montréal

Boucle à verrouillage de délai offrant une densité de phases de 112 GHz pour convertisseur analogique à numérique à entrelacement temporel

IBRAHIM ALHOUSSEINY

Département de génie électrique

Mémoire présenté en vue de l'obtention du diplôme de *Maîtrise ès sciences appliquées*

Génie électrique

Mai 2022

© Ibrahim Alhousseiny, 2022

POLYTECHNIQUE MONTRÉAL

Affiliée à l'Université de Montréal

Ce mémoire intitulé :

Boucle à verrouillage de délai offrant une densité de phases de 112 GHz pour convertisseur analogique à numérique à entrelacement temporel

Présenté par **Ibrahim ALHOUSSEINY**

en vue de l'obtention du diplôme de *Maîtrise ès sciences appliquées*

a été dûment accepté par le jury d'examen constitué de :

Yves AUDET, président
Yvon SAVARIA, membre et directeur de recherche
Mohamad SAWAN, membre et codirecteur de recherche
Mohammad S. SHARAWI, membre

DÉDICACE

Pour le futur…

REMERCIEMENTS

Je remercie sincèrement les deux brillants professeurs Yvon Savaria et Mohamad Sawan de m'avoir accepté en maîtrise recherche au sein de leurs équipes. Je remercie aussi le Dr. Mohamad Ali qui m'a bien guidé dans ma maîtrise et qui a répondu à mes nombreuses questions, aussi M. Hussein Assaf et Mme. Masoume Akbari qui m'ont aidé à résoudre divers problèmes au niveau des logiciels de conception de circuits intégrés et je remercie l'agente d'études supérieures Mme Brigitte.

RÉSUMÉ

Les horloges contrôlent le monde électronique. Pour les systèmes opérant suivant le modèle synchrone, qui sont largement majoritaires, la plupart des bits transmis et des données circulant dans le monde, ainsi que la grande majorité des appareils électroniques nécessitent des signaux d'horloge.

De nos jours, la quantité d'information diffusée dans le monde chaque seconde est considérable, cela n'aurait pas été possible sans le développement de méthodes de synchronisation efficaces. À l'origine des oscillateurs générant des signaux de quelques kHz cadençaient les systèmes électroniques, mais maintenant on peut concevoir des horloges produisant une densité de phases de plus que 100 GHz. Ceci découle notamment des avancées de la technologie des circuits intégrés.

Les convertisseurs analogiques numériques sont l'interface entre le monde physique et les systèmes électroniques. Ils transforment les données provenant du monde physique en données numériques. Plusieurs types des convertisseurs sont utilisés dépendamment des spécifications des applications, ils nécessitent des signaux d'horloges appropriés. Il existe plusieurs genres de convertisseurs analogiques numériques avec différentes spécifications comme le taux d'échantillonnage, la résolution (nombre de bits), la consommation d'énergie. Les convertisseurs analogiques à numériques dits à entrelacement temporel sont capables de produire des taux d'échantillonnage de plus que 100 Gé/s. Les concepteurs arrivent grâce à des architectures comportant typiquement un convertisseur analogique numérique (CAN) de base, qui nécessitent des signaux d'horloge sujet à un déphasage spécifique et oscillant chacun à une haute fréquence. Dans le cadre du présent projet, nous avons conçu une horloge à phases multiples permettant à un système de conversion d'atteindre un taux d'échantillonnage 112 Gé/s. Une boucle à verrouillage de délai (BVD) est proposée comme moyen de produire une horloge à phases multiples permettant de cadencer le système. La BVD génère 16 sorties oscillant chacune à 7 GHz. L'espacement temporel entre chaque 2 sorties adjacentes est de 8.9 ps. Cet espacement est important pour gérer les données passant dans les CAN afin qu'elles s'activent au bon moment. La BVD est formée d'un détecteur de phase-fréquence, d'une pompe de charge, d'un filtre passe-bas et d'une ligne de retard contrôlée par tension (LRCT). La LRCT utilise des inverseurs contrôlables de type NMOS

pour générer des signaux espacés de 8.9 ps. Cette LRCT décale le signal de référence d'une période T à travers les inverseurs. Elle est contrôlée par une tension modifiant le délai de propagation du signal provenant du filtre passe-bas. La dernière sortie du LRCT doit être déphasée d'une période T pour être en phase avec le signal de référence, ce décalage est gardé grâce à un système de rétroaction. Cette rétroaction comporte un détecteur de phase-fréquence (DPF) qui compare le déphasage entre un signal de référence et la dernière sortie du LRCT. Le DPF génère des impulsions proportionnelles à ce déphasage pour le corriger. Ces impulsions sont converties en un courant qui sera à son tour converti en un niveau de tension contrôlant la LRCT à travers un filtre passe-bas. La BVD produit une erreur de phase de 170 fs et consomme 54 mW en utilisant la technologie TSMC 65 nm alors que cette même BVD consomme 5.6 mW quand elle est réalisée avec la technologie STM-FDSOI 28 nm.

Il existe d'autres solutions pour générer un taux d'échantillonnage de 112 GHz, à travers un oscillateur différentiel à phases multiples. Le mémoire présente notamment un oscillateur différentiel contrôlé par tension à 4 étages qui génère 8 phases oscillant chacune à 14 GHz (8×14 GHz =112 GHz) et un autre formé de 8 étages générant 16 sorties de 7 GHz (16 × 7 GHz =112 GHz). L'espacement temporel est toujours de 8.9 ps entre deux sorties consécutives pour les deux ODCT. Toutes ces architectures ont des avantages et des inconvénients. Dépendamment du contexte d'utilisation, il faut faire des compromis au niveau de l'énergie consommée, de l'espace occupé, de la vitesse, de la complexité, etc.

Les circuits qui produisent ces horloges ne sont pas suffisants pour alimenter les autres circuits CAN exactement au temps prévu. La distribution du signal d'horloge est une autre grande tâche à côté de la conception d'horloge, elle est nécessaire dans les puces pour garantir la réception des signaux d'horloge par les circuits sur cette puce au moment précis désiré. De plus, les circuits sur puce demandent des rapports cycliques précis au niveau des signaux d'horloge, ceci oblige les concepteurs à utiliser des circuits de calibration du signal d'horloge pour le contrôler et aussi l'immuniser contre les variations paramétriques liées aux changements de température.

ABSTRACT

Clocks control the electronic world. For systems operating on the synchronous model, which are the vast majority, every bit transmitted, every data circulating in the world, every electronic device with a chip requires clock signals.

Nowadays, the density of information flowing in the world every second is considerable, and this would not have been possible without the development of efficient synchronization methods. Originally, oscillators generating signals of a few kHz clocked electronic systems, but now it is possible to design clocks producing a phase density of more than 100 GHz. This is due in part to advances in integrated circuit technology.

Analog-to-digital converters are the interface between the physical world and electronic systems. They transform data from the physical world into digital data. Several types of converters are used depending on the application specifications, they require appropriate clock signals. There are several types of analog-to-digital converters with different specifications such as sampling rate, resolution (number of bits), power consumption... The so-called time-interleaved analog-to-digital converters are capable of producing sampling rates of more than 100 GigaSamples/s. Designers achieve this through architectures typically comprising basic analog-to-digital converters (ADCs), which require clock signals subject to a specific phase shift and each oscillating at a high frequency. In this project, we have designed a multiphase clock allowing a conversion system to reach a sampling rate of 112 GigaSamples/s. A delay-locked loop (DLL) is proposed as a means of producing a multiphase clock to clock the system. The DLL generates 16 outputs each oscillating at 7 GHz. The time spacing between each two adjacent outputs is 8.9 ps. This spacing is important to manage the data passing through the ADCs so that they activate at the right time. The DLL consists of a frequency phase detector, a charge pump, a low-pass filter and a voltage-controlled delay line (VCDL). The VCDL uses controllable NMOS inverters to generate signals spaced at 8.9 ps. This VCDL shifts the reference signal by one period T through the inverters. It is controlled by a voltage modifying the propagation delay of the signal coming from the low-pass filter. The last output of the VCDL must be phase shifted by one period T to be in phase with the reference signal, this shift is kept thanks to a feedback system. This feedback includes a phase

frequency detector (PFD) that compares the phase shift between a reference signal and the last output of the LRCT. The PFD generates pulses proportional to this phase shift to correct it. These pulses are converted into a current which in turn is converted into a voltage level controlling the VCDL through a low-pass filter. The DLL produces a phase error of 170 fs and consumes 54 mW using the TSMC 65 nm technology and 5.6 mW with the STM-FDSOI 28 nm technology.

There are other solutions to generate a 112 GHz clock sampling rate, through a differential oscillator with multiple phases. In particular, the brief presents a 4-stage voltage-controlled differential oscillator (VCDO) that generates 8 phase outputs each oscillating at 14 GHz (8×14 GHz =112 GHz) and another comprising 8 stages generating 16 outputs of 7 GHz (16 × 7 GHz =112 GHz). The time spacing is always 8.9 ps between two consecutive outputs for the two VCDOs. All these architectures have advantages and disadvantages. Depending on the context of use, compromises must be made in terms of energy consumption, space occupied, speed, complexity...

The circuits that produce these clocks are not sufficient to feed the other ADC circuits exactly at the expected time. Clock signal distribution is another big task next to clock design, it is needed in the chips to ensure that the clock signals are received by the circuits on that chip at the exact desired time. In addition, on-chip circuits require precise duty cycles in the clock signals, this forces designers to use clock signal calibration circuits to control it, and also immunize it against parametric variations related to temperature changes.

TABLE DES MATIÈRES

DÉDICACE III

REMERCIEMENTS IV

RÉSUMÉ V

ABSTRACT VII

TABLE DES MATIÈRES IX

LISTE DES TABLEAUX XII

LISTE DES FIGURES XIII

LISTE DES SIGLES ET ABRÉVIATIONS XVII

CHAPITRE 1 INTRODUCTION 1

1.1 Les convertisseurs analogiques numériques 2

1.2 Distribution des horloges 7

1.3 Les horloges à rétroaction 10

1.4 Objectif de la recherche et contribution 10

CHAPITRE 2 MODÈLE DE DÉLAI DU TRANSISTOR MOS 12

2.1 Modèle C du transistor CMOS 13

2.2 Modèle RC du transistor 17

2.3 Technologies CMOS 19

CHAPITRE 3 BOUCLE À VERROUILLAGE DE DÉLAI ET BOUCLE À VERROUILLAGE DE PHASE…… 23

3.1 La boucle à verrouillage de phase 23

3.1.1 Détecteur de phase 24

3.1.2 Détecteur phase fréquence 26

3.1.3 Pompe de charge et filtre de boucle 28

3.1.4 Oscillateur en anneau à phases multiples contrôlé par tension 29

3.1.5 Oscillateur différentiel à phases multiples contrôlé par tension 30

3.2 Boucle à verrouillage de délai 32

3.2.1 Bruit d'alimentation 36

3.2.2 Boucle à verrouillage de délai à phases multiples 37

3.3 Horloge à phases multiples utilisant des registres à décalage 40

CHAPITRE 4 BOUCLE À VERROUILLAGE DE DÉLAI A PHASES MULTIPLES ET HAUTE FRÉQUENCE 42

4.1 La boucle à verrouillage de délai proposée 43

4.2 Comparaison inverseur CMOS vs inverseur Pseudo NMOS 44

4.2.1 Ligne de retard contrôlé par tension utilisant l'inverseur contrôlable de type Pseudo NMOS 48

4.2.2 Détecteur phase-fréquence pour l'horloge à phases multiples 50

4.2.3 Pompe de charge et filtre 54

4.3 Oscillateur différentiel en anneau avec injection de signal 56

CHAPITRE 5 MISE EN ŒUVRE ET RÉSULTATS 59

5.1 Résultats de simulation basé sur un modèle extrait d'un schématique préalable au dessin des masques 59

5.1.1 Sorties de la ligne de retard contrôlé par tension et gamme de réglage 59

5.1.2 Verrouillage de la boucle de verrouillage de délai 62

5.2 Dessin des Masques de la boucle à verrouillage de délai avec la technologie FD-SOI de 28 nm 64

5.2.1 Dessin des Masques de la ligne de retard contrôlé par tension 64

5.2.2 Dessin des masques du DPF et PC 65

5.2.3 Diviseur de fréquence et chaîne de cellules de retard 66

5.2.4 Dessin des masques complet de la boucle de verrouillage de délai et sur puce 69

5.2.5 Simulation des sorties de l'oscillateur différentiel avec et sans injection du signal . 71

CHAPITRE 6 CONCLUSION ET RECOMMANDATIONS 80

RÉFÉRENCES 82

LISTE DES TABLEAUX

Tableau 4.1 : Les largeurs et longueurs des transistors du circuit de LRCT en utilisant la technologie TSMC 65 nm 49

Tableau 4.2 : Les largeurs et longueurs des transistors du circuit de LRCT en utilisant technologie STM-FDSOI 28 nm 49

Tableau 4.3 : Les largeurs et les longueurs des transistors du circuit du DPF en utilisant la technologie TSMC 65 nm 53

Tableau 4.4 : Les largeurs et les longueurs des transistors du circuit du DPF en utilisant la technologie STM-FDSOI 28nm 53

Tableau 4.5 : Les largeurs et longueurs des transistors du circuit de la PC en utilisant technologie STM-FDSOI 28 nm 55

Tableau 4.6 : Les largeurs et longueurs des transistors du circuit de la PC en utilisant technologie TSMC 65 nm 55

Tableau 5.1 : Comparaison des solutions obtenues avec différents travaux publiés 63

Tableau 5.2 : Les largeurs et longueurs des transistors du circuit de la chaîne d'amplification en utilisant technologie STM-FDSOI 28 nm 68

Tableau 5.3 : Tableau de résultats de l'ODCT à 4 étages et l'ODCT à 8 étages 79

LISTE DES FIGURES

Figure 1.1 : Le convertisseur analogique numérique flash 3

Figure 1.2 : Architecture du convertisseur analogique numérique Delta-Sigma 4

Figure 1.3 : Architecture générale du convertisseur à approximation successive 5

Figure 1.4 : Architecture d'un convertisseur analogique/numérique à entrelacement temporel [4] 6

Figure 1.5 : Système de deux bascules alimentées par un signal d'horloge 8

Figure 1.6 : Arbre en H pour la distribution d'horloge 8

Figure 2.1 : Modèle 3D du transistor NMOS 13

Figure 2.2 : Modèle 2D du transistor NMOS avec ses capacités 14

Figure 2.3 : Capacités d'un transistor MOS 14

Figure 2.4 : (a) Deux inverseurs CMOS, (b) les capacités des transistors, (c) modèle simplifié des capacités autour de l'inverseur [5] 15

Figure 2.5 : Modèle RC des transistors (a) NMOS et (b) PMOS [5] 17

Figure 2.6 : (a) Inverseurs CMOS, (b) modèle RC des transistors 18

Figure 2.7 : Exemple pour application de délai d'Elmore 19

Figure 2.8 : Architecture du transistor utilisant la technologie FD-SOI [6] 20

Figure 2.9 : Transistors en technologie FD-SOI CMOS (a), transistor de type LVT (b) transistor de type RVT [6] 21

Figure 2.10 : Variations des tensions de seuil avec les FBB et RBB des deux types des transistors RVT et LVT pour le NMOS et le PMOS [6] 21

Figure 3.1 : Architecture standard simple de la BVP 23

Figure 3.2 : Réponse de sortie du DP de deux signaux de différence de phases différentes 24

Figure 3.3 : (a) La BVP en état verrouillé, (b) erreur de phase et V_{cont} 25

Figure 3.4 : Détecteur de phase-fréquence standard 26

Figure 3.5 : Réponse du détecteur de phase-fréquence, (a) $V_{entrée}$ en retard de phase par rapport à V_{sortie}, (b) $V_{entrée}$ en avance de phase par rapport à V_{sortie}, (c) V_{sortie} en phase avec V_{sortie} 27

Figure 3.6 : Pompe de charge avec son filtre [5] 28

Figure 3.7 : Oscillateur en anneau contrôlé par tension..... 29

Figure 3.8: Variation de la fréquence de l'OCT par rapport à la tension de contrôle 30

Figure 3.9 : Architecture ODCT 31

Figure 3.10 : Décalage à travers les cellules de retard et une longue interconnexion 32

Figure 3.11 : Décalage d'une période corrigé par un élément de délai contrôlable 33

Figure 3.12 : Structure standard d'une BVD 33

Figure 3.13 : Architecture complète de la BVD 34

Figure 3.14 : (a) Architecture de LRCT, (b) effet du déphasage du signal d'entrée sur le signal de sortie, (c) effet de modification de V_{cont} sur le signal de sortie..... 34

Figure 3.15 : (a) Modèle linéaire de la rétroaction, (b) réponse de la BVD 35

Figure 3.16 : (a) Modèle linéaire de la BVD avec bruit d'alimentation, (b) réponse de la BVD. 36

Figure 3.17 : Boucle à verrouillage de délai à phases multiples..... 37

Figure 3.18 : La BVD à phases multiples améliorée 38

Figure 3.19 : BVD avec une BVP pour éviter le faux verrouillage 39

Figure 3.20 : Registre à décalage capable de produire une horloge à phases multiples 40

Figure 4.1 : Architecture du convertisseur analogique numérique à entrelacement temporel..... 42

Figure 4.2 : La BVD proposée 43

Figure 4.3 : (a) Inverseurs pseudo-NMOs, (b) modèle RC avec les résistances et les capacités agissant sur le délai 44

Figure 4.4 : Analyse DC de l'inverseur pseudo-NMOS (Vsortie vs Ventrée) pour différentes largeurs du transistor PMOS lorsque la largeur du transistor NMOS est de 2 um 45

Figure 4.5 : Analyse DC de la relation Vsortie en fonction de Ventrée pour l'inverseur pseudo-NMOS en fonction de la longueur du canal du transistor PMOS. Pour deux transistors NMOS et PMOS dont la largeur est de 2 um 45

Figure 4.6 : Délai de propagation d'un élément de retard utilisant deux inverseurs pseudo-NMOS avec différentes largeurs de transistor PMOS 46

Figure 4.7 : Délai et puissance consommée des 2 types cellules de retard en fonction de la largeur du transistor N pour un rapport de taille donnée entre les transistors N et P 47

Figure 4.8 : LRCT de la BVD à phases multiples 48

Figure 4.9 : Circuit du détecteur phase fréquence 50

Figure 4.10 : Une version modifiée du détecteur de phase fréquence 51

Figure 4.11 : Réponse du DPF pour une très petite différence de phase 52

Figure 4.12 : Circuit de la PC avec le filtre 54

Figure 4.13 : (a) Étage d'une chaîne différentielle avec paire d'inverseurs couplés (b) inverseur CMOS, (c) inverseur pseudo-NMOS 56

Figure 4.14 : Oscillateur différentiel avec injection 57

Figure 5.1 : Les 16 signaux de sorties de la LRCT 59

Figure 5.2 : Gamme de réglage de P15 60

Figure 5.3 : Gamme de réglage pour différents ensembles de paramètres du procédé de fabrication 61

Figure 5.4 : Variation du délai par étage en fonction de la température 62

Figure 5.5 : Verrouillage des deux signaux FREF et P15 62

Figure 5.6 : Dessin des masques du LRCT en 28 nm 65

Figure 5.7 : Dessin des masques du DPF avec la technologie STM-FDSOI 28 nm 65

Figure 5.8 : Dessin des masques de la PC avec la technologie STM-FDSOI 28 nm 66

Figure 5.9 : Diviseur de fréquence..... 67

Figure 5.10 : Simulations des sorties de la chaîne de diviseur et de la chaîne d'amplification de courant..... 68

Figure 5.11 : Chaîne d'amplification de tailles croissantes avec la technologie STM-FDSOI 28nm 69

Figure 5.12 : Chaîne de diviseur de fréquence en cascade avec la technologie STM-FDSOI 28nm 69

Figure 5.13 : Dessin des masques de la BVD avec la technologie STM-FDSOI 28 nm..... 70

Figure 5.14 : La BVD sur puce avec la technologie STM-FDSOI 28 nm..... 70

Figure 5.15 : Plage de variation de fréquence de l'OCDT à 4 étages en utilisant les inverseurs de type CMOS 71

Figure 5.16 : Plage de variation de fréquence par rapport à VDD en mode oscillation naturelle et en mode injection de l'ODCT à 4 étages 72

Figure 5.17 : Les 8 sorties de l'ODCT à 4 étages, au point d'intersection des plages de fréquences des deux modes à VDD = 845 mV 73

Figure 5.18 : Bruit de phase en mode injection et en mode d'oscillation naturelle de l'ODCT à 4 étages..... 74

Figure 5.19 : Plage de variation de fréquence par rapport à VDD en mode oscillation naturelle et en mode injection de l'ODCT à 8 étages 75

Figure 5.20 : Les 16 sorties de l'ODCT à 8 étages, au point d'intersection des plages de fréquences des deux modes à VDD = 845 mV 76

Figure 5.21 : Bruit de phase en mode injection et en mode oscillation naturelle de l'ODCT à 8 étages..... 77

Figure 5.22 : Puissance consommée par rapport à VDD (a) ODCT à 4 étages (b) ODCT à 8 étages 78

LISTE DES SIGLES ET ABRÉVIATIONS

BVD Boucle à verrouillage de délai

BVP Boucle à verrouillage de phase

CAN Convertisseur analogique numérique

CNA Convertisseur numérique-analogique

CAN-ET Convertisseur analogique numérique à entrelacement temporel

CAN-DS Convertisseur analogique numérique Delta-Sigma

DFF D-Flip-Flop

RAS Registre à approximation successive

E/M Échantillonnage/Maintien

OCT Oscillateur contrôlé par tension

ODCT Oscillateur différentiel contrôlé par tension

LRCT Ligne à retard contrôlée par tension

PC Pompe de charge

DP Détecteur de phase

DPF Détecteur de phase fréquence

FPB Filtre passe-bas

CHAPITRE 1 INTRODUCTION

Comme le cœur de l'être humain fait circuler le sang dans le corps pour alimenter tous les organes en oxygène, les horloges dans les systèmes électroniques alimentent les circuits intégrés en signaux essentiels. Donc comme pour le cœur humain, un mal-fonctionnement de l'horloge est généralement critique à tout système électronique.

De nos jours, avec les nouvelles générations d'internet 5 G et 6 G, les horloges à haute fréquence sont devenues une nécessité dans les applications à haute vitesse pour répondre au très grand flux d'information qui se transmet chaque seconde au travers des divers appareils électroniques. Historiquement, un des premiers générateurs de signaux d'horloge précis exploitait un oscillateur à cristal piézoélectrique produisait une fréquence relativement basse. Cet oscillateur a été inventé en 1917 et a été breveté en 1918 par Alexander M. Nicholson [1]. Par la suite en 1921 Walter Guyton Cady a construit le premier oscillateur à quartz opérant à une fréquence de quelques dizaines de kHz [2]. Après l'apparition des circuits intégrés et l'augmentation de leurs densités d'intégration à travers les années, différents types d'horloges ont été inventées dont notamment les populaires boucles à verrouillage de phase (BVP) et boucles à verrouillage de délai (BVD). Elles existent sous plusieurs formes et architectures et pour servir des applications diverses. Leurs rôles les plus importants sont de générer des signaux stables et de synchroniser les signaux d'entrées/sorties. Les générateurs de signaux d'horloge sont utilisés dans divers circuits intégrés comme les convertisseurs analogiques numériques, les mémoires digitales et les microcontrôleurs.

Ce mémoire se rapporte à des circuits nécessaires pour mettre en œuvre des convertisseurs analogiques numériques (CAN) de haute performance. Parmi les diverses architectures de CAN, le présent mémoire se concentre sur le CAN à entrelacement temporel qui nécessite une horloge à phases multiples. Grâce à une horloge à phases multiples performante, on peut obtenir des CAN opérant à des taux d'échantillonnage très élevés. Pour ce faire, il faut générer des signaux à haute fréquence, déphasés d'une séparation temporelle précise avec un erreur minimale de phase.

1.1 Les convertisseurs analogiques numériques

Les convertisseurs analogiques numériques (CAN) sont des circuits électroniques intégrés qui traduisent la langue de la nature en langue de machines en convertissant les signaux du domaine du temps continu au domaine du temps discret. Il existe une variété de types de signaux continus à numériser. Cela a nécessité une grande diversité de CAN où chacun a ses propres spécifications découlant de son architecture, comme le taux d'échantillonnage, le nombre de bits par échantillon, la résolution, l'énergie consommée… Les CAN se divisent en deux catégories principales :

- Les convertisseurs à taux de Nyquist : ils échantillonnent le signal à une fréquence déterminée par la fréquence de Nyquist

- Les convertisseurs de données à suréchantillonnage : ils échantillonnent le signal à une fréquence sensiblement plus élevée que la fréquence de Nyquist.

De ces deux catégories découlent plusieurs types de CAN. On cite notamment :

Le CAN flash : il est typiquement composé de plusieurs comparateurs combinés à une chaîne de résistances. Selon le nombre de bits de ce CAN, le nombre de comparateurs sera décidé. En général pour un CAN flash de N bits on utilise 2^N-1 comparateurs qui chacun reçoit un signal horloge à haute fréquence. Le CAN flash compare la tension d'entrée avec un nombre de tensions de références croissantes à travers les comparateurs (Figure 1.1). La comparaison est faite simultanément dans tous les comparateurs. Dans chaque comparateur, si la tension du signal d'entrée est inférieure à la tension de référence le comparateur génère un 0 logique et si elle est plus grande, il génère un 1 logique puis les sorties de ces comparateurs sont connectées aux entrées d'un encodeur qui minimise la probabilité d'erreur provenant des comparateurs. L'encodeur a 2^N entrées produit N sorties. Ce type de CAN est le plus rapide, mais son désavantage est sa grande consommation d'énergie avec une grande complexité matérielle. Il nécessite un signal d'horloge à haute fréquence et faible bruit de phase. Il a typiquement une résolution limitée à 8 bits. [3]

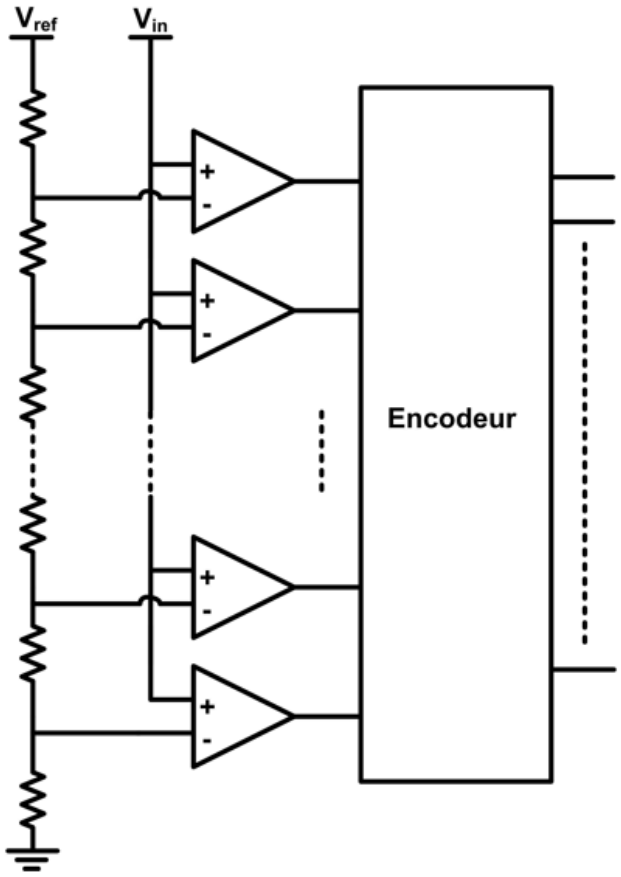


Figure 1.1 : Le convertisseur analogique numérique flash

Le CAN DELTA-SIGMA (CAN-DS) : la plupart de ces CAN sont construits avec des circuits à temps discret et souvent avec des condensateurs commutés. Ils sont utilisés dans les applications à haute précision (12 à 24 bits) et à faible vitesse, comme les CAN audio qui consomment peu d'énergie. Les CAN-DS transforment une entrée analogique en flux de bits. La Figure 1.2 montre l'architecture de base d'un CAN-DS. À travers d'un additionneur la tension d'entrée VE est additionnée avec le signal de rétroaction provenant d'un convertisseur numérique à analogique, puis la sortie de cet additionneur est reliée à l'entrée d'un intégrateur faisant la somme de la sortie du comparateur avec la sortie de l'additionneur. Un comparateur compare la sortie de l'intégrateur à 0 V, si cette sortie est inférieure à 0 il produit un 0 logique et sinon il produit un 1 logique. De cette façon, il numérise le signal d'entrée. Selon l'état de la sortie du comparateur, le CNA produit

un signal analogique qui sera ajouté au signal d'entrée formant une boucle de rétroaction. On utilise à la sortie du comparateur un filtre numérique et un filtre de décimation pour filtrer le bruit à haute fréquence et pour transformer le flux de bits en données utilisables [3].

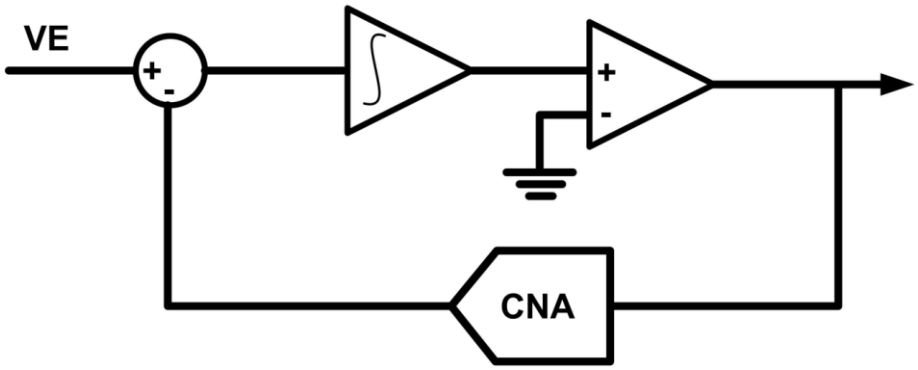


Figure 1.2 : Architecture du convertisseur analogique numérique Delta-Sigma

Les CAN-DS ont besoin de signaux d'horloge à basse fréquence pour produire un taux d'échantillonnage de quelques méga échantillons par seconde.

Le CAN pipeline : ce CAN est également appelé quantificateur de sous mesure. Il utilise des CAN placées en cascade pour produire un taux d'échantillonnage élevé de quelques centaines de méga échantillons par seconde avec une résolution qui atteint 14 bits. Il utilise des circuits à temps discret comme les condensateurs commutés, exploités à la fréquence de Nyquist. Par comparaison au CAN Flash, le CAN pipeline utilise moins de ressources matérielles et consomme moins d'énergie [3].

Convertisseur à registre d'approximation successive : Ce genre de CAN a une résolution allant de 8 à 16 bits avec un taux d'échantillonnage de quelques méga échantillons par seconde. À l'entrée de ce CAN (Figure 1.3) il y a un circuit d'échantillonnage et de maintien (E/M) qui garde le signal analogique d'entrée constant, puis la sortie de l'E/M est comparée à travers un comparateur à un signal provenant d'un CNA interne pour savoir si la tension du signal d'entrée VE est supérieure ou inférieure à la tension de référence Vref du CNA. Selon cette comparaison

le bit le plus significatif sera enregistré dans le registre d'approximation successive (RAS) sous forme d'un 0 ou d'un 1 logique et selon la valeur de ce bit le CNA change d'échelle à ¼ ou ¾ puis le comparateur prend une décision concernant le deuxième bit pour l'enregistrer aussi dans le RAS. Cette opération se répète jusqu'à ce que tous les bits de sortie soient déterminés [3].

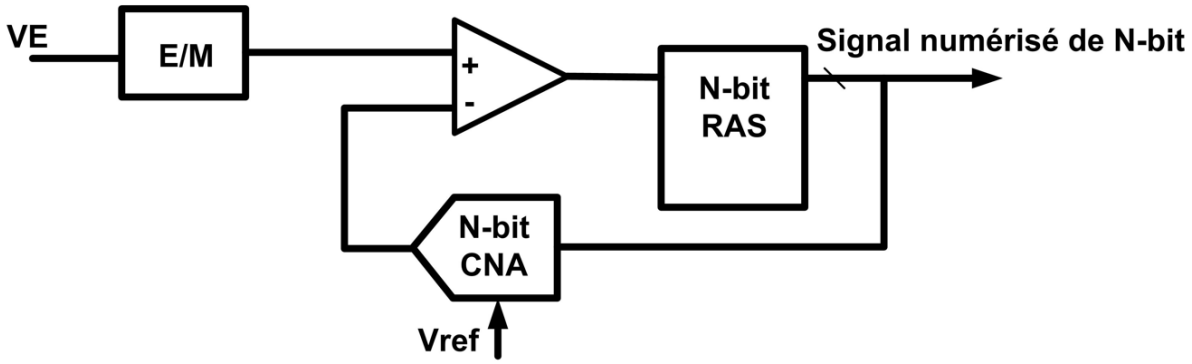


Figure 1.3 : Architecture générale du convertisseur à approximation successive

Les convertisseurs analogiques numériques à entrelacement temporel (CAN-ET) : Avec une technologie donnée, les architectures de CAN citées précédemment peuvent atteindre une limite maximale de taux d'échantillonnage, qui n'est pas assez suffisante pour répondre au grand taux de nos jours. Le CAN-ET est une architecture qui permet d'augmenter le taux d'échantillonnage en utilisant plusieurs canaux de CAN en parallèle qui s'organisent d'une manière séquentielle pour échantillonner et convertir l'entrée analogique en données numériques. Pour avoir la résolution désirée, il faut prendre en considération l'analogie du décalage de conversion et du gain de conversion entre les canaux et l'uniformité de l'intervalle d'échantillonnage. Plusieurs types de CAN ont été utilisés pour atteindre un taux d'échantillonnage très élevé dont les CAN RAS, les CAN flash les CAN à pipeline dans des CAN-ET. La Figure 1.4 est un exemple de l'architecture d'un CAN-ET formé de 8 canaux de CAN. Ces 8 CAN sont contrôlées respectivement par 8 signaux (ϕ_1 à ϕ_8) d'horloge également espacés provenant d'une horloge à phases multiples de type BVD. Ce CAN-ET fonctionne à une fréquence f_c de 2 GHz, de période $T_c = 1/ f_c = 500$ ps, donc le

taux d'échantillonnage net devient égal à 8× f_c avec un intervalle d'échantillonnage T_s = 500 ps /8 = 62.5 ps. Dans l'exemple considéré [4], les 8 canaux de CAN produisent des flux ($s_1[k]$ à $s_8[k]$) de 6 bits qui seront par leurs tours démultiplexés pour construire la sortie finale du CAN-ET $s[l]$. Le CAN-ET consomme plus d'énergie que les autres types de CAN, cependant son taux d'échantillonnage peut atteindre plus que 100 Gé/s. Il peut également offrir une résolution d'environ 16 bits.

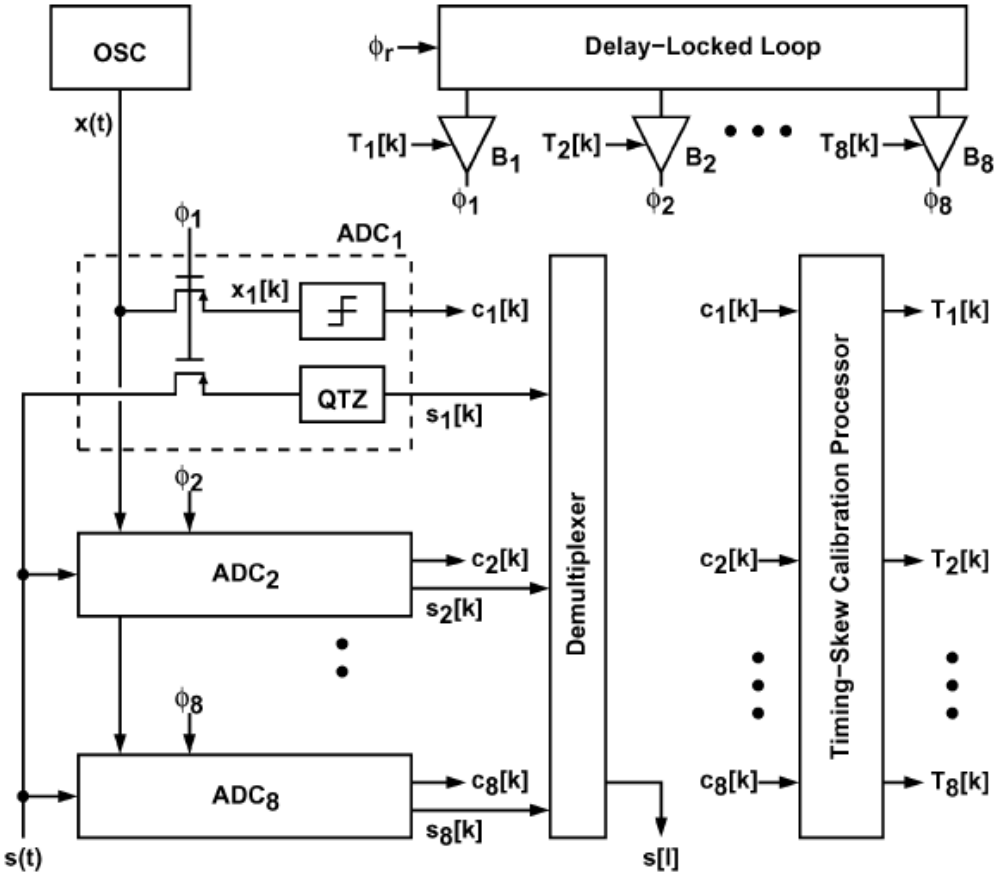


Figure 1.4 : Architecture d'un convertisseur analogique/numérique à entrelacement temporel [4]

L'entrée de la BVD reçoit un signal de référence de fréquence f_c et produit 8 signaux de sorties où chaque paire de signaux consécutifs sont espacés d'une valeur de T_s. Chacun de ces signaux est

relié à un élément de retard (B_1 à B_8) contrôlable par un circuit de calibration de déphasage. Chaque cellule de retard est connectée à son tour à un échantillonneur analogique relié à un canal de CAN. À cause du retard produit par les chemins d'alimentation d'horloge et à cause de la variation des dispositifs alimentés par l'horloge, un décalage temporel se produit au niveau des 8 signaux de sortie de l'horloge, ceci empêche l'espacement égal entre les phases de chaque paire de signaux consécutifs nécessaires pour alimenter les échantillonneurs de chaque CAN. Ce phénomène est appelé décalage temporel. De ce fait, le CAN-ET peut avoir une variation périodique des intervalles d'échantillonnage ce qui introduit des erreurs au niveau des données numérisées. Mais, le circuit de calibration du déphasage reçoit des données ($c_1[k]$ à $c_8[k]$) de tous les CAN détectant l'erreur au niveau des intervalles d'échantillonnage de ϕ_1 à ϕ_8 de l'horloge et produit les sorties $T_1[k]$ à $T_8[k]$ qui ajustent les retards aux niveaux des éléments de retard B_1 à B_8 afin de garantir l'espacement uniforme des intervalles d'échantillonnages des CAN [4].

1.2 Distribution des horloges

Le rôle des horloges consiste à fournir une base de temps précis. Idéalement les horloges logiques sont sans décalage temporel, mais en pratique, le monde électronique n'est pas parfait. Il n'est donc pas faisable que tous les signaux d'horloge arrivent à leurs temps idéaux à cause de la mauvaise adaptation des chemins de distribution des horloges et des variations paramétriques attendues dans les circuits. Toujours dans le modèle physique d'horloge, il faut prévoir un décalage temporel. De nombreux systèmes sur puce utilisent une seule horloge globale qui est fournie à tous les circuits sur cette puce. Ceci a rendu la distribution des signaux de cette horloge sans retard sur l'ensemble de la puce un grand défi pour les concepteurs. Le décalage d'horloge par définition est la différence du temps du parcours nominal et le temps du parcours réel d'une paire de signaux d'horloge physiques. La Figure 1.5 montre un exemple du décalage temporel d'horloges au niveau de deux bascules. Idéalement, elles doivent recevoir le signal d'horloge logique h avec un temps de parcours nul, ou de façon plus raisonnable avec le même retard, mais en pratique elles reçoivent

les signaux d'horloges h_1 et h_2 avec une certaine différence de temps de parcours. Dans l'exemple de la Figure 1.5 ce décalage est 25 ps.

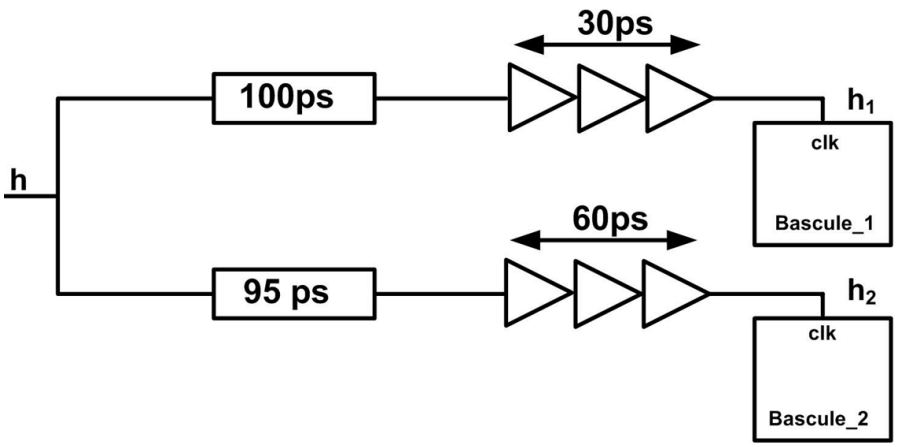


Figure 1.5 : Système de deux bascules alimentées par un signal d'horloge

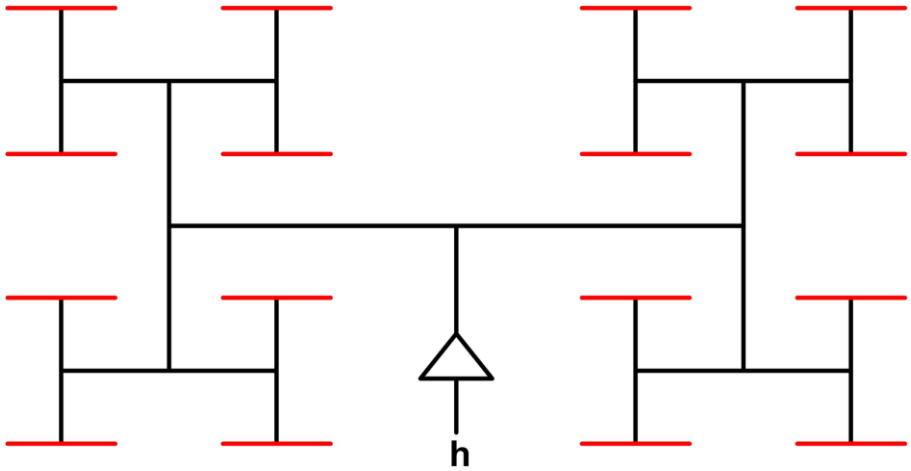


Figure 1.6 : Arbre en H pour la distribution d'horloge

Pour minimiser ce décalage d'horloge, les concepteurs peuvent ajouter par exemple une cellule de retard de 30 ps sur le chemin le plus court ce qui va donner idéalement une différence de parcours de 30 ps au lieu de 0 et dans ce cas une différence de temps de parcours de 5 ps sera observée au lieu de 25 ps. Cet exemple comporte seulement deux bascules, mais dans des circuits qui comportent plusieurs éléments à alimenter avec le même signal d'horloge, on peut utiliser une méthode comme l'arbre d'horloge.

La Figure 1.6 présente la distribution d'un signal d'horloge en utilisant un arbre en H. Dans la mesure où le temps de propagation est uniforme, le signal arrive à toutes les feuilles de l'arbre exactement au même moment ce qui empêche un décalage temporel. Ce genre de distribution du signal d'horloge est utilisé dans les circuits digitaux qui sont composés d'un nombre d'éléments à alimenter avec un signal d'horloge à un seul moment exact, comme les mémoires, le CAN Flas.

Il y a 4 classes de phénomènes qui causent des décalages d'horloge : systématique, aléatoires, distorsion et bruit de phase.

- Systématique : se trouve même dans les conditions nominales, il est induit par l'architecture du circuit et la taille des portes.

- Distorsion : causée par des variations environnementales, comme la température qui affecte le délai des portes logique et des fils.

- Aléatoire : erreurs de la fabrication qui affectent la longueur du canal du transistor et l'espacement, la largeur, l'épaisseur des fils. Elles causent des changements aléatoires des caractéristiques du transistor au niveau de la capacité, de la résistance et du courant.

- Bruit de phase : causé par divers phénomènes comme les perturbations de l'alimentation électrique qui affecte le délai de propagation des tampons d'horloges [5].

Dans ce mémoire, on va se concentrer sur les architectures d'horloges à phases multiples.

1.3 Les horloges à rétroaction

Le générateur de signal d'horloge global reçoit un signal d'horloge externe qui provient habituellement d'un oscillateur au quartz (oscillateur piézoélectrique) à fréquence constante. La simple forme d'un générateur de signal d'horloge est une chaîne d'éléments de retard. Cette architecture souffre de la variation du délai qui se produit au niveau des tampons, des fils de connexion, elle est influée par la variation des conditions environnementales, du procédé de fabrication et par les fluctuations dans le temps de propagation causées par le bruit d'alimentation. Donc pour minimiser l'effet de ces problèmes, les concepteurs utilisent la BVP et la BVD. Ces deux architectures permettent de synchroniser le signal d'horloge global avec le signal d'horloge externe. La BVD et la BVP utilisent le principe de rétroaction pour ajuster les signaux d'entrée/sortie. Les éléments qui corrigent le déphasage sont le détecteur de phase fréquence produisant des impulsions proportionnelles à la différence de phase et de fréquence entre le signal d'entrée et le signal de sortie, la pompe de charge qui convertit les impulsions du détecteur de phase fréquence en un courant, et le filtre de boucle transformant le courant en tension de contrôle pour ajuster le délai au niveau des éléments de délai dans la BVD et la BVP.

1.4 Objectif de la recherche et contribution

Avec les hautes fréquences, le pourcentage d'erreur de phase et de bruit de phase a augmenté par rapport à la largeur de période du signal ce qui a rendu la conception d'une horloge à haute précision difficile, surtout pour les applications sensibles qui exigent le moins d'erreur possible dans les signaux produits par les horloges comme le CAN. De plus, concevoir une horloge à phases multiples et contrôler le délai entre ces phases est un défi notamment à travers les cellules de retard qui produisent de grands délais de propagation en utilisant différentes technologies d'intégration.

L'objectif principal de cette recherche est de concevoir une horloge à phases multiples pour alimenter un circuit de type CAN-ET. L'espacement temporel entre les sorties de l'horloge est le défi principal dans ce circuit. En fait, les sorties de cette horloge doivent être également espacées pour qu'elles contrôlent les circuits d'échantillonnage et de maintien qui vont contrôler à leur tour

le circuit de CAN-ET. De plus, avec cette horloge à plusieurs phases et à haute fréquence, l'espacement temporel doit être assez petit pour que l'entrelacement des données à travers les CAN soit exact sans perdre des bits effectifs. Il existe plusieurs types d'horloges à phases multiples utiles pour le CAN-ET, comme la BVP utilisant l'oscillateur à anneau contrôlé par tension, la BVD utilisant une ligne de retard contrôlable.

La contribution faite dans ce mémoire est la conception d'une BVD à phases multiples générant 16 sorties de 7 GHz chacune, avec une densité de phases de 112 GHz. Ce grand taux d'échantillonnage est obtenu grâce à la ligne de retard contrôlé par tension utilisant des éléments de retard rapide comme l'inverseur de type NMOS contrôlable. Avec ce type d'inverseur, nous sommes capables de produire un délai de temps très petit de 8.9 ps. Cette BVD utilise un détecteur de phase fréquence opérant à haute fréquence. Nous avons également utilisé ce type d'inverseur NMOS dans des circuits d'oscillateurs différentiels contrôlé par tension pour produire le même taux d'échantillonnage (112 GHz).

Dans les chapitres suivants, on va revoir le modèle de délai des transistors, puis présenter les architectures générales de la BVD et de la BVP. De plus on va présenter en détail l'architecture du circuit de la BVD utilisée pour ensuite présenter deux oscillateurs différentiels contrôlés par tension produisant le même taux d'échantillonnage d'horloge de 112 GHz que la BVD. Ces études sont validées par des résultats de simulation dérivés d'un dessin des masques de la BVD.

CHAPITRE 2 MODÈLE DE DÉLAI DU TRANSISTOR MOS

Le bon fonctionnement d'une horloge dépend des délais et le temps de propagation des signaux à travers les transistors et les interconnexions. L'important rôle de l'horloge est d'alimenter les circuits en signaux de référence temporelle qui fournissent une base de temps précise. Plusieurs facteurs affectent les temps de propagation de façon importante, comme l'architecture utilisée pour la distribution des signaux de synchronisation, la largeur des transistors, la technologie utilisée, la longueur de fils de connexions, le procédé de fabrication, la fréquence d'opération, les composants parasites. Alors pour concevoir une bonne horloge, il faut prendre en considération les délais de propagation qui sont affectés par tous ces facteurs. Pour cela, dans ce chapitre, on va étudier le délai de temps produit à travers les transistors.

Pour étudier la vitesse d'un circuit sur puce, il faut caractériser les temps de propagation selon plusieurs complémentaires. En observant la propagation d'une transition de 0 V vers VDD, ou inversement, toutes les définitions suivantes du temps de propagation sont utilisées :

- Le temps nécessaire pour que la transition passe de 0 V vers VDD/2 ou de VDD vers VDD/2.
- Le temps de montée est de 10% vers 90% de VDD.
- Le temps de descente est de 90% vers 10% de VDD [5].

Il faut prendre en considération le modèle du circuit pour écrire une équation différentielle qui sert à calculer le délai de propagation que l'on appelle aussi la réponse transitoire. La réponse transitoire détermine le temps requis pour qu'un condensateur charge ou se décharge. La relation entre la capacité, la tension et l'intensité du courant est exprimée par l'équation suivante [5] :

$$I = C\frac{dV}{dt} \tag{2.1}$$

2.1 Modèle C du transistor CMOS

La grille du transistor MOS forme un condensateur (C_G) qui joue un rôle important pour bien fonctionner. En fait, cette capacité attire la charge qui se trouve dans le canal pour l'inverser et laisser les électrons passer de la source vers le drain. Pour obtenir un courant I_{ds} élevé, cette capacité doit être élevée.

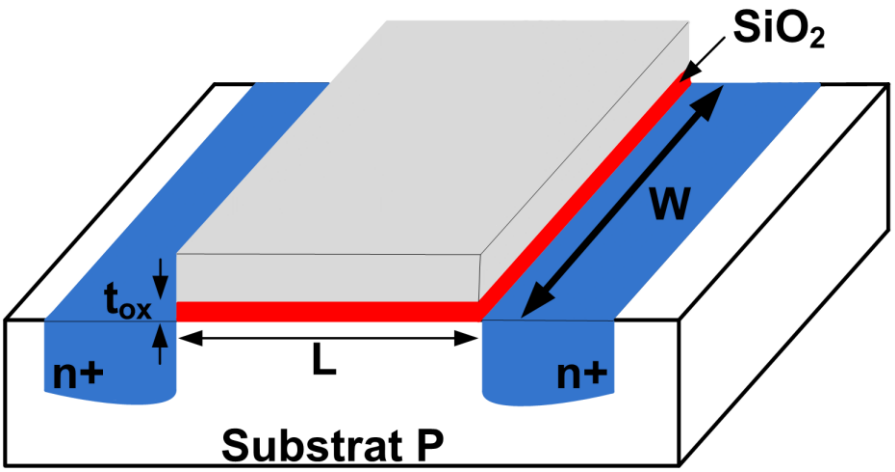


Figure 2.1 : Modèle 3D du transistor NMOS

La Figure 2.1 montre un transistor NMOS de largeur W et de longueur L. Sa capacité C_g est souvent calculée par une expression simple de la forme suivante :

$$C_G = C_{OX}WL \tag{2.2}$$

Où, $C_{ox} = \varepsilon_{ox}/t_{ox}$, t_{ox} : épaisseur de l'oxyde et ε_{ox} : constante diélectrique de l'oxyde

Plus précisément, cette capacité C_G est la somme de 3 capacités comme le montre le modèle 2D du transistor NMOS (Figure 2.2) où $C_G = C_{GS} + C_{GB} + C_{GD}$. Notons que les composantes C_{GS} et C_{GD} sont des capacités proportionnelles à W, mais pas à L.

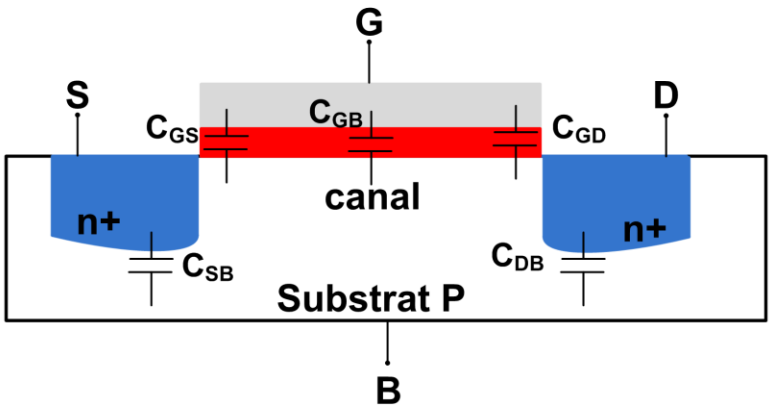


Figure 2.2 : Modèle 2D du transistor NMOS avec ses capacités

Tous les types de transistors introduisent des capacités parasites. Un transistor CMOS possède 4 bornes et chaque paire de bornes est associée à une capacité. Ces capacités comme le montre la Figure 2.3 sont : C_{GS}, C_{GD}, C_{SB}, C_{DB} et C_{GB}. Les capacités de ces condensateurs dépendent de la tension d'une manière non linéaire.

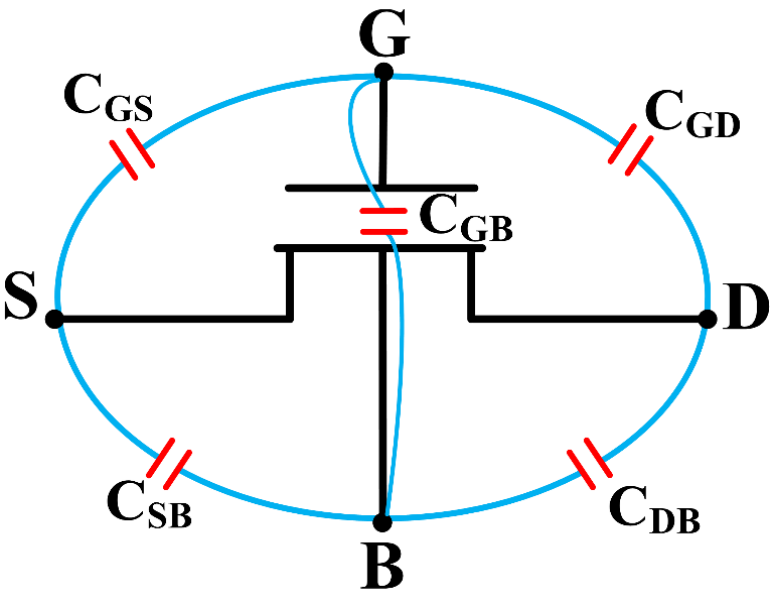


Figure 2.3 : Capacités d'un transistor MOS

Les fils qui connectent les transistors l'un à l'autre, introduisent des capacités qui sont généralement dominantes dans la plupart des circuits. La suite de cette analyse étudie les capacités autour d'un inverseur formé de transistors PMOS et NMOS.

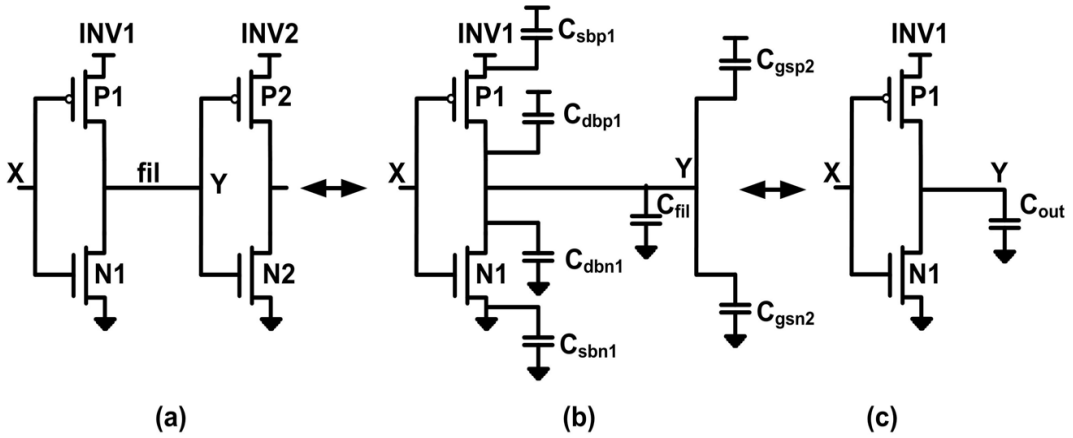


Figure 2.4 : (a) Deux inverseurs CMOS, (b) les capacités des transistors, (c) modèle simplifié des capacités autour de l'inverseur [5]

Si on applique une tension allant de 0 à VDD au nœud X, une définition possible à travers INV1 est la différence des temps de passage requis pour que la tension des nœuds X et Y passent par VDD/2. La Figure 2.4 (b) représente le modèle des transistors avec leurs capacités sur la grille, la source et le drain. Les capacités C_{sbp1} et C_{sbn1} sont reliées à des tensions constantes et elles n'influencent pas le délai de propagation. Les capacités C_{dbp1}, C_{dbn1} aux sources des transistors P1 et N1, la capacité C_{fil} du fil et les capacités C_{gsp2} et C_{gsn2} des grilles des transistors P2 et N2 contribuent à la capacité de charge du nœud de sortie. Pour plus de simplification, Figure 2.4 (c), montre la capacité totale $C_{out} = C_{dbp1} + C_{dbn1} + C_{gsp2} + C_{gsn2} + C_{fil}$ qui est responsable du délai de propagation. Quand on applique une tension au point X = 0 V, P1 est activé et N1 est désactivé et la variation de la tension V_Y au nœud Y est reliée à l'équation suivante [5] :

$$C_{out}\ \frac{dV_Y}{dt} = -\mathrm{I}_{\mathrm{dsn1}} \tag{2.3}$$

où I_{dsn1} est le courant de drain qui passe à travers le drain de N1 quand $V_{gs} = V_{DD}$ et $V_{ds} = V_Y$. Au début, N_1 est en saturation donc $V_{ds} > V_{gs} - V_t$, quand $V_Y < V_{DD} - V_t$, N1 entre dans la région linéaire. De ces deux cas, on trouve les deux équations différentielles [5].

En région de saturation :

$$\frac{dV_Y}{dt} = -\beta \frac{1}{C_{out}} \frac{(V_{DD}-V_t)^2}{2} \tag{2.4}$$

En région linéaire

$$\frac{dV_Y}{dt} = -\beta \frac{1}{C_{out}} \left(V_{DD} - V_t - \frac{V_Y}{2}\right) V_Y \tag{2.5}$$

Avec $\beta = \mu C_{ox} \frac{W}{L}$

Pendant la saturation, V_Y diminue linéairement en fonction du temps jusqu'à ce qu'elle atteigne une tension $V_{DD} - V_t$, au-delà de cette valeur, l'équation différentielle devient non linéaire. Les temps de montée et de descente à la sortie dépendent du facteur β des deux transistors PMOS et NMOS et donc précisément de leur W respectifs. Si $\beta_p = \beta_n$ les temps de montée et de descente seront égaux. Les temps de montée et de descente dans les circuits réels sont non nuls, donc le délai de propagation dépend des temps de montée et de descente du signal réel qui provient d'un autre circuit. Dans notre exemple, lorsque le signal au nœud X commence à monter à une tension $< V_{tn}$, N1 reste éteint, P1 est activé et au nœud Y le signal est à V_{DD}. Au-delà de V_{tn} , N1 devient actif, le courant passe vers la masse à travers N1 change progressivement et la tension au nœud Y diminue vers une tension intermédiaire. Lorsque la tension au nœud X s'approche de V_{DD}, P1 devient désactivée et la tension au nœud Y devient 0 V, donc le signal au nœud Y, passe par les trois états suivants [5] :

N1 désactivé, P1 activé quand $V_Y = V_{DD}$

N1 activé, P1 activé quand $\frac{dV_Y}{dt} = \frac{I_{dsp1} - I_{dsn1}}{C_{out}}$

N1 activé, P1 désactivé quand $\frac{dV_B}{dt} = \frac{-I_{dsn1}}{C_{out}}$

2.2 Modèle RC du transistor

Le modèle RC du transistor est utilisé pour calculer d'une manière approximative, le délai de propagation en fonction de la résistance et la capacitance effectives de ce transistor. Pour une taille unitaire d'un transistor, on prend par convention la largeur et la longueur de canal minimale de ce transistor. On suppose qu'il comporte une résistance R qui est le rapport de V_{ds} sur I_{ds} et une capacitance de grille et de source. Pour un transistor NMOS qui possède K fois la largeur minimale, il comporte comme résistance R/K, car chaque fois que la largeur augmente le courant augmente et la capacitance sera KC. Pour un PMOS qui a K fois la largeur minimale, on va considérer qu'il a une impédance de sortie de 2R/K à cause de sa mobilité réduite du courant par comparaison avec le NMOS et qu'il introduit KC comme capacitance. Cette supposition est générale, elle dépend en fait de la technologie utilisée (le rapport de conductance entre les transistors N et P est parfois de 3 et peut atteindre 5 pour certaines technologies).

La Figure 2.5 montre le modèle RC des deux types de transistors NMOS et PMOS. L'interrupteur montre si le transistor est activé ou désactivé. Étudions le modèle RC des inverseurs de la Figure 2.6(a). Supposons que l'entrée au nœud A est connectée à V_{DD} alors le transistor NMOS est activé. Dans ce cas, l'interrupteur correspondant est fermé et celui de PMOS est ouvert comme le montre

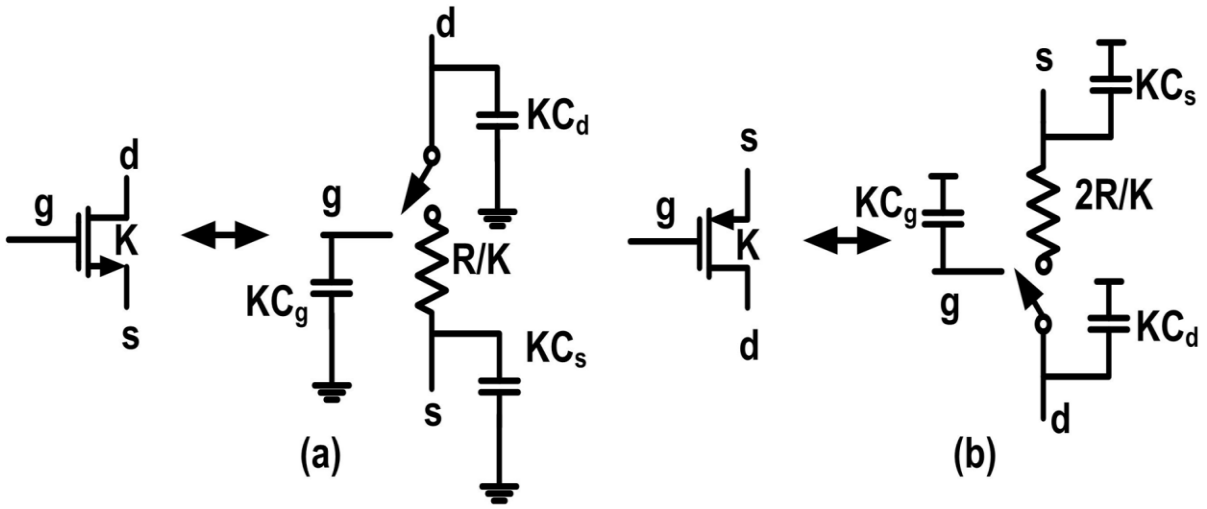


Figure 2.5 : Modèle RC des transistors (a) NMOS et (b) PMOS [5]

la Figure 2.6 (b). Seulement les capacités aux grilles des transistors du premier et du deuxième inverseur agissent sur le temps de propagation alors que les autres capacités qui se trouvent sur les sources du PMOS et NMOS ne participent pas au chemin de sortie, car elles sont connectées à des tensions stables. Les autres composantes n'agissent pas sur le chemin de sortie. Un circuit similaire est obtenu quand l'entrée A est connectée à une tension 0 V, mais cette fois-ci le transistor PMOS est activé et le NMOS est désactivé.

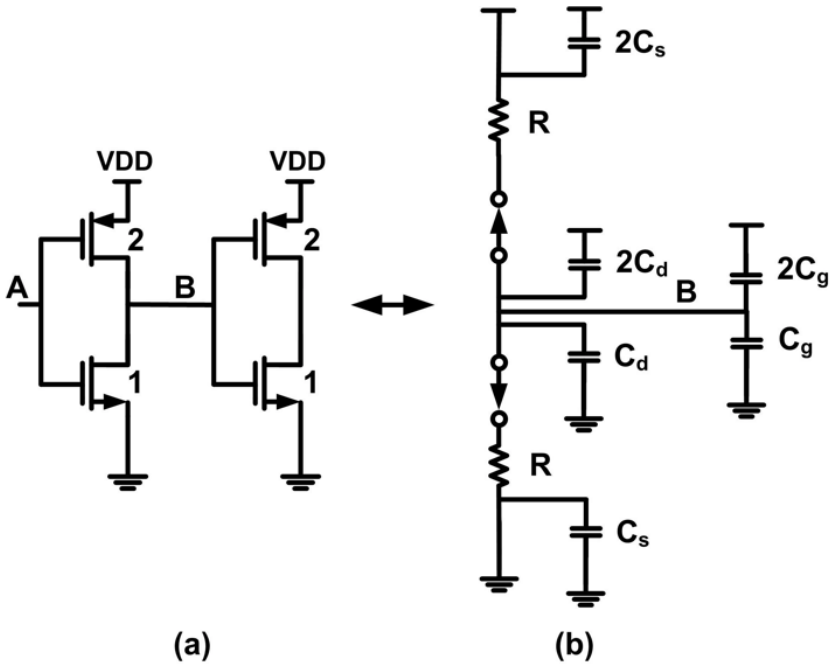


Figure 2.6 : (a) Inverseurs CMOS, (b) modèle RC des transistors

Donc le temps de propagation pour cet inverseur sera $t_{pd}=6RC_g$. La même analyse peut être appliquée pour les autres portes logiques pour calculer leurs résistances effectives et capacités. Dans le cas des portes, Elmore a proposé le modèle suivant [5] :

$$t_{pd} = \sum_i R_{ik} C_i \tag{2.5}$$

où R_{ik} est la résistance effective entre le nœud d'entrée et le nœud intermédiaire

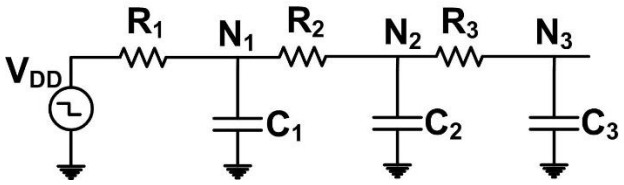


Figure 2.7 : Exemple pour application de délai d'Elmore

Selon le modèle d'Elmore, le délai pour le circuit de la Figure 2.7 est approximativement donné par :

$$t_{pd} = R_1C_1 + (R_1 + R_2)C_2 + (R_1 + R_2 + R_3)C_3 \tag{2.6}$$

2.3 Technologies CMOS

Il existe plusieurs technologies CMOS. Chacune diffère par rapport à l'autre par plusieurs spécifications comme l'architecture du substrat, l'énergie consommée, la grandeur des paramètres des transistors, la performance, le genre de substrat utilisé, etc. Dans cette section on va décrire la technologie de CMOS FD-SOI. Pour cela, faisons un petit rappel sur la technologie de CMOS planaire. La Figure 2.1 montrait le transistor conventionnel NMOS sur substrat semi-conducteur. Généralement, la tension seuil V_T des deux transistors est obtenue quand le substrat du NMOS est connecté à la masse et celui du PMOS à la tension d'alimentation VDD. En modifiant la tension des deux substrats, la tension seuil peut faire une petite variation limitée et négligeable de quelques millivolts (environ 25 mV/V). La tension seuil joue un rôle important au niveau de la vitesse du transistor. Quand V_T est petit, le transistor s'active et se désactive rapidement par comparaison au cas où V_T a une valeur élevée. Alors, même si on applique différentes tensions au substrat de ces transistors leur vitesse ne sera pas affectée, car V_T varie légèrement. Parlons des transistors CMOS de silicium entièrement appauvri sur isolant ou communément appelé FD-SOI (*Fully Depleted Silicon on Insulator*), l'architecture de ce type de transistor est présentée à la Figure 2.8. Elle montre le corps du transistor se trouvant sur une couche isolante d'oxyde (BOX) avec le canal qui est non dopé et isolé du corps du transistor. Cette architecture possède plusieurs avantages par

comparaison à la technologie connue des transistors planaires sur substrat semi-conducteur, notamment au niveau de l'isolation électrostatique, de la performance, de la vitesse, etc. On s'intéresse particulièrement à la tension de seuil contrôlable de ces types de transistors à travers le corps du transistor. La Figure 2.9 présente deux types de transistors utilisant cette technologie.

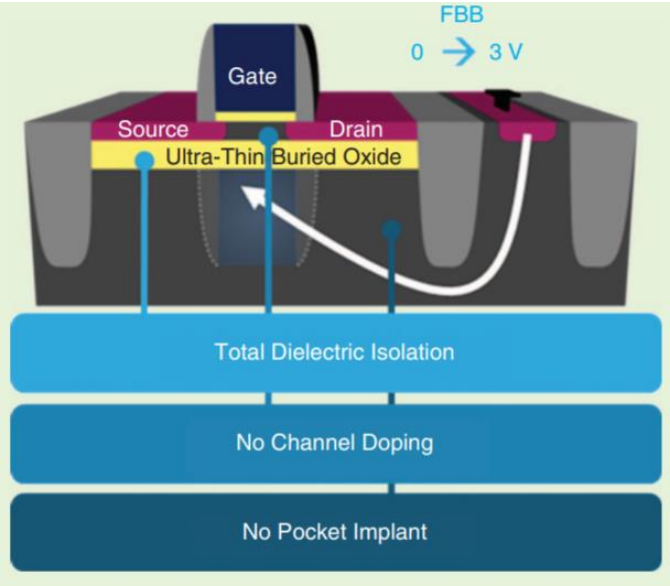


Figure 2.8 : Architecture du transistor utilisant la technologie FD-SOI [6]

Les transistors à V_T régulier RVT sont présentés dans la Figure 2.9 (b). Leurs, drain et source sont isolés du substrat à travers le BOX. On peut faire une polarisation efficace pour le corps de ce transistor pour agrandir leur V_T par une technique de polarisation de corps inverse communément appelé RBB (*Reverse Body Biasing*) en variant cette tension de 0 à 3V. En ce qui concerne les transistors LVT, on peut diminuer la tension V_T par une polarisions du corps en direct communément appelé FBB (*Forward Body Biasing*) avec une plage de tension effective de 0 à 3 V. La Figure 2.10 montre l'effet des techniques de polarisation RBB et FBB sur la tension seuil des deux types de transistors. En fait, ces techniques modifient la capacité de la grille du transistor qui augmente avec la polarisation RBB ce qui prolonge le temps d'activation du transistor et qui diminue avec la polarisation FBB ce qui accélère le temps d'activation.

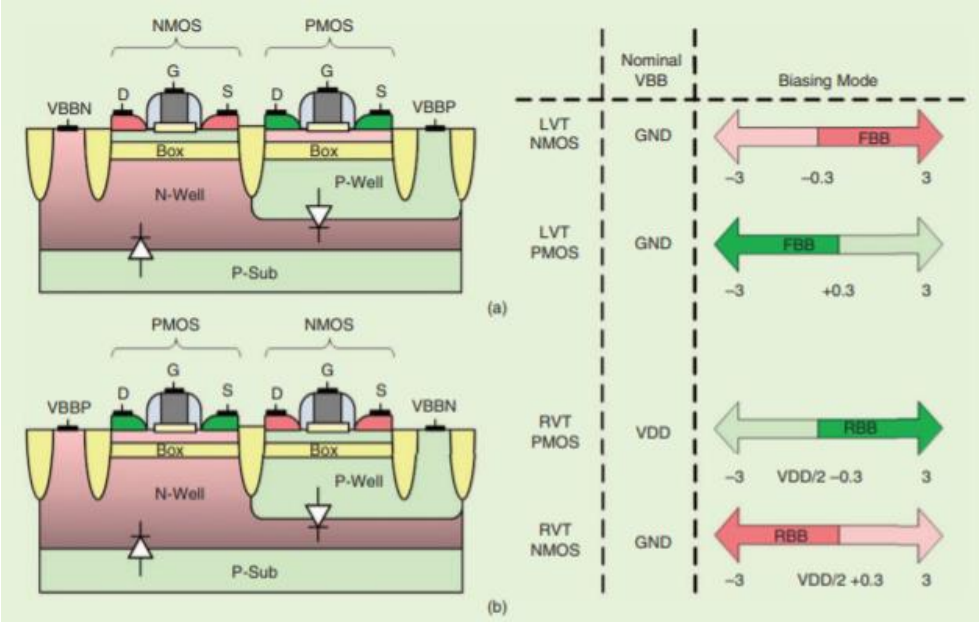


Figure 2.9 : Transistors en technologie FD-SOI CMOS (a), transistor de type LVT (b) transistor de type RVT [6]

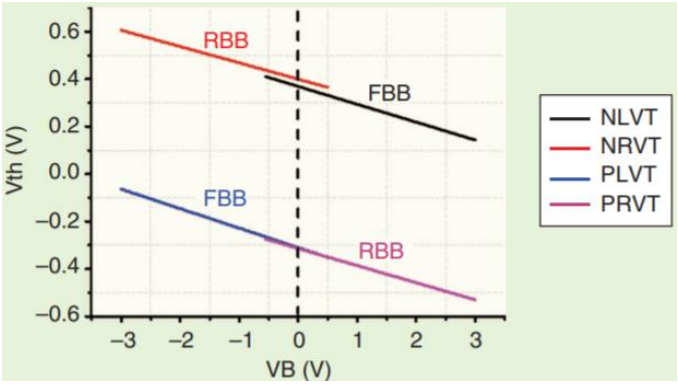


Figure 2.10 : Variations des tensions de seuil avec les FBB et RBB des deux types des transistors RVT et LVT pour le NMOS et le PMOS [6]

L'augmentation ou la diminution de la tension seuil est utile dépendant de l'application. Par exemple dans un circuit, si c'est nécessaire de ralentir un transistor, on applique la RBB et si on

veut augmenter sa vitesse on applique la FBB. Un transistor ralenti sera généralement associé à une consommation d'énergie réduite.

Cette technologie offre des avantages dans les circuits qui souffrent des goulots d'étranglement au niveau de quelques transistors. Elle introduit une complexité pour les concepteurs qui doivent choisir les bons types de transistors et gérer la polarisation des substrats de façon correcte.

CHAPITRE 3 BOUCLE À VERROUILLAGE DE DÉLAI ET BOUCLE À VERROUILLAGE DE PHASE

Le rôle général de la BVD et de la BVP est d'ajuster la position du front d'horloge pour synchroniser le signal d'entrée avec le signal de sortie. L'objectif principal de la BVP est de multiplier la fréquence d'entrée du signal d'horloge externe par un nombre entier ou fractionnaire et l'objectif principal de la BVD est de retarder le signal d'horloge d'entrée pour produire plusieurs sorties également déphasées d'une durée très particulière. La différence principale entre ces deux boucles est que la BVP utilise un oscillateur pour modifier la fréquence et la BVD utilise une ligne délai pour décaler un signal de référence d'une période. Leurs avantages sont la réaction rapide aux diverses perturbations pour ajuster le signal de sortie. Il y a plusieurs types de la BVD et de la BVP, on va faire un aperçu général sur ces 2 genres d'horloges et étudier leurs avantages et désavantages.

3.1 La boucle à verrouillage de phase

L'horloge de type BVP utilise le signal de fréquence d'entrée pour le multiplier en utilisant un système de rétroaction qui compare le signal d'entrée et le signal de sortie décrivant les déviations par rapport au point de verrouillage. Le signal de sortie d'horloge idéal est modélisé sous forme d'un signal carré. La structure standard simple de la BVP est présentée dans la Figure 3.1.

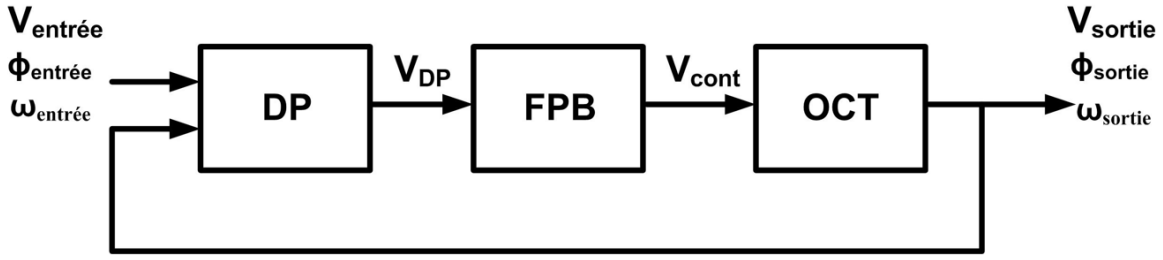


Figure 3.1 : Architecture standard simple de la BVP

La BVP est formée d'un détecteur de phase (DP), d'un filtre passe-bas (FPB) et d'un oscillateur commandé par tension (OCT) [7].

3.1.1 Détecteur de phase

Le DP compare la différence de phase entre $V_{entrée}$ ($\omega_{entrée}$) et V_{sortie} (ω_{sortie}) puis il produit une tension V_{DP} vers l'entrée du FPB de gain unitaire qui contrôlera l'OCT et par la suite ajustera la différence de phase. Alors, au point de verrouillage où les deux fréquences sont égales on a :

$$\Phi_{sortie}(t) = \Phi_{in}(t) + const \tag{3.1}$$

$$\omega_{\text{sortie}}(t) = \omega_{\text{entrée}}(t) \tag{3.2}$$

$$\frac{d\Phi_{sortie}}{dt} - \frac{d\Phi_{entrée}}{dt} = 0 \tag{3.3}$$

La réponse d'un détecteur de phase est caractérisée par un gain K_{DP}. Sa sortie est une réponse linéaire qui dépend de la différence de phase $\Delta\Phi$ entre ses deux signaux d'entrée. Donc, on peut écrire sa sortie $V_{DP} = K_{DP}\ \Delta\Phi$ en V/rad. Le plus simple circuit qui travaille comme un DP est la porte logique XOR [7].

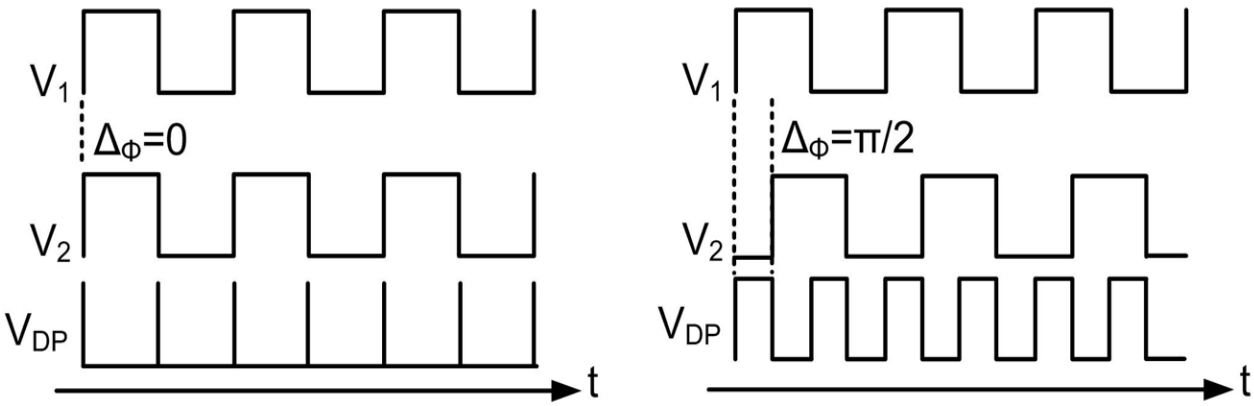
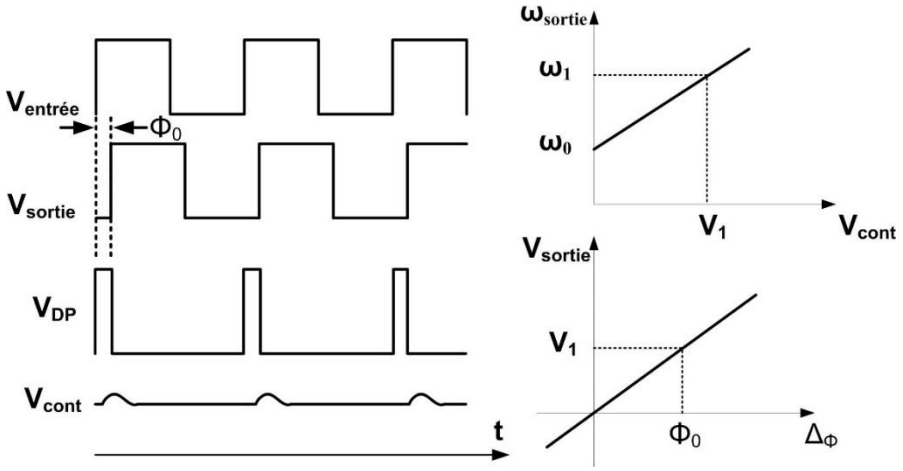


Figure 3.2 : Réponse de sortie du DP de deux signaux de différence de phases différentes

Un exemple, est présenté à la Figure 3.2. Dans cet exemple, le DP a deux signaux d'entrée V_1 et V_2. Le premier cas présenté correspond à la situation où les deux signaux sont en phase. Dans ce cas, la réponse du DP est neutre. Dans le deuxième cas avec $\Delta_\Phi = \pi/2$, le DP produit des pulsations de $\pi/2$ dans la région de différence de phase de ces deux signaux pour compenser ce décalage de phase. Donc le DP génère des impulsions de largeur égale à la différence de phase entre V_1 et V_2. Le comportement de la BVP au point de verrouillage est présenté à la Figure 3.3 (a). Dans ce cas, les deux signaux V_1 et V_2 sont de même fréquence, mais déphasés de Φ_0. Le DP génère alors des impulsions de largeur Φ_0 et le FPB transforme ces impulsions en un signal quasi-continu V_{cont} qui présente des petites ondulations [7].



(a) (b)

Figure 3.3 : (a) La BVP en état verrouillé, (b) erreur de phase et V_{cont}

Pour calculer cette erreur de phase et le courant à la tension V_{cont} la Figure 3.3 (b) présente la courbe caractéristique d'un OCT et du DP. L'équation caractéristique d'un OCT de gain K_{OCT} est : $\omega_{sortie} = \omega_0 + K_{OCT}V_{cont}$. Pour que les fréquences d'entrée et de sortie soient égales à ω_1 il faut que $V_{cont} = V_1$, donc :

$$V_1 = \frac{\omega_1 - \omega_0}{K_{OCT}} \tag{3.4}$$

Pour calculer Φ_0 on a :

$$V_1 = K_{DP}\Phi_0 \tag{3.5}$$

$$\Phi_0 = \frac{\omega_1 - \omega_0}{K_{OCT}K_{DP}} \tag{3.6}$$

Donc on peut conclure que la variation de la fréquence d'entrée modifie Φ_0 et pour la minimiser, il faut que K_{OCT} et K_{DP} soient grands [7].

3.1.2 Détecteur phase fréquence

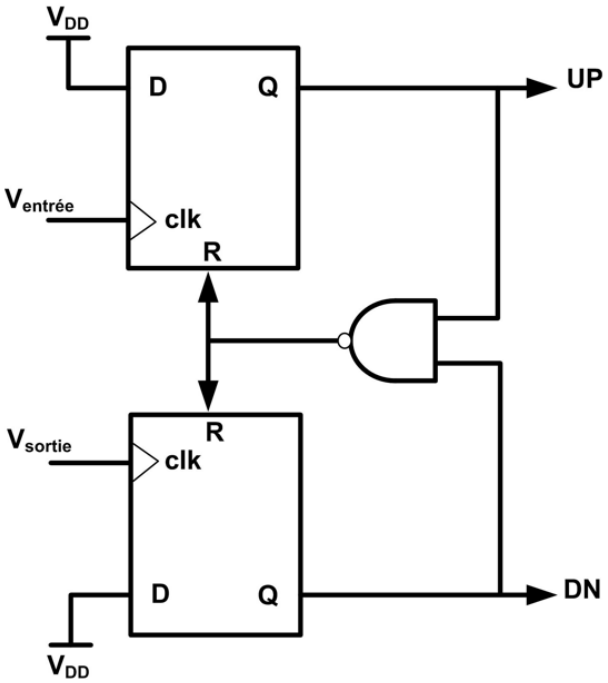


Figure 3.4 : Détecteur de phase-fréquence standard

Le détecteur de phase fréquence (DPF) joue le rôle d'un DP et en plus, il compare la différence de fréquence de ses deux signaux d'entrée. Dans ce cas, les deux sorties du DPF dépendront de la

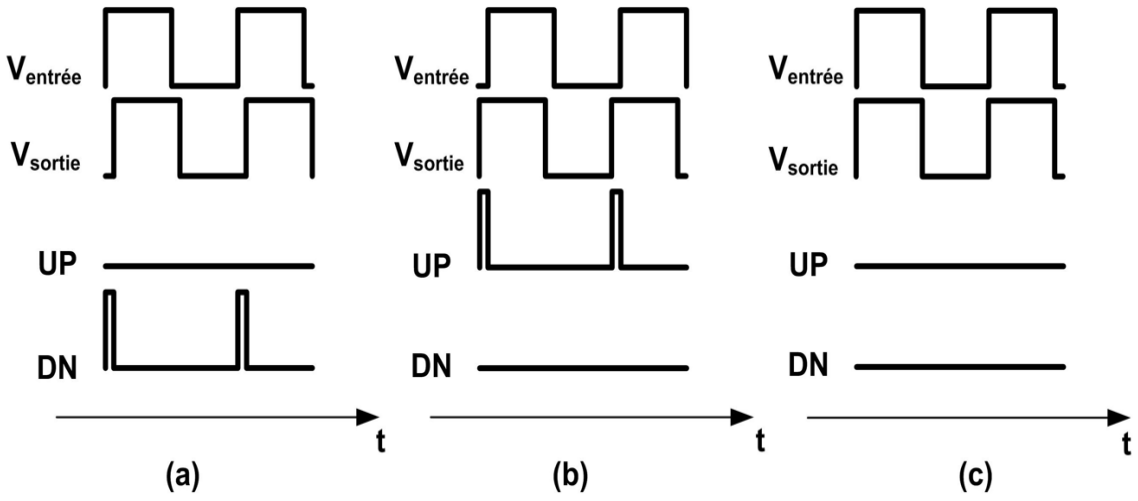


Figure 3.5 : Réponse du détecteur de phase-fréquence, (a) $V_{entrée}$ en retard de phase par rapport à V_{sortie}, (b) $V_{entrée}$ en avance de phase par rapport à V_{sortie}, (c) V_{sortie} en phase avec V_{sortie}

différence de fréquence et de la différence de phase. La Figure 3.4 montre un détecteur de phase standard utilisant deux bascules et une porte logique NAND. Les BVP utilisent le DPF pour contrôler sa fréquence de sortie et la différence de phase résiduelle une fois que la fréquence est verrouillée. Dans un premier exemple illustré à la Figure 3.5 (a), $V_{entrée}$ est en retard de phase par rapport à V_{sortie}. Le DPF doit alors produire un signal permettant de retarder V_{sortie} en produisant une impulsion DN pour devenir en phase avec $V_{entrée}$. Dans le deuxième cas illustré à la Figure 3.5 (b), $V_{entrée}$ est en avance de phase par rapport à V_{sortie}. Le DPF doit alors produire un signal pour faire avancer V_{sortie} en produisant une impulsion UP pour que l'oscillateur local revienne en phase avec $V_{entrée}$. Le troisième cas quand $V_{entrée}$ et DIV sont en phase. Dans ce cas, le DPF est neutre et ne produit aucune impulsion et donc la BVP reste verrouillée. La porte logique NAND est utilisée pour que les impulsions UP et DN ne soient pas activées simultanément. Le DPF est utilisé à la place d'un DP pour contrôler la phase et la fréquence d'une BVP et ses deux sorties sont injectées à l'entrée de la pompe de charge.

3.1.3 Pompe de charge et filtre de boucle

La pompe de charge (PC) transforme les impulsions provenant du DPF en un courant I_{CP} qui sera

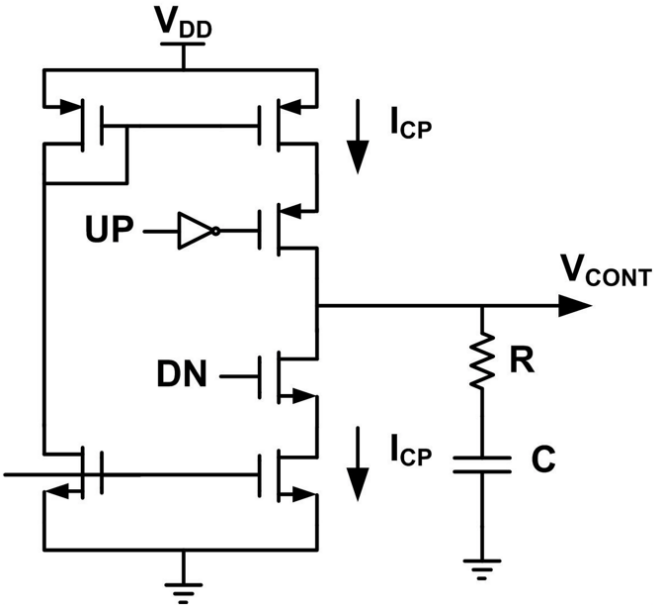


Figure 3.6 : Pompe de charge avec son filtre [5]

transformé à l'aide d'un filtre passe bas (FPB) en un niveau de tension de contrôle de l'OCT. La Figure 3.6 présente le circuit standard d'une PC avec un filtre. Si la PC reçoit une impulsion UP du DPF, un courant sera injecté dans le filtre, ce qui augmente la tension V_{CONT}. Si la PC reçoit une impulsion DN le courant sera absorbé par le filtre, ce qui fait diminuer le niveau de tension sur V_{CONT}. Si la PC ne reçoit rien, V_{CONT} reste constante. Le filtre est un élément important pour une haute précision de verrouillage. Il ajuste la tension du contrôle V_{CONT} du OCT pour régler l'erreur de phase dépendant du courant provenant de la PC qui elle aussi dépend de la réponse du DPF. En général, on utilise un circuit RC pour construire le filtre. Le bruit à haute fréquence perturbe le point de verrouillage en produisant des erreurs de phase à haute fréquence, alors la résistance R réduit ce bruit et se traduit par une erreur de phase à basse fréquence continue [5].

3.1.4 Oscillateur en anneau à phases multiples contrôlé par tension

L'oscillateur en anneau est utilisé pour multiplier une fréquence d'entrée. L'oscillateur en anneau conventionnel est généralement composé d'un nombre N impair d'inverseurs en chaîne où la sortie du dernier inverseur est connectée à l'entrée du premier inverseur. Il génère N signaux oscillant chacun à une fréquence de f_{osc}. La fréquence de sortie f_{osc} dépend du délai t_d créé par chaque inverseur selon la formule suivante :

$$f_{osc} = \frac{1}{2Nt_d} \tag{3.7}$$

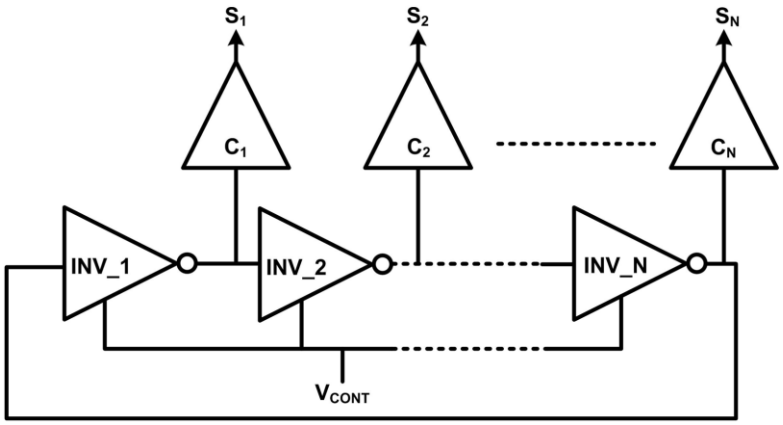


Figure 3.7 : Oscillateur en anneau contrôlé par tension

Pour avoir une fréquence spécifique, il faut contrôler le délai de propagation t_d en utilisant des inverseurs contrôlables par une tension. Avec ce type d'inverseur, l'oscillateur en anneau sera appelé oscillateur contrôlé par tension V_{CONT} (OCT). La Figure 3.7 présente un OCT à phases multiples générant N phases de sortie de fréquence f_{osc} où chaque deux sorties adjacentes sont espacées d'un délai t_d. Les cellules de retard sont ajoutées pour créer une charge identique et pour bien former des signaux de sorties identiques. Le gain de cet oscillateur K_{OCT} est :

$$K_{OCT} = \frac{f_{max} - f_{min}}{V_{max} - V_{min}} = \frac{df_{osc}}{dV_{CONT}} \tag{3.8}$$

Dans cette expression, f_{max} et f_{min} sont les fréquences maximale et minimale respectivement et V_{max} est la tension de contrôle maximal et V_{min} est la tension de contrôle minimale. La courbe de K_{OCT} est présentée à la Figure 3.8. On peut tirer de cette courbe la relation entre la fréquence d'oscillation et la tension de contrôle :

$$\omega_{osc} = 2\pi f_{osc} = K_{OCT} V_{CONT} + \omega_0 \tag{3.9}$$

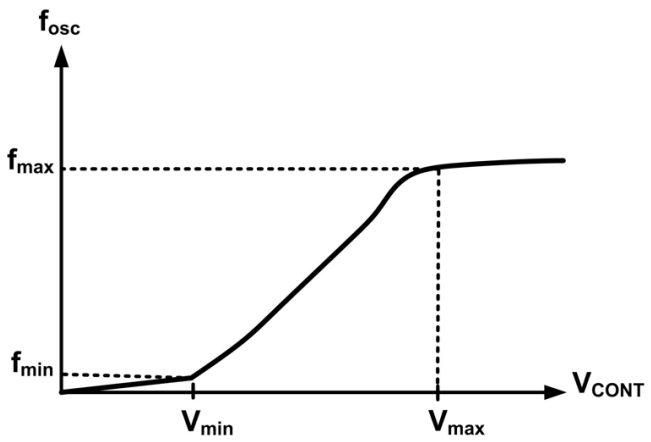


Figure 3.8: Variation de la fréquence de l'OCT par rapport à la tension de contrôle

L'avantage de l'architecture de l'OCT, est qu'elle ne nécessite pas une source de fréquence à son entrée et elle consomme peu d'énergie. En revanche, l'OCT souffre du problème du bruit de phase qui s'est accumulé sans arrêt dans sa boucle. Il est possible d'injecter un signal dans l'un de ses étages d'inverseur et de forcer cet OCT à osciller précisément à la fréquence du signal injecté [7].

3.1.5 Oscillateur différentiel à phases multiples contrôlé par tension

L'OCT peut être mal verrouillé : dans ce cas, la sortie de ces inverseurs ne change pas et reste toujours au même état. Pour éviter ce phénomène, on utilise une architecture différentielle. La Figure 3.9 présente un exemple de l'architecture d'un oscillateur différentiel contrôlé par tension (ODCT) formée de 4 étages. Chaque étage est formé de deux inverseurs, en bas INV_1 et en haut

INV_2 et de deux inverseurs couplés croisés INV_3 et INV_4. INV_1 et INV_2 peuvent être verrouillés, mais INV_3 et INV_4 obligent l'état à la sortie de INV_1 et INV_2 à changer à chaque inversion. INV_3 et INV_4 ne doivent pas être plus fort que INV_1 et INV_2 mais ils ne doivent pas être trop faible car on perdrait alors le bénéfice de la structure différentielle. En général la largeur des transistors de INV_3 et INV_4 est égale à la moitié de celles de INV_1 et INV_2 (ce qui correspond à leur donner la moitié de la force) pour garantir le bon fonctionnement de l'ODCT et éviter le verrouillage dans un seul état. Cet ODCT à phases multiples génère 8 sorties également espacées de t_d qui est le temps de propagation à travers un étage et ses sorties oscillent à une fréquence égale à $f_{osc} = 1/(2\times 4t_d)$. Pour modifier la fréquence d'oscillation f_{osc} on utilise des inverseurs contrôlables comme dans l'OCT.

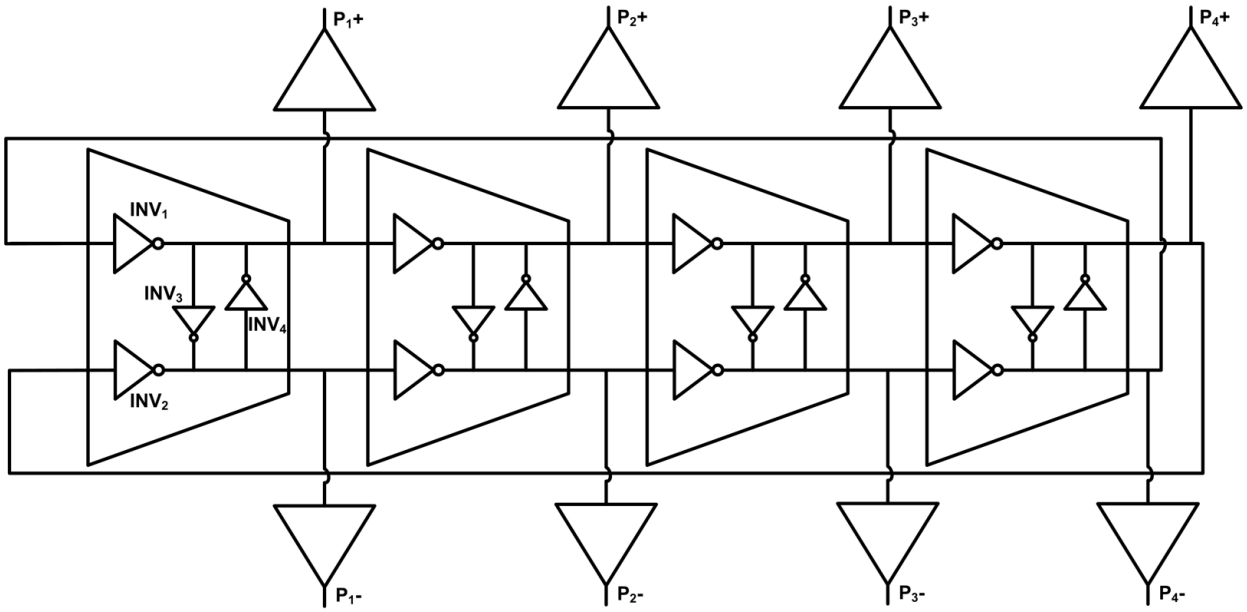


Figure 3.9 : Architecture ODCT

3.2 Boucle à verrouillage de délai

La BVD est un circuit à rétroaction utilisant une ligne de délai ou de retard au lieu d'un oscillateur pour synchroniser le signal d'entrée avec son signal de sortie. La BVD est préférable à la BVP dans de nombreuses applications grâce à sa faible sensibilité au bruit de phase. La première idée à propos de la BVD est écrite dans un article publié en 1961. Avec la technologie CMOS, la conception et l'utilisation de la BVD ont commencé en 1985 avec Bazes et en 1988 par Johnson et Hudson [8]. Dans cette section, on va étudier les caractéristiques et les problèmes de la BVD.

La Figure 3.10 montre un signal d'horloge passant à travers une longue interconnexion produisant un grand décalage temporel.

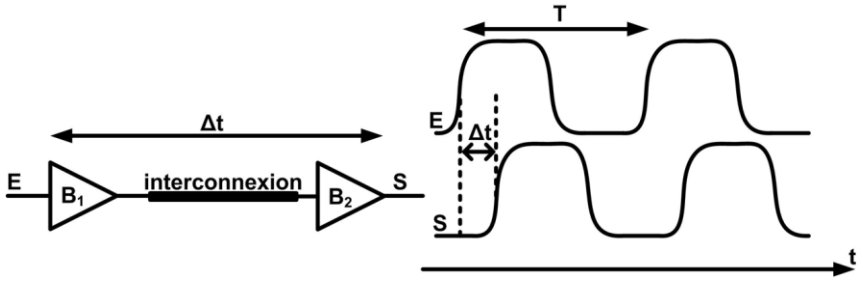


Figure 3.10 : Décalage à travers les cellules de retard et une longue interconnexion

Pour aligner E et S, il faut considérer ce genre de décalage avec celui qui est produit par des composants de retard pour atteindre enfin le décalage d'une période égale à celle du signal d'entrée. Pour corriger ce retard, il faut utiliser une ligne de délai ou de retard contrôlable pour obtenir un décalage d'une seule période. La Figure 3.11 montre cette ligne de retard formée des composantes de retard contrôlable où les deux signaux d'entrée et de sortie sont en phase à une certaine tension de contrôle V_{cont}.

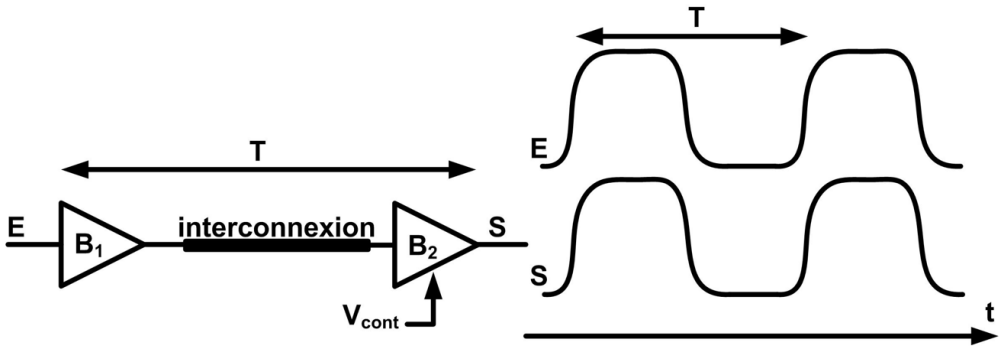


Figure 3.11 : Décalage d'une période corrigé par un élément de délai contrôlable

La Figure 3.12 montre une boucle composée d'une ligne de retard contrôlable avec un DPF, la différence de phase va dépendre du gain K_{DPF} du DPF et de celui de la ligne de retard [8].

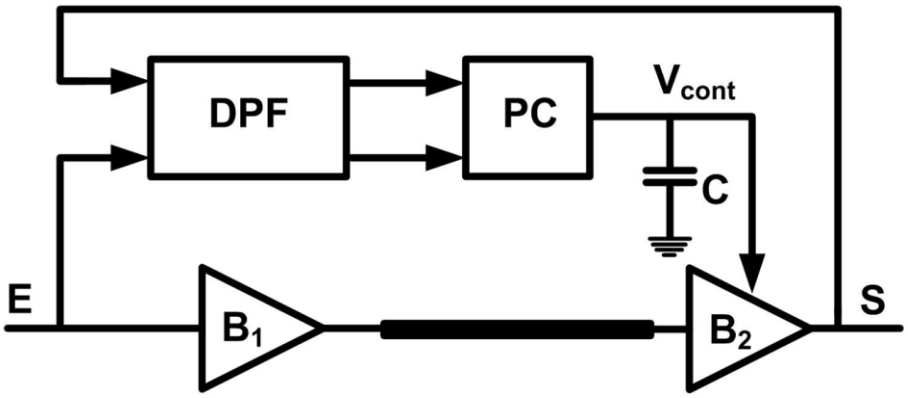


Figure 3.12 : Structure standard d'une BVD

L'architecture standard simple de la BVD est présentée à la Figure 3.13 composée du DPF, de la PC, d'un filtre de premier ordre et d'une ligne de retard contrôlable. Cette structure comportant une ligne de délai est plus immunisée contre le bruit de phase et la sensibilité au bruit provenant de l'alimentation, mais elle oblige le DPF et la ligne de délai à fonctionner à haute fréquence au contraire de la BVP [8].

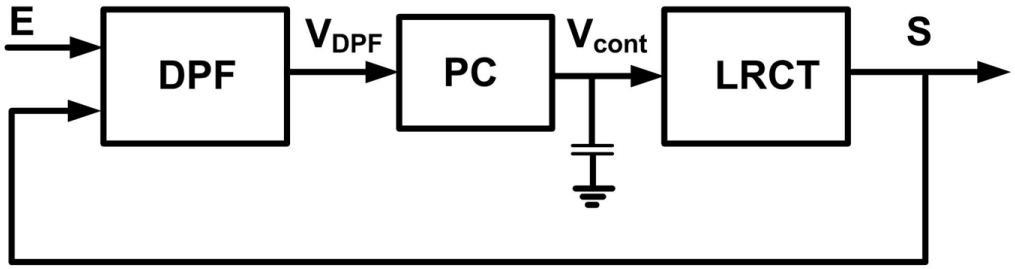


Figure 3.13 : Architecture complète de la BVD

Dans l'état verrouillé, le signal d'entrée E et le signal de sortie S sont synchronisées et leurs différences de phase est 0. Cela veut dire que la ligne de retard contrôlée par tension (LRCT) (Figure 3.13) décale le signal d'entrée exactement d'une période T égale à la période du signale d'entrée E. Cette LRCT est composée des éléments de retard contrôlant le délai de propagation pour régler le déphasage entre le signal d'entrée et le signal de sortie. La Figure 3.14 (a) montre ce LRCT formé d'inverseurs avec des capacités variables formant des unités de retard contrôlables [8].

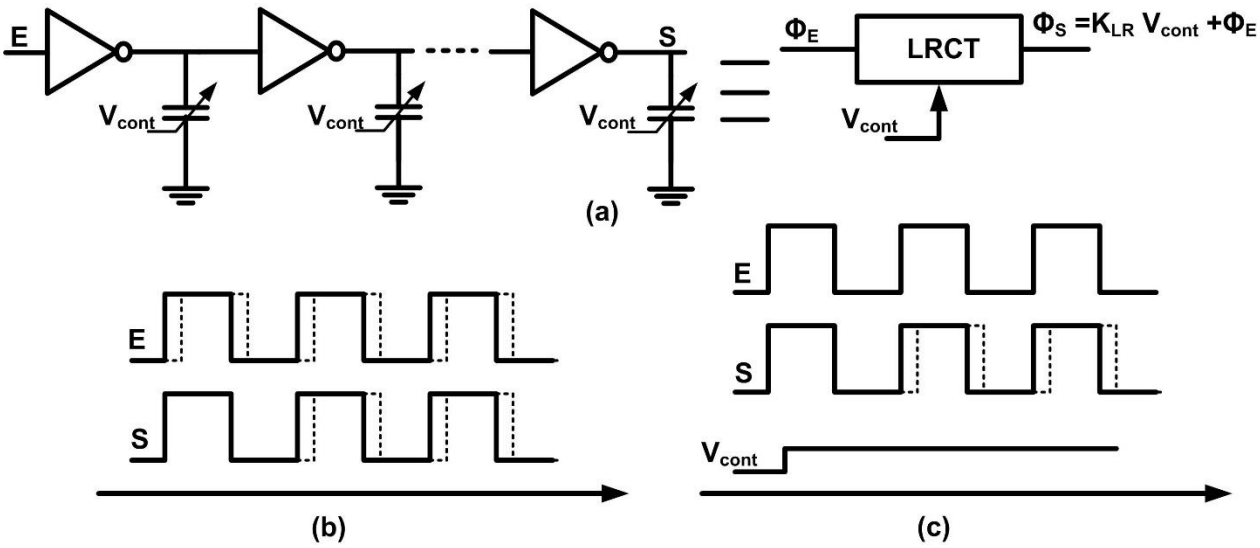


Figure 3.14 : (a) Architecture de LRCT, (b) effet du déphasage du signal d'entrée sur le signal de sortie, (c) effet de modification de V_{cont} sur le signal de sortie

Afin de comprendre le fonctionnent de ce circuit, supposons que E subit un déphasage comme le montre la Figure 3.14 (b), Cette variation de phase sera vue après une période et elle aura le même effet que si on change V_{cont} (Figure 3.14 (c)). De là, le déphasage à la sortie est $\Phi_S = K_{LR} V_{cont} + \Phi_E$ ou K_{LR} est le gain du LRCT. Si le circuit est exposé à des lentes fluctuations de phase à l'entrée, les signaux E et S restent alignés tant que le gain de la BVD est grand. Maintenant, si l'entrée subit des fluctuations de phase rapide, elles seront vues à la sortie après une période T, alors dans ce cas, le gain de la boucle est unitaire. Pour mieux comprendre, la Figure 3.15 (a) présente le modèle linéaire de la BVD. La fonction de transfert de la PC est I_p/Cs ou I_p est le courant fourni par la PC. On peut modéliser le circuit par les équations suivantes [8] :

$$V_{cont} = (\Phi_E - \Phi_S)\,\frac{I_p}{Cs} \tag{3.10}$$

$$\Phi_S = K_{LR}(\Phi_E - \Phi_S)\frac{I_p}{Cs} + \Phi_E \tag{3.11}$$

Alors

$$K_{LR}(\Phi_E - \Phi_S)\frac{I_p}{Cs} = -(\Phi_E - \Phi_S) \tag{3.12}$$

On peut conclure que si $\Phi_E = \Phi_S$, cette réponse peut produire de petites fluctuations comme montré à la Figure 3.15 (b).

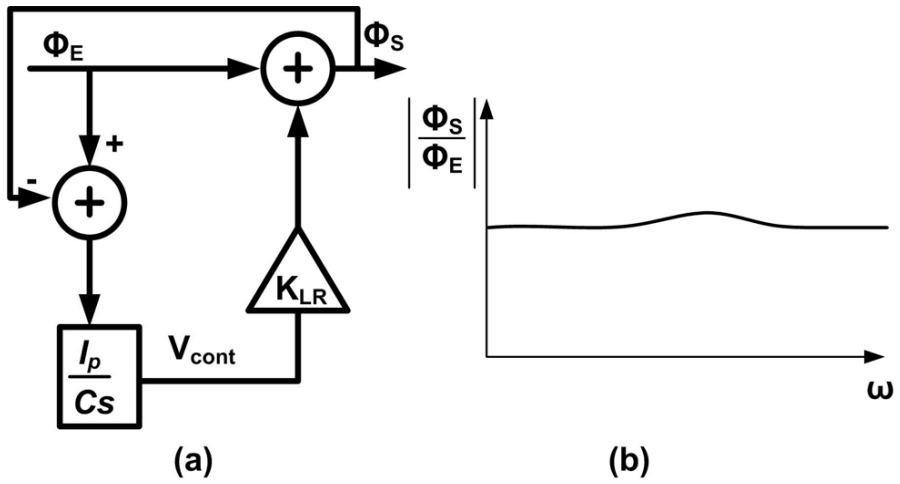


Figure 3.15 : (a) Modèle linéaire de la rétroaction, (b) réponse de la BVD

On peut donc dire en général que la BVD ne subit pas des problèmes de stabilité d'après l'équation 3.12.

3.2.1 Bruit d'alimentation

Le bruit d'alimentation peut modifier le retard au niveau d'une LRCT ce qui crée des erreurs au point de verrouillage entre les deux signaux d'entrée et de sortie. Pour un bruit d'alimentation VDD lent et à basse fréquence, la boucle est capable de maintenir le signal de sortie aligné avec celui de l'entrée. Avec un bruit sur VDD qui varie rapidement, le gain de la boucle sera affecté directement au niveau du LRCT et par la suite, le signal au niveau des sorties va être affecté. Pour bien étudier l'effet de bruit d'alimentation, supposons que VDD produit un bruit avec un gain K_{VDD} au LRCT [8].

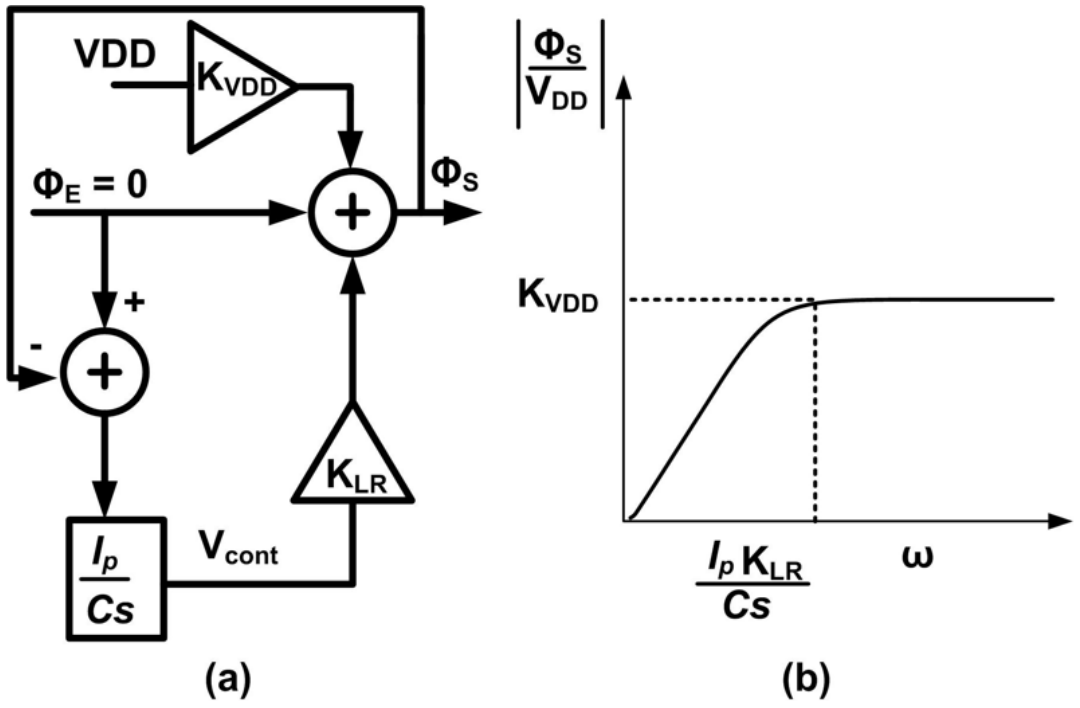


Figure 3.16 : (a) Modèle linéaire de la BVD avec bruit d'alimentation, (b) réponse de la BVD

Ce gain sera ajouté à la boucle comme le montre la Figure 3.16 (a). Lorsque $\Phi_E=0$ on peut modéliser ce circuit par les équations suivantes [8] :

$$K_{VDD} = \frac{\partial \Phi_S}{\partial VDD} \tag{3.13}$$

$$V_{cont} = -\Phi_S \frac{I_p}{Cs} \tag{3.14}$$

$$K_{LR}\Phi_S \frac{I_p}{Cs} + V_{DD}K_{VDD} = \Phi_S$$

$$\frac{\Phi_S}{V_{DD}}(s) = \frac{K_{VDD}Cs}{Cs+I_pK_{LR}} \tag{3.15}$$

De la dernière équation, on peut conclure que le pôle $\omega_p = I_p K_{LR}/C$. Alors à cette valeur de ω_p, la réponse de la BVD devient une constante (Figure 3.16 (b)).

3.2.2 Boucle à verrouillage de délai à phases multiples

La BVD n'a pas juste le rôle de synchroniser le signal d'entrée avec le signal dc de sortie, mais elle a aussi le rôle de générer plusieurs signaux d'horloge également espacés. Plusieurs applications

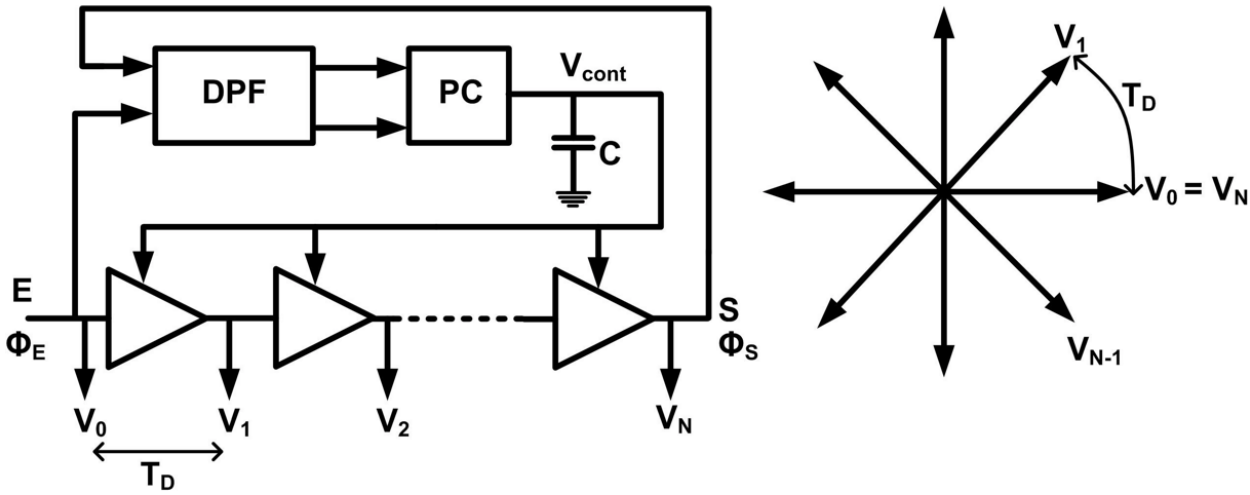


Figure 3.17 : Boucle à verrouillage de délai à phases multiples

nécessitent ce genre de BVD à phases multiples comme le CAN-ET, les mémoires etc. La LRCT de la BVD est composée de plusieurs étages de retard générant des signaux d'horloge de fréquences égales à celle de l'entrée. Comme le montre la Figure 3.17, ces étages sont contrôlés par V_{cont}. Avec un décalage d'une période T entre le signal d'entrée et le dernier signal de sortie, l'espacement temporel entre chaque deux sorties consécutives de la BVD est $T_D = T/N$, car le décalage d'une période produit par le LRCT se fait à travers les N étages de retards contrôlables. Pour que l'espacement temporel soit exact et pour éviter les rétroactions qui peuvent provenir de ces sorties, il faut avoir la même charge à chaque sortie de la LRCT et cela peut se faire en ajoutant des inverseurs de même grandeur à ses sorties. En ce qui concerne le DPF, il faut qu'il reçoive les deux signaux exactement au bon moment et avec le même temps de montée et de décente pour qu'il fasse une comparaison de phase précise entre ces deux signaux [8].

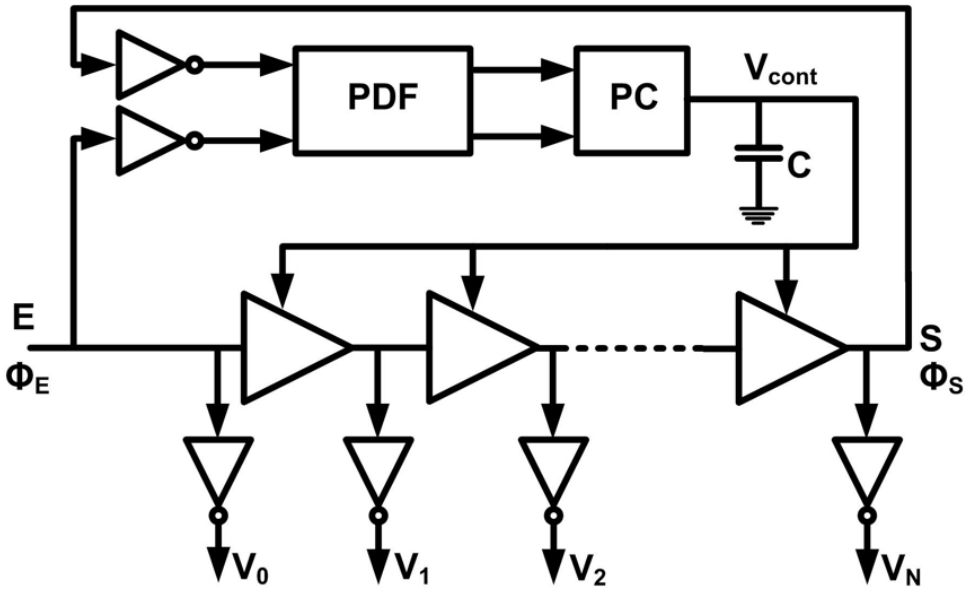


Figure 3.18 : La BVD à phases multiples améliorée

Ceci nécessite aussi d'ajouter des inverseurs à ses entrées. Une BVD améliorée est représentée à la Figure 3.18. Généralement, les circuits de la BVD sont conçus pour faire un retard de phase d'une période T à la température 27ºC au point typique-typique TT de fabrication. Il faut cependant

que la BVD fonctionne aux points de procédé dit lent-lent et qu'elle soit soumise à une haute température. Dans ce cas le LRCT peut décaler le signal d'entrée plus de 2T, ce qui causerait un faux verrouillage. Dans un tel cas « pathologique », le DPF pourrait comparer les deux phases des signaux d'entrées sans prendre en considération ce déphasage de 2T et par suite l'espacement temporel T_D entre les signaux de sorties serait égal à 2T/N, soit deux fois l'espacement temporel normal ce serait un défaut de fonctionnement d'un CAN-ET. La Figure 3.19 présente la BVD avec une BVP qui vise à éviter des faux verrouillages [8].

L'oscillateur en anneau contrôlé par V_{cont1} est utilisé pour s'assurer que X est décalé d'une seule période T (période du signal d'entrée) et que X et Y soient en phase à une certaine valeur de V_{cont1}. Alors, V_{cont1} sera obtenu au travers du filtre V_{cont2} pour supprimer le bruit et les fluctuations et V_{cont2}. Le LRCT décale E d'une seule période T. Pour les petits déphasages, V_{cont} fait la

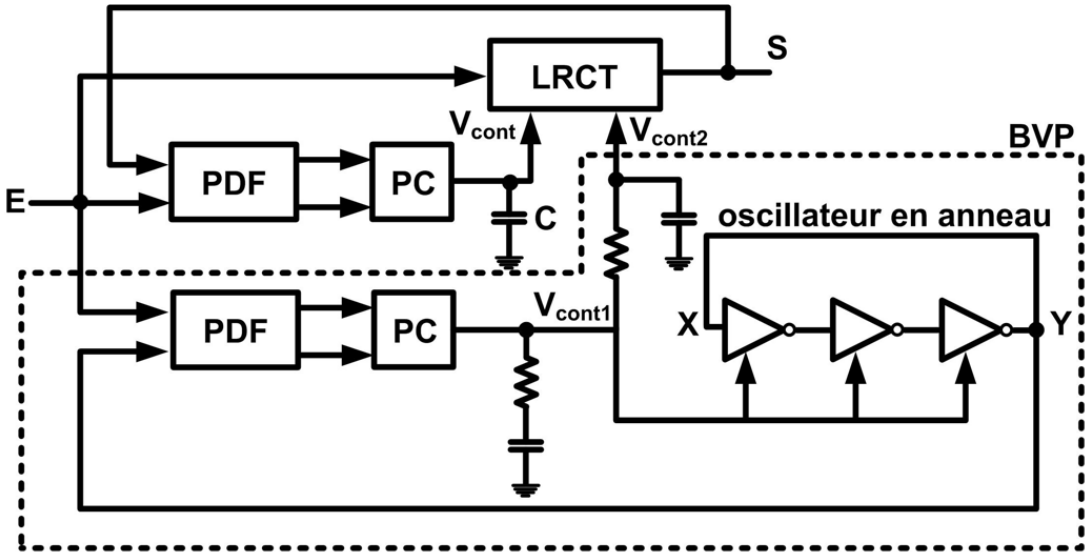


Figure 3.19 : BVD avec une BVP pour éviter le faux verrouillage

correction de phase pour le LRCT. De cette manière on évite le faux verrouillage, mais la difficulté afférente de cette méthode se situe au niveau de l'espace sur puce utilisée et de l'énergie consommée qui seront deux fois plus élevées que pour la simple BVD [8].

3.3 Horloge à phases multiples utilisant des registres à décalage

À côté du LRCT et de l'OCT, il existe des horloges à phases multiples utilisant des registres à décalage. Ce genre de circuit est formé d'une chaîne de N registres de type Flip-Flop D (DFF). Ces DFF sont formés chacune de deux bascules maître/esclave. La Figure 3.20 montre l'architecture de ce circuit. Chaque DFF est alimentée à son entrée d'horloge par une source de fréquence de H_{ref} provenant d'un OCT et l'entrée du premier RD est alimentée par un signal de

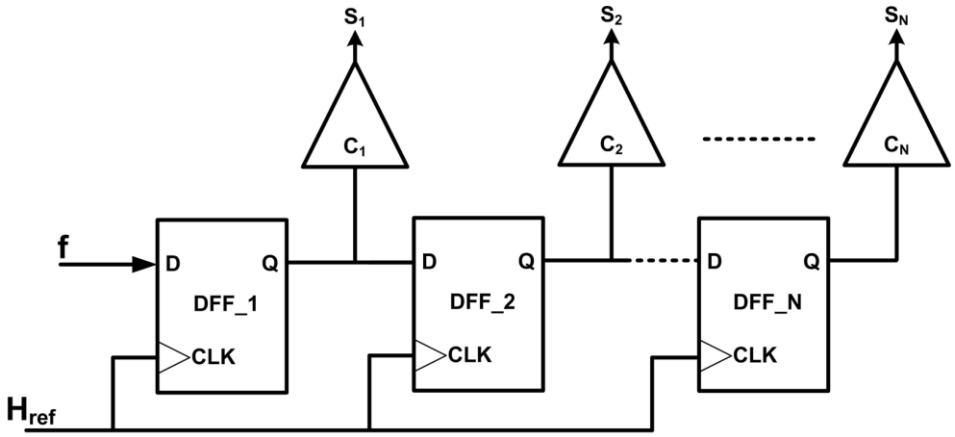


Figure 3.20 : Registre à décalage capable de produire une horloge à phases multiples

fréquence f. Une cellule de retard est reliée à chaque sortie Q du DFF pour créer la même charge capacitive et pour former des signaux identiques à la sortie. Le DFF est activé à chaque front montant du signal d'horloge H_{ref} alors le décalage temporel entre chaque deux DFF consécutifs est T_{Href}/N. Ce genre de circuits est capable de générer des signaux avec des rapports cycliques spécifiques qui peuvent varier de 1/N vers (N-1) /N. L'erreur de phase des horloges à RD provient du signal de référence et elle se propage à travers la chaîne des DFF vers les sorties. Cette erreur n'est cependant pas accumulée, car chaque sortie d'un DFF se comporte comme un interrupteur pour le DFF suivant, alors il y a moins d'erreurs de phase en comparaison avec le LRCT et l'OCT [9]. En revanche, il consomme cependant une quantité d'énergie élevée à cause des DFF qui sont formées de plusieurs portes logiques et que chaque porte logique est formée de plusieurs

transistors. De plus, ce circuit n'est pas capable d'opérer à très haute fréquence à cause de la grande charge à l'entrée et à la sortie de chaque DFF. Le délai produit par chaque DFF est grand par comparaison à une cellule de retard formé de deux inverseurs, donc la densité de phases est plus petite par rapport à celle de la BVD.

CHAPITRE 4 BOUCLE À VERROUILLAGE DE DÉLAI A PHASES MULTIPLES ET HAUTE FRÉQUENCE

Pour atteindre un taux d'échantillonnage élevé à travers les convertisseurs analogiques numériques à entrelacement temporel, nous avons besoin d'une horloge à phases multiples, opérant à haute fréquence et offrant une basse erreur de phase. Le CAN-ET utilise plusieurs CAN qui fonctionnent en parallèle pour atteindre un taux d'échantillonnage élevé (Figure 4.1), elles sont utilisées dans les applications à haute vitesse comme les interfaces vers des fibres optiques. Dans ce chapitre, on va présenter la conception de l'horloge à phases multiples de type BVD qui génère 16 signaux de sortie oscillant à une fréquence de 7 GHz chacune pour alimenter un CAN-ET opérant à 112GÉchnatillon/s. Le CAN-ET comporte 16 CAN contrôlés par 16 circuits d'échantillonnage et de maintien qui sont à leurs tours pilotés par les 16 signaux provenant de la BVD. Ce chapitre explore quelques solutions alternatives comme l'oscillateur différentiel contrôlé par tension (ODCT).

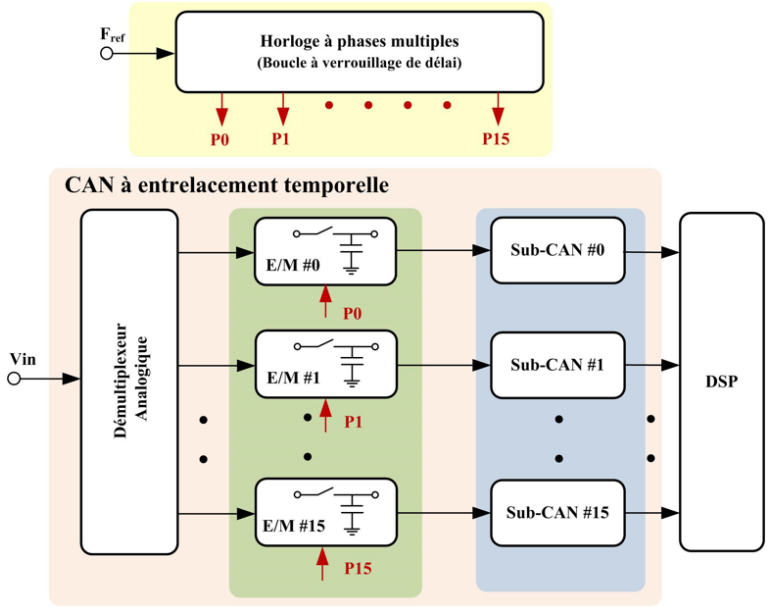


Figure 4.1 : Architecture du convertisseur analogique numérique à entrelacement temporel

4.1 La boucle à verrouillage de délai proposée

La simplicité d'un circuit d'horloge minimise son erreur, son bruit de phase, son énergie consommée et facilite son fonctionnement à des hautes fréquences d'opération. Ceci motive donc la conception d'une BVD conventionnelle simple pour atteindre un taux d'échantillonnage élevé. La Figure 4.2 montre la BVD à phases multiples composée d'un LRCT générant 16 phases de

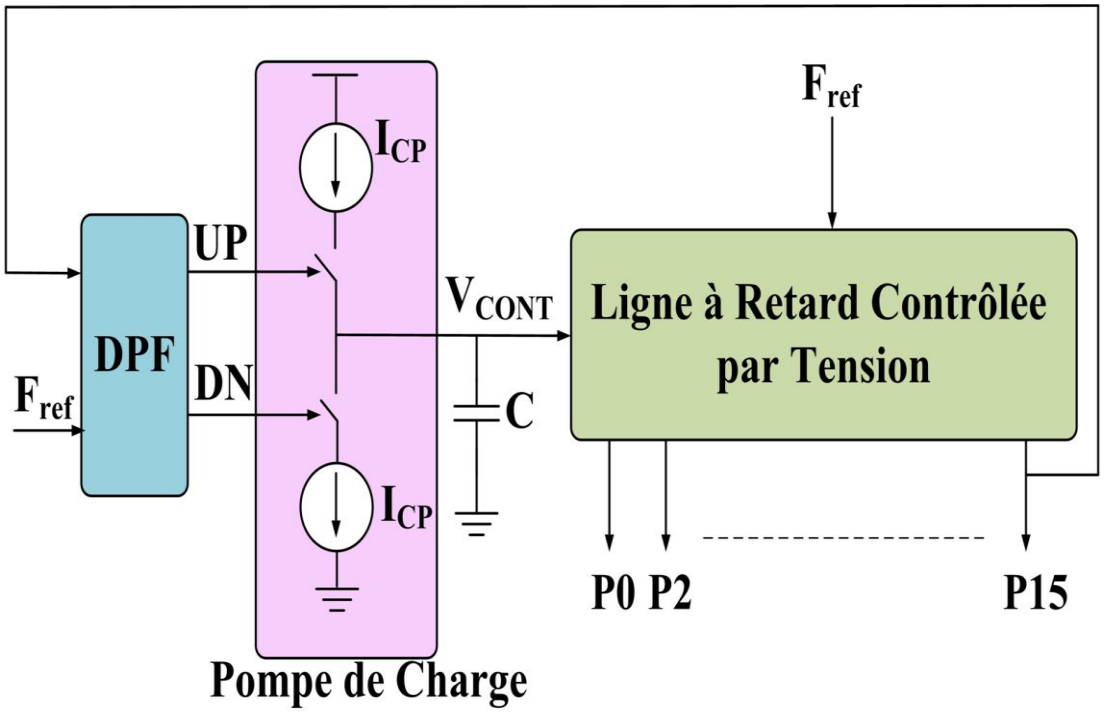


Figure 4.2 : La BVD proposée

sortie, d'un DPF qui compare le signal de référence F_{ref} avec la dernière sortie de la BVD (P_{15}) en produisant deux signaux de sortie UP et DN. Ces signaux dépendent de la différence de phase entre ces signaux d'entrées, d'une PC qui transforme les deux sorties du DPF en courant et d'un filtre de premier ordre transformant le courant provenant de la PC en un niveau de tension V_{CONT} qui contrôlera à son tour le LRCT.

4.2 Comparaison inverseur CMOS vs inverseur Pseudo NMOS

Une considération prédominante quand on s'intéresse aux BDV est le délai introduit par les éléments de délai dont elle se compose. Si les éléments de délai sont formés de deux inverseurs, ces derniers ne causent pas d'inversion.

Deux inverseurs de type pseudo-NMOS sont présentées dans la Figure 4.3 (a). Ils forment une cellule de délai. Nous avons considéré ce type d'inverseurs à cause du délai qu'ils introduisent qui est inférieur à celui introduit par un inverseur CMOS. Ce type d'inverseur est composé d'un transistor PMOS toujours actif grâce à sa grille connectée à la masse et d'un transistor NMOS qui sera activé ou désactivé dépendant du signal d'entrée. Les largeurs du PMOS et NMOS dans cet inverseur ont été choisies égales. Ce choix ne correspond pas au cas d'un inverseur pseudo-NMOS classique mais à une variante plus rapide, car elle minimise la charge en sortie tout en réduisant l'impédance de sortie des transitions montantes.

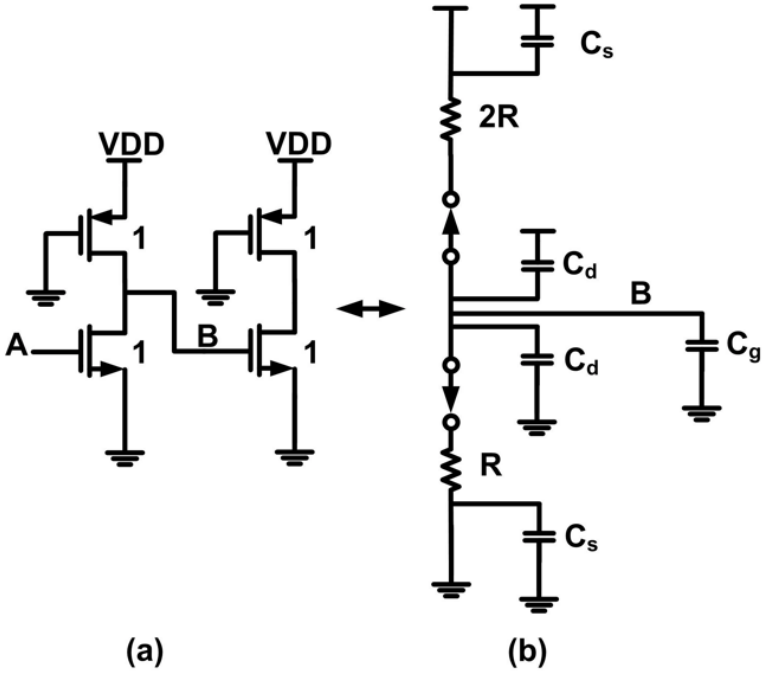


Figure 4.3 : (a) Inverseurs pseudo-NMOs, (b) modèle RC avec les résistances et les capacités agissant sur le délai

La Figure 4.4 montre une analyse DC d'un inverseur pseudo-NMOS où son transistor NMOS est de largeur 2um et la largeur de transistor PMOS varie de 0.5um à 4um. La Figure 4.5 présente une autre analyse DC mais dans ce cas, les transistors ont une même largeur mais la longueur du canal

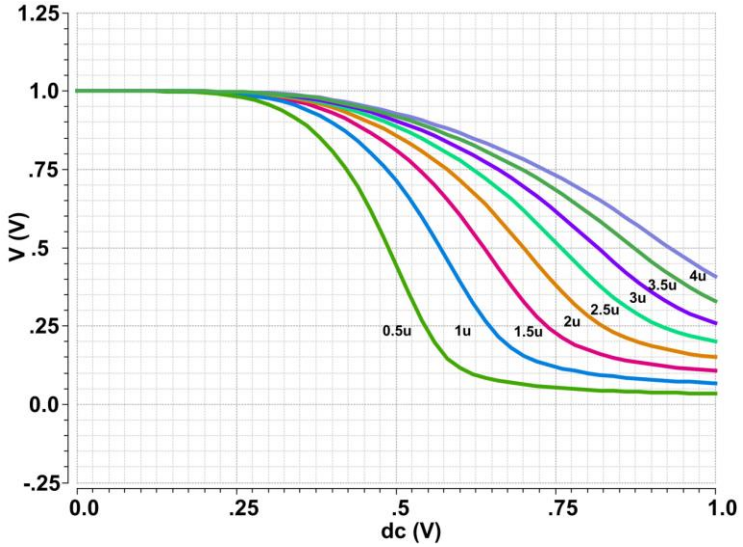


Figure 4.4 : Analyse DC de l'inverseur pseudo-NMOS (Vsortie vs Ventrée) pour différentes largeurs du transistor PMOS lorsque la largeur du transistor NMOS est de 2 um

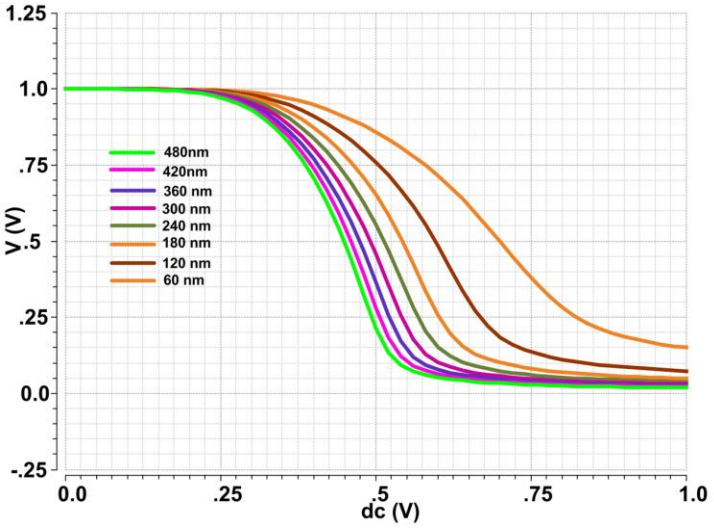


Figure 4.5 : Analyse DC de la relation Vsortie en fonction de Ventrée pour l'inverseur pseudo-NMOS en fonction de la longueur du canal du transistor PMOS. Pour deux transistors NMOS et PMOS dont la largeur est de 2 um

du PMOS varie. De ces deux analyses, on constate que le transistor PMOS doit être plus faible que le transistor NMOS pour un fonctionnement adéquat, on recommande généralement que le transistor PMOS ait ¼ de la ‘force’ du transistor NMOS.

Dans les cellules de retard du circuit du LRCT on a utilisé des inverseurs pseudo-NMOS avec des largeurs de transistor égales car elles produisent des délais de propagation plus petite à haute fréquence. Cela est confirmé dans l’exemple de la Figure 4.6. Dans cet exemple, le délai produit par une cellule de retard varie quand le rapport de largeur de transistor PMOS et NMOS change. Il diminue quand ce rapport s’approche de 1.

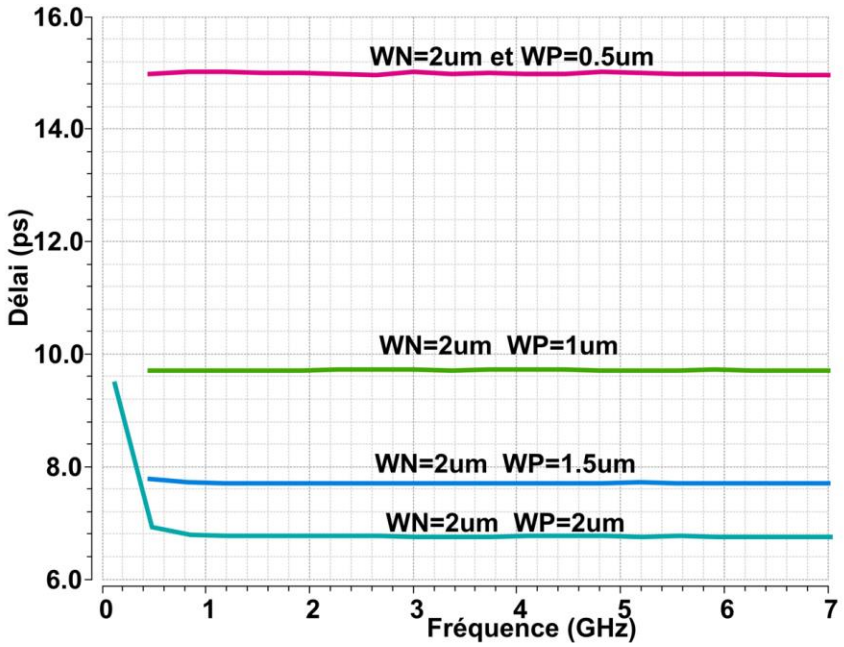


Figure 4.6 : Délai de propagation d’un élément de retard utilisant deux inverseurs pseudo-NMOS avec différentes largeurs de transistor PMOS

On peut appliquer le modèle d’Elmore pour prédire le délai de ce type de cellule de retard. La Figure 4.3 (b) montre le modèle RC. Les capacités des sources aux extrémités en haut et en bas

ne contribuent pas au chemin de délai vers la sortie. Si on considère juste la capacité de grille qui affecte sur le chemin de propagation, le délai produit est : $t_p = 2RC_g + RC_g = 3RC_g$.

La cellule de retard formée de deux inverseurs CMOS discutés dans le chapitre 3 a un délai $t_p = 6RC_g$, donc l'inverseur pseudo-NMOS de largeurs de transistors PMOS et NMOS égales est 2 fois plus rapide que l'inverseur CMOS. La Figure 4.7 montre la variation des deux courbes de délais produits par des éléments de retard utilisant des inverseurs de types CMOS et pseudo-NMOS par rapport à l'augmentation des largeurs de transistor en conservant le rapport de largeur entre les transistors NMOS et PMOS (rapport de 2 pour l'inverseur CMOS et rapport de 1 pour l'inverseur pseudo-NMOS). Elle confirme que l'inverseur pseudo-NMOS est deux fois plus rapide que l'inverseur CMOS. Mais la puissance consommée par l'inverseur pseudo-NMOS est plus élevée que celle de l'inverseur CMOS.

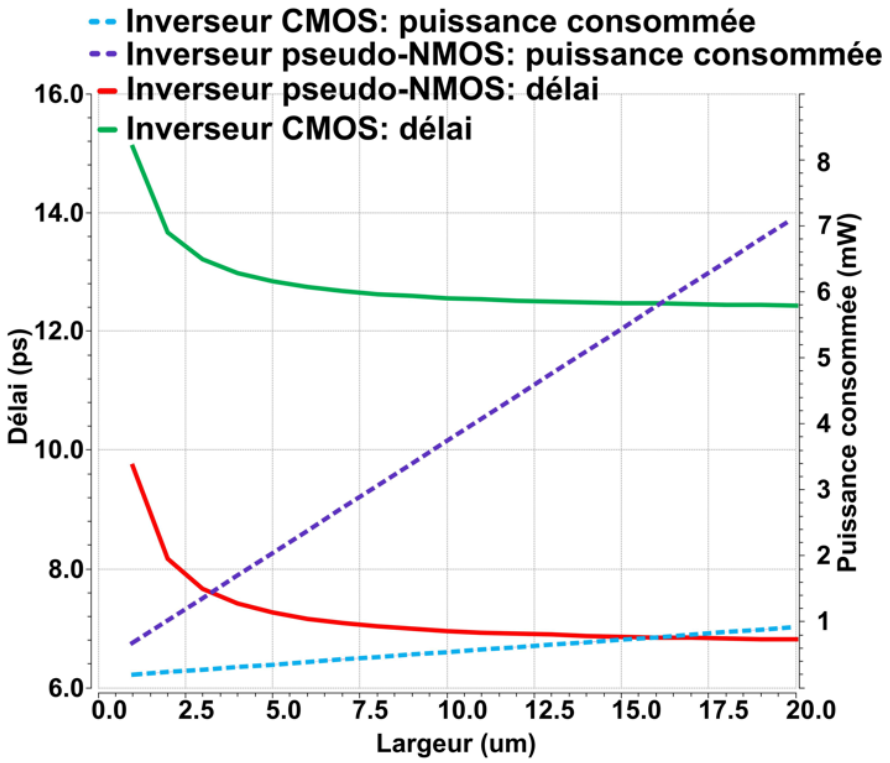


Figure 4.7 : Délai et puissance consommée des 2 types cellules de retard en fonction de la largeur du transistor N pour un rapport de taille donnée entre les transistors N et P

4.2.1 Ligne de retard contrôlé par tension utilisant l'inverseur contrôlable de type Pseudo NMOS

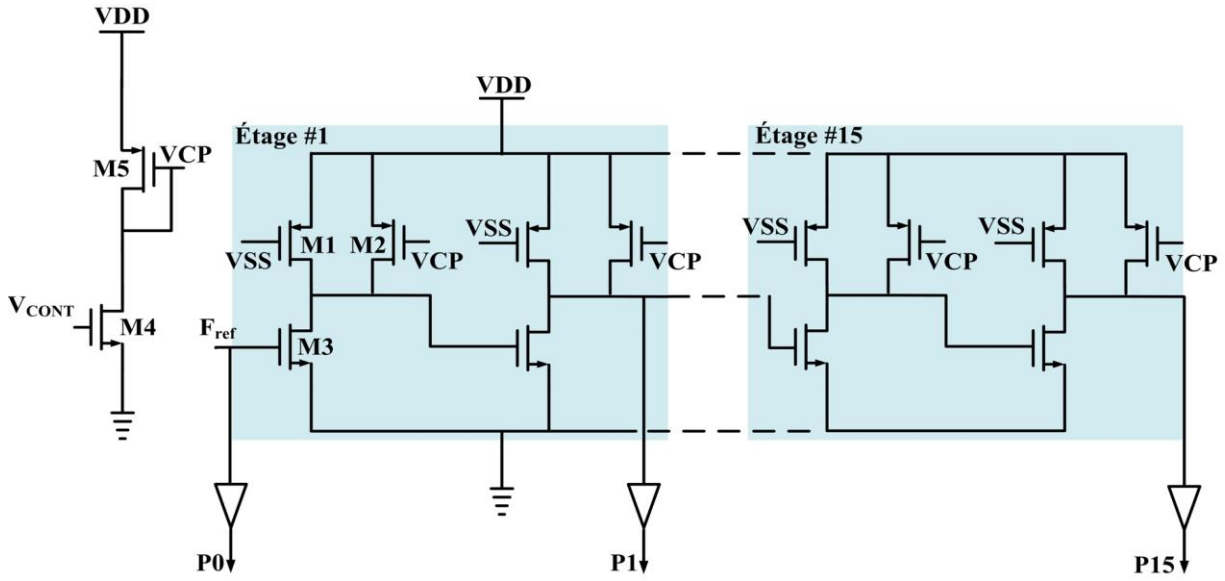


Figure 4.8 : LRCT de la BVD à phases multiples

La Figure 4.8 présente le LRCT utilisant 15 cellules de retard contrôlables pour générer 16 phases de sortie de 7GHz chacune. Cette cellule de retard utilise deux inverseurs de types pseudo-NMOS. Chaque inverseur est contrôlable à travers un second transistor PMOS commandé en parallèle avec le transistor PMOS fixe. La Figure 4.8 montre le transistor nommé M2 qui contrôle le courant à travers la sortie et par la suite ajuste le délai de la boucle. Pour verrouiller la dernière phase de sortie P15 avec le signal de référence $F_{ref,}$ le filtre de la BVD produit à la sortie une tension V_{CONT} qui est appliquée au transistor M4. Ce dernier consiste une source de courant avec M5 qui produit une tension de commande appliquée à la grille du transistor M2 de chaque étage. À la sortie de chaque phase, une cellule de retard est insérée, pour qu'elle produise des pulsations avec un temps de montée et temps de descente identiques aux autres sorties de phases. Ces sorties peuvent alors être connectées aux circuits E/M pilotant les canaux de CAN du circuit de CAN-ET.

Avec 16 sorties de 7 GHz (période de 142.8 ps) l'espacement temporel entre les sorties est égal à T/16 = 142.8 ps/16 =8.9 ps. Cet espacement temporel est très petit. Malgré tous les efforts et

tentatives de l'atteindre avec des cellules de retard utilisant des inverseurs de type CMOS mis en œuvre avec la technologie TSMC 65 nm cela s'est avéré impossible. C'est cela qui a conduit à proposer l'utilisation des inverseurs pseudo-NMOS dans cette LRCT. Les Tableaux 4.1 et 4.2 montrent les dimensions des transistors du circuit de LRCT avec les technologies TSMC 65 nm et FDSOI 28 nm respectivement.

Tableau 4.1 : Les largeurs et longueurs des transistors du circuit de LRCT en utilisant la technologie TSMC 65 nm

Transistors	M1	M2	M3	M4	M5	Cellule de retard
Largeurs	6 um	6 um	6 um	7 um	8 um	PMOS : 6.2 um NMOS : 4.6 um
Longueurs	60 nm	60 nm	60 nm	60 nm	60 nm	60 nm

Tableau 4.2 : Les largeurs et longueurs des transistors du circuit de LRCT en utilisant technologie STM-FDSOI 28 nm

Transistors	M1	M2	M3	M4	M5	Cellule de retard
Largeurs	750 nm	750 nm	750 nm	8 um	8 um	PMOS : 850 nm NMOS : 200nm
Longueurs	30 nm	30 nm	30 nm	30 nm	30 nm	30 nm

4.2.2 Détecteur phase-fréquence pour l'horloge à phases multiples

Le DPF est un circuit important pour que la boucle soit verrouillée à haute précision et faible erreur de phase. Généralement le DPF est utilisé dans la BVP, mais on peut l'utiliser avec la BVD aussi. La plupart des DPF dans la BVP opèrent à une basse fréquence de quelque centaine de MHz, ils reçoivent deux signaux d'entrée, le premier est le signal de référence qui provient d'un oscillateur à cristal et le deuxième est le signal de rétroaction provenant de la sortie de la BVP et qui passe à travers un diviseur de fréquence. La Figure 4.9 montre un DPF formé de 3 étages et opérant à 6GHz, conçu avec la technologie 90 nm [10]. Les deux premiers étages produisent 2 pulsations étroites à chaque front montant des deux signaux d'entrées REF et DIV, à travers le retard créé par les 3 inverseurs et la porte NAND. Le DPF produit donc une pulsation descendante et une autre montante.

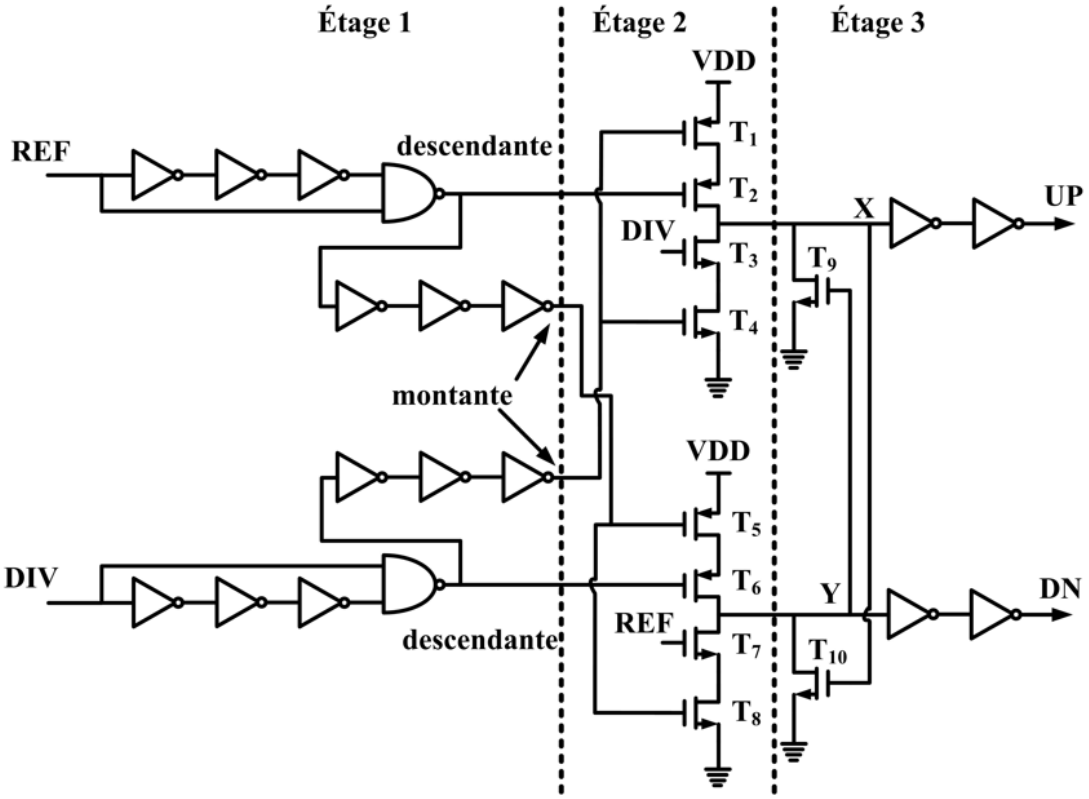


Figure 4.9 : Circuit du détecteur phase fréquence

Dans les 2 deuxièmes étages, on trouve la différence de phase et de fréquence entre REF et DIV. T2 reçoit à sa grille l'impulsion descendante de REF et T3 reçoit à sa grille DIV et T1 et T4 sont utilisés comme entrée d'activation selon les impulsions reçues à leurs grilles. T2 est actif lorsque l'impulsion descendante de REF est basse. D'autre part, T1 est actif et T4 inactif lorsque le front montant du signal DIV est bas et T4 est actif alors que T1 est inactif lorsque le front montant du signal DIV est haut. Le nœud X reçoit un signal haut lorsque T2 et T1 sont activés. Si T3 et T4 sont actifs, la tension au nœud X est forcée à 0. Comme ça on peut savoir si REF monte avant DIV. La même analyse s'applique pour les transistors T5, T6, T7 et T8. Les transistors T9 et T10 sont utilisés pour vérifier que les sorties UP et DN ne sont pas activées simultanément. Ces transistors servent à la réinitialisation. Dans le troisième étage, les deux inverseurs sont utilisés pour produire des pulsations avec des temps de montée et descente identiques. Ce DPF fonctionne à 6 GHz [10].

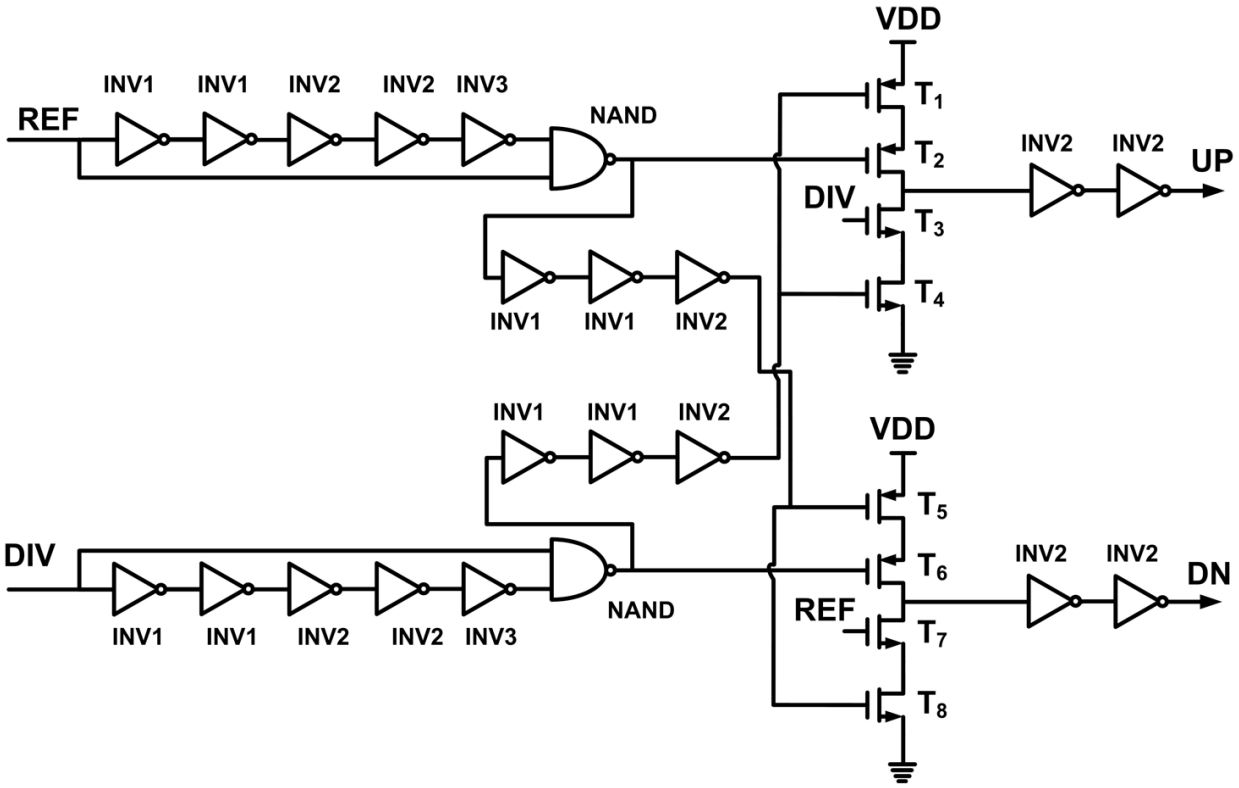


Figure 4.10 : Une version modifiée du détecteur de phase fréquence

Pour la BVD à phases multiples, on va utiliser ce DPF modifié comme le montre la Figure 4.10 pour augmenter la fréquence d'opération et sa précision. On peut voir que dans les premiers étages, on a ajouté deux inverseurs de plus aux deux premiers étages pour agrandir l'impulsion étroite du DPF, car il va fonctionner à une fréquence de 7 GHz au lieu de 6 GHz [10]. De plus on a enlevé les transistors de réinitialisation et on a maintenant un nouveau comportement. Quand les deux entrées Fref et P15 sont en phase, ce DPF produit dans chaque sortie UP et DN deux impulsions identiques qui permet aux deux signaux d'entrées de rester en phase, contrairement au cas (c) de la Figure 3.5 du DPF précédent dans le chapitre 3.

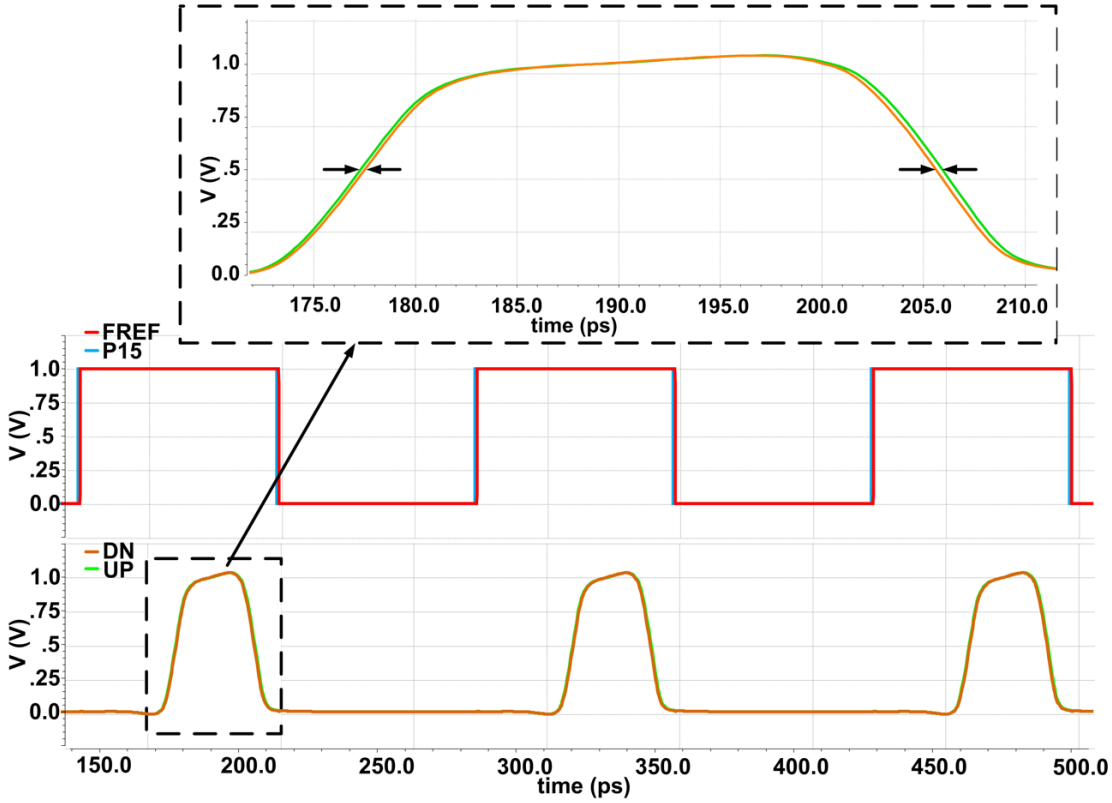


Figure 4.11 : Réponse du DPF pour une très petite différence de phase

Pour une grande différence de phase de quelques ps ce DPF va se comporter comme les deux cas (a) et (b) de la Figure 3.5. Mais, pour les très petites différences de phase de quelques dizaines de

fs on obtiendra le comportement montré à la Figure 4.11. Cet exemple illustre le comportement de ce DPF pour un déphasage de 50 fs entre Fref et P15, avec Fref en avance de 50 fs par rapport à

Tableau 4.3 : Les largeurs et les longueurs des transistors du circuit du DPF en utilisant la technologie TSMC 65 nm

Transistors	T1=T2= T5= T6	T3=T4= T7=T8	INV1	INV2	INV3	NAND
Largeurs PMOS	2.7 um	-	6.2 um	12.2 um	12.2 um	7.8 um
Largeurs NMOS	-	2.7 um	4.6 um	9.3 um	9.3 um	4.4 um
Longueurs	60 nm	60 nm	60 nm	60 nm	60 nm	60 nm

Tableau 4.4 : Les largeurs et les longueurs des transistors du circuit du DPF en utilisant la technologie STM-FDSOI 28nm

Transistors	T1=T2= T5= T6	T3=T4= T7=T8	INV1	INV2	INV3	NAND
Largeurs PMOS	2 um	-	625 nm	1.11 um	2 um	1.4 um
Largeurs NMOS	-	2 um	80 nm	160 um	300 um	1 um
Longueurs	30 nm	30 nm	30 nm	30 nm	30 nm	30 nm

DIV. Dans ce cas, le DPF produit une impulsion UP et DN, mais l’impulsion UP à une largeur plus grande que celle de DN de 50 fs. De ce comportement, on peut conclure que ce DPF est

capable de corriger une différence de phase étroite de quelques dizaines de fs. Le DPF régulier n'est pas capable de corriger des très petites erreurs de phase, il ne peut pas générer des impulsions proportionnelles à ces différences de phase de quelques dizaines de fs alors que ce DPF est capable de corriger cette différence. Le DPF opère à une haute fréquence par comparaison aux autres DPF qui fonctionnent à des fréquences de quelques centaines de MHz. En effet, ils comparent deux signaux oscillant à des fréquences relativement basses. Les tableaux 4.3 et 4.4 montrent les dimensions des transistors du circuit de LRCT avec les technologies TSMC 65 nm et FDSOI 28 nm respectivement.

4.2.3 Pompe de charge et filtre

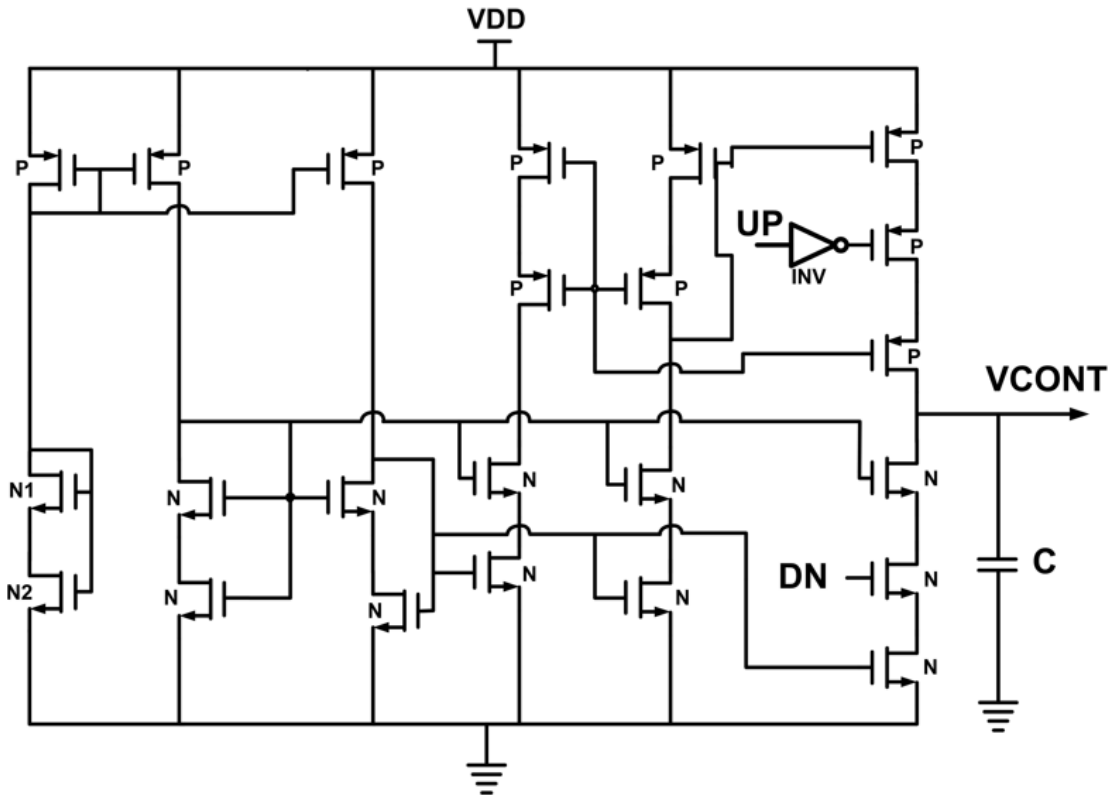


Figure 4.12 : Circuit de la PC avec le filtre

La Figure 4.12 montre le circuit de la PC combiné à un filtre du premier ordre. Cette PC convertit les impulsions UP et DN qui viennent du DPF en courant, puis à travers le filtre utilisant le condensateur C, ce courant est converti en un niveau de tension V_{CONT} qui contrôle à son tour le délai de propagation du LRCT. La PC est conçue pour minimiser le bruit d'alimentation [11].

Les Tableaux 4.5 et 4.6 montrent respectivement les paramètres des transistors du circuit de la pompe à charge avec la technologie FDSOI 28 nm et TSMC 65 nm. La valeur du condensateur C est de 300fF

Tableau 4.5 : Les largeurs et longueurs des transistors du circuit de la PC en utilisant technologie STM-FDSOI 28 nm

Transistors	P	N1	N2	N	INV
Largeurs	2 um	80 nm	80 nm	2 um	PMOS : 2 um NMOS : 300 nm
Longueurs	30 nm	30 nm	30 nm	30 nm	30nm

Tableau 4.6 : Les largeurs et longueurs des transistors du circuit de la PC en utilisant technologie TSMC 65 nm

Transistors	P	N1	N2	N	INV
Largeurs	2.8 um	140 nm	140 nm	2.8 um	PMOS : 520n NMOS : 390n
Longueurs	60 nm	60 nm	60 nm	60 nm	60 nm

4.3 Oscillateur différentiel en anneau avec injection de signal

Pour le CAN-ET, on a besoin toujours d'alimenter les canaux avec un taux d'échantillonnage d'horloge de 112 GHz comme la BVD conçue. L'oscillateur en anneau différentiel offre une option alternative. L'étage différentiel de l'oscillateur de la Figure 3.9 du chapitre 3 est présenté à la Figure 4.13 (a). Il existe plusieurs choix en ce qui concerne les types d'inverseurs utilisés. Parmi les choix possibles, on peut considérer l'inverseur CMOS (Figure 4.13 (b)), l'inverseur pseudo-NMOS (Figure 4.13 (c)) ainsi que d'autres types d'inverseurs. Il est recommandé de choisir la largeur des transistors dans les deux inverseurs du chemin direct de la boucle INV1 et INV2 deux fois plus grande que celle des transistors des inverseurs couplés croisés INV3 et INV4. À défaut de le faire, la paire d'inverseurs couplés pourrait se verrouiller et empêche la propagation du signal dans la boucle.

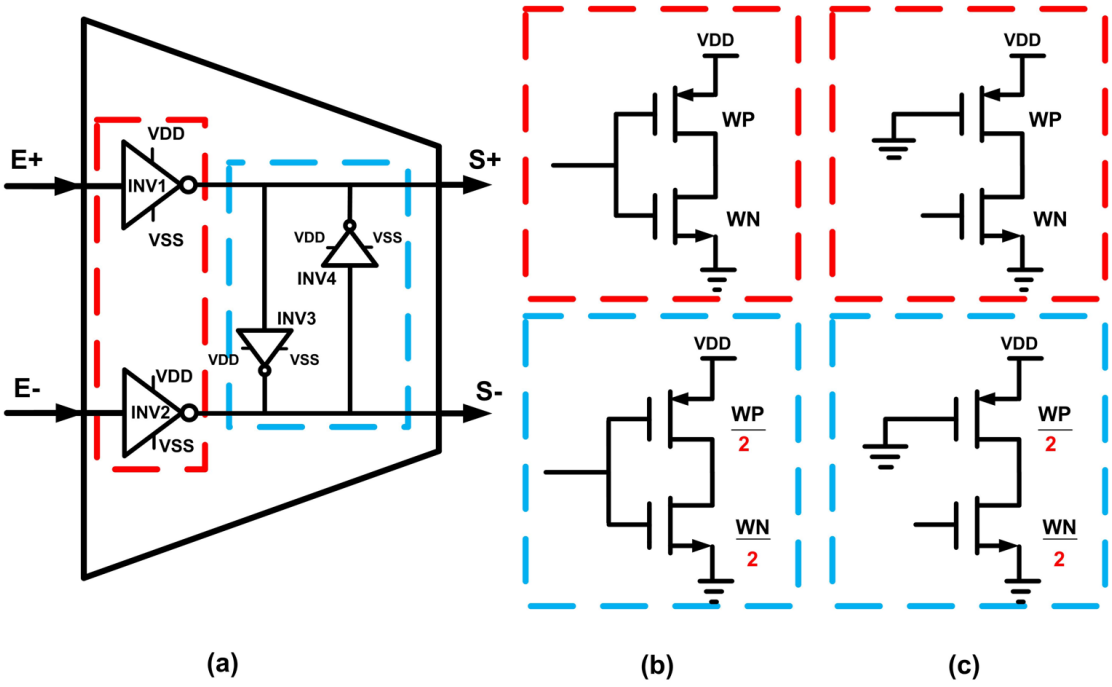


Figure 4.13 : (a) Étage d'une chaîne différentielle avec paire d'inverseurs couplés (b) inverseur CMOS, (c) inverseur pseudo-NMOS

Pour atteindre 112 GHz, deux options ont été étudiées : utiliser un ODCT à 4 étages différentiels produisant 8 sorties (signal direct et connexion inversée) avec chaque sortie oscillant à 14 GHz, ou utiliser 8 étages produisant 16 sorties où chaque sortie oscille à 7 GHz. Avec le choix du type d'inverseur utilisé dans les étages différentiels et avec le nombre d'étages différentiel il existe un compromis possible entre la puissance consommée, l'espace occupé, le bruit de phase, etc. Si on utilise 4 étages, la complexité tend à être moindre. Cependant, la plus grande fréquence peut imposer l'usage de transistors de plus grande dimension. L'exploration de ce compromis impose le développement de deux mises en œuvre détaillées.

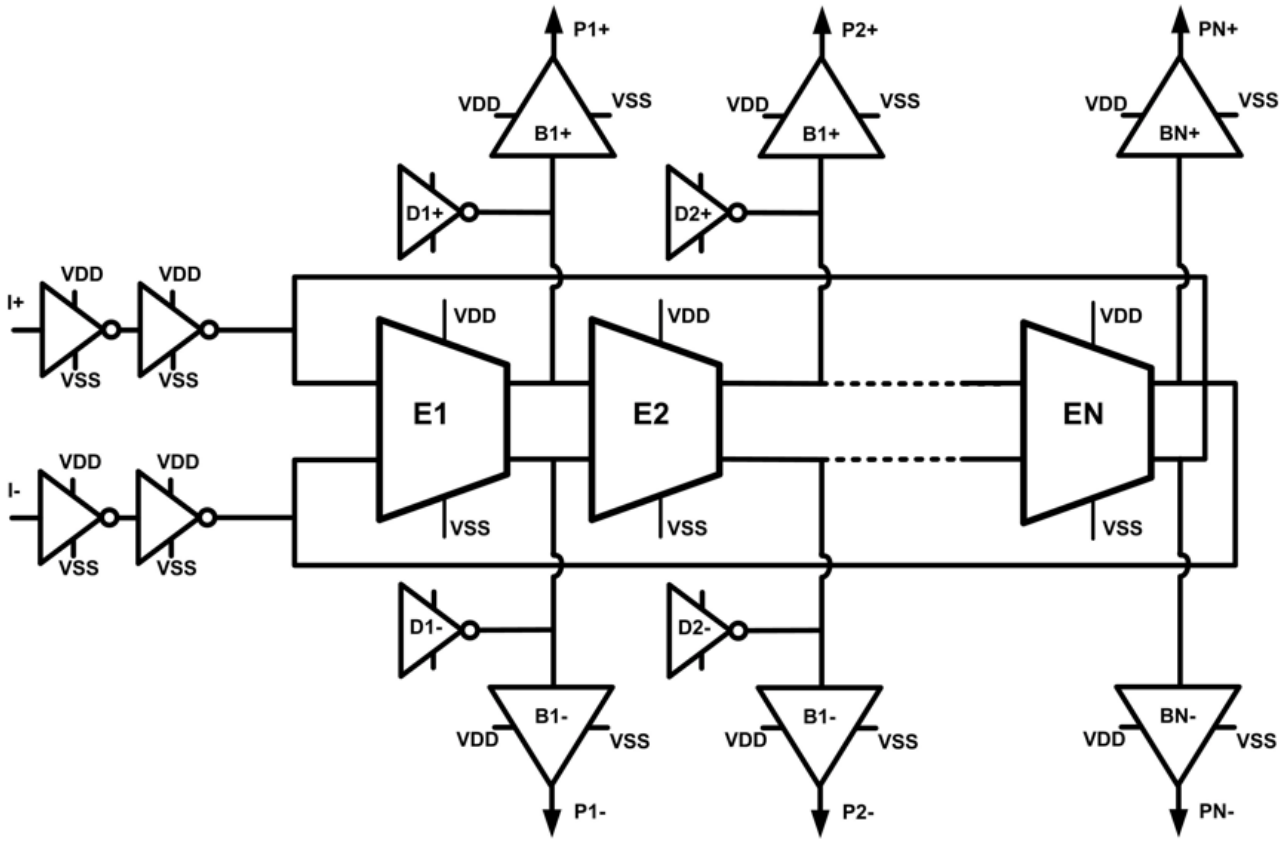


Figure 4.14 : Oscillateur différentiel avec injection

L'ODCT a deux modes d'oscillation, une oscillation naturelle et une oscillation avec injection. L'oscillation naturelle est lorsque l'ODCT oscille en un anneau, la fréquence sera changée selon la plage de réglage au niveau de l'alimentation VDD. L'oscillation avec injection oblige les étages différentiels à osciller à la fréquence du signal injecté dans une plage spécifique. La Figure 4.14 montre l'architecture générale d'un oscillateur à injection de N étages où les deux signaux I+ et I- sont injectés dans un seul étage avec le signal I+ est l'inverse du signal I-. Cet oscillateur produit 2N sorties, des unités de retard identiques sont utilisées pour produire les signaux P1+ et P1- à PN+ et PN- avec un temps de montée et de descente identique. De plus les inverseurs D1+ et D1- à DN+ et DN- sont inactifs et ajouter pour juste créer la même charge capacitive aux sorties des étages différentiels.

Dans le chapitre suivant, on va présenter les résultats de simulations de ces oscillateurs avec 4 et 8 étages. Aussi on va faire une analyse du bruit de phase associé à cette solution.

CHAPITRE 5 MISE EN ŒUVRE ET RÉSULTATS

Le fonctionnement des horloges comme la BVD dépend de l'architecture conçue et de la technologie utilisée. Notre objectif est de faire une horloge de 16 sorties où chaque sortie génère un signal d'horloge de 7 GHz donc un taux d'échantillonnage d'horloge de 112GHz. Lors de travaux préliminaires, nous avons constaté une différence importante entre les performances prévisibles au niveau circuit et celles que l'on peut prédire à la suite de l'extraction d'un modèle détaillé qui inclut les effets parasites attendus qui ne peut être obtenu qu'après la création d'un dessin des masques en utilisant la technologie 65 nm. Typiquement, les délais doublent dans les modèles extraits d'un dessin des masques. Nous avons conçu une seconde version du circuit de la BVD au niveau du schéma en utilisant la technologie FD-SOI 28 nm pour obtenir le même fonctionnement que celui avec la technologie 65 nm. Ce qui est avantageux avec cette technologie est que la consommation d'énergie a été réduite à 5.6 mW au lieu de 54 mW, c'est à peu près 10 fois plus petit que celle obtenue avec le circuit conçu en 65 nm. D'autre part, ODCT peut remplacer la BVD en générant le même type de signaux, dépendamment du nombre d'étages utilisés.

5.1 Résultats de simulation basé sur un modèle extrait d'un schématique préalable au dessin des masques

5.1.1 Sorties de la ligne de retard contrôlé par tension et gamme de réglage

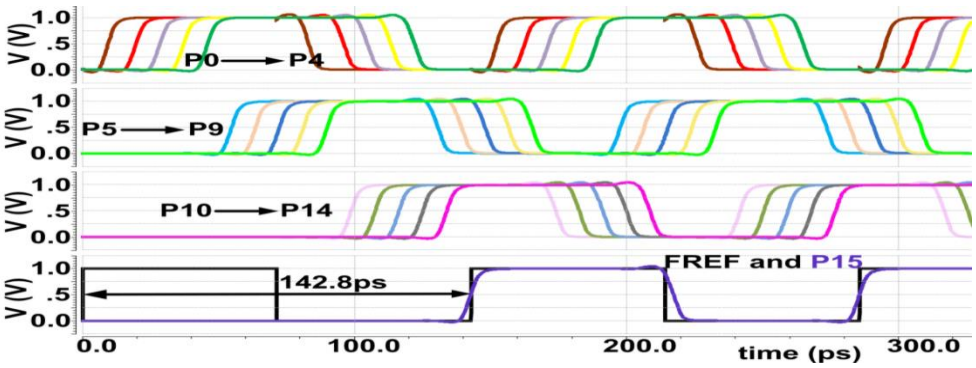


Figure 5.1 : Les 16 signaux de sorties de la LRCT

L'objectif est de concevoir une LRCT qui décale le signal d'entrée d'une fréquence de 7 GHz d'une période de T=142.8 ps à travers les 15 cellules de retard formées chacune de deux inverseurs de type pseudo-NMOS contrôlables afin de produire 16 signaux de sorties de 7 GHz avec un espacement temporel égal de 8.9 ps entre chaque deux sorties adjacentes. La Figure 5.1 montre ces 16 sorties avec la dernière sortie décalée d'une période T à la tension de contrôle moyenne quand V_{CONT} =0.5 V du circuit de la Figure 4.8.

Si le signal d'entrée retarde ou avance, V_{CONT} va varier entre 0 et 1 V afin de compenser cette différence de phase pour que P15 et FREF soient toujours en phase. La Figure 5.2 montre la variation de phase de P15 en fonction de V_{CONT}. On constate à la Figure 5.2 que si VCONT varie de 0 à 1V, P15 est déphasé en total de 41 ps.

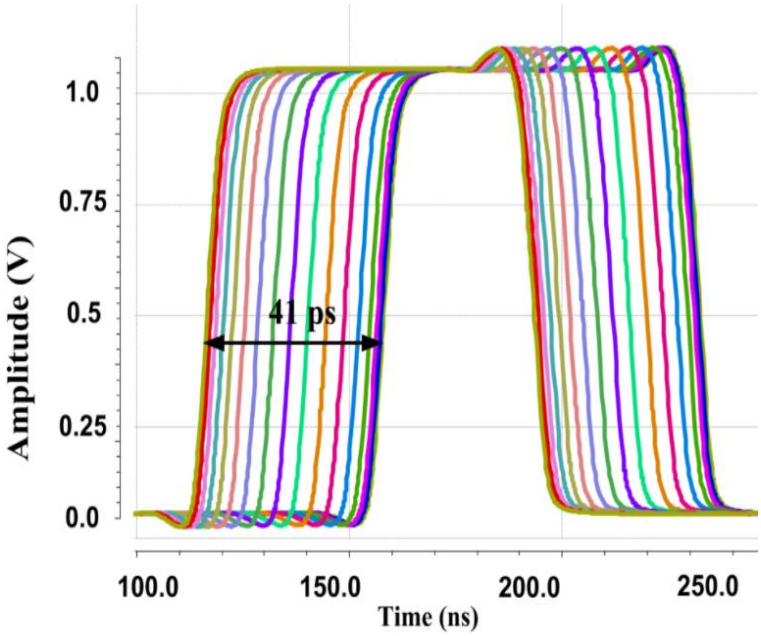


Figure 5.2 : Gamme de réglage de P15

Cette valeur de déphasage peut être modifiée selon la largeur du transistor M2 PMOS de la Figure 4.8, car ce transistor contrôle le délai de propagation à travers les inverseurs. La Figure 5.3 présente la gamme de réglage de cette LRCT pour différents ensembles de paramètre technologique

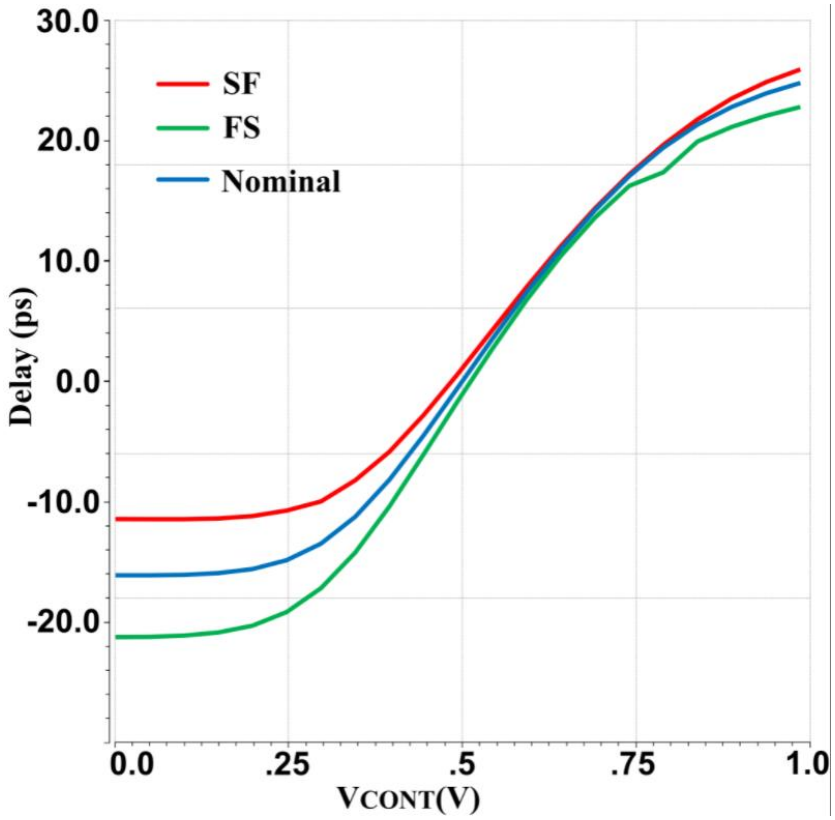


Figure 5.3 : Gamme de réglage pour différents ensembles de paramètres du procédé de fabrication

(nominal, N rapide, P lent, (FS pour fast slow) et N lent, P rapide (SF)). Avec différent coin de processus de fabrication. Avec un procédé de fabrication typique-typique (nominal), la courbe de la gamme de réglage varie 41 ps en accord avec la Figure 5.2. Au point ou V_{CONT} =0.5 V le délai de déphasage est 0 comme expliqué avant.

Avec les deux ensembles de paramètres du procédé de fabrication Lent-Rapide (SF) et Rapide-lent (FS) on peut voir une petite différence par comparaison à la courbe nominale, elle sera compensée à travers le DPF et la PC.

Pour voir aussi l'effet de la température sur le délai, la Figure 5.4 présente une déviation du délai entre P15 par comparaison au signal d'entrée FREF de 0 à 5 ps quand la température varie de -20 C° vers 80 C°. Cette variation peut être corrigée par un circuit de calibration de délai.

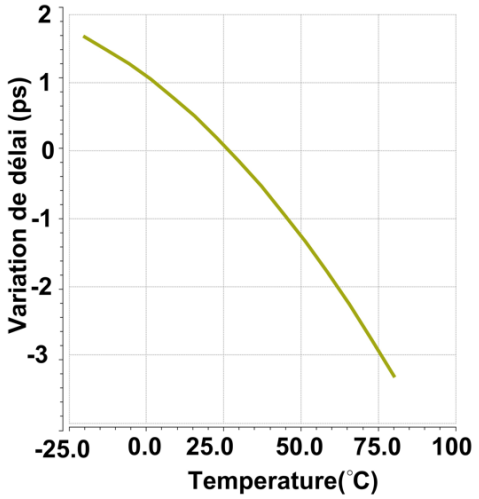


Figure 5.4 : Variation du délai par étage en fonction de la température

5.1.2 Verrouillage de la boucle de verrouillage de délai

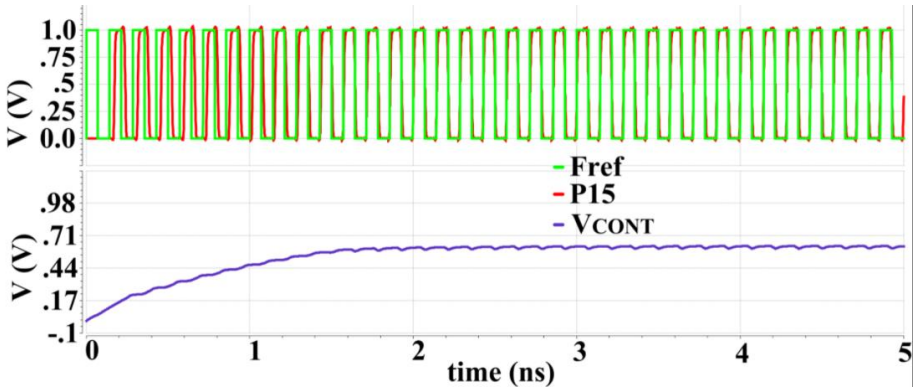


Figure 5.5 : Verrouillage des deux signaux FREF et P15

La Figure 5.5 montre le verrouillage de la boucle de verrouillage de délai. Fref et P15 sont devenues en phase après quelques cycles d'horloge à un niveau spécifique de VCONT. Ces deux signaux ont une zone morte de 50 fs. L'erreur de phase de P15 est 170 fs. Il est calculé à l'aide de la fonction *jitter* sur cadence. Les sources de bruit proviennent de VDD (bruit d'amplitude 1% de VDD), du signal (bruit d'amplitude 1% du signal d'entrée) d'entrée et des transistors.

Tableau 5.1 : Comparaison des solutions obtenues avec différents travaux publiés

Référence	Ce travail	Ce travail	[12]	[13]	[14]
Résultats	Simulation	Simulation	Mesure	Simulation	Mesure
Technologie (nm)	65	28	14	28	90
Implémentation	BVD analogique	BVD analogique	BVD numérique	BVD analogique	BVD distribuée
VDD (V)	1	1	1.35	1	1
Fréquence (GHz)	7	7	2-7.5	2-10	8-10
Phases	16	16	4	10	5
RMS jitter (ps)	0.170	0.137	0.176	<0.100	0.293
Délai minimal (ps)	8.9	8.9	35	10	20
Densité de phases (GHz)	112	112	30	100	50
Puissance consommée (mW)	54	5.6	4.4	NA	15

Le Tableau 5.1 compare nos résultats avec quelques travaux publiés similaires à notre BVD. Notons que les architectures et technologies qui sont utilisées différent. Notre BVD consomme une puissance de 54 mW avec une tension d'alimentation de 1V et produit un taux d'échantillonnage d'horloge de 112GHz grâce à l'utilisation de 15 cellules de retard de phase de type pseudo-NMOS avec espacement temporel de 8.9ps avec la technologie 65nm. Elle consomme 5.6 mW avec la technologie FDSOI 28 nm. Du Tableau 5.1, on observe que les BVD conçus avec 14 nm et 28nm génèrent 4 et 10 phases pour produire un taux d'échantillonnage de 30 GHz et 100GHz respectivement avec un espacement temporel entre chaque deux phase adjacente de 35 ps et 10 ps respectivement.

5.2 Dessin des Masques de la boucle à verrouillage de délai avec la technologie FD-SOI de 28 nm

Les résultats de simulation au niveau du circuit de la BVD avec la technologie 65nm sont les mêmes avec celles de la technologie FD-SOI 28 nm, mais la différence c'est au niveau de la puissance consommée et de l'espace occupé au niveau du dessin des masques.

5.2.1 Dessin des Masques de la ligne de retard contrôlé par tension

La Figure 5.6 présente le dessin des masques du LRCT. Ce dessin a été compacté autant que possible. Les cellules de retard qu'il contient sont très voisines pour éviter de longues interconnexions entre leurs entrées et sorties qui causent du délai supplémentaire. Aussi, chaque cellule de retard est conçue d'une manière très compacte. Ce LRCT occupe un espace de 123 um^2.

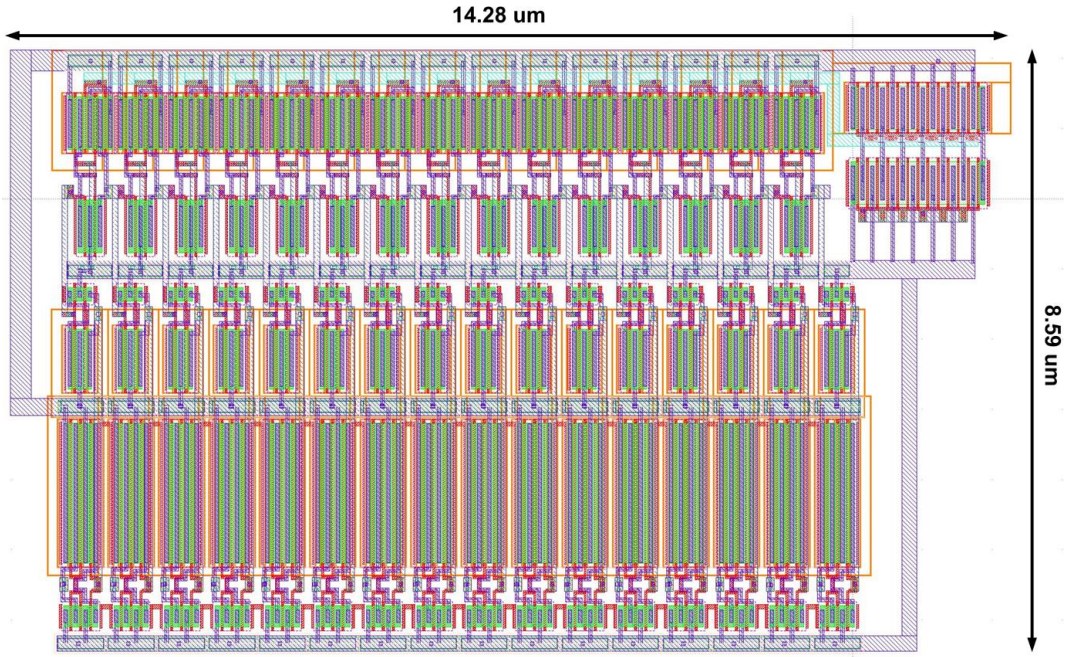


Figure 5.6 : Dessin des masques du LRCT en 28 nm

5.2.2 Dessin des masques du DPF et PC

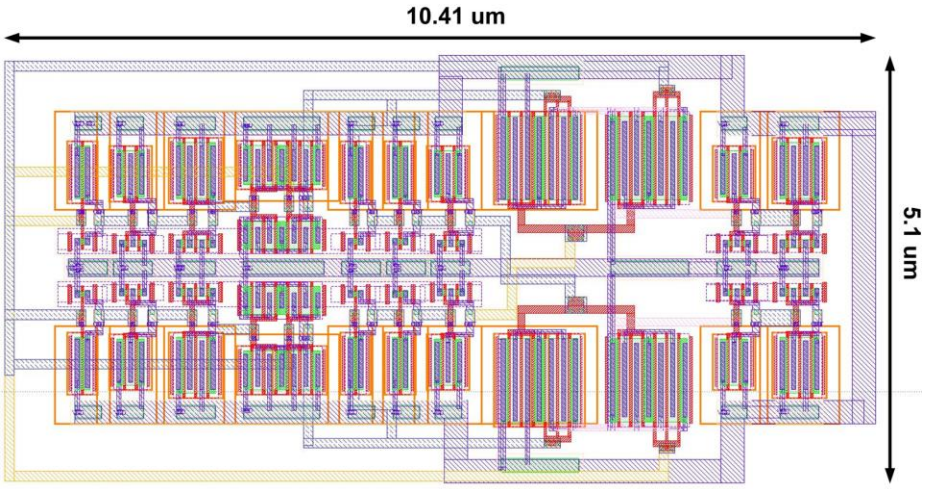


Figure 5.7 : Dessin des masques du DPF avec la technologie STM-FDSOI 28 nm

La Figure 5.7 présente le dessin des masques du DPF. Il est formé de deux étages. Ces deux étages doivent être parfaitement symétriques. En effet, car n'importe quelle différence en lien avec les interconnexions augmentera le délai à une de ses entrées par rapport à la deuxième entrée. Cette différence serait considérée comme différence de phase causant une erreur post verrouillage. Ce DPF occupe un espace de 53 um^2. La Figure 5.8 présente le dessin des masques de la PC. Elle occupe un espace de 24 um^2.

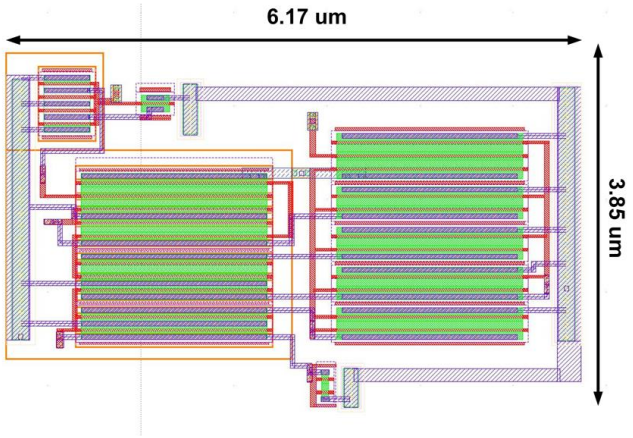


Figure 5.8 : Dessin des masques de la PC avec la technologie STM-FDSOI 28 nm

5.2.3 Diviseur de fréquence et chaîne de cellules de retard

Pour tester la BVD sur une puce, il est nécessaire d'utiliser un diviseur de fréquence avec une chaîne de cellules de retard pour permettre de visualiser les sorties sur un oscilloscope. En effet la grande charge qui se trouve sur les broches de sortie de la puce d'essai ne permet pas d'observer directement les signaux de sortie à 7 GHz du générateur de phase. La Figure 5.9 présente le circuit de diviseur de fréquence, il divise la fréquence d'entrée en 2. Avec les circuits utilisant la logique statique, il est impossible de diviser des fréquences plus grandes que 2 GHz. En utilisant la logique dynamique, ce genre de diviseur de fréquence est adapté à la division de signaux à haute fréquence [15]. Alors pour visualiser sur l'oscilloscope une fréquence de quelques centaines de MHz, on a utilisé une chaîne de 6 diviseurs de fréquence. Cette chaîne divise la fréquence de sortie par 2^6=64.

Les deux sorties P15 et P0 sont connectées chacune à une chaîne de diviseur de fréquence. La sortie de chaque chaîne de diviseur est connectée à une entrée d'une chaîne de 6 inverseurs à largeur de transistor croissante à chaque inverseur. Cette chaîne d'inverseur est utilisée pour conserver la forme du signal d'horloge provenant de la chaîne de diviseur de fréquence à la sortie de la puce, car à son entrée la charge capacitive est petite et à sa sortie, le courant est grand. La Figure 5.10 présente la sortie de la chaîne de diviseur de fréquence pour un signal d'entrée de 7 GHz qui est divisé par 64 pour donner une fréquence de 109 MHz. De plus, la Figure 5.10 présente la simulation de la chaîne d'amplification avec un condensateur à sa sortie de 15 pF. Elle reçoit son signal d'entrée de la chaine de diviseurs de fréquence. Grace à ces deux sorties, les signaux de sorties sont bien formés pour combattre une charge capacitive de plus que 15 pF.

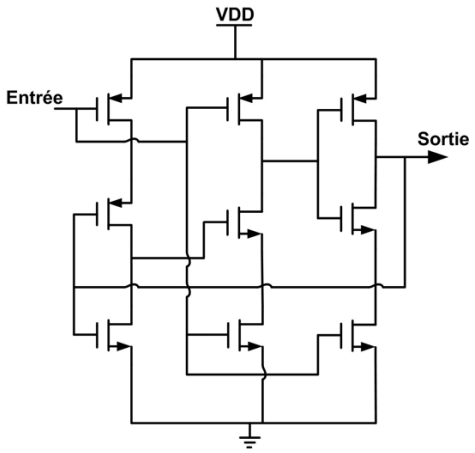


Figure 5.9 : Diviseur de fréquence

La largeur de tous les transistors de chaque diviseur de fréquence est de 1 um avec une longueur de canal minimal de 30 nm.

La Figure 5.11 montre le dessin des masques de la chaîne de diviseur de tension occupant un espace de 28 um^2 et la Figure 5.12 montre le dessin des masques de la chaîne des cellules de retard occupant un espace de 190 um^2. Le Tableau 5.2 présente les dimensions des transistors des six inverseurs.

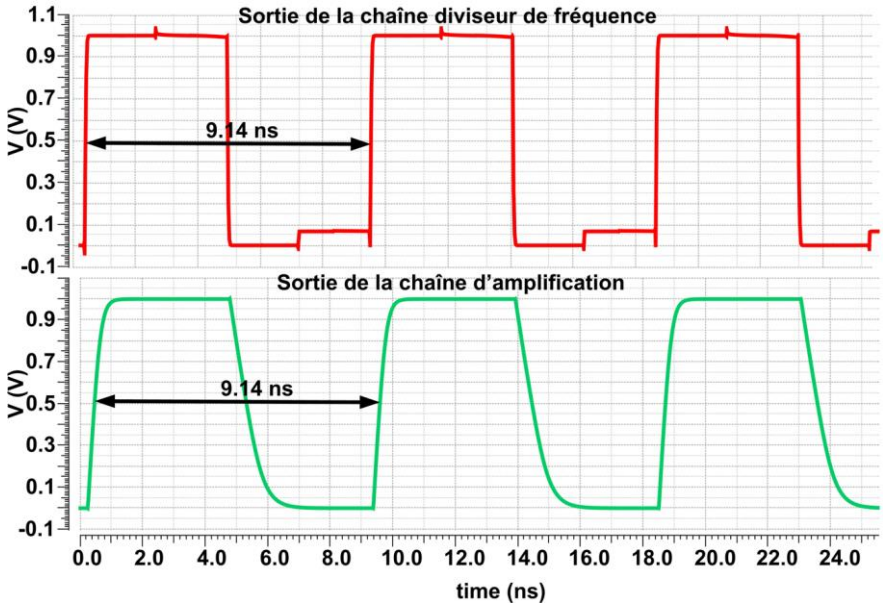


Figure 5.10 : Simulations des sorties de la chaîne de diviseur et de la chaîne d'amplification de courant

Tableau 5.2 : Les largeurs et longueurs des transistors du circuit de la chaîne d'amplification en utilisant technologie STM-FDSOI 28 nm

Transistors	1er INV	2ième INV	3ième INV	4ième INV	5ième INV	6ième INV
Largeurs (um)	PMOS : 12 NMOS : 1.8	PMOS : 20 NMOS : 3	PMOS : 40 NMOS : 6	PMOS : 80 NMOS : 12	PMOS : 100 NMOS : 15	PMOS : 120 NMOS : 18
Longueurs	30 nm	30 nm	30 nm	30 nm	30 nm	30 nm

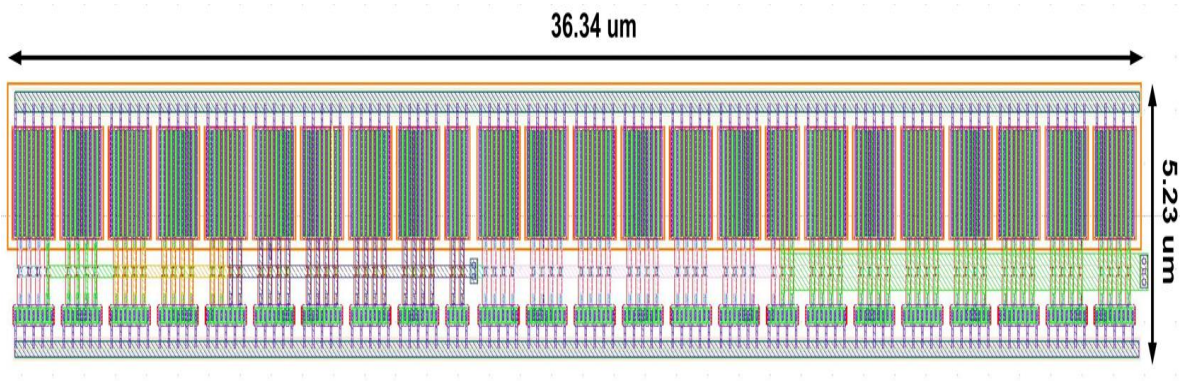


Figure 5.11 : Chaîne d'amplification de tailles croissantes avec la technologie STM-FDSOI 28nm

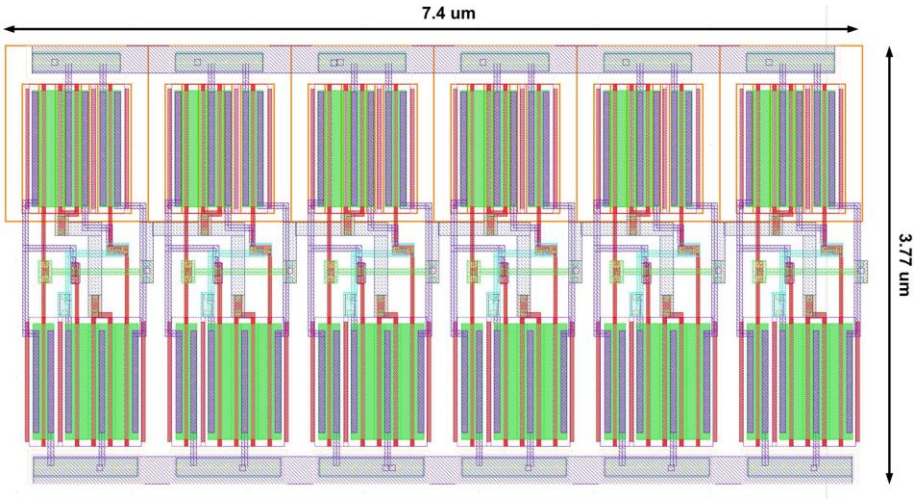


Figure 5.12 : Chaîne de diviseur de fréquence en cascade avec la technologie STM-FDSOI 28nm

5.2.4 Dessin des masques complet de la boucle de verrouillage de délai et sur puce

La Figure 5.13 montre le dessin des masques de la BVD au complet. Elle occupe un espace de 1985 um^2 et la Figure 5.14 montre cette BVD sur puce. Cette puce conçue conjointement avec plusieurs membres de notre équipe de recherche inclut la BVD décrite dans ce mémoire. Cette puce a été récemment soumise pour fabrication.

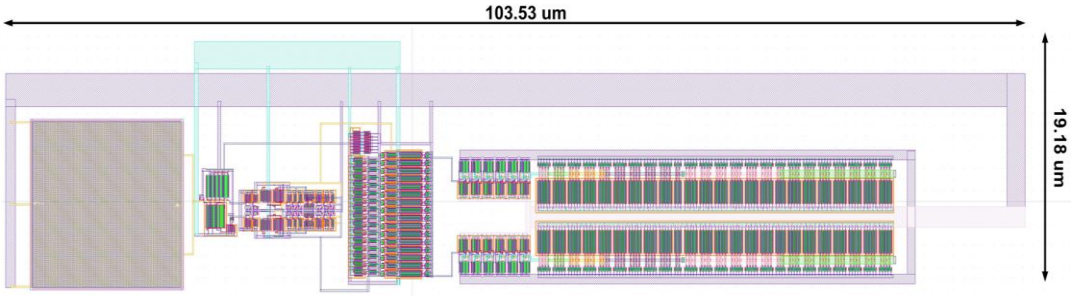


Figure 5.13 : Dessin des masques de la BVD avec la technologie STM-FDSOI 28 nm

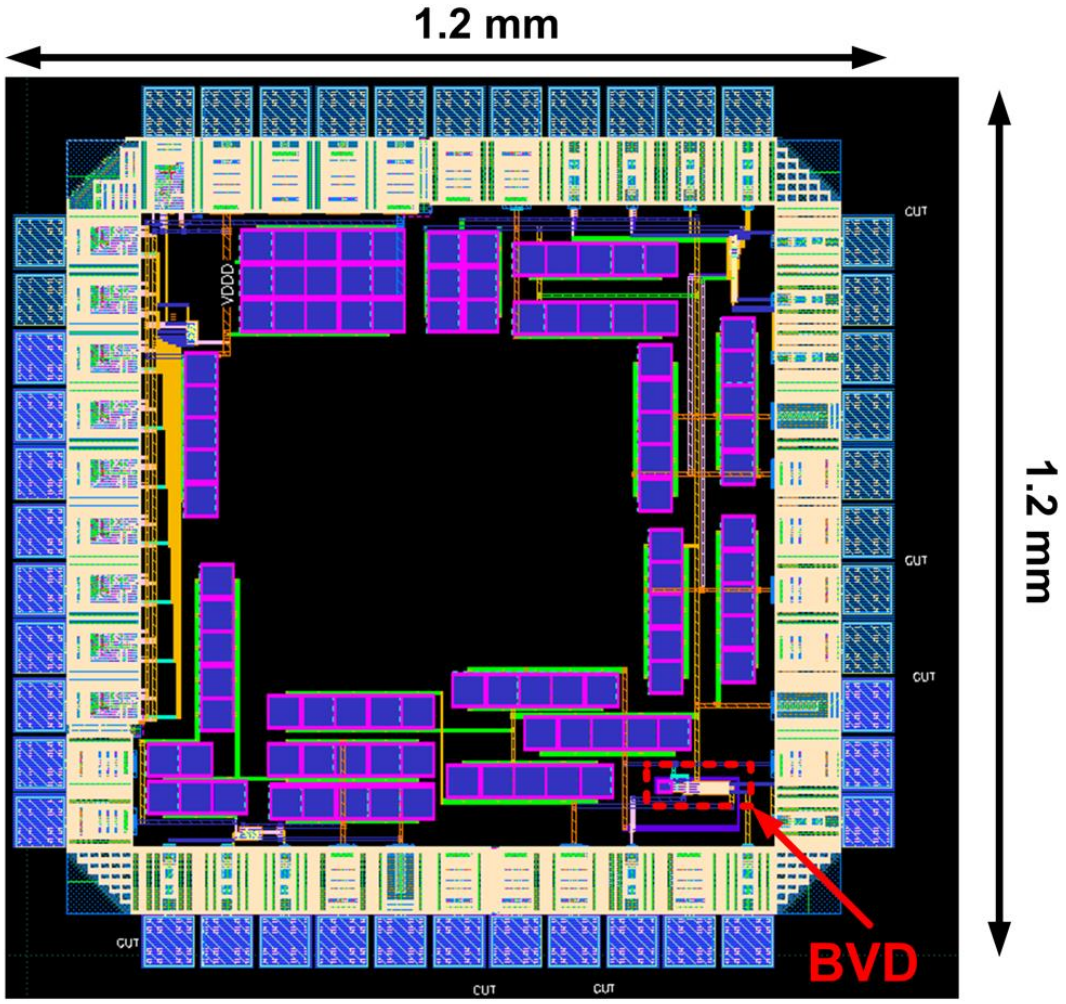


Figure 5.14 : La BVD sur puce avec la technologie STM-FDSOI 28 nm

5.2.5 Simulation des sorties de l'oscillateur différentiel avec et sans injection du signal

L'oscillateur différentiel conçu a deux modes de fonctionnement, le mode oscillation naturel et le mode avec injection. Pour un ODCT de N étages, la fréquence de sortie est égale à 112 GHz/2N. Donc pour 4 étages la fréquence de sortie est de 14 GHz et pour huit étages la fréquence de sortie est 7 GHz. Pour que l'ODCT fonctionne correctement, il faut que la plage de fréquence naturelle couvre la fréquence du signal injecté. L'inverseur de type CMOS est plus lent que l'inverseur de

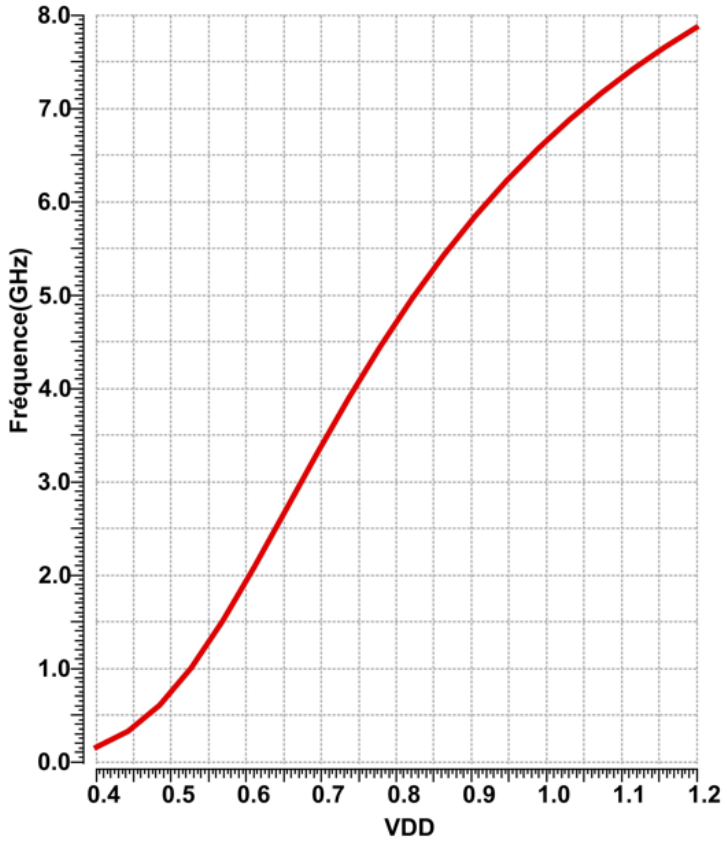


Figure 5.15 : Plage de variation de fréquence de l'OCDT à 4 étages en utilisant les inverseurs de type CMOS

type NMOS. La Figure 5.15 présente la plage de variation naturelle de la fréquence de l'oscillateur par rapport à VDD d'un ODCT à 4 étages en utilisant des inverseurs CMOS. Cette courbe ne peut pas atteindre 14 GHz, donc en injectant un signal de 14 GHz, les signaux de sorties sont déformés (mode injection), car l'oscillateur force ses étages à osciller au-delà de leurs capacités naturelles. En utilisant l'inverseur de type NMOS dans l'oscillateur au lieu du CMOS, la plage de variation de fréquence naturelle varie de 200 MHz vers 22 GHz quand VDD varie de 400mV à 1.2 V en couvrant la région du signal qui sera injecté à 14 GHz comme le montre la Figure 5.16. La plage de variation de la fréquence avec injection de signal (14 GHz) varie de 4 GHz à 14 GHz et se verrouille de VDD de 745 mV à 1.2 V.

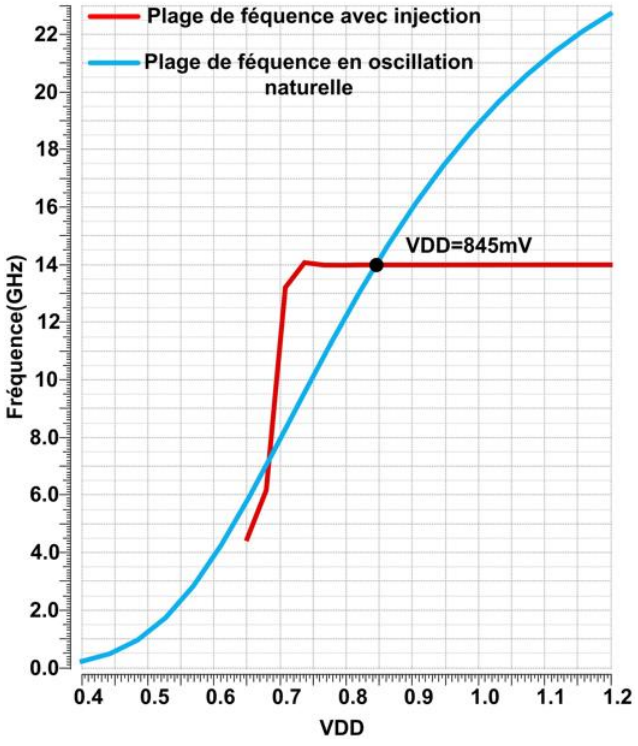


Figure 5.16 : Plage de variation de fréquence par rapport à VDD en mode oscillation naturelle et en mode injection de l'ODCT à 4 étages

Le point d'intersection des deux courbes à VDD = 845 mV est un point d'opération d'intérêt. À cette tension d'alimentation, la fréquence du signal injecté oscille à la fréquence naturelle de l'oscillateur. De plus, à ce point, le bruit phase est le plus petit et les sorties sont bien formées (Figure 5.17). À ce point, l'espacement temporel entre chaque deux phases adjacentes est de 8.9 ps (dans les deux modes oscillation naturelle et avec injection) qui résulte de la division de la période du signal injecté (T= 71.42 ps) par le nombre de sorties 8. Pour tracer le bruit de phase, on a utilisé la fonction *pnoise* qui se trouve dans le simulateur de Cadence.

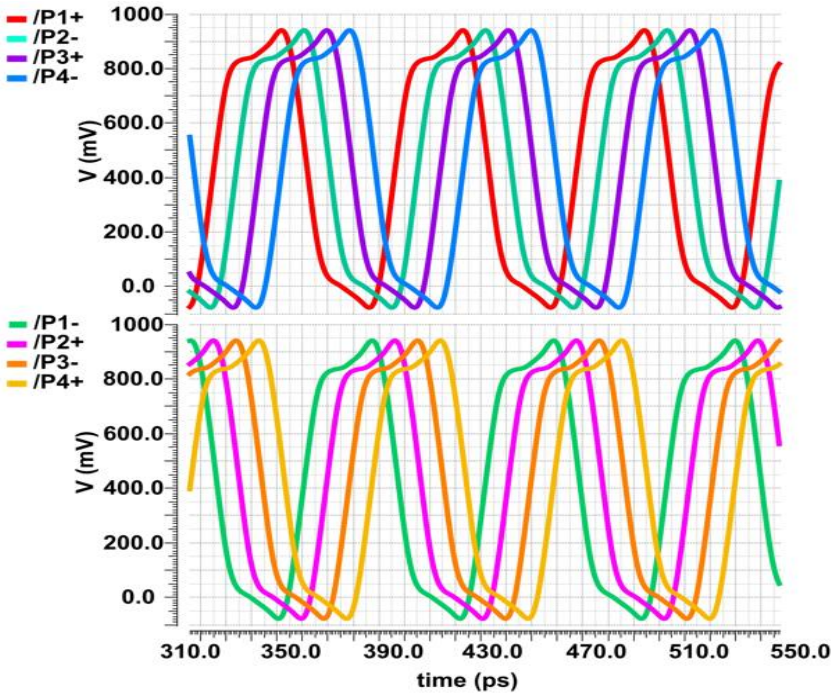


Figure 5.17 : Les 8 sorties de l'ODCT à 4 étages, au point d'intersection des plages de fréquences des deux modes à VDD = 845 mV

Le bruit de phase de l'oscillateur avec oscillation naturelle est plus grand que celui avec injection de signal. Par convention, on fait la comparaison des valeurs de bruit de phase à la fréquence de 1 MHz. Les sources de bruit proviennent de VDD, des signaux d'injections et des transistors. La Figure 5.18 présente les courbes de bruit de phase pour chacun des deux modes. En mode injection on injecte deux signaux d'horloge différentiels oscillant aux fréquences requises dans un seul étage

de l'ODCT, puis on trace la courbe de bruit de phase. Cependant, en mode oscillation naturelle on trace la courbe de bruit de phase sans faire une injection de signal. À 1 MHz de la fréquence centrale, en mode oscillation naturel le bruit de phase est de -56 dBc/Hz et en mode injection c'est -126 dBc/Hz. Cette différence est due à l'accumulation du bruit à travers les étages dans l'anneau en mode oscillation naturel, alors qu'en mode injection le signal injecté force le signal propagé dans les étages différentiels à s'initialiser à chaque cycle, à 14 GHz.

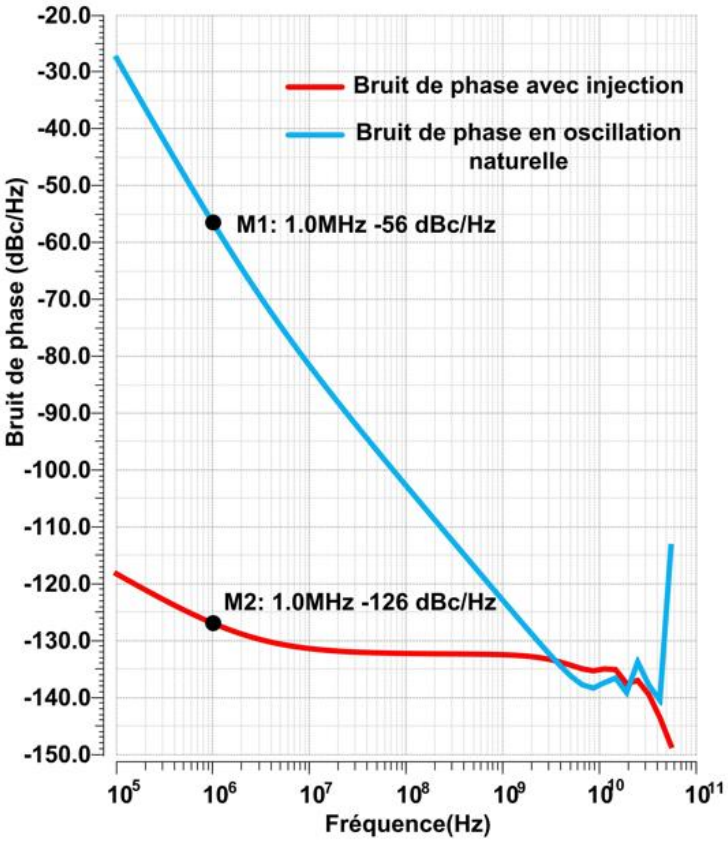


Figure 5.18 : Bruit de phase en mode injection et en mode d'oscillation naturelle de l'ODCT à 4 étages

Avec un ODCT à 8 étages différentiels utilisant l'inverseur de type NMOS, la fréquence à chaque sortie doit être de 7 GHz pour atteindre le taux d'échantillonnage d'horloge de 112 GHz. La Figure

5.19 présente la plage de variation de la fréquence par rapport à VDD. Il s'agit ici du résultat de la même analyse que celle présentée à la Figure 5.16 mais pour le présent cas, la plage de variation en mode oscillation naturelle du ODCT couvre la région de la fréquence injectée, elle coupe la courbe de la plage avec injection à VDD= 845 mV qui est le meilleur point d'opération pour l'ODCT. À ce point, les sorties sont bien formées comme le montre la Figure 5.20 (dans les deux modes oscillation naturelle et avec injection) et elles sont aussi naturellement espacées de 8.9 ps. Cet intervalle de séparation est la division de la période du signal (142.8 ps) d'entrée en16 (nombre de sorties) parts égales.

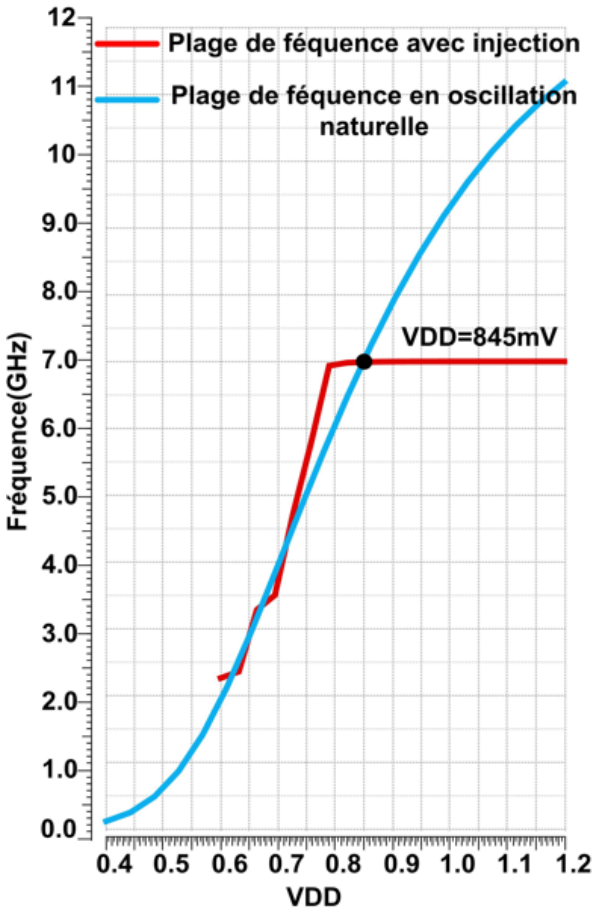


Figure 5.19 : Plage de variation de fréquence par rapport à VDD en mode oscillation naturelle et en mode injection de l'ODCT à 8 étages

Aussi la même analyse au niveau du bruit de phase (Figure 5.21) entre les deux modes d'opération. Le bruit de phase dans cet oscillateur est plus petit que celui de l'oscillateur à 4 étages, car il opère à une fréquence de 7 GHz au lieu de 14 GHz. Il y a donc moins de pression sur la performance de bruit.

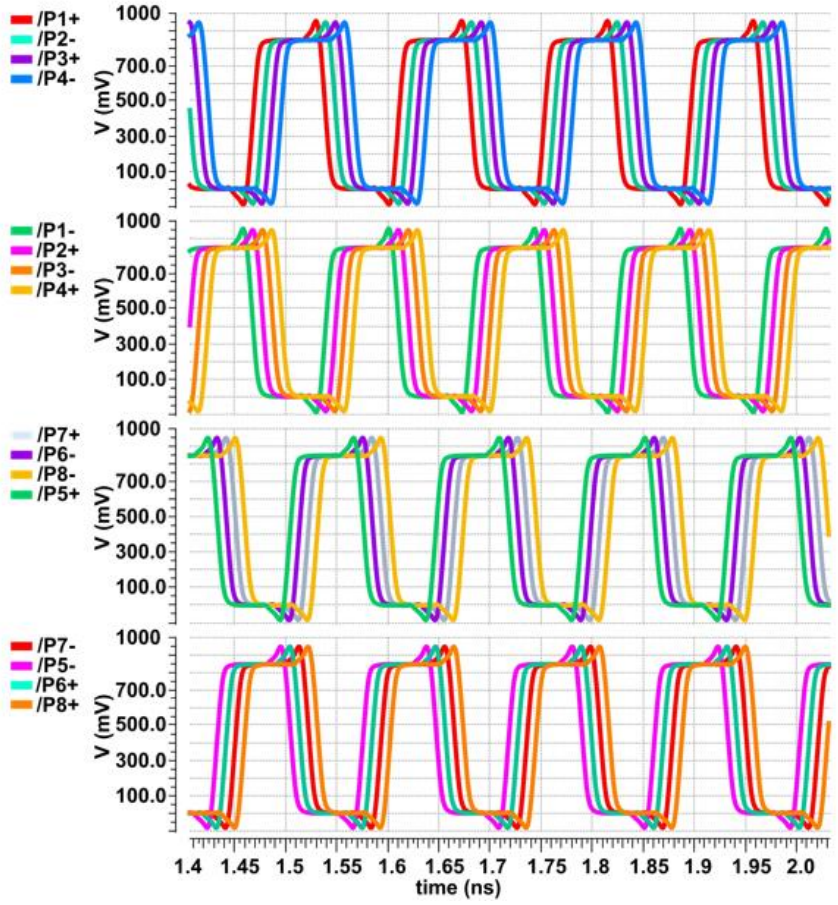


Figure 5.20 : Les 16 sorties de l'ODCT à 8 étages, au point d'intersection des plages de fréquences des deux modes à VDD = 845 mV

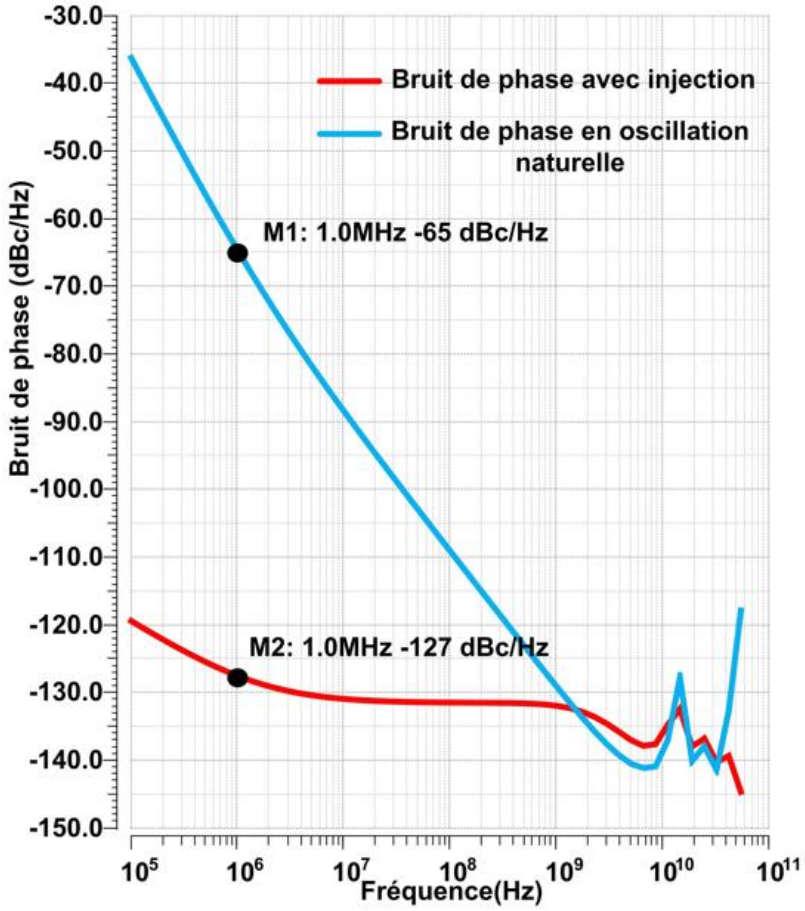


Figure 5.21 : Bruit de phase en mode injection et en mode oscillation naturelle de l'ODCT à 8 étages

La Figure 5.22 présente les courbes de consommation d'énergie de l'ODCT à 4 et 8 étages dans les deux modes par rapport à VDD. En général, l'énergie consommée d'un circuit à une fréquence donnée sera doublée si on double cette fréquence. L'énergie consommée par l'ODCT à 8 étages est plus élevée de celle à 4 étages, bien que ce dernier opère à 14 GHz au lieu de 7 GHz. En effet, le nombre d'étages 4 vs 8 couplé à l'utilisation des inverseurs de types pseudo-NMOS où le transistor PMOS est toujours activé quel que soit la fréquence utilisée exercent une grande influence sur la consommation.

Les deux ODCT produisent un taux d'échantillonnage d'horloge de 112 GHz à travers les 16 sorties oscillant à 7 GHz de l'ODCT à 8 étages et les 8 sorties oscillant à 14 GHz de l'ODCT à 4 étages. Les deux ODCT produisent des phases adjacentes espacées de 8.9 ps. À propos du bruit de phase en mode injection, il y a une différence négligeable entre les deux ODCT, mais en mode oscillation naturelle la différence est grande à cause de la différence de fréquence. Les signaux à 7 GHz sont mieux formés que ceux à 14 GHz. Le ODCT à 4 étages va alimenter 8 circuits d'échantillonnage et de maintien alors que celui de 8 étages doit alimenter 16 circuits de E/M, donc le dernier occupe plus d'espace et consomme plus de puissance avec les circuits de E/M. Bien que l'ODCT à 4 étages est plus avantageux que celui de 8 étages, son dessin des masques sera un nouveau défi à le faire à cause de la haute fréquence qu'il produit.

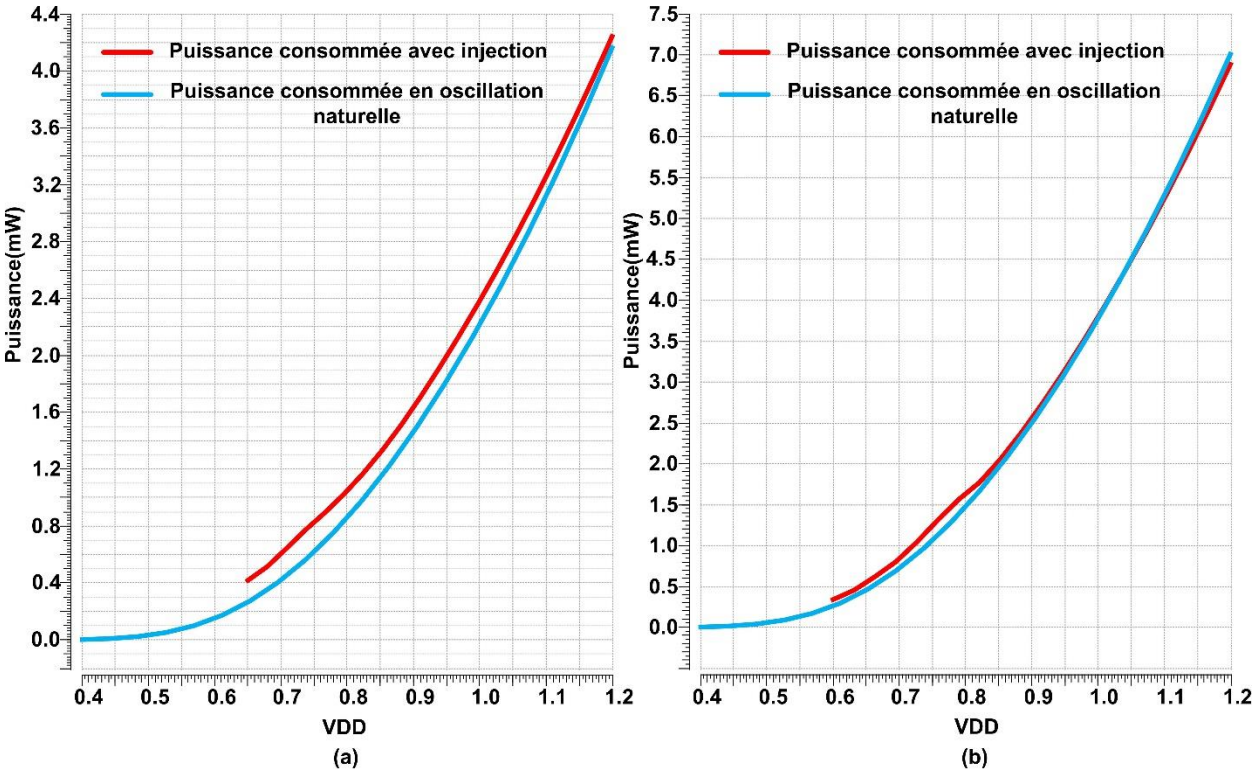


Figure 5.22 : Puissance consommée par rapport à VDD (a) ODCT à 4 étages (b) ODCT à 8 étages

Le Tableau 5.3 présente une comparaison des avantages et des inconvénients de l'utilisation des ODCT avec différents nombre d'étages, soit 4 et 8. On pourrait concevoir un ODCT à 6 étages [16] qui aurait une consommation intermédiaire en puissance, en espace occupée et en fréquence. Il a 12 sorties oscillant chacune à 9.3 GHz avec densité de phases de 112 GHz et espacement temporel de 8.9 ps.

Tableau 5.3 : Tableau de résultats de l'ODCT à 4 étages et l'ODCT à 8 étages

ODCT	4 Étages	8 Étages
Nombre de phases	8	16
Fréquence d'opération	14 GHz	7 GHz
Bruit de phase en mode oscillation naturelle	-56 dBc/Hz à 1 MHz	-65 dBc/Hz à 1 MHz
Densité de phases	112 GHz	112GHz
Espacement temporel	8.9 ps	8.9 ps
Bruit de phase à 1MHz en mode injection	-126 dBc/Hz	-127 dBc/Hz
Espace occupé	Petit	Grand
Puissance consommée	2.2 mW à VDD=1V	3.7 mW à VDD=1V

CHAPITRE 6 CONCLUSION ET RECOMMANDATIONS

L'objectif du projet de recherche dont ce mémoire découle était de concevoir une horloge à phases multiples produisant une densité de phases de 112 GHz pour alimenter les circuits d'échantillonnage et de maintien dans chaque canal d'un convertisseur analogique numérique à entrelacement temporel. Ce convertisseur échantillonneur à entrelacement CAN-ET produit un taux d'échantillonnage de 112 Gé/s.

Les deux facteurs les plus importants dans les horloges à phases multiples sont : le temps de propagation qui est produit par un élément de retard et le nombre de phases de sortie de cette horloge. Ces deux facteurs déterminent la fréquence d'opération de tous les genres d'horloges et aussi leur densité de phases. Il existe plusieurs manières de concevoir des horloges à phases multiples pour alimenter des circuits de CAN-ET, comme la boucle à verrouillage de délai, l'oscillateur contrôlé par tension, l'oscillateur différentiel contrôlé par tension et l'oscillateur utilisant des registres à décalages. La présente recherche s'est concentrée sur la conception d'une boucle à verrouillage de délai (BVD), car c'était le premier circuit proposé, mais, nous avons également présenté quelques solutions alternatives possibles comme l'oscillateur différentiel contrôlé par tension (ODCT) à 4 étages et l'ODCT à 8 étages.

La BVD corrige le signal de sortie si le signal d'entrée subit un déphasage ou une erreur. La BVD conçue avec une architecture standard simple produit une densité de phases de 112 GHz à travers ses 16 sorties oscillant chacune à 7 GHz. Elle a une zone morte très petite de 50 fs et une erreur de phase de 170 fs avec la technologie 65 nm et 137 fs avec la technologie de 28 nm. L'erreur de phase qui sort de la BVD ne s'accumule pas dans la ligne à retard contrôlée par tension (LRCT) au contraire de la BVP qui accumule ce bruit dans l'oscillateur à anneau dans une boucle infinie. À travers une rétroaction, le DPF compare le déphasage entre le signal de référence et la dernière sortie de la LRCT qui génère des impulsions proportionnelles à ce déphasage pour le corriger. Ce détecteur de phases a été modifié pour fonctionner à 7 GHz en produisant des impulsions qui sont converties en courant dans la pompe de charge. Ce courant sera à son tour converti en un niveau de tension contrôlant le LRCT.

L’ODCT est un circuit produisant aussi la même densité de phases de 112 GHz avec deux choix : le premier choix analysé comporte 4 étages et le deuxième comporte 8 étages. L’ODCT peut fonctionner en deux modes : le mode oscillation naturelle et mode par injection. Comme on a vu au chapitre 5, en mode oscillation naturel, le bruit de phase est élevé et accumulé dans les étages différentiels alors qu’en mode injection l’ODCT force les étages différentiels à s’initialiser à chaque cycle d’horloge. Pour tester l’ODCT, on trace tout d’abord la courbe de la plage de fréquence en fonction de la tension de contrôle (dans ce mémoire on a utilisé VDD) puis on détermine la valeur de la tension de contrôle pour laquelle l’ODCT oscille naturellement à la fréquence demandée : 7 GHz avec 8 étages et 14 GHz avec 4 étages. Il faut que la plage de fréquence naturelle couvre la fréquence demandée sinon l’oscillateur va générer des signaux horloge mal formés et mal espacés. Enfin, on injecte le signal avec la fréquence requise à la tension de contrôle qui précédemment trouvée et qui est capables de produire la fréquence demandée.

Dans le cadre des recherches documentées dans ce mémoire, nous avons conçu plusieurs circuits pour les horloges à phases multiples. En revanche, la distribution du signal d’horloge n’a pas été prise en considération, ni la correction du rapport cyclique des signaux de sorties et ni la calibration de l’espacement temporel des phases, qui sont laissées pour des travaux futurs. Ces genres de circuits sont toujours nécessaires dans les puces avec horloges, ils seront étudiés par d’autres étudiants collaborant au projet qui ont soutenu les travaux documentés par ce mémoire.

RÉFÉRENCES

[1]: Nicolson, A. M. (1940). *U.S. Patent No. 2,212,845*. Washington, DC: U.S. Patent and Trademark Office.

[2]: Hackman, C., & Sullivan, D. B. (1995). Resource Letter: TFM-1: Time and frequency measurement. *American Journal of Physics*, *63*(4), 306-317.

[3]: https://www.eeweb.com/overview-of-adcs/

[4]: Huang, C. C., Wang, C. Y., & Wu, J. T. (2011). A CMOS 6-bit 16-GS/s time-interleaved ADC using digital background calibration techniques. *IEEE Journal of Solid-State Circuits*, *46*(4), 848-858.

[5]: Weste, N. H., & Harris, D. *CMOS VLSI design: a circuits and systems perspective*.

[6]: Cathelin, A. (2017). Fully depleted silicon on insulator devices CMOS: The 28-nm node is the perfect technology for analog, RF, mmW, and mixed-signal system-on-chip integration. *IEEE Solid-State Circuits Magazine*, *9*(4), 18-26.

[7]: Razavi, B. (2005). *Design of analog CMOS integrated circuits*. 清华大学出版社有限公司

[8]: Razavi, B. (2018). The delay-locked loop [A circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, *10*(3), 9-15.

[9]: Gao, X., Klumperink, E. A., & Nauta, B. (2007, May). Low-jitter multi-phase clock generation: A comparison between DLLs and shift registers. In *2007 IEEE International Symposium on Circuits and Systems* (pp. 2854-2857). IEEE.

[10]: E. R. Suraparaju, P. V. R. Arja and S. Ren, "Simple high-resolution CMOS phase frequency detector", *Electronics letters*, vol. 51, no. 21, pp. 1647-1649, 2015.

[11]: A. R. Gundla and T. Chen, "A low power frequency synthesizer for biosensor applications in the medradio band", *2015 IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 1-4, 2015.

[12]: Elshazly, A., Balankutty, A., Huang, Y. Y., Yu, K., & O'Mahony, F. (2014, June). A 2GHz-to-7.5 GHz quadrature clock-generator using digital delay locked loops for multi-standard I/Os in 14nm CMOS. In *2014 Symposium on VLSI Circuits Digest of Technical Papers* (pp. 1-2). IEEE.

[13]: Gong, J., Li, S., & McNeill, J. A. (2016, May). Sub-picosecond-jitter clock generation for interleaved ADC with Delay-Locked-Loop in 28nm CMOS. In *2016 IEEE International Symposium on Circuits and Systems (ISCAS)* (pp. 2763-2766). IEEE.

[14] : Hsiao, K. J., & Lee, T. C. (2009). An 8-GHz to 10-GHz distributed DLL for multiphase clock generation. *IEEE journal of solid-state circuits*, *44*(9), 2478-2487.

[15]: Carmo, J. P., Mendes, P. M., & Correia, J. H. (2009, May). A 4.2 mW 5.7-GHz frequency synthesizer with dynamic-logic (TSPC) frequency divider. In *2009 International Conference on Telecommunications* (pp. 309-312). IEEE.

[16]: Im, J., Zheng, K., Chou, C. H. A., Zhou, L., Kim, J. W., Chen, S., ... & Chang, K. (2020). A 112-Gb/s PAM-4 long-reach wireline transceiver using a 36-way time-interleaved SAR ADC and inverter-based RX analog front-end in 7-nm FinFET. *IEEE Journal of Solid-State Circuits*, *56*(1), 7-18.

[17]: Razavi, B., & Behzad, R. (2012). *RF microelectronics* (Vol. 2, pp. 255-333). New York: Prentice hall.

[18]: Weste, N. H., & Harris, D. *CMOS VLSI design: a circuits and systems perspective*.

[19]: Razavi, B. (2019). The ring oscillator [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, *11*(4), 10-81.

[20]: Walden, R. H. (1999). Analog-to-digital converter survey and analysis. *IEEE Journal on selected areas in communications*, *17*(4), 539-550.

[21]: Baker, R. J. (2019). *CMOS: circuit design, layout, and simulation*. John Wiley & Sons.

[22]:Weste, N. H., & Harris, D. (2011). *CMOS VLSI design: a circuits and systems perspective*.

[23]: Chang, H. H., Lin, J. W., Yang, C. Y., & Liu, S. I. (2002). A wide-range delay-locked loop with a fixed latency of one clock cycle. *IEEE journal of solid-state circuits*, *37*(8), 1021-1027.

[24]: Alhousseiny, I., Ali, M., Ben-Hamida, N., Honarparvar, M., Sawan, M., & Savaria, Y. Delay-Locked Loop Based Multiphase Clock Generator for Time-Interleaved ADCs. In *2021 28th IEEE International Conference on Electronics, Circuits, and Systems (ICECS)* (pp. 1-4). IEEE.